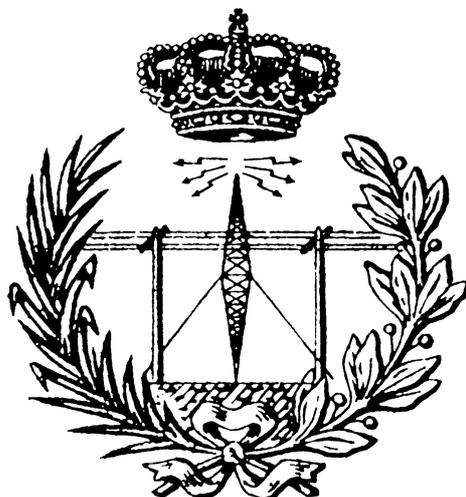




UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO FIN DE MÁSTER

DISEÑO DE UN TRANSMISOR PARA EL ESTÁNDAR IEEE 802.15.4 EN
TECNOLOGÍA CMOS 0.18 μM

Titulación: Máster Universitario en Ingeniería de Telecomunicación

Autor: D. Mario San Miguel Montesdeoca

Tutores: Dr. D. Francisco Javier del Pino Suárez

Dr. D. Sunil Lalchand Khemchandani

Fecha: Febrero de 2016



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO FIN DE MÁSTER

DISEÑO DE UN TRANSMISOR PARA EL ESTÁNDAR IEEE 802.15.4 EN
TECNOLOGÍA CMOS 0.18 μM

Firma de los tutores

Fdo. Dr. D. Francisco Javier del
Pino Suárez

Fdo. Dr. D. Sunil Lalchand
Khemchandani

Firma del alumno

Fdo. D. Mario San Miguel Montesdeoca

Fecha: Febrero 2015



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO FIN DE MÁSTER

DISEÑO DE UN TRANSMISOR PARA EL ESTÁNDAR IEEE 802.15.4 EN
TECNOLOGÍA CMOS 0.18 μM

HOJA DE EVALUACIÓN

Calificación: _____

Presidente

Secretario

Vocal

Fdo.: _____

Fdo.: _____

Fdo.: _____

Fecha: Febrero de 2016

A mis padres

Agradecimientos

A la memoria me vienen diversos momentos vividos en estos años: incontables historias de nervios estudiando para exámenes, momentos cómicos vividos en clase a costa de algún profesor, el constante cachondeo con los compañeros entre clase y clase, las prisas por acabar prácticas a tiempo... Sin embargo, uno de los momentos que mejor recuerdo es el primer día de clases en la universidad: entré en la universidad con menor edad que el resto de compañeros de promoción (sólo tenía 16 años) y ese día estaba nervioso y completamente abrumado ante tantas caras nuevas. Muchos de esos compañeros ahora han cambiado de carrera o tomado otras orientaciones profesionales, pero desde un primer momento hubo sensación de camaradería y compañerismo, y me atrevería a afirmar que esas son las cualidades que definen a los estudiantes de telecomunicaciones. El formar piña para colaborar, discutir y ayudarse mutuamente es lo que ha ayudado a muchos de nosotros a completar tan ardua tarea. Precisamente en este punto es cuando miro atrás y quiero dar las gracias:

A mi madre, por su cariño, paciencia y apoyo constante hasta en los momentos más difíciles.

A mi padre, por formarme desde tan temprana edad y transferirme su particular sentido del humor.

A mis tutores Javier y Sunil y al resto de compañeros del Laboratorio 102 por el apoyo prestado, su disponibilidad constante y sus valiosas aportaciones.

A mi gran amigo Dani, a quien debo estar presentando este trabajo e incontables horas llenas de diversión.

A mis compañeros y grandes amigos Ale y Dulli, por toda la ayuda prestada a lo largo de estos años y por amenizar largas horas de estudio y trabajos. Les deseo lo mejor en la vida, chicos. Siempre estaré ahí para ustedes.

Y por último, a ti, Irina, por alegrarme hasta los días más grises.

Índice general

I Memoria	1
1. Introducción	3
1.1. Antecedentes	3
1.2. Objetivos	4
1.3. Contenido de la memoria	5
2. Redes de sensores	7
2.1. Redes de sensores inalámbricos	7
2.2. Estándar IEEE 802.15.4	8
2.3. Tipos de dispositivos	11
2.4. Topologías de red	11
2.5. Seguridad	12
2.6. Aplicaciones	13
2.7. Requisitos del transmisor	14
3. Arquitectura del transmisor	17
3.1. Tipos de arquitectura	17
3.1.1. Transmisor de conversión directa	17
3.1.2. Transmisor superheterodino	18
3.2. Arquitectura del transmisor diseñado	20
4. Manejo de ADS	23
4.1. Tipos de simulaciones en ADS	24
4.1.1. Balance de Armónicos	26

4.1.2.	Parámetros S	29
4.1.3.	Simulación de Envolvente	31
4.1.4.	Análisis de Rendimiento	32
4.2.	Disponibilidad de ADS	32
5.	Diseño del mezclador	33
5.1.	Conceptos teóricos	33
5.2.	Parámetros del mezclador	36
5.2.1.	Ganancia de Conversión	36
5.2.2.	Figura de ruido	36
5.2.3.	Linealidad	37
5.3.	Tipos de mezcladores	39
5.3.1.	Sistemas no lineales como mezcladores lineales	39
5.3.2.	Mezcladores basados en multiplicadores	41
5.3.3.	Mezcladores basados en multiplicadores: Mezcladores pasivos	42
5.3.4.	Mezcladores basados en multiplicadores: Mezcladores activos	43
5.4.	Estructura del mezclador	45
5.5.	Proceso de diseño del mezclador	46
6.	Diseño del Amplificador de Potencia	51
6.1.	Conceptos teóricos	51
6.2.	Parámetros del amplificador	52
6.2.1.	Ganancia de Potencia	52
6.2.2.	Punto de compresión a 1 dB	52
6.2.3.	Distorsión de intermodulación de tercer orden	52
6.2.4.	Power Added Efficiency	53
6.3.	Tipos de Amplificadores de Potencia	53
6.3.1.	Amplificador de Potencia de Clase A	54
6.3.2.	Amplificador de Potencia de Clase B	55
6.3.3.	Amplificador de Potencia de Clase AB	55
6.3.4.	Amplificador de Potencia de Clase C	56

6.4.	Estructura del Amplificador de Potencia	57
6.4.1.	Primera etapa: Cascodo simple	57
6.4.2.	Segunda etapa: Cascodo doblado	58
6.5.	Proceso de diseño del Amplificador de Potencia	58
7.	Transmisor completo	71
7.1.	Sistema completo	71
7.2.	Setup de simulación	72
7.2.1.	Constelación de la señal	75
7.2.2.	Espectro de la señal	76
7.2.3.	ACPR	77
7.2.4.	EVM	78
8.	Conclusiones y líneas futuras	81
8.1.	Resultados y conclusiones	81
8.2.	Líneas futuras	84
II	Bibliografía	85
	Bibliografía	87
III	Pliego de condiciones	91
	Pliego de condiciones	93
IV	Presupuesto	95
P.1.	Trabajo tarifado por tiempo empleado	97
P.2.	Amortización del inmovilizado material	98
P.2.1.	Amortización del material hardware	99
P.2.2.	Amortización del material software	99
P.3.	Redacción del trabajo	100
P.4.	Derechos de visado del COIT	100

P.5. Gastos de tramitación y envío	101
P.6. Material fungible	101
P.7. Aplicación de impuestos y coste total	102
V Anexo I	105
A. Esquemáticos y <i>setups</i> de simulación	107

Índice de figuras

1.1. Diagrama de bloques de un transceptor	4
2.1. Tecnologías inalámbricas	8
2.2. Arquitectura del protocolo ZigBee	9
2.3. Flujo de intercambio de tramas	10
2.4. Estructura del paquete de datos del estándar 802.15.4	10
2.5. Topologías de red	12
2.6. Campos de aplicación de ZigBee	13
2.7. Banda de frecuencia de 2.4 GHz especificada por IEEE 802.15.4	14
3.1. Diagrama de bloques de un transmisor de conversión directa	17
3.2. Proceso de <i>up-conversion</i>	18
3.3. Injection pulling en un transmisor de conversión directa	18
3.4. Diagrama de bloques de un transmisor superheterodino	19
3.5. Funcionamiento del transmisor superheterodino	19
3.6. Estructura del transmisor	21
4.1. Vista de las ventana principales de ADS	24
4.2. División del circuito realizada por el Balance de Armónicos	26
4.3. Funcionamiento del Balance de Armónicos	28
4.4. Comparativa entre HB tradicional y por el método de Krylov	28
4.5. Esquema típico de un cuadripolo con sus parámetros S	29
4.6. Esquema simplificado de Parámetros S	30
4.7. Señal AM en el dominio temporal y su espectro discreto	31

5.1. Mezclador implementado como dispositivo no lineal	34
5.2. Diagrama de bloques de un mezclador ideal	35
5.3. Representación de algunos de los parámetros que caracterizan los mezcladores	38
5.4. Sistema no-lineal de dos puertos genérico	39
5.5. Mezclador MOSFET de ley cuadrática (simplificado)	41
5.6. Mezclador MOSFET de ley cuadrática (simplificado)	42
5.7. Mezclador pasivo genérico	42
5.8. Mezclador simple-balanceado	43
5.9. Mezclador doble balanceado	44
5.10. Estructura del mezclador pasivo doble balanceado	45
5.11. Símbolo creado para el mezclador implementado	46
5.12. Esquemático del mezclador implementado	47
5.13. <i>Setup</i> de simulación del mezclador	48
5.14. Resultados obtenidos de la simulación del mezclador	49
6.1. Máscara del espectro de potencia especificado por el estándar 802.15.4	51
6.2. Punto de compresión a 1 dB	53
6.3. a) PA de Clase A. b) Polarización para un PA de Clase A	54
6.4. a) PA de Clase B. b) Polarización para un PA de Clase B	55
6.5. Polarización para un PA de Clase AB	56
6.6. a) PA de Clase C. b) Polarización para un PA de Clase C	56
6.7. Cascodo implementado	57
6.8. Cascodo doblado implementado	58
6.9. Esquemático del PA implementado con bobinas ideales	59
6.10. Resultados de la simulación de parámetros S para el PA diseñado con bobinas ideales	60
6.11. Esquemático creado para la obtención de los parámetros de la bobina	61
6.12. Resultados de la simulación de la bobina	62
6.13. Esquemático del PA implementado con bobinas reales	63
6.14. Símbolo creado para el PA diseñado	64
6.15. Esquemático para realizar la simulación de parámetros S	64
6.16. Resultados de la simulación de parámetros S	65

6.17. Resultado de la simulación del factor de Rolett	65
6.18. Resultados de la simulación del P_{1dB}	66
6.19. Resultados de la simulación del TOI (1)	66
6.20. Resultados de la simulación del TOI (2)	67
6.21. Esquemático para la obtención del PAE	68
6.22. Ecuaciones para la obtención del PAE	69
6.23. Gráfica con valores de PAE y las potencias de salida con la que se obtienen	70
6.24. Tabla de resultados de la simulación	70
7.1. Esquemático completo del transmisor	71
7.2. Esquemático empleado para la verificación del correcto funcionamiento del circuito completo (1)	72
7.3. Esquemático empleado para la verificación del correcto funcionamiento del circuito completo (2)	73
7.4. Configuración de la simulación de envolvente	74
7.5. Bloque de MeasEqn empleado	74
7.6. Ecuaciones para representar la constelación	75
7.7. Constelación obtenida para el circuito que emplea el modulador ideal	75
7.8. Espectro de potencia obtenido para el circuito de modulador ideal y PA	76
7.9. Espectro de potencia obtenido para el circuito compuesto por el mezclador y el PA diseñados	77
7.10. Valores de ACPR obtenidos para el circuito con modulador ideal y el PA diseñado	78
7.11. Valores de ACPR obtenidos para el circuito con el mezclador y el PA diseñados	78
7.12. Valor de EVM conseguido para el caso <i>b)</i> y constelaciones obtenidas	79
7.13. Valor de EVM conseguido para el caso <i>c)</i> y constelaciones obtenidas	80

Índice de tablas

2.1. Bandas de frecuencia y características del estándar 802.15.4	9
2.2. Características de ZigBee	14
3.1. Tabla comparativa de las distintas arquitecturas de transmisores estudiadas	20
4.1. Tipos de simulaciones disponibles en ADS [1]	25
8.1. Tabla comparativa entre los resultados obtenidos y las especificaciones propuestas .	82
8.2. Tabla comparativa entre los resultados obtenidos y los de otras publicaciones	83
P.1. Coeficientes reductores para trabajo tarifado.	98
P.2. Precios y costes de amortización del hardware.	99
P.3. Precios y costes de amortización del software.	99
P.4. Presupuesto incluyendo trabajo tarifado y amortización del inmovilizado material. .	100
P.5. Presupuesto incluyendo trabajo tarifado, amortización y redacción del trabajo. . . .	101
P.6. Costes de material fungible	102
P.7. Presupuesto total del Trabajo Fin de Máster.	102

Lista de Acrónimos

Acrónimo	Descripción
ACPR	Adjacent Channel Power Ratio
ADS	Advanced Design System
AES	Advanced Encryption Standard
BB	Base Band o Banda Base
BPF	Band Pass Filter
CG	Common Gate
CMOS	Complementary Metal Oxide Semiconductor
COIT	Colegio Oficial de Ingenieros de Telecomunicación
CS	Common Source
CSMA-CA	Carrier Sense Multiple Access with Collision Avoidance
CTS	Clear To Send
DC	Direct Current
DCT	Direct Conversion Transmitter
DIFS	Distributed Inter-Frame Space
PIFS	Priority Inter-Frame Space
EVM	Error Vector Magnitude
FCC	Federal Communications Commission
FFD	Full Function Device
FFT	Fast Fourier Transform
FI	Frecuencia Intermedia

Acrónimo	Descripción
HB	Harmonic Balance
IEEE	Institute of Electrical and Electronic Engineers
IF	Intermediate Frequency
IFFT	Inverse Fast Fourier Transform
LAN	Local Area Network
LNA	Low Noise Amplifier
LO	Local Oscilator
LPF	Low Pass Filter
LR-WPAN	Low Rate Personal Area Network
MAC	Medium Access Control
MSK	Minimum-Shift Keying
OIP3	Output Third-order Intercept
OL	Oscilador Local
OQPSK	Offset Quadrature Phase-Shit Keying
OSI	Open Systems Interconnect
PA	Power Amplifier
PAE	Power Added Efficiency
PCM	Process Control Monitors
PE	Power Efficiency
PGA	Programmable Gain Amplifier
PLL	Phase Locked Loop
RF	Radio Frequency o Radio Frecuencia
RFD	Reduced Function Device
RTS	Request To Send
TFM	Trabajo Fin de Máster
TIA	Trans-Impedance Amplifier
TOI	Third-Order Intercept point
UMC	United Microelectronics Corporation

Acrónimo	Descripción
VCO	Voltage Controlled Oscillator
VCVS	Voltage Controlled Voltage Source
VGS	Voltage Gate-Source
WLAN	Wireless Local Area Network
WMAN	Wireless Metropolitan Area Network
WPAN	Wireless Personal Area Network
WWAN	Wireless Wide Area Network

Parte I

Memoria

Capítulo 1

Introducción

1.1. Antecedentes

El desarrollo de transceptores CMOS de baja potencia para la banda de 2,4 GHz ha recibido especial atención en los últimos años debido a la demanda de dispositivos de bajo coste y el deseo de que éstos estén dotados de baterías de larga vida útil. A pesar de la existencia de estándares que operan en esta banda, como Bluetooth o IEEE 802.11, el estándar IEEE 802.15.4 es el más indicado para satisfacer la demanda de bajo coste y bajo consumo en el desarrollo de transceptores. El estándar IEEE 802.15.4 permite operar en tres bandas de frecuencia: en la banda de 868 MHz para Europa, en la banda de 915 MHz en América y en la banda de 2,4 GHz a nivel global. La tasa de datos que ofrece este estándar varía desde los 20 a los 250 Kb/s en función de la banda en la que se opere. Este estándar cuenta con una gran cantidad de aplicaciones, entre las cuales se incluye la automoción, la domótica, aplicaciones industriales, sistemas médicos, electrónica de consumo, etc. Para estas aplicaciones, la batería debería durar entre varios meses y varios años sin ser reemplazada.

Un transceptor se puede dividir en varios bloques claramente diferenciados. En primer lugar, hay dos bloques principales como son el receptor y el transmisor. Dentro de cada uno de estos bloques se puede distinguir un bloque denominado cabezal. El cabezal (de recepción o de transmisión) trabaja en la frecuencia de RF y es el encargado de adaptar la señal tras ser recibida, o para ser transmitida. Tras el cabezal se encuentra la etapa de filtrado, que permite al receptor o al transmisor quedarse con la banda de frecuencia deseada. Por otra parte, dentro de un transceptor se encuentra el sintetizador de frecuencias. Este bloque incluye el oscilador local que genera la señal necesaria para convertir la señal de entrada a una frecuencia determinada, a través de un mezclador. En la 1.1 se muestra el diagrama de bloques de un transceptor, en el cuál se pueden apreciar los distintos elementos que se han mencionado.

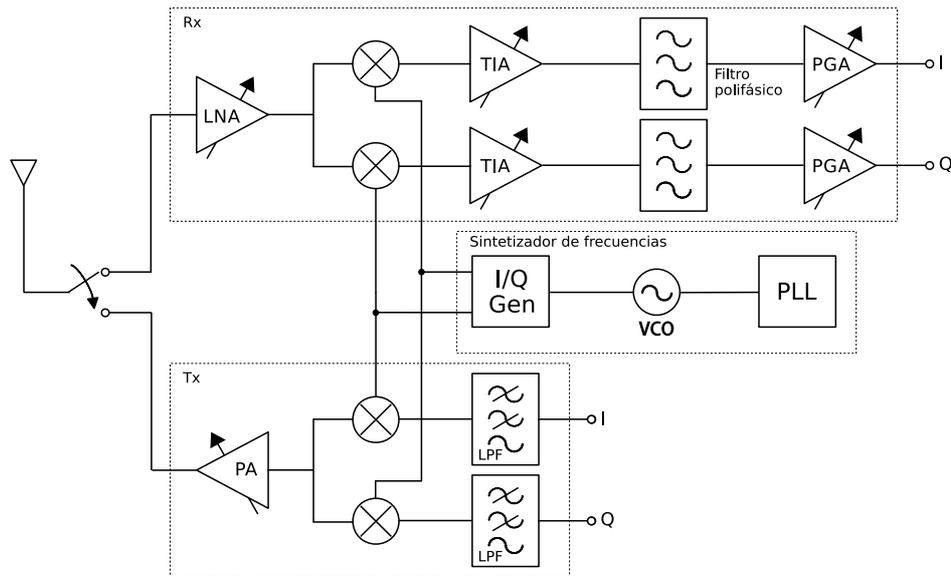


Figura 1.1: Diagrama de bloques de un transceptor

Este Trabajo Fin de Máster se centra en el transmisor, el cual se encarga de transmitir la señal a una frecuencia y una potencia determinadas. Típicamente, un transmisor está compuesto por una serie de elementos. El primero es el mezclador, el cual se encarga de mezclar la señal de entrada con una señal generada por el oscilador local con el fin de trasladar la señal desde una frecuencia de entrada (generalmente baja) a una frecuencia de trabajo mayor. El segundo elemento es el amplificador de potencia o PA (del inglés *Power Amplifier*), que es el encargado de amplificar la señal que proviene del mezclador y adaptarla para su posterior transmisión.

1.2. Objetivos

El objetivo principal del presente Trabajo Fin de Máster consiste en obtener un transmisor basado en la arquitectura de conversión directa para el estándar IEEE 802.15.4 usando la tecnología CMOS 0.18 μm . Además se pretende que dicho transmisor sea de bajo consumo de potencia, área reducida y cumpla con todos los requisitos del estándar.

Para ello, se utilizará la herramienta software *Advanced Design System*, más comúnmente conocida como ADS de la empresa *Keysight*. Esta herramienta es una de las más potentes y más utilizadas para el diseño de circuitos de radiofrecuencia. Este software posee una gran cantidad de librerías y opciones de simulación lo cual lo convierte en una herramienta idónea para realizar los distintos diseños que forman parte de este TFM.

Para poder utilizar los distintos componentes de la tecnología CMOS 0.18 μm es necesario instalar la librería o kit de diseño (*Design Kit*) de la tecnología del fabricante correspondiente, en este caso *United Microelectronics Corporation* (UMC).

1.3. Contenido de la memoria

Esta memoria se compone de 4 Partes y un Anexo, cuyos contenidos se detallarán a continuación:

- **Parte I: Memoria.** Esta Parte es la memoria en sí, y se divide en 8 capítulos:
 - **Capítulo 1: Introducción.** En este capítulo se realiza una introducción de los antecedentes de este trabajo y se definen los objetivos marcados para el Trabajo Fin de Máster.
 - **Capítulo 2: Redes de sensores.** En este capítulo se realiza un estudio de las características principales de las redes de sensores inalámbricas y el estándar IEEE 802.15.4.
 - **Capítulo 3: Arquitectura del transmisor.** En este capítulo se analizan las distintas arquitecturas de transmisores existentes y se indica la topología elegida para el diseño a realizar.
 - **Capítulo 4: Manejo de ADS.** En este capítulo se explican las características principales del software ADS, así como los distintos tipos de simulaciones que se pueden realizar con esta herramienta.
 - **Capítulo 5: Diseño del mezclador.** En este capítulo se aborda el diseño del mezclador. Para ello, primero se describen los conceptos teóricos, parámetros característicos y distintas topologías existentes de este dispositivo y luego se procede a la explicación del circuito diseñado y los resultados obtenidos de la simulación de sus distintos parámetros.
 - **Capítulo 6: Diseño del Amplificador de Potencia.** En este capítulo se aborda el diseño del Amplificador de Potencia. Para ello, primero se describen los conceptos teóricos, parámetros característicos y distintas topologías existentes de este dispositivo y luego se procede a la explicación del circuito diseñado y los resultados obtenidos de la simulación de sus distintos parámetros.
 - **Capítulo 7: Transmisor completo.** En este capítulo se lleva a cabo la integración de los dos circuitos y la simulación del transmisor completo, a fin de comprobar que se obtienen los parámetros especificados por el estándar IEEE 802.15.4.
 - **Capítulo 8: Conclusiones y líneas futuras.** En este capítulo se realiza un análisis de los resultados obtenidos tras completar el diseño del transmisor y se comentan las posibles líneas futuras a desarrollar.
- **Parte II: Bibliografía.** En esta Parte se muestran las distintas fuentes consultadas a lo largo del desarrollo del TFM.
- **Parte III: Pliego de condiciones.** En esta Parte se detallan las distintas herramientas empleadas para la realización del TFM.
- **Parte IV: Presupuesto.** En el presupuesto se desglosan los costes de elaboración del presente TFM.

- **Parte V. Anexo I: Esquemáticos.** En este Anexo se pueden encontrar los esquemáticos de los circuitos diseñados y los distintos *setups* de simulación elaborados.

Capítulo 2

Redes de sensores

En este capítulo se exponen las características principales de las redes de sensores inalámbricas. En concreto, se estudiará el estándar IEEE 802.15.4, sobre el cual se implementa la tecnología ZigBee.

2.1. Redes de sensores inalámbricos

Una red de sensores inalámbricos se puede definir como una red con numerosos dispositivos distribuidos espacialmente, utilizada para monitorizar distintas condiciones ambientales o físicas, como la temperatura, presión, humedad, etc.[2]. En los últimos años ha proliferado el uso de estas redes frente a las redes cableadas utilizadas hasta entonces. Una de las grandes ventajas de las redes inalámbricas, la cual ha propiciado este crecimiento, es la posibilidad de un despliegue rápido de los sensores sin la necesidad de instalar grandes longitudes de cableado. Además, las redes inalámbricas poseen un alto grado de flexibilidad con respecto a las cableadas.

Estas ventajas han propiciado el auge de este tipo de redes en aplicaciones industriales y el surgir de distintas tecnologías, como ZigBee o Bluetooth. Para cada aplicación en concreto se deberá elegir la tecnología a emplear en función de cómo se ajusten las prestaciones que aporte la tecnología a los requisitos exigidos por la aplicación. Tal y como se muestra en la Figura 2.1, hay varias tecnologías que se pueden emplear para aplicaciones de redes inalámbricas.

Como se puede observar en la Figura 2.1 se representan las distintas tecnologías inalámbricas existentes en función de la tasa binaria, de la potencia consumida y del coste y complejidad. En la parte inferior de la imagen se muestran las redes inalámbricas de área personal (*WPAN* o *Wireless Personal Area Network*), las cuales se caracterizan por su bajo consumo de potencia y por su bajo coste de implementación. En la esquina inferior izquierda se muestra un caso especial de este tipo de redes, las redes de baja tasa de datos (*LR-WPAN* o *Low Rate Wireless Personal Area Network*). A medida que se incrementan tanto la potencia consumida como el coste y complejidad, se entra en el rango de las redes inalámbricas de área local (*WLAN* o *Wireless Local Area Network*). Las redes inalámbricas de área metropolitana (*WMAN* o *Wireless Metropolitan Area Network*) se diferencian

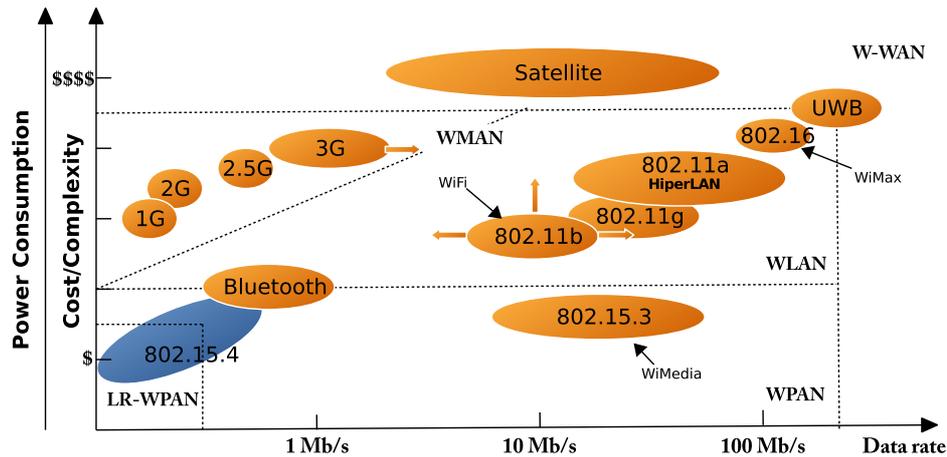


Figura 2.1: Tecnologías inalámbricas

de las WLAN en que la tasa de datos máxima es menor. Por último, para una tasa de datos y potencia consumida elevados, existen las redes inalámbricas de área extensa (WWAN o *Wireless Wide Area Network*).

En este trabajo, al desear implementar un transmisor de bajo consumo y reducida complejidad, y al no ser necesaria una tasa binaria elevada, se ha optado por usar la tecnología ZigBee, desarrollada por *The ZigBee Alliance*, la cual se basa en el estándar IEEE 802.15.4 del *Institute of Electrical and Electronics Engineers* o *IEEE*.

2.2. Estándar IEEE 802.15.4

En este apartado se analizarán las principales características del estándar IEEE 802.15.4, centrandose la atención en los parámetros que afectan al diseño del cabezal de transmisión. Este estándar fue desarrollado por el grupo de trabajo 802.15 perteneciente al *Institute of Electrical and Electronics Engineers*. Este grupo de trabajo está especializado en redes inalámbricas de área personal. En concreto, este estándar fue desarrollado por el subgrupo 4 de dicho grupo de trabajo.

El estándar 802.15.4 define el nivel físico (Physical o PHY Level) y el control de acceso al medio (Medium Access Control o MAC Level) de redes LR-WPAN [3], lo cual corresponde a las dos primeras capas del modelo OSI (Open Systems Interconnect). Sobre este estándar se basan varias tecnologías, como por ejemplo ZigBee, cuyo objetivo consiste en dar una solución completa construyendo los niveles superiores del protocolo. En la Figura 2.2 se muestran las distintas capas del protocolo de ZigBee, compuesto por la capa física, la capa de control de acceso al medio, y las capas de red y aplicación. Como se puede observar, la capa física y la capa de acceso al medio las gobierna el estándar 802.15.4, mientras que las capas superiores están controladas por ZigBee u otra tecnología similar.

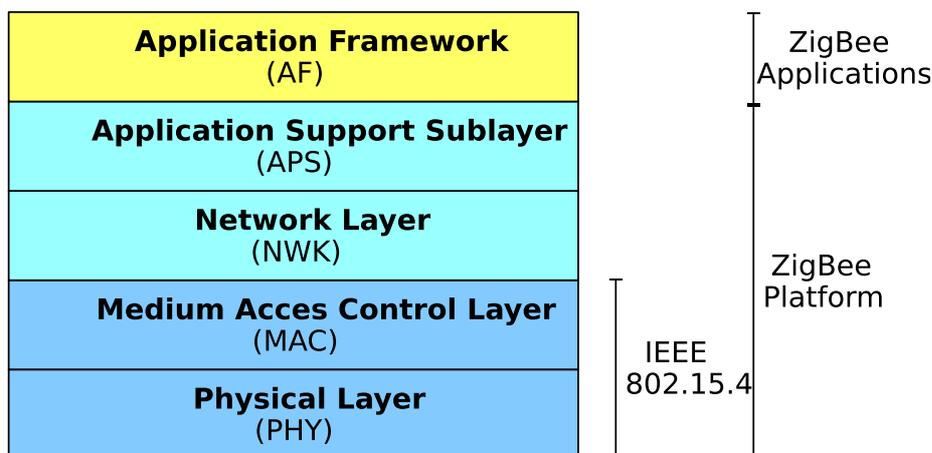


Figura 2.2: Arquitectura del protocolo ZigBee

En cuanto a las características de la capa física del estándar, cabe destacar que éste puede operar en tres bandas de frecuencia distintas. Estas bandas se encuentran a 868 MHz (empleada en Europa), a 915 MHz (empleada en América) y a 2.4 GHz (empleada a nivel global) y cuentan con 1, 10 y 16 canales respectivamente, tal y como se puede apreciar en la Tabla 2.1. Además, la tasa de datos varía entre los 20 y los 250 kbps, en función de la banda de frecuencia en la que se trabaje [4].

Geographical Regions	Europe	America	Worldwide
Frequency Assignment	868-868.6 MHz	902-928 MHz	2.4-2.4835 GHz
Channel Bandwidth	600 kHz	2 MHz	5 MHz
Symbol Rate	20 ksymbols/s	40 ksymbols/s	62.5 ksymbols/s
Data Rate	20 kbits/s	40 kbits/s	250 kbits/s
Modulation	BPSK	BPSK	O-QPSK

Tabla 2.1: Bandas de frecuencia y características del estándar 802.15.4

Por otro lado, para realizar el control de acceso al medio se emplea la técnica de acceso múltiple por detección de portadora con evasión de colisiones (CSMA/CA: Carrier Sense Multiple Access with Collision Avoidance). Esto permite la utilización del mismo canal por parte de múltiples estaciones de trabajo, ya que se evitan las posibles colisiones de tramas que se puedan producir. Esto se debe a que cuando una estación desea transmitir datos, primero escucha el canal. En caso de que el canal esté vacío por un tiempo determinado, denominado DIFS (Distributed Inter-Frame Space), se envía la trama de datos entera. Este período de tiempo corresponde con el espacio entre tramas. En el caso de que el canal esté ocupado, se inicia un temporizador aleatorio que va descontando el tiempo con canal libre. Cuando dicho temporizador expira, se transmiten los datos. En cuanto el receptor

recibe los datos, envía una trama de reconocimiento una vez transcurrido un tiempo SIFS (Short Inter-Frame Space). Este tiempo es de menor duración que el período DIFS debido a que la trama de reconocimiento tiene prioridad con respecto a las tramas de datos. En la Figura 2.3 se muestra el flujo de intercambio de tramas descrito anteriormente.

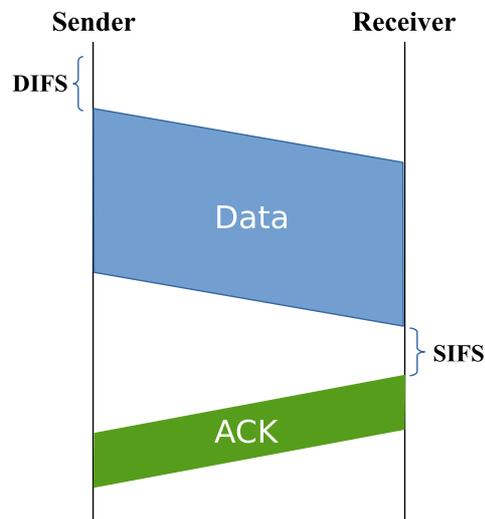


Figura 2.3: Flujo de intercambio de tramas

El protocolo CSMA/CA también permite la reserva del canal para evitar colisiones entre tramas muy largas. En este caso, el emisor envía una trama RTS (Request To Send) a la estación base para solicitar permiso para enviar una trama y reservar el canal. Posteriormente, la estación base envía la trama CTS (Clear To Send), indicándole al emisor que dispone del canal para poder enviar datos. Esta trama le llega a todos los nodos de la red por lo que el resto de nodos sabe que el canal está siendo utilizado por otro nodo. De esta forma se evitan las colisiones por completo, eso sí, a costa de un mayor retardo en la transmisión. Es por esto por lo que sólo se emplea para tramas de una gran longitud [5].

En la Figura 2.4 se muestra la estructura de un paquete de datos de la capa física del estándar 802.15.4. Se pueden diferenciar dos partes principales, la cabecera y los datos. La cabecera está compuesta por 32 bits de sincronización, 9 bits de inicio de paquete y 8 bits que indican el tamaño de los datos a enviar. Por otra parte, se pueden enviar entre 0 y 1016 bits.

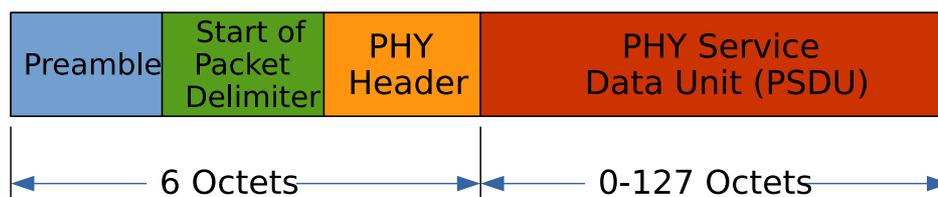


Figura 2.4: Estructura del paquete de datos del estándar 802.15.4

2.3. Tipos de dispositivos

En lo referente a los distintos tipos de dispositivos presentes en una red ZigBee basada en el estándar 802.15.4, se diferencian tres tipos en función del papel que desempeñan en la misma [6]:

- **Coordinador:** Este dispositivo es el encargado de iniciar la formación de la red y, como su propio nombre indica, coordinar las transmisiones que se producen en la red. Por tanto, se trata de un dispositivo que requiere memoria y gran capacidad de computación. Sólo puede existir un único dispositivo de este tipo en cada red.
- **Router:** Se trata del dispositivo encargado de realizar el enrutamiento de los mensajes que se transmiten por la red. Esto permite extender el área que abarca la red, así como gestionar nuevos caminos de comunicación cuando se detecta congestión en la red. A diferencia del dispositivo coordinador, se permite la presencia de más de un router en una red.
- **Dispositivo final:** Es el dispositivo básico y más simple de los que se encuentran en la red. Su función es la de comunicarse con un router o directamente con un coordinador. Sin embargo, no puede realizar operaciones de enrutamiento.

Basándose en su funcionalidad, en una red ZigBee se pueden diferenciar los dispositivos presentes en la red en dos tipos: dispositivos FFD (Full Function Device) y dispositivos RFD (Reduced Function Device). Los dispositivos FFD se pueden utilizar en cualquier tipo de topología permitida por el estándar y pueden actuar tanto como coordinador de la red, como router o como dispositivo final. Además, pueden entablar comunicación con cualquier dispositivo de la red. En cambio, los dispositivos RFD únicamente pueden ser utilizados en una red que posea una topología en estrella. Esto es debido a que este tipo de dispositivos sólo pueden comunicarse con un coordinador, por lo que son dispositivos de implementación simple y que sólo pueden actuar como dispositivos finales.

2.4. Topologías de red

Una red ZigBee soporta las distintas configuraciones que se detallan a continuación [3]:

- **Topología en estrella:** En esta configuración, uno de los dispositivos FFD presentes en la red asume el rol de coordinador. Este dispositivo será el encargado de inicializar y controlar el resto de dispositivos pertenecientes a la red. Todos los dispositivos finales, los cuales pueden ser del tipo FFD o RFD, están conectados directamente al dispositivo coordinador y, por lo tanto, todas las comunicaciones deberán pasar por el mismo. La principal desventaja que aparece al utilizar esta topología es que el alcance máximo de la red está limitado por el máximo alcance del dispositivo coordinador.
- **Topología en malla:** En esta topología, al igual que en la topología en estrella, un dispositivo FFD, actuando como coordinador, es el responsable de inicializar la red y elegir los principa-

los parámetros de la misma. Sin embargo, en este caso la red puede ser ampliada mediante el uso de routers. Esta ampliación de la red se puede realizar tanto en cuanto al número de nodos existentes en la red o en cuanto al alcance de la red. Además, cada nodo puede establecer comunicación con otro nodo y el algoritmo de encaminamiento emplea un protocolo de pregunta-respuesta para eliminar rutas que no sean óptimas. Esto hace que la red sea mucho más fiable.

- **Topología en árbol:** Se trata de una variante de la topología en malla. En esta topología existen varios dispositivos FFD y los dispositivos RFD se pueden conectar como nodo único al final de la red. En este tipo de red pueden coexistir varios coordinadores que proveen servicios de sincronización a los otros dispositivos. Al igual que en la topología en malla, en esta topología los routers permiten ampliar el área de alcance de la red.

En la Figura 2.5 se muestran las distintas topologías mencionadas, así como los tipos de dispositivos presentes en cada una de ellas.

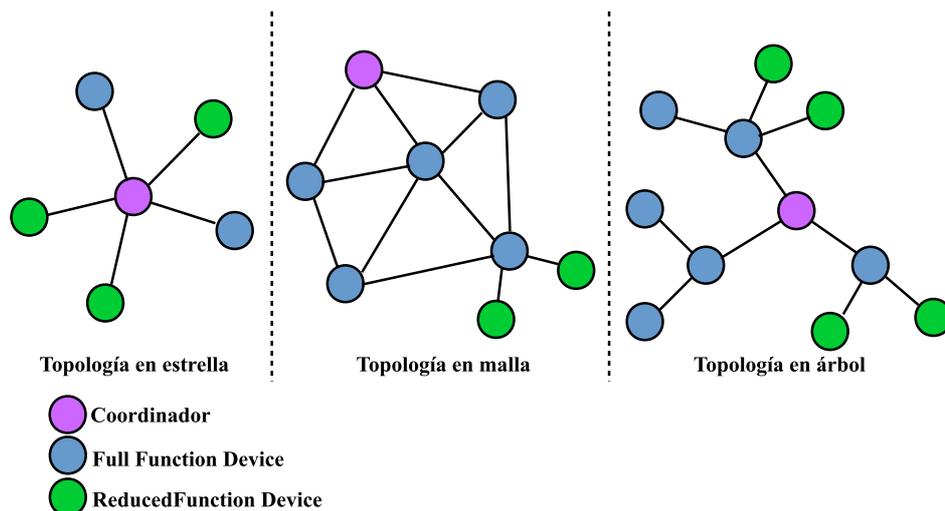


Figura 2.5: Topologías de red

2.5. Seguridad

la seguridad de las transmisiones de datos es fundamental en las redes de sensores inalámbricas. En este tipo de redes es frecuente que se produzcan interferencias en las transmisiones y es necesario minimizar el daño que éstas provocan en la comunicación a través de la red. El modelo de seguridad de la subcapa MAC del estándar IEEE 802.15.4 especifica cuatro servicios de seguridad [7]:

- **Control de accesos:** Se mantiene una lista de los dispositivos que están conectados a la red.
- **Datos encriptados:** Dicha encriptación se realiza con un código de cifrado AES (*Advanced Encryption Standard*) de 128 bits.
- **Integración de tramas:** Se protegen los datos para que no puedan ser modificados por otros.
- **Secuencia de refresco:** Se comprueba que las tramas no han sido reemplazadas por otras.

2.6. Aplicaciones

Como ya se ha comentado previamente, la tecnología ZigBee se basa en el estándar IEEE 802.15.4 que ha sido descrito. El uso de esta tecnología se realiza principalmente en aplicaciones que requieren muy bajo consumo y una baja transmisión de datos. Por tanto, puede utilizarse para realizar control industrial, albergar sensores empotrados, recolectar datos médicos o en aplicaciones domóticas, entre otros. En la Figura 2.6 se muestran algunas de las múltiples aplicaciones de esta tecnología.



Figura 2.6: Campos de aplicación de ZigBee

En la Tabla 2.2 se muestra un resumen de las características más importantes de la tecnología ZigBee.

	ZigBee
Bandas de frecuencia	2.4 GHz, 868/915 MHz
Tasa de transferencia	250 kpbs (2.4 GHz) 40 kpbs (915 MHz) 20 kpbs (868 MHz)
Número de canales	16 (2.4 GHz) 10 (915 MHz) 1 (868 MHz)
Espaciado entre canales	5 MHz (2.4 GHz) 2MHz (915 MHz) 0 (868 MHz)
Rango de nodos internos	10m-100m
Número de dispositivos	255/65535
Requisitos de alimentación	Muy baja - años de batería
Arquitecturas	Estrella, árbol y malla
Complejidad	Simple

Tabla 2.2: Características de ZigBee

2.7. Requisitos del transmisor

La banda de 2.4 GHz será la empleada para nuestro diseño, puesto que es la empleada a nivel global y la que presenta un mayor desafío en término de consumo de potencia. Tal y como se ha visto, para esta banda se tienen 16 canales equiespaciados, separados entre sí 5 MHz, tal y como se muestra en la Figura 2.7. El esquema de modulación empleado en esta banda es una OQPSK (*Offset Quadrature Phase-Shit Keying*) con conformación de medio seno (*half-sine wave shaping*), lo cual reduce la modulación a una MSK (*Minimum-Shift Keying*). Al usarse una MSK, la cual se caracteriza por tener una fase continua y una envolvente constante, se relajan los requisitos de linealidad del PA. Además, la Densidad Espectral de Potencia de la MSK tiene lóbulos secundarios que inherentemente suprimen los efectos de las interferencias [8].

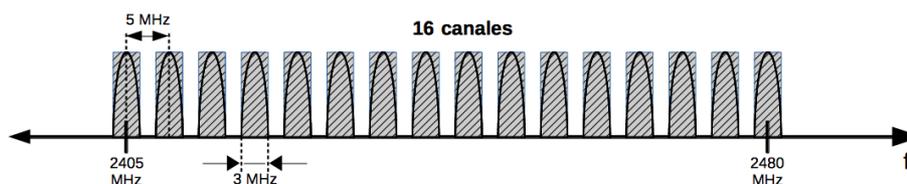


Figura 2.7: Banda de frecuencia de 2.4 GHz especificada por IEEE 802.15.4

Los requisitos de transmisión impuestos por ZigBee son los mismos que los indicados en el

estándar IEEE 802.15.4, puesto que se basa en la especificación de la capa física del estándar. Así, un transmisor que cumpla con el estándar deberá transmitir una señal con una potencia de salida de -3 dBm como mínimo y 10dBm como máximo, tal y como dicta la FCC (*Federal Communications Commission*). Asimismo, el valor de la relación de potencia con el canal adyacente (*Adjacent Channel Power Ratio* o ACPR) debe ser superior a 20 dB, de forma que se garantice que no habrán interferencias con los canales adyacentes [9].

Aparte de los requisitos anteriormente mencionados, se debe comprobar que la constelación transmitida es correcta. Para ello se realiza la medida de la magnitud del vector de error (*Error Vector Magnitude* o EVM), el cual indica la desviación media entre los valores reales de la constelación transmitida y los ideales. El estándar especifica un valor de EVM bastante laxo, de un 30 % [9].

El transmisor diseñado deberá cumplir con todos estos requisitos para que se pueda considerar que cumple con el estándar IEEE 802.15.4, exigiéndose además, desde un punto de vista comercial, que el consumo de potencia sea el menor posible.

Capítulo 3

Arquitectura del transmisor

En este capítulo se abordará el estudio de la arquitectura del transmisor que se ha diseñado. En primer lugar se comentarán distintos tipos de arquitectura que se podrían implementar para diseñar un transmisor de radiofrecuencia y las ventajas y desventajas que cada una de éstas presentan, de forma que se pueda elegir la más conveniente. Finalmente, se comentará la arquitectura elegida para realizar el diseño del transmisor.

3.1. Tipos de arquitectura

3.1.1. Transmisor de conversión directa

La primera arquitectura de transmisor que se va a analizar es la conocida como de conversión directa (*Direct Conversion Transmitter* o DCT). El diagrama de bloques de esta arquitectura se muestra en la Figura 3.1.

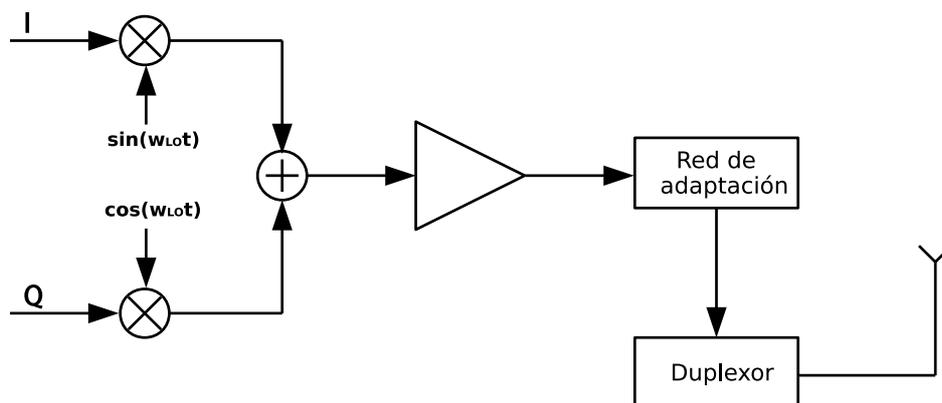


Figura 3.1: Diagrama de bloques de un transmisor de conversión directa

Como se puede observar, se trata de una arquitectura bastante simple. Las componentes de fase y cuadratura (I y Q, respectivamente) de la señal en banda base (BB) son mezcladas con la señal que proviene del oscilador local (OL) para subir la señal a la frecuencia de transmisión (RF), proceso

que normalmente se denomina *up-conversion*. Tras la mezcla, ambas componentes se suman y son amplificadas por un amplificador de potencia (Power Amplifier o PA). Finalmente, la señal pasa por una red de adaptación para así poder ser transmitida al medio a través de una antena [10]. El proceso de *up-conversion* se ilustra en la Figura 3.2.

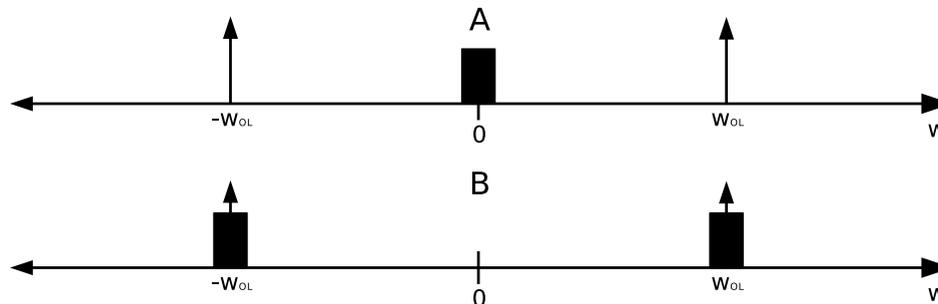


Figura 3.2: Proceso de *up-conversion*

Esta arquitectura cuenta con una serie de ventajas, siendo la más destacada su simplicidad, por lo cual es aplicada en diseños que requieren de un alto nivel de integración [11][12][13][14]. Además, la frecuencia de la señal transmitida es la misma que la que provee el oscilador local, lo cual simplifica enormemente el circuito. Sin embargo, esta arquitectura presenta problemas con la cancelación de los *offset* de continua en banda base y, como principal desventaja, la señal del oscilador local es distorsionada por la señal de salida del PA [10]. Este fenómeno, conocido como *injection pulling*, se debe a que ambas señales se encuentran a la misma frecuencia y la señal a la salida del PA degrada la suministrada por el OL, pero no captura la frecuencia del mismo, lo cual se conoce como *injection locking*. Este proceso se ilustra en la Figura 3.3, donde la salida del PA contiene un gran número de componentes espectrales próximas a ω_{OL} , filtrándose a través del encapsulado y el sustrato del VCO, causando *pulling* [15].

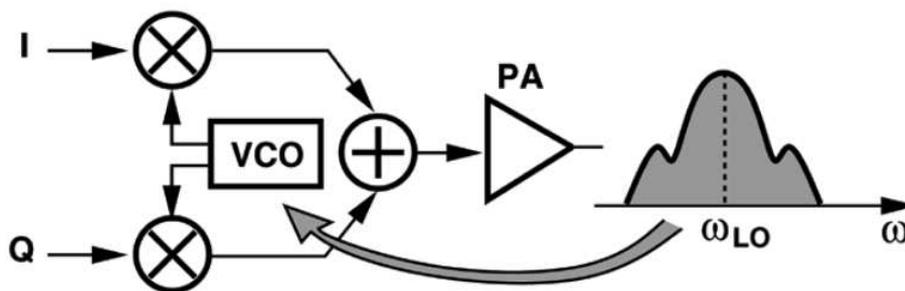


Figura 3.3: Injection pulling en un transmisor de conversión directa

3.1.2. Transmisor superheterodino

La segunda arquitectura a analizar es la superheterodina, también conocida como de doble conversión. El diagrama de bloques de esta arquitectura se muestra en la Figura 3.4.

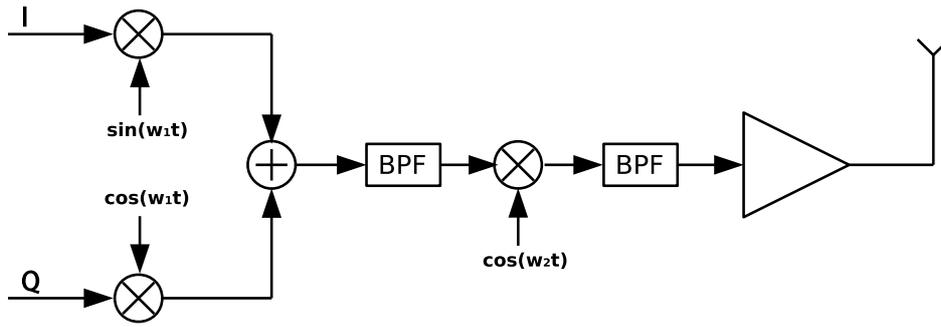


Figura 3.4: Diagrama de bloques de un transmisor superheterodino

Esta arquitectura también tiene un funcionamiento bastante sencillo, el cual se ilustra en la Figura 3.5. Primero, las componentes I y Q de la señal (A) en banda base son mezcladas con una señal a una frecuencia intermedia (FI). Posteriormente, la señal resultante (B) es filtrada por un filtro paso-banda (*Band Pass Filter* o BPF) centrado a la frecuencia intermedia, de forma que se mantiene la señal en esa banda y se elimina o reduce la amplitud de las copias de la señal centradas en múltiplos de ese valor frecuencia (C). Seguidamente, se mezcla la señal centrada a la frecuencia intermedia w_1 con otra de frecuencia w_2 , de forma que la mezcla de ambas señales resulta en una señal centrada a la frecuencia $w_1 + w_2$, la cual es la frecuencia RF que se quería conseguir (D). Esta señal resultante es filtrada por un filtro paso-banda centrado en la frecuencia de RF, de forma que se eliminan las componentes no deseadas (E). Finalmente, la señal es amplificada para su transmisión a través de la antena [10].

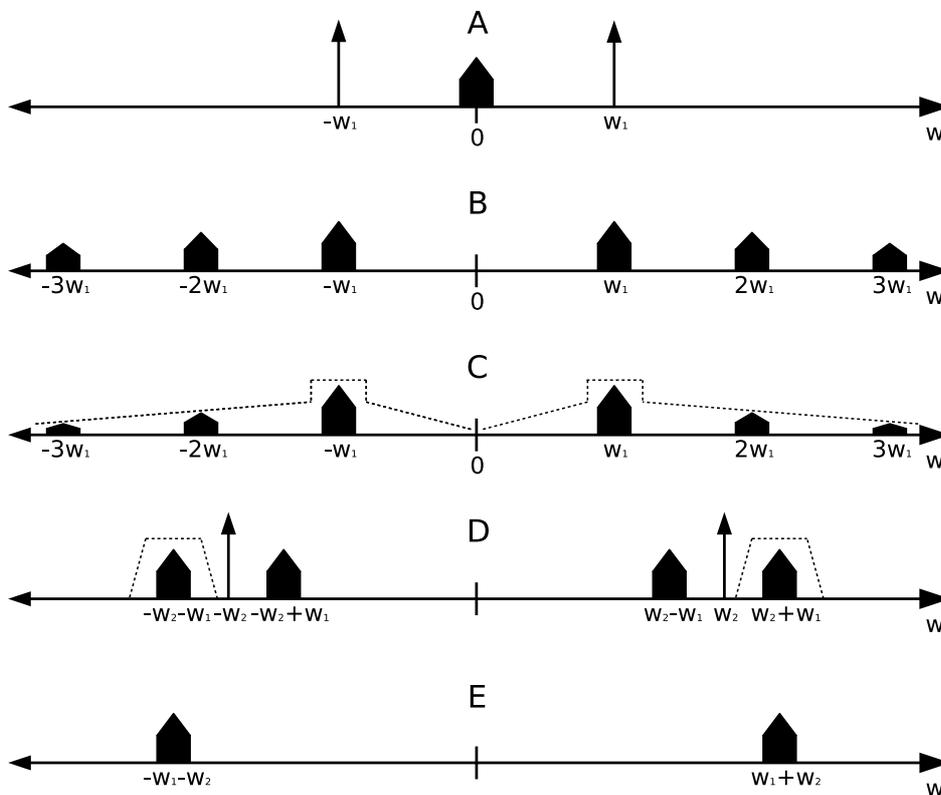


Figura 3.5: Funcionamiento del transmisor superheterodino

Esta arquitectura garantiza que la señal del Oscilador Local no será alterada por la señal de salida (*injection pulling*), ya que la señal primero pasa por una frecuencia intermedia y es debidamente filtrada. Otra ventaja de esta arquitectura es que el desapareamiento se reduce, debido a que la modulación de las señales I y Q se hace a frecuencias bajas. Además, no se producen problemas de *offset* de continua en banda base. Sin embargo, esta arquitectura presenta una serie de desventajas, siendo la primera de ellas el hecho de que requiere de un gran número de componentes para su implementación, lo cual se traduce en un mayor requisito de área y un mayor coste, lo cual supone un problema a la hora de diseñar un circuito altamente integrable. Asimismo, el filtro paso-banda que se coloca a la salida del segundo mezclador debe ser de muy buenas prestaciones, pues debe eliminar la señal no deseada a la frecuencia $w_2 - w_1$ para que no interfiera con la señal deseada. Para ello, deberá tener un rechazo a esa frecuencia de unos 50-60dB, valor bastante elevado que fuerza al diseñador a implementar un filtro externo relativamente caro [10][16].

Las ventajas y desventajas de las dos arquitecturas de transmisores estudiadas se recogen en la Tabla 3.1

Arquitectura TX	Ventajas	Inconvenientes
Superheterodino	Funcionamiento fiable Planeamiento de frecuencias flexible No presenta problemas de <i>injection pulling</i> Cancelación sencilla del <i>offset</i> de DC en BB	Caro Voluminoso Alto consumo
Conversión Directa	Bajo coste Planeamiento de frecuencias simple Alta integrabilidad No hay problemas con la Frecuencia Imagen	Conversión BB-RF en cuadratura Problemas de <i>injection pulling</i> No cancelación del <i>offset</i> de DC en BB

Tabla 3.1: Tabla comparativa de las distintas arquitecturas de transmisores estudiadas

3.2. Arquitectura del transmisor diseñado

Una vez analizadas las distintas arquitecturas posibles de un transmisor de radiofrecuencia, y analizadas las ventajas y desventajas de cada una, se ha optado por una arquitectura de transmisor de conversión directa. Como se ha analizado en el apartado anterior, la arquitectura superheterodina no es la más apropiada para aplicaciones de bajo coste, bajo consumo y alta integrabilidad, por lo cual queda descartada para este caso. Por otro lado, la arquitectura de conversión directa permite integrar el transmisor en un área reducida e implica un menor coste y un consumo de potencia reducido. En cuanto a los inconvenientes que presenta esta arquitectura, éstos pueden ser resueltos de diversas formas:

- Los problemas de *injection pulling* del OL se pueden eliminar operando el VCO (*Voltage Controlled Oscillator*) al doble de la frecuencia deseada y usando un divisor de frecuencia. Además, puesto que el diseño del OL no es el objetivo de este trabajo, se puede suprimir el problema implementando un PA con gran aislamiento entre la entrada y la salida.
- Los problemas de *offset* de continua y ruido flicker (ruido a baja frecuencia) que podría tener esta arquitectura no son tan críticos cuando se trabaja con una señal de entrada con un nivel relativamente alto.

Teniendo esto en cuenta, se ha optado por la arquitectura de conversión directa. De esta forma, el diagrama de bloques del transmisor a diseñar se muestra en la Figura 3.6.

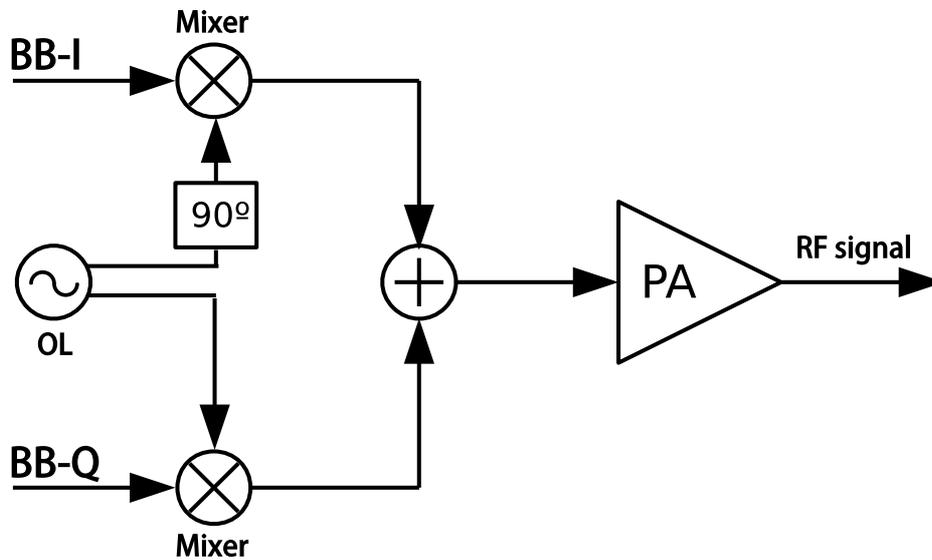


Figura 3.6: Estructura del transmisor

Como se puede apreciar, el transmisor consta de dos partes principales. La primera corresponde con los mezcladores, los cuales están controlados por un oscilador local y su función es la de subir la frecuencia de la señal en banda base a la frecuencia de RF mediante el proceso anteriormente denominado *up-conversion*. En segundo lugar, se sitúa el *Power Amplifier* o PA, encargado de amplificar la señal en RF para su transmisión. Este transmisor será integrado en un transceptor completo, compuesto por este circuito, un receptor ya diseñado [17] y un oscilador local controlado por tensión o VCO (*Voltage Controlled Oscillator*), el cual queda fuera del alcance de este proyecto.

Capítulo 4

Manejo de ADS

Hoy en día, los paquetes CAD (*Computer Aided Design*) de diseño de circuitos electrónicos, además de predecir su respuesta, proporcionan un entorno de diseño que abarca todos los aspectos que le conciernen, desde las especificaciones iniciales hasta la comprobación de las reglas de diseño para el *layout* final del circuito. Aún siendo así, un simulador no puede suplantar nunca al diseñador, ya que es éste el que en todo momento debe tomar decisiones y revisar su trabajo.

Para diseñar el transmisor del presente Trabajo Fin de Máster se ha empleado empleado una de estas herramientas, el *Advanced Design System 2009* de la empresa *Keysight*.

ADS ofrece un gran número de sistemas de RF y ejemplos ya resueltos. Puede llegar incluso a simular un enlace inalámbrico entero (incluyendo DSP, circuitería de FI, cabezal de RF y aspectos de propagación). Entre las prestaciones que aporta este software cabe destacar, por su utilidad en nuestro proceso de diseño, que ADS permite realizar múltiples simulaciones simultáneas sobre un mismo circuito. En las hojas de resultados de dichas simulaciones se pueden representar diferentes tipos de gráficos junto con ecuaciones de post-procesado.

En la Figura 4.1 se muestran las principales ventanas del entorno de trabajo de ADS: la ventana principal en la esquina superior izquierda, la ventana de diseño del circuito en la esquina superior derecha, la ventana de estado de la simulación en la esquina inferior izquierda y la hoja de resultados de la simulación, ubicada en la esquina inferior derecha.

Esto proporciona una idea inicial de la forma de trabajar que tiene este programa y el potencial que ofrece. La estructura es sencilla y accesible a cualquier usuario que esté familiarizado con el manejo de sistemas operativos como *Windows* o *Unix*. Las carpetas donde se recogen todos los elementos que componen el sistema reciben el nombre de proyectos. A su vez, este directorio se divide en subcarpetas que recogen diferentes aspectos del proyecto como son los esquemas de las redes (*networks*), datos (*data*) y simulaciones (*simulation*), entre otros. Esta estructura ofrece la posibilidad de mantener una relación jerárquica entre los diseños. Asimismo, este software permite la realización de *layouts*, que es el paso previo a la implementación física de los circuitos [18].

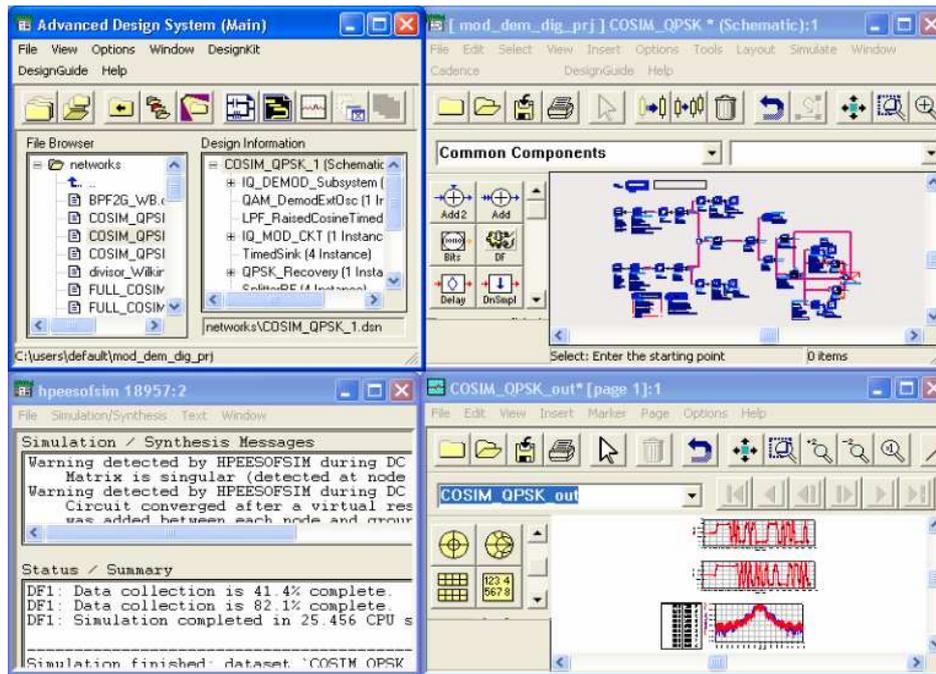


Figura 4.1: Vista de las ventana principales de ADS

4.1. Tipos de simulaciones en ADS

ADS ofrece diferentes tipos de simulaciones para analizar la respuesta de un circuito. La Tabla 4.1 presenta un breve resumen de cada una de ellas. Para cada tipo de simulación se enumera el dominio en el que se realiza (tiempo y/o frecuencia), las características del estímulo, las situaciones en las que se debe usar y las salidas que genera.

Simulación	Dominio	Estímulo	Aplicaciones y ejemplos
DC	Frecuencia	Múltiples niveles de tensión DC	Establece los niveles de operación, dibuja las curvas de polarización DC.
AC	Frecuencia	Pequeña señal sinusoidal	Comportamiento en pequeña señal en estado estacionario. Puede calcular los parámetros de red, MAG, coeficientes de adaptación, círculos de ganancia, K, círculos de estabilidad, etc.
Balance de Armónicos (Harmonic Balance, HB)	Frecuencia y tiempo	Múltiples señales grandes sinusoidales	Comportamiento de gran señal en estado estacionario de amplificadores de potencia, mezcladores, osciladores. Puede ser usado para calcular condiciones de oscilación, intermodulación, pérdidas de conversión, potencia de salida, etc.
Transitorio (transient)	Tiempo	Múltiples señales de variación arbitraria en el tiempo	Respuesta transitoria de redes de componentes discretos. Puede ser usado para realizar pruebas de estabilidad en amplificadores, observar efectos de distorsión no lineal, comprobar arranque de osciladores, etc.
Convolución (convolution)	Frecuencia y tiempo	Múltiples señales de variación arbitraria en el tiempo	Respuesta transitoria de redes que contienen componentes discretos y distribuidos. El mismo uso que el análisis transitorio.
Ruido (noise)	Frecuencia	Pequeña/gran señal sinusoidal	Prestaciones de redes lineales o no lineales. Puede estimar la figura de ruido de redes de dos puertos, ruido de fase de osciladores, etc.
Envolvente (envelope)	Frecuencia y tiempo	Múltiples señales moduladas arbitrariamente	Respuesta de redes no lineales a señales de entrada moduladas. Útil para efectos de distorsión debidos a no linealidad.
Modo mixto (mixed mode)	Tiempo	Múltiples señales sinusoidales grandes y/o entradas digitales	Prestaciones de subsistemas incluyendo componentes analógicos y digitales.
Rendimiento (yield)	Tiempo	Pequeña señal o múltiples señales grandes	Estimación estadística del rendimiento del circuito a partir de las tolerancias de los componentes.

Tabla 4.1: Tipos de simulaciones disponibles en ADS [1]

Conviene definir ciertos términos mencionados en la Tabla 4.1, de forma que quede claro su significado. La aproximación de pequeña señal asume que la señal de entrada RF tiene una variación en tensión y corriente insignificante alrededor del punto fijo de polarización. Como consecuencia, no puede inducir cambios en el circuito bajo prueba. Por el contrario, para una entrada en gran señal no se puede hacer esta suposición. Las técnicas de análisis lineal producen resultados válidos sólo si reúnen una de estas dos condiciones: el comportamiento del circuito no varía con la potencia de entrada RF o la señal de RF de entrada puede ser considerada como pequeña señal. En el resto de casos se han de realizar análisis no lineales, por lo que se aplica a todos los circuitos cuyo comportamiento varía en función del nivel de potencia RF de entrada (gran señal).

Como se ha podido comprobar, se dispone de una gran variedad de simuladores para estudiar los circuitos. Dependiendo de la topología del mismo emplearemos un análisis u otro. Ahora se procederá a analizar más detalladamente los que mayor implicación pueden tener en el diseño del transmisor.

4.1.1. Balance de Armónicos

Este simulador se emplea para el estudio de la estabilidad en circuitos no lineales, generalmente estimulados por gran señal. Se puede utilizar para diseñar amplificadores de potencia, mezcladores, osciladores, etc. Diseñar circuitos no lineales puede ser bastante complejo, por lo que es habitual empezar el diseño usando técnicas lineales y, una vez que el diseño lineal es aceptable, se emplea el balance armónico para refinar el diseño y realizar predicciones sobre el comportamiento del mismo en gran señal.

La forma de proceder consiste en dividir la red en dos subcircuitos, uno lineal y otro no lineal. Ambos subcircuitos se unen mediante N puertos, y la célula lineal posee M puertos para fuentes y cargas. El simulador primero descompone los modelos de los dispositivos no lineales, separando los componentes lineales (por ejemplo, resistencias fijas y reactancias) de los elementos discretos no lineales (por ejemplo, capacidades controladas por tensión y transconductancias)[1]. Este comportamiento se puede apreciar en la Figura 4.2.

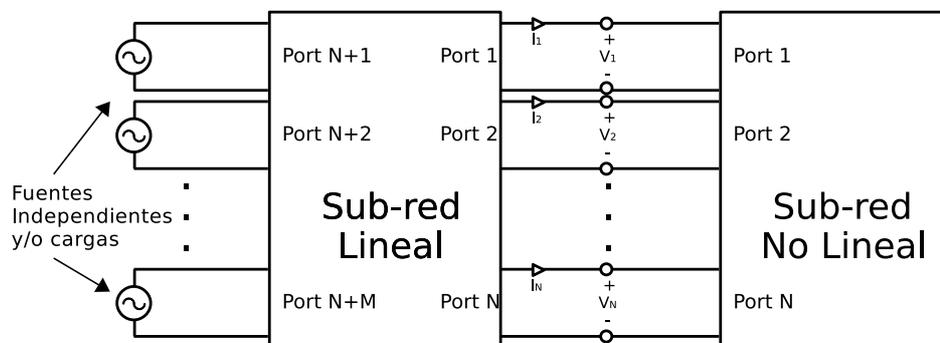


Figura 4.2: División del circuito realizada por el Balance de Armónicos

El Balance de Armónicos opera de la siguiente forma: En primer lugar, se realiza una simula-

ción DC para obtener el punto de operación del circuito. Las señales de excitación periódicas y sus términos mezclados son representadas por series de Fourier con un número finito de armónicos de cada tono. Le corresponde al usuario especificar el número de armónicos a usar para representar cada señal de entrada. De este modo, la forma de onda de la señal en cada nodo del circuito es representada como una suma de un número finito de sinusoides. El proceso de solución comienza con una suposición inicial del espectro de la tensión en cada nodo. Este espectro es convertido a una tensión en el dominio del tiempo mediante el uso de la transformada inversa de Fourier (IFFT). Las corrientes en los terminales del dispositivo no lineal son procesadas usando su modelo *spice* [19] y la forma de onda de la tensión. Las corrientes en el dominio del tiempo son convertidas a espectros de corriente en cada terminal usando FFTs. Por otro lado, los espectros de corriente en los nodos de los dispositivos lineales son fácilmente procesados desde parámetros S o Y en el dominio de la frecuencia y el espectro de tensión en cada nodo. El espectro de tensión que se supuso inicialmente se ajusta para satisfacer las leyes de Kirchoff en cada nodo. De acuerdo con dichas leyes, las corrientes deberían sumar cero teniendo en cuenta todos los nodos. La probabilidad de obtener este resultado en la primera iteración es extremadamente pequeña, por lo que se emplea una función de error que indique en qué grado son violadas las leyes de Kirchoff.

El proceso iterativo, conocido como Newton-Raphson [20] se repite hasta que el valor de la función de error se minimice. El resultado de la amplitud de las tensiones y las fases da la solución al estado estacionario. En la Figura 4.3 se resume mediante un esquema el desarrollo del balance armónicos.

Una desventaja del Balance de Armónicos es el hecho de que se trata de un proceso iterativo, por lo que no hay garantías de que converja. Otra posible desventaja radica en que, si el número de frecuencias de excitación es elevado, la complejidad matemática del problema puede requerir mucha memoria computacional y potencia de procesamiento. Este problema se resuelve a través de los subespacios de Krylov [21], con los que se disminuye sustancialmente el requisito de memoria y la potencia de cómputo requerida, aunque se pierde algo de exactitud en la solución.

Como se representa en la Figura 4.4, la memoria usada y el tiempo de simulación crece de manera lineal con el tamaño del circuito cuando se aplica el método de Krylov, mientras que para el método tradicional de Balance de Armónicos el crecimiento es exponencial. Asimismo, el Balance de Armónicos no siempre es el simulador más preciso para predecir la distorsión por intermodulación. Los productos de intermodulación tienden a ser señales débiles, por lo que pueden llegar a ser tapados por el ruido numérico generado por la aplicación repetida del algoritmo de la transformada rápida de Fourier (FFT).

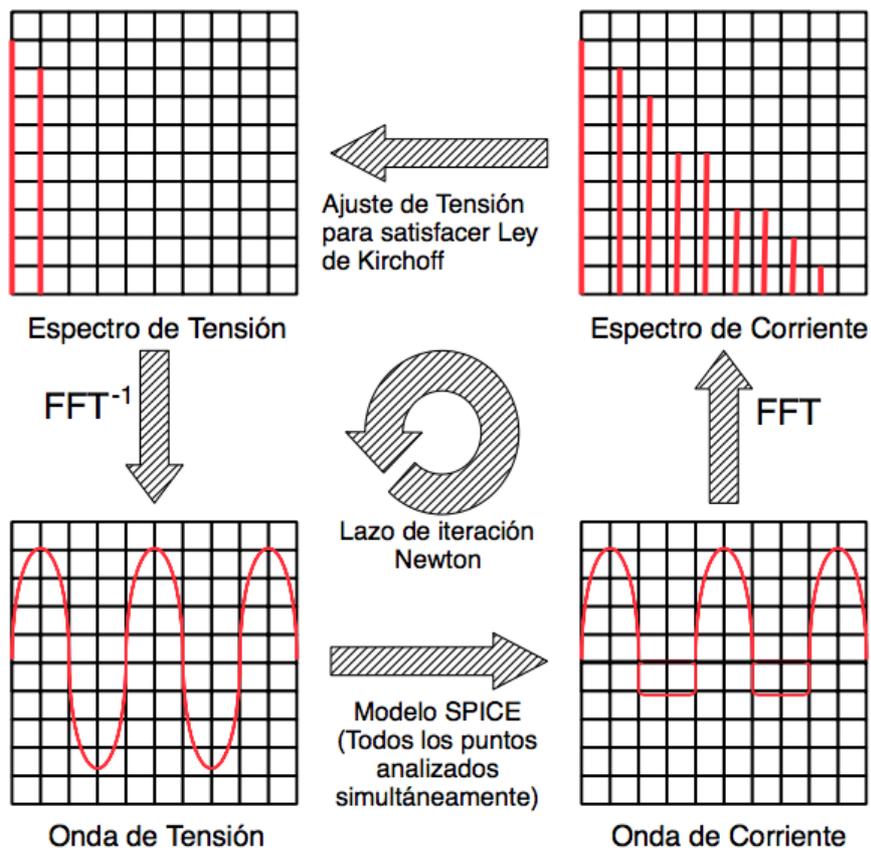


Figura 4.3: Funcionamiento del Balance de Armónicos

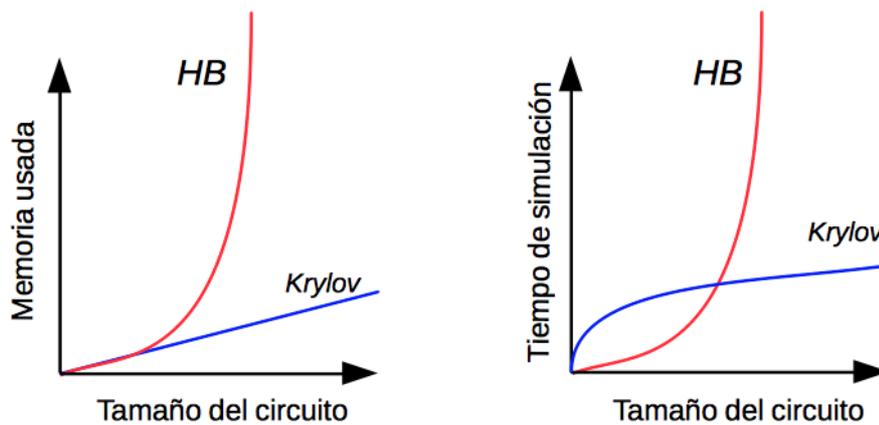


Figura 4.4: Comparativa entre HB tradicional y por el método de Krylov

4.1.2. Parámetros S

Los parámetros de dispersión, más comúnmente conocidos como parámetros S, son los coeficientes de reflexión y transmisión entre la onda incidente introducida en un sistema y la onda reflejada. Estos parámetros describen completamente el comportamiento de un dispositivo bajo condiciones lineales en determinado rango de frecuencia. Cada parámetro es caracterizado por magnitud, ganancias o pérdidas y fase. A pesar de ser aplicables a cualquier frecuencia, los parámetros S se emplean principalmente en redes que operan en radiofrecuencia (RF) y frecuencias de microondas. En general, los parámetros S cambian con la frecuencia a la que se miden, razón por la cual se debe especificar la frecuencia o el rango de frecuencias de la medición de parámetros S, junto con la impedancia característica del sistema [22].

Los parámetros S indican la forma en que las corrientes y tensiones que se desplazan por una línea de transmisión son afectadas cuando se encuentran con una discontinuidad causada por la introducción de una red en dicha línea. Esto equivale a que la onda que circula por la línea se encuentra con una impedancia diferente de la característica de la línea. En la Figura 4.5 se muestra el esquema típico de un cuadripolo lineal, el cual puede estar compuesto por elementos tanto activos como pasivos, y los parámetros S sobre el mismo. Estos parámetros son los siguientes:

- S_{11} : Coeficiente de reflexión a la entrada o coeficiente de reflexión directa.
- S_{21} : Coeficiente de transmisión directa o ganancia de tensión directa.
- S_{12} : Coeficiente de transmisión a la entrada o ganancia de tensión inversa.
- S_{22} : Coeficiente de reflexión a la salida o coeficiente de reflexión inversa.

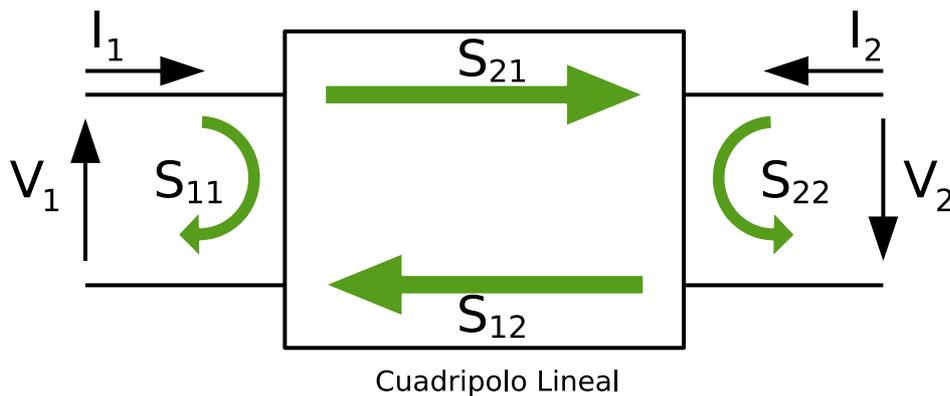


Figura 4.5: Esquema típico de un cuadripolo con sus parámetros S

Para calcular estos parámetros, es necesario hallar la matriz de la red de dos puertos compuesta por el cuadripolo. Para ello, se simplifica el esquema de la Figura 4.5 al de la Figura 4.6 y se extrae la matriz [22].

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix}$$

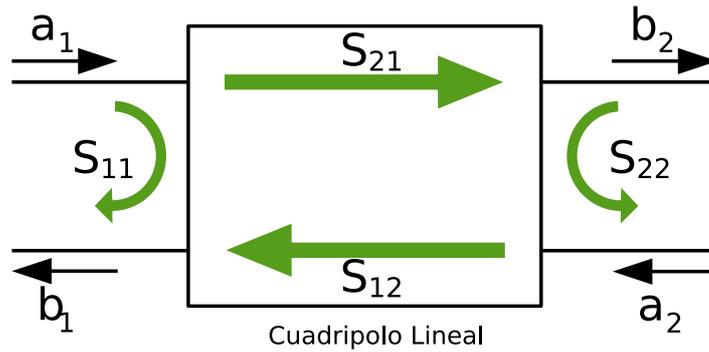


Figura 4.6: Esquema simplificado de Parámetros S

Expandiendo las matrices en ecuaciones, se tiene que:

$$b_1 = S_{11}a_1 + S_{12}a_2$$

$$b_2 = S_{21}a_1 + S_{22}a_2$$

Cada ecuación da la relación entre las ondas de potencia reflejada e incidente en cada uno de los puertos de la red en función de los parámetros S de la misma. Así, si se introduce una onda de potencia incidente en el puerto 1 (a_1), pueden haber ondas a la salida tanto en el mismo puerto 1 (b_1) o en el puerto 2 (b_2). Sin embargo, si el puerto 2 está terminado en una carga idéntica a la impedancia del sistema ($Z_o = Z_{sist}$), entonces, debido al teorema de máxima transferencia de potencia, b_2 será absorbida totalmente, quedando $a_2 = 0$. Por lo tanto,

$$S_{11} = \frac{b_1}{a_1} = \frac{V_1^-}{V_1^+}$$

$$S_{21} = \frac{b_2}{a_1} = \frac{V_2^-}{V_1^+}$$

Igualmente, si el puerto 1 está terminado en la impedancia del sistema, $a_1 = 0$, por lo que

$$S_{12} = \frac{b_1}{a_2} = \frac{V_1^-}{V_2^+}$$

$$S_{22} = \frac{b_2}{a_2} = \frac{V_2^-}{V_2^+}$$

En ADS, la simulación de parámetros S es muy sencilla. Simplemente es necesario conectar a los puertos del componente a analizar terminales (*Term* en ADS) con la impedancia del sistema e indicar en los parámetros de la simulación de parámetros S el rango de frecuencias o la frecuencia a la que se quiere simular el sistema. Posteriormente, los resultados se podrán mostrar en tablas de datos, gráficos, cartas de Smith, etc.

4.1.3. Simulación de Envolvente

El simulador de envolvente usa el dominio temporal y el de la frecuencia para calcular la respuesta del circuito a señales RF moduladas en banda base. Normalmente, el uso de simulaciones en régimen transitorio conlleva un tiempo excesivo y cuando los circuitos son excitados con señales de alta frecuencia (con o sin modulación), los pasos en el tiempo llegan a ser tan pequeños que se requiere un gran número de ellos para alcanzar el estado estacionario. Con el simulador de envolvente se establece dicho paso de forma que satisface el criterio de Nyquist para la señal modulada.

En la Figura 4.7 se muestra la representación temporal y espectral de una modulación de AM. Si se relaciona esta modulación con la envolvente, se puede observar que la frecuencia alta viene dada por la frecuencia de la portadora, f_p . En el dominio de la frecuencia es el tono central que aparece en la imagen, mientras que a su alrededor se encuentran los tonos de la frecuencia moduladora, f_m . El mínimo de resolución que pueden alcanzar los pasos en la frecuencia es el valor de la f_m , ya que si se tomara un valor inferior a éste se perdería la modulación y, debido a ello, la información contenida en la moduladora. Por otra parte, se puede apreciar que para pasar de un dominio a otro simplemente se debe aplicar la transformada directa (del tiempo a la frecuencia, FFT) y la inversa (de la frecuencia al tiempo, IFFT).

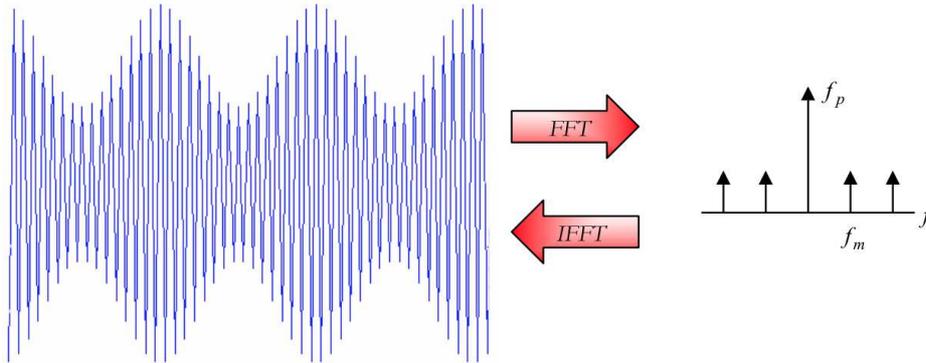


Figura 4.7: Señal AM en el dominio temporal y su espectro discreto

La clave de esta técnica consiste en muestrear la señal modulada y realizar un balance de armónicos con una señal de entrada con la amplitud y la fase del punto muestreado. De esta forma, se puede representar en el dominio del tiempo la tensión de cualquier nodo, incluyendo el de salida, mediante un espectro discreto que cambia con el tiempo. La modulación de salida se extrae del espectro dibujando la amplitud y fase de la componente espectral fundamental como función del tiempo. Empleando una FFT, esta función del tiempo puede ser transformada al espectro de la envolvente. Este tipo de simulación tiene aplicaciones generales en análisis de circuitos. Por ejemplo, puede utilizarse para calcular parámetros como la interferencia del canal adyacente resultante de la distorsión de intermodulación, el funcionamiento de osciladores o las prestaciones en cuanto a ruido, entre otros.

4.1.4. Análisis de Rendimiento

Este tipo de simulación está orientado a la optimización del diseño antes de llevar a cabo la implementación física. Para realizar este proceso, la simulación se vale de una serie de parámetros que ofrece el fabricante. La obtención de los mismos se lleva a cabo mediante pruebas o procesos de control (PCM, *Process Control Monitors*).

Los procesos de análisis de rendimiento involucran simulaciones del circuito sobre un número específico de ensayos, donde los parámetros son variados arbitrariamente sobre sus valores nominales, usando funciones de probabilidad extraídas de medidas PCM. El simulador registra cada ensayo como un paso o un fallo, basándose en las especificaciones proporcionadas. Este método de cálculo del rendimiento es conocido como análisis de Monte Carlo, cuya principal característica radica en el hecho de que su exactitud es independiente del número de variables estadísticas y su distribución de probabilidad [23].

La diferencia entre el rendimiento estimado y el rendimiento real depende del número de pruebas realizadas. Un número pequeño de pruebas no es representativo del resultado total. Esto se expresa por un error elevado en la estimación, el cual es válido para una fracción pequeña de pruebas. Esta fracción se conoce como nivel de confianza. Para obtener un error pequeño con alto nivel de confianza, se debe realizar un mayor número de pruebas. Las expresiones para obtener el número exacto de ensayos requerido puede ser obtenido de referencias sobre ensayos Monte Carlo y niveles de confianza [24].

Para mejorar el diseño, el circuito puede ser optimizado por un proceso conocido como diseño central. La idea es ajustar los valores nominales de los componentes de forma que el mayor número de chips se encuentren en las especificaciones del diseño. Para cada iteración se realizan varios análisis individuales de rendimiento variando el número de ensayos y niveles de confianza. Una vez obtenidos los niveles de rendimiento mínimo deseado, es preciso realizar un análisis de rendimiento final, con un número de ensayos específico, de forma que se obtenga la estimación de error y el nivel de confianza optimizados.

4.2. Disponibilidad de ADS

El software ADS está disponible para plataformas con Sistemas Operativos *Unix* y *Windows*. Para cualquiera de estos sistemas operativos, el programa es sencillo y fácilmente manejable, lo cual permite que el usuario se familiarice rápidamente con el entorno de trabajo.

Además, ADS permite la interoperatividad con otros programas del mismo tipo, como por ejemplo las herramientas de *Cadence*, aumentando así su potencial como herramienta de diseño. Para este fin, dispone de una serie de herramientas y una organización en cuanto a las extensiones de los diseños realizados que facilita la comunicación con otros entornos de trabajo similares.

Capítulo 5

Diseño del mezclador

En este capítulo se describirán los distintos conceptos teóricos del mezclador, así como las decisiones de diseño tomadas y el procedimiento seguido para realizar dicho circuito. El mezclador se ha diseñado con la tecnología UMC de 0.18 μm .

5.1. Conceptos teóricos

El mezclador es el circuito encargado de coger la señal entrante en banda base y trasladarla a la frecuencia de transmisión (RF) deseada. En este caso, la señal de RF se encuentra a una frecuencia de 2.4 GHz. Por tanto, el mezclador es el encargado de trasladar la señal desde los 0 Hz a los que se encuentra en banda base a los 2.4 GHz. Como ya se comentó previamente (**Capítulo 3: Arquitectura del transmisor**), este proceso se denomina *up-conversion*, ya que se pasa de una frecuencia baja a una más alta. Por otro lado, existen los mezcladores de *down-conversion*, los cuales realizan la operación contraria, desplazar la señal de una frecuencia alta a una inferior, ya sea una frecuencia intermedia o la de banda base. Los mezcladores de *up-conversion* se utilizan en transmisores mientras que los de *down-conversion* se emplean en receptores.

Para trasladar la señal de una frecuencia a otra, un mezclador de frecuencias le suma o resta a la banda de frecuencia de la señal un valor de frecuencia constante denominado frecuencia del oscilador local. A la salida del mezclador se obtiene la señal en la frecuencia deseada.

Visto esto, es evidente que el mezclador realiza una operación no lineal. En la Figura 5.1 se muestra un mezclador sencillo formado por un dispositivo no lineal con una tensión de entrada v_1 . Si el dispositivo fuera perfectamente lineal, la tensión o corriente de salida contendría sólo la frecuencia f_1 . La naturaleza no lineal determina que se generen otras frecuencias.

En general, la relación entrada-salida en el dominio del tiempo se puede expresar por la siguiente serie de Taylor:

$$i_2(t) = I_2 + av_1(t) + b[v_1(t)]^2 + c[v_1(t)]^3 + \dots$$

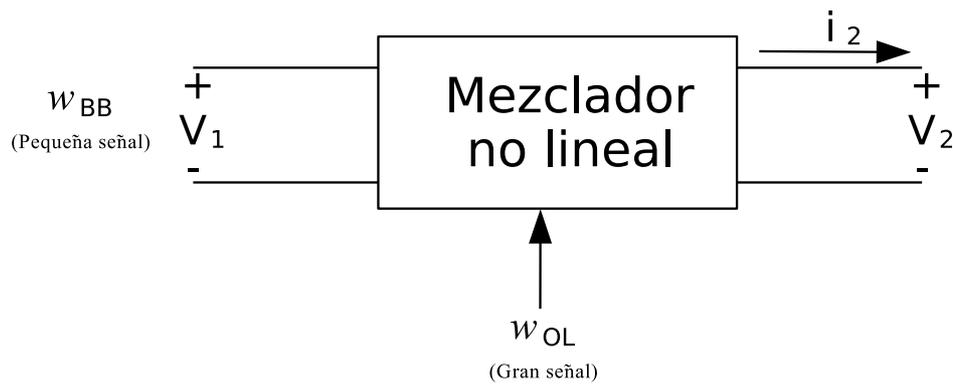


Figura 5.1: Mezclador implementado como dispositivo no lineal

donde I_2 es la corriente de salida en reposo y $v_1(t)$ representa la suma de los efectos de todas las señales de entrada. Si la entrada contiene sólo una frecuencia, la no-linealidad generará armónicas de esta frecuencia y alterará la componente continua. Sin embargo, si se tienen varias frecuencias de entrada, se generarán frecuencias suma y diferencia, así como armónicos. Las frecuencias de suma y diferencia generadas por el término cuadrático en la ecuación anterior se denominan productos de intermodulación de segundo orden. Igualmente, las originadas por el término cúbico se denominan productos de intermodulación de tercer orden.

Debido a este hecho, el uso de un dispositivo de ley cuadrática es ideal para la implementación de un mezclador, ya que produce un número mínimo de frecuencias no deseadas. Así, si el dispositivo tiene la característica de transferencia

$$i_2(t) = av_1(t) + b[v_1(t)]^2$$

y la entrada en el sistema es

$$v_1(t) = V_{BB} * \cos(w_{BB}t) + V_{OL} * \cos(w_{OL}t)$$

la corriente de salida queda

$$i_2(t) = a(V_{BB} * \cos(w_{BB}t) + V_{OL} * \cos(w_{OL}t)) + b(V_{BB} * \cos(w_{BB}t) + V_{OL} * \cos(w_{OL}t))^2$$

$$i_2(t) = aV_{BB}\cos(w_{BB}t) + aV_{OL}\cos(w_{OL}t) + bV_{BB}^2 * \cos^2(w_{BB}t) + bV_{OL}^2 * \cos^2(w_{OL}t) +$$

$$+ 2bV_{BB}V_{OL} * \cos(w_{BB}t)\cos(w_{OL}t)$$

Los dos primeros términos de la ecuación carecen de interés de cara al funcionamiento del mezclador, salvo que sea necesario su filtrado en un circuito práctico. Aplicando la igualdad trigonométrica

$$aV^2 * \cos^2(\omega t) = \frac{a}{2}V^2 * (1 + \cos^2(\omega t))$$

se llega a la conclusión de que los términos tercero y cuarto representan una componente continua y segundos armónicos de las frecuencias de entrada. Así, el término final de la ecuación anterior queda:

$$2bV_{BB}V_{OL} * \cos(\omega_{BB}t)\cos(\omega_{OL}t) = bV_{BB}V_{OL}[\cos((\omega_{OL} - \omega_{BB})t) + \cos((\omega_{OL} + \omega_{BB})t)]$$

Como se puede observar, las amplitudes de las componentes de frecuencias suma y diferencia son proporcionales al producto de las amplitudes de las señales de entrada ($V_{BB} * V_{OL}$). Por lo general, en un mezclador de *up-conversion* sólo se desea tener en la salida la componente centrada a la frecuencia de RF, por lo que deben eliminarse las componentes a la frecuencia de banda base, las armónicas y la resta de las mismas. Normalmente, esto se consigue mediante un filtrado.

Una vez analizado esto, se puede afirmar que un mezclador ideal para un transmisor se compone de un multiplicador y un filtro baso banda, tal y como se muestra en la Figura 5.2.

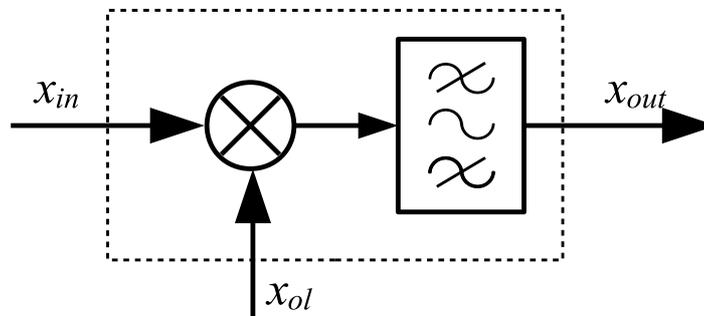


Figura 5.2: Diagrama de bloques de un mezclador ideal

En este diagrama, la señal entrante se puede describir como

$$x_{in} = g(t) * \cos(\omega_{in}t)$$

y la señal del oscilador local es

$$x_{ol} = A * \cos(\omega_{ol}t)$$

Con estas señales, a la salida del mezclador se obtiene lo siguiente:

$$x_{in} * x_{ol} = A * g(t) * \cos(w_{in}t) * \cos(w_{ol}t)$$

$$x_{in} * x_{ol} = \frac{1}{2}A * g(t) * [\cos(w_{in} + w_{ol})t + \cos(w_{in} - w_{ol})t]$$

Y después del filtrado paso banda, se obtiene la señal de RF a la salida:

$$x_{out} = \frac{1}{2}A * g(t) * \cos(w_{in} + w_{ol})t = \frac{1}{2}A * g(t) * \cos(w_{RF}t)$$

5.2. Parámetros del mezclador

En los siguientes subpartados se definen los parámetros más importantes que describen el funcionamiento de un mezclador.

5.2.1. Ganancia de Conversión

Una característica importante de un mezclador es la ganancia (o pérdida) de conversión, la cual se define como la relación entre el valor de la señal de salida y el de la señal de entrada. Para un mezclador típico, este parámetro es la salida en RF dividida entre la amplitud de la señal de entrada en banda base.

La ganancia de conversión, si se expresa como una relación de potencia, puede ser mayor que la unidad si se tiene un mezclador activo, mientras que los mezcladores pasivos sólo son capaces de lograr ganancias superiores a la unidad en tensión o corriente. Los distintos tipos de mezcladores y sus características principales serán descritos en la siguiente sección (**5.1.3: Tipos de mezcladores**). Normalmente es conveniente obtener una ganancia de conversión alta, ya que esto implica que los mezcladores proporcionan amplificación a la frecuencia de traslación.

5.2.2. Figura de ruido

La figura de ruido se define como la relación señal/ruido (SNR, *Signal to Noise Ratio*) en la entrada del circuito, dividido entre la SNR a la salida del mismo.

En un mezclador se pueden producir problemas de frecuencia imagen, los cuales empeoran la figura de ruido debido a que la componente a la frecuencia imagen puede interferir con la señal que se encuentra a la frecuencia RF. Sin embargo, en el caso de un transmisor, la figura de ruido de los mezcladores que lo componen no es excesivamente relevante para el funcionamiento del sistema completo.

5.2.3. Linealidad

Existen diferentes formas de caracterizar la linealidad de un mezclador. En los siguientes apartados serán definidos estos métodos de caracterización:

- **Rango Dinámico:** El rango dinámico se define como la diferencia entre los valores mínimos y máximos de señal que se pueden aplicar a un circuito. El mínimo valor del rango dinámico se establece con la figura de ruido, que indica la mínima señal que se puede procesar. El máximo del rango dinámico se establece en el principio de las no-linealidades que acompañan a las grandes señales.
- **Punto de compresión:** Como en los amplificadores, y prácticamente en todos los dispositivos físicos, los mezcladores reales tienen un límite por encima del cual la salida tiene una no-linealidad con la entrada. El punto de compresión es el valor de la señal en el que se produce una desviación de la curva lineal ideal. Normalmente, se especifica un valor de compresión de 1 dB o, en algunos casos, 3 dB. Sobre este nivel, un aumento adicional en el nivel de entrada no se traduce en un aumento proporcional en el nivel de salida. Cuantitativamente, la compresión de ganancia es la reducción del nivel de salida en dB por debajo de la característica lineal.
- **Distorsión de intermodulación de tercer orden:** El punto de intercepción de tercer orden (IP3) es el lugar en el que la curva de respuesta fundamental y la respuesta espuria de tercer orden se interceptan, tal y como se muestra en la Figura 5.3. A menudo se usa para especificar la supresión de los armónicos de tercer orden generados por el mezclador cuando a la entrada del mismo están presentes dos tonos. Cuanto más alto esté el punto de intercepción, mejor será la supresión de los armónicos de tercer orden. Un test de intermodulación de tercer orden es una forma eficaz para evaluar el rendimiento de un mezclador debido a que imita un escenario real en el que hay presente a la entrada una señal deseada y una potencial interferencia. Idealmente, ambas señales presentes en la entrada del circuito serían trasladadas en frecuencia sin interactuar unas con otras. Sin embargo, un mezclador real muestra algunos efectos de intermodulación y, por lo tanto, la salida contendrá versiones trasladadas en frecuencia de los componentes de intermodulación de tercer orden cuyas frecuencias serán $2w_{RF1} \pm w_{RF2}$ y $2w_{RF2} \pm w_{RF1}$. La distorsión de intermodulación de tercer orden en dos tonos es la cantidad de distorsión de tercer orden causada por la presencia de una señal secundaria recibida en el puerto de entrada. Matemáticamente, la distorsión de tercer orden se define en términos de la componente de frecuencia en $2f_2 - f_1 \pm f_0$, donde f_1 , es la señal de entrada deseada y f_2 es la señal de entrada secundaria. Por lo general, mientras más alto sea el punto de intercepción del mezclador, más baja será la amplitud de este producto. En la Figura 5.3, se muestra la característica de un mezclador hipotético, así como la representación gráfica de las definiciones anteriores. Para una entrada de 0 dBm la salida es de 6 dBm, indicando una ganancia de conversión de 6 dB. En este nivel de entrada, el producto de intermodulación de dos tonos y tercer orden está 30 dB por debajo de la salida deseada. En un valor de entrada más alto (3dB)

aparece el punto de compresión de 3 dB (3 dB de salida deseada por debajo del valor de línea recta); y a un nivel de entrada aún más alto se encuentra el punto de intercepción de tercer orden, que es donde se unen las curvas proyectadas de la salida deseada y las del producto de intermodulación de tercer orden.

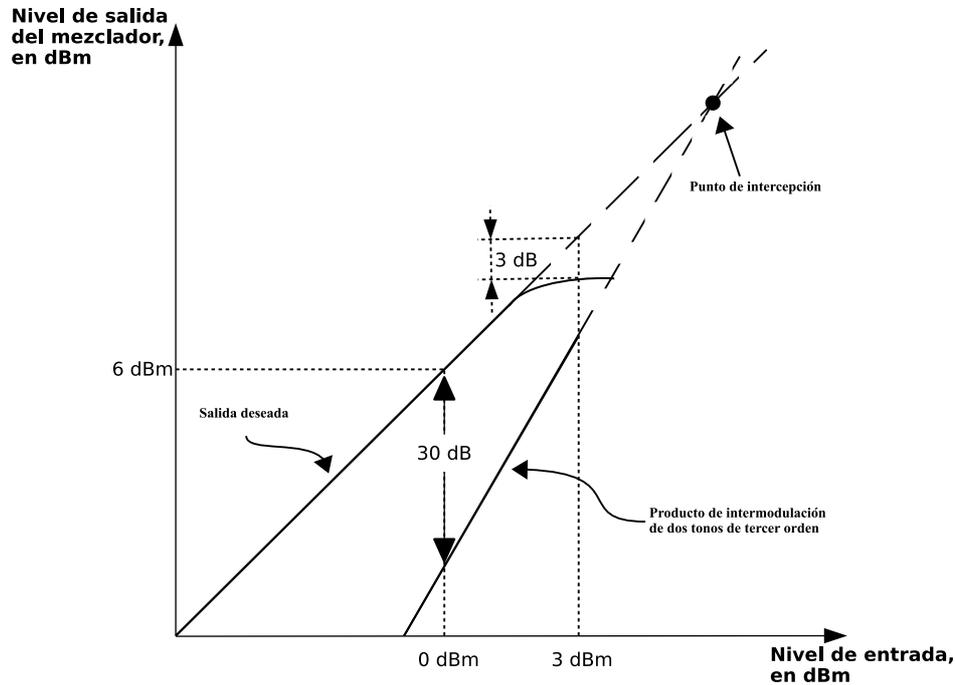


Figura 5.3: Representación de algunos de los parámetros que caracterizan los mezcladores

- Aislamiento:** El aislamiento representa la cantidad de *fuga* o *paso de señal* entre los puertos del mezclador. Se supone que en cada terminal debe estar presente únicamente la señal correspondiente al puerto. Si el aislamiento es grande esto ocurre, pero si no lo es, aparecerá en el puerto parte de la señal perteneciente a otro puerto. Por ejemplo, el aislamiento en el puerto de entrada de la señal OL es la cantidad en que se atenúa la señal del oscilador local en dicho puerto, con respecto al que ésta tenía en su propio puerto. El aislamiento depende de la configuración física del mezclador.

5.3. Tipos de mezcladores

Algunos mezcladores implementan directamente una multiplicación, mientras que otros la producen mediante una no-linealidad. A continuación se describirán ambos tipos.

5.3.1. Sistemas no lineales como mezcladores lineales

Primero se estudiará un sistema no-lineal de 2 puertos, debido a que los mezcladores de este tipo preceden a los designados específicamente para actuar como multiplicadores. Si la no-linealidad está bien definida (en sentido matemático), podemos describir la relación entrada/salida como:

$$V_{out} = \sum_{n=0}^N C_n (V_{in})^n$$

El uso de una no-linealidad de orden N requiere que la señal V_{in} sea la suma de la entrada y la señal del oscilador local. En general, la salida se compondrá de tres tipos de productos: términos DC, armónicos de las entradas y productos de intermodulación (IM) de esos armónicos. No todos esos componentes espectrales son deseables, por lo que parte de la labor de diseño consistirá en el uso de topologías que generen los mínimos términos posibles.

Los factores no-lineales de orden par de la ecuación anterior forman los términos DC. Éstos son fácilmente filtrables mediante un acople AC si es necesario. Los términos armónicos (mf_{OL} y mf_{RF}), que van desde $m > 1$ hasta N, son fácilmente filtrables debido a que sus frecuencias suelen estar lo suficientemente separadas de la frecuencia RF. Los productos de intermodulación tienen frecuencias de la forma $pf_{RF} \pm qf_{OL}$, donde p y q son enteros entre 0 y N. Sólo el término de intermodulación de segundo orden ($p=q=1$) es el que normalmente se desea obtener. Desgraciadamente, otros productos IM pueden tener frecuencias cercanas a la RF, haciendo que sean más difíciles de eliminar.

Debido a que los sistemas no-lineales de alto orden tienden a generar un mayor número de términos no-deseados, los mezcladores deberían aproximar su comportamiento al de un dispositivo de ley cuadrática (la no-linealidad de orden menor) si sólo tienen un puerto de entrada, como en la Figura 5.4.

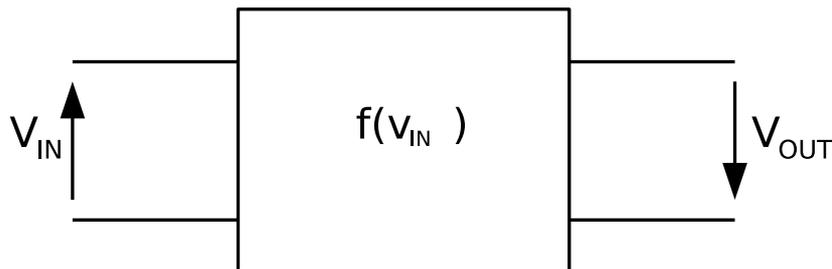


Figura 5.4: Sistema no-lineal de dos puertos genérico

Es necesario analizar las propiedades específicas de un mezclador de ley cuadrática para poder mostrar sus ventajas sobre los mezcladores no-lineales de órdenes mayores. Para ver cómo aparece la multiplicación en un mezclador de ley cuadrática hay que observar que los únicos términos distintos de cero en la serie son los términos C_1 , C_2 y C_0 , pero éste último se elimina fácilmente ya que es la componente DC, por lo que se ignorará para simplificar la ecuación. Si v_{in} es la suma de dos sinusoides:

$$v_{in} = v_{BB}\cos(w_{BB}t) + v_{OL}\cos(w_{OL}t)$$

entonces la salida del mezclador se puede expresar como suma de tres componentes:

$$v_{out} = v_{fund} + v_{cuad} + v_{cruce}$$

Donde:

$$v_{fund} = C_1(v_{BB}\cos(w_{BB}t) + v_{OL}\cos(w_{OL}t))$$

$$v_{cuad} = C_2(v_{BB}\cos^2(w_{BB}t) + v_{OL}\cos^2(w_{OL}t))$$

$$v_{cruce} = 2C_2v_{BB}v_{OL}(\cos(w_{BB}t) * \cos(w_{OL}t))$$

Los términos fundamentales son versiones escaladas de las entradas originales y no representan una salida útil para el mezclador. Estos términos pueden ser eliminados mediante filtrado. Los componentes cuadráticos (v_{cuad}) tampoco proporcionan información útil, si bien introducen offset DC y segundos armónicos de la señal de entrada. Esto también se puede eliminar mediante filtrado. La salida útil la forman los componentes v_{cruce} , debido a que se observa una multiplicación de términos. Si se reescribe la ecuación para que quede más clara esta operación, queda:

$$v_{cruce} = C_2v_{BB}v_{OL}(\cos(w_{BB} - w_{OL})t + \cos(w_{BB} + w_{OL})t)$$

Así, para una amplitud de OL fija, la salida del mezclador es linealmente proporcional a la amplitud de la entrada. Esta no-linealidad implementa un mezclador lineal, debido a que la salida es proporcional a la entrada. La ganancia de conversión de este circuito quedaría:

$$GC = \frac{C_2v_{BB}v_{OL}}{v_{BB}} = C_2v_{OL}$$

Como cualquier otro parámetro de ganancia, la ganancia de conversión es adimensional. En diseños discretos se debe expresar como relación de potencia (o su equivalente en dB), pero los

distintos niveles de impedancia en los mezcladores de este tipo hacen apropiado el uso de la ganancia de conversión de tensión o corriente.

La principal ventaja del mezclador de ley cuadrática radica en que los componentes espectrales no deseados normalmente se encuentran a una frecuencia bastante separada de RF, por lo que se pueden eliminar fácilmente.

En la Figura 5.5 se muestra un mezclador de ley cuadrática realizado con transistores MOSFETs. En este esquemático simplificado, la tensión de polarización y las señales BB y OL se representan en serie con la puerta del transistor. La suma de las señales RF y OL puede realizarse en circuitos prácticos con sumadores resistivos o reactivos. Debido a que estas señales están en serie, existe poco aislamiento entre ellas.

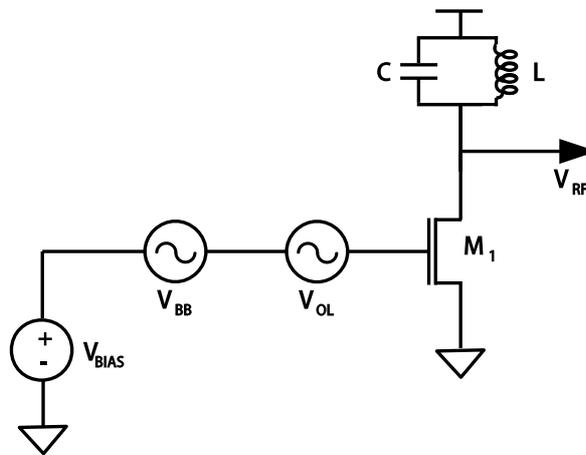


Figura 5.5: Mezclador MOSFET de ley cuadrática (simplificado)

Para reducir el efecto de la señal de OL en el puerto de entrada se podría optar por la solución mostrada en la Figura 5.6. Como se puede observar, la señal BB ataca la puerta directamente, atravesando un condensador que desacopla la componente DC, mientras que la señal del Oscilador Local ataca la fuente del transistor. De esta forma, la tensión puerta-fuente (V_{GS} o *Voltage Gate-Source*) es la suma de las señales OL y BB referenciadas a tierra.

5.3.2. Mezcladores basados en multiplicadores

Tal y como se ha visto en el apartado anterior, los mezcladores basados en sistemas no-lineales generan un número elevado de componentes espectrales. Además, debido a que los mezcladores de dos puertos tienen una sola entrada, las señales de BB y OL no suelen estar lo suficientemente aisladas entre ellas. Esta falta de aislamiento puede provocar la aparición de offset de DC en la etapa de salida o la radiación de la señal de OL (o sus armónicos) a través de la antena.

Los mezcladores basados en multiplicadores presentan por regla general un rendimiento mayor debido a que idealmente sólo generan el producto de intermodulación deseado. Además, debido a que las entradas del multiplicador se encuentran en puertos separados, puede haber un alto grado

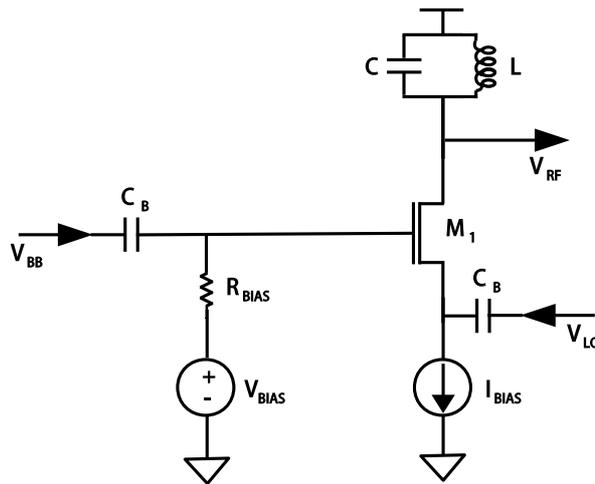


Figura 5.6: Mezclador MOSFET de ley cuadrática (simplificado)

de aislamiento entre las tres señales (BB, OL y RF).

Existen dos tipos principales de mezcladores basados en multiplicadores, pasivos y activos. A continuación se presentan cada uno de ellos.

5.3.3. Mezcladores basados en multiplicadores: Mezcladores pasivos

Este tipo de mezcladores no amplifican la señal, sino que tienen pérdidas de conversión de como mínimo 3.9 dB si la señal del oscilador es cuadrada, y de 6 dB si es una senoide[18]. En la Figura 5.7 se muestra un mezclador pasivo genérico.

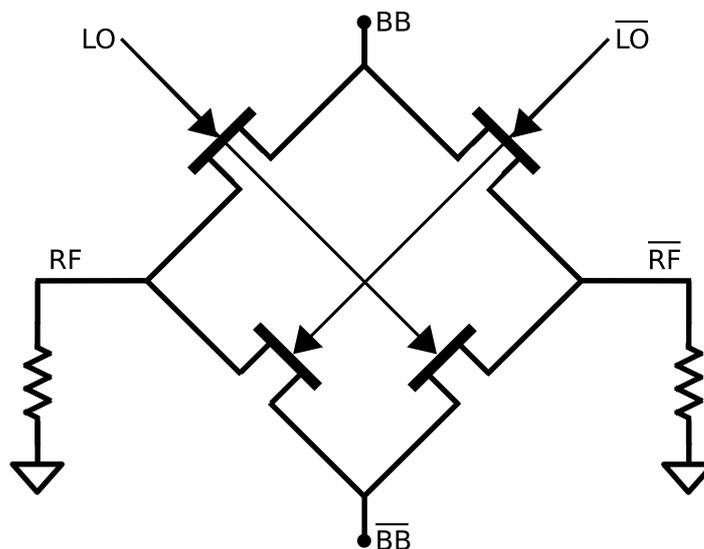


Figura 5.7: Mezclador pasivo genérico

En ausencia de señal de excitación, este circuito se comporta como una resistencia, y en funcionamiento normal los transistores operan en circuito abierto o en cortocircuito. La señal de RF se sitúa en la fuente de los transistores y la señal de BB en el drenador de los mismos. A las puertas

de los transistores se aplica la señal proveniente del oscilador polarizado con una tensión continua negativa. Esta tensión se elige de modo que el transistor se encuentre en la región óhmica y donde la variación de la resistencia de canal con el campo eléctrico es máxima. Para el correcto funcionamiento de los mezcladores pasivos es necesario aplicar una señal del oscilador moderadamente elevada.

Los mezcladores pasivos también se pueden diseñar empleando diodos Schottky, los cuales se basan en que la característica I-V del diodo no es lineal. Su funcionamiento se puede ver como una modulación de la conductancia instantánea del diodo mediante la señal de OL superpuesta sobre la de RF. Los mezcladores con diodos se suelen usar para circuitos que operen a frecuencias por encima de las decenas de GHz.

En general, los mezcladores pasivos suelen tener una buena linealidad, pero el no tener ganancia limita su uso en ciertas aplicaciones.

5.3.4. Mezcladores basados en multiplicadores: Mezcladores activos

Este tipo de mezcladores sí amplifican la señal mezclada, al contrario que los pasivos. Existen dos tipos de mezcladores activos, los simple balanceados y los doblemente balanceados.

- Mezclador simple balanceado:** Este tipo de mezclador activo primero realiza la conversión de la tensión de entrada de la señal BB en una corriente y después realiza la multiplicación en el dominio de la corriente. La célula más sencilla de este tipo se representa en la Figura 5.8. En este mezclador, el valor de v_{OL} es lo suficientemente elevado como para que los transistores puedan conmutar alternativamente la corriente de polarización de un lado al otro a la frecuencia f_{OL} . De esta forma, la corriente de polarización se multiplica por una onda cuadrada cuya frecuencia es la del oscilador local.

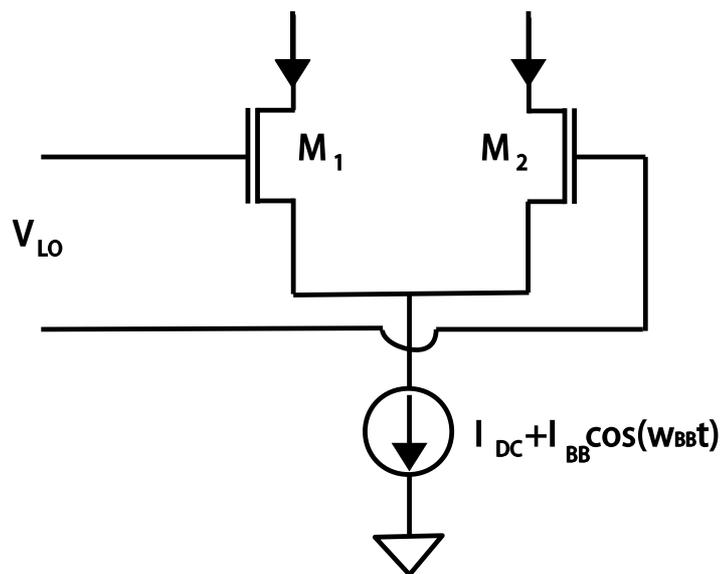


Figura 5.8: Mezclador simple-balanceado

- Mezclador doble balanceado. Célula de Gilbert:** Para evitar la llegada de productos de OL a la salida, es posible combinar dos circuitos simple-balanceados para conseguir un mezclador doble balanceado, como el que se muestra en la Figura 5.9.

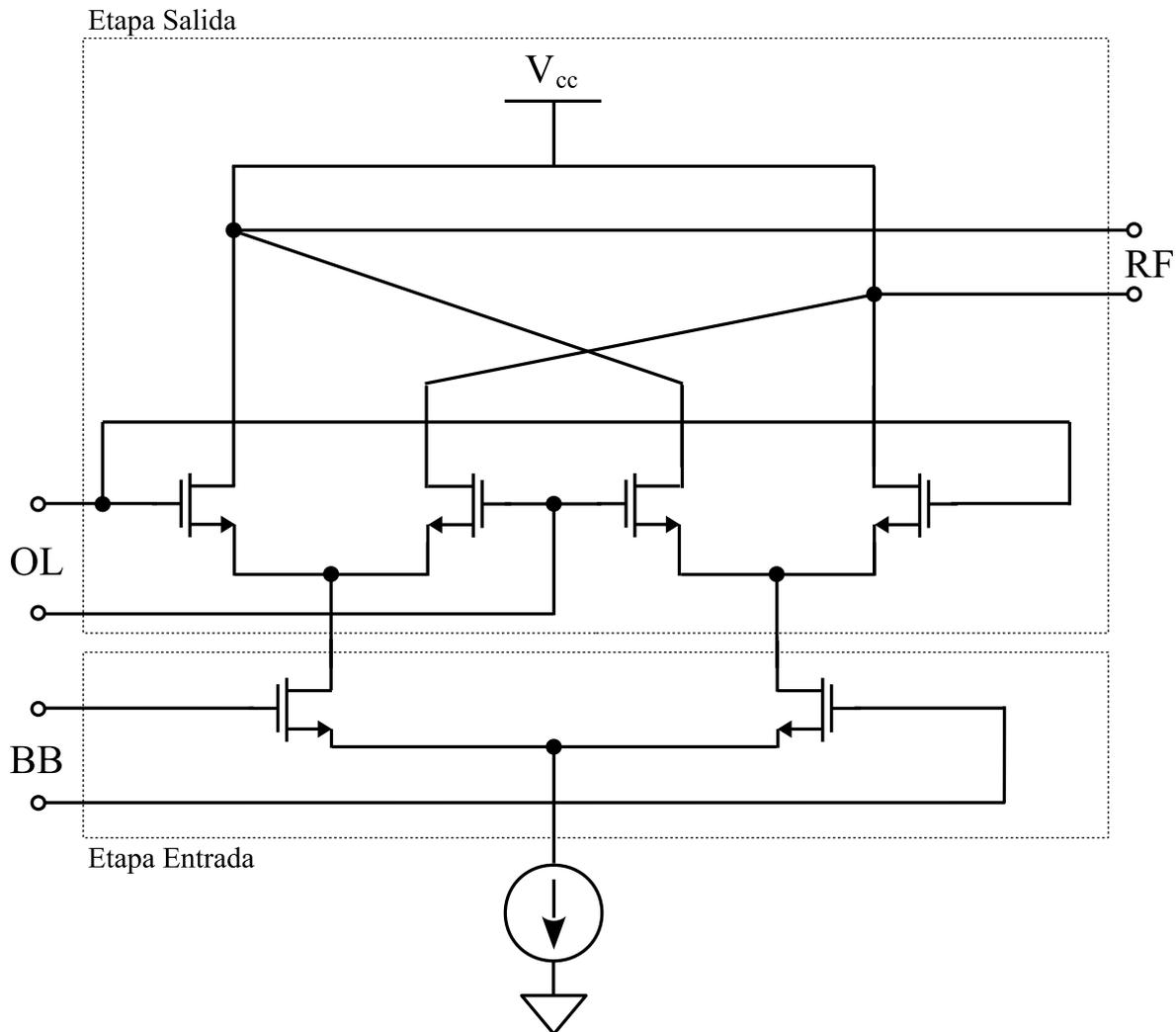


Figura 5.9: Mezclador doble balanceado

La célula de Gilbert está compuesta por dos etapas: la etapa de entrada o de banda base y la etapa de salida o de radiofrecuencia. La etapa de entrada, compuesta por un par diferencial, es un amplificador de transconductancia cuya función es la de convertir la señal de tensión a corriente. La etapa de salida, compuesta por dos pares diferenciales con salidas cruzadas, es el núcleo del mezclador ya que se encarga de realizar la multiplicación. Para el análisis del circuito se supone que todos los transistores son idénticos y que la resistencia de salida de los transistores y de la fuente de corriente de polarización, así como las corrientes de base, se pueden despreciar. Además, se supone que los transistores están bien polarizados y se encuentran siempre en la región activa.

Los mezcladores activos son una opción ideal para circuitos que requieren una ganancia elevada. Sin embargo, su consumo de potencia es mayor que en el caso de los mezcladores pasivos.

5.4. Estructura del mezclador

Para este transmisor se ha optado por emplear un mezclador pasivo doble balanceado. Esta decisión se ha tomado debido a varias razones:

- Esta topología no disipa corriente continua. Debido a que no pasa corriente continua por los transistores, la contribución de ruido *flicker* se minimiza.
- Este tipo de mezclador tiene una linealidad bastante elevada.
- Esta topología reduce las fugas de la señal del oscilador local a la entrada.
- El consumo de potencia de un mezclador pasivo es prácticamente nulo, lo cual es idóneo para las prestaciones que se quieren obtener del transmisor a diseñar.

Este mezclador se trata de un circuito con entrada y salida diferencial. El mezclador diferencia entre fase y cuadratura y, por tanto, tiene una rama diferenciada para cada una. De hecho, un mezclador en cuadratura se puede considerar como dos mezcladores cuyas entradas del oscilador local están desfasadas 90°. Las entradas del mezclador se conectan a las fuentes de datos a transmitir, mientras que una de las salidas se conecta a la entrada del Amplificador de Potencia, mientras que la otra se conecta a tierra a través de un condensador, tal y como se muestra en la Figura 5.10. De esta forma se mantienen las ventajas de un circuito diferencial como son la minimización de la distorsión de segundo orden y las fugas del oscilador local.

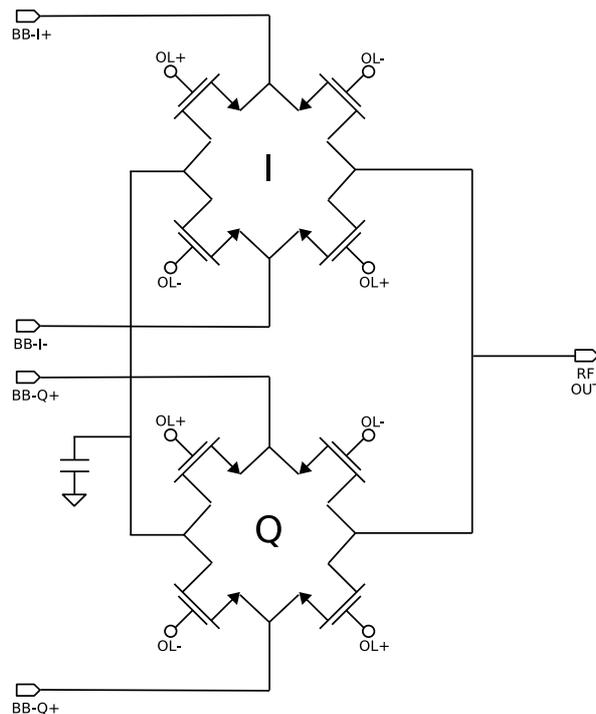


Figura 5.10: Estructura del mezclador pasivo doble balanceado

En este circuito, la mezcla de señales se realiza mediante la conmutación de los transistores. Los transistores CMOS se caracterizan por ser buenos conmutadores. Por tanto, el tamaño de los transistores es un parámetro clave a tener en cuenta para obtener las mejores prestaciones del mezclador. La señal del oscilador local es otro parámetro clave en el funcionamiento del mezclador, especialmente el nivel de continua en dicha señal. En el apartado en el que se explica el proceso de diseño del mezclador se profundizará en estas cuestiones.

5.5. Proceso de diseño del mezclador

El mezclador pasivo doble balanceado se puede implementar de forma sencilla, debido a que se trata de un sistema pasivo compuesto exclusivamente por transistores. Se procede al montaje del circuito, quedando tal y como se muestra en la Figura 5.12. Para crear las señales diferenciales necesarias a partir de las señales simétricas del oscilador y las entradas se emplean *baluns* ideales. Para desfasar la señal del oscilador 90° para una de las ramas se emplea un desfasador ideal implementado con una *Voltage Controlled Voltage Source* con un desfase de 90°. Obviamente, el desfasador y los *baluns* se deberá reemplazar por elementos reales más adelante. En cuanto a los transistores empleados en el diseño, en este caso son los de la tecnología UMC de 0.18μm, de los cuales se pueden variar parámetros tales como el ancho y el número de *fingers*. Realizando barridos de dichos valores se obtienen los valores óptimos para el funcionamiento deseado del mezclador, que son un ancho de cada *finger* de 2μm y 22 *fingers* para cada transistor, de forma que el ancho total de cada transistor sería de $22 * 2\mu m = 44\mu m$.

Una vez se han obtenido los valores óptimos de los parámetros de los transistores, se utiliza la herramienta de ADS de creación de símbolos para generar un símbolo para el mezclador diseñado. Para ello, se especifican los puertos de entrada y salida del circuito. Posteriormente, en la pantalla de edición de símbolos se le asigna la forma y se reordenan los puertos de la forma deseada. Además, se pueden sacar por parámetros las variables de diseño que se deseen. De esta forma se podrán modificar estas variables en el diseño en el cual se incluya el símbolo. En la Figura 5.11 se muestra el símbolo creado para el mezclador diseñado.

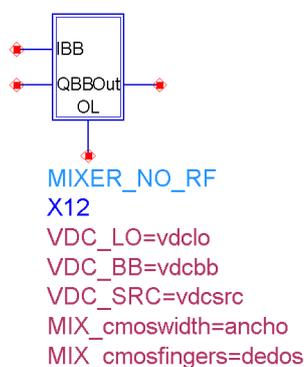


Figura 5.11: Símbolo creado para el mezclador implementado

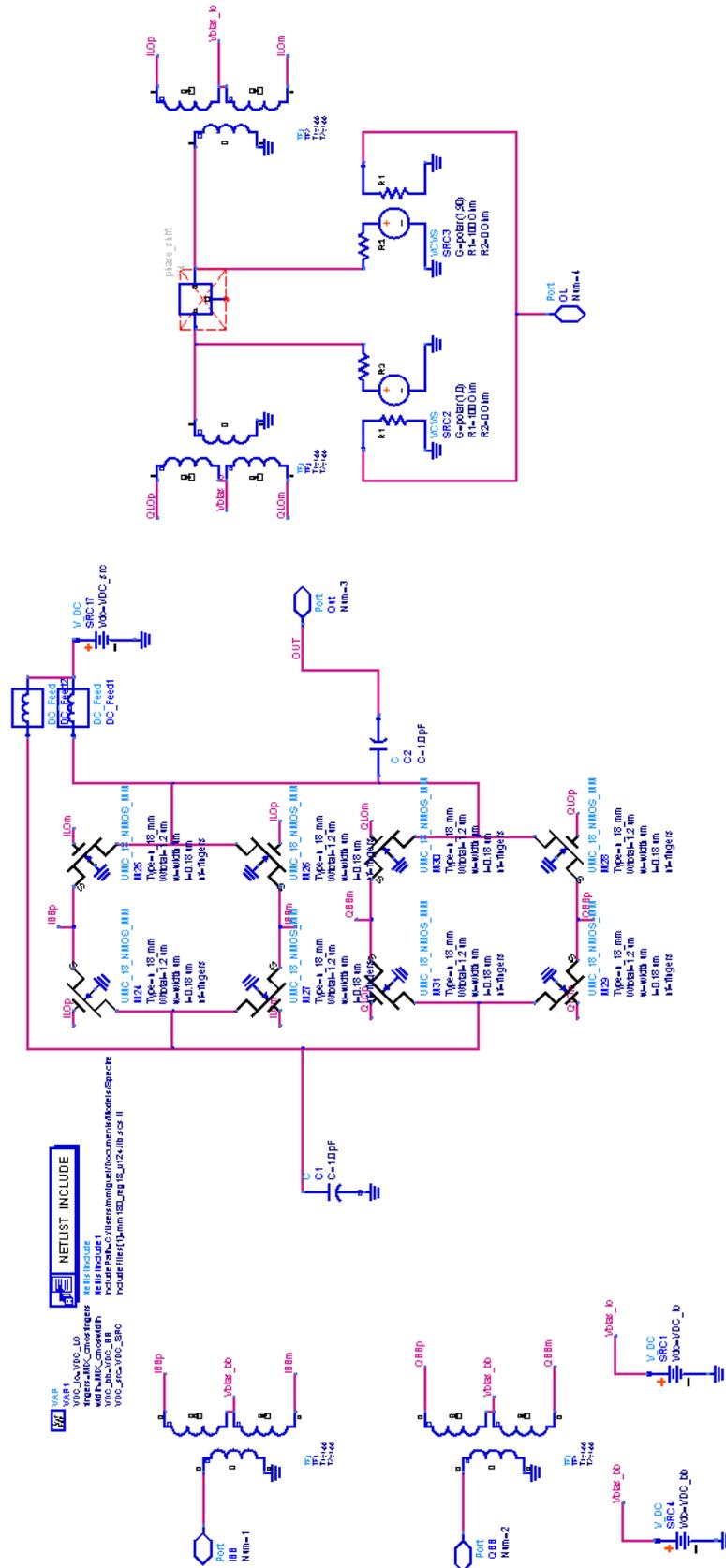


Figura 5.12: Esquemático del mezclador implementado

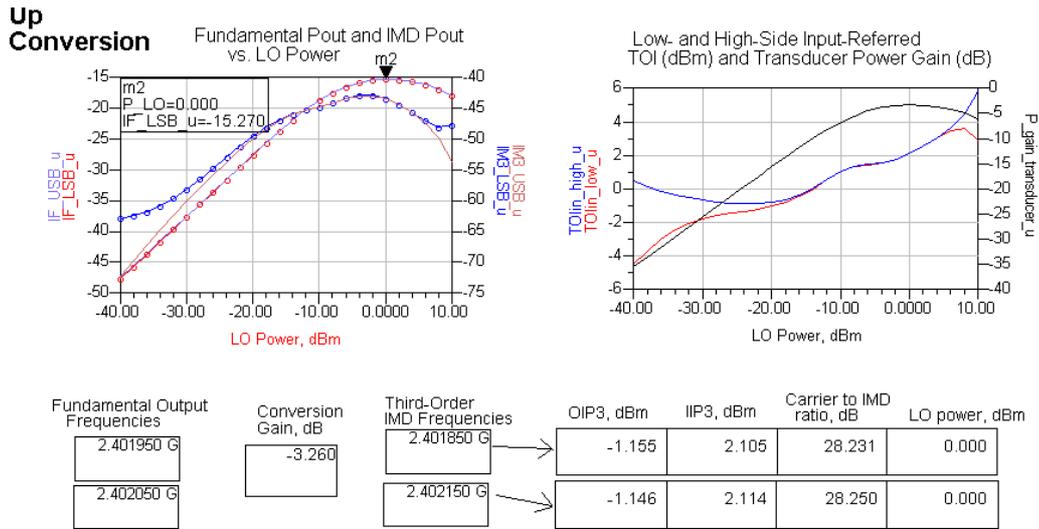


Figura 5.14: Resultados obtenidos de la simulación del mezclador

Como se puede observar, para una potencia del oscilador local de 0dBm, se obtiene una ganancia de -3.26dB y un IIP3 de 2.105dBm para la frecuencia de 2.40185 GHz y uno de 2.114dBm para la frecuencia de 2.40215 GHz, con lo cual se tiene un OIP3 de -1.155dBm y -1.146dBm respectivamente. De la Figura 5.14 se puede extraer que para una entrada de -12dBm se obtiene una señal a la salida del mezclador de -15.27dBm, por lo que el valor de ganancia obtenido es correcto. La gráfica mostrada a la derecha es simplemente una representación de la evolución del valor del TOI a medida que se varía el valor de la potencia del oscilador local. En el punto de la gráfica correspondiente a la potencia de 0dBm se obtienen los valores comentados anteriormente.

Como conclusión, el mezclador que se ha diseñado tiene unas prestaciones adecuadas para la aplicación que se le quiere dar al circuito.

Capítulo 6

Diseño del Amplificador de Potencia

En este capítulo se describirán los distintos conceptos teóricos del Amplificador de Potencia, así como las decisiones de diseño tomadas y el procedimiento seguido para realizar dicho circuito. El Amplificador de Potencia, al igual que el mezclador, se ha diseñado con la tecnología UMC de 0.18 μm .

6.1. Conceptos teóricos

El Amplificador de Potencia o *Power Amplifier* (PA) es el circuito encargado de tomar la señal proveniente del mezclador y amplificarla de forma que quede a un nivel adecuado para su transmisión. El PA debe tener alta eficiencia, de forma que se maximice la vida útil de la batería y se minimice el tamaño y el coste del circuito. En cuanto a la linealidad, el estándar IEEE 802.15.4 presenta unos requisitos relajados respecto a su espectro de potencia. En la Figura 6.1 se muestra la máscara del espectro de potencia especificada por el estándar. Dados estos requisitos, la tecnología CMOS es idónea para la implementación de un PA de buen rendimiento, coste y tamaño, si bien el diseño de un PA integrado en un chip presenta una serie de complejidades, como la descomposición del óxido de la puerta (del inglés *gate oxide breakdown*) y los efectos de *hot carrier*, los cuales limitan la potencia de salida.

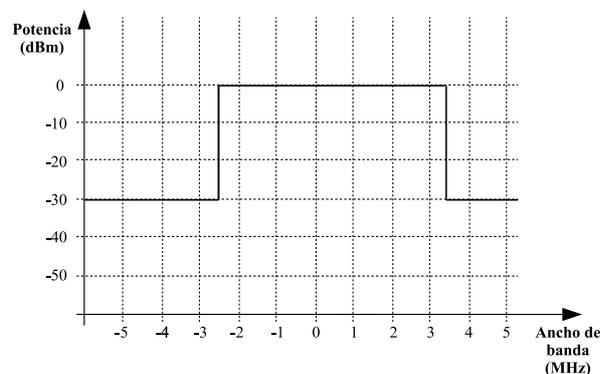


Figura 6.1: Máscara del espectro de potencia especificado por el estándar 802.15.4

6.2. Parámetros del amplificador

En los siguientes subapartados se definen los parámetros más importantes que describen el funcionamiento de un amplificador de potencia.

6.2.1. Ganancia de Potencia

La ganancia de potencia o Power Gain es la relación entre la potencia de entrada y la potencia de salida del circuito. Existen tres medidas de ganancia de potencia distintas:

- **Ganancia de operación:** La ganancia de potencia de operación (*Operating Power Gain*) o G_P se define como la relación entre la potencia máxima entregada a la carga (P_{load}) y la potencia media entrante en el circuito (P_{input}), de forma que se puede expresar como:

$$G_P = \frac{P_{load}}{P_{input}}$$

- **Ganancia de transducción:** La ganancia de transducción (*Transducer Power Gain*) o G_T se define como la relación entre la potencia media entregada a la carga (P_{load}) y la máxima cantidad de potencia media disponible en la fuente ($P_{source,max}$), de forma que se puede expresar como:

$$G_T = \frac{P_{load}}{P_{source,max}}$$

- **Ganancia disponible:** La ganancia de potencia disponible (*Available Power Gain*) o G_A se define como la relación entre la potencia media máxima entregada a la carga ($P_{load,max}$) y la máxima cantidad de potencia media disponible en la fuente ($P_{source,max}$), de forma que se puede expresar como:

$$G_A = \frac{P_{load,max}}{P_{source,max}}$$

6.2.2. Punto de compresión a 1 dB

El punto de compresión a 1 dB (P_{1dB}) es una medida que indica el nivel de potencia de entrada para el cual la salida del amplificador cae 1 dB con respecto a su comportamiento ideal, tal y como se muestra en la Figura 6.2. Esta medida informa sobre la linealidad del circuito, pues indica el punto en el que el amplificador deja de comportarse de forma lineal y empieza a saturar.

6.2.3. Distorsión de intermodulación de tercer orden

Esta medida se realiza tal y como se indicó en el caso del mezclador (**Sección 5.1.2.3: Linealidad**).

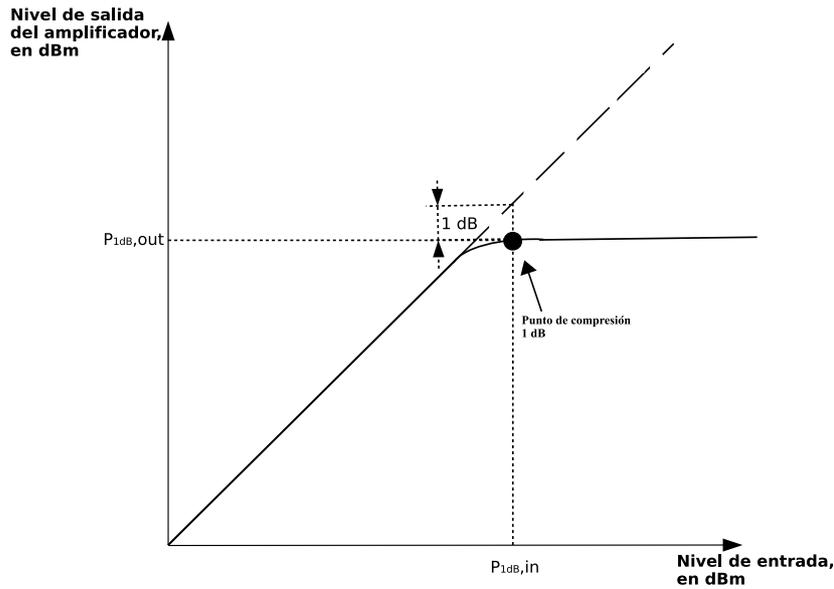


Figura 6.2: Punto de compresión a 1 dB

6.2.4. Power Added Efficiency

La Eficiencia de Potencia Añadida (del inglés *Power Added Efficiency*) o PAE relaciona la ganancia del sistema con el consumo de potencia que realiza el circuito (P_{DC}), de forma que se tiene un parámetro adimensional que indica el rendimiento del amplificador de potencia. Se calcula con la siguiente ecuación:

$$PAE = \frac{(P_{out} - P_{in})}{P_{DC}}$$

Asimismo, también existe otra medida, la Eficiencia de Potencia (del inglés *Power Efficiency*) o PE, la cual indica la relación directa entre la potencia de salida del PA y el consumo de potencia del mismo. Este parámetro se calcula con la ecuación:

$$\eta = PE = \frac{P_{out}}{P_{DC}}$$

Tanto el PAE como el PE se pueden dar como números enteros o como porcentajes.

6.3. Tipos de Amplificadores de Potencia

Los amplificadores de potencia se clasifican en clases, atendiendo a su forma de operar, eficiencia y a la potencia de salida que son capaces de proporcionar. De forma general, los amplificadores de potencia se pueden dividir en dos grupos:

- **Amplificadores lineales:** Estos amplificadores tratan de mantener la forma de onda de la señal introducida a la entrada al realizar la amplificación. Dentro de este grupo se recogen los

amplificadores de Clase A, B y AB.

- Amplificadores no lineales:** Estos amplificadores no mantienen la forma de onda de la señal introducida a la entrada al realizar la amplificación, pero presentan mejor eficiencia de potencia. Dentro de este grupo se recogen los amplificadores de Clase C, D, E, F y algunos de Clase G, H y S.

6.3.1. Amplificador de Potencia de Clase A

Los amplificadores de Clase A son los más simples en términos de diseño. El ángulo de conducción de este tipo de amplificadores es de 360° , lo cual implica que la corriente de salida circula durante todo el ciclo de la señal de entrada en un solo transistor. La corriente de polarización del transistor es elevada y constante durante todo el proceso. Los PAs de Clase A son considerados de los más lineales, dado que el transistor se polariza en el centro de la línea de carga (*load line*) para permitir máxima tensión y variaciones de corriente sin saturación de corte (*cut-off saturation*), como se puede observar en el apartado b) de la Figura 6.3.

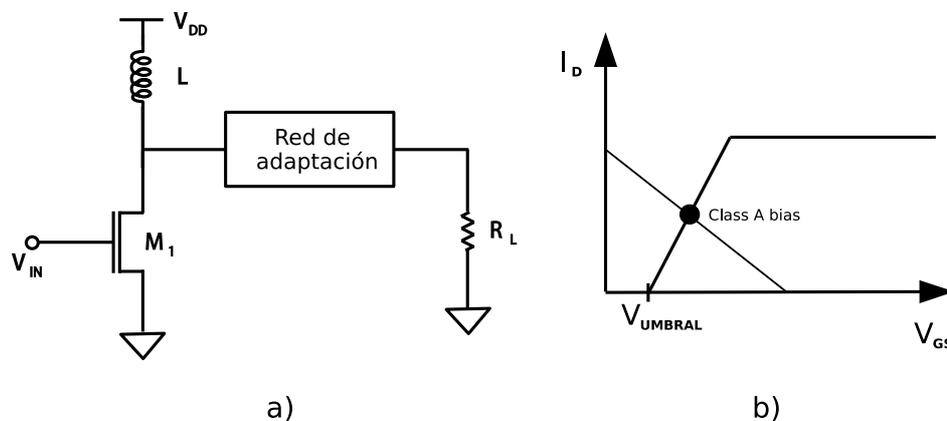


Figura 6.3: a) PA de Clase A. b) Polarización para un PA de Clase A

La bobina del esquemático mostrado en el apartado a) de la Figura 6.3 es de gran tamaño, lo cual hace que la tensión de alimentación (V_{DD}) se reduzca en un factor de dos ya que la tensión en el drenador del transistor puede variar desde 0 a $2V_{DD}$. Esto se debe a que la corriente cuando el circuito está inactivo es lo suficientemente elevada, de forma que el transistor se mantiene todo el tiempo en zona activa y actúa como fuente de corriente. Debido a esto, se demuestra que la eficiencia máxima que se puede conseguir es del 50 % o menor, lo cual implica que el resto de la corriente amplificada se disipa en forma de calor.

En resumen, los amplificadores de Clase A presentan muy buenas señales a la salida, pero consumen gran cantidad de corriente.

6.3.2. Amplificador de Potencia de Clase B

Los amplificadores de Clase B se caracterizan porque su ángulo de conducción es de aproximadamente 180°. En este tipo de amplificadores, la polarización de la puerta del transistor se fija al valor de la tensión umbral del mismo, de forma que sólo hay flujo de corriente hacia la salida del mismo cuando hay señal a la entrada y el nivel de la misma es superior a la tensión umbral. Debido a esto, sólo se amplifica un semiciclo de la señal de entrada. Si se quiere obtener el otro semiciclo, será necesario disponer de otro transistor, configurado de forma adecuada. Dado que los amplificadores de este tipo no consumen corriente cuando el circuito está inactivo, el consumo de potencia es reducido, de forma que la eficiencia es superior a la de los amplificadores de Clase A (teóricamente del 78 %, si bien suele rondar el 60 %). Sin embargo, la linealidad de este tipo de amplificadores es peor.

Una configuración típica de un amplificador de Clase B es la del amplificador de tipo *push-pull*, como la que se muestra en el apartado a) de la Figura 6.4. En esta configuración, un transistor conduce durante los semiciclos positivos de la señal de entrada y el segundo transistor conduce durante el semiciclo negativo. De esta forma, la señal de entrada se reproduce de forma completa a la salida. Sin embargo, en este tipo de amplificadores se suele producir la denominada *distorsión de cruce*, la cual es originada cuando se realiza el cambio de la conducción de un transistor a otro.

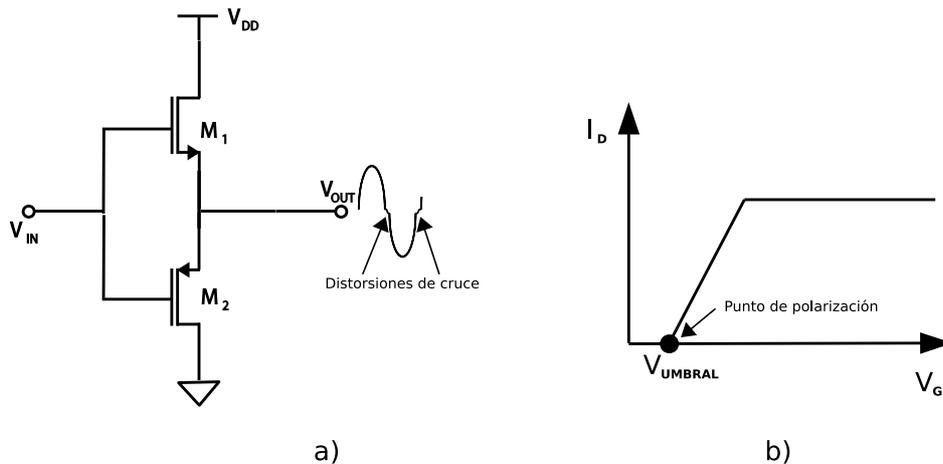


Figura 6.4: a) PA de Clase B. b) Polarización para un PA de Clase B

6.3.3. Amplificador de Potencia de Clase AB

El problema de la *distorsión de cruce* que presentaban los Amplificadores de Clase B puede ser minimizado polarizando la puerta del transistor de forma que se produzca una pequeña corriente en el drenador. Los amplificadores con esta modificación son denominados de Clase AB, en los cuales el transistor se polariza por encima de la tensión umbral pero por debajo del centro de la línea de carga, tal y como se puede observar en la Figura 6.5. Esta topología se puede considerar como un compromiso entre los amplificadores de Clase A y los de Clase B, como su propio nombre indica. El ángulo de conducción se encuentra entre los 180° y los 360°, de forma que variando dicho valor

se puede conseguir que el circuito se comporte más como un Clase A o como un Clase B. De esta forma, la eficiencia de este tipo de amplificadores puede variar entre el 50 % y el 78 %. Sin embargo, los valores reales de eficiencia suelen estar entre el 40 % y el 55 %. Los amplificadores de Clase AB pueden ser implementados con configuraciones *push-pull*, aunque es recomendable usar un único transistor para aplicaciones que requieran operación lineal a alta frecuencia.

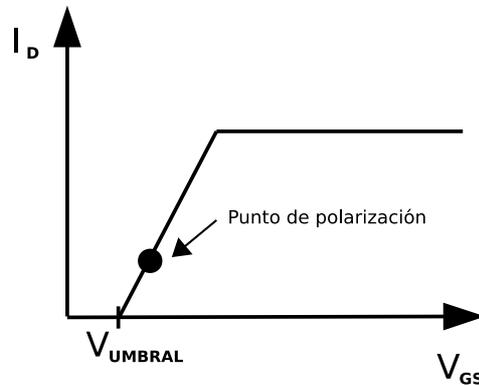


Figura 6.5: Polarización para un PA de Clase AB

6.3.4. Amplificador de Potencia de Clase C

Un amplificador de Clase C es un amplificador de potencia no lineal empleado en aplicaciones en las que la linealidad no es un requisito indispensable y se desea tener alta eficiencia. En este tipo de amplificadores, el transistor se polariza por debajo de la tensión umbral, por lo que el ángulo de conducción del dispositivo varía desde 0° hasta 180°.

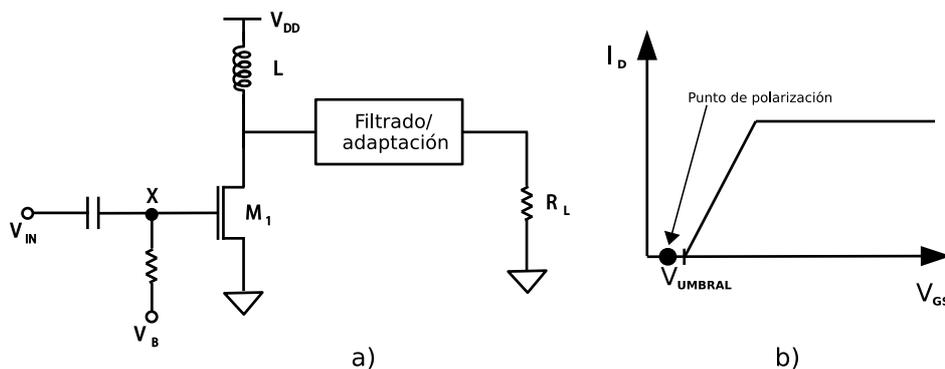


Figura 6.6: a) PA de Clase C. b) Polarización para un PA de Clase C

Como se puede apreciar en el apartado a) la Figura 6.6, el circuito se polariza de forma que $M1$ varía si $V_{IN} = V_B + V_{UMBRAL}$, donde V_B es la tensión negativa. El circuito de adaptación incluye una etapa de filtrado para suprimir armónicos espurios que se puedan tener a la salida. La eficiencia de este tipo de amplificadores es muy elevada y puede ir desde el 78 % hasta el 100 %. El principal problema de esta topología es que si el ángulo de conducción se reduce, solo se amplifica una porción de la señal de entrada.

El resto de topologías de diseño de amplificadores (Clase D, E, F, etcétera) presentan características similares a las del Clase C, las cuales no son de interés para el diseño de un PA para un transmisor de RF, por lo que no se entrará en su análisis en este estudio.

6.4. Estructura del Amplificador de Potencia

Tras estudiar las diversas topologías de amplificadores de potencia existentes, se ha optado por implementar un amplificador de dos etapas, siendo la primera de ellas un cascode simple y la segunda un cascode doblado. A continuación se explicarán cada una de las etapas.

6.4.1. Primera etapa: Cascode simple

La primera etapa del PA a diseñar es una etapa de ganancia que amplifique la señal que llega del mezclador. Ésta se implementa con un cascode convencional de carga inductiva con una resistencia de polarización y un condensador C_1 para aportar estabilidad al sistema. Un cascode es un amplificador de Clase A compuesto por dos transistores, uno en modo Puerta Común (del inglés *Common Gate*) o CG y otro en modo fuente común (del inglés *Common Source*) o CS, tal y como se observa en la Figura 6.7. En este esquemático se ha implementado el condensador de desacoplo C_{in} , el cual bloquea cualquier componente continua que provenga del mezclador. La bobina L_{DD} es la carga inductiva y se implementa para reducir el efecto de las capacidades parásitas en el drenador del transistor M2.

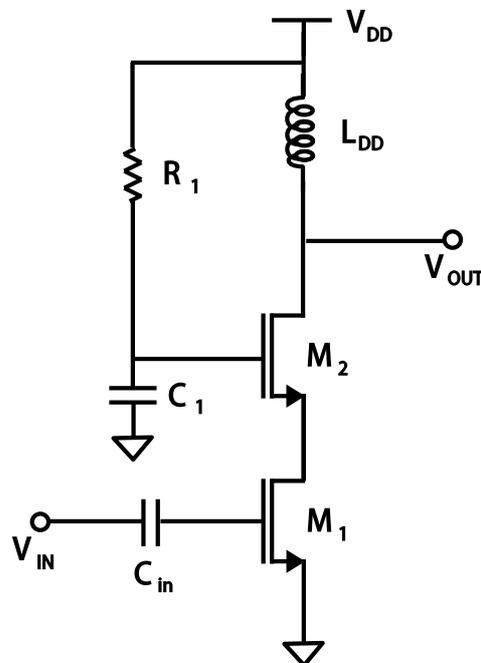


Figura 6.7: Cascode implementado

6.4.2. Segunda etapa: Cascodo doblado

La segunda etapa del PA es una etapa de salida, encargada de adaptar la señal para su transmisión por el medio. En este caso, esta etapa se implementa con un cascodo doblado (del inglés *folded cascode*). Un cascodo doblado es un amplificador de Clase A que se compone de dos transistores, uno de tipo PMOS y otro de tipo NMOS, los cuales se conectan tal y como se muestra en la Figura 6.8. Se ha elegido esta topología debido a que permite tener un mayor rango de tensión, lo cual favorece a la linealidad del circuito, y debido a que en esta topología se puede controlar la ganancia variando la tensión continua V_{ctrl} en la puerta del transistor tipo P. A la topología convencional se le ha añadido el condensador C_{ex} para mantener el amplificador operando en modo Clase A mientras se disipa corriente continua. También se ha añadido la bobina L_D para reducir los efectos de las capacidades parásitas provenientes de la alimentación del circuito (V_{DD}), las cuales afectan al rendimiento del transistor de entrada. Finalmente se ha incorporado una red de adaptación en la salida compuesta por la bobina L_O y el condensador C_O para adaptar la señal que sale del PA a 50Ω para su transmisión.

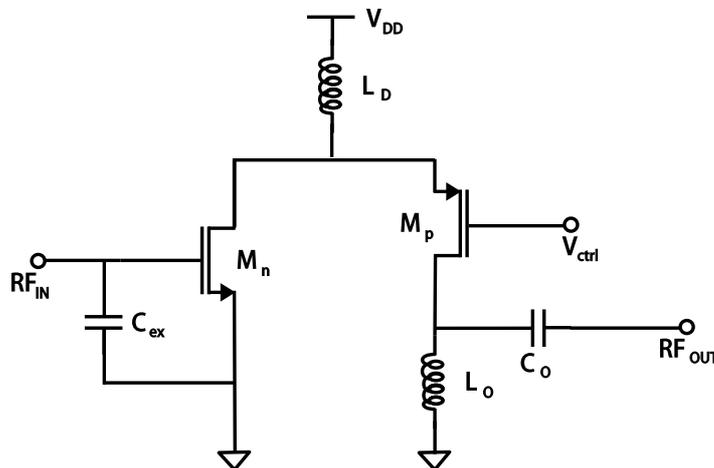


Figura 6.8: Cascodo doblado implementado

6.5. Proceso de diseño del Amplificador de Potencia

En este apartado se procederá a la explicación del proceso que se ha seguido para diseñar el PA, además de comentar las decisiones de diseño que se han ido tomando. Tal y como se ha comentado anteriormente, el diseño de este circuito se ha realizado con la herramienta ADS de *Keysight*. El proceso de diseño de este PA que, tal y como se comentó en el apartado anterior, se compone de dos etapas bien diferenciadas se ha ejecutado siguiendo los pasos que se muestran a continuación:

En primer lugar, se montó el esquemático de las dos etapas en el entorno ADS, implementadas con los transistores CMOS para RF de la tecnología UMC de $0.18\mu\text{m}$ y bobinas, condensadores y resistencias ideales, quedando el circuito que se muestra en la Figura 6.9.

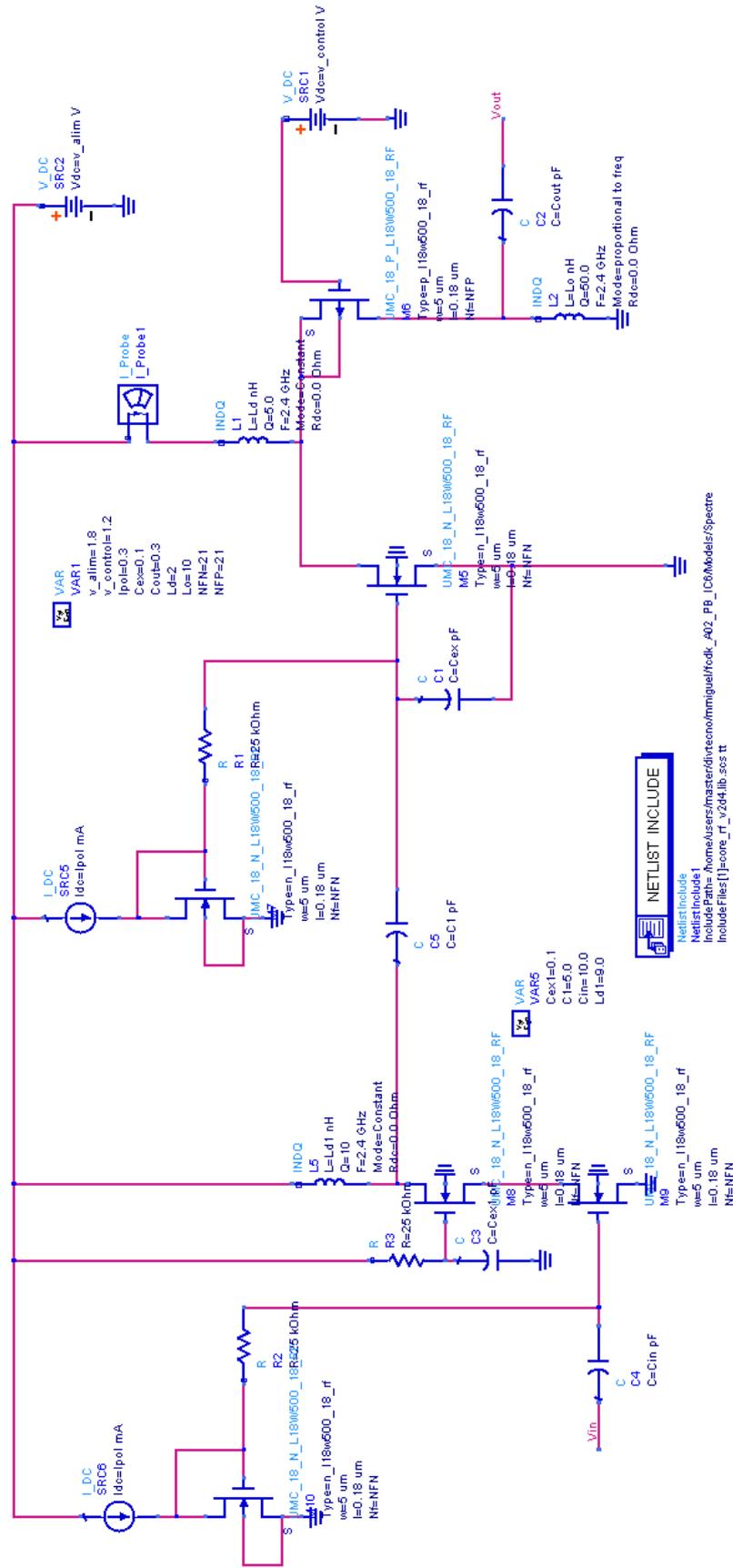


Figura 6.9: Esquemático del PA implementado con bobinas ideales

Seguidamente, se procedió a realizar barridos de los distintos parámetros de los transistores (ancho de la puerta y número de *fingers*), las tensiones de alimentación y los valores de los condensadores, bobinas y resistencias hasta que se obtuvieron unos resultados de simulaciones de parámetros S apropiados para el diseño, centrandó nuestra atención en tener una buena adaptación de salida (S_{22}) y una buena ganancia (S_{21}). Tras este proceso, se obtuvieron los resultados de ganancia y adaptación de salida mostrados en la Figura 6.10. Estas medidas se obtuvieron introduciendo una red de adaptación a la entrada del PA, de forma que éste se caracterizara de forma ideal. Como se puede observar en dicha figura, el valor de la ganancia (S_{21}) es de 15.271dB, el de la adaptación de salida (S_{22}) es de -30.285dB y la ganancia en inversa (S_{12}) es muy reducida, de aproximadamente -65dB. En cuando a la adaptación a la entrada (S_{11}), el resultado mostrado es de aproximadamente -17dB, si bien este dato no es de confianza, puesto que se ha obtenido con la red de adaptación a la entrada de forma que su valor es casi el ideal.

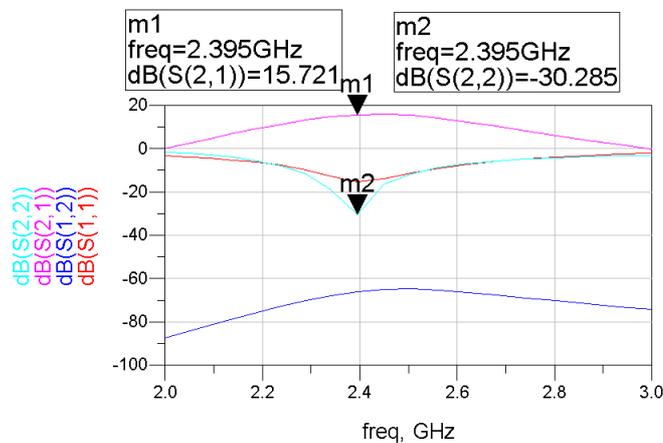


Figura 6.10: Resultados de la simulación de parámetros S para el PA diseñado con bobinas ideales

Cabe destacar que para este diseño el número de *fingers* para los transistores CMOS es de 21, y el ancho de cada uno de estos *fingers* es de $5\mu m$, de forma que el ancho total de un transistor sería de $21 * 5\mu m = 105\mu m$. Por otra parte, como se puede observar en la Figura 6.9, a la estructura del PA se le ha añadido dos fuentes de corriente, implementadas con espejos de corriente, de forma que se puedan polarizar correctamente los transistores. En la misma Figura también se pueden apreciar los valores ideales de las bobinas que se han obtenido. La bobina L_D tiene un valor de 2 nH, la bobina L_{DD} es de 9 nH y L_O tiene un valor de 10 nH. En cuanto a los condensadores, en la primera etapa se tiene a la entrada un condensador de desacoplo C_{in} de 10 pF y el condensador que en el esquemático se denominaba C_1 ahora se denomina C_{ex1} y tiene una capacidad de 0.1 pF. En la segunda etapa, C_{ex} es de 0.1 pF y C_{out} es de 0.3 pF. Además, entre las dos etapas se ha añadido el condensador C_1 , que vale 5 pF, para realizar desacoplo de continua y mejorar la adaptación entre las etapas.

A continuación, se procedió a reemplazar las bobinas ideales L_D y L_{DD} por las proporcionadas por la tecnología UMC, y la bobina L_O por una bobina externa del fabricante *Murata*. Esta elección de diseño se debe a que se ha decidido implementar la bobina L_{DD} dentro del chip mientras que

las bobinas L_{DD} y L_O se implementarán como componentes externos. Esto se debe a que estas dos bobinas deben tener un valor muy concreto y un factor de calidad muy elevado, características que no se pueden conseguir con la tecnología UMC, por lo que es necesario implementarlas con bobinas comerciales. Por ello, en el esquemático se le introdujo a la bobina L_O los parámetros de la bobina *LQW04AN10NH00* de *Murata* y a la bobina L_{DD} los de la bobina *LQG15HH2N0S02* del mismo fabricante [25][26].

Para realizar el diseño de la otra bobina, se realizaron una serie de barridos de los distintos parámetros geométricos del modelo de bobina proporcionado por la tecnología, de forma que se obtuviera el valor de inductancia más cercano al valor ideal calculado. Los parámetros geométricos de la bobina que se barrieron fueron el ancho de la pista, el diámetro de la bobina y el número de vueltas. Llegados a este punto, cabe destacar que los inductores se caracterizan por dos factores: su inductancia y su factor de calidad. Según la teoría, al variar los parámetros geométricos de un inductor, tanto la inductancia como el factor de calidad variarán de una forma u otra. Por ejemplo, si se aumenta el ancho de la pista, el factor de calidad aumentará mientras que la inductancia disminuirá. En el caso del diámetro de la bobina ocurre al contrario. Mientras éste aumenta, el factor de calidad disminuye y la inductancia aumenta. Del mismo modo, si el número de vueltas aumenta, también lo hace la inductancia mientras que el factor de calidad disminuye[10]. Teniendo esto en cuenta, se hallaron los parámetros geométricos para los que la bobina tenía el valor de inductancia deseado, con el mayor factor de calidad posible. En la Figura 6.11 se muestra la configuración utilizada para hallar el valor deseado de la bobina[17].

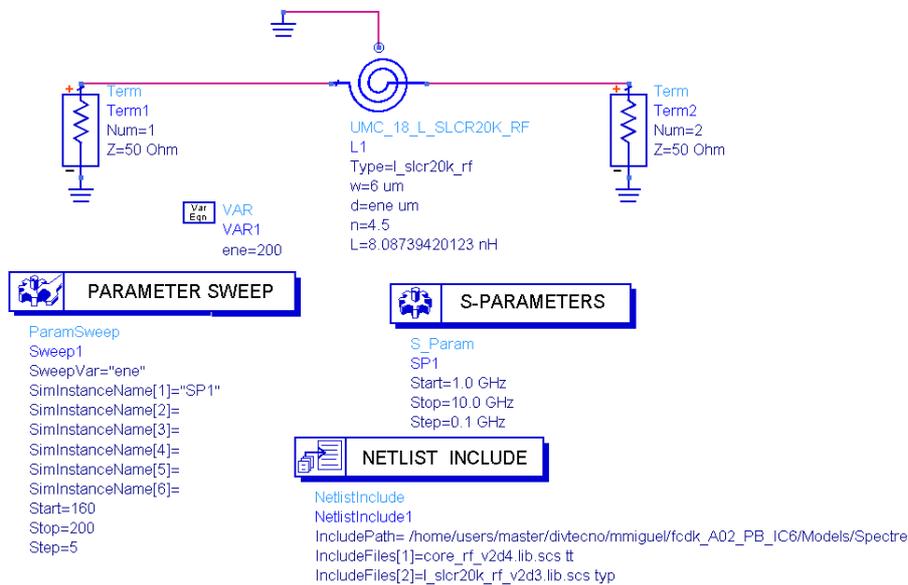


Figura 6.11: Esquemático creado para la obtención de los parámetros de la bobina

A continuación se muestran los resultados de factor de calidad e inductancia para cada una de las bobinas diseñadas. En la Figura 6.12 se puede apreciar que la bobina L_D tiene un factor de calidad de aproximadamente 7.25 y que el valor de su inductancia es de 8.94 nH, valor próximo al ideal.

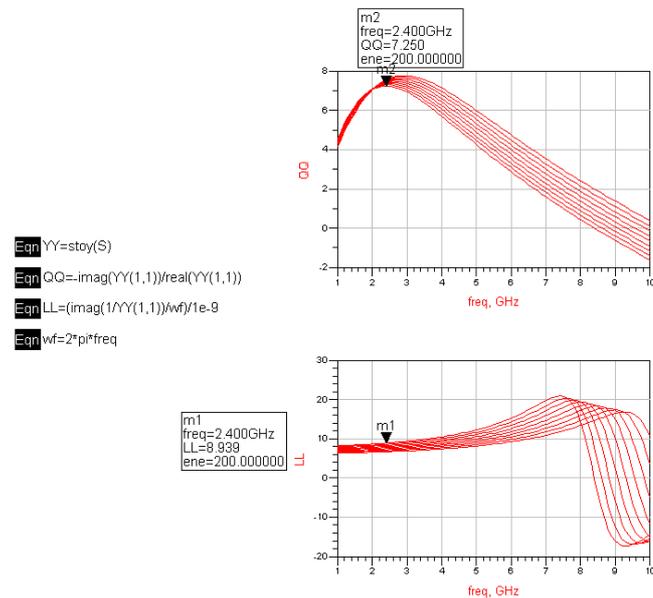


Figura 6.12: Resultados de la simulación de la bobina

Una vez se ha diseñado la bobina para la tecnología UMC de $0.18 \mu\text{m}$, se inserta ésta y las bobinas externas en el circuito en el lugar de las bobinas ideales presentes hasta el momento.

En la Figura 6.13 se muestra el diseño del PA con estas bobinas ya implementadas.

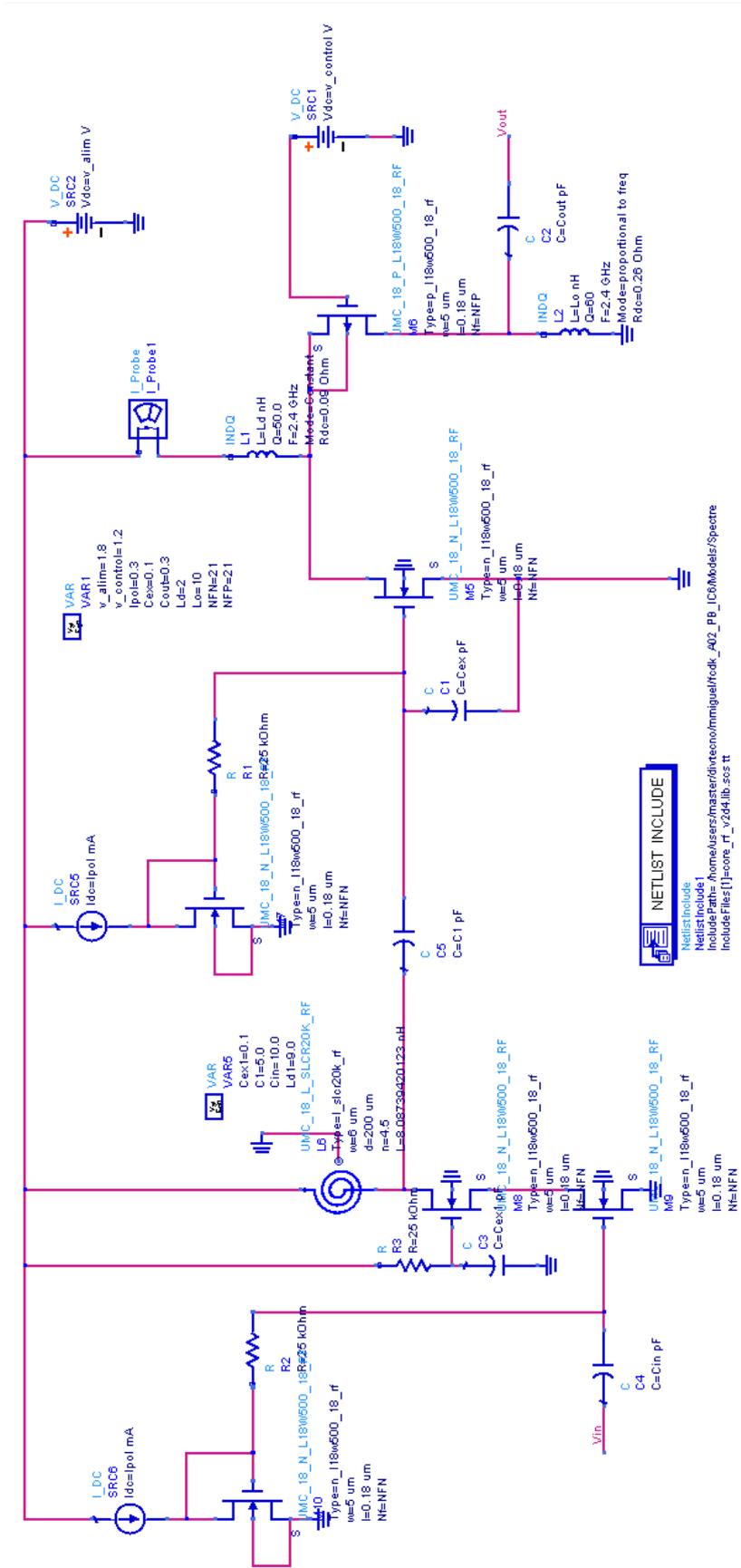


Figura 6.13: Esquemático del PA implementado con bobinas reales

Llegados a este punto, se introdujo todo el esquemático en el símbolo mostrado en la Figura 6.14, de forma que fuera más sencillo su manejo de cara al resto de simulaciones que se tuvieran que realizar y se procedió al proceso de obtención de las prestaciones del PA diseñado, las cuales han sido explicadas en la **Sección 5.2.2. Parámetros del amplificador**.

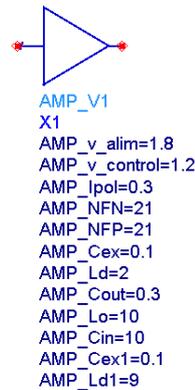


Figura 6.14: Símbolo creado para el PA diseñado

La primera simulación que se realiza sobre el amplificador diseñado se trata de una simulación de parámetros S para comprobar que no han variado mucho sus prestaciones al introducir las bobinas reales. Para ello, se realiza el circuito mostrado en la Figura 6.15.

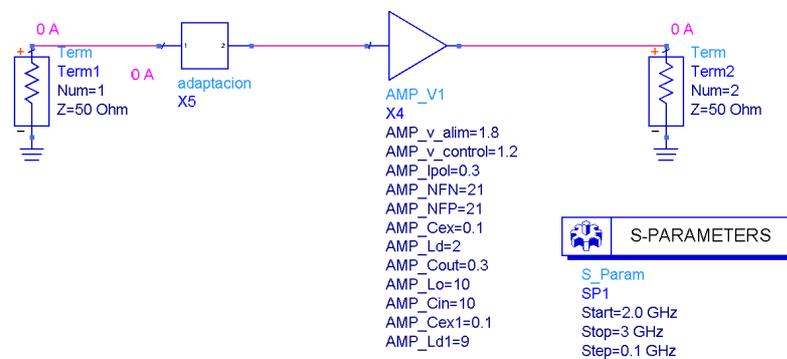


Figura 6.15: Esquemático para realizar la simulación de parámetros S

Como se puede observar en la Figura 6.16, se han producido ciertas variaciones: el S_{21} se ha reducido a 13.901dB, el S_{22} ha caído a -19.297dB, el S_{12} también disminuye levemente a -65dB aproximadamente y el S_{11} se reduce ligeramente, a un valor próximo a -15dB. Estos resultados han variado al introducirse las bobinas reales, cosa que era de esperar al introducir una bobina con una factor de calidad tan bajo (L_D). Sin embargo, estos resultados siguen siendo lo bastante buenos como para garantizar el correcto funcionamiento del circuito. También es preciso indicar que para realizar esta medida se introdujo una red de adaptación de entrada ideal, por lo que en realidad los resultados obtenidos son algo inferiores.

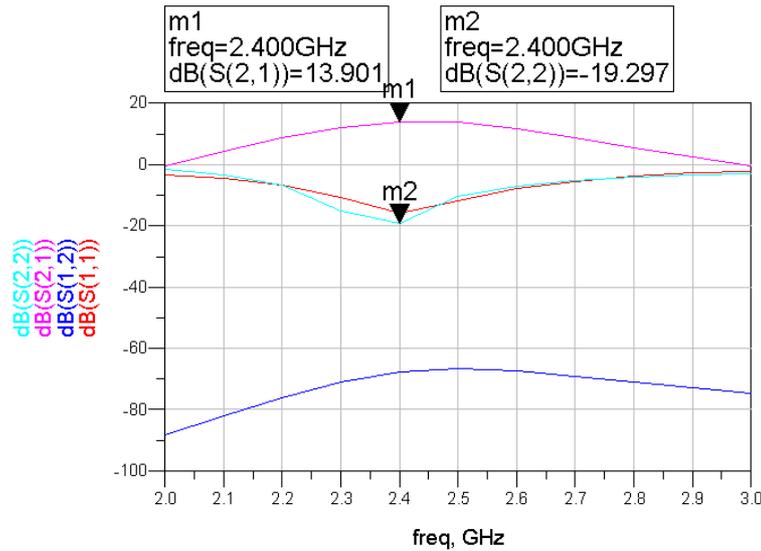


Figura 6.16: Resultados de la simulación de parámetros S

También se halló el valor del factor de estabilidad de Rollett[27], medida que se calcula con los parámetros S y que indica si el circuito diseñado oscila. Para que un circuito sea no oscilante, su factor de Rollett debe ser mayor que +1. El resultado se muestra en la Figura 6.17, donde se puede comprobar que el factor de estabilidad es de 239.681 por lo que se puede afirmar que el PA no oscila.

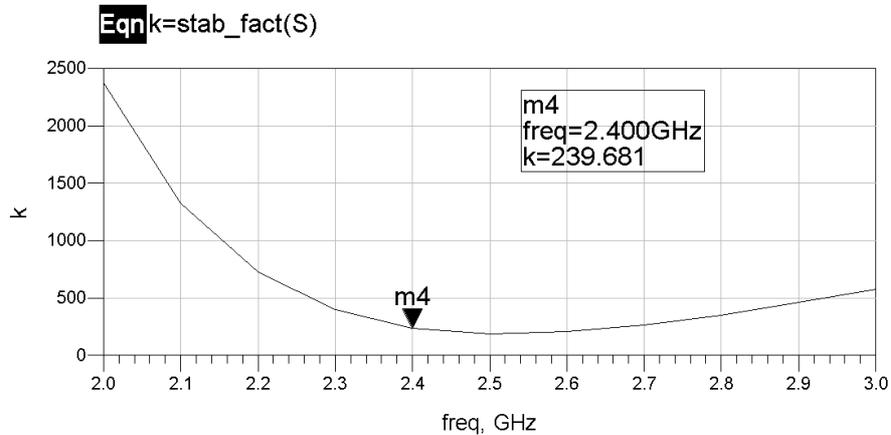


Figura 6.17: Resultado de la simulación del factor de Rollett

Seguidamente, se realiza un análisis de Balance de Armónicos para obtener el IP3 y el punto de compresión a 1 dB. Los resultados del mismo se muestran en la Figura 6.18, en la que se puede apreciar una ganancia lineal de unos 15dB y un P_{1dB} de 0.331dBm, valores bastante adecuados para la aplicación que se le quiere dar al PA.

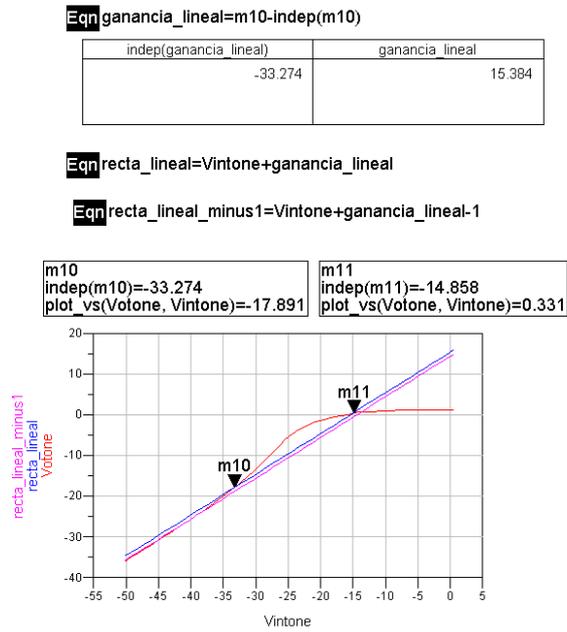


Figura 6.18: Resultados de la simulación del P_{1dB}

En cuanto al IP3, existen dos formas de hallarlo: en la primera de ellas, mostrada en la Figura 6.19, se compara el nivel de potencia de salida con el del tercer armónico para un mismo valor de potencia de entrada, obteniéndose un valor de IP3 (o TOI del inglés *Third Order Intercept Point*) de 7.562dB; la segunda, mostrada en la Figura 6.20, consiste en representar en una gráfica la señal de salida y la del tercer armónico con respecto a la señal de entrada y prolongar con rectas las zonas lineales de cada una de ellas hasta que se crucen, punto en el que se encuentra el IP3, ubicado aproximadamente en los 7dB.

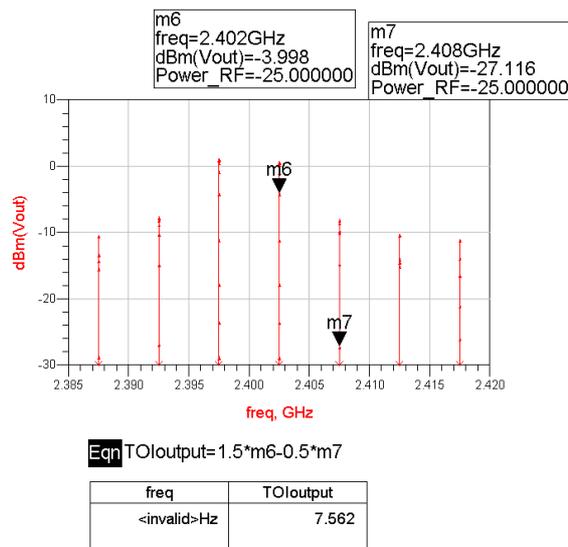


Figura 6.19: Resultados de la simulación del TOI (1)

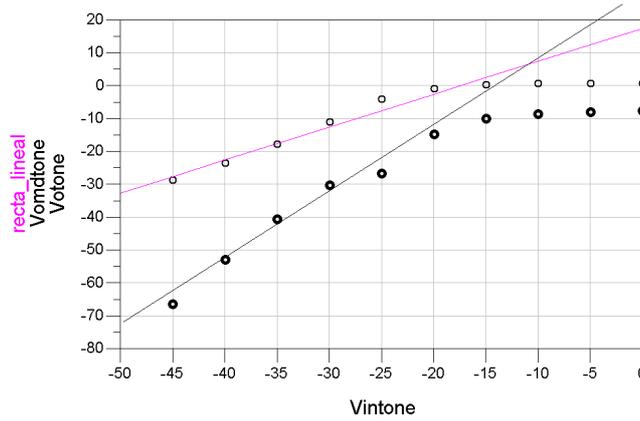


Figura 6.20: Resultados de la simulación del TOI (2)

Por último, se procede a la obtención del PAE. Para ello, se usa el *setup* de simulación que se muestra en la Figura 6.21. Es preciso indicar que para poder realizar esta simulación y obtener los resultados se introdujo una red de adaptación ideal a la entrada del PA, si bien en el transmisor completo no se utilizará esta red de adaptación puesto que la salida del mezclador y la entrada del PA no se encuentran adaptadas entre sí. Teniendo esto en cuenta, el valor de la ganancia del PA sin dicha red de adaptación es aproximadamente 4dB inferior a la obtenida.

Sobre este circuito se implementan las ecuaciones mostradas en la Figura 6.22, de forma que se pueda calcular la potencia consumida y el PAE.

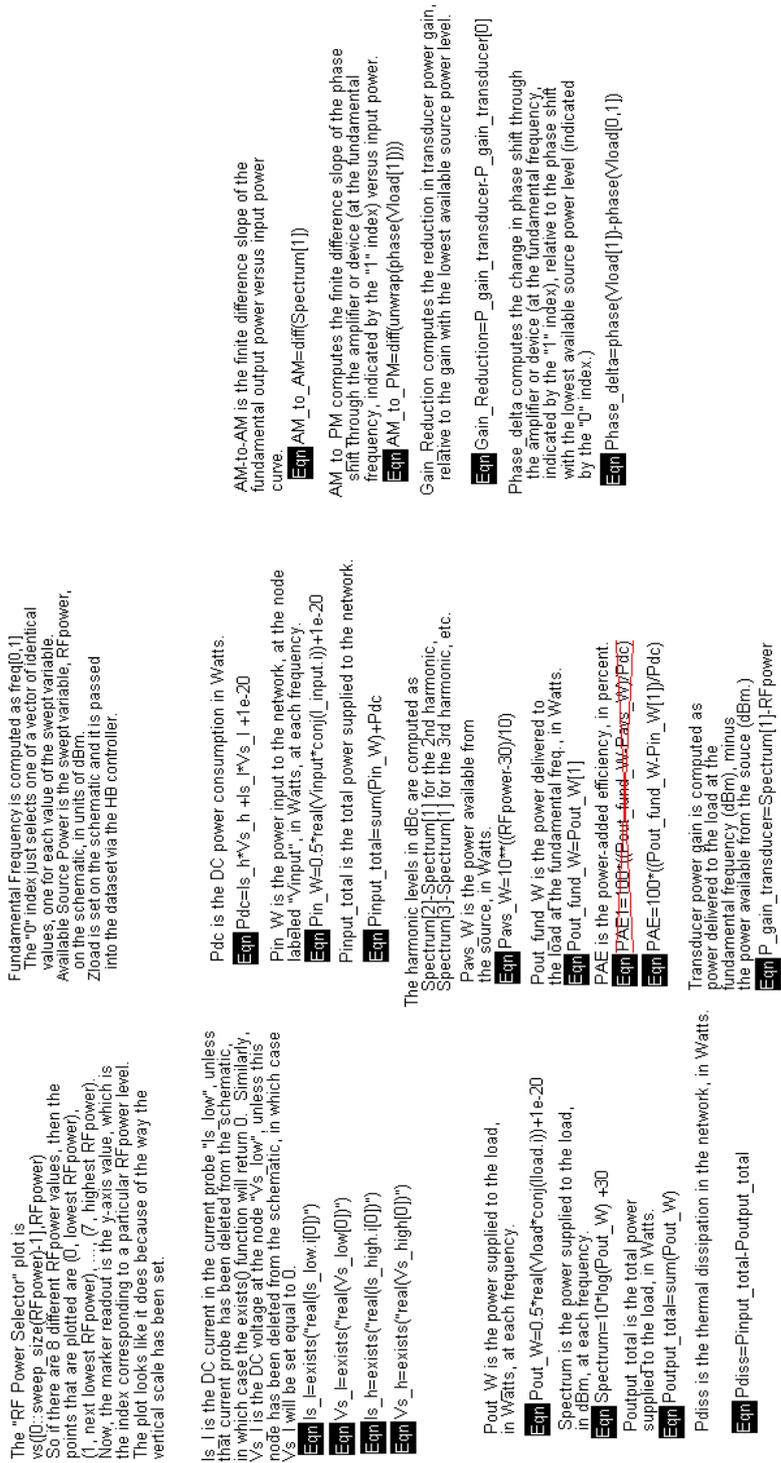


Figura 6.22: Ecuaciones para la obtención del PAE

Una vez implementadas las ecuaciones, se procede a representar el PAE en porcentaje y la potencia de salida con respecto a la potencia de entrada. Esta gráfica es la representada en la Figura 6.23, en la que se puede observar que para una potencia de entrada de aproximadamente -19dBm se tiene una potencia en la salida de 0dBm y una PAE del 5.5 %.



Figura 6.23: Gráfica con valores de PAE y las potencias de salida con la que se obtienen

Para tener una vista más detallada de los resultados que proporciona este *setup*, se extrae la tabla de resultados mostrados en la Figura 6.24. En ella se puede observar por ejemplo que, para una potencia de entrada de -20dBm se tiene una potencia de salida de -0.728dBm, con una PAE del 5.356 % y un consumo de potencia de 15.61mW. Este valor de consumo es mayor que el esperado para esta aplicación y, tras algo de estudio de la situación, se ha observado que este elevado consumo se debe a la topología empleada para implementar la segunda etapa del PA, la cual consume más corriente de lo esperado. Por ello, se propone que para trabajos futuros se tenga este dato en cuenta y se implemente dicha etapa con otra topología de menor consumo de potencia. Como los requisitos de linealidad para este tipo de aplicaciones no son excesivamente restrictivos, se podría implementar la segunda etapa con un amplificador de Clase AB o Clase B, de forma que la linealidad sería un poco peor pero el consumo de potencia se reduciría, obteniéndose una PAE mucho mejor que la obtenida en este caso.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power- Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
-50.00	-36.09	13.91	5.060 m	4.667 m	2.593 m	4.667 m
-45.00	-31.07	13.93	15.99 m	4.691 m	2.606 m	4.690 m
-40.00	-26.01	13.99	50.49 m	4.766 m	2.648 m	4.763 m
-35.00	-20.83	14.17	158.9 m	4.998 m	2.777 m	4.990 m
-30.00	-15.28	14.72	501.9 m	5.713 m	3.174 m	5.682 m
-25.00	-8.686	16.31	1.653	7.999 m	4.444 m	7.847 m
-20.00	-728.7 m	19.27	5.356	15.61 m	8.671 m	14.62 m
-15.00	3.637	18.64	6.415	35.54 m	19.74 m	32.12 m
-10.00	4.970	14.97	5.781	52.64 m	29.25 m	46.66 m

Figura 6.24: Tabla de resultados de la simulación

En resumen, los resultados obtenidos son aceptables y cumplen sobradamente con los requisitos especificados por el estándar IEEE 802.15.4, si bien el consumo es algo más elevado de lo esperado.

Capítulo 7

Transmisor completo

En este capítulo se unificarán los dos circuitos diseñados en el capítulo anterior (**Capítulo 5: Diseño de los circuitos**) para obtener el transmisor propuesto y se realizarán una serie de simulaciones del mismo para verificar que su funcionamiento es correcto.

7.1. Sistema completo

En la Figura 7.1 se muestra el esquemático completo de los bloques que se han desarrollado.

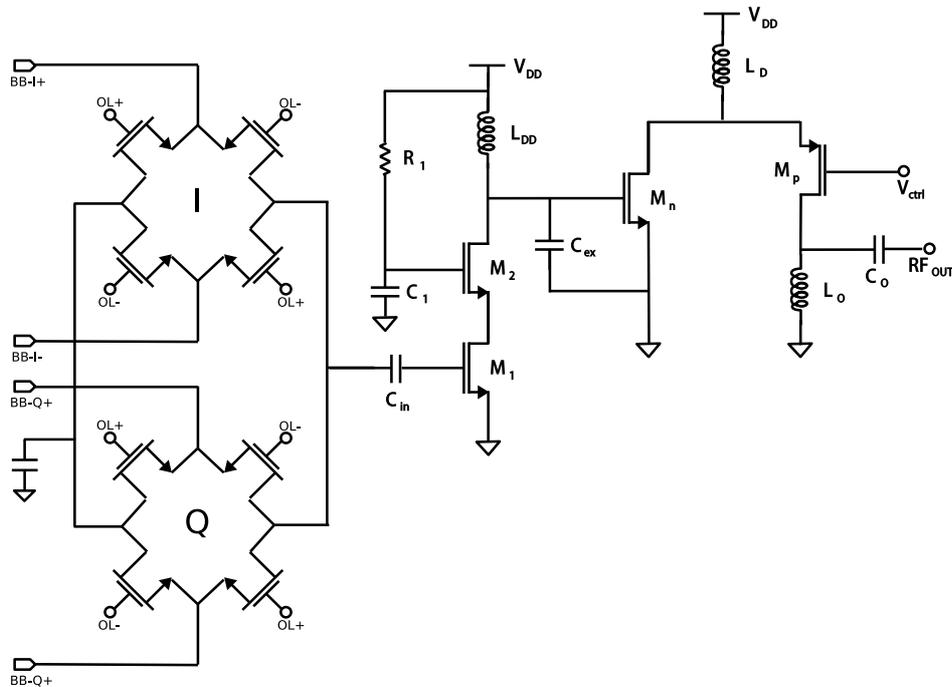


Figura 7.1: Esquemático completo del transmisor

7.2. Setup de simulación

Pese a que se han realizado varias simulaciones de cada una de las partes que componen este circuito, es necesario realizar una serie de simulaciones del sistema al completo para garantizar que su funcionamiento es el esperado. En concreto, el objetivo principal consiste en comprobar que la constelación de la señal obtenida a la salida del transmisor es lo más parecida posible a la señal introducida en la entrada y verificar que se cumplen los requisitos de ACPR y EVM especificados por el estándar IEEE 802.15.4 (ver apartado 2.7: **Requisitos del transmisor del Capítulo 2: Redes de sensores**). Para ello, se realiza el montaje mostrado en la Figura 7.2 y la Figura 7.3, con el que se realizará una comparativa entre la constelación obtenida al modular la señal de entrada con un modulador ideal (a)), la constelación obtenida al usar un modulador ideal y el PA diseñado (b)) y la constelación obtenida al emplear el transmisor completo que se ha diseñado (c)).

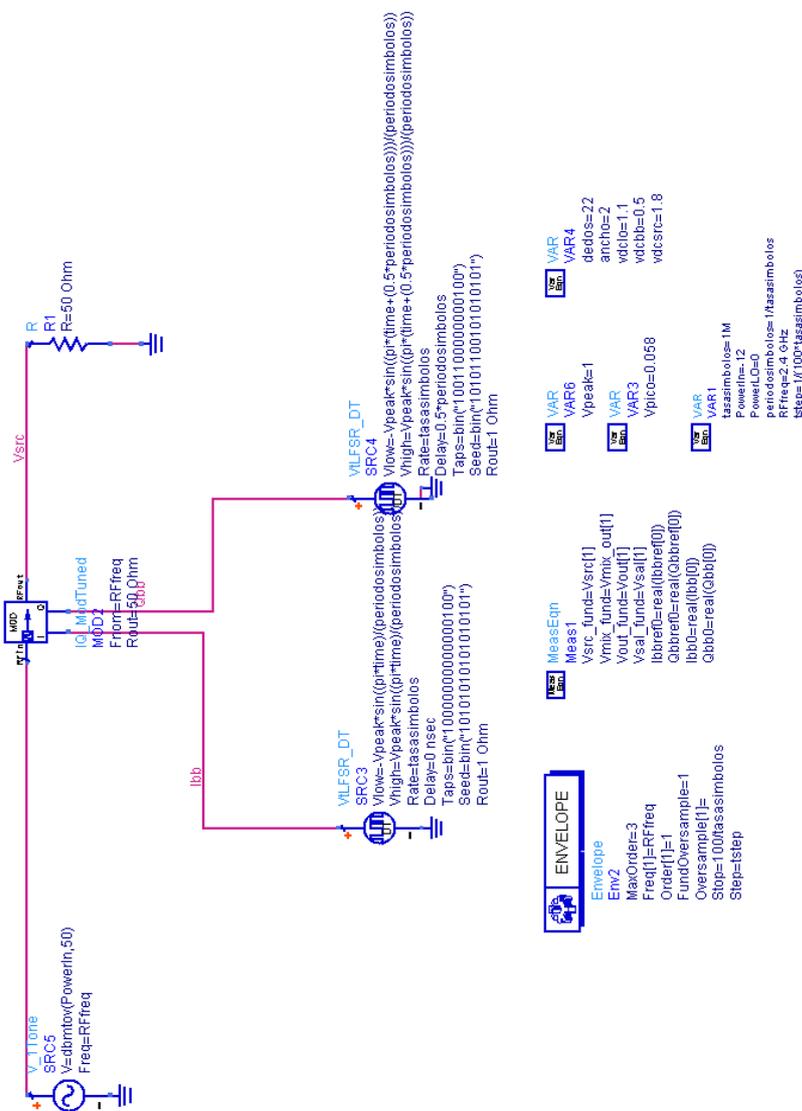


Figura 7.2: Esquemático empleado para la verificación del correcto funcionamiento del circuito completo (1)

En ambos circuitos se introducen los mismos datos, proporcionados por las fuentes descritas anteriormente, y se emplea la misma fuente para generar la señal del oscilador local, la cual introduce una señal sinusoidal a la frecuencia de RF, 2.4 GHz y con una potencia de 0dBm. En el caso del circuito que presenta el modulador ideal, se ha introducido la red de adaptación empleada en apartados anteriores a la entrada del PA para evaluar su funcionamiento en condiciones ideales.

Una vez que se ha garantizado que se va a realizar una comparativa correcta entre estos tres sistemas al introducir en ellos los mismos datos y señales, se procede a la simulación de los circuitos. Para ello, se ejecutará un análisis de envolvente (*Envelope Simulation*) como el descrito en la sección **4.1.3: Simulación de envolvente del Capítulo 4: Manejo de ADS**. Los parámetros de configuración de dicha simulación son los que se muestran en la Figura 7.4. Como se puede observar, en este análisis se toma una gran cantidad de muestras para así poder tener una buena representación de los resultados.



Figura 7.4: Configuración de la simulación de envolvente

Antes que nada, para poder visualizar las señales que se están introduciendo en cada circuito en la ventana de resultados de la simulación, es necesario crear una serie de ecuaciones en el esquemático. Para ello, se introduce un bloque de *Measurement Equations Component* o *MeasEqn* como el que se muestra en la Figura 7.5[29]. Una vez hecho esto, ya se podrá ejecutar la simulación.



Figura 7.5: Bloque de MeasEqn empleado

7.2.1. Constelación de la señal

Una vez realizada la simulación, es necesario implementar una serie de ecuaciones dentro de la ventana de resultados de la simulación para poder visualizar los mismos. En primer lugar, para representar la constelación para el circuito que emplea el modulador ideal es necesario implementar las ecuaciones representadas en la Figura 7.6 [29].

```
Eqn Rotation=0
Eqn Vrotated=Vsrc_fund*exp(j*Rotation)
Eqn Vreal=real(Vrotated)
Eqn Vimag=imag(Vrotated)
Eqn Traj=vs(Vimag,Vreal)
Eqn delay=0.25/tasasimbolos[0]
Eqn Const=constellation(Vreal,Vimag,tasasimbolos[0],delay)
```

Figura 7.6: Ecuaciones para representar la constelación

Como se puede observar, para representar la constelación es necesario especificar la rotación con la que se va a mostrar, obtener *Vrotated* y extraer de ella su parte real e imaginaria. A partir de ambas partes se obtiene la trayectoria de la constelación, y conociendo la tasa de símbolos de las fuentes y el retardo entre ambas es posible extraer los puntos de la constelación, tal y como se puede apreciar en la Figura 7.7. La constelación obtenida tiene la forma de la MSK que se esperaba obtener y tiene una amplitud de 56mV, valor prácticamente idéntico al que introducen las fuentes (58mV). Las constelaciones del resto de circuitos (*b*) y *c*) se pueden obtener de la misma forma, pero se optó por extraerlas de otra forma, la cual se mostrará más adelante.

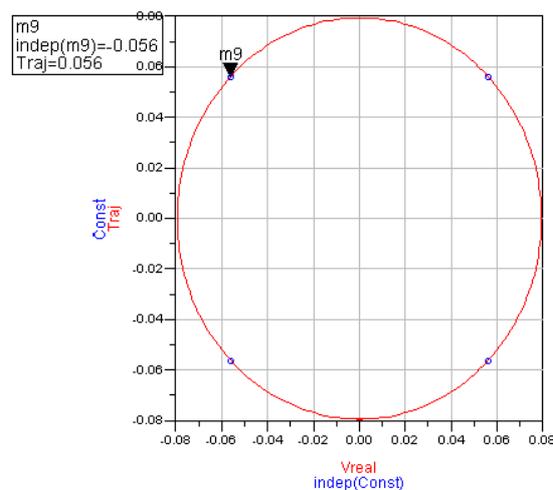


Figura 7.7: Constelación obtenida para el circuito que emplea el modulador ideal

7.2.2. Espectro de la señal

Una vez explicado el método de obtención de las constelaciones, es preciso representar los espectros de las señales a la salida de los circuitos. Para ello, simplemente es necesario emplear la siguiente expresión:

$$Espectro = dBm(fs(V_1, , , , "Kaiser"))$$

En esta expresión, V_1 se puede reemplazar por cualquier señal de tensión del esquemático y se obtendrá el espectro de la misma[29]. En el caso del circuito con el modulador ideal y el PA (b), el espectro de la señal a la entrada del circuito y a la salida del mismo se muestran en la Figura 7.8. En dicha Figura también se puede observar que se ha creado una variable denominada *mainCh*, con la cual se indica la banda del canal principal, de ancho 3 MHz, tal y como especifica el estándar IEEE 802.15.4. Con este ancho de banda, es posible calcular la potencia media en dBW en dicho rango de frecuencias mediante la función *channel_power_vr()*[30]. Para pasar dicho valor de potencia a dBm simplemente es necesario sumar 30, tal y como se hace en la Figura. En este caso, para una potencia de entrada en el circuito de aproximadamente -12dBm, se obtiene una potencia media en el canal a la salida del PA de 17dBm.

Con amplificador

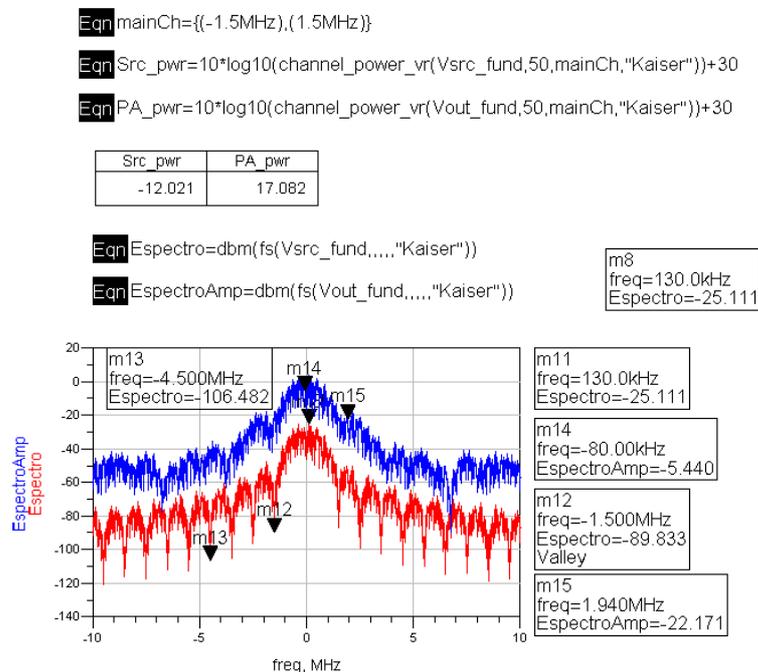


Figura 7.8: Espectro de potencia obtenido para el circuito de modulador ideal y PA

Se puede realizar el mismo proceso para el caso del circuito compuesto por el mezclador y el PA diseñados (c)). En la Figura 7.9 se muestran los resultados obtenidos de potencia media en el canal para la salida del mezclador (V_{mix}), cuyo valor es -4.213dBm, y la salida del PA, cuyo valor

es 12.893dBm, así como los espectros de las señales de entrada y salida del circuito. Del espectro de salida se puede extraer que la potencia de salida es 0dBm.

Con amplificador y mixer

$$\text{Eqn Src_pwr1}=10*\log_{10}(\text{channel_power_vr}(\text{Vmix_fund},50,\text{mainCh},\text{"Kaiser"}))+30$$

$$\text{Eqn PA_pwr1}=10*\log_{10}(\text{channel_power_vr}(\text{Vsal_fund},50,\text{mainCh},\text{"Kaiser"}))+30$$

Src_pwr1	PA_pwr1
-4.213	12.839

$$\text{Eqn Espectro1}=\text{dbm}(\text{fs}(\text{Vmix_fund},\dots,\text{"Kaiser"}))$$

$$\text{Eqn EspectroAmp1}=\text{dbm}(\text{fs}(\text{Vsal_fund},\dots,\text{"Kaiser"}))$$

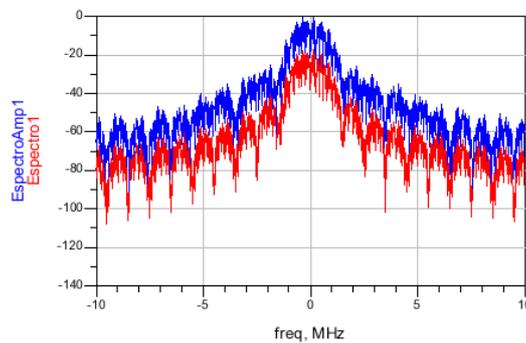


Figura 7.9: Espectro de potencia obtenido para el circuito compuesto por el mezclador y el PA diseñados

7.2.3. ACPR

Una vez representados los espectros de las señales de cada uno de los circuitos, se puede proceder a la medida del ACPR (*Adjacent Channel Power Ratio*). Para obtener el ACPR, es necesario definir dos canales con los que puede interferir el canal principal (*mainCh*, de -1.5 MHz a 1.5 MHz): el canal superior (*UpCh*, de 1.5 MHz a 4.5 MHz) y el canal inferior (*LoCh*, de -4.5 MHz a -1.5 MHz). Seguidamente, se procederá a comparar el nivel de potencia de dichos canales con el del canal principal. Para ello, se empleará la función de ADS *acpr_vr()*, la cual nos permite obtener el valor del ACPR correspondiente a una determinada señal si se indican los canales a comparar[31]. En este caso, se introduce la siguiente ecuación:

$$ACPR = \text{acpr_vr}(\text{Vout_fund}, 50, \text{MainCh}, \text{LoCh}, \text{UpCh}, \text{"Kaiser"})$$

Seguidamente, se representa la variable obtenida (ACPR) en una tabla de resultados y aparece representado el valor del ACPR del canal central con respecto al canal inferior (*ACPR(1)*) y al superior (*ACPR(2)*), tal y como se puede observar en la Figura 7.10. En ambos casos, el valor de ACPR obtenido para el circuito compuesto por el modulador ideal y el PA diseñado (*b*) está por encima de 22.5dB,

por lo que se cumple el requisito especificado por el estándar que indica que el ACPR debe ser superior a 20dB.

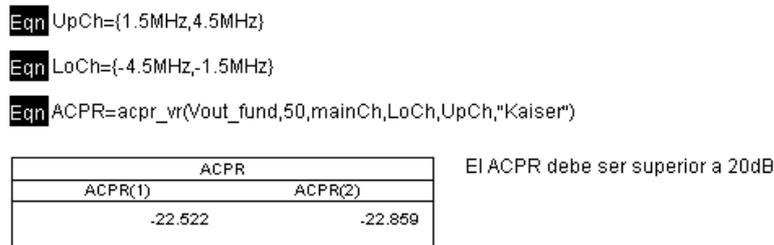


Figura 7.10: Valores de ACPR obtenidos para el circuito con modulador ideal y el PA diseñado

Si se repite el proceso que se ha explicado para las variables del circuito que incorpora el mezclador y el PA diseñados, se obtienen los resultados mostrados en la Figura 7.11. En este caso, el ACPR es de aproximadamente 26.5dB, por lo que se cumple con creces el requisito del estándar.

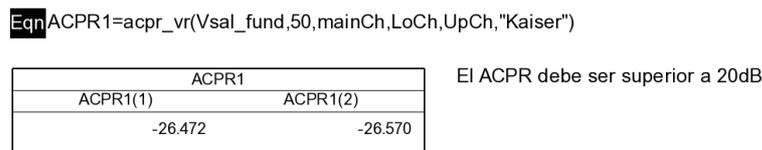


Figura 7.11: Valores de ACPR obtenidos para el circuito con el mezclador y el PA diseñados

7.2.4. EVM

Por último, se procede a la obtención del EVM (*Error Vector Magnitude*). Para ello, se utiliza la función de ADS *const_evm()*, a la cual se le introducen dos señales para poder comparar sus constelaciones y hallar el EVM[32]. En este caso, tanto para el circuito *b)* como para el *c)*, la comparación se realizará entre la constelación ideal (la de la señal *Vsrc*) y la señal de salida de los circuitos (*Vout* en el caso de *b)* y *Vsal* en el caso de *c)*). Esta función genera un vector con distintos resultados, el cual se almacena en la variable *data*. Para ello, se introduce la siguiente ecuación:

$$data = const_evm(Vsrc_fund, Vout_fund, tasasimbolos[0], delay)$$

El vector *data* contiene varios datos de interés, los cuales se detallan a continuación[32]:

- data[0]: Constelación de la señal V_{src_fund} .
- data[1]: Trayectoria de la señal V_{src_fund} .
- data[2]: Constelación de la señal a la salida del PA.
- data[3]: Trayectoria de la señal a la salida del PA.
- data[4]: Evolución temporal del EVM.
- data[5]: EVM obtenido en forma de porcentaje.

Con el vector *data* podremos representar las constelaciones y trayectorias de las señales introducidas en la función, además de obtener el valor del EVM. En la Figura 7.12 se muestra el EVM obtenido para el circuito compuesto por el modulador ideal y el PA diseñado, así como la constelación de la señal a la salida del PA comparada con la constelación *ideal*. El EVM obtenido es del 0.459 %, valor muy reducido teniendo en cuenta que el valor máximo especificado por el estándar es 35 %. Es necesario indicar que esta medida está realizada en condiciones muy específicas. Sería necesario buscar la manera de introducir ruido al sistema y ver cómo varía el resultado. Sin embargo, con el valor obtenido, es de esperar que el valor no difiera mucho en ese caso. En cuanto a las constelaciones representadas, se dividió la amplitud de la señal de salida por un factor determinado para poder visualizar las dos constelaciones superpuestas. Como se puede observar, las constelaciones son prácticamente idénticas, así que el valor de EVM obtenido se puede tomar como válido.

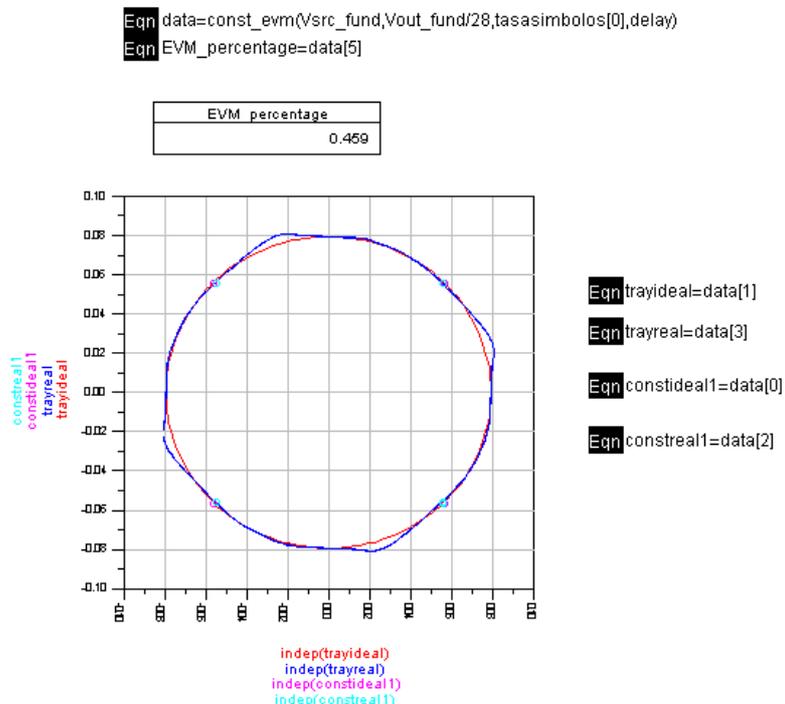


Figura 7.12: Valor de EVM conseguido para el caso *b)* y constelaciones obtenidas

Repitiendo el proceso para el circuito compuesto por el mezclador y el PA diseñados, se obtienen los resultados mostrados en la Figura 7.13. En este caso, el EVM vale 0.452 % y las constelaciones

superpuestas son las mostradas en la Figura. En este caso, la trayectoria de la constelación de la señal a la salida del PA no es tan circular, pero la ubicación de los puntos de la constelación es casi la misma que los de la constelación *ideal*.

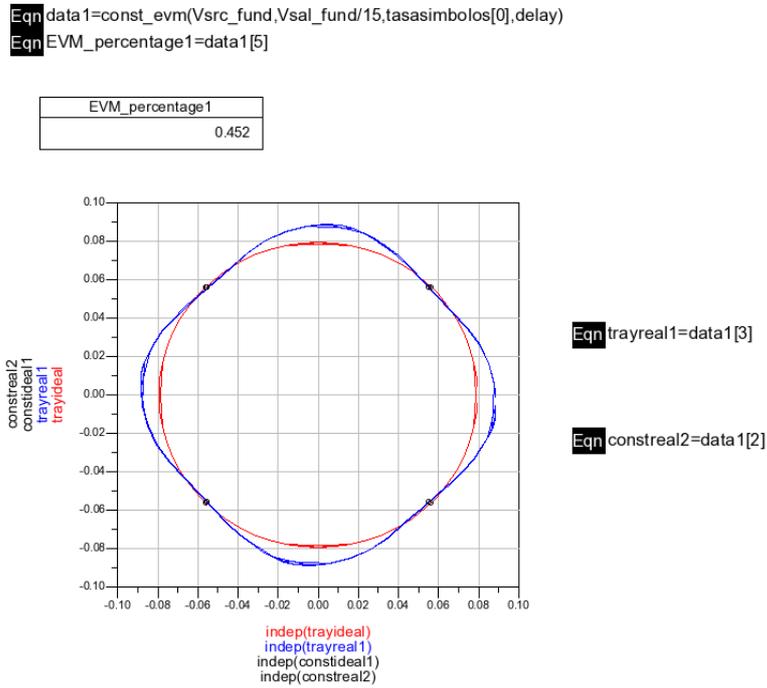


Figura 7.13: Valor de EVM conseguido para el caso *c*) y constelaciones obtenidas

Capítulo 8

Conclusiones y líneas futuras

En este capítulo se recogerán los resultados obtenidos y las conclusiones extraídas tras completar el proceso de diseño y simulación del transmisor. En primer lugar, se expondrán de forma resumida los resultados obtenidos en las simulaciones del diseño realizado y posteriormente se realizará una comparativa con otros circuitos de características similares que se pueden encontrar en publicaciones científicas. Finalmente, se realizará una revisión de los objetivos que se querían cumplir y se comentarán las líneas futuras a desarrollar a partir del trabajo desarrollado en este Trabajo Fin de Máster.

8.1. Resultados y conclusiones

Una vez se ha analizado el transmisor diseñado y se le han realizado simulaciones para comprobar su funcionamiento, es el momento de analizar los resultados obtenidos y extraer las conclusiones pertinentes.

Tal y como se ha explicado en el capítulo de introducción de la presente memoria de Trabajo Fin de Máster, el objetivo principal del mismo es el de obtener un transmisor para el estándar IEEE 802.15.4 usando la tecnología CMOS $0.18 \mu\text{m}$ y centrado en la frecuencia de 2.4 GHz. Se deseaba que este transmisor fuera de bajo consumo de potencia, alta linealidad y que cumpliera los requisitos de ACPR y EVM especificados por el estándar. En esta sección se tratará de averiguar si realmente se ha completado este objetivo y se han alcanzado los resultados esperados.

En cuanto a la arquitectura del transmisor, como ya se ha comentado en el **Capítulo 3: Arquitectura del Transmisor**, se ha optado por una arquitectura de conversión directa. Anteriormente se ha comentado que este tipo de transmisor posee una serie de ventajas con respecto a otras posibles arquitecturas para el diseño de transmisores. Como se ha analizado previamente, la arquitectura de transmisor superheterodino no es la más adecuada para aplicaciones de bajo coste, baja área y bajo consumo y, por tanto, queda descartada para este caso. Sin embargo, la arquitectura de conversión directa permite alcanzar estos objetivos, si bien presentaba algunos inconvenientes con respecto a la

superheterodina, como el *injection pulling* y el *offset* de continua en banda base (ruido *flicker*), entre otros.

El transmisor diseñado está compuesto por dos circuitos claramente diferenciados, y cada uno cumple una función muy específica. En primer lugar se encuentra el mezclador, encargado del proceso de *up-conversion*. En este caso, se optó por implementar un mezclador en cuadratura pasivo doble-balanceado. Esta topología permite disminuir la aportación de ruido *flicker* al ruido total del sistema, puesto que no circula corriente de continua por los transistores del mezclador.

En segundo lugar se encuentra el Power Amplifier o PA, encargado de amplificar la señal y adaptarla para su posterior transmisión. En este caso, se decidió implementar un PA de dos etapas, una compuesta por un cascode de carga inductiva con una resistencia de polarización y un condensador para aportar estabilidad al sistema y otra etapa compuesta por un cascode doblado, el cual nos permite tener un comportamiento altamente lineal. Además, la segunda etapa incorpora una tensión de control con la que se puede regular la ganancia del circuito. A la salida del cascode se colocó una red de adaptación LC para adaptar la salida del circuito. Tras la realización de las simulaciones del PA se comprobó que la topología de cascode doblado no era la ideal para la segunda etapa puesto que consumía demasiada potencia. Sin embargo, su funcionamiento seguía siendo correcto. Cabe destacar que el PA está alimentado con una tensión de 1.8V mientras que la tensión de control se fijó a un valor de 1.2V.

Se realizaron diversas simulaciones para verificar el correcto funcionamiento del circuito, de las cuales se extrajeron los resultados que se muestran en la Tabla 4.1.

Parámetros	Especificaciones	Resultados
Potencia de salida (dBm)	{-3,10}	0
Ganancia de conversión (dB)	12	≈ 12
P1dB (dBm)	≥ 0	0.331
ACPR (dB)	>20	≈ 26.5
EVM (%)	<35	0.452
Consumo de potencia (mW)	El menor posible	15.61

Tabla 8.1: Tabla comparativa entre los resultados obtenidos y las especificaciones propuestas

Si se comparan los resultados obtenidos con las especificaciones que se fijaron al comienzo del TFM, se puede apreciar que el transmisor diseñado cumple con ellas y con las indicadas por el estándar IEEE 802.15.4 y, por tanto, posee un rendimiento adecuado para este tipo de circuitos.

Por otro lado, para tener una visión más global de los resultados obtenidos y del rendimiento del transmisor diseñado, se ha realizado una comparativa con otros encontrados en la literatura. Dicha comparación se muestra en la Tabla 4.1. Los otros diseños de transmisores con los que se ha realizado la comparación son soluciones propuestas anteriormente para el mismo estándar y con

las mismas tecnologías, a excepción del transmisor implementado en [16], en cuyo caso se realizó el diseño en tecnología de 0.25 μ m y con una arquitectura superheterodina. El resto de transmisores que aparecen en la tabla han sido implementados con tecnología de 0.18 μ m y con la arquitectura de conversión directa. Las principales diferencias radican en el diseño del PA y mezclador que se implementó en cada caso.

Referencia	[16]	[11]	[12]	[13]	[14]	Este trabajo
Tecnología CMOS [μ m]	0.25	0.18	0.18	0.18	0.18	0.18
Potencia de salida [dBm]	0	0	0	>-2	0	0
Ganancia de conversión [dB]	—	—	0-20	10	12	12
ACPR [dB]	30	24.7	22	30	30	26.5
EVM [%]	—	7	<23	<13	—	0.452**
Consumo de potencia [mW]	12	18	14.22	16.2	5.4*	15.61
Arquitectura	SHD	DCT	DCT	DCT	DCT	DCT

Tabla 8.2: Tabla comparativa entre los resultados obtenidos y los de otras publicaciones

*: Tras leer el *paper*, se cree que el dato del consumo se calculó de forma errónea y lo que se halló fue el consumo de potencia instantáneo.

**: Como ya se comentó anteriormente, sería necesario realizar el cálculo del EVM en condiciones de mayor ruido.

Como se puede apreciar en la tabla, los resultados obtenidos están en la línea de los que se han obtenido en otras publicaciones. El valor de potencia de salida es el mismo que en el resto de *papers* (exceptuando [13], en el cual la potencia es menor). La ganancia de conversión es igual a la obtenida para el *paper* [14], superior a la del *paper* [13] y está en el rango del obtenido para el *paper* [12]. Los valores de ACPR y consumo de potencia están dentro de la media, y el resultado de EVM obtenido es el mejor, pero es necesario tener en cuenta que hay que introducir fuentes de ruido para evaluar dicho resultado correctamente.

Por tanto, se puede concluir que los resultados obtenidos cumplen las especificaciones del estándar siendo además unos resultados altamente competitivos frente a los encontrados en la literatura. Además, se puede afirmar que los objetivos planteados inicialmente han sido completados satisfactoriamente. Sin embargo, este TFM se encuentra dentro de una línea de trabajo de mayor envergadura, que está enfocada al diseño de un transceptor de radiofrecuencia y, por tanto, el diseño realizado puede ser objeto de distintos trabajos futuros.

8.2. Líneas futuras

De cara a las futuras líneas de desarrollo sobre este TFM, éstas son las que se especifican a continuación:

- Rediseño de la segunda etapa del PA.
- Análisis del EVM en condiciones de ruido.
- Creación del layout del diseño y realización de simulaciones post-layout.
- Integración con el resto del transceptor, en el que se incluyen el receptor ya diseñado[17] y el VCO, cuyo diseño todavía está pendiente.
- Diseño de la PCB con los circuitos y diseño de las antenas de transmisión y recepción.
- Análisis de los distintos tipos de encapsulado para ver cuál es el idóneo para el transceptor.
- Fabricación y medidas experimentales sobre el chip.

Como se puede apreciar, el trabajo realizado en este TFM es una pequeña parte en comparación con la extensión de toda la línea de trabajo. Los objetivos inmediatos a completar tras la presentación del presente TFM son el rediseño de la segunda etapa del PA y la creación del layout. El resto de líneas futuras son a más largo plazo, y se irán desarrollando en el orden que aparece en el listado.

Parte II

Bibliografía

Bibliografía

- [1] I. D. Robertson, S. Lucyszyn. RFIC and MMIC Design and Technology. The Institution of Electrical Engineers, Londres, 2001.
- [2] Nayibe Chi Cho et al. Redes de Sensores Inalámbricos. http://www.researchgate.net/profile/Diego_Tibaduiza_Burgos/publication/267214014_Redex_de_sensores_inalmbricos/links/5451077a0cf24884d886f4e9.pdf. Última consulta: Noviembre 2015.
- [3] Anderson Manuel Rocha. Implementación de un sistema de sensorización remota con Arduino, 2014. Universidad de Las Palmas de Gran Canaria.
- [4] Dr. José A. Gutiérrez. IEEE Std. 802.15.4: Enabling pervasive wireless sensor networks. <http://www.cs.berkeley.edu/~prabal/teaching/cs294-11-f05/slides/day21.pdf>. Eaton Corporation, 2005. Última consulta: Noviembre 2015.
- [5] Daniel Morató Osés. Arquitectura de Redes, Sistemas y Servicios. CSMA/CA. https://www.tlm.unavarra.es/~daniel/docencia/arss_itt/arss_itt11_12_sem2/slides/24-CSMA-CA.pdf. Universidad Politécnica de Navarra, 2011. Última consulta: Noviembre 2015.
- [6] D. Ruiz Fernandez J. Martin Moreno. Informe técnico: Protocolo ZigBee(IEEE 802.15.4). http://rua.ua.es/dspace/bitstream/10045/1109/7/Informe_ZigBee.pdf. 2007. Última consulta: Noviembre 2015.
- [7] Carlos Alberto Ortega Huembres. ZigBee: El nuevo estándar global para la domótica e inmótica. <http://www.monografias.com/trabajos61/zigbee-estandar-domotico-inmotica/zigbee-estandar-domotico-inmotica.shtml>. 2008. Última consulta: Noviembre 2015.
- [8] Faisal Abdel-Latif Elseddeek Ali Hussein. Ultra Low Power IEEE 802.15.4/ZigBee Compliant Transceiver. Texas AM University, 2009.
- [9] IEEE Computer Society. LAN/MAN Standards Committee. IEEE Standard for Local and Metropolitan Area Networks. Part 15.4: Low-Rate Wireless Personal Area Networks(LR-WPANs). <https://standards.ieee.org/getieee802/download/802.15.4-2011.pdf>. Nueva York, 2011 (Revisión del estándar de 2006). Última consulta: Noviembre 2015.
- [10] Francisco Javier del Pino Suárez. Apuntes de la Asignatura: Electrónica de Comunicación. Universidad de Las Palmas de Gran Canaria, 2015.

- [11] M.K. Raja et al. A 18 mW Tx, 22mW Rx Transceiver for 2.45 GHz IEEE 802.15.4 WPAN in 0.18um CMOS. <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5716552>. 2010. Última consulta: Enero 2016.
- [12] P. Choi et al. An Experimental Coin-Sized Radio for Extremely Low-Power WPAN (IEEE 802.15.4) Application at 2.4 GHz. <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1253873>. 2003. Última consulta: Enero 2016.
- [13] I. Nam et al. A 2.4 GHz Low-Power Low-IF Receiver and Direct-Conversion Transmitter in 0.18um CMOS for IEEE 802.15.4 WPAN Applications. <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4148117>. 2007. Última consulta: Enero 2016.
- [14] T.K. Nguyen et al. A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4 GHz Band IEEE 802.15.4 Standard in 0.18um CMOS Technology. <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4020478>. 2006os . Última consulta: Enero 2016.
- [15] Behzad Razavi. A Study of Injection Locking and Pulling in Oscillators. <http://www.seas.ucla.edu/brweb/papers/Journals/RSep04.pdf>. IEEE, 2004. Última consulta: Noviembre 2015.
- [16] Alireza Zolfaghari, Behzad Razavi. A Low Power 2.4 GHz Transmitter/Receiver CMOS IC. <http://www.seas.ucla.edu/brweb/papers/Journals/Z&RFeb03.pdf>. 2003. Última consulta: Enero 2016.
- [17] Sergio Mateos Angulo. Trabajo Fin de Grado: Diseño de un Cabezal de Recepción para el Estándar IEEE 802.15.4 en Tecnología CMOS 0.18 um. Universidad de Las Palmas de Gran Canaria, 2015.
- [18] Cristóbal Guedes Suárez. Proyecto Fin de Carrera: Estudio y Diseño de Moduladores y Demoduladores Integrados para Comunicaciones Inalámbricas en la Tecnología SiGe 0.35um de AMS. Universidad de Las Palmas de Gran Canaria, 2004.
- [19] V.V. Denisenko. Spice-like Simulation Using Real Devices Instead of their Mathematical Models. <https://nsti.org/procs/MSM98/6/T3.4.1>. Computational Publications, San Francisco. Última consulta: Noviembre 2015.
- [20] Mohamed A. Khamisi, Helmut Knaust. The Newton-Raphson Method. <http://www.sosmath.com/calculus/diff/der07/der07.html>. S.O.S Math. Última consulta: Noviembre 2015.
- [21] C. Paige, B. Parlett, H. van der Vorst. Approximate solutions and eigenvalue bound from Krylov subspaces. Numerical Linear Algebra with Applications, vol. 2. <http://onlinelibrary.wiley.com/doi/10.1002/nla.1680020205/abstract>. 1995. Última consulta: Noviembre 2015.
- [22] Hewlett Packard, IEEE. S-Parameter Techniques for Faster, More Accurate Network Design. http://www.ieee.li/pdf/viewgraphs/s_parameter_techniques.pdf. California, 1997. Última consulta: Noviembre 2015.

- [23] P.A. Balaban, J.J. Golembki. Statistical analysis for practical design. IEEE Transactions on Circuits and Systems, 1975.
- [24] Y. A. Shried. Method of statistical testing: Monte Carlo method. Elsevier, Londond, 1964.
- [25] Murata. Datasheet de la bobina LQW04AN10NH00. <http://psearch.jp.murata.com/inductor/product/LQW04AN10NH00%23.pdf>. 2015. Última consulta: Diciembre 2015.
- [26] Murata. Datasheet de la bobina LQG15HH2N0S02. <http://psearch.jp.murata.com/inductor/product/LQG15HH2N0S02%23.pdf>. 2015. Última consulta: Diciembre 2015.
- [27] Microwaves 101. Stability Factor. <http://www.microwaves101.com/encyclopedias/stability-factor>. Microwaves101, 2015. Última consulta: Diciembre 2015.
- [28] Keysight Technologies. VtLFSR_DT source. <http://edadocs.software.keysight.com/pages/viewpage.action?pageId=58331925>. 2009. Última consulta: Diciembre 2015.
- [29] Kyung-Whan Yeaom. Microwave Circuit Design. A Practical Approach Using ADS. Prentice Hall, 2015.
- [30] Keysight Technologies. Función channel_power_vr(). [http://cp.literature.agilent.com/litweb/pdf/ads2008/expmeas/ads2008/channel_power_vr\(\).html](http://cp.literature.agilent.com/litweb/pdf/ads2008/expmeas/ads2008/channel_power_vr().html). 2008. Última consulta: Enero 2016.
- [31] Keysight Technologies. Función acpr_vr(). <http://cp.literature.agilent.com/litweb/pdf/ads2002c/express/exp039.html>. 2008. Última consulta: Enero 2016.
- [32] Keysight Technologies. Función const_evm(). <http://edadocs.software.keysight.com/pages/viewpage.action?pageId=58329502>. 2009. Última consulta: Enero 2016.

Parte III

Pliego de condiciones

Pliego de condiciones

Los recursos hardware empleados para el desarrollo del presente TFM son:

- **Ordenador portátil MacBook Pro de 13 pulgadas:** En este ordenador se ha llevado a cabo la redacción de la documentación del presente TFM. Este ordenador cuenta con un procesador Intel Core i7 de 2.9GHz, 8GB de memoria RAM y un disco duro de 750GB.
- **Ordenador de sobremesa Acer Aspire X1430:** En este ordenador se ha realizado el diseño del transmisor expuesto en el presente TFM. Este ordenador cuenta con un procesador AMD E-300 de 1.3GHz, 4GB de memoria RAM y un disco duro de 1TB.

Por otro lado, los recursos software empleados para el desarrollo del presente TFM son:

- **Sistema Operativo Mac OS X:** Sistema Operativo instalado en el portátil.
- **Sistema Operativo Windows 7 Enterprise:** Sistema Operativo instalado en el PC.
- **ADS 2009:** Software empleado para el diseño y simulaciones de los distintos circuitos.
- **Texmaker v4.2:** Editor de textos LaTeX. Se utilizó para la edición y compilación de textos LaTeX en la redacción de la memoria y documentación del presente TFM.
- **LibreOffice v4.2:** Paquete de herramientas ofimáticas. Se utilizó la aplicación *Draw* para la elaboración de algunas de las gráficas y ciertos diagramas mostrados en el presente documento.
- **Inkscape v0.48.4 :** Software de diseño gráfico vectorial. Se empleó para la elaboración de parte de las gráficas y diagramas del presente documento.
- **Microsoft Office 2013:** Suite ofimática empleada para la redacción de varios entregables de este proyecto, entre los que se encuentran el Anteproyecto y los Mecanismos de Seguimiento.

Parte IV

Presupuesto

Presupuesto

Este capítulo contiene el presupuesto que recoge los gastos generados por el presente Trabajo Fin de Máster. Dicho presupuesto se divide en las siguientes partes:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
 - Amortización del material hardware.
 - Amortización del material software.
- Redacción de la documentación.
- Derechos de visado del COIT.
- Gastos de tramitación y envío.

Una vez analizados cada uno de los criterios establecidos, se aplicarán los impuestos vigentes y se procederá a la obtención del coste total del presente TFM.

P.1. Trabajo tarifado por tiempo empleado

Este concepto contabiliza los gastos que corresponden a la mano de obra, según el salario correspondiente a la hora de trabajo de un ingeniero superior de telecomunicaciones. Se propone utilizar la siguiente fórmula:

$$H = C_t \times 74,88 \times H_n + C_t \times 96,72 \times H_e \quad \text{€} \quad (\text{P.1})$$

donde:

- H son los honorarios totales por el tiempo dedicado.
- H_n son las horas normales trabajadas dentro de la jornada laboral.
- H_e son las horas especiales trabajadas.
- C_t es un factor de corrección función del número de horas trabajadas

Se estima que para la realización del presente TFM se ha invertido un total de 300 horas, y que todas ellas se han realizado dentro del horario normal, por lo que el número de horas especiales es cero. Asimismo, el factor de corrección C_t a aplicar para 300 horas trabajadas según la tabla del COIT es de 0.6, como se puede comprobar en la tabla P.1.

Horas	Factor de corrección
Hasta 36	1
Exceso de 36 hasta 72	0,9
Exceso de 72 hasta 108	0,8
Exceso de 108 hasta 144	0,7
Exceso de 144 hasta 180	0,65
Exceso de 180 hasta 360	0,6
Exceso de 360 hasta 510	0,55
Exceso de 510 hasta 720	0,5
Exceso de 720 hasta 1.080	0,45
Exceso de 1.080	0,4

Tabla P.1: Coeficientes reductores para trabajo tarifado.

Teniendo en cuenta estos datos, el coste total de honorarios asciende a:

$$H = 0,6 \times 74,88 \times 300 + 0,6 \times 96,72 \times 0 = 13.478,40 \text{ €} \quad (\text{P.2})$$

El trabajo tarifado por tiempo empleado asciende a la cantidad de *trece mil cuatrocientos sesenta y ocho euros con cuarenta céntimos*.

P.2. Amortización del inmovilizado material

En el inmovilizado material se consideran tanto los recursos hardware como software empleados para la realización de este TFM.

Se estipula el coste de amortización para un periodo de 3 años utilizando un sistema de amortización lineal, en el que se supone que el inmovilizado material se deprecia de forma constante a lo largo de su vida útil. La cuota de amortización anual se calcula haciendo uso de (P.3)

$$\text{Cuota anual} = \frac{\text{Valor de adquisición} - \text{Valor residual}}{\text{Número de años de vida útil}} \quad (\text{P.3})$$

donde el valor residual es el valor teórico que se supone que tendrá el elemento en cuestión después de su vida útil.

P.2.1. Amortización del material hardware

Dado que la duración de este TFM es de 5 meses y es inferior al periodo de 3 años estipulado para el coste de amortización, los costes serán los derivados de los primeros 5 meses.

En la tabla P.2 se muestra el hardware necesario para la realización del trabajo, indicando para cada elemento su valor de adquisición, valor residual y coste de amortización, teniendo en cuenta un tiempo de uso de 5 meses.

Elemento	Valor de adquisición	Valor residual	Coste de la amortización
Ordenador portátil MacBook Pro de 13 pulgadas	1000,00 €	300,00 €	97,22 €
Ordenador de sobremesa Acer Aspire X1430	350,00 €	105,00 €	34,03 €
Total	1.350,00 €	405,00 €	131,25 €

Tabla P.2: Precios y costes de amortización del hardware.

El coste total del material hardware asciende a *ciento treinta y un euros con veinticinco céntimos*.

P.2.2. Amortización del material software

Para el cálculo de los costes de amortización del material software se considerarán, al igual que con el material hardware, los costes derivados de los primeros 5 meses.

La tabla P.3 muestra los elementos software necesarios para la realización del trabajo, así como su valor de adquisición, valor residual y coste de amortización.

Elemento	Valor de adquisición	Valor residual	Coste de la amortización
Sistema Operativo MacOS X	0,00 €	0,00 €	0,00 €
Sistema Operativo Windows 7 Enterprise	0,00 €	0,00 €	0,00 €
Licencia anual de ADS 2009	1722,23 €	0,00 €	717,60 €
Texmaker v4.2	0,00 €	0,00 €	0,00 €
LibreOffice v4.3.1	0,00 €	0,00 €	0,00 €
Inkscape v0.47 v4.3.1	0,00 €	0,00 €	0,00 €
Microsoft Office 2013	0,00 €	0,00 €	0,00 €
Total	1.722,23 €	0,00 €	717,60 €

Tabla P.3: Precios y costes de amortización del software.

Por tanto, el coste total del material software asciende a la cantidad de *setecientos diecisiete euros con sesenta céntimos*.

P.3. Redacción del trabajo

Se utiliza (P.4) para determinar el coste asociado a la redacción de la memoria del trabajo.

$$R = 0,07 \times P \times C_n \quad (\text{P.4})$$

donde:

- R son los honorarios por la redacción del trabajo.
- P es el presupuesto.
- C_n es el coeficiente de ponderación en función del presupuesto.

El valor del presupuesto P se calcula sumando los costes de las secciones anteriores correspondientes al trabajo tarifado por tiempo empleado y a la amortización del inmovilizado material, tanto hardware como software. Esta suma de los costes se muestra en la tabla P.4.

Concepto	Coste
Trabajo tarifado por tiempo empleado	13.478,40 €
Amortización del material hardware	131,25 €
Amortización del material software	717,60 €
Total (P)	14.327,25 €

Tabla P.4: Presupuesto incluyendo trabajo tarifado y amortización del inmovilizado material.

Como el coeficiente de ponderación C_n para presupuestos menores de 30.050 € viene definido por el COIT con un valor de 1.00, el coste derivado de la redacción del Trabajo Fin de Grado es de:

$$R = 0,07 \times 14.327,25 \times 1 = 1002,91 \text{ €} \quad (\text{P.5})$$

El coste de la redacción del trabajo asciende a *mil dos euros con noventa y un céntimos*.

P.4. Derechos de visado del COIT

El COIT establece que para proyectos técnicos de carácter general, los derechos de visado para 2016 se calculan en base a (P.6).

$$V = 0,006 \times P_1 \times C_1 + 0,003 \times P_2 \times C_2 \quad (\text{P.6})$$

donde:

- V es el coste de visado del trabajo.
- P_1 es el presupuesto del proyecto.
- C_1 es el coeficiente reductor en función del presupuesto.
- P_2 es la presupuesto de ejecución material correspondiente a la obra civil.
- C_2 es el coeficiente reductor en función a P_2 .

El valor del presupuesto P_1 se halla sumando los costes de las secciones anteriores correspondientes al trabajo tarifado por tiempo empleado, a la amortización del inmovilizado material, tanto hardware como software, y a la redacción del documento. Esta suma se muestra en la Tabla P.5. El coeficiente C_1 para proyectos de presupuesto inferior a 30.050,00 € es de 1. El valor de P_2 es de 0,00 € ya que no se realiza ninguna obra.

Concepto	Coste
Trabajo tarifado por tiempo empleado	13.478,40 €
Amortización del material hardware	131,25 €
Amortización del material software	717,60 €
Redacción del trabajo	1002,91 €
Total (P)	15.330,16 €

Tabla P.5: Presupuesto incluyendo trabajo tarifado, amortización y redacción del trabajo.

Así, aplicando (P.6) con los datos de la tabla P.5 y el coeficiente especificado se obtiene:

$$V = 0,006 \times 15.330,16 \times 1 = 91,98 \text{ €} \quad (\text{P.7})$$

Los costes por derechos de visado del presupuesto ascienden a *noventa y un euros con noventa y ocho céntimos*.

P.5. Gastos de tramitación y envío

Los gastos de tramitación y envío están estipulados en *seis euros* (6,00 €) por cada documento visado de forma telemática.

P.6. Material fungible

Además de los recursos hardware y software, en este trabajo se han empleado otros materiales, como los folios y el tóner de la impresora entre otros, que quedan englobados como material fungible. En la tabla P.6 se muestran los costes derivados de estos recursos.

Concepto	Coste
Folios	10,00 €
Tóner de la impresora	30,00 €
Encuadernación	4,00 €
Tres CDs	6,00 €
Total (P)	50,00 €

Tabla P.6: Costes de material fungible

Los costes de material fungible ascienden a *cincuenta euros*.

P.7. Aplicación de impuestos y coste total

La realización del presente TFM está gravada por el Impuesto General Indirecto Canario, I.G.I.C., en un siete por ciento (7%). En la tabla P.7 se muestra el presupuesto final con los impuestos aplicados.

Concepto	Coste
Trabajo tarifado por tiempo empleado	13.478,40 €
Amortización del material hardware	131,25 €
Amortización del material software	717,60 €
Redacción del trabajo	1002,91 €
Derechos de visado del COIT	91,98 €
Gastos de tramitación y envío	6,00 €
Costes de material fungible	50,00 €
Total (Sin IGIC)	15.478,14 €
IGIC (7%)	1083,47 €
Total	16.561,61 €

Tabla P.7: Presupuesto total del Trabajo Fin de Máster.

El presupuesto total del trabajo “*Diseño de un Transmisor para el Estándar IEEE 802.15.4 en Tecnología CMOS 0.18 μ m*” asciende a *dieciséis mil quinientos sesenta y un euros con sesenta y un céntimos*.

El ingeniero proyectista

Fdo: D. Mario San Miguel Montesdeoca
En Las Palmas de Gran Canaria a 8 de Febrero de 2016

Parte V

Anexo I

Apéndice A

Esquemáticos y *setups* de simulación

NETLIST INCLUDE

```

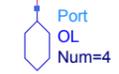
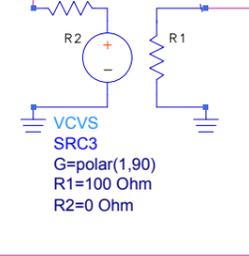
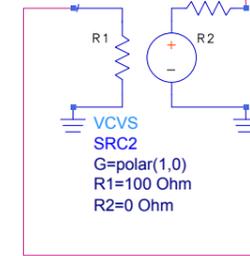
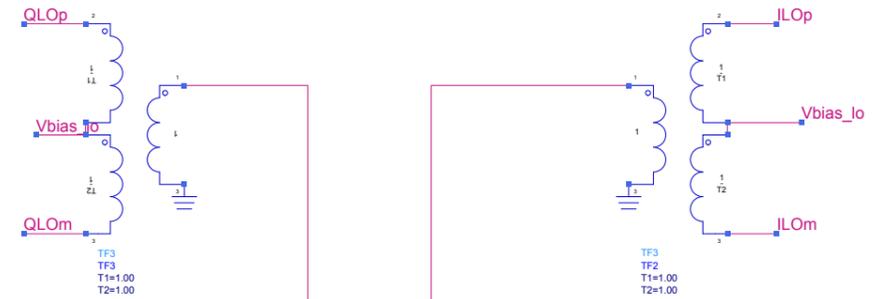
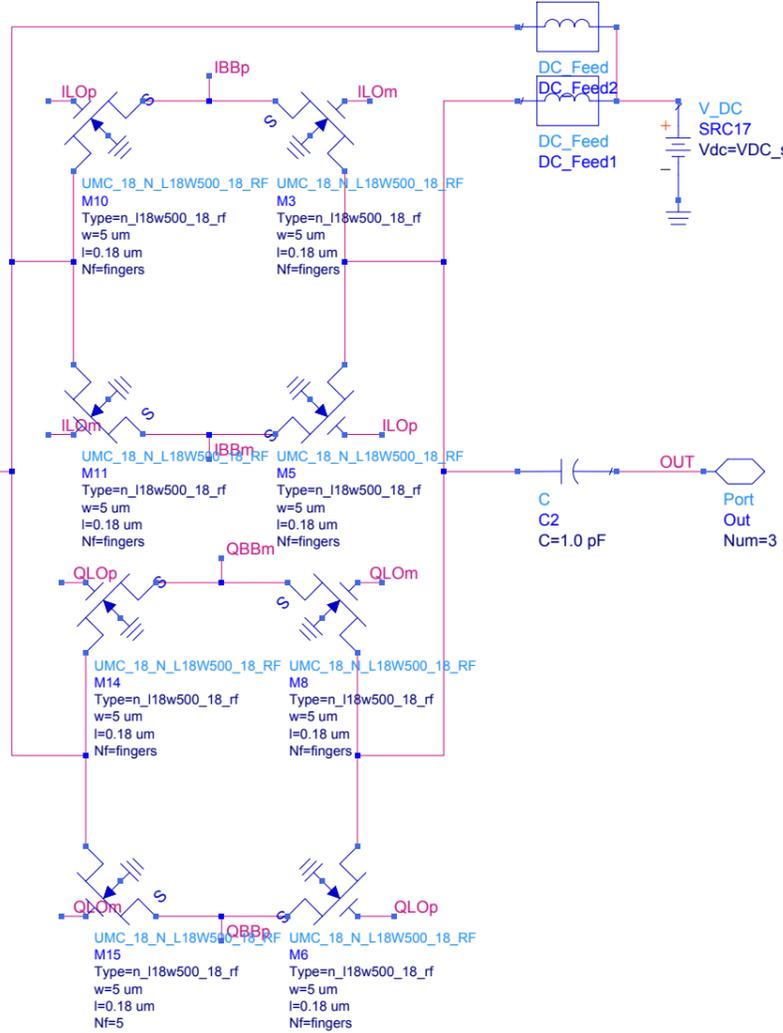
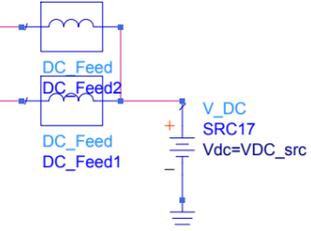
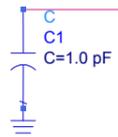
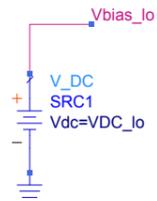
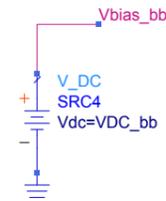
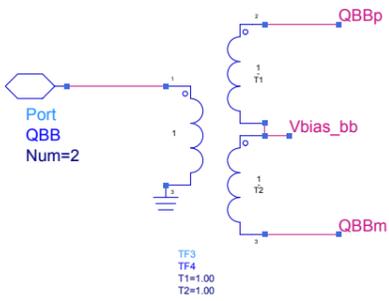
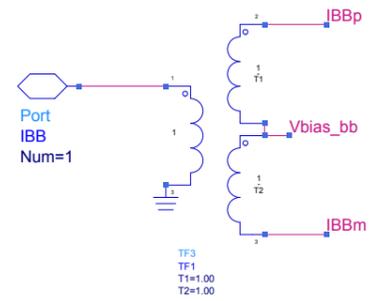
NetlistInclude
NetlistInclude1
IncludePath= /home/users/master/divteco/mmiguel/fcdk_A02_PB_IC6/Models/SpectrWDC_src=VDC_SRC
IncludeFiles[1]=core_rf_v2d4.lib.scs tt
    
```

```

Var Ean VAR
Ean VAR1
    
```

```

fingers=MOS_fingers
VDC_lo=VDC_LO
VDC_bb=VDC_BB
    
```



Mixer Third Order Intercept Simulation Swept Local Oscillator Power

HARMONIC BALANCE

HB3

```

MaxOrder=10
Freq[1]=LOfreq
Freq[2]=RFfreq+Fspacing/2
Freq[3]=RFfreq-Fspacing/2
Order[1]=9
Order[2]=3
Order[3]=3
Oversample[1]=1
Oversample[2]=1
Oversample[3]=1
UseKrylov=yes
SweepVar="P_LO"
SweepPlan="Coarse"
    
```

Increase the LO order and max order until there are no significant changes in the IMD power predictions. Oversampling can also be increased as needed.

SWEEP PLAN

```

SweepPlan
Coarse
Start=-40 Stop=10 Step=2 Lin=
UseSweepPlan=
SweepPlan=
Reverse=no
    
```

Set the LO power sweep steps.

```

R1
RFfreq=2 MHz
LOfreq=2400 MHz
Fspacing=100 KHz
P_RF=-12
Zload=50*(0.984+(j*7.433))
    
```

Set the following parameters:
 1) Center frequency of the two input tones, RFfreq.
 2) LO frequency, LOfreq.
 3) Frequency spacing of inputs, Fspacing.
 4) P_RF. This should be at least 15 dB below the 1 dB compression power level
 5) Load impedance, Zload

```

VAR
global VAR1
IFfreq=if (LOfreq>RFfreq) then (LOfreq-RFfreq) else (RFfreq-LOfreq) endif
P_LO=0
    
```

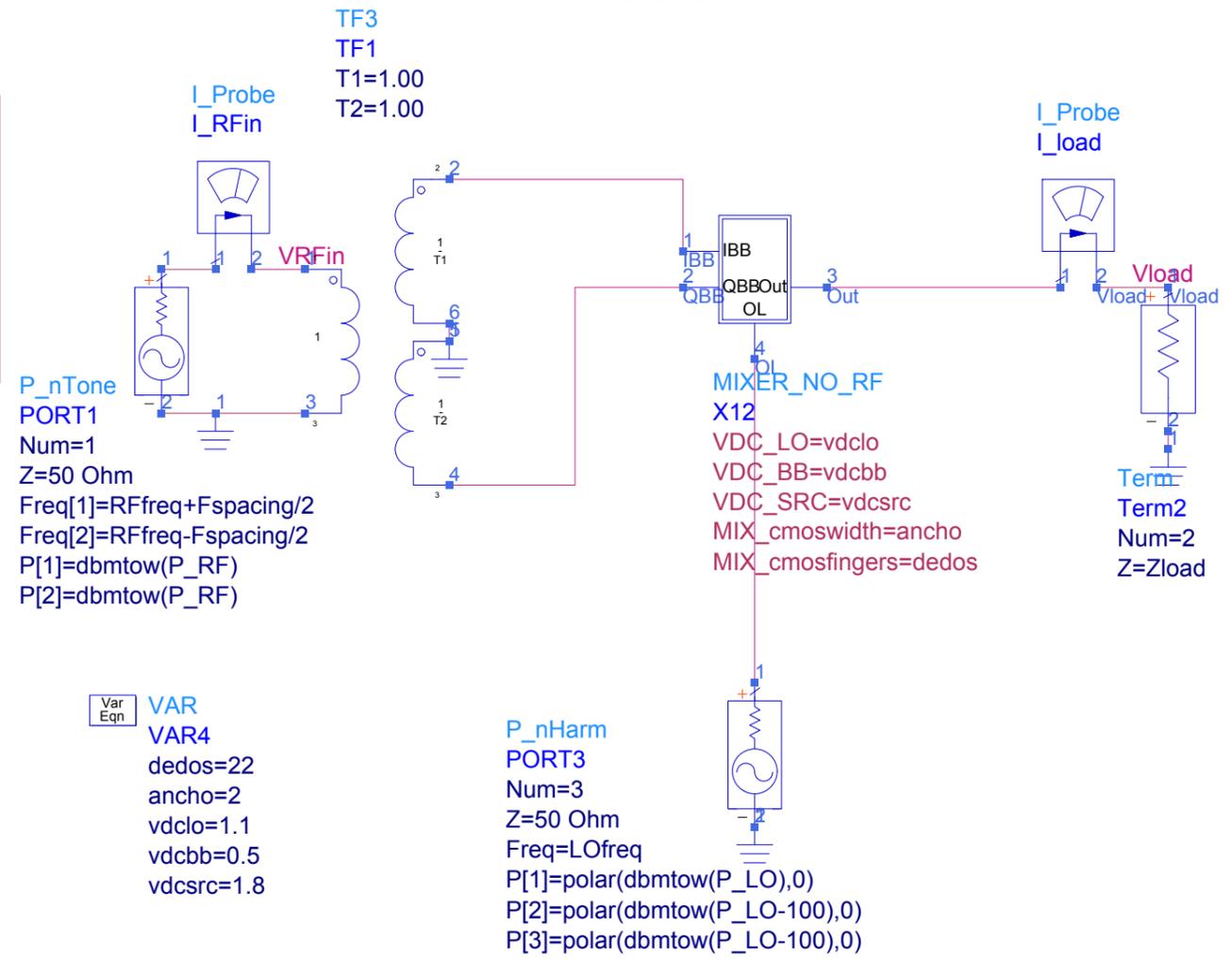
```

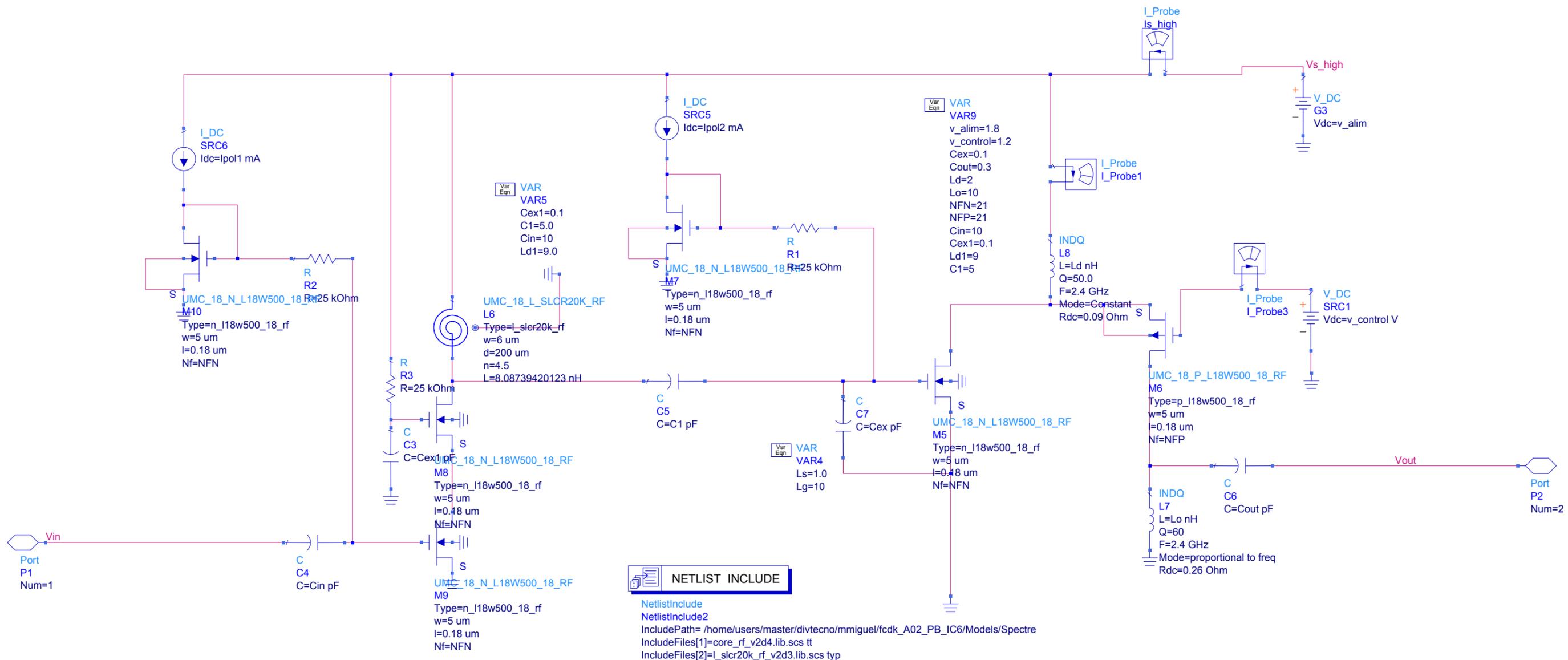
VAR
global VAR2
USB_0_or_1=if (RFfreq > LOfreq) then 1 else 1e-9 endif
LSB_0_or_1=if (LOfreq > RFfreq) then 1 else 1e-9 endif
    
```

NETLIST INCLUDE

```

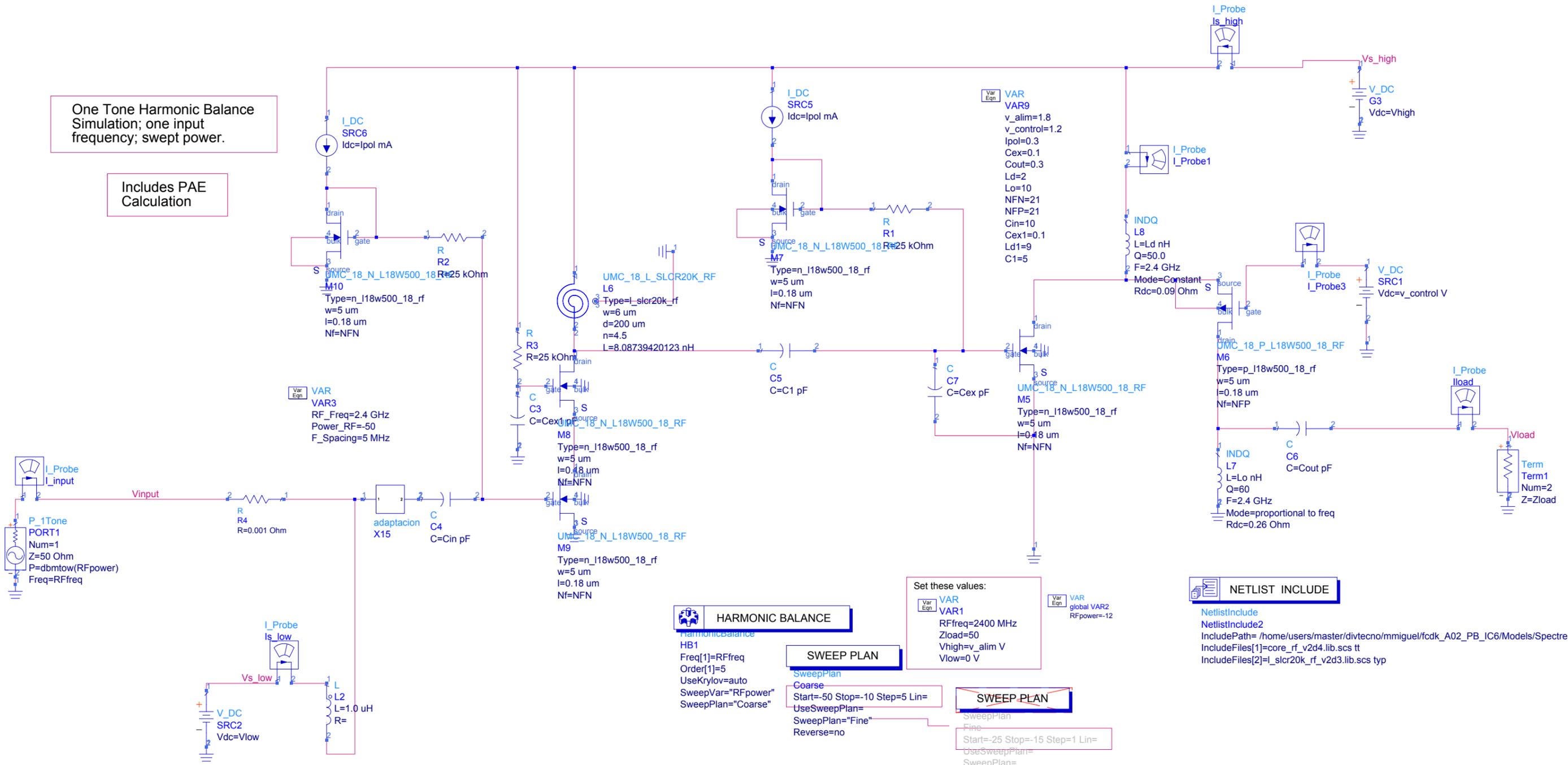
NetlistInclude
NetlistInclude1
IncludePath=C:/Users/mmiguel/Documents/Models/Spectre
IncludeFiles[1]=mm180_reg18_v124.lib.scs tt
    
```





One Tone Harmonic Balance Simulation; one input frequency; swept power.

Includes PAE Calculation



HARMONIC BALANCE

HarmonicBalance
 HB1
 Freq[1]=RFfreq
 Order[1]=5
 UseKrylov=auto
 SweepVar="RFpower"
 SweepPlan="Coarse"

SWEEP PLAN

SweepPlan
 Coarse
 Start=-50 Stop=-10 Step=5 Lin=
 UseSweepPlan=
 SweepPlan="Fine"
 Reverse=no

SWEEP PLAN

SweepPlan
 Fine
 Start=-25 Stop=-15 Step=1 Lin=
 UseSweepPlan=
 SweepPlan=
 Reverse=no

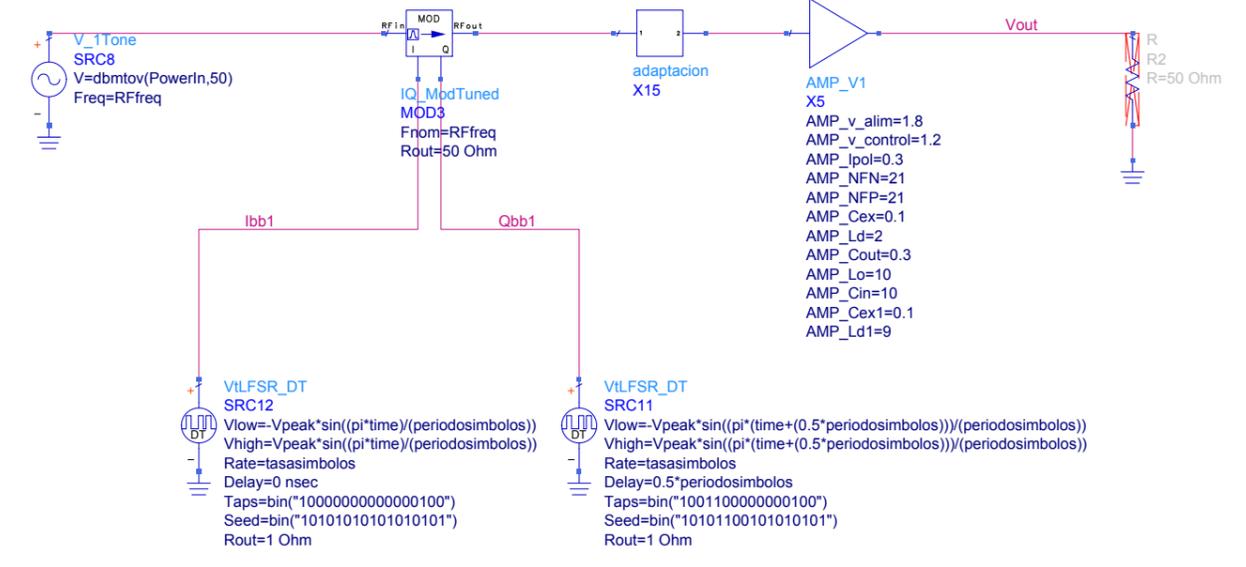
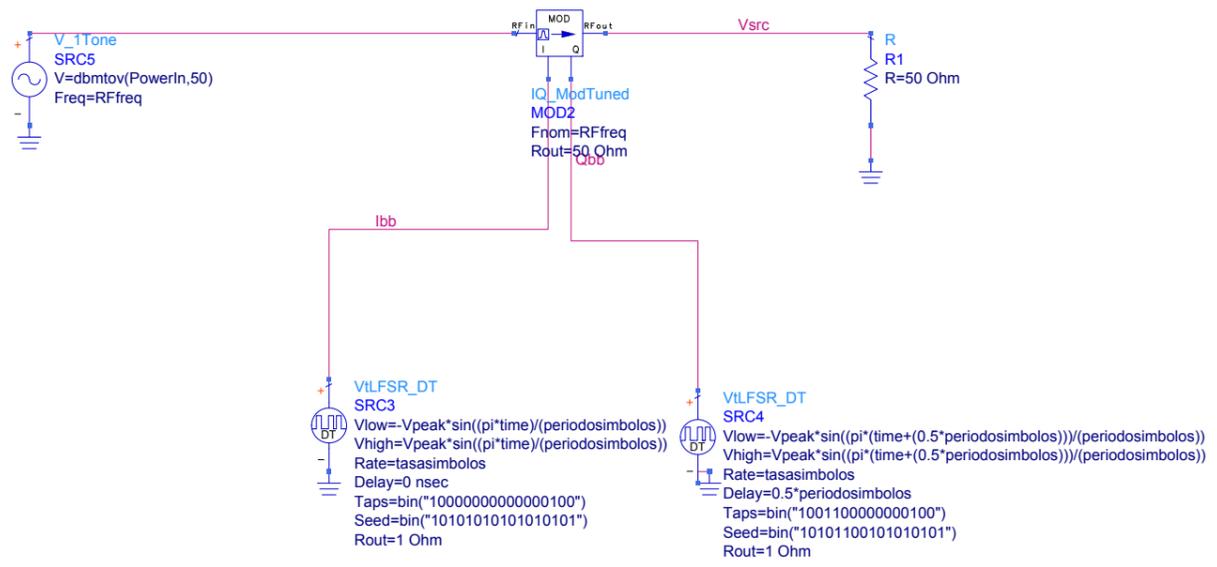
Set these values:

VAR
 VAR1
 RFfreq=2400 MHz
 Zload=50
 Vhigh=v_alim V
 Vlow=0 V

NETLIST INCLUDE

```

NetlistInclude
NetlistInclude2
IncludePath= /home/users/master/divtecn/mmiguel/fcdk_A02_PB_IC6/Models/Spectre
IncludeFiles[1]=core_rf_v2d4.lib.scs tt
IncludeFiles[2]=l_slcr20k_rf_v2d3.lib.scs typ
  
```



ENVELOPE

Envelope
 Env2
 MaxOrder=3
 $Freq[1]=RFfreq$
 Order[1]=1
 FundOversample=1
 Oversample[1]=
 Stop=100/tasasimbolos
 Step=tstep

MeasEqn

Meas1
 $Vsrc_fund=Vsrc[1]$
 $Vmix_fund=Vmix_out[1]$
 $Vout_fund=Vout[1]$
 $Vsal_fund=Vsal[1]$
 $Ibbref0=real(Ibbref[0])$
 $Qbbref0=real(Qbbref[0])$
 $Ibb0=real(Ibb[0])$
 $Qbb0=real(Qbb[0])$

VAR

VAR1
 $tasasimbolos=1M$
 $PowerIn=-12$
 $PowerLO=0$
 $periodosimbolos=1/tasasimbolos$
 $RFfreq=2.4\text{ GHz}$
 $tstep=1/(30*tasasimbolos)$

VAR

VAR4
 $dedos=22$
 $ancho=2$
 $vdclo=1.1$
 $vdcbb=0.5$
 $vdcsrc=1.8$

VAR

VAR3
 $Vpico=0.058$

VAR

VAR6
 $Vpeak=1$

