



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

Departamento de Ingeniería Electrónica y Automática

TESIS DOCTORAL

**DISEÑO DE CIRCUITOS INTEGRADOS DE RF PARA
UN RECEPTOR WLAN EN LA BANDA DE 5 GHZ
SOBRE UNA TECNOLOGÍA DE SILICIO DE BAJO
COSTE**

D. Sunil Lalchand Khemchandani

Las Palmas de Gran Canaria, Febrero de 2007

**D. TOMÁS BAUTISTA DELGADO, SECRETARIO DEL
DEPARTAMENTO DE INGENIERÍA ELECTRÓNICA Y
AUTOMÁTICA DE LA UNIVERSIDAD DE LAS PALMAS DE
GRAN CANARIA,**

CERTIFICA,

Que el Consejo de Doctores del Departamento en su sesión de fecha tomó el acuerdo de dar el consentimiento para su tramitación, a la tesis doctoral titulada “Diseño de circuitos integrados de RF para un receptor WLAN en la banda de 5 GHz sobre una tecnología de silicio de bajo coste” presentada por el doctorando D. Sunil Lalchand Khemchandani y dirigida por los Doctores D. Javier del Pino Suárez y Antonio Hernández Ballester.

Y para que así conste, y a efectos de lo previsto en el Artº 73.2 del Reglamento de Estudios de Doctorado de esta Universidad, firmo la presente en Las Palmas de Gran Canaria, a ... de.....de dos mil.....



Departamento: Departamento de Ingeniería Electrónica y Automática

Programa de Doctorado: Ingeniería de Telecomunicación Avanzada

Título de la Tesis

Diseño de circuitos integrados de RF para un receptor WLAN en la banda de 5 GHz sobre una tecnología de silicio de bajo coste

Tesis Doctoral presentada por D. Sunil Lalchand Khemchandani

Dirigida por el Dr. Javier del Pino Suárez

Codirigida por el Dr. Antonio Hernández Ballester

El Director,
(firma)

El Codirector,
(firma)

El Doctorando,
(firma)

Las Palmas de Gran Canaria, a 2 de Febrero de 2007

*A mis padres, mis hermanos,
mis tías y a mi abuela,
que han hecho posible que sea como soy.*

Agradecimientos

Mis primeros agradecimientos, como no podía ser menos, son para mis directores, los doctores Javier del Pino Suárez y Antonio Hernández Ballester. A ambos les debo el presentar este trabajo. Su ayuda no sólo se limita al apoyo puramente técnico, en muchos casos, han hecho esfuerzos que se salen de las tareas propias de un director de tesis.

Quisiera dar las gracias a Amaya Goñi por proporcionarme todas las bobinas que le he pedido y su disposición por solucionarme todas las dudas sobre ellas. También quiero dar gracias a Roberto Díaz, Rubén Pulido, Tamara Delgado, Dailos Ramos y Mauro Afonso por su ayuda en la realización de esta tesis.

Este trabajo no podría haberse realizado sin la “incalculable” colaboración del IUMA. El IUMA ha puesto a mi alcance estaciones de trabajo, software de diseño de circuitos integrados o aparatos de medida de RF entre otras muchas cosas.

También quiero agradecer al resto de compañeros de división del IUMA, a José Ramón Sendra, Benito González, Javier García y Mónica Cordo, que de una forma u otra han aportado su granito de arena. Me gustaría destacar a Antonio Núñez por su participación activa y por su estimulación constante durante los años que llevo trabajando en el instituto.

Hay un grupo muy grande de gente que me ha acompañado durante todos estos años de preparación. Me refiero a mis compañeros de carrera y amigos personales, sin los cuales, estoy seguro que la alegría que siento en este momento no sería la misma. En especial quiero agradecer, en la última fase de la realización de la tesis, el apoyo de Luis Hernández.

Y finalmente quiero expresar mi gratitud más sincera por su apoyo incondicional, aunque algunos de ellos ya no están, a mis padres, hermanos, tías, abuela y a Ana.

RESUMEN

En esta tesis se ha realizado un estudio pormenorizado de un receptor para redes inalámbricas según el estándar IEEE 802.11a. Para ello, primero se realizó un estudio del estándar, prestando especial atención a la capa física del mismo. Se siguió con el estudio de distintas arquitecturas para el diseño del receptor eligiendo la de baja frecuencia intermedia por su sencillez diseño y baja sensibilidad al ruido *flicker*. El problema del rechazo de la frecuencia imagen se optó por resolverlo utilizando un filtro polifásico.

Para conseguir las especificaciones de los elementos a diseñar, se simuló el sistema con ADS, comprobando que el receptor cumplía todas las especificaciones del estándar. Una vez obtenidas las especificaciones de cada elemento se pasó a diseñar cada uno, comenzando con el LNA. Realizado el estudio teórico de los LNA, se pasó al diseño de a nivel de *layout* de dos de ellos. Uno con configuración cascode y otro igual que el anterior, pero con configuración doblada, consiguiendo rechazo en modo común.

Se continuó con el diseño del mezclador de frecuencias. Una vez hecho su correspondiente estudio teórico y clasificación de las diversas topologías, se pasó al diseño de dos tipos de mezcladores activo y otro pasivo. Este último se pudo fabricar y medir, comprobando la similitud entre la medida y la simulación.

El siguiente paso fue el diseño, medida y fabricación del VCO totalmente integrado, que es la parte más delicada del sintetizador. Se diseñó, fabricó y se midió mostrando el proceso de diseño y medida.

Con el VCO medido se diseñaron, a nivel de transistores, los componentes más importantes del sintetizador, verificando el funcionamiento del mismo simulándolo con ADS.

Se finalizó con el diseño del amplificador de FI y el filtro polifásico. De este último se hizo un estudio teórico explicando detalladamente el proceso de diseño.

Para comprobar si los componentes diseñados se pueden utilizar en el receptor se volvió a simular el sistema, pero esta vez con las prestaciones obtenidas tras los diseños. Se comprobó que la especificación sensibilidad y ACR se cumplían mientras que la de NACR y máxima señal a la entrada no, debido principalmente al ruido de fase del VCO, teniendo que rediseñarlo.

Indice

Capítulo 1 - Introducción	1
1.1. Las redes inalámbricas de área local.....	1
1.2. Transceptores WLAN	3
1.3. Objetivos y estructura	6
Capítulo 2 - Análisis del sistema.....	9
2.1. Flujo de diseño.....	10
2.2. El estándar IEEE 802.11a	12
2.2.1. Introducción.....	12
2.2.2. Canalización	13
2.2.3. OFDM	14
2.2.4. Especificaciones relativas a la cabecera de RF	17
2.2.4.1. Impedancia de la antena y rango de temperatura de emisión y recepción.....	18
2.2.4.2. Nivel de potencia en la transmisión.....	18
2.2.4.3. Máscara del espectro de salida.....	18
2.2.4.4. Variación de la frecuencia a la salida	19
2.2.4.5. Sensibilidad a la entrada	19
2.2.4.6. Rechazo al canal adyacente y al no adyacente.....	20
2.2.4.7. Máximo nivel de la señal a la entrada del receptor y linealidad	20
2.3. Elección de la arquitectura para la cadena de recepción.....	21

2.3.1.	Receptor superheterodino o de doble conversión.....	21
2.3.2.	Receptor de conversión directa o ZERO IF.....	22
2.3.3.	Receptor de conversión a baja frecuencia intermedia o LOW IF.....	24
2.3.4.	Receptor basado en la arquitectura WEAVER.....	25
2.3.5.	Elección de la arquitectura	27
2.4.	Simulación del sistema	28
2.4.1.	Descripción del proyecto de ADS	28
2.4.1.1.	Descripción del módulo RX_LOW y especificaciones iniciales	29
2.4.1.2.	Especificaciones del LNA	31
2.4.1.3.	Especificaciones de los mezcladores	32
2.4.1.4.	Especificaciones del sintetizador	33
2.4.1.5.	Especificaciones del amplificador de FI y filtro de FI.....	36
2.4.2.	Simulaciones realizadas.....	36
2.4.2.1.	Simulación del PER para la sensibilidad mínima de entrada.....	37
2.4.2.2.	Simulación del máximo nivel de la señal a la entrada del receptor	39
2.4.2.3.	Simulación del ACR.....	40
2.4.2.4.	Simulación del NACR	43
2.5.	Conclusiones.....	44
Capítulo 3 - Estudio de la tecnología		47
3.1.	Resistencias.....	48
3.1.1.	Resistencias integradas	48
3.1.2.	Resistencias en la tecnología S35D4 de AMS.....	49

3.2.	Condensadores	51
3.2.1.	Construcción.....	52
3.2.2.	Condensadores en la tecnología S35D4 de AMS	52
3.3.	Varactores	54
3.3.1.	Fundamentos	54
3.3.2.	Varactores proporcionados por la tecnología	56
3.4.	Bobinas	58
3.4.1.	Construcción.....	58
3.4.2.	Funcionamiento	59
3.4.3.	Modelo de la bobina	61
3.4.4.	Bobinas en la tecnología S35D4 desarrolladas por el IUMA.....	62
3.5.	Transistores MOSFET en la tecnología S35D4 de AMS	65
3.6.	HBTs de SiGe	67
3.6.1.	Estructura y principio de funcionamiento de los HBTs de SiGe.....	67
3.6.2.	HBTs en la tecnología S35D4 de AMS.....	71
Capítulo 4 - El amplificador de bajo nivel de ruido		75
4.1.	Distintas configuraciones de LNA.....	76
4.1.1.	LNA en emisor común	77
4.1.2.	LNA en base común	80
4.1.3.	LNA cascode	81
4.1.4.	LNA diferencial.....	82
4.1.5.	LNA balanceado.....	84

4.2.	Diseño del LNA a nivel de esquemático.....	84
4.2.1.	Especificaciones	85
4.2.2.	Flujo de diseño	85
4.2.3.	Polarización óptima de los transistores	86
4.2.4.	Configuración apropiada del LNA	88
4.2.5.	LNA con configuración cascode	88
4.2.5.1.	Circuitos de polarización	88
4.2.5.2.	Adaptación de entrada y de salida	92
4.2.5.3.	Resultados.....	94
4.2.6.	LNA con configuración balanceada	98
4.2.6.1.	Resultados.....	100
4.3.	<i>Layout</i> y simulaciones <i>post-layout</i> de los LNAs	102
4.3.1.	<i>Layout</i> del LNA cascode.....	102
4.3.2.	Simulaciones <i>post-layout</i> del LNA cascode.....	104
4.3.3.	<i>Layout</i> del LNA balanceado.....	107
4.3.4.	Simulaciones <i>post-layout</i> del LNA balanceado.....	109
4.4.	Conclusiones.....	112
Capítulo 5 - El mezclador.....		113
5.1.	Conceptos básicos de mezcladores	114
5.1.1.	Introducción.....	114
5.1.2.	Mezclador con elemento no lineal.....	114
5.1.3.	El mezclador con multiplicador.....	118

5.1.3.1.	Mezclador simple balanceado.....	119
5.1.3.2.	Mezclador activo doble balanceado. Célula de Gilbert.....	122
5.1.4.	El mezclador CMOS pasivo.....	126
5.2.	Diseño de un mezclador basado en célula de Gilbert.....	128
5.2.1.	Introducción.....	129
5.2.1.1.	Etapas de entrada.....	130
5.2.1.2.	Etapas de conmutación.....	130
5.2.1.3.	Especificaciones.....	131
5.2.2.	Diseño a nivel de esquemático del mezclador basado en la célula de Gilbert.....	132
5.2.2.1.	Polarización del mezclador basado en la célula de Gilbert.....	132
5.2.2.2.	Polarización de las entradas.....	133
5.2.2.3.	Espejo de corriente.....	134
5.2.2.4.	Adaptación.....	136
5.2.2.5.	Ganancia de conversión.....	141
5.2.2.6.	Linealidad.....	143
5.2.2.7.	Figura de ruido.....	147
5.2.2.8.	Selección de los valores idóneos de funcionamiento del circuito.....	151
5.2.2.9.	Estudio de la variación de las prestaciones con el área y la multiplicidad de los transistores.....	152
5.2.2.10.	Listado de componentes.....	156
5.2.3.	Layout del mezclador basado en la célula de Gilbert.....	156
5.2.3.1.	Layout del mezclador basado en la célula de Gilbert.....	156
5.2.3.2.	Simulaciones <i>post-layout</i> del mezclador basado en la célula de Gilbert.....	159

5.3.	Diseño del mezclador doblado.....	161
5.3.1.	Introducción.....	162
5.3.2.	Diseño del mezclador doblado	163
5.3.2.1.	Tensiones de polarización.....	163
5.3.2.2.	Etapa de transconductancia.....	163
5.3.3.	Etapa de conmutación.....	166
5.3.3.2.	Comparativa.....	167
5.3.3.3.	Listado de componentes.....	169
5.3.4.	Layout del mezclador doblado	169
5.3.4.1.	<i>Layout</i> del mezclador basado en la célula de Gilbert.....	169
5.3.4.2.	Simulaciones <i>post-layout</i> del mezclador doblado.....	171
5.4.	Diseño de un mezclador pasivo	173
5.4.1.	Introducción.....	173
5.4.2.	Diseño del mezclador pasivo.....	174
5.4.2.1.	Polarización del circuito	174
5.4.2.2.	Dimensionado del circuito.....	176
5.4.2.3.	Adaptación de impedancia en las entradas	177
5.4.2.4.	Diseño final.....	178
5.4.3.	Layout del mezclador y simulaciones post-layout	179
5.4.3.1.	<i>Layout</i> del mezclador pasivo	179
5.4.3.2.	Simulaciones <i>post-layout</i>	181
5.4.4.	Medida del mezclador pasivo.....	184
5.4.4.1.	Introducción.....	185

5.4.4.2.	Medida de las pérdidas de conversión del mezclador pasivo	185
5.4.4.3.	Medida del aislamiento entre puertos del mezclador pasivo	190
5.4.4.4.	Medida de la adaptación del mezclador pasivo	193
5.4.4.5.	Medida de la linealidad.....	195
5.4.4.6.	Conclusiones.....	196
5.5.	Conclusiones.....	197
Capítulo 6 - El oscilador controlado por tensión.....		199
6.1.	Introducción.....	200
6.1.1.	Flujo de diseño del VCO	200
6.1.2.	Especificaciones del VCO.....	201
6.1.3.	Elección de la arquitectura	202
6.2.	Diseño del VCO.....	204
6.2.1.	Diseño del amplificador de resistencia negativa	205
6.2.2.	Diseño del tanque	206
6.2.3.	Diseño final del VCO	209
6.2.4.	Layout del VCO	210
6.2.5.	Simulaciones post-layout.....	212
6.3.	Medida del VCO.....	214
6.3.1.	Metodología de medida del VCO.....	214
6.3.2.	Medida de la curva tensión-frecuencia, potencia y armónicos.....	217
6.3.3.	Medida del ruido de fase	218
6.3.4.	Medida del pushing	220

6.4.	Comparación entre las medidas y las simulaciones y conclusiones	222
Capítulo 7 - El sintetizador de frecuencias.....		225
7.1.	El lazo enganchado en fase o PLL.....	225
7.1.1.	Introducción.....	226
7.1.1.1.	Detector de fase ideal.....	226
7.1.1.2.	Filtro del bucle.....	227
7.1.1.3.	VCO.....	227
7.1.2.	Funciones de transferencia del lazo.....	227
7.1.3.	Influencia del filtro	230
7.1.3.1.	PLL de orden 1	230
7.1.3.2.	PLL de orden 2 tipo 1	232
7.1.3.3.	PLL de orden 2 tipo 2	233
7.2.	Sintetizadores de frecuencia con PLL.....	237
7.2.1.	Sintetizador básico.....	238
7.2.2.	Configuraciones de sintetizadores	240
7.2.2.1.	Sintetizador con divisor programable.....	240
7.2.2.2.	Sintetizador con divisores fijo y programable	240
7.2.2.3.	Sintetizador con divisor de doble módulo	241
7.2.2.4.	Sintetizador con mezclador.....	242
7.2.3.	Filtrado de la frecuencia de referencia	243
7.3.	Diseño del sintetizador.....	244
7.3.1.	Estructura del sintetizador	245

7.3.2.	Detector de fase-frecuencia	246
7.3.3.	Bombeo de carga (Charge-Pump)	249
7.3.4.	Divisor rápido por dos	254
7.3.5.	Divisor programable	257
7.3.6.	Filtro de bucle	259
7.3.6.1.	Introducción	259
7.3.6.2.	Diseño del filtro pasivo de orden 3	260
7.4.	Simulación del sintetizador	263
7.4.1.	Simulación de la respuesta del bucle	264
7.4.2.	Simulación del transitorio	266
7.5.	Conclusiones	268
Capítulo 8 - El filtro polifásico y el amplificador de FI		269
8.1.	El filtro polifásico	269
8.1.1.	Introducción	269
8.1.2.	Teoría general sobre filtros integrados	270
8.1.2.1.	Introducción	270
8.1.2.2.	Filtros Pasivos	274
8.1.2.3.	Filtros activos	274
8.1.2.4.	Efectos de segundo orden	276
8.1.3.	Filtros gm-C	278
8.1.3.1.	OTA básico	279
8.1.3.2.	Circuitos básicos con OTAs	279

8.1.3.3.	Filtros de primer y segundo orden	281
8.1.3.4.	Filtros de orden superior	284
8.1.4.	Teoría sobre filtros polifásicos	285
8.1.5.	Implementación del filtro polifásico.....	290
8.1.5.1.	Diseño del filtro pasivo paso bajo prototipo	290
8.1.5.2.	Diseño del filtro activo paso bajo prototipo.....	291
8.1.5.3.	Transconductor de Nauta.....	292
8.1.5.4.	Realización del filtro activo paso bajo con el transconductor de Nauta	297
8.1.5.5.	Realización del filtro polifásico activo	299
8.1.6.	Conclusiones del diseño del filtro polifásico.....	303
8.2.	El amplificador de FI	304
8.2.1.	Etapa de entrada del amplificador	304
8.2.2.	Diseño del CMFB.....	306
8.2.3.	Diseño de la etapa de salida.....	308
8.2.4.	Simulaciones a nivel de esquemático del amplificador	309
8.2.5.	Layout del amplificador	311
8.2.6.	Conclusiones del diseño del amplificador operacional	312
8.3.	Conclusiones.....	313
Capítulo 9 - Análisis final del sistema y conclusiones.....		315
9.1.	Resumen de las especificaciones de los elementos diseñados.....	316
9.1.1.	Especificaciones del LNA	316
9.1.2.	Especificaciones de los mezcladores	317

9.1.3.	Especificaciones del sintetizador.....	317
9.1.4.	Especificaciones del amplificador de frecuencia intermedia.....	318
9.1.5.	Especificaciones del filtro polifásico.....	318
9.1.6.	Simulaciones realizadas.....	319
9.2.	Simulación del sistema	319
9.2.1.	Simulación del PER para la sensibilidad mínima de entrada	319
9.2.2.	Simulación del máximo nivel de la señal a la entrada del receptor.....	320
9.2.3.	Simulación del ACR.....	322
9.2.4.	Simulación del NACR.....	323
9.2.5.	Conclusiones de la simulación del sistema.....	324
9.2.6.	Mejora del VCO	326
9.2.6.1.	Mejora del factor de calidad del tanque.....	326
9.2.6.2.	Optimización de la corriente del circuito para mínimo ruido	328
9.2.7.	Resultados de la simulación del VCO mejorado	330
9.3.	Conclusiones.....	332
9.4.	Líneas abiertas	334
	Bibliografía	337
	Acrónimos.....	345
	Publicaciones	351

Capítulo 1

Introducción

En el presente capítulo se exponen las razones que han motivado la realización de esta tesis doctoral así como su estructura.

1.1. Las redes inalámbricas de área local

Desde hace relativamente poco tiempo, se está viviendo lo que puede significar una revolución en el uso de las tecnologías de la información tal y como las conocemos. Esta revolución puede llegar a tener una importancia similar a la que tuvo la adopción de Internet por el gran público. Las redes de área local inalámbricas o *wireless* LAN (WLAN), se están introduciendo en el mercado de consumo gracias a unos precios populares y a un conjunto de entusiastas, que han visto las enormes posibilidades de esta tecnología. La disponibilidad de conexiones inalámbricas y WLANs puede ampliar la libertad de los usuarios de la red a la hora de resolver varios problemas asociados a las redes cableadas y, en algunos casos, incluso reducir los

gastos de implementación de las redes. Existen numerosos escenarios en los que este hecho es de interés, entre ellos se pueden citar los siguientes:

- Las conexiones inalámbricas pueden ampliar o sustituir una infraestructura con cables cuando es costoso o está prohibido tender cables. Las instalaciones temporales son un ejemplo de una situación en la que la red inalámbrica tiene sentido o incluso es necesaria.
- Los usuarios móviles, cuyo número crece día a día, son indudables candidatos a usuarios de WLANs. El acceso portátil a las redes inalámbricas se realiza a través de equipos portátiles y tarjetas de red inalámbricas. Esto permite al usuario viajar a distintos lugares (salas de reunión, vestíbulos, salas de espera, cafeterías, aulas, etc.) sin perder el acceso a los datos de la red.
- Más allá del campo empresarial, el acceso a Internet o a sitios corporativos podría estar disponible a través de zonas activas de redes inalámbricas públicas. Los aeropuertos, los restaurantes, las estaciones de tren y otras áreas comunes de las ciudades se pueden dotar del equipo necesario para ofrecer este servicio.

Sin embargo, a pesar de esta libertad, las WLANs, traen consigo un nuevo conjunto de desafíos. Las WLAN de alta velocidad ofrecen las ventajas de la conectividad de red sin las limitaciones que supone estar atado a una ubicación. El factor clave para el éxito definitivo de las WLANs es la elección de la tecnología adecuada que permita realizar terminales de comunicaciones de bajo coste, bajo consumo y tamaño reducido. Tradicionalmente, la demanda de equipos de comunicaciones a altas frecuencias se ha satisfecho mediante sistemas MICs, o MMICs, basados ambos en tecnologías III-V maduras. Pero éstas son de alto coste y de volumen de producción limitado pues son pocas las fundidoras que ofrecen esta tecnología. Sin embargo, se precisan componentes de radiofrecuencia (RF) pequeños, baratos, de bajo consumo y producción masiva. Estas características sólo pueden conseguirse a partir del empleo de tecnologías estándar de fabricación de circuitos integrados asociadas al silicio, como pueden ser las tecnologías CMOS, BiCMOS (o en su caso, SOI). Estas tecnologías ya han demostrado su validez para aplicaciones en RF, aunque en frecuencias de trabajo sensiblemente inferiores (aplicaciones en estándares de comunicaciones como GSM, GPS o DECT).

Existen diferentes versiones del estándar de IEEE para WLAN, todas ellas enmarcadas dentro del protocolo 802.11. En la Tabla 1.1 se muestran sus características más importantes. Mientras que las versiones “b” y “g” del estándar trabajan en la banda de 2.4 GHz, la versión “a” lo hace en la de 5 GHz.

Tabla 1.1. Distintas especificaciones para WLANs

	802.11	802.11a	802.11b	802.11g
Año de aprobación	1997	1999	1999	2003
Frecuencia de funcionamiento (sin licencia)	2.4 a 2.4835 GHz	5.150 a 5.530 GHz 5.725 a 5.825 GHz	2.4 a 2.4835 GHz	2.4 a 2.4835 GHz
Número de canales sin solapamiento	3 (interior o exterior) ISM	4 interior UNII1 4 interior/exterior UNII2 4 exterior UNII3	3 (interior o exterior)	3 (interior o exterior) ISM
Tasa binaria por canal	2, 1 Mbps	54, 48, 36, 24, 18, 12, 9, 6 Mbps	11, 5.5, 2, 1 Mbps	54, 36, 33, 24, 22, 12, 11, 9, 6, 5.5, 2, 1 Mbps

La presente tesis se enmarca en el estándar IEEE 802.11a debido a sus ventajas, es decir, más canales de transmisión (12 frente a los 3 de los demás estándares) y a su elevada tasa binaria (54 Mbps). La mayor desventaja del mismo, que es la elevada frecuencia de funcionamiento, es lo que constituye el principal reto de la presente tesis doctoral.

1.2. Transceptores WLAN

Un módulo WLAN está dividido en tres bloques fundamentalmente, que no suelen estar encapsulados en un mismo chip debido a las interacciones indeseables entre de ellos. Estos bloques son:

- El bloque de procesado en banda base, que incluye los conversores ADC y DAC, la capa física (PHY) y el control de acceso al medio (MAC).
- El transceptor de RF, encargado de trasladar las señales de RF a banda base y viceversa.
- El bloque de potencia, encargado de proporcionar suficiente potencia de transmisión a la señal de salida.

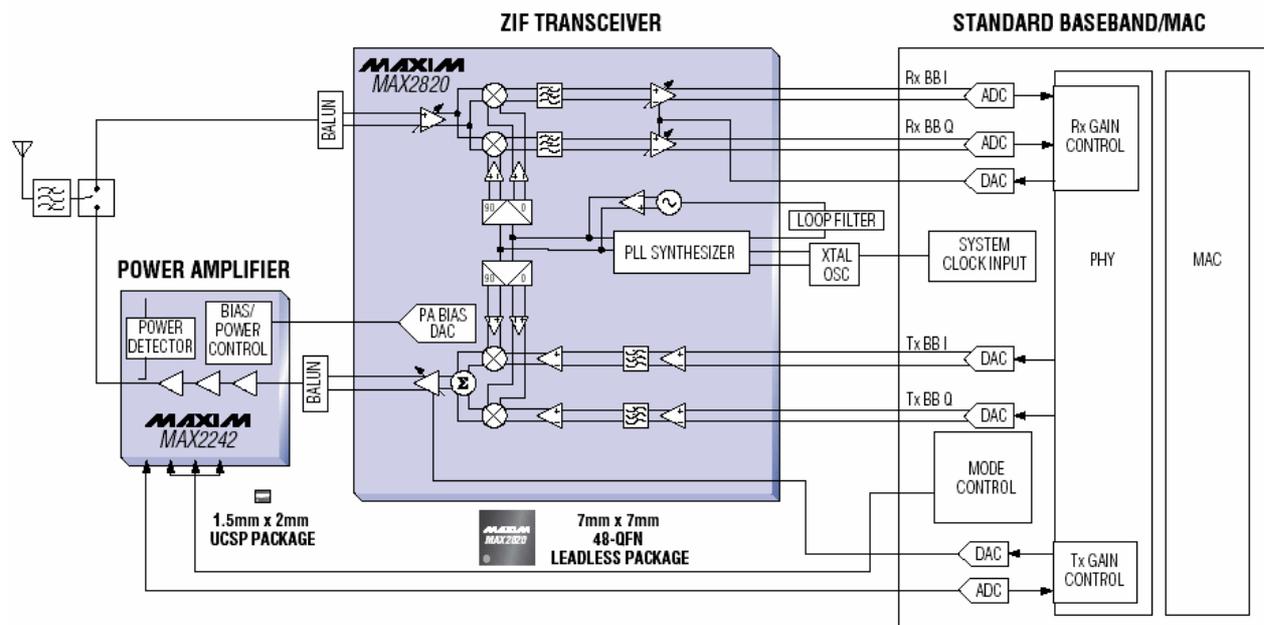


Figura 1.1. Esquema bloques de un módulo WLAN para 2.4 GHz de MAXIM.

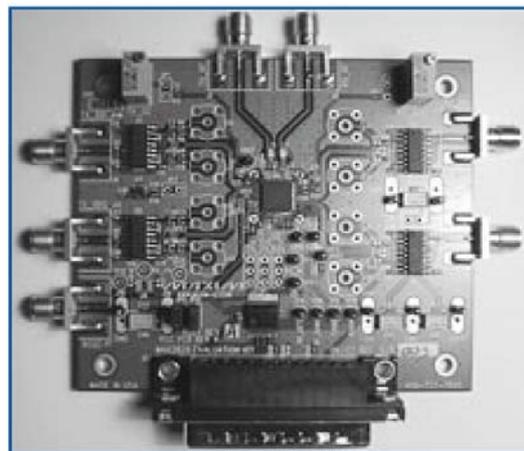


Figura 1.2. Tarjeta para WLAN en la banda de 2.4 GHz de MAXIM.

En las figuras 1.1 y 1.2 se puede observar el diagrama de bloques y la placa de un módulo comercial para WLAN en la banda de 2.4 GHz de la empresa MAXIM. Para la banda de 5 GHz, objeto de investigación en esta tesis, no está disponible comercialmente en la actualidad un sistema que integre las tres partes indicadas.

Uno de los subsistemas más importantes del transceptor de RF es el receptor. Dicho módulo es el encargado de tomar una señal de RF débil a la entrada de la antena (5 GHz) y convertirla a banda base para su procesamiento digital. La presente tesis se encuentra encuadrada en la realización de un receptor totalmente integrado para el IEEE 802.11a.

Tabla 1.2. Estado del arte de receptores integrados para el IEEE 802.11a

Autor	Arquitectura	Tecnología	Comentarios
[VAL05]	Conversión directa	CMOS 0.13 μm	Sólo frontend
[AHO04]	Doble conversión	CMOS 0.18 μm	Doble banda (a/b/g)
[BAN04]	Doble conversión	CMOS 0.18 μm	Doble banda (a/b/g)
[MAE04]	Conversión directa	CMOS 0.18 μm	Filtro paso bajo hecho con transductores, NEC©
[PER04]	Conversión directa	CMOS 0.18 μm	Doble banda (a/b/g)
[VAV04] [VAS03]	Conversión directa	CMOS 0.18 μm	Doble banda (a/b/g)
[ZAR04]	Doble conversión	CMOS 0.25 μm	Doble banda (a/b/g)
[KLE03]	Baja frecuencia intermedia	BICMOS 0.25 μm	Doble banda (a/b/g), filtro polifásico, Infineon©
[PIP03]	Conversión directa	SiGe BICMOS 0.5 μm	Theta Microelectronics©
[BEH03]	Conversión directa	CMOS 0.18 μm	Encapsulado
[ZHA03]	Conversión directa	CMOS 0.18 μm	Banda UNII (5.15 a 5.35 GHz)
[FAR02]	Doble conversión	CMOS 0.25 μm	Doble banda (a/b/g), Atheros©, Chipset formado por 3 circuitos
[LEE02]	Weaver	CMOS 0.25 μm	Solo el receptor, utiliza 6 mezcladores
[ZHO02]	Conversión directa	-	Doble banda (a/b/g), Broadcom©
[COP00]	Doble conversión	SiGe HBT	Sólo diseña la primera etapa de conversión
[TIN00]	Conversión directa	CMOS 0.25 μm	Circuitos diferentes para transmisión y recepción

En la Tabla 1.2 se muestra un estado del arte de cabezales de RF integrados para este estándar. Como se muestra en dicha tabla, los diseños en tecnologías basadas en Si se van abriendo camino. Lo que antes sólo se podía realizar utilizando sistemas MICs, o MMICs, ahora se ha logrado en Silicio mediante la disminución del ancho de puerta y de las capacidades parásitas, pudiéndose alcanzar, incluso, frecuencias superiores.

En cuanto a las arquitecturas, las más utilizadas son las de conversión directa y de doble conversión. La arquitectura de baja frecuencia intermedia no se suele utilizar debido al rechazo de la frecuencia imagen. Para esta última arquitectura existen diferentes posibilidades para llevar a cabo el rechazo de la frecuencia imagen dentro del propio chip. Así tenemos las arquitecturas de Hartley y Weaver desarrolladas a mediados del siglo pasado y más recientemente el uso de filtros polifásicos. El principal problema de las primeras dos arquitecturas es que necesitan un desfaseador de 90° de un ancho de banda relativamente elevado. Además la arquitectura Weaver requiere la incorporación de un par de mezcladores adicionales, dos sintetizadores en

lugar de uno y dos filtros paso-bajo de orden alto para eliminar la segunda frecuencia imagen. Esto implica un considerable aumento del consumo de potencia además de los efectos parásitos que toda esta circuitería introduce [LEE02]. Los filtros polifásicos (también llamados filtros complejos) permiten el rechazo de la frecuencia imagen a frecuencias bajas y suponen sólo un pequeño aumento de la complejidad de los filtros paso-bajo que, de cualquier modo, hay que situar antes de los convertidores ADC.

1.3. Objetivos y estructura

El principal objetivo de la presente tesis es el estudio y desarrollo de las técnicas necesarias para el diseño de circuitos electrónicos integrado para comunicaciones de banda ancha en la banda de 5 GHz utilizando una tecnología de bajo coste, en particular la S35D4 de Austria Mikro Systeme (AMS), que se caracteriza por tener transistores HBT de SiGe y transistores MOS con longitud de puerta mínima de 0.35 μm . Dicho estudio incluye la elección y estudio de las arquitecturas del receptor, el diseño de circuitos y subsistemas en la banda RF, el diseño de los circuitos de selección y de conversión en frecuencias intermedias y la medida de los mismos.

Para ello se abordará el diseño del receptor desde cero, desde la elección de la arquitectura y el establecimiento de las especificaciones iniciales de cada elemento de forma razonada hasta el diseño y medida de los bloques que conforman el receptor. Se intentará minimizar el área, el consumo, el número de componentes pasivos y de componentes externos.

En el desarrollo del presente trabajo de investigación se analizarán los siguientes puntos:

- Diseño de sistemas de RF utilizando ADS a partir de las especificaciones de un estándar.
- Establecimiento de las especificaciones de cada elemento de un sistema de forma justificada a partir de las simulaciones de sistema.
- Estudio teórico y diseño de amplificadores de bajo nivel de ruido (LNA), mezcladores, osciladores controlados por tensión (VCOs), sintetizadores, amplificadores de baja frecuencia y filtros polifásicos utilizando ADS y CADENCE.
- Trazado de *layout* de dichos elementos utilizando técnicas de RF.
- Medida sobre oblea de circuitos de RF.

La estructura de la presente memoria sigue el orden lógico del proceso de diseño de los circuitos integrados, y es la que se indica a continuación.

En el capítulo 2 se establece el flujo de diseño del receptor y se analiza el estándar IEEE 802.11a así como las distintas arquitecturas del receptor. Además se elige una arquitectura justificadamente. En el mismo capítulo, mediante simulaciones del sistema, se fijan las especificaciones de los elementos que conforman el receptor. Una vez obtenidas las especificaciones de cada elemento se está en disposición de abordar las tareas de diseño que se relatan en los siguientes capítulos.

Seguidamente, en el capítulo 3 se describe de la tecnología utilizada, la S35D4 de AMS, y se evalúa sus posibilidades para el diseño de los circuitos de RF. Se hace especial hincapié en los inductores integrados, las cuales se utilizan tanto en la adaptación de impedancias, como en la polarización de transistores o en la implementación de tanques LC para osciladores. Dado que el substrato en dicha tecnología es muy conductivo, el factor de calidad de los inductores integrados está limitado por las pérdidas en él. Por esa razón se analizarán técnicas para la mejora del factor de calidad.

En el capítulo 4 se expone el diseño del LNA cuya función principal es proporcionar suficiente ganancia para minimizar el impacto final del ruido introducido por las etapas posteriores. Además, debe introducir el menor ruido posible y ser capaz de operar sin distorsionar las señales. Se describe, en primer lugar, las diferentes topologías utilizadas en la literatura, para después pasar a los dos diseños realizados, el asimétrico y el diferencial. Dado que con el diseño asimétrico no se logra satisfacer los requerimientos del bloque en cuanto a linealidad, se decide realizar el diseño del amplificador diferencial, con el que se mejora la linealidad a costa de un pequeño empeoramiento de la figura de ruido (NF) y de la ganancia.

El capítulo 5 recoge todos los detalles del diseño del mezclador de frecuencias, incluyendo su correspondiente estudio teórico y una clasificación de las diversas topologías. Inicialmente se comienza con el diseño de un mezclador activo basado en la célula de Gilbert. Debido al principal problema que presenta esta topología, que es la existencia de tres niveles de transistores entre los que hay que repartir los 3.3 V de alimentación, se opta por la realización de una variación de la célula de Gilbert: un mezclador con configuración doblada. También se diseñará un mezclador pasivo, del que se describirá el proceso de diseño y medida.

El siguiente capítulo, el número 6, describe el proceso de diseño, medida y fabricación del VCO, que es la parte más delicada del sintetizador y el principal responsable del ruido de fase

del mismo. Si el ruido de fase es muy grande, los canales adyacentes indeseados pueden trasladarse a la frecuencia intermedia, enmascarando la señal.

En el capítulo 7 se diseña el sintetizador a partir del VCO descrito en el capítulo anterior. Primero se diseñará cada uno de los componentes por separado para después unirlos y verificar si el sintetizador resultante se engancha para la frecuencia máxima y mínima, comprobándose que el sistema es estable.

En el capítulo 8 se diseña el filtro polifásico y el amplificador de frecuencia intermedia. Con objeto de demostrar la viabilidad de la utilización de los filtros polifásicos para la arquitectura elegida, se aborda su implementación a nivel de transistores. Para finalizar el diseño de los bloques básicos, se realiza el amplificador de frecuencia intermedia, que es un operacional. Dependiendo de la ganancia de los mezcladores diseñados en el receptor se precisan más o menos etapas de amplificación de baja frecuencia.

Finalmente, en el capítulo 9, se comprueba mediante simulación de sistema que los componentes diseñados se pueden utilizar en el receptor, evaluando el grado de consecución de los objetivos del presente trabajo de investigación.

Capítulo 2

Análisis del sistema

Este capítulo tiene como objetivo la elección de la arquitectura del receptor para un terminal WLAN, según el estándar IEEE 802.11a, y el establecimiento de las especificaciones de los bloques que conforman dicha arquitectura.

Para ello se describe en primer término el flujo de diseño del receptor, se sigue con una breve introducción al estándar, para finalizar con el análisis del sistema. Dicho análisis se ha dividido en dos fases. En la primera se realiza un estudio de las distintas arquitecturas existentes para el receptor, exponiendo las ventajas y desventajas de cada una de ellas. Al final de esta fase se selecciona la arquitectura más adecuada, buscando minimizar el número de componentes para reducir el área total y maximizar nivel de integración.

En la segunda fase, se simula la arquitectura elegida utilizando el software *Advanced Design System* (ADS) de *Agilent Technologies*. En estas simulaciones, los distintos bloques de los que se compone el receptor se modelan mediante elementos que contienen las librerías de la

herramienta. El objetivo es obtener las especificaciones que debe tener cada elemento para que el receptor cumpla las restricciones del estándar.

Siguiendo este esquema, la estructura de este capítulo queda de la siguiente forma. En el primer apartado se describe el flujo de diseño del receptor. En el siguiente apartado se realiza un estudio del estándar para redes inalámbricas IEEE 802.11a, prestando especial atención a la capa física. Después se estudia y evalúa las distintas arquitecturas utilizadas para el receptor, eligiendo una de ellas de forma razonada. En el último apartado se obtienen las especificaciones de cada uno de los bloques que conforman el receptor y se simula el sistema completo.

2.1. Flujo de diseño

Para el diseño del terminal de recepción se ha seguido el flujo de diseño indicado en la Figura 2.1, que está dividido en 6 pasos.

Inicialmente (paso 1) se deben recopilar las especificaciones del estándar, y en especial las relacionadas con la parte de RF, es decir, tipo de modulación, canalización, sensibilidad del receptor, figura de ruido, rechazo a canales adyacentes, etc. Esta tarea se desarrolla en el apartado 2.2 del presente capítulo. Se sigue con la elección de la arquitectura a emplear (paso 2), este paso se describe en detalle en el apartado 2.3.

Una vez elegida la arquitectura se utilizan las especificaciones del estándar para seleccionar las especificaciones individuales de cada uno de los bloques que componen el receptor (paso 3), es decir: ganancia, figura de ruido, linealidad, etc. El paso siguiente consiste en la simulación inicial del sistema con dichas especificaciones y la comprobación de que las especificaciones generales del paso 1 se verifican (paso 4). Si este no fuera el caso, habría que volver a redefinir las especificaciones de cada bloque por separado y volver a realizar la simulación del sistema, hasta cumplir las especificaciones generales. Los pasos 3 y 4 se estudian en el apartado 2.4.

Una vez que la simulación inicial del sistema dé resultados acordes con las especificaciones generales, se pasa al diseño de cada bloque por separado a nivel de *layout* y a su simulación (paso 5), intentando satisfacer las especificaciones definidas en el paso 3 para cada bloque. Este paso se distribuye en los capítulos 4 al 8 de la presente memoria. Se finaliza con la simulación del sistema (paso 6) utilizando las especificaciones para cada bloque obtenidas en el

paso anterior. Si la simulación del sistema da resultados que cumplen las especificaciones generales el diseño estaría terminado. En caso contrario habría que volver al paso 5, a rediseñar los bloques que tengan peores prestaciones y volver a simular el sistema hasta conseguir cumplir las especificaciones definidas en el paso 1. La simulación final del sistema se lleva a cabo en el capítulo 9 de la presente tesis.

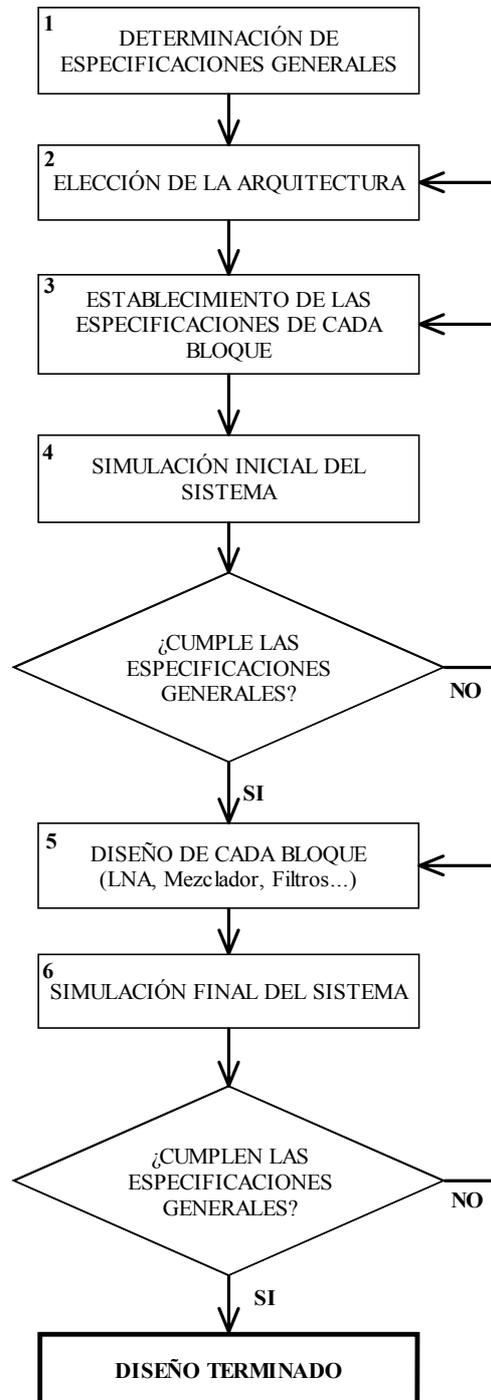


Figura 2.1. Flujo de diseño del receptor de la cabecera del módulo WLAN.

2.2. El estándar IEEE 802.11a

Las especificaciones del estándar que a continuación se muestran han sido extraídas de [IEE802]. Este apartado comienza con una breve introducción al estándar. Se continúa con la descripción de la canalización. Posteriormente se realiza una introducción a la técnica de acceso múltiple utilizada en el estándar, la multiplexación ortogonal en frecuencia u OFDM (*Orthogonal Frequency Division Multiplexing*) y a la capa física del IEEE 802.11a. Se finaliza el apartado mostrando las especificaciones relativas a la cabecera de RF.

2.2.1. Introducción

El estándar IEEE 802.11a se define para redes inalámbricas en la banda de 5 GHz. En la Tabla 2.1 se pueden ver las especificaciones para las distintas variaciones del IEEE 802.11. Hay que indicar que aunque con el IEEE 802.11g se consiga una velocidad de transmisión de datos máxima igual a la del IEEE 802.11a, este último posee 11 canales en vez de los tres del primero, teniendo el estándar que estudiamos la mayor capacidad en cuanto a número de usuarios posibles.

Tabla 2.1. Distintas especificaciones de WLANs

Estándar	Velocidad (Mbps)	Modulación	Técnica de Acceso Múltiple	Banda
IEEE 802.11a	6, 9, 12, 18, 24, 36, 48, 54	BPSK, QPSK, 16-QAM, 64 QAM	OFDM	5.0 GHz (UNII)
IEEE 802.11b	1, 2, 5.5, 11	CCK ¹	DSSS	2.4 GHz (ISM)
IEEE 802.11g	1, 2, 5.5, 6, 9, 11, 12, 22, 24, 33, 36, 54	BPSK, QPSK, 16-QAM, 64 QAM	OFDM	2.4 GHz (ISM)

El estándar establece que para reducir errores se reduce la velocidad de información de la capa física, siendo para el 802.11a los siguientes valores: 48, 36, 24, 18, 12, 9 y 6 Mbps. La velocidad máxima permisible de 54 Mbits/s sólo está disponible en un ambiente libre de interferencias y a muy corta distancia.

¹ CCK son las siglas de *Complementary Code Keying*.

2.2.2. Canalización

La frecuencia central de canal es múltiplo de 5 MHz. La relación entre la frecuencia central y el número del canal (n_{ch}) viene dada por la ecuación (2.1):

$$\text{Frecuencia central del cada canal} = 5 \text{ GHz} + 5 \text{ MHz} \cdot n_{ch} \quad (2.1)$$

El espectro está dividido en doce canales, en comparación con los tres canales de los estándares IEEE 802.11b/g. La frecuencia de cada canal se puede observar en la Tabla 2.2.

Tabla 2.2. Tabla de frecuencias para IEEE 802.11a

Banda (GHz)	Número de canal operativo (n_{ch})	Frecuencia central del cada canal (MHz)
U-NII Banda inferior (5.15-5.25)	36	5180
	40	5200
	44	5220
	48	5240
U-NII Banda media (5.25-5.35)	52	5260
	56	5280
	64	5320
U-NII Banda superior (5.725-5.825)	149	5745
	153	5765
	157	5785
	161	5805

El ancho de banda total es de 300 MHz divididos en tres bloques de 100 MHz (5.15 a 5.25 GHz, 5.25 a 5.35 GHz y 5.725 a 5.825 GHz), tal como se puede observar en la Figura 2.2.

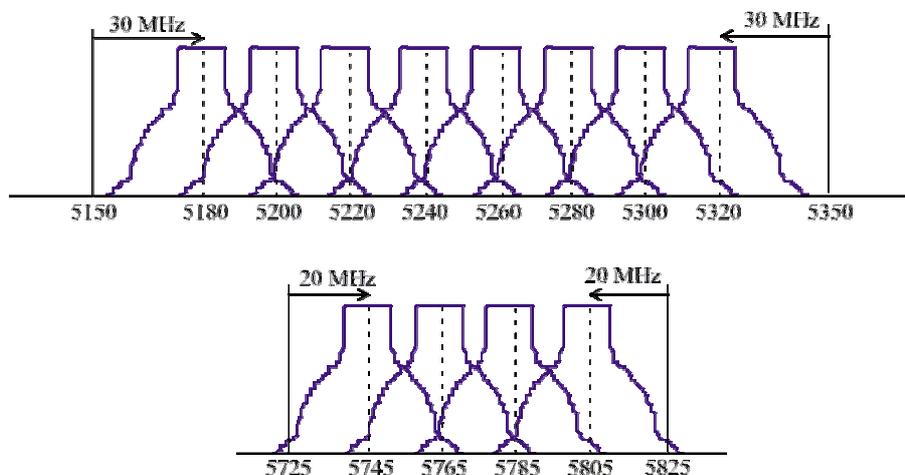


Figura 2.2. Canalización para IEEE 802.11a.

Cada canal tiene un ancho de 20 MHz, y éste a su vez está dividido en 52 sub-canales, cada uno de 300 kHz. Cuarenta y ocho de esos canales son para datos y 4 son para frecuencias piloto. Esta subdivisión de canales es útil para adaptar diferentes tasas de bits tal como se verá en el siguiente apartado.

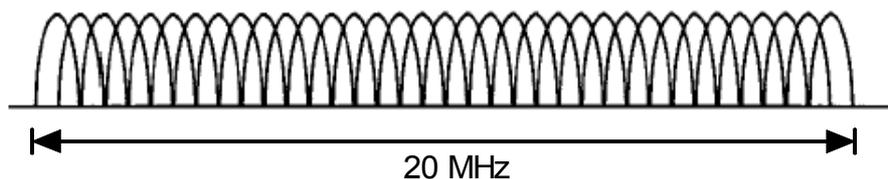


Figura 2.3. 52 sub-portadoras espaciadas 300 kHz del IEEE.802.11a.

2.2.3. OFDM

La versión de OFDM que utiliza 802.11a combina las modulaciones BPSK, QPSK y QAM en función de la tasa de bits elegida tal como se ve en la Tabla 2.3.

OFDM es una FDM (división por multiplexado en frecuencia) en la que los canales contiguos se solapan pero no se interfieren los unos a los otros debido a la ortogonalidad de las portadoras [ARM02].

Tabla 2.3. Tipos de modulación

Tasa de bits transmitida (Mbits/s)	Tasa de bits transmitida por cada subcanal (kbits/s)	Modulación
6	125	BPSK
9	188	BPSK
12	250	QPSK
18	375	QPSK
24	500	16-QAM
36	750	16-QAM
48	1000	64-QAM
54	1125	64-QAM

OFDM divide una cadena de datos de alta velocidad en 48 sub-cadenas de baja velocidad que se transmiten en paralelo. Cada sub-cadena se modula (BPSK, QPSK, 16-QAM ó 64 QAM) con una sub-portadora con frecuencia diferente. Las frecuencias de las sub-portadoras son elegidas de manera que sean ortogonales, es decir, que en un periodo de símbolo quepan un número entero de ciclos. En la Figura 2.4 se puede observar este caso para tres sub-portadoras.

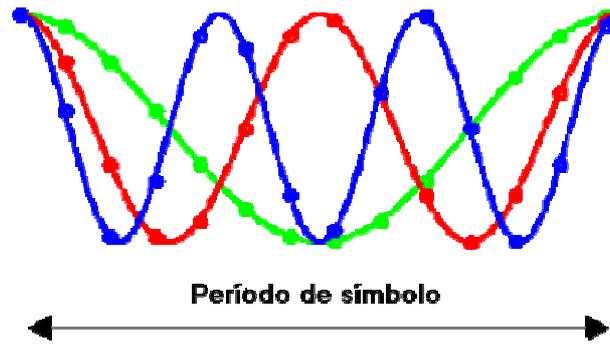


Figura 2.4. Ejemplo de tres portadoras ortogonales.

Las tres señales son ortogonales entre sí, cumplen la siguiente ecuación:

$$\int_0^T \sin\left(\frac{2 \cdot \pi \cdot k \cdot t}{T}\right) \cdot \sin\left(\frac{-2 \cdot \pi \cdot l \cdot t}{T}\right) \cdot dt = 0, \quad k \neq l \quad (2.2)$$

Los datos se modulan variando la fase o la amplitud de cada sub-portadora dependiendo del tipo de modulación (BPSK, QPSK, 4-QAM, 16-QAM o 64-QAM). Cada sub-portadora se puede modular con un tipo de modulación distinta.

Para entender un poco mejor como funciona OFDM, en la Figura 2.5 se puede observar un esquema de bloques genérico para el transmisor y para el receptor [IEE802].

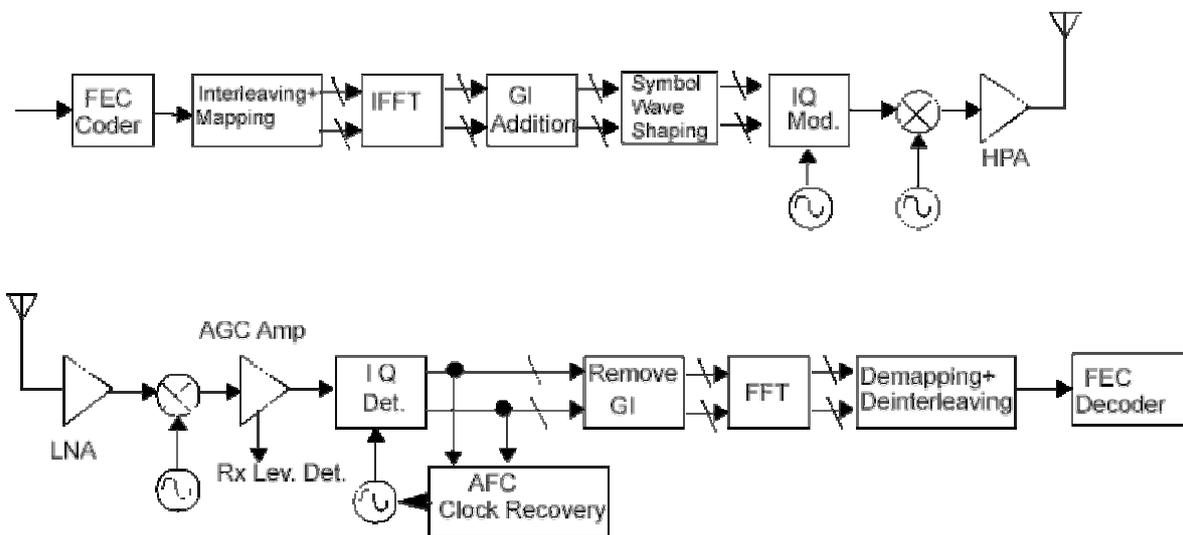


Figura 2.5. Esquema de bloques del transmisor y receptor para la capa física de OFDM.

El codificador FEC (*Forward Error Correction*) expande los bits sobre el ancho de banda del canal y aumenta la redundancia de la información a transmitir para poder corregir errores en el receptor. Para éste propósito se suele utilizar un codificador convolucional.

El módulo *interleaving* modifica la cadena de datos para evitar secuencias de “1” o “0” seguidas (evita errores debidos al *burst*), para ello la cadena de datos se divide en grupos de N_{CBPS} bits y dentro de cada grupo se produce un intercambio en los bits en dos permutaciones.

En el mapeo (*mapping*) la cadena de datos se divide en grupos de N_{BPSC} bits (1, 2, 4 o 6) y se convierten en números complejos dependiendo de la tasa de bits elegida. Cada grupo se convierte en un número complejo acorde a la modulación (Tabla 2.3), por ejemplo, si se elige una tasa de bits de 24 Mbits/s se mapean los datos con una constelación 16-QAM. La cadena de números complejos se divide en grupos de 48 números complejos. Cada grupo se mapea a cada una de las subportadoras (48).

A las 52 (48+4) sub-portadoras se le aplica la IFFT (transformada inversa de Fourier rápida). La IFFT suma todas las cadenas de datos y realiza la modulación y el multiplexado en un paso. Este procesado de señal sustituye los bancos de moduladores I/Q que hubieran sido necesarios de haberlas realizado de forma tradicional. Finalmente esta señal pasa por un convertidor paralelo-serie.

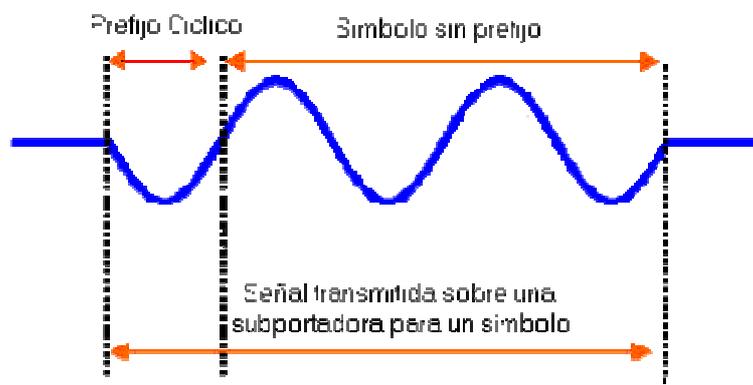


Figura 2.6. Ejemplo de agregación de GI o *cyclic Prefix* en cada símbolo.

A la señal resultante se le añade el intervalo de guarda (GI o *guard interval*), también llamado *cyclic prefix* (ver Figura 2.6). En este paso se añade una banda de guarda sobre cada símbolo para reducir la interferencia entre símbolos (ISI) y entre portadoras (ICI), reduciendo de esta forma la distorsión por multi-trayectoria. En la Figura 2.7 se ve un ejemplo gráfico de ICI.

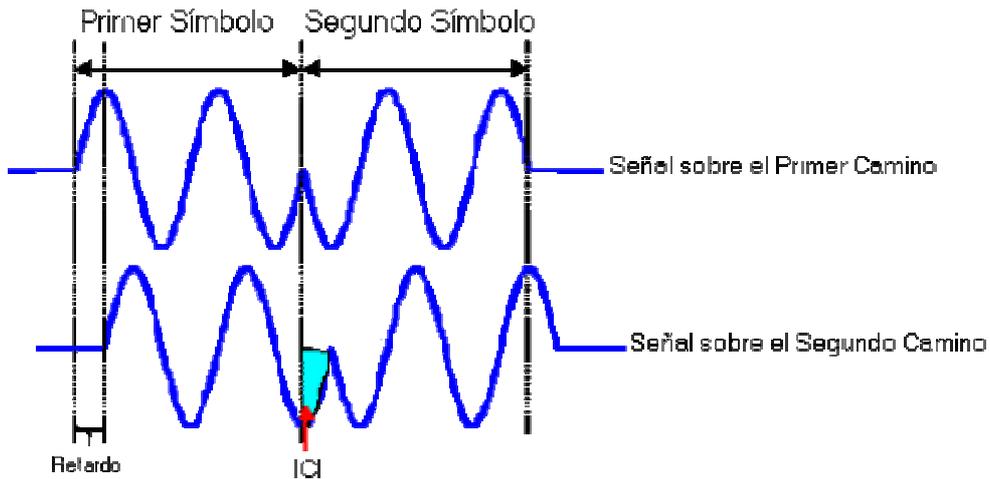


Figura 2.7. Ejemplo de ICI.

Cuando la misma señal llega al receptor por diferentes caminos y el retardo de la señal es menor que el GI no se produce ISI ni ICI tal como se ve en la Figura 2.8.

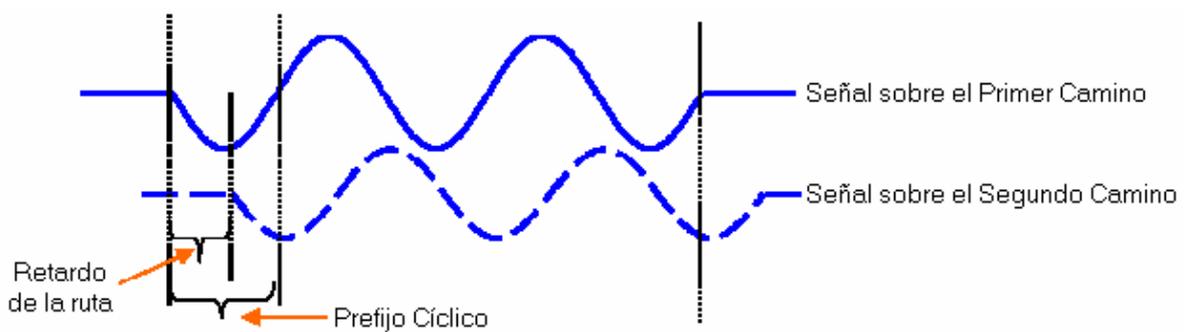


Figura 2.8. Efecto del GI o Cyclic Prefix cuando la señal viene por varios caminos.

Seguidamente hay que realizar el *symbol wave shaping* a la señal. Este paso se lleva a cabo para disminuir el ancho de banda de los pulsos, filtrando la señal con un filtro de coseno alzado. Este filtro permite reducir el nivel de los lóbulos laterales de la señal, reduciendo de esta manera la potencia transmitida.

Esta señal (I/Q) se pasa por un convertidor digital analógico y un filtro para poder ser modulada. El proceso de recepción es el inverso y los bloques realizan la operación inversa a la descrita en el proceso de transmisión.

2.2.4. Especificaciones relativas a la cabecera de RF

A continuación se van a enumerar las especificaciones relativas a la cabecera de RF para el estándar IEEE 802.11a.

2.2.4.1. Impedancia de la antena y rango de temperatura de emisión y recepción

La impedancia del puerto de la antena de emisión y de recepción es de 50 Ohmios. Por otro lado se han definido tres rangos de temperatura de funcionamiento que se pueden ver en la Tabla 2.4.

Tabla 2.4. Rangos de temperatura de funcionamiento

Tipo 1	0 °C a 40 °C	Entorno doméstico
Tipo 2	-20 °C a 50 °C	Entorno industrial
Tipo 3	-30 °C a 70 °C	Entorno industrial

2.2.4.2. Nivel de potencia en la transmisión

La potencia máxima transmitida de la señal depende de la banda de frecuencias en la que nos encontramos. Ésto se puede ver en la Tabla 2.5.

Tabla 2.5. Potencia de salida

Banda de frecuencias (GHz)	Potencia máxima de salida con antena de 6 dBi de ganancia
5.15 – 5.25	40 mW (2.5 mW/MHz)
5.25 – 5.35	200 mW (12.5 mW/MHz)
5.725 – 5.825	800 mW (50 mW/MHz)

2.2.4.3. Máscara del espectro de salida

El espectro de la señal emitida debe tener 0 dBr (dB relativos a la máxima densidad espectral de la señal) en un ancho de banda no superior a 18 MHz, -20 dBr en una desviación de frecuencia de 20 MHz y -40 dBr en una desviación de frecuencia de 30 MHz. La máscara del espectro de salida se muestra en la Figura 2.9.

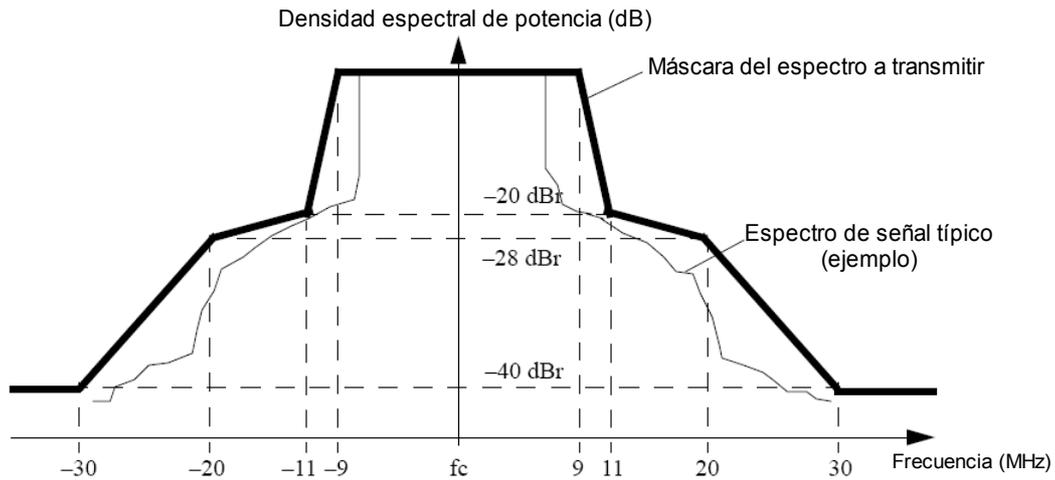


Figura 2.9. Máscara del espectro de salida.

2.2.4.4. Variación de la frecuencia a la salida

La variación máxima de la frecuencia de salida y de los símbolos transmitidos debe ser como máximo de ± 20 ppm.

2.2.4.5. Sensibilidad a la entrada

El PER (tasa de error de paquetes o *packet error rate*) debe ser menor que del 10% para una PSDU (*sublayer service data units*) de 1000 bytes para los valores de sensibilidad mínima según la tasa de bits transmitida. Se supone una NF de 10 dB con 5 dB de margen. En la Tabla 2.6 se observa la sensibilidad mínima a la entrada en función de la tasa de bits. Como veremos en el apartado 2.4, estos datos son fundamentales para el diseño del receptor.

Tabla 2.6. Sensibilidad mínima a la entrada

Tasa de bits (Mbits/s)	Sensibilidad mínima (dBm)	Rechazo a canales adyacentes (dB)	Rechazo a canales no adyacentes (dB)
6	-82	16	32
9	-81	15	31
12	-79	13	29
18	-77	11	27
24	-74	8	24
36	-70	4	20
48	-66	0	16
54	-65	-1	15

2.2.4.6. Rechazo al canal adyacente y al no adyacente

El rechazo al canal adyacente (ACR o *adjacent channel rejection*) se debe medir con el canal deseado y otro contiguo. El canal deseado debe tener una potencia de 3 dB superior al valor de la sensibilidad expresada en la Tabla 2.6. Para la medida se debe subir la potencia del canal contiguo hasta conseguir en la salida del receptor un PER del 10 % (para un PSDU de 1000 bytes), la diferencia de potencia existente entre ambos canales es el ACR y su valor mínimo está especificado en la tercera columna de la Tabla 2.6.

El caso de la medida del rechazo al canal no adyacente (NACR o *non adjacent channel rejection*) es similar a la medida del ACR, pero en vez elegir el canal contiguo se elige el canal situado a 2 canales del deseado. El valor mínimo está especificado en la última columna de la Tabla 2.6.

2.2.4.7. Máximo nivel de la señal a la entrada del receptor y linealidad

El receptor debe tener un PER máximo de un 10% para una PSDU de 1000 bytes para un nivel máximo de señal a la entrada de la antena de -30dBm.

El punto de compresión a 1 dB (P_{1dB}) se puede estimar a partir de la máxima señal a la entrada del receptor como [RAZ98]:

$$P_{1dB} > -30 \text{ dBm} \quad (2.3)$$

El P_{1dB} debe ser mayor que la máxima potencia de canal de entrada, que es -30 dBm. Se puede estimar el IIP3 de la siguiente manera:

$$IIP3 - P_{1dB} = 9.6 \text{ dB} \quad (2.4)$$

$$IIP3 > -30 \text{ dBm} + 9.6 \text{ dB} = -20.4 \text{ dBm} \quad (2.5)$$

obteniendo un $IIP3 > -20.4 \text{ dBm}$. Estas especificaciones de IIP3 son muy relajadas.

2.3. Elección de la arquitectura para la cadena de recepción

En el presente apartado se desarrolla el análisis de las posibles arquitecturas que se pueden adoptar para implementar la cadena de recepción. Se analizan las arquitecturas superheterodina o de doble conversión, de conversión directa o ZERO IF, conversión a baja frecuencia intermedia o LOW IF y la arquitectura WEAVER. De cada una de ellas se estudia su estructura y las ventajas e inconvenientes que presentan. Una vez concluido dicho estudio se elige, justificadamente, una de ellas.

2.3.1. Receptor superheterodino o de doble conversión

En este tipo de receptor la conversión a banda base se realiza en 2 etapas. Primero se traslada el canal deseado a una frecuencia intermedia (FI) que, en nuestro caso, puede variar de 1180 MHz a 1805 MHz según el canal. Mediante el sintetizador se realiza la selección de canal en la siguiente conversión. En la Figura 2.10 se puede observar el diagrama de bloques de un receptor basado en esta arquitectura y la traslación en frecuencia del canal de 5180 MHz a banda base.

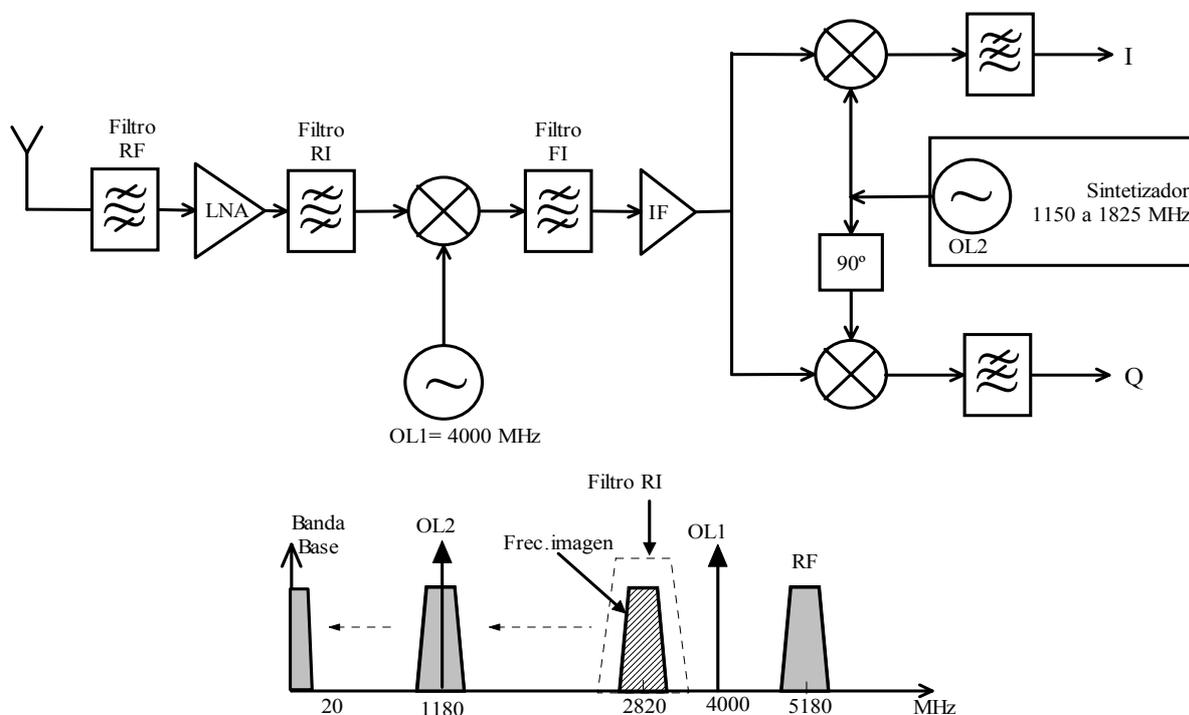


Figura 2.10. Diagrama del receptor superheterodino o de doble conversión.

Una vez que la señal de RF llega a la antena, es filtrada por el filtro de RF y amplificada por el amplificador de bajo nivel de ruido (LNA). En la mayoría de los casos el LNA actúa como filtro de RF, siendo estos dos bloques uno solo. Para evitar que la frecuencia imagen se mezcle con la señal deseada en la primera traslación de frecuencia, ésta se elimina mediante el filtro de rechazo de la frecuencia imagen (filtro RI). Con un oscilador fijo (OL1) y el primer mezclador la señal se traslada a una FI, que en el caso de la figura es de 1180 MHz. Después de la primera traslación la señal pasa por un filtro (filtro FI), que también suele ser externo, y por un amplificador de FI. Dicho amplificador es opcional ya que su ganancia depende de la ganancia del mezclador y de la del LNA. Si la ganancia de estos elementos es lo suficientemente grande, dicho amplificador no es necesario. A continuación se realiza la traslación de la señal a banda base y la obtención de las señales en I y Q con ayuda del sintetizador, el desfaseador de 90° y los mezcladores.

Las ventajas de esta arquitectura son las siguientes:

- Al realizar la traslación de la señal en varias etapas se puede asignar a cada bloque unas especificaciones más relajadas.
- Presenta una elevada sensibilidad y selectividad en comparación con otras posibilidades lo que ha hecho de esta topología la predominante en aplicaciones de RF durante décadas.
- El diseño del sintetizador no se realiza en la banda de 5 GHz sino en una banda más baja, con ello su diseño es más sencillo.

Como contrapartida, dicha arquitectura presenta las siguientes desventajas:

- Posee un elevado número de componentes a integrar por lo que el consumo y área del receptor es elevado en comparación con otras arquitecturas.
- Es necesario un filtro de rechazo de la frecuencia imagen, que no es integrable.

Esta arquitectura es utilizada por [COP00] y [ZAR02] para realizar un receptor para este estándar.

2.3.2. Receptor de conversión directa o ZERO IF

El esquema de bloques de este conversor se puede observar en la Figura 2.11. La conversión a banda base se realiza con una etapa de conversión, solventando el problema de la frecuencia imagen.

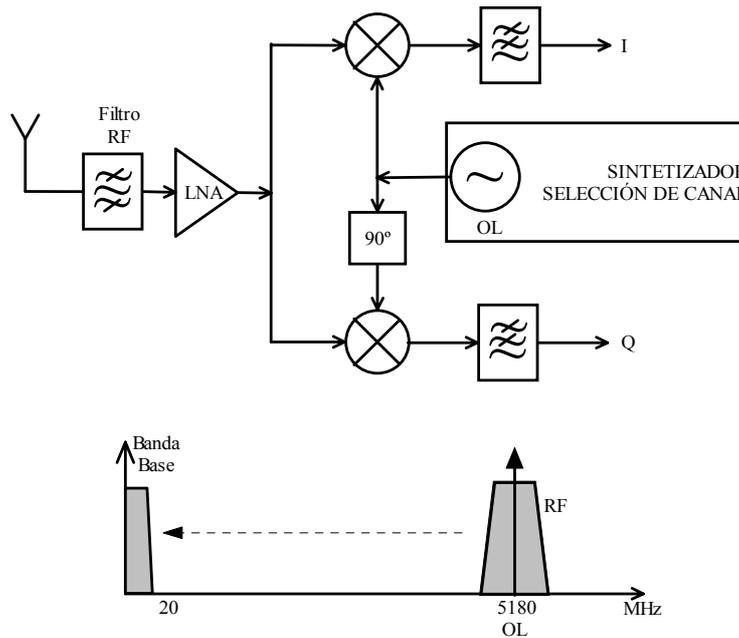


Figura 2.11. Arquitectura de conversión directa o ZERO IF.

Las ventajas de este esquema son las siguientes:

- No hay problemas con la frecuencia imagen ya que la frecuencia del oscilador local es igual que la frecuencia de RF. Por tanto, no es necesario el filtro de rechazo de la frecuencia imagen.
- Debido al reducido número de componentes es más eficiente y por ello es apto para ser integrado totalmente en un chip.

Por otro lado los inconvenientes de este esquema son:

- Puede aparecer un desplazamiento del nivel de continua (*offset* en DC) a la salida del filtro pasobajo que disminuye el rango dinámico de la señal. Este *offset* aparece porque parte de la señal proveniente del oscilador local se introduce al mezclador por la entrada de RF superponiéndose a la señal proveniente del LNA, este fenómeno se debe a que el aislamiento entre los puertos del mezclador es finito. Esta señal se vuelve a mezclar con la del oscilador local, apareciendo como una componente continua a la salida. A este efecto se le conoce como automezclado o *self-mixing*.
- Es necesario desfasar 90° el oscilador local para poder realizar la demodulación I/Q, con ello se podría provocar un cambio en la amplitud del oscilador local. Esto se traduce en una variación de amplitud entre el oscilador local utilizado para la señal Q y el utilizado para la señal I apareciendo un error en la constelación en la señal demodulada (*I/Q Mismatch*). Este efecto también se da en la segunda etapa de mezclado del receptor superhete-

rodino, pero en ese caso las frecuencias implicadas son más bajas y los problemas asociados al desfasador son menos relevantes.

- El sintetizador opera en la banda que va de 5 a 6 GHz. Realizar un sintetizador a esa frecuencia es más dificultoso que hacerlo en la banda de 1 a 2 GHz, que es el caso del receptor superheterodino.
- El ruido *flicker* ($1/f$) a baja frecuencia es muy elevado. Dado que la señal de RF se traslada directamente a frecuencia cero, el ruido *flicker* de baja frecuencia de cada uno de los distintos bloques que conforman la cadena de recepción en la banda base adquirirá importancia. Este ruido degrada considerablemente la relación señal a ruido y cobra especial importancia cuando el terminal de recepción está fabricado con tecnología CMOS [LEE98].

A pesar de sus desventajas, numerosos autores utilizan este tipo de receptor [CHI02] [TIN00] [VAS03].

2.3.3. Receptor de conversión a baja frecuencia intermedia o LOW IF

La arquitectura de conversión a baja frecuencia intermedia conserva las características más favorables de las dos analizadas. La conversión se realiza en una única etapa a una FI baja (de varios MHz). En el caso de la Figura 2.12, la FI es de 20 MHz.

Las ventajas de esta arquitectura son:

- Posee un número reducido de componentes, que se traduce en una mayor eficiencia en consumo y abre la posibilidad a integrar todo el sistema en un único encapsulado.
- Se evita el gran inconveniente de la arquitectura de conversión directa, que es la dependencia con el ruido *flicker*. Al ser la FI de varios MHz, dicho ruido no afecta al receptor.

Las desventajas de este esquema son:

- Al ser la FI del orden de MHz es necesario utilizar conversores ADC más rápidos.
- Es necesario la utilización del filtro de rechazo de la frecuencia imagen, tal como se ve en la Figura 2.12. El diseño de dicho filtro es muy dificultoso de diseñar, ya que es diferente para cada uno de los doce canales. Esta desventaja se puede corregir utilizando un filtro polifásico en banda base (ver Figura 2.13). Mediante el filtro polifásico, la frecuencia imagen la eliminamos después del mezclado, tal como se observa en la Figura 2.13, me-

diante un filtro que elimina sólo la parte imaginaria de la señal. El funcionamiento de este filtro se detalla en el capítulo 8 de la presente memoria.

- En cuanto al sintetizador presenta los mismos problemas que en la arquitectura de conversión directa. La realización de un sintetizador en la banda de 5 a 6 GHz es más dificultoso que en la banda de 1 a 2 GHz, que es el caso del receptor superheterodino.

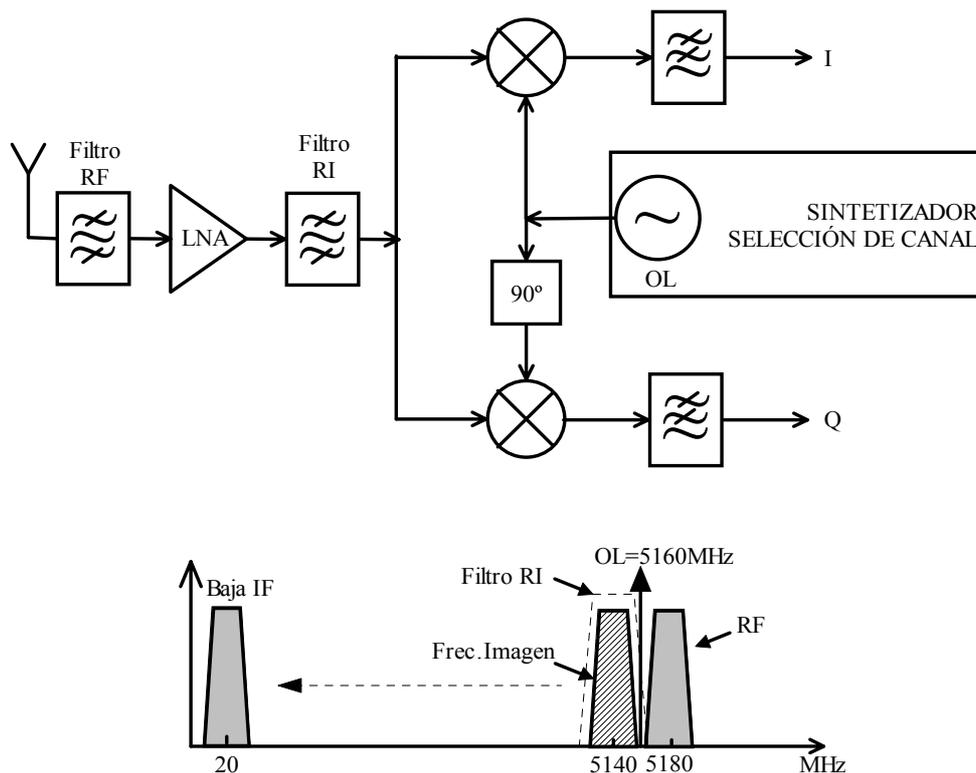


Figura 2.12. Receptor de baja frecuencia intermedia con filtro de rechazo de frecuencia imagen.

2.3.4. Receptor basado en la arquitectura WEAVER

En esta arquitectura se utilizan las bandas laterales y su traslación para obtener el espectro requerido anulándose la FI sin necesidad del filtro de rechazo de la frecuencia imagen. El esquema de bloques de este convertidor se puede observar en la Figura 2.14. En la Figura 2.15 se presenta su homónimo para demodulación I/Q.

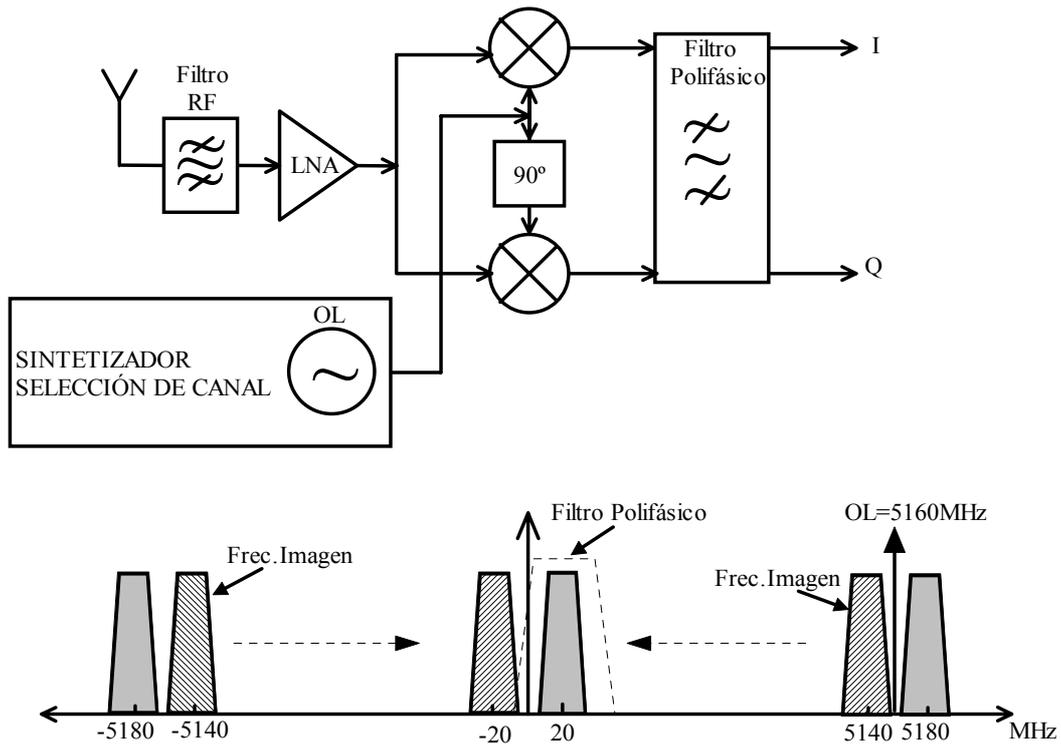


Figura 2.13. Receptor de baja frecuencia intermedia con filtro polifásico.

Las principales ventajas de esta arquitectura son:

- Gran selectividad.
- No es necesario utilizar filtros de rechazo de la frecuencia imagen, ya que en esta arquitectura se utilizan las bandas laterales y su traslación para obtener el espectro requerido anulándose dicha frecuencia imagen.

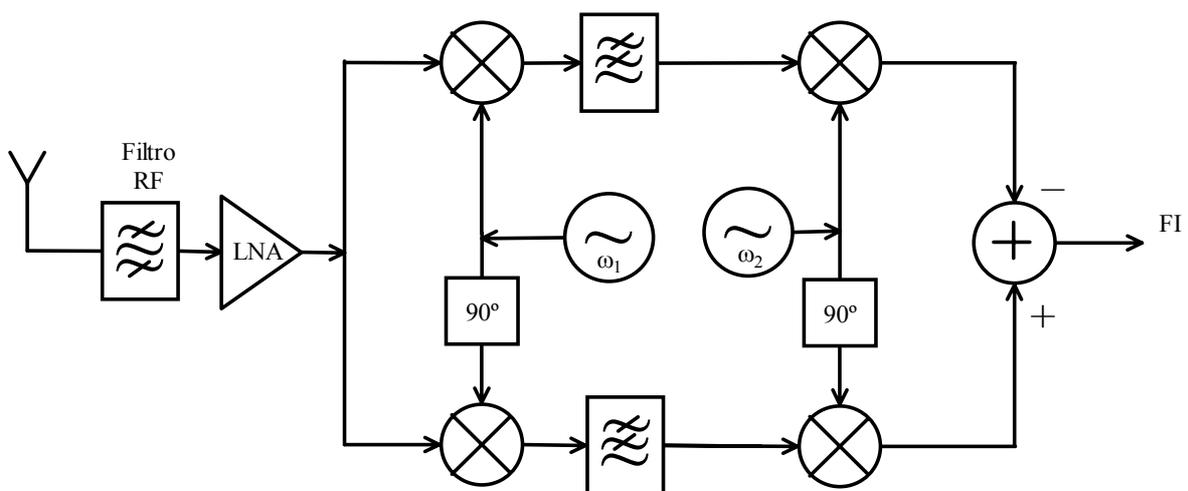


Figura 2.14. Esquema de bloques del receptor Weaver.

Sin embargo, sus principales desventajas son:

- Elevado número de componentes.
- Pueden aparecer desacuerdos entre las señales I/Q debido al desfase de 90° de los osciladores.

El grupo de la universidad de Stanford dirigido por Thomas H. Lee [LEE02] [SAM00] utiliza esta arquitectura para un receptor en la banda de 5 a 6 GHz es. Dicho grupo integra el receptor completo, es decir, los 6 mezcladores de frecuencias de los que se compone. Es relevante el que en sus publicaciones no se precisa el tamaño del CI.

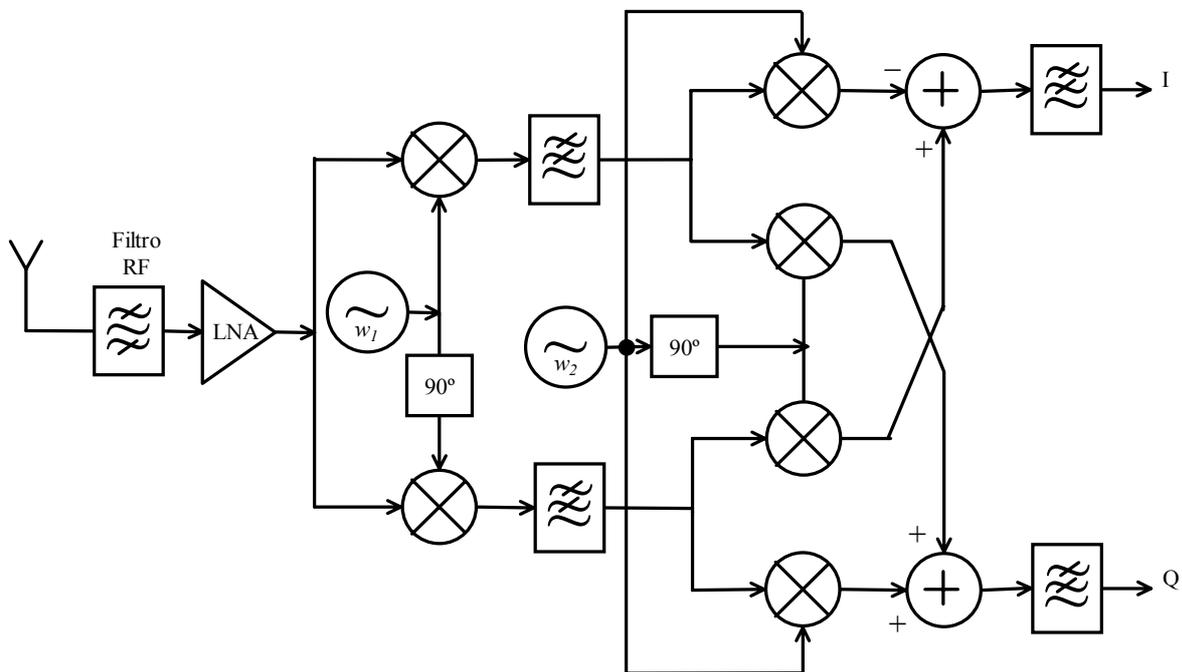


Figura 2.15. Arquitectura del receptor WEAVER para demodulación I/Q.

2.3.5. Elección de la arquitectura

Se han descartado las arquitecturas superheterodina y WEAVER porque poseen un elevado número de componentes. Su integración en un solo encapsulado es más complicada que la arquitectura de conversión directa o de baja frecuencia intermedia y además, presenta un consumo mayor.

También se ha descartado la arquitectura de conversión directa por la degradación de la relación señal a ruido debido al ruido *flicker* y el efecto del automezclado.

La arquitectura elegida ha sido la de baja frecuencia intermedia debido a su reducido número de componentes, la excelente eficiencia en consumo y la independencia del ruido flicker. La FI elegida es de 20 MHz. Al ser el ancho de banda del canal de RF de 20 MHz, la señal en banda base estaría entre 10 y 30 MHz.

2.4. Simulación del sistema

En este apartado se va realizar la simulación inicial del sistema con ADS. En primer lugar se describe el proyecto de ADS utilizado, así como las diferentes simulaciones a realizar. Se continúa con la elección de las especificaciones de cada bloque por separado para finalizar con los resultados de la simulación conjunta.

2.4.1. Descripción del proyecto de ADS

El esquema básico para simular el sistema se puede observar en la Figura 2.16 y consta de los siguientes subsistemas:

- **WLAN_80211a_RF** es un elemento de librería de ADS que genera una señal WLAN modulada [WLA04]. En nuestro caso la señal es modulada a una FI de 20 MHz. Entre otros parámetros se puede seleccionar la potencia de salida (Power), el ancho de banda (Bandwidth) que en nuestro caso es el ancho de banda del canal que es de 20 MHz, y la tasa de bits (Rate).
- **RF_TX_IFIn** traslada la señal de salida del módulo **WLAN_80211a_RF** a la frecuencia del canal [WLA04]. Por lo tanto debemos configurar la frecuencia de entrada (IF_Freq) que en nuestro caso es de 20 MHz, la frecuencia de salida (RF_Freq) que es la frecuencia del canal según la Tabla 2.2, el ancho de banda (RF_BW) y la ganancia del sistema (Tx_Gain).
- **GainRF** es un amplificador cuya ganancia viene dada en el parámetro Gain.
- **RX_LOW** no está en ninguna librería de ADS, por ello ha sido creado para la realización de esta investigación. En él se encuentra el receptor basado en la arquitectura de baja frecuencia intermedia. Más adelante se describe con más detalle.
- **WLAN_80211a_RX** realiza la acción inversa al módulo **WLAN_80211a_RF**. Está compuesto por el módulo **WLAN_80211a_RF_RxFSync**, el cuál posee los mismos parámetros que el módulo **WLAN_80211a_RF** [WLA04], y de un sumador de señal. La función

de este subsistema es la de extraer los paquetes de la señal proveniente del módulo **RX_LOW** y entregar a la salida los datos demodulados (PSDU).

- **Delay** simplemente retarda los paquetes que le llegan a su entrada en N muestras. Es de gran ayuda para calcular la tasa de error de bit (BER) y de paquetes (PER) ya que compensa el retardo de los módulos existentes entre **WLAN_80211a_RF** y **WLAN_80211a_RX**.
- **WLAN_80211aBERPER** mide el BER y el PER [WLA04]. Tiene como entrada la carga útil (*payload*) de los paquetes generados por **WLAN_80211a_RF** y los obtenidos después del proceso de demodulación en **WLAN_80211a_RX**.

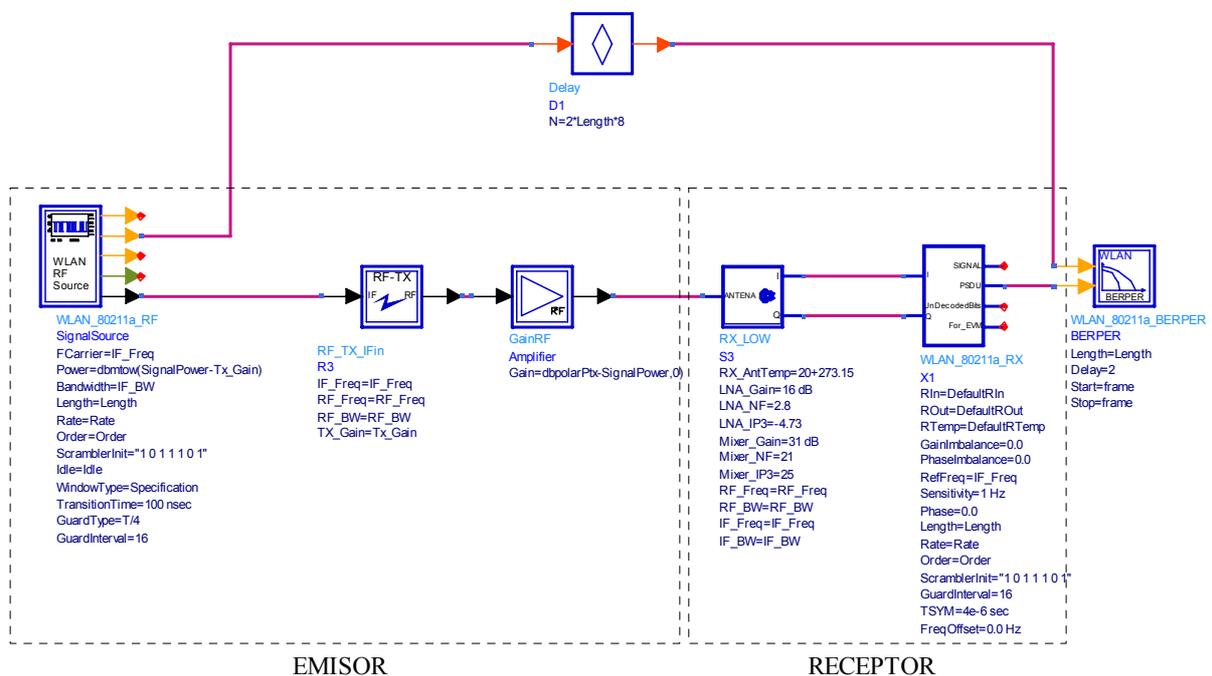


Figura 2.16. Esquema básico para la simulación del sistema IEEE 802.11a.

El transmisor está formado por los subsistemas **WLAN_80211a_RF**, **RF_TX_IFIn** y **GainRF**, mientras que el receptor lo componen los componentes **RX_LOW** y **WLAN_80211a_RX**. A continuación se va a explicar con más detalle el módulo **RX_LOW**.

2.4.1.1. Descripción del módulo **RX_LOW** y especificaciones iniciales

El objetivo de este módulo es simular la manera en que afectan al sistema completo la ganancia, figura de ruido, linealidad y respuesta en frecuencia de los componentes que forman el receptor. El esquema del módulo se puede ver en la Figura 2.17.

El primer elemento es la antena (**RxAntTempK**), el cual añade ruido a la señal de entrada debido a la temperatura de ruido de la antena [WLA04].

A la antena le sigue un LNA, modelado por un amplificador (**LNAGain**) y un filtro pasobanda (**LNAFilter**). En el amplificador introducimos la ganancia del LNA, la figura de ruido y el IP3 mientras que al filtro le damos la característica de filtrado que realiza el LNA en la banda de 5 a 6 GHz. Al amplificador hay que sumarle las pérdidas ocasionadas por el filtro ya que en la práctica los dos elementos son uno solo.

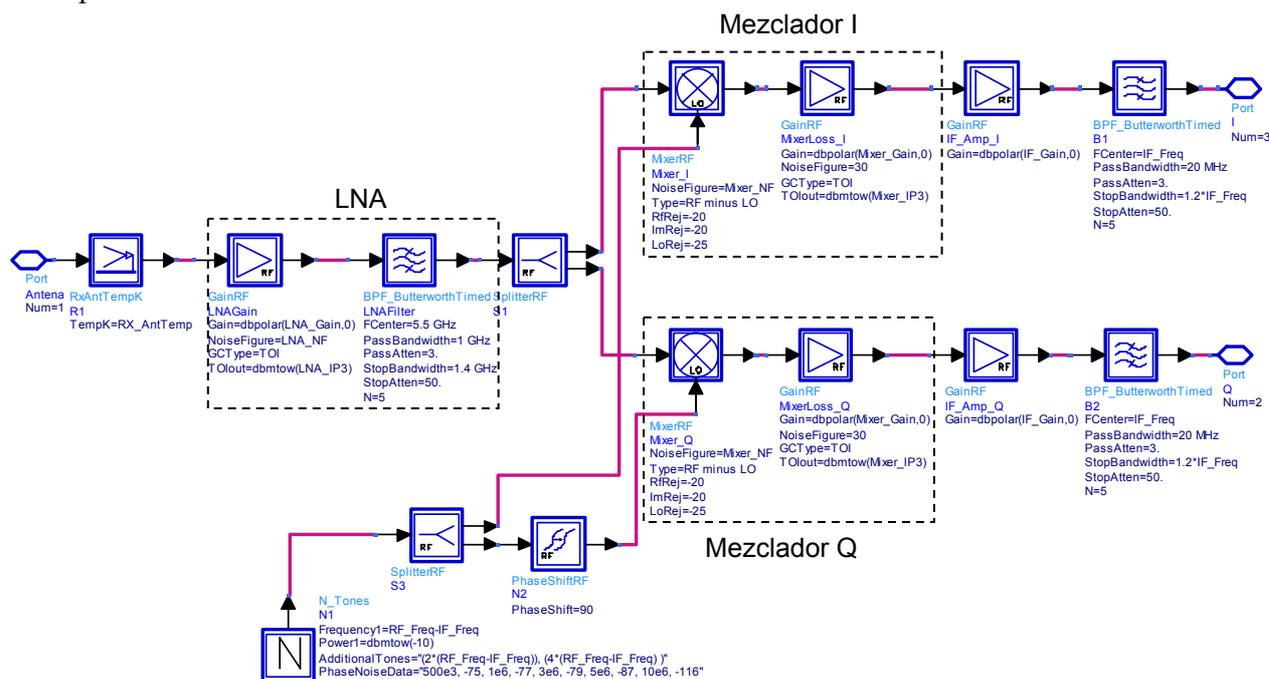


Figura 2.17. Módulo RX_LOW que se corresponde con la parte de RF del receptor de baja frecuencia intermedia.

Después del divisor de señal (**SplitterRF**) vienen los mezcladores que realizan la traslación a 20 MHz, uno de ellos ofrece la señal en fase (I) y el otro la señal en cuadratura (Q). Ambos mezcladores están modelados por un mezclador (**MixerRF**) y un amplificador (**GainRF**). El primero realiza la conversión de frecuencia toda vez que se le proporcionen las especificaciones del mezclador correspondientes a la figura de ruido, aislamiento entre puertos y tipo de conversión. En cambio, al amplificador le suministramos las especificaciones de linealidad (IP3) y de ganancia o pérdidas de conversión del mezclador. Las prestaciones de los componentes para el mezclador para la señal I y Q son las mismas.

Le sigue una etapa de amplificación de baja frecuencia formado por los amplificadores **IF_Amp_I** e **IF_Amp_Q**. Su ganancia depende de la pérdida o ganancia de conversión de la etapa de mezclado.

Después tenemos el filtrado de la señal FI formado por los filtros **B1** y **B2**. Realmente, estos filtros son los correspondientes al filtro polifásico, que se encarga de suprimir la frecuencia imagen (ver Figura 2.13). Debido a que los componentes utilizados en la simulación (*timed components*) no utilizan la parte imaginaria de la señal (sólo utilizan la parte real [TIM04]) no se puede apreciar el filtrado de la componente a -20 MHz realizado por el filtro polifásico. Los filtros utilizados en la simulación tienen la misma característica que el filtro polifásico, pero en el rango de frecuencias positivas.

El sintetizador está modelado mediante el bloque N_Tones y las especificaciones que le fijamos son la frecuencia del sintetizador, el ruido de fase, la potencia de salida en dBm y los tonos adicionales.

Para realizar el desplazamiento de 90° de la señal del oscilador local se utiliza el bloque **PhaseShiftRF**.

A continuación se muestran las especificaciones técnicas de cada elemento del receptor utilizadas en la simulación.

2.4.1.2. Especificaciones del LNA

Las especificaciones del LNA han sido extraídas de productos similares comercializados para el IEEE 802.11a por MAXIM y Hittite (ver Tabla 2.7). Dichos productos están fabricados utilizando tecnologías SiGe muy costosas y las redes de adaptación (bobinas y condensadores) son externas, recomendando el fabricante elementos pasivos de alto factor de calidad.

Tabla 2.7. Especificaciones de LNA comerciales

Fabricante	Modelo	Frecuencia (GHz)	Ganancia (dB)	IIP3/OIP3 (dBm)	NF Max (dB)	P1dB (dBm)
Hittite	HMC318MS8G	5.0-6.0	9	-13	4	2
Hittite	HMC320MS8G	5.0-6.0	12	-8	3.8	2
Maxim	MAX2649	4.9-5.9	17	0/-	2.1	-
Maxim	MAX2648	5.15-5.85	17.4	0/-	1.8	-

Dado que nuestro diseño va a integrar los pasivos, las especificaciones seleccionadas deberán ser más relajadas. Por esta razón nos hemos puesto en el peor caso de cada LNA de la Tabla 2.7 y las especificaciones iniciales para el LNA del sistema (ver Figura 2.17) son las de la Tabla 2.8. A la ganancia del elemento **LNAGain** se le ha sumado las pérdidas introducidas

por el filtro que modela su respuesta en frecuencia. El valor de la atenuación para la banda eliminada se ha estimado a partir de la experiencia en el diseño de LNAs.

Tabla 2.8. Especificaciones de los módulos **LNA Gain** y **LNA Filter**

LNA Gain	Ganancia	9 dB + 3 dB
	Figura de ruido	4 dB
	Linealidad (IIP3)	- 2 dBm
LNA Filter	Frecuencia central de la banda de paso	5.5 GHz
	Ancho banda de paso	1 GHz
	Atenuación banda de paso	3 dB
	Ancho banda paso+banda de transición	2 GHz
	Atenuación para banda eliminada	23 dB

2.4.1.3. Especificaciones de los mezcladores

Las especificaciones de los mezcladores se han obtenido de diversos autores que han diseñado mezcladores basados en la célula de Gilbert (ver capítulo 4). No se han encontrado productos comerciales para este estándar que especifiquen la configuración utilizada al hacer el mezclador. El resumen de prestaciones se puede encontrar en la Tabla 2.9.

Tabla 2.9. Especificaciones de mezcladores activos basados en la célula de Gilbert

Autor	Rango de RF y OL (GHz)	FI (GHz)	NF (dB)	Ganancia (dB)	Aislamiento entre puertos		IIP3/IIP2 (dBm)
					OL/FI (dB)	OL/RF (dB)	
[CHA02]	5.0-6.0	DC	19.5	+9.23	-	-	6/32
[COP00]	5.0-6.0	1	-	-	>50	>70	-/-
[KRI02]	5.15-5.825	0.9	-	+7.83	>18.6	>101	6.6/-
[TIN00]	5.15-5.825	DC	12	+13.7	-	-	4.3/41
[CHI02]	5.15-5.825	DC	15	0	-	-	3/50

Al igual que en el LNA, nos hemos situado en el peor caso, por lo que las especificaciones iniciales para los mezcladores del sistema (ver Figura 2.17), modelado mediante un mezclador y un amplificador, son las de la Tabla 2.10.

Tabla 2.10. Especificaciones de los módulos **Mixer_Q/I** y **MixerLoss_I/Q**

Mixer_I/Q	Tipo de conversión	FI = RF — OL
	Ganancia de conversión	9 dB
	Aislamiento OL/IF	> 18.6 dB
	Aislamiento OL/RF	> 70 dB
MixerLoss_I/Q	Ganancia	0 dB
	Figura de ruido	19.5 dB
	Linealidad (IIP3)	3 dBm

2.4.1.4. Especificaciones del sintetizador

El sintetizador debe generar las frecuencias para llevar las bandas especificadas en la Tabla 2.2 a la FI de 20 MHz. Dichas frecuencias se encuentran en la Tabla 2.11.

Tabla 2.11. Frecuencias a generar por el sintetizador

Banda (GHz)	Frecuencia central del cada canal (MHz)	Frecuencia del Sintetizador RF – FI (MHz)
U-NII Banda inferior (5.15-5.25)	5180	5160
	5200	5180
	5220	5200
	5240	5220
U-NII Banda media (5.25-5.35)	5260	5240
	5280	5260
	5300	5280
U-NII Banda superior (5.725-5.825)	5320	5300
	5745	5725
	5765	5745
	5785	5765
	5805	5785

Para saber qué ruido de fase debe tener el sintetizador se han realizado unos cálculos teóricos a la vez que una búsqueda de VCOs comerciales en la banda de 5 a 6 GHz. En primer lugar veamos los cálculos teóricos.

El ruido de fase del oscilador local limita la selectividad del receptor [DAB05]. El ruido de fase máximo se puede estimar a partir de la señal interferente máxima en el canal adyacente. En la Figura 2.18 se puede observar una representación gráfica con los correspondientes valores de sensibilidad y nivel del canal deseado según los datos de la Tabla 2.6.

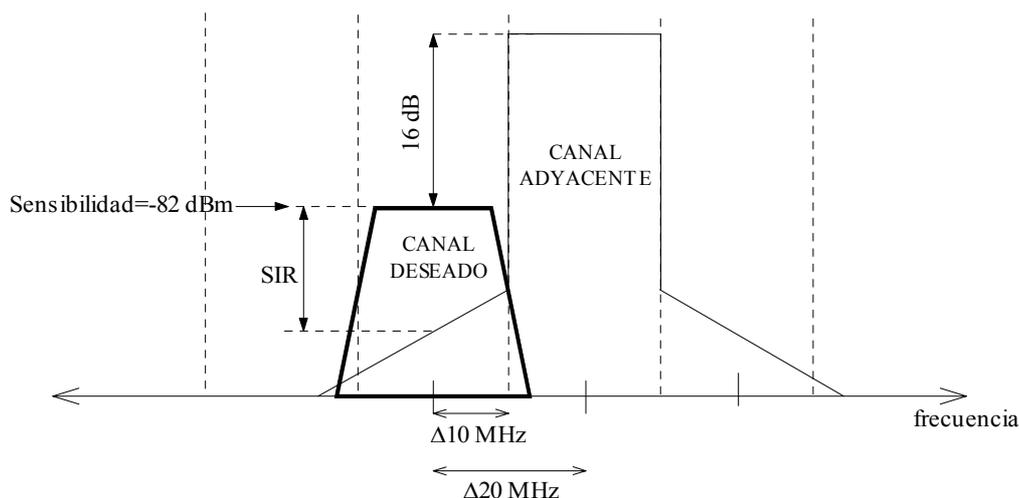


Figura 2.18. Representación gráfica del canal deseado y del no deseado (patrón S2) para el cálculo del ruido de fase.

El valor de SIR (signal to interferer ratio) se suele elegir aproximadamente 5 dB superior al valor de C/N. Por ello se va a calcular el valor de la C/N mediante la siguiente relación [RAZ98]:

$$\text{Sensibilidad}_{\text{dBm}} = -174\text{dBm} + 10\log B + \text{NF} + \text{C/N} = \text{noise floor} + \text{C/N} \quad (2.6)$$

Donde:

- -174 dBm: Potencia de ruido térmico para un ancho de banda de 1 Hz a 290° K
- B: Ancho de banda de la señal, en nuestro caso es de 20 MHz.
- NF es la figura de ruido del receptor, la cual la da el estándar y es de 10 dB con un margen de variación de 5 dB. Para obtener el peor caso de ruido de fase se ha supuesto un NF de 5 dB.
- *noise floor* es el umbral de ruido.

De esta manera el *noise floor* queda de la siguiente manera:

$$\text{noise floor} = -174\text{dBm} + 10\log B + \text{NF} = -174\text{dBm} + 10\log(20\text{MHz}) + 5\text{dB} = -91\text{dBm} \quad (2.7)$$

Con lo que la C/N es de 9 dB, y por ello se va a suponer una SIR de aproximadamente 15 dB. Según [DAB05] el ruido de fase máximo permitido es:

$$\text{PN}(10\text{MHz}) = \text{Pseñal} - \text{Pinterferente} - \text{SIR} - 10 \cdot \log(B) \quad (2.8)$$

Para nuestro caso:

$$PN(10\text{MHz}) = -82 \text{ dBm} - (-82\text{dBm} + 16\text{dB}) - 15\text{dB} - 10\log(20\text{MHz}) \approx -105\text{dBc} \quad (2.9)$$

Asumiendo que estamos en la parte $1/f^2$ de la curva del ruido de fase según Leesson, tenemos una pendiente de -20 dB/dec, lo cual indica que el ruido de fase máximo debe ser:

$$PN(100 \text{ kHz}) = -65 \text{ dBc/Hz}$$

$$PN(1 \text{ MHz}) = -85 \text{ dBc/Hz}$$

$$PN(10 \text{ MHz}) = -105 \text{ dBc/Hz}$$

En cuanto a la búsqueda de VCOs comerciales, las prestaciones obtenidas se encuentran resumidas en la Tabla 2.12. Dichos VCOs están realizados utilizando transistores HBT de GaAs InP.

Tabla 2.12. Prestaciones de VCOs comerciales en la banda de 5 a 6 GHz

Fabricante	Modelo	Frecuencia (GHz)	Ruido de fase 100 kHz (dBc)	Potencia salida (dBm)
Hittite	HMC430LP4	5.0-5.5	-103	2
Hittite	HMC431LP4	5.5-6.1	-102	2

La tecnología usada por Hittite está bastante alejada en cuanto a precio y prestaciones de la utilizada para hacer nuestros bloques básicos, que es una tecnología de bajo coste y basada en silicio. Las tecnologías basadas en Si poseen un sustrato conductor y por consiguiente unos elementos pasivos con un factor de calidad muy inferior a los que proporciona una tecnología con sustrato aislante como el GaAs. El VCO que diseñaremos tendrá un ruido de fase peor.

Para la determinar el ruido de fase del sintetizador se ha estimado su valor como el intermedio entre el calculado teóricamente y el encontrado en los productos comerciales. De esta manera se fija un valor aproximado de -80 dBc a una desviación de frecuencia de 100 kHz

Como potencia de salida pondremos el valor de 2 dBm, que es el mismo valor que poseen los VCOs comerciales. En la Tabla 2.13 se muestra un resumen de las características del sintetizador.

Tabla 2.13. Características del sintetizador (módulo de ADS denominado **N_Tones**)

Frecuencias a generar (MHz)	5160, 5180, 5200, 5220, 5240, 5260, 5280, 5300, 5725, 5745, 5765, 5785
Potencia de salida (dBm)	2
Ruido de fase	-80 dBc para un offset de 100 Khz.

2.4.1.5. Especificaciones del amplificador de FI y filtro de FI

La ganancia de los amplificadores **IF_Amp_I** e **IF_Amp_Q** depende de la ganancia de los demás elementos que conforman el sistema, especialmente del convertor analógico-digital. Se ha estimado de forma conservadora una ganancia inicial de 40 dB teniendo en cuenta la bibliografía [LEE98] [MEL01] y la experiencia del IUMA. Las características del filtro de FI son las mostradas en la Tabla 2.14.

Tabla 2.14. Características del filtro FI

Frecuencia central de la banda de paso	20 MHz
Ancho banda de paso	20 MHz
Atenuación banda de paso	3 dB
Ancho banda paso+banda de transición	25 MHz
Atenuación para banda eliminada	23 dB

Como se comentó anteriormente, este filtro debe ser un filtro polifásico y se detallará en el capítulo 8.

Una vez definidas las especificaciones de cada bloque podemos realizar la simulación inicial del sistema y comprobar si el sistema verifica las especificaciones del estándar. Si las especificaciones no se satisfacen habría que modificar las prestaciones de los bloques de forma razonada hasta conseguir cumplir las especificaciones del estándar.

2.4.2. Simulaciones realizadas

Para que el receptor funcione correctamente se deben verificar las especificaciones descritas en el apartado 2.2, es decir, impedancia de la antena, canalización, sensibilidad, máximo nivel de señal a la entrada del receptor, rechazo al canal adyacente y al no adyacente, rangos de temperatura de funcionamiento y figura de ruido. Las especificaciones de máscara del espectro de salida y nivel de potencia en la transmisión corresponden al diseño del transmisor. Se han realizado cuatro tipos de simulaciones. La primera es el cálculo del PER para una señal a la entrada de la antena igual a la sensibilidad mínima de entrada. Le sigue el cálculo del PER

para la señal máxima a la entrada del receptor. El tercer tipo de simulación es el rechazo al canal adyacente (ACR) y la última el rechazo a canal no adyacente (NACR).

2.4.2.1. Simulación del PER para la sensibilidad mínima de entrada

El esquema de simulación es el de la Figura 2.19, muy similar al de la Figura 2.16. Los parámetros introducidos en el módulo **RX_LOW** son los del apartado 2.4.1.

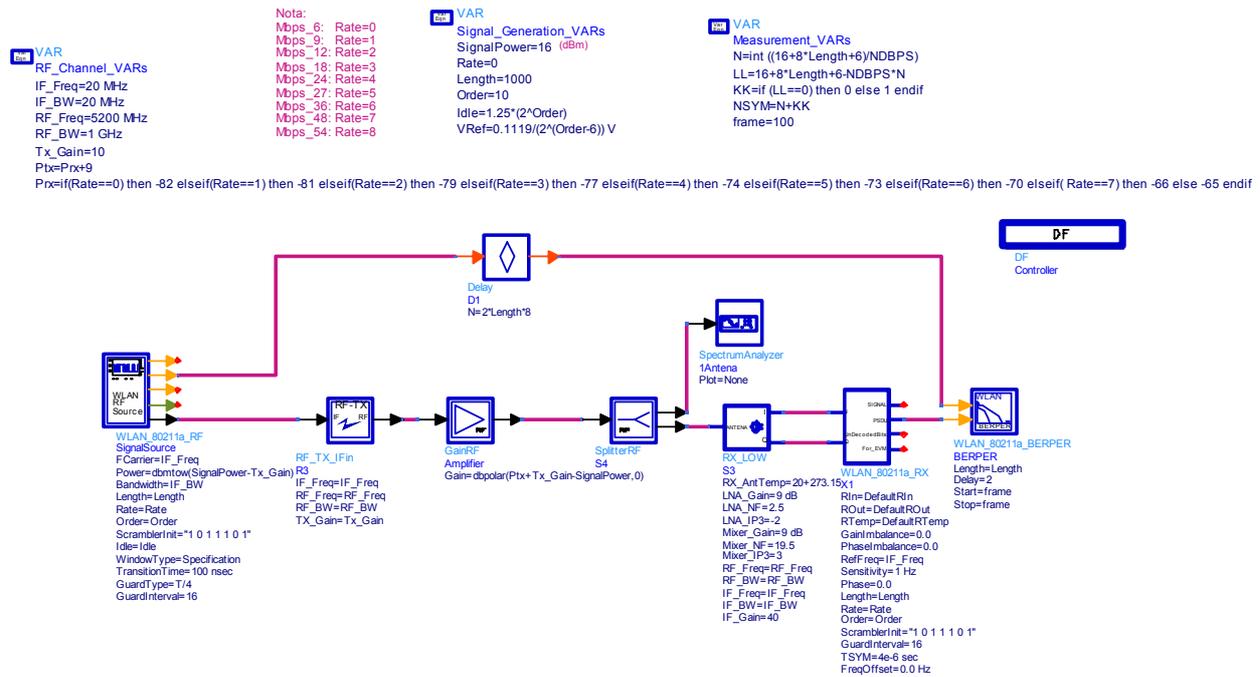


Figura 2.19. Esquema de simulación para el cálculo del PER.

Se han simulado 100 paquetes con un PSDU de 1000 bytes. Se ha impuesto que el nivel de señal que le llega a la antena es de -82 dBm, correspondiente a una tasa de bits de 6 Mbps (ver Tabla 2.6). Los resultados de la simulación se pueden observar en la Figura 2.20. El PER obtenido es del 0 %, es decir, no se pierde ningún paquete. En la Figura 2.20(a) vemos la señal que le llega a la antena, que es de -82 dBm correspondiente al canal existente en 5180 MHz. En la Figura 2.20(b) se observa la señal a la salida del LNA, que tiene 9 dB más, debido a la ganancia del mismo. En la Figura 2.20(c) se observa la señal del sintetizador, la cual se encuentra a una frecuencia de 5160 MHz (ver Tabla 2.11). Finalmente, en la Figura 2.20(d), se observa la señal en fase (I), lista para ser pasada a la parte digital del receptor. Esta señal posee una potencia aproximada de -27 dBm, amplificada 55 dB debido a la ganancia del LNA (9 dB), el mezclador (9 dB), el amplificador de FI (40 dB) y las pérdidas filtro de FI (3 dB).

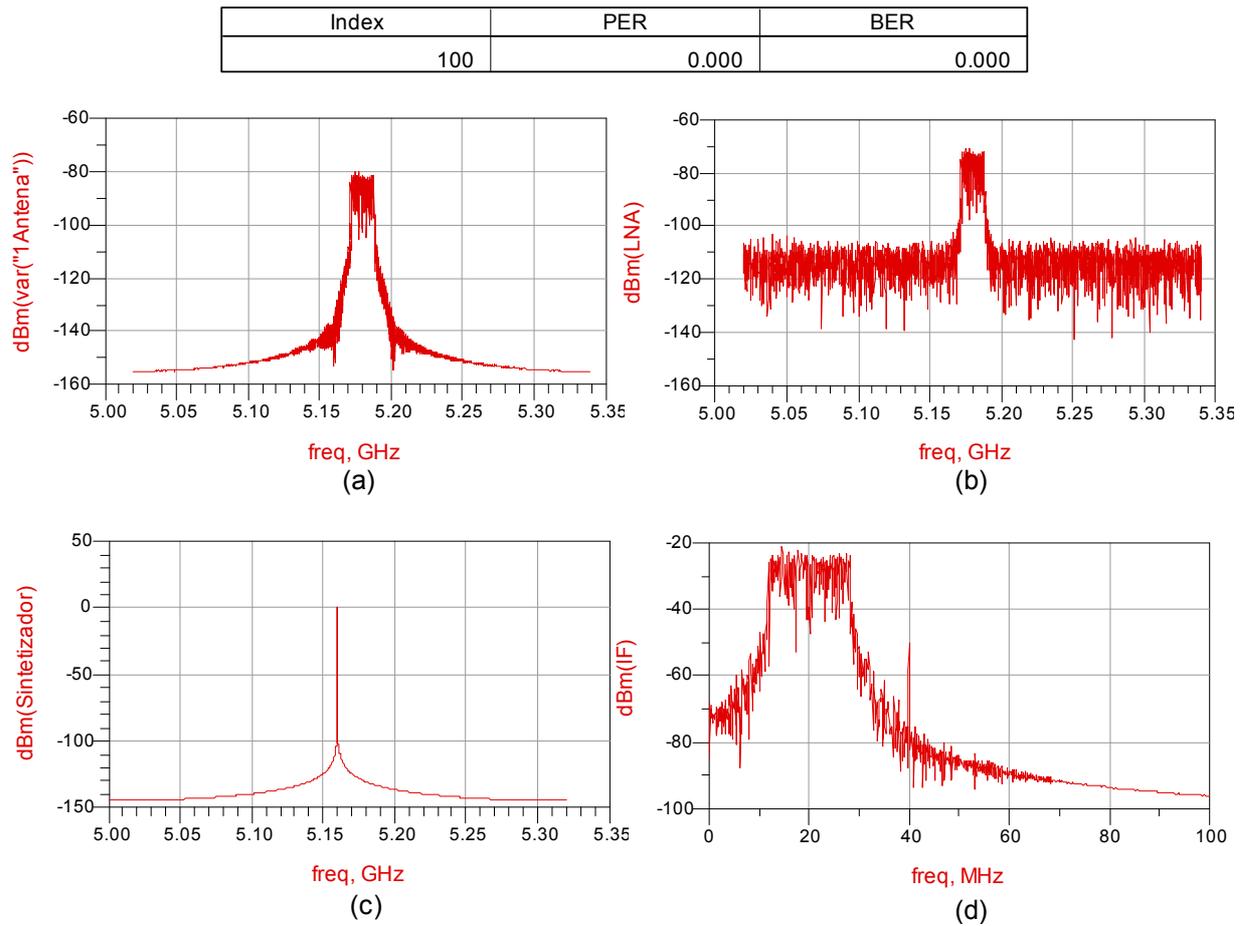


Figura 2.20. Resultados de la simulación para el cálculo de PER con el canal de 5180 MHz.

Se ha realizado la misma simulación con el canal de mayor frecuencia, situado en 5805 MHz. Los resultados de la simulación son los mismos y se pueden observar en la Figura 2.21. En la Figura 2.21(a) podemos ver el espectro de la señal WLAN en el canal de 5805 MHz mientras que en la Figura 2.21(c) vemos la frecuencia del oscilador local, que ahora es de 5785 MHz.

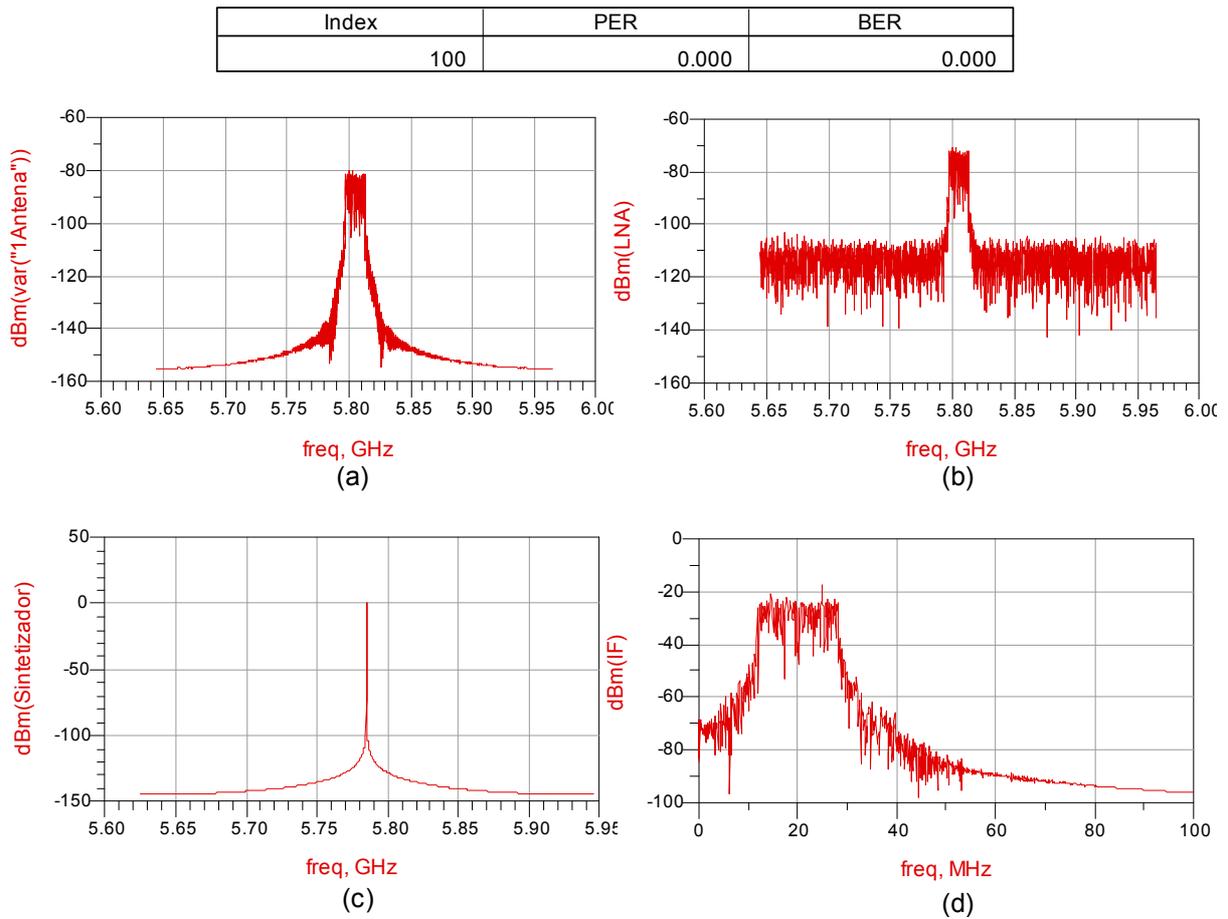


Figura 2.21. Resultados de la simulación para el cálculo de PER con el canal de 5805 MHz.

2.4.2.2. Simulación del máximo nivel de la señal a la entrada del receptor

Para comprobar si el receptor cumple los requisitos del estándar respecto al máximo nivel de la señal a la entrada al mismo se ha realizado la simulación utilizando el mismo esquema de la Figura 2.19. En este caso, y para una PSDU de 1000 bytes, se excita la entrada de la antena con una señal de la antena de -30 dBm y se comprueba que el PER obtenido es menor al 10%. La Figura 2.22 muestra los resultados de la simulación, constatándose que el PER es del 0 %, es decir, no se pierde ningún paquete.

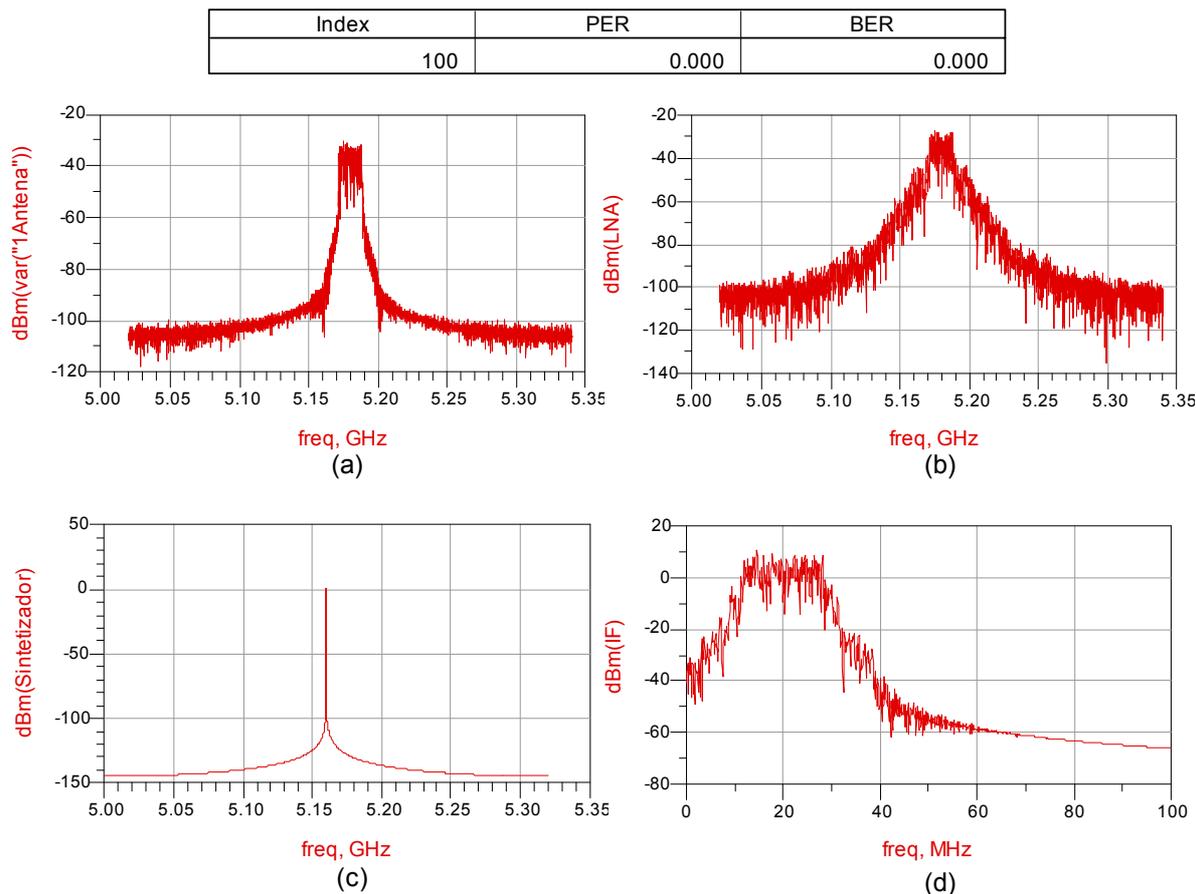


Figura 2.22. Resultados de la simulación para el cálculo de PER con el canal de 5805 MHz con una señal de -30 dBm a la entrada del receptor.

2.4.2.3. Simulación del ACR

Para ver si el sistema cumple los requisitos correspondientes al ACR se ha utilizado el esquema de la Figura 2.23. Dicho esquema es similar al de la Figura 2.19 salvo que hay un generador de señal WLAN adicional para generar el canal adyacente el cual se superpone al deseado. Según el estándar, el canal adyacente debe tener más potencia que la del canal deseado, siendo dicho valor el especificado en la tercera columna de la Tabla 2.6. El valor de potencia del canal deseado debe ser 3 dB mayor que el valor de la sensibilidad especificado en la misma tabla. Con estos valores se calcula el PER a la salida (para una PSDU de 1000 bytes) y se debe comprobar que es inferior al 10 %.

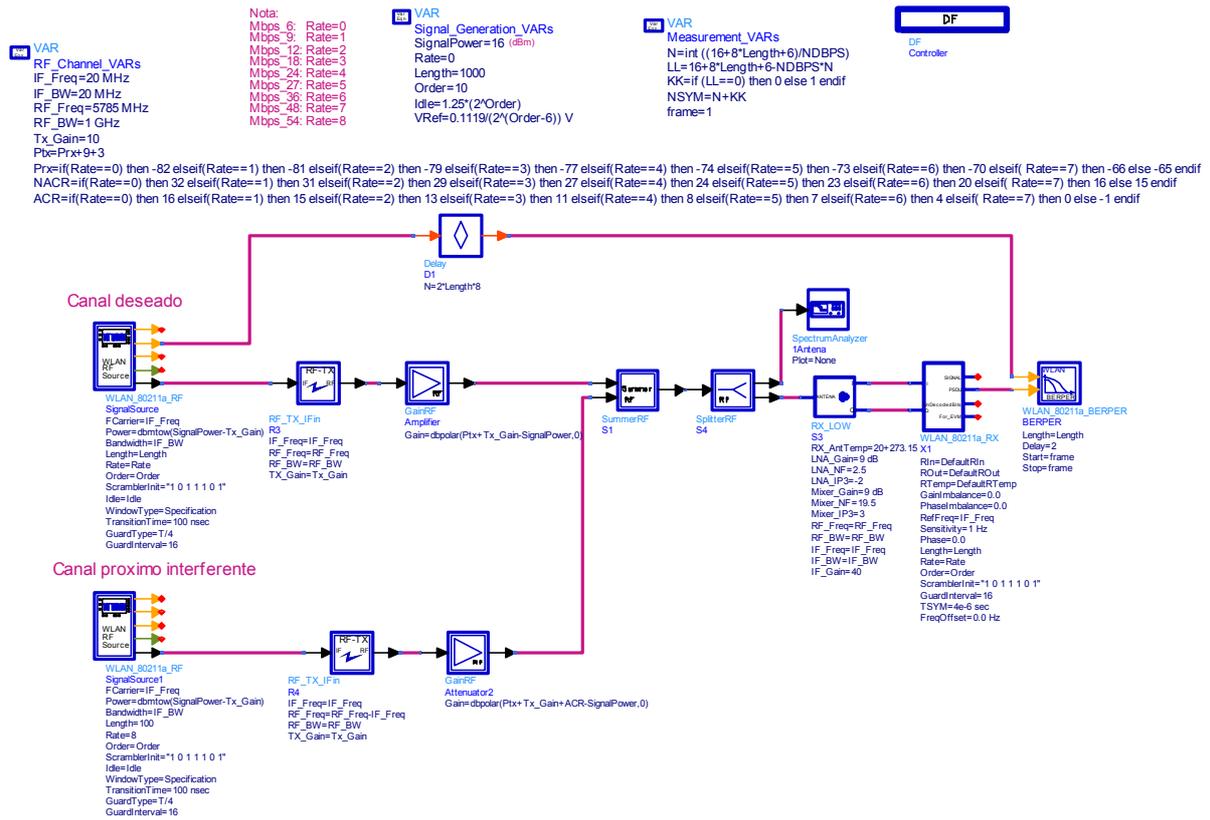


Figura 2.23. Esquema de simulación para el para el cálculo de ACR y NACR.

Para la simulación se ha fijado el canal deseado de 5785 MHz con una potencia de -79 dBm, correspondiente a una tasa de bits de 6 Mbps. El canal contiguo es de 5805 MHz con una potencia 16 dB mayor que la del deseado. El resultado de la simulación para 100 paquetes se puede observar en la Figura 2.24.

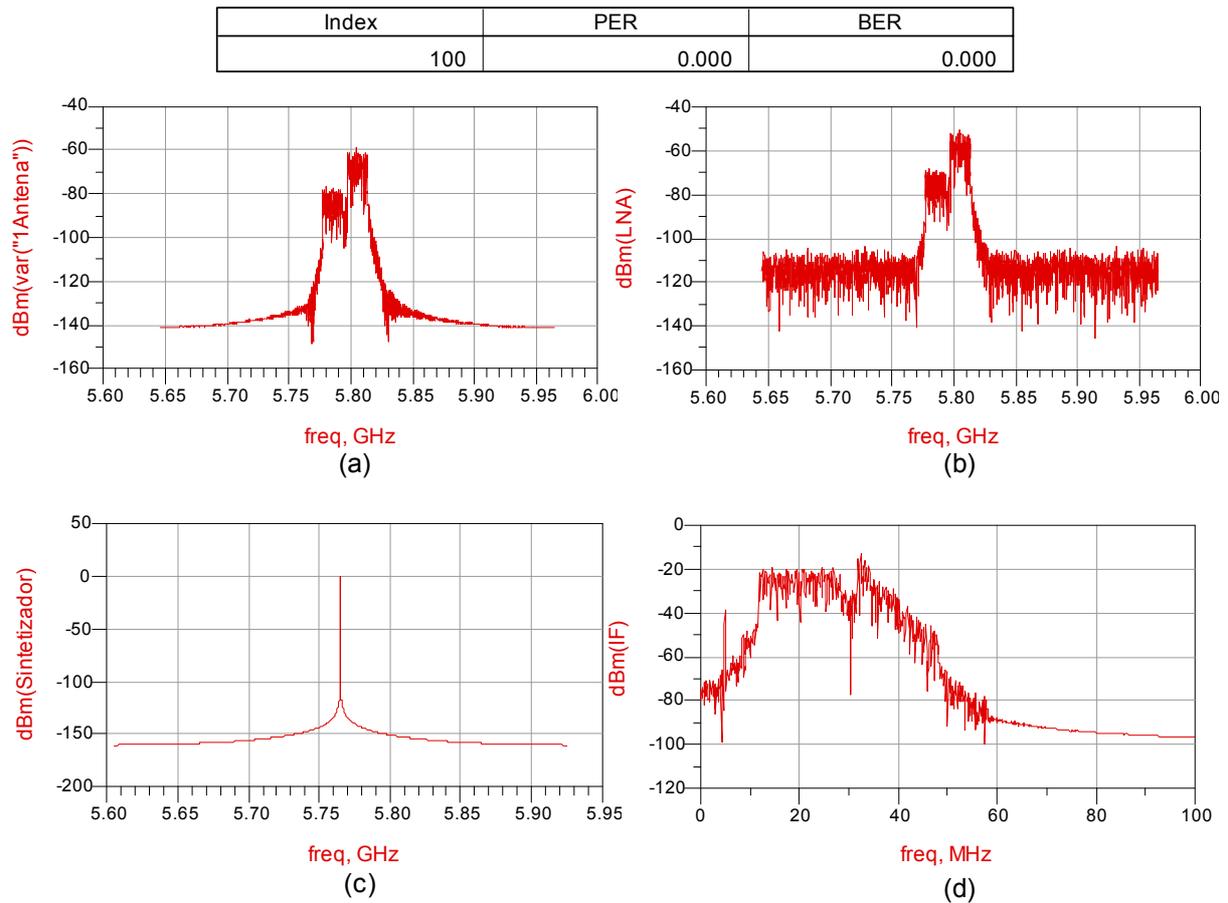


Figura 2.24. Resultados de la simulación para el cálculo de ACR para una tasa de bits de 6 Mbps, canal deseado de 5785 MHz y canal adyacente de 5805 MHz.

En la Figura 2.24(a) se muestran los dos canales a la entrada de la antena. La Figura 2.24(b) muestra los 2 canales a la salida del LNA, la Figura 2.24(c) muestra la salida del sintetizador y la Figura 2.24(d) muestra el espectro de la señal I. El PER obtenido es del 0 %, cumpliendo las especificaciones del estándar.

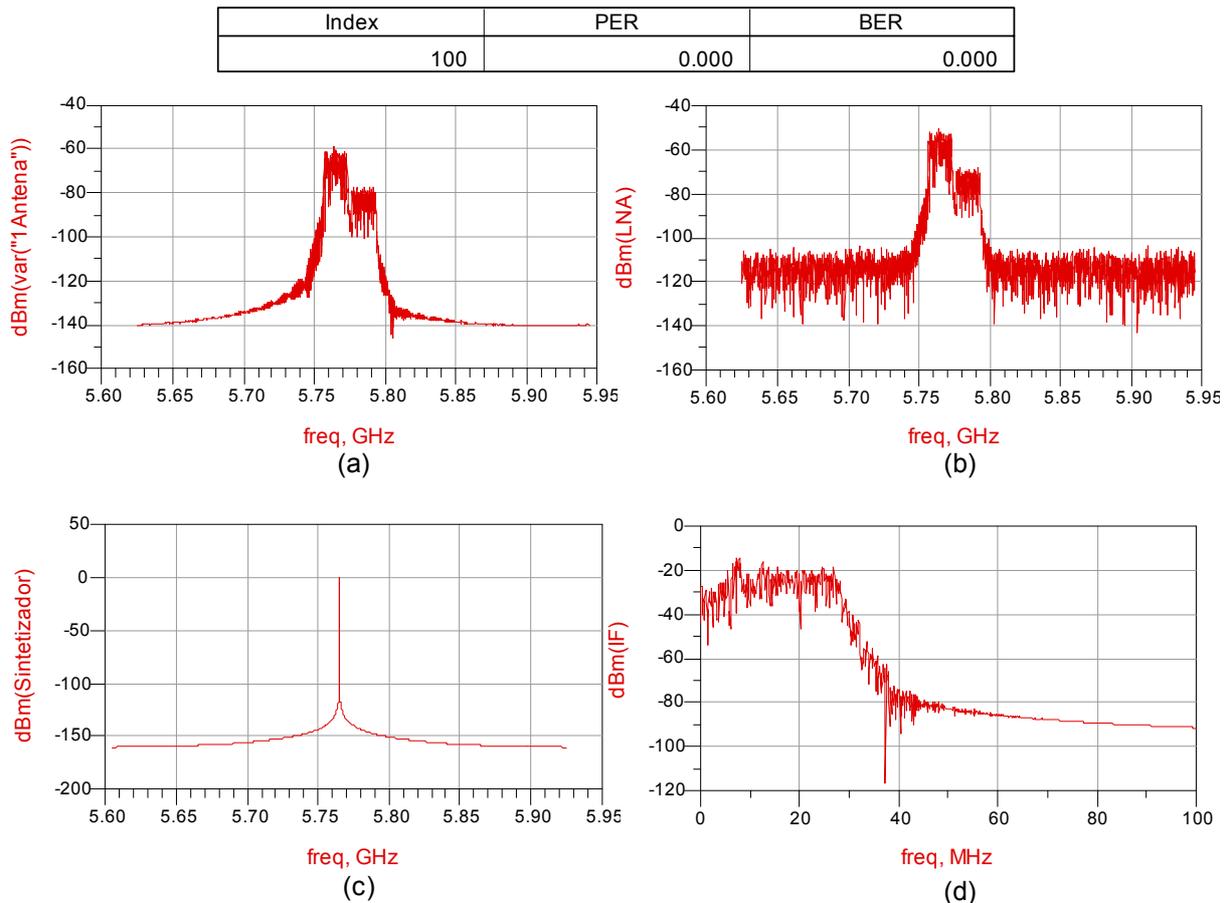


Figura 2.25. Resultados de la simulación para el cálculo de ACR para una tasa de bits de 6 Mbps, canal deseado 5785 MHz y canal adyacente de 5745 MHz.

Se ha realizado la misma simulación anterior pero utilizando como canal contiguo el situado en 5765 MHz en vez del de 5805 MHz. Los resultados son similares a los de la anterior simulación y se pueden observar en la Figura 2.25.

2.4.2.4. Simulación del NACR

Para el caso del NACR se ha utilizado el mismo esquema de simulación que para el ACR, el de la Figura 2.23, por ser mismo proceso. En este caso el nivel del canal no adyacente debe de ser el especificado en la última columna de la Tabla 2.6.

Para la simulación se ha seleccionado el canal deseado de 5785 MHz con una potencia de -79 dBm, correspondiente a una tasa de bits de 6 Mbps y el canal no adyacente de 5745 MHz con una potencia 32 dB mayor que la del deseado. El resultado de la simulación para 100 paquetes se puede observar en la Figura 2.26, donde en la gráfica de la Figura 2.26(a) se observa los dos canales a la entrada de la antena. La Figura 2.26(b) muestra los 2 canales a la salida del

LNA, la Figura 2.26(c) muestra la salida del sintetizador y la Figura 2.26(d) muestra el espectro de la señal I. El PER obtenido es del 0 %, cumpliendo las especificaciones del estándar.

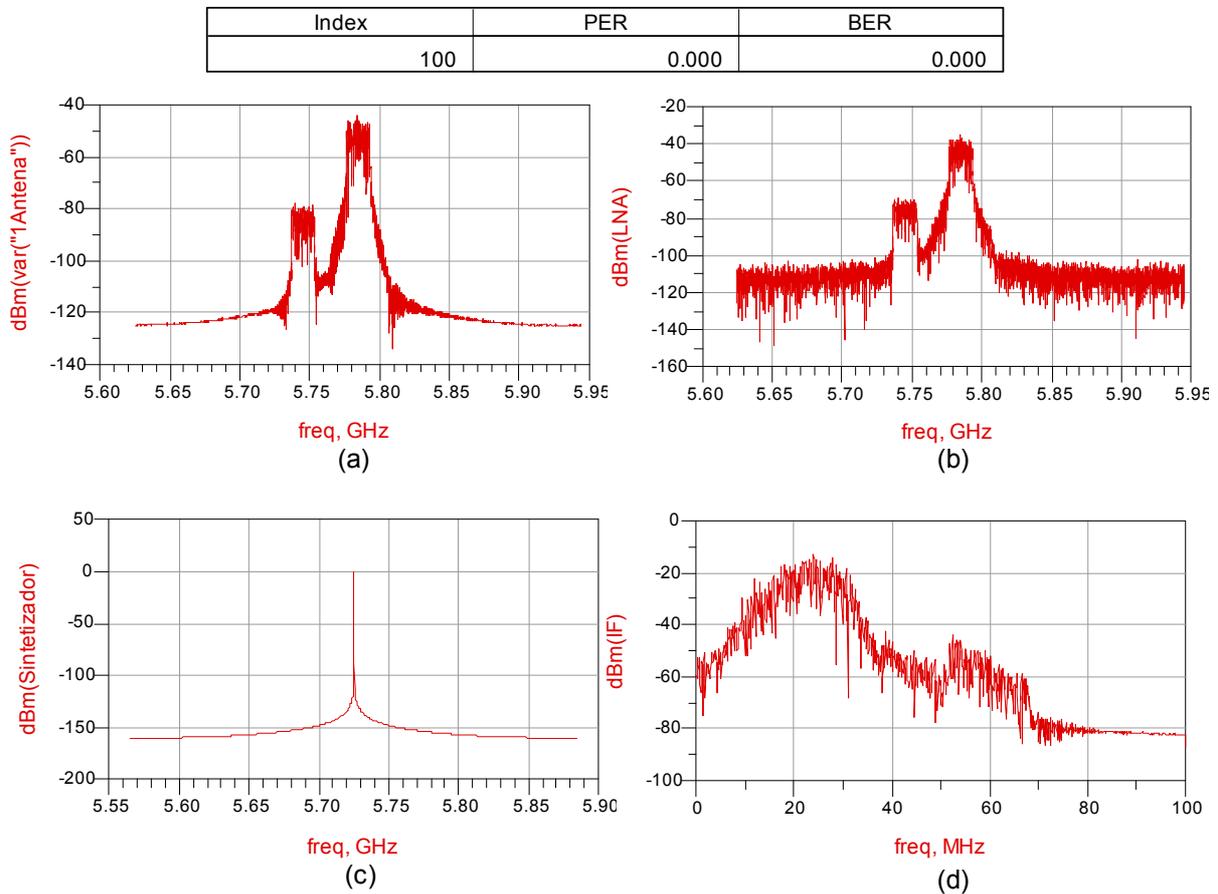


Figura 2.26. Resultados de la simulación para el cálculo de NACR para una tasa de bits de 6 Mbps, canal deseado 5785 MHz y canal adyacente de 5745 MHz.

2.5. Conclusiones

En este capítulo se ha comprobado, mediante simulaciones ADS del sistema que es posible realizar un receptor que cumple las especificaciones del estándar utilizando los elementos descritos en el apartado 2.4, con las prestaciones para cada elemento definidas en el apartado 2.4.

En la Tabla 2.15 se muestra un resumen de las especificaciones del receptor.

Tabla 2.15. Resumen de las especificaciones del receptor

Banda de frecuencias	5170 MHz - 5815 MHz
Frecuencia central de cada canal	$f_c=5000 \text{ MHz}+5\text{MHz}\times n_{\text{CH}}$ con $n_{\text{CH}}=36,40,44,48,52,56,60,64,149,153,157$ y 161 .
Separación entre canales	20 MHz
Ancho de Banda del Canal	20 MHz
Ganancia	58 dB
Sensibilidad	-82 dBm
Máxima señal	-30 dBm
NF	10 dB (típico)
IIP3	>-20.4 dBm
Ruido de Fase del Sintetizador	-80 dBc/Hz para $\Delta 100 \text{ kHz}$

El esquema de bloques que se ha propuesto para el receptor se muestra en la Figura 2.27. En dicha figura se observan las especificaciones de cada bloque, las cuales se han obtenido utilizando los datos de la Tabla 2.15, la experiencia en el diseño de RF ICs y la fórmula de Friis. El peso de las especificaciones se encuentra en los circuitos de banda base debido a que es más sencillo su diseño que la parte de RF (menor frecuencia y ancho de banda).

Es sabido que las prestaciones de los elementos que conforman el receptor se pueden relajar a costa de las prestaciones de otros bloques básicos.

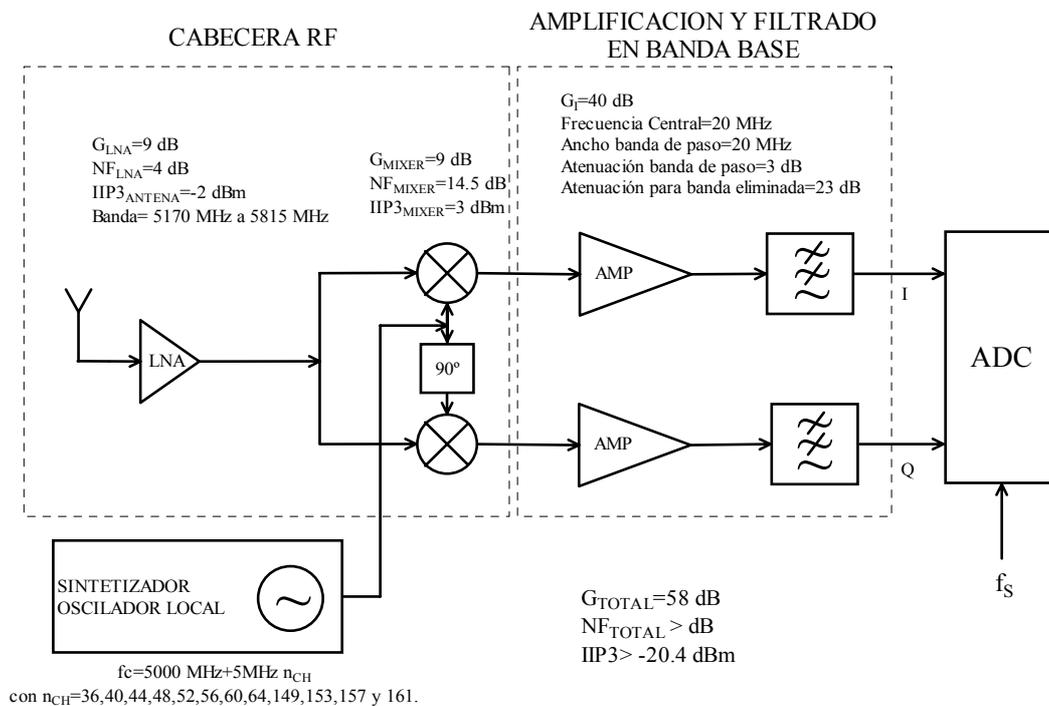


Figura 2.27. Esquema de bloques propuesto.

Toda vez que las especificaciones para cada elemento son válidas, los capítulos del 4 al 8 se dedican a dar cuenta de propuestas de diseño que deberán cumplir los requisitos de cada uno de ellos.

Capítulo 3

Estudio de la tecnología

Antes de comenzar el diseño de los distintos bloques se debe analizar en detalle la tecnología que se va a utilizar. Por esta razón se ha redactado este capítulo, con el que se pretende dar una visión general de la tecnología S35D4 de la fundidora AMS. Esta tecnología posee cuatro niveles de metal, siendo el último nivel de mayor espesor con objeto de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, se ofrecen transistores bipolares y MOSFET, siendo la longitud de puerta mínima de $0,35\ \mu\text{m}$. Además, la tecnología ofrece librerías de componentes pasivos.

La estructura del presente capítulo es la siguiente: se describen, en primer lugar, las resistencias proporcionadas por la tecnología, después se tratan los condensadores, los varactores, los transistores MOSFET, y en último lugar se describen los transistores bipolares de heterounión (HBT) de SiGe [AMS05].

3.1. Resistencias

Primero se realizará una presentación general de las resistencias integradas, para seguir con la descripción de las resistencias aportadas por la tecnología.

3.1.1. Resistencias integradas

El valor óhmico de una resistencia integrada depende, principalmente, del valor de la resistividad del material que la constituye y de las dimensiones del material [PRA99]. En la Figura 3.1 se muestra una resistencia integrada y los parámetros de que depende su valor óhmico.

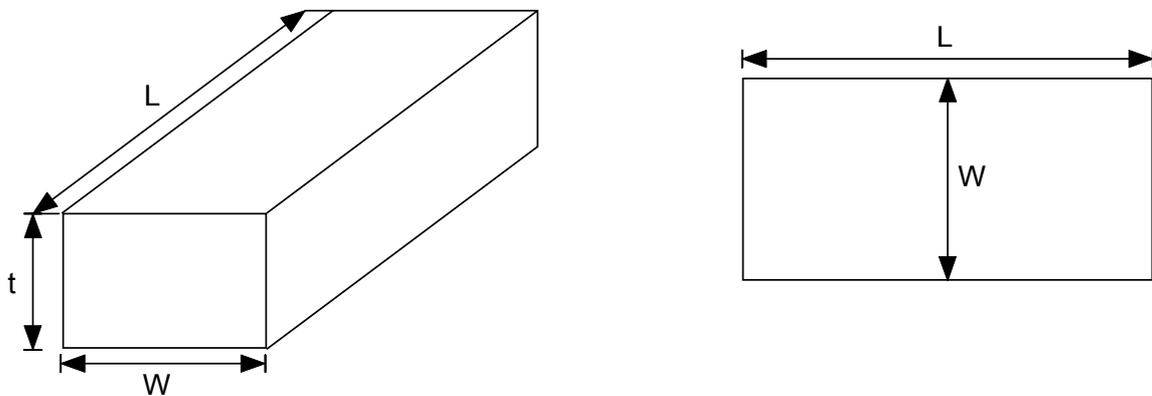


Figura 3.1. Parámetros de una resistencia.

Partiendo de la Figura 3.1, el valor de la resistencia se obtiene a partir de la ecuación (3.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (3.1)$$

donde ρ es la resistividad del material, t su espesor, L la longitud de la estructura y W su anchura.

En procesos de semiconductores, el espesor de las capas de material resistivo es aproximadamente constante, por lo que el valor de la resistencia suele determinarse a partir de la ecuación (3.2).

$$R = R_{\text{square}} \cdot \frac{W}{L} \quad (3.2)$$

En la ecuación (3.2), R_{square} representa al cociente entre la resistividad y el espesor de la resistencia y se denomina resistencia por cuadro.

3.1.2. Resistencias en la tecnología S35D4 de AMS

La tecnología S35D4 de AMS presenta dos tipos de resistencias, RPOLY2 y RPOLYH, que se utilizan dependiendo del valor resistivo que sea necesario integrar. En la Tabla 3.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

Tabla 3.1. Parámetros de RPOLY2 y RPOLYH

	Parámetro	Mínimo	Típico	Máximo	Unidad
RPOLY2	Resistencia	40	50	60	Ω/\square
	Coef. temperatura	-	0.6	-	$10^{-3}/K$
	Resist. Contacto	-	20	40	Ω/cnt
	Dens. Corriente	-	-	0.3	$\text{mA}/\mu\text{m}$
RPOLYH	Resistencia	0.9	1.2	1.5	$\text{k}\Omega/\square$
	Coef. temperatura	-	-1.2	-	$10^{-3}/K$
	Resist. Contacto	-	60	200	Ω/cnt
	Den. Corriente	-	-	0.3	$\text{mA}/\mu\text{m}$

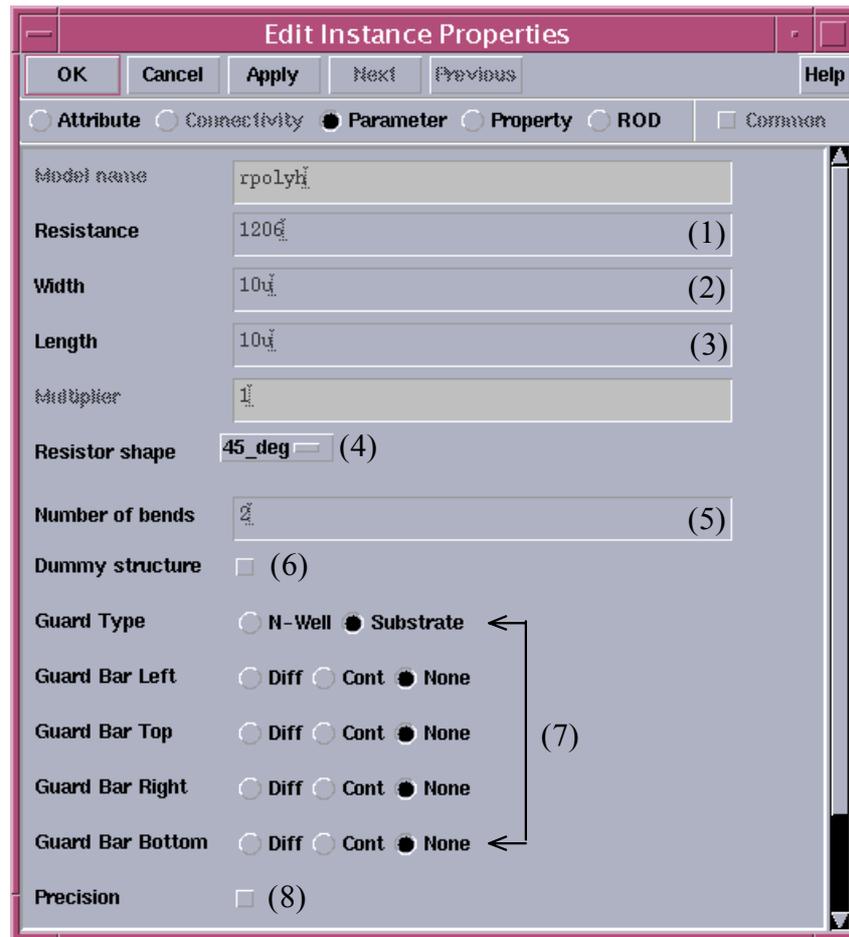


Figura 3.2. Parámetros en las resistencias.

En la Figura 3.2 se muestra el cuadro de diálogo utilizado para ajustar los parámetros de las resistencias. Los distintos parámetros indicados en la misma tienen el siguiente significado:

- (1) Valor de la resistencia: ajustando el valor en ohmios de la resistencia el software calcula dimensiones de la estructura.
- (2) Ancho de la resistencia: variando el ancho el software determina la longitud para mantener el valor de resistencia establecido.
- (3) Longitud de la resistencia: funciona exactamente igual que el ancho de la resistencia.
- (4) Angulo de giro.
- (5) Número de codos: empleado para reducir el tamaño de la resistencia.
- (6) Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.
- (7) Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.

- (8) Resistencia de precisión: mediante esta opción se seleccionan más resistencias preparadas para realizar divisores de tensión precisos.

En la Figura 3.3 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el *kit* de diseño de la tecnología. Esta resistencia posee 4 segmentos o dedos así como las estructuras *dummies*.

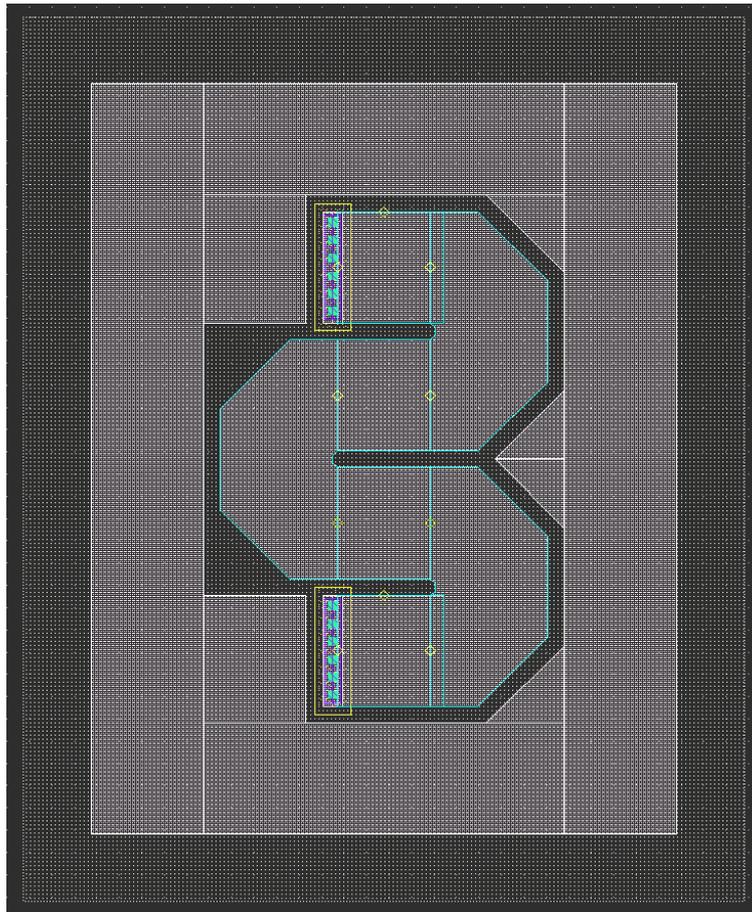


Figura 3.3. Resistencia con estructura *dummies*.

3.2. Condensadores

Igual que en el caso anterior, se realizará un breve estudio de la estructura de los condensadores, para seguir con la descripción de los proporcionados por la tecnología.

3.2.1. Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando 2 capas de metal separadas por una capa de material aislante [PRA99]. En la Figura 3.4 se muestra un esquema donde queda reflejado esto.

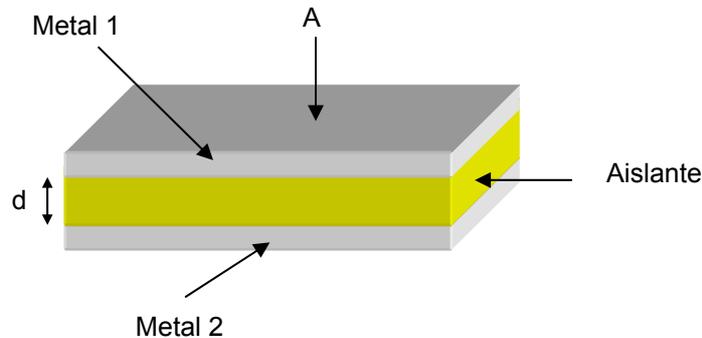


Figura 3.4. Corte de un condensador.

La capacidad del condensador se puede calcular mediante la expresión de la estructura de placas plano-paralelas de la ecuación (3.3).

$$C = \frac{\epsilon' \cdot \epsilon_0 \cdot A}{d} \quad (3.3)$$

donde ϵ' es la permitividad relativa del material, ϵ_0 representa la constante dieléctrica del vacío, A es el área de las placas y d su separación

3.2.2. Condensadores en la tecnología S35D4 de AMS

La tecnología dispone de dos tipos de condensadores, el denominado CPOLY que está constituido por dos capas de polisilicio y concebido para capacidades de pequeño tamaño, y CMIN de dos capas de metal que se ofrece para la implementación de capacidades grandes.

En la Figura 3.5 se muestra el cuadro de diálogo para la simulación de capacitares. En él se pueden ajustar los diversos parámetros de los condensadores.

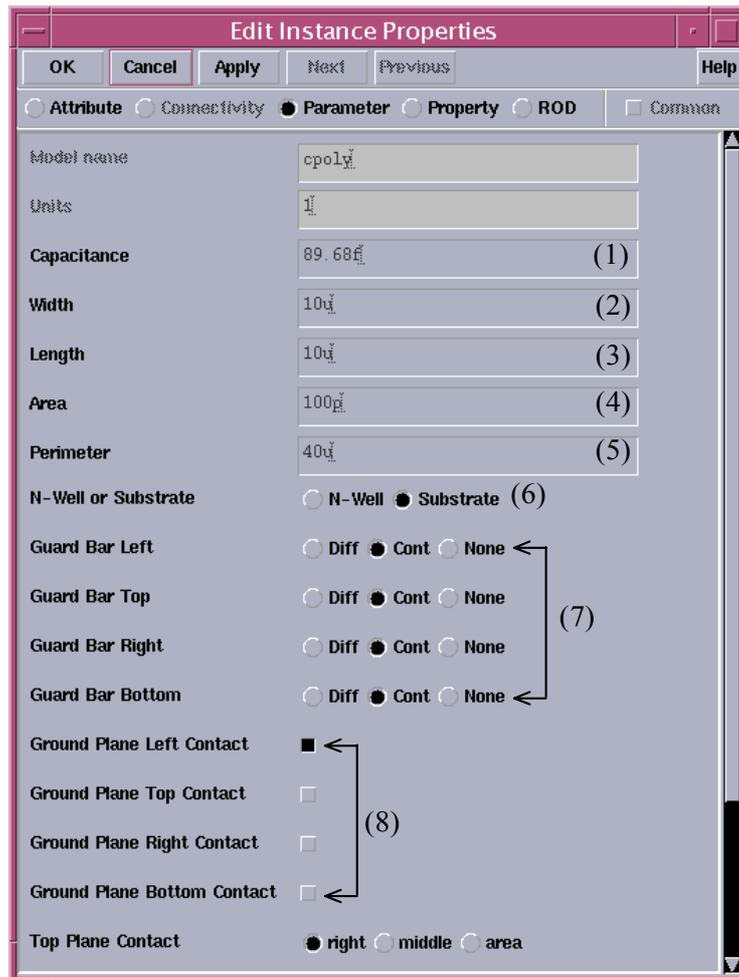


Figura 3.5. Parámetros ajustables en los condensadores.

En la Figura 3.5 se destacan los siguientes campos:

- (1) Valor de la capacidad.
- (2) Ancho del condensador.
- (3) Longitud del condensador.
- (4) Área total del condensador.
- (5) Perímetro del condensador.
- (6) Conexión al sustrato o a un pozo tipo N.
- (7) Colocación de anillos de guarda mediante contactos o difusiones.
- (8) Colocación de los contactos de la capa superior e inferior.

La Figura 3.6 muestra un ejemplo de un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa metálica inferior se encuentra a la izquierda y la de la capa superior a la derecha.

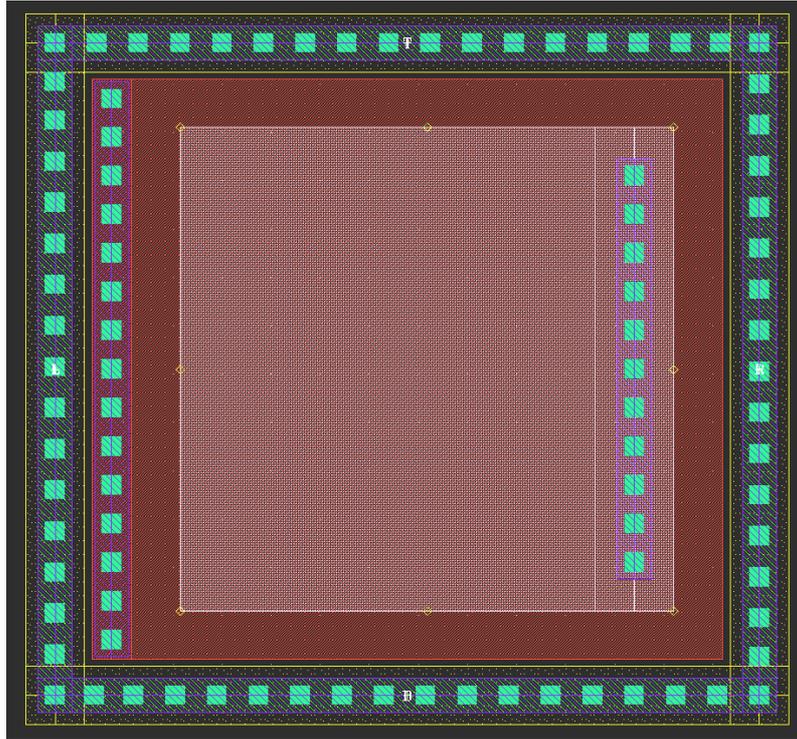


Figura 3.6. *Layout de un condensador.*

3.3. Varactores

Se indican ahora algunas consideraciones de carácter fundamental sobre el funcionamiento de los varactores para después describir los varactores proporcionados por la tecnología.

3.3.1. Fundamentos

Los varactores son condensadores cuya capacidad se puede modificar mediante la aplicación de una tensión de polarización determinada. Sus parámetros de diseño son el factor de calidad, el rango de sintonización, la capacidad máxima y el área efectiva de silicio en lo que sigue se describe cada uno de ellos [AGU99].

El factor de calidad (Q) mide el rendimiento del varactor. Se define como la relación entre la energía almacenada y la cedida. La expresión más usada para su estimación es el cociente entre el valor absoluto de la parte imaginaria y la parte real del parámetro de reflexión Y_{11} , donde Y_{11} se obtiene a partir de los parámetros S del elemento pasivo, en este caso un varactor. La parte imaginaria del parámetro de reflexión representa la energía almacenada en el elemento pasivo, mientras que la parte real es la energía disipada.

$$Q = \frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (3.4)$$

El rango de sintonización (TR) se puede considerar el parámetro más importante en cuanto a la funcionalidad del varactor y representa la facilidad del varactor para variar su capacidad en el rango de tensiones considerado. Se puede obtener a partir de la ecuación (3.5).

$$\text{TR} = \frac{C_{\text{MAX}} - C_{\text{MIN}}}{C_{\text{MAX}} + C_{\text{MIN}}} \cdot 100 (\%) \quad (3.5)$$

siendo CMAX y CMIN las capacidades máxima y mínima alcanzadas por el varactor.

El área efectiva de silicio es un parámetro que expresa la capacidad por área ($\text{fF}/\mu\text{m}^2$) de dispositivo, e interesa que sea lo más elevado posible ya que supone una reducción de coste considerable al conseguir la capacidad deseada en menos área de Si.

Actualmente los varactores integrados se engloban en dos grandes grupos: los varactores de unión PN y los varactores MOS. LA tecnología ofrece en sus librerías varactores MOS, por esa razón los siguientes párrafos se dedican fundamentalmente a ellos.

En comparación a los varactores de unión PN, los MOS presentan mayores valores de capacidad por unidad de área y de rango de sintonización. Sin embargo, la sintonización es más abrupta, lo cual puede ser perjudicial para algunas aplicaciones como los osciladores controlados por tensión (VCOs). Los dos tipos más importantes de varactores MOS son los NMOS y PMOS.

Los varactores NMOS son dispositivos de tres terminales: puerta, fuente/drenador y bulk (ver Figura 3.7). Su funcionamiento está asociado en la variación de capacidad entre la puerta y el pozo N, al variar la tensión entre la puerta y el terminal de fuente/drenador (el bulk está conectado a tierra). Realmente se considera un dispositivo de dos terminales.

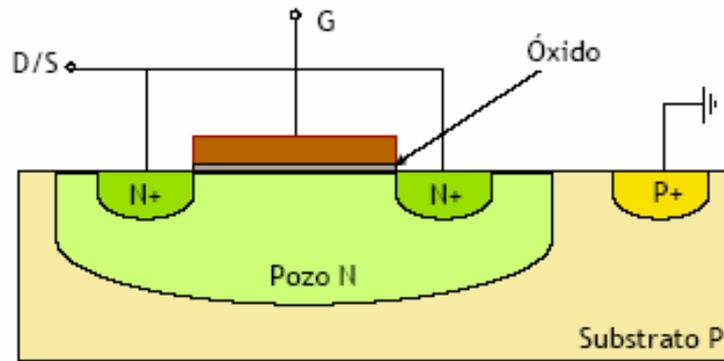


Figura 3.7. Sección de un varactor NMOS.

El *layout* es determinante para lograr mejoras del factor de calidad. Así es recomendable que se utilice la mínima longitud de canal permitida por la tecnología y que la anchura del canal sea acorde al área del varactor requerida (normalmente la menor posible).

La disminución del tamaño proporciona un factor de calidad más elevado. Sin embargo, el rango de sintonización sufre un ligero descenso, aunque manteniéndose en buenos intervalos.

Los varactores PMOS tienen una estructura similar a la de los NMOS. En este caso se cortocircuitan los terminales la fuente, el drenador y el bulk. La puerta y los contactos fuente/drenador/bulk son los dos electrodos del dispositivo, cuya capacidad variable es controlada por la tensión entre ellos. Generalmente estos varactores no se suelen utilizar en tecnologías SiGe y CMOS pues presentan bajos factores de calidad debido que los portadores mayoritarios son los huecos cuya movilidad es 2.8 veces menor que la de los electrones. Precisamente esta es la razón por la que sus homólogos NMOS ofrecen mejores prestaciones, con pérdidas menores y factores de calidad mayores. Respecto al factor de calidad, se comprueba que la menor resistencia del dispositivo se obtiene cuando éste trabaja en modo acumulación, siendo por tanto, la región más utilizada.

3.3.2. Varactores proporcionados por la tecnología

Los varactores proporcionados por la tecnología son NMOS. El nombre del componente en la librería es CVAR.

En la Figura 3.8 se muestra el cuadro de diálogo utilizado para ajustar los diversos parámetros de los varactores, seguida de una breve descripción de algunos campos.

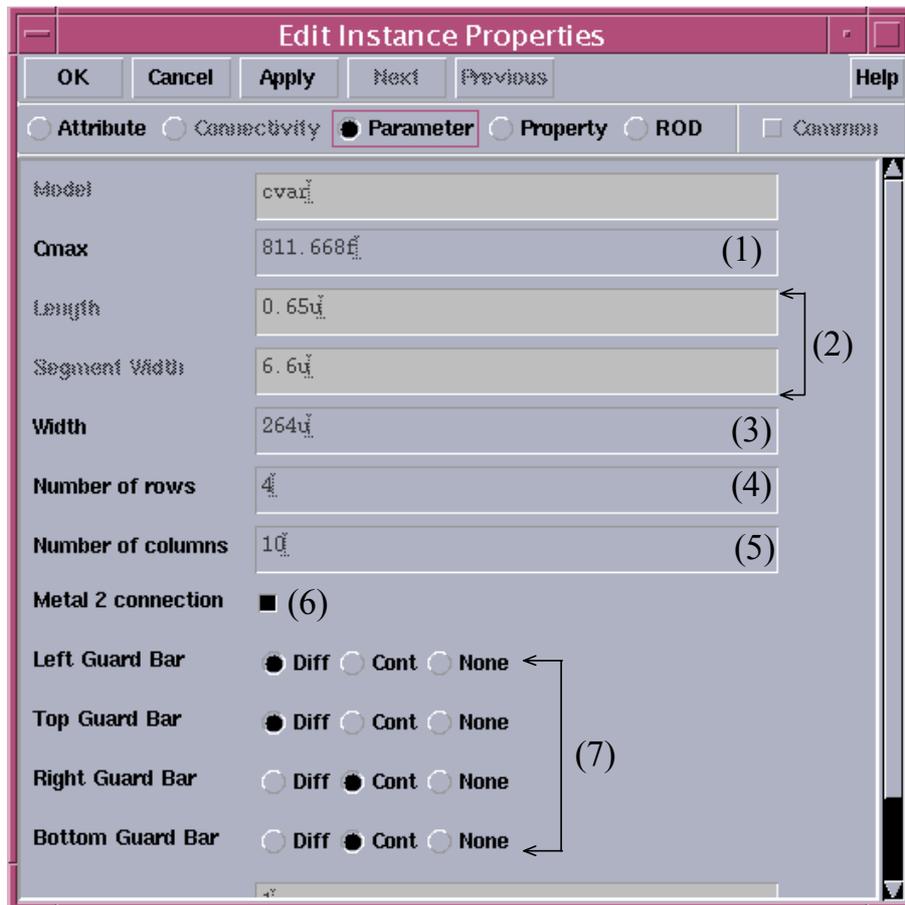


Figura 3.8. Parámetros ajustables en los varactores

- (1) Valor de la capacidad máxima del varactor.
- (2) L y W del transistor MOSFET tipo N utilizado para realizar el varactor.
- (3) Anchura total del varactor.
- (4) Número de columnas de transistores.
- (5) Número de filas de transistores.
- (6) Selector de conexión de salida en metal 2.
- (7) Colocación de anillos de guarda mediante contactos o difusiones.

En la Figura 3.9 se muestra un ejemplo de un varactor creado mediante la celda parametrizada proporcionada por la tecnología. Posee 4 columnas por 10 filas de transistores MOSFET tipo N, alcanzando una capacidad máxima de 812 fF. Puede observarse como este varactor posee anillos de guarda externos formados por contactos al sustrato y difusiones. La conexión de salida está realizada en metal 2.

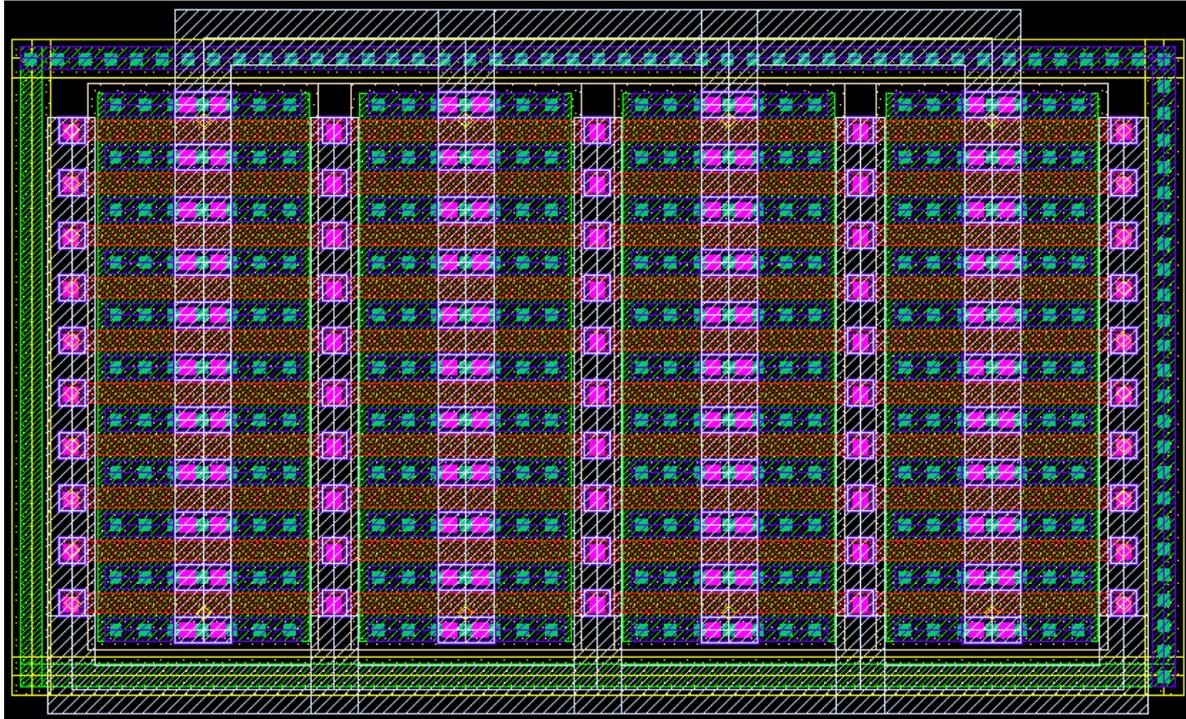


Figura 3.9. *Layout de un varactor.*

3.4. Bobinas

En la línea de los apartados anteriores se expondrá, en primer lugar, un breve estudio sobre la construcción de las bobinas. Se seguirá con el análisis de su funcionamiento, mostrando los campos magnéticos y eléctricos involucrados. El siguiente se describe el modelo equivalente utilizado en las simulaciones. Finalmente, se presentan las bobinas desarrolladas para su utilización en los diferentes circuitos de este trabajo.

3.4.1. Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado [PIN02]. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la Figura 3.10 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

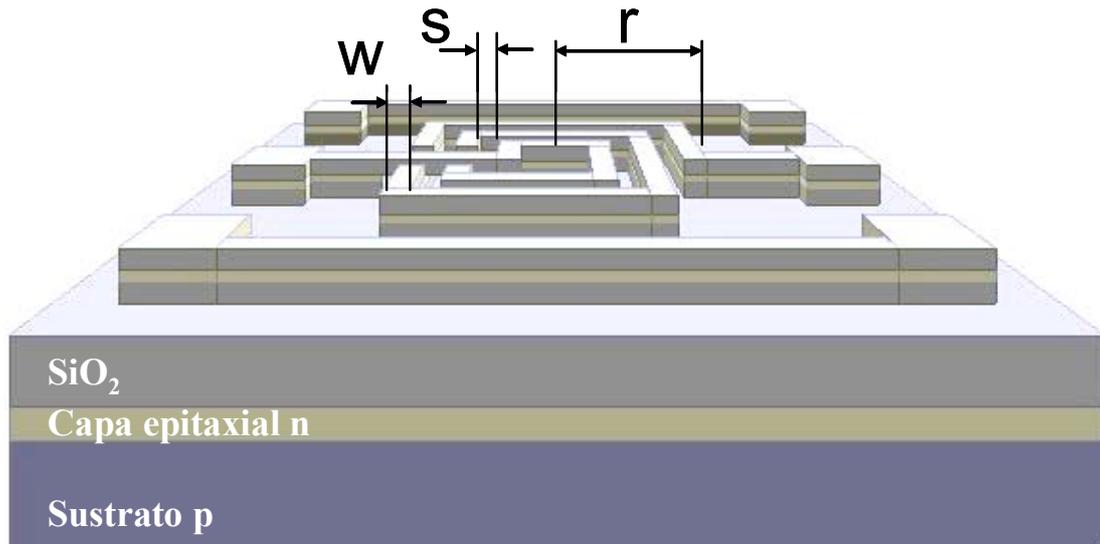


Figura 3.10. *Layout* de una bobina cuadrada simple

3.4.2. Funcionamiento

El inductor se caracteriza su factor de calidad, tal como se observa en la ecuación (3.6).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (3.6)$$

El valor de Q suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) y por las corrientes de torbellino (*eddy currents*) inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la Figura 3.11.

El campo magnético $B(t)$, está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambos medios.

$E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.

$E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico. Algunos autores consideran que esta capacidad lateral entre las vueltas es despreciable, debido a que es la conexión en serie de esas capacidades la que finalmente aparece entre los terminales de la bobina [LEE98].

$E_3(t)$ es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.

$E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

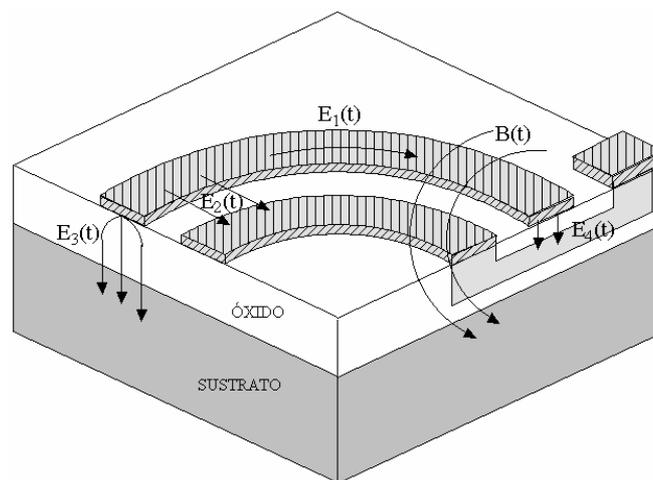


Figura 3.11. Campos eléctricos y magnéticos en un inductor integrado.

3.4.3. Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la Figura 3.12. En serie con la inductancia deseada, L_s , aparece una resistencia, R_s , que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver Figura 3.11). El condensador C_p da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato. En particular, los condensadores C_{OX1} y C_{OX2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{SUB1} y C_{SUB2} dan cuenta de la capacidad del sustrato. Por último R_{SUB1} y R_{SUB2} modelan las pérdidas óhmicas del sustrato.

El circuito equivalente de la Figura 3.12 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de C_{OX1} , C_{SUB1} y R_{SUB1} ligeramente diferentes a los de C_{OX2} , C_{SUB2} y R_{SUB2} .

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente. Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [PIN02].

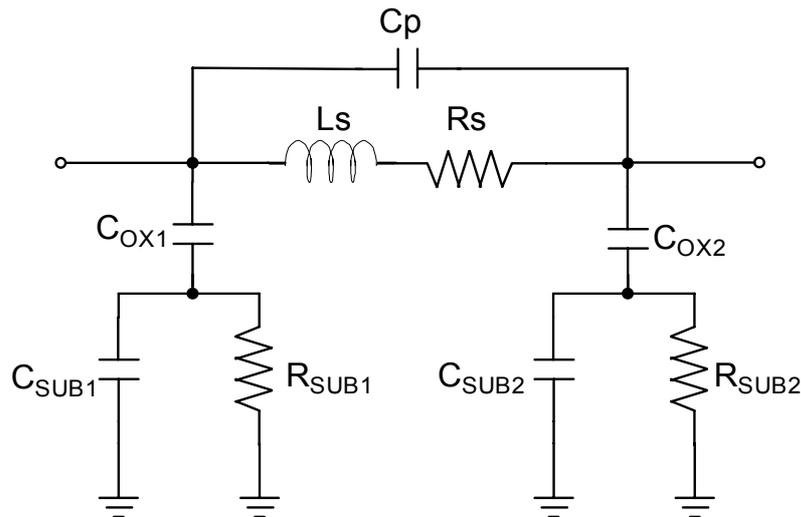


Figura 3.12. Modelo clásico de dos puertos de inductores espirales integrados.

3.4.4. Bobinas en la tecnología S35D4 desarrolladas por el IUMA

La tecnología de AMS ofrece bobinas, aunque en general, sus factores de calidad no son muy altos. Por eso se optó por usar las bobinas desarrolladas por el IUMA consiguiendo factores de hasta 13.5 a una frecuencia central de 5.5 GHz [RUN03].

Todas las bobinas están diseñadas con las pistas en el metal 4 que ofrece la tecnología, que es el metal situado en la parte superior de la estructura de capas. Este metal es más grueso y conductivo que el resto y has sido concebido específicamente para fabricar inductores integrados. Para el *underpass* se ha empleado el metal 3.

Las bobinas tienen ocho lados, que es el valor máximo que admite la tecnología, y una separación entre pistas fija de 2 μm , esto hace que el factor de calidad sea máximo [PIN02].

El dibujo de las bobinas ha sido generado por una herramienta de generación automática de bobinas desarrollada por el IUMA [SEN02] en lenguaje SKILL. Se puede observar una captura del CDF en la Figura 3.13. Los parámetros de la bobina que se pueden seleccionar son: número de vueltas, radio externo, ancho de metal, separación entre pistas, número de metales de la bobina, número de lados (cuadrada, octagonal, etc.), longitud del metal y la posibilidad de crear espiras multinivel.

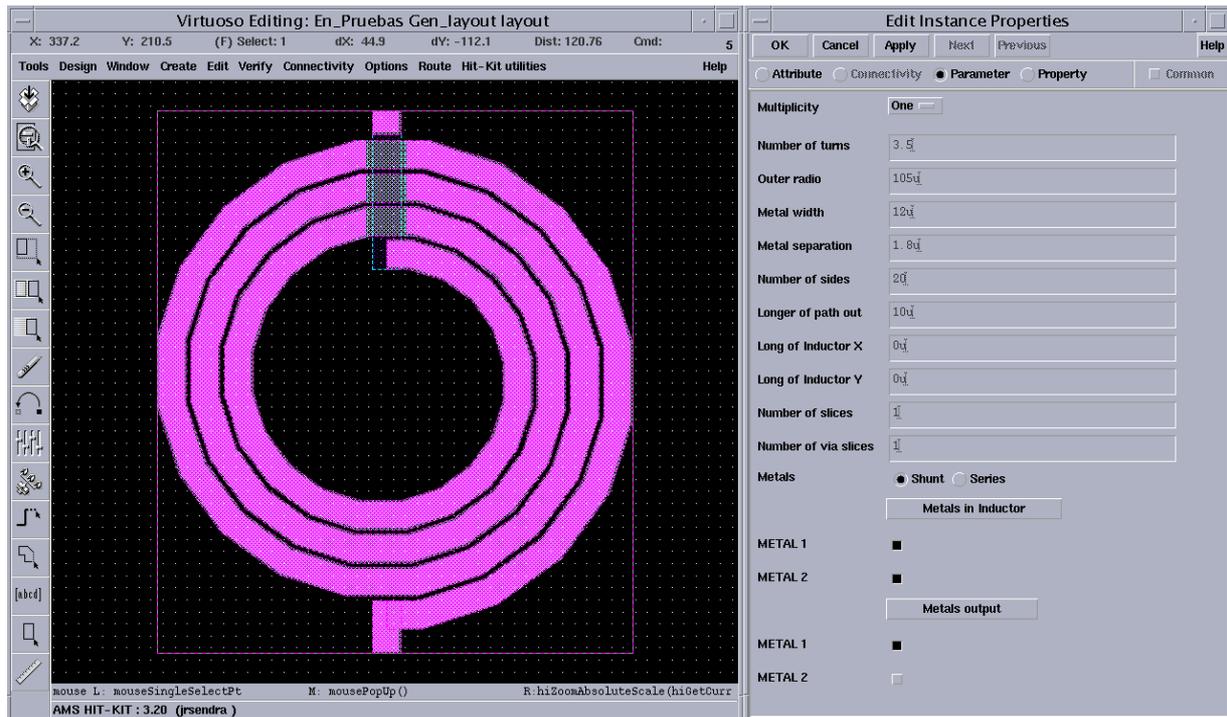


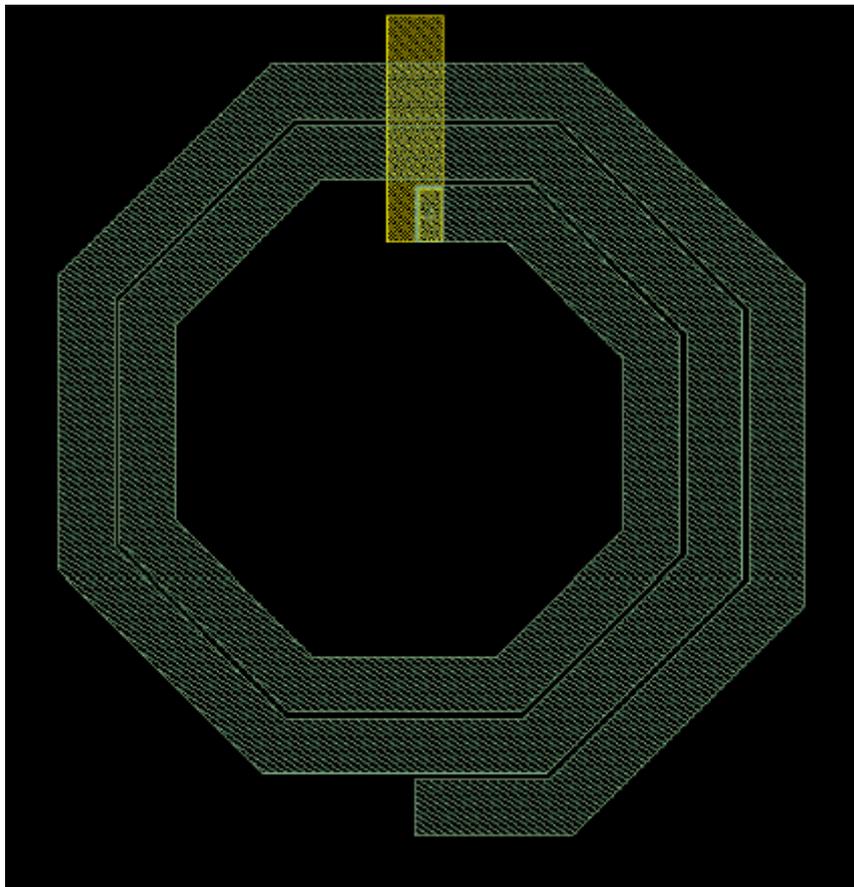
Figura 3.13. Generador automático de *layout* de bobinas.

Las bobinas se han obtenido mediante simulaciones electromagnéticas en 2.5 dimensiones, utilizando el simulador Momentum, de Agilent© [GON05]. Una vez realizada las simulaciones se fabricaron un conjunto de ellas, en concreto las utilizadas en los circuitos diseñados. Posteriormente se midieron y se comprobó que las simulaciones se asemejaban a la medida obteniendo, seguidamente, el circuito equivalente de cada una para ser utilizado en las simulaciones eléctricas. En la Tabla 3.2 se presenta un listado resumen de la bobinas diseñadas por el IUMA.

En la Figura 3.14 se muestra un ejemplo de las bobinas creadas por el IUMA. En este caso se trata de la bobina L3, de 2 nH y con un factor de calidad de 10.5 a 5 GHz.

Tabla 3.2. Parámetros de la librería de bobinas (frecuencia = 5 GHz)

	Número de vueltas	Radio externo (μm)	Ancho de pista (μm)	Inductancia (nH)	Factor de calidad
L1	1.5	100	20	0.6	12
L2	1.5	130	18	1	12.5
L3	2.5	130	18	2	10.5
L4	3.5	90	6	3.5	9
L5	4.5	90	6	4.9	8
L6	3.5	130	10	5.3	6.7
L7	4.5	100	6	6.2	6.9
L8	5.5	100	6	7.6	5
L9	6.5	100	6	9.8	5

Figura 3.14. *Layout* de la bobina L3.

3.5. Transistores MOSFET en la tecnología S35D4 de AMS

En la Tabla 3.3 aparecen los parámetros más importantes de los transistores MOSFET suministrados por AMS dentro del *kit* de diseño.

Tabla 3.3. Parámetros más importantes del MOSFET tipo N.y tipo P

	Parámetro	Mínimo	Típico	Máximo	Unidad
MOSFET tipo N	Tensión Umbral (V_T)	0.36	0.46	0.56	V
	Factor de Ganancia (K_n)	155	175	195	$\mu A/V^2$
	Den. Corriente Saturación	450	540	630	$\mu A/\mu m$
MOSFET tipo P	Tensión Umbral (V_T)	-0.50	-0.60	-0.70	V
	Factor de Ganancia (K_p)	48	58	68	$\mu A/V^2$
	Den. Corriente Saturación	-180	-240	-300	$\mu A/\mu m$

En la Figura 3.15 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor MOSFET.

Los elementos representados en la Figura 3.15 tienen el siguiente significado:

- (1) Ajuste del ancho del transistor.
- (2) Ajuste de la longitud del canal del transistor.
- (3) Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- (4) Selección de un transistor normal o un transistor tipo *Snake* [JAC98].
- (5) Selección del numero de dedos para los transistores tipo *Snake*.
- (6) Colocación de contactos a ambos lados del transistor.
- (7) Unión de las puertas, drenadores y surtidores.
- (8) Creación de anillos de guarda alrededor del transistor.
- (9) Colocación de contactos al sustrato para evitar el efecto *latch-up* en el transistor [JAC98].

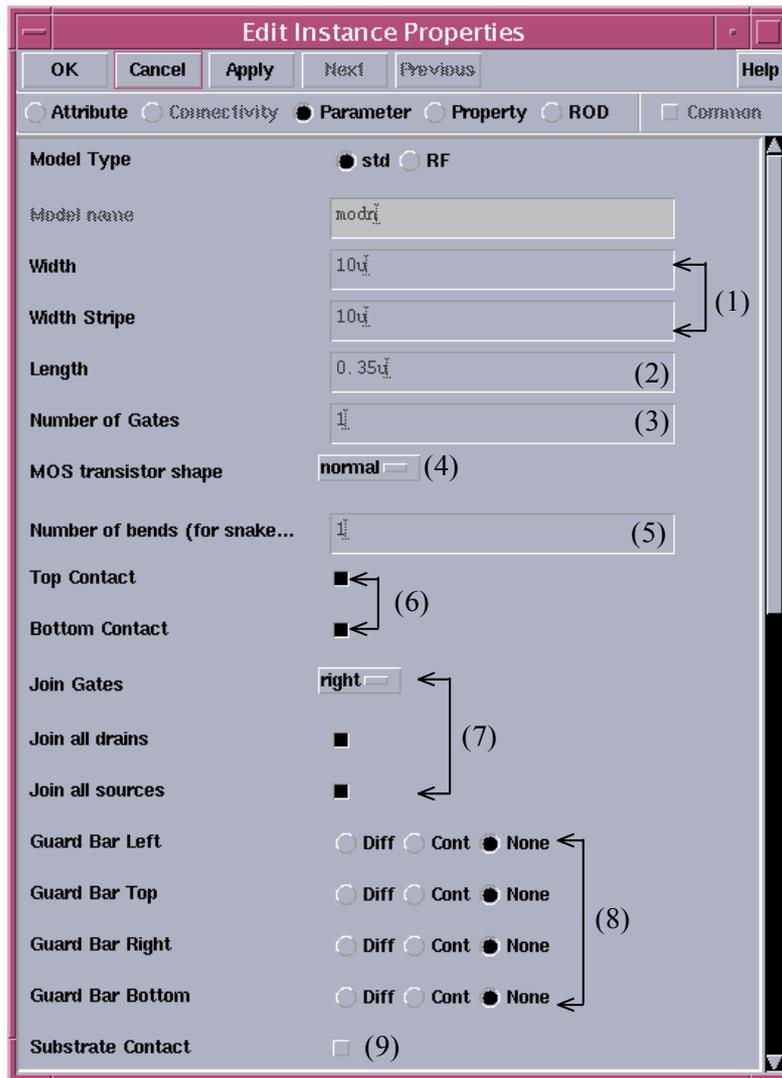


Figura 3.15. Parámetros en los MOSFET.

En la Figura 3.16 se muestra un transistor MOSFET tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el *kit* de la tecnología. En la Figura 3.16 se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

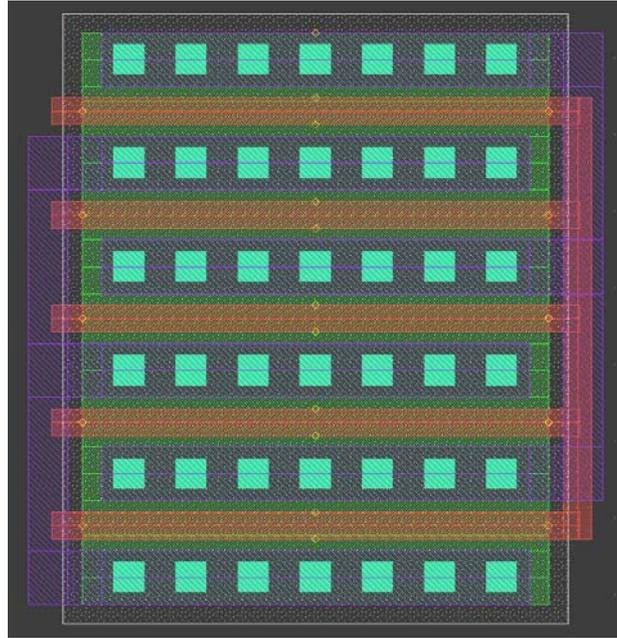


Figura 3.16. Ejemplo de transistor MOSFET.

3.6. HBTs de SiGe

En este apartado se realizará un breve estudio del funcionamiento de los transistores HBT de SiGe, para finalizar con la descripción de los transistores HBT proporcionados por la tecnología.

3.6.1. Estructura y principio de funcionamiento de los HBTs de SiGe

Los HBTs de SiGe son transistores no bipolares en los que la base está formada por una capa muy estrecha ($<50\text{nm}$) de $\text{Si}_{1-x}\text{Ge}_x$ crecida de forma pseudomórfica. La concentración de Ge puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 nm [SZE81]. En la Figura 3.17 se muestra la estructura típica de un HBT de SiGe gradual.

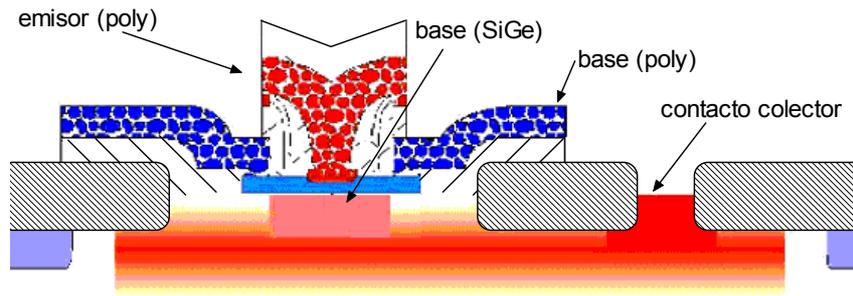


Figura 3.17. Estructura típica de un HBT de SiGe gradual.

Para ayudar a entender los beneficios de los HBT, comparamos en la Figura 3.18 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La Figura 3.19 muestra los distintos componentes de la corriente de colector, distinguiendo un término de corriente de electrones inyectada desde el emisor a la base, I_n , y uno de recombinación en la base (pequeño). La corriente de base consiste, principalmente, en la corriente de huecos, I_p , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de deplexión de la unión emisor-base (que deberían ser pequeñas). El funcionamiento de los HBTs depende de la manera en que esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impurezas en la base y el emisor.

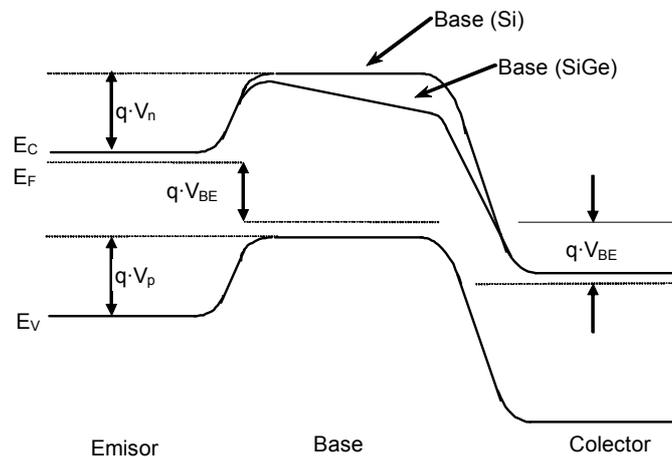


Figura 3.18. Diagrama de bandas de energía de un transistor bipolar de homounión npn de Si y un transistor bipolar de heterounión npn de SiGe.

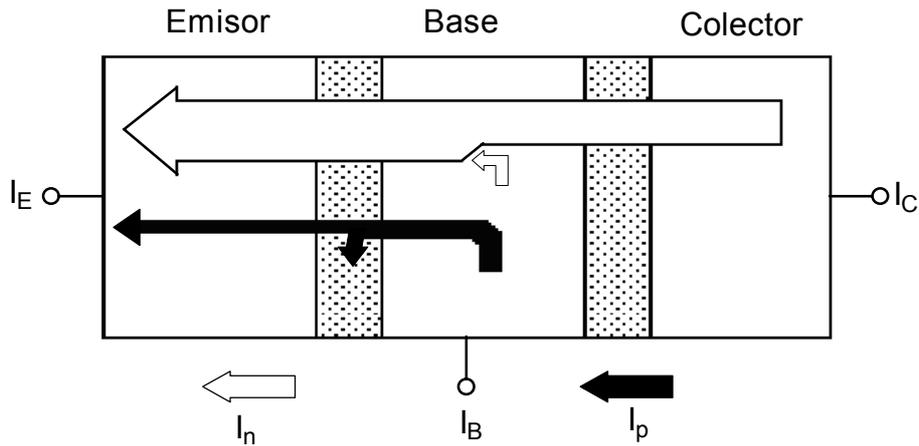


Figura 3.19. Esquema simplificado del flujo de corriente en un transistor de homounión npn de Si.

Si se desprecian las corrientes de recombinación (que en esta discusión es una suposición aceptable) se puede aplicar los modelos de primer orden de los BJT's (homouniones) para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b , el ancho de emisor W_e , y se asume que en ambas regiones las concentraciones de impurezas no producen degeneración del semiconductor; la estadística de Boltzmann nos da las concentraciones de portadores minoritarios:

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (3.7)$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (3.8)$$

En estas ecuaciones, n_i es la concentración intrínseca de las regiones de base y emisor; V_{BE} es la tensión aplicada a la unión B-E. La concentración de impurezas en el emisor tipo n es N_e , y las de la base tipo p es P_b . D_n y D_p son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones (3.7) y (3.8) resulta que la ganancia de corriente en emisor común es:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (3.9)$$

La ecuación (3.9) representa una cota superior del valor de β . Así por ejemplo, si las concentraciones de impurezas son las mismas tanto en el emisor como en la base, y las anchuras de base y emisor son iguales, entonces la ganancia máxima, β_{max} , vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si y está particularizado para homouniones npn. Por ello, para obtener una β adecuada en los

dispositivos de homounión el dopaje de emisor debe exceder el de la base por un factor significativo.

En la Figura 3.18 se muestra el diagrama de bandas correspondiente a un HBT de base gradual. En estos dispositivos la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta $E_{G0} - \Delta E_G$ cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de valor $\Delta E_G/W_b$, el cual está asociado a un campo eléctrico que produce el movimiento de los electrones a través de la base [YUA99]. Como resultado de este campo eléctrico el tiempo de tránsito a través de la base (τ_{BC}) disminuye y aumenta la ganancia en corriente (β). Un análisis detallado de las corrientes conduce a que para los HBTs la ganancia en corriente posee un término adicional que expresa su dependencia con la variación de la anchura de la banda prohibida:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{k \cdot T}\right)} \quad (3.10)$$

Debido a que son posibles valores de decenas de meV para ΔE_G variando la fracción molar de Ge, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base se traduce en frecuencias de corte muy elevadas [PRE99] [SCH99]. El aumento de la ganancia en corriente permite que se pueda aumentar el dopaje de la región de base para reducir su resistencia serie manteniendo una β adecuada.

Sin embargo, para conseguir valores de corriente elevados en los BJT's el dopaje de la base debe ser pequeño de forma que disminuya la recombinación de los portadores minoritarios en dicha región. Pero esto entra en conflicto con el hecho de tener valores de τ_{BC} bajos para poder operar a frecuencias elevadas. El uso de HBT's en vez de BJT's permite, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3} .

Desde el punto de vista circuital, la elevada ganancia que presentan los HBT's trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los HBT's de SiGe es mayor

que la de los BJTs de Si, con lo que se pueden implementar etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Además, la resistencia de entrada mejora, con lo que mejoran las propiedades de las etapas de entrada de LNAs respecto al ruido [GOT98]. Por último, debido a la elevada ganancia que presentan los HBTs de SiGe a frecuencias por encima de 2 GHz, es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y LNAs.

La principal desventaja de la tecnología bipolar de silicio para su uso en sistemas de comunicaciones es la baja tensión de ruptura que presenta, lo cual hace que se complique, sobre todo, el diseño de amplificadores de potencia. Este problema no es específico del SiGe, sino de todos los procesos bipolares basados en Si, donde el tiempo de tránsito no está determinado tanto por la anchura de la base como por la anchura del colector [GOT98]. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un aumento crítico de la multiplicación por avalancha en el colector.

3.6.2. HBTs en la tecnología S35D4 de AMS

Los HBTs de SiGe utilizados en este trabajo son los suministrados en el proceso S35D4 (0.35 μm HBT BiCMOS) de la empresa AMS. Su producción se basa en un proceso de bajo coste de fabricación de BJTs. El material de partida es una oblea de silicio tipo p poco dopada cuya resistividad es de 19 Ωcm . El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (CVD), la cual se separa mediante un proceso de recesión LOCOS [STR95]. El siguiente paso es el crecimiento selectivo de la base de SiGe mediante CVD. La concentración de Germanio se gradúa de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de base y emisor. Finalmente el proceso termina con las metalizaciones de los contactos de emisor, base y colector.

En la Figura 3.20 se muestra el cuadro de dialogo relativo a estos transistores disponibles en el *kit* de la tecnología así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

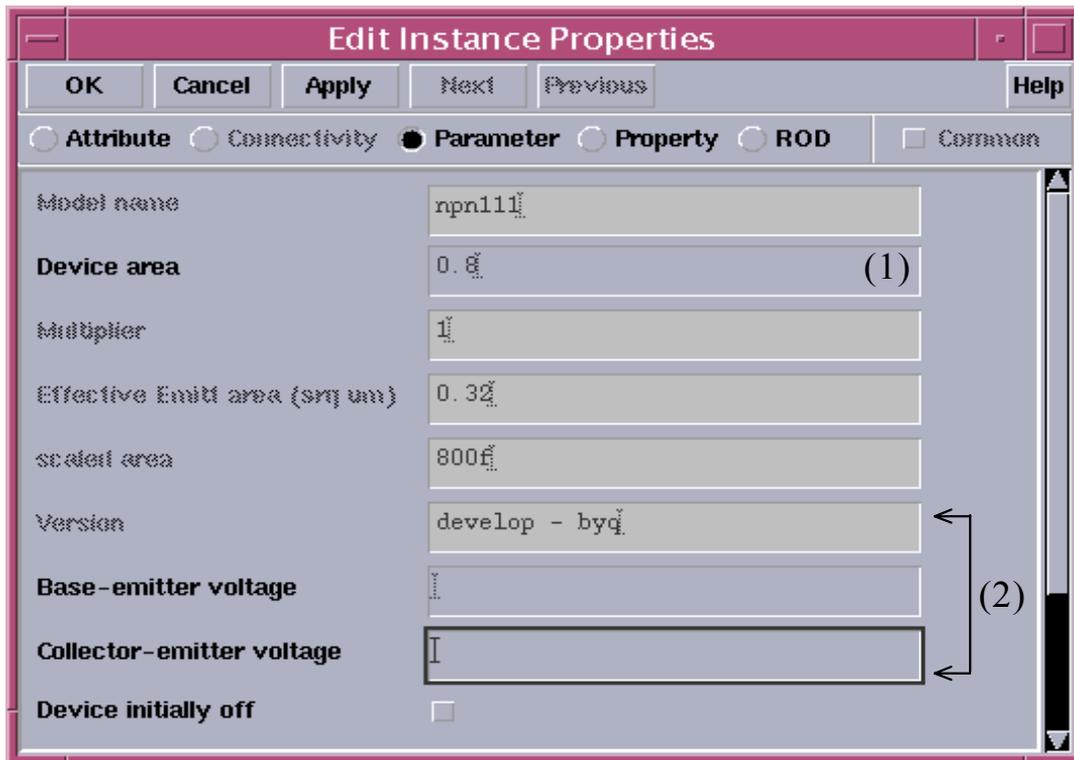


Figura 3.20. Parámetros ajustables de los transistores.

- (1) Selección del área del transistor.
- (2) Selección de los ajustes para simulación.

Por último, en la Figura 3.21 se muestra el *layout* de un transistor HBT. De izquierda a derecha pueden observarse claramente las conexiones de emisor, base y colector.

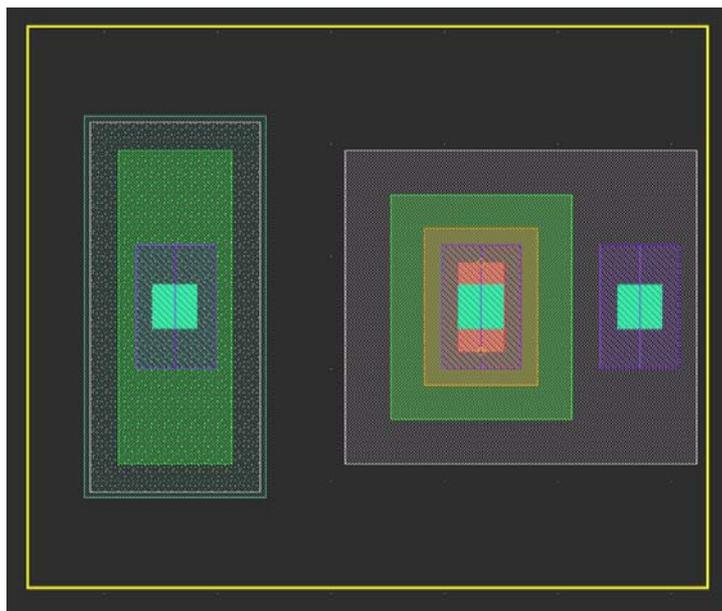


Figura 3.21. *Layout* de un Transistor HBT

Capítulo 4

El amplificador de bajo nivel de ruido

En este capítulo se va a estudiar el funcionamiento de la primera etapa del receptor, el amplificador de bajo nivel de ruido o LNA. Su función principal es proporcionar suficiente ganancia para minimizar el impacto final del ruido introducido por las etapas posteriores. Además, debe introducir el menor ruido posible y ser capaz de operar sin distorsionar las señales.

En este capítulo se comenzará describiendo las diferentes topologías de LNA más comúnmente utilizadas, seguidamente se describirán los dos diseños realizados, el asimétrico y el diferencial, finalizando con el diseño del *layout* y las simulaciones *post-layout*. Para el diseño de los circuitos se utilizarán los transistores HBT de SiGe que posee la tecnología en vez de los MOSFET debido a su superior frecuencia de corte.

4.1. Distintas configuraciones de LNA

Normalmente la ganancia de un LNA la proporciona un único transistor. Dado que se trata de un dispositivo de tres terminales, uno estará conectado a la tierra de alterna (AC) y los otros dos serán la entrada y la salida del circuito. Tal y como se muestra en la Figura 4.1, existen tres posibilidades. Cada una de estas configuraciones tiene sus características propias y será más adecuada para una aplicación particular que las otras. La configuración en emisor común es la más utilizada en el diseño de la etapa principal de un LNA (ver Figura 4.1(a)). Por el contrario, la configuración en colector común (ver Figura 4.1(b)), se suele utilizar más para el desarrollo de *buffers* entre etapas dada su alta impedancia de entrada alta y su baja impedancia de salida. Por último, la configuración base común (ver Figura 4.1(c)), se suele utilizar en combinación con la emisor común conformando un amplificador cascodo. Este tipo de amplificadores se caracteriza por presentar una ganancia alta a frecuencias elevadas. Las cargas que se muestran en la Figura 4.1 pueden ser simples resistencias, con lo que tendríamos un amplificador de banda ancha, o resonadores sintonizados para funcionamiento en banda estrecha. En este apartado se presentarán las características más importantes de las configuraciones básicas así como de las configuraciones compuestas más utilizadas, es decir el LNA en emisor común, en base común, en cascodo, el diferencial y el balanceado.

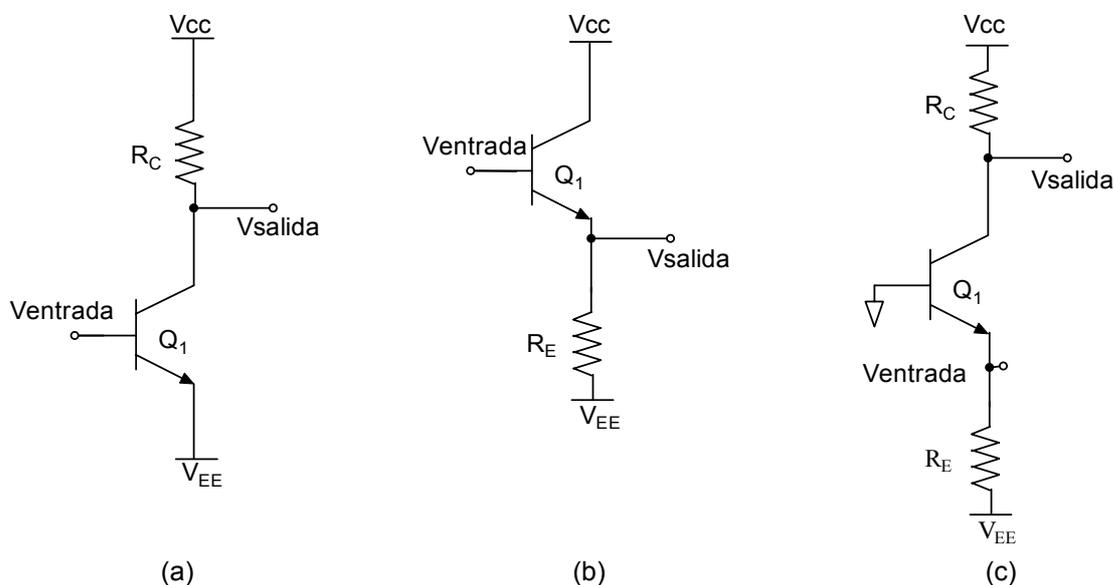


Figura 4.1 Distintas configuraciones para el transistor que proporciona la amplificación en el LNA, emisor común (a), colector común (b) y base común (c).

4.1.1. LNA en emisor común

La configuración más básica de LNA es la denominada como emisor-común, tal y como se ve en la Figura 4.2.

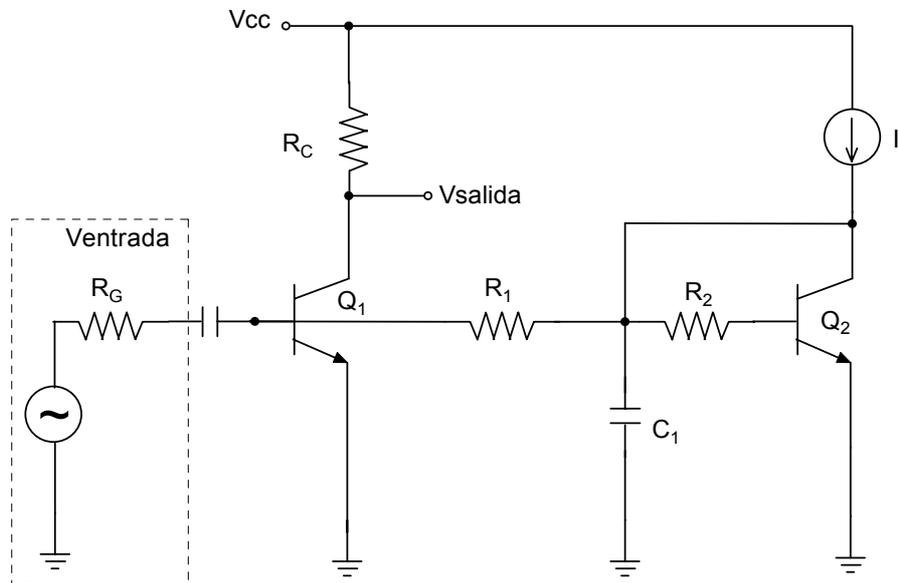


Figura 4.2 LNA en configuración emisor común

En ella se puede apreciar que Q_2 e I_1 generan la corriente de alimentación del transistor Q_1 . La resistencia R_1 aísla la señal entrante de RF del ruido generado por Q_2 . Por otro lado, la resistencia R_2 mantiene la misma caída de tensión que R_1 , dando por resultado una corriente de base fija y finita en Q_1 .

Si R_1 es suficientemente más grande que R_G , el efecto del circuito de polarización puede despreciarse sobre el funcionamiento del LNA. De acuerdo con esta premisa, podemos hacer un estudio del ruido que afecta a nuestro amplificador. Para ello, nos basaremos en el esquema mostrado en las Figura 4.3(a) y (b).

Se puede apreciar (véase Figura 4.3(b)) que el ruido existente a la entrada de nuestro amplificador lo hemos sustituido por una resistencia serie equivalente (R_{eq}), despreciando capacidades parásitas y otras resistencias.

Con esto, podemos ver que la NF del LNA viene dada por la expresión (4.1).

$$NF = 1 + \frac{R_{eq}}{R_G} \quad (4.1)$$

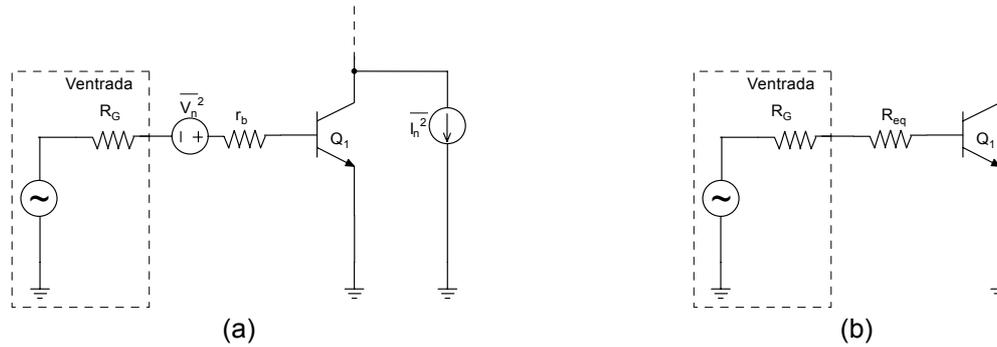


Figura 4.3 Modelo exhaustivo del ruido a la entrada del circuito(a) y modelo equivalente (b).

De la misma manera, podemos definir el nivel de ruido mediante una fuente de tensión continua ($\overline{V_n^2}$) referida a la entrada como:

$$\overline{V_n^2} = 4 \cdot k \cdot T \cdot \left(r_b + \frac{1}{2 \cdot g_m} \right) \qquad \overline{V_n^2} = 4 \cdot k \cdot T \cdot \left(r_b + \frac{V_T}{2 \cdot I_C} \right) \quad (4.2)$$

Donde T es la temperatura, g_m es la ganancia de transconductancia del transistor, V_T es la tensión térmica (25 mV para $T=25^\circ \text{C}$), r_b es la resistencia de base del transistor e I_C la corriente de colector. Observando las ecuaciones (4.1) y (4.2) se comprueba que:

$$R_{eq} = r_b + \frac{V_T}{2 \cdot I_C} \quad (4.3)$$

Se aprecia que para reducir la R_{eq} y por tanto el ruido, el transistor Q_1 debe tener un tamaño grande (r_b pequeña). Además, si la corriente de colector es elevada, reduciremos aún más la R_{eq} .

Sin embargo, el aumentar el tamaño del transistor para reducir la r_b , trae una serie de desventajas. La primera viene dada por el aumento de la capacidad de entrada (tanto la C_{je} como la C_{jc}), lo que atenúa la señal entrante de RF. Además, dicha atenuación hace que el ruido introducido por Q_1 y R_C se haga más patente.

Otra desventaja añadida es debida a la existencia de grandes capacidades colector-base y colector-sustrato. Con estos dos impedimentos obtenemos una reducida ganancia de tensión y un incremento de la corriente de polarización para compensar esta pérdida. De aquí se obtiene una alta capacidad de difusión base-emisor, así como un alto ruido metralla de base (*base shot noise*).

Debido a estas dos características, la figura de ruido presenta un mínimo para un determinado tamaño de Q_1 y una determinada corriente de polarización.

El siguiente paso que daremos será el añadir a nuestro modelo el ruido metralla de base, tal y como muestra la Figura 4.4.

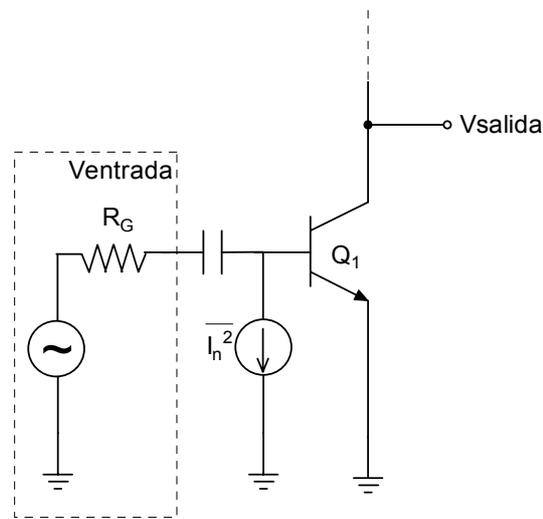


Figura 4.4 Modelo incluyendo el ruido metralla de la base.

Con esto mejoraremos la precisión de la ecuación (4.2). De acuerdo con la mencionada figura, obtenemos la expresión (4.4).

$$\overline{I_n^2} = 4 \cdot k \cdot T \cdot \frac{I_C / \beta}{2 \cdot V_T} \quad (4.4)$$

Para una resistencia de fuente R_G , el ruido total referido a la entrada incluyendo la contribución de dicha resistencia es el dado por la ecuación (4.5).

$$\overline{V_{tot}^2} = 4 \cdot k \cdot T \left(R_G + r_b + \frac{1}{2 \cdot gm} + \frac{gm \cdot R_G^2}{2 \cdot \beta} \right) \quad (4.5)$$

Donde la correlación entre el ruido de metralla del colector y el ruido de metralla de la base ha sido despreciada. La figura de ruido es por tanto igual a la expresión (4.6).

$$NF = \frac{V_{tot}^2}{4 \cdot k \cdot T \cdot R_G} = 1 + \frac{r_b}{R_G} + \frac{1}{2 \cdot gm \cdot R_G} + \frac{gm \cdot R_G}{2 \cdot \beta} \quad (4.6)$$

La figura de ruido alcanzará un mínimo para:

$$NF_{min} = 1 + \sqrt{\frac{1 + 2 \cdot gm \cdot r_b}{\beta}} \quad (4.7)$$

Siendo la R_G óptima (R_{Gopt}):

$$R_{Gopt} = \sqrt{\frac{\beta \cdot (1 + 2 \cdot gm \cdot r_b)}{gm}} \quad (4.8)$$

La ecuación (4.8) no tiene en cuenta el efecto de las capacidades parásitas. Sin embargo, una aproximación razonable a altas frecuencias consiste en dar a β el valor dado por la frecuencia de operación, es decir:

$$|\beta| \approx f_T/f \quad (4.9)$$

La relación obtenida para R_{Gopt} (4.8) sugiere que una red de adaptación de impedancias entre la antena y el LNA puede proporcionar una mínima figura de ruido. Esto se consigue por la transformación de la impedancia de salida de la antena (Z_{out}) a R_{Gopt} .

4.1.2. LNA en base común

Esta topología la podemos ver en la Figura 4.5. Este circuito ofrece tres grandes ventajas con respecto a la configuración en emisor común: sencilla adaptación a la entrada, gran linealidad y elevado aislamiento inverso. Despreciando la resistencia de base y de emisor, podemos escribir la impedancia de entrada como:

$$Z_{in} = \frac{1}{g_m + C\pi \cdot s} \quad (4.10)$$

Podemos hacer que la Z_{in} sea 50Ω simplemente con una $I_C=0.5$ mA. El efecto de $C\pi$ lo podemos eliminar con un inductor externo.

En esta topología, la resistencia de fuente R_G , linealiza el funcionamiento del circuito. Esto lo logra reduciendo la excursión de corriente en el emisor. Aquí podemos ver que pasa lo contrario a la configuración emisor común. Esto se debe a que en dicho circuito la resistencia R_G sólo afecta a variaciones de la corriente de base.

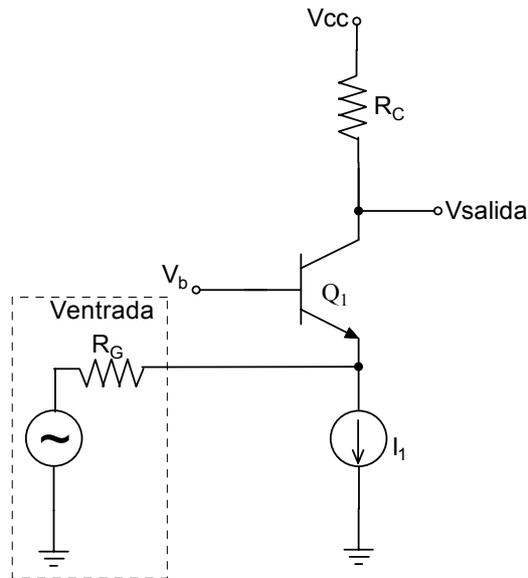


Figura 4.5 Configuración en base común.

Si logramos un nivel de corriente en la base adecuado, podemos obtener un gran aislamiento inverso. Esto se presenta como una opción interesante en sistemas que exijan esta característica, como los receptores homodinos.

4.1.3. LNA cascode

Basándose en las configuraciones anteriores, existen otras topologías que añaden diversos componentes para mejorar el rendimiento de los amplificadores. Una de estas configuraciones es la denominada LNA cascode, la cual se muestra la Figura 4.6.

Esta arquitectura está caracterizada por utilizar una configuración cascode. Esta consiste en añadir un transistor (Q_2) que nos permitirá aislar la salida de la entrada del circuito. Esto evitará posibles interacciones no deseadas. Otro de los beneficios que presenta es el de reducir la capacidad parásita del transistor Q_1 .

El transistor Q_3 forma una fuente de corriente con Q_1 y tiene una dimensión mucho menor que este último. Con esto logramos reducir el consumo de potencia del circuito. La corriente a través de Q_3 está fijada mediante la resistencia R_{REF} .

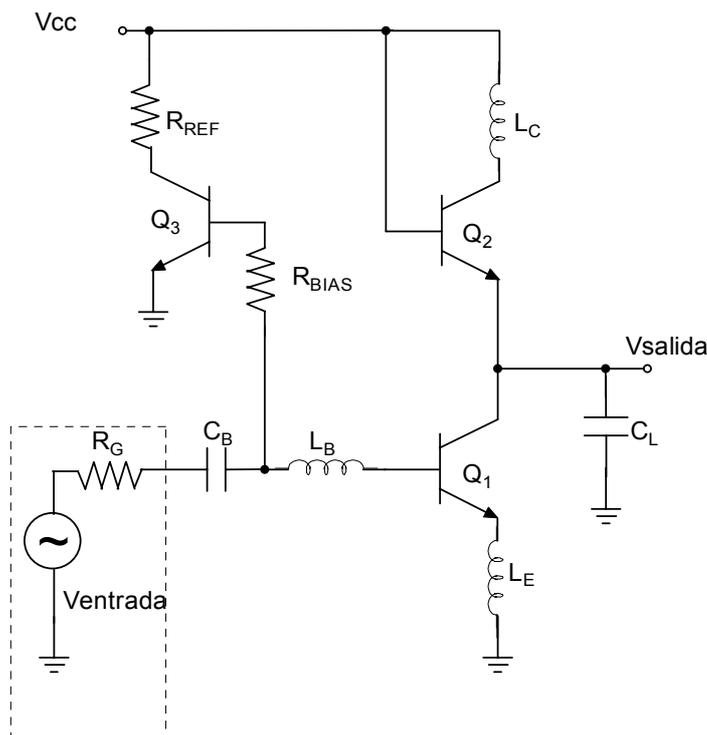


Figura 4.6 LNA cascode.

La resistencia R_{BIAS} debe ser lo suficientemente grande como para no afectar a la figura de ruido del amplificador. En sistemas donde se requiera una impedancia de entrada de 50Ω , valores de cientos de Ohms a kOhms son los adecuados para R_{BIAS} .

La bobina L_C y el condensador C_L forman parte de la red de adaptación a la salida.

Por último, la adaptación a la entrada lo logramos con las bobinas L_B y L_E .

4.1.4. LNA diferencial

Una topología basada en la anterior es la mostrada en la Figura 4.7. La principal característica de esta configuración es que trabaja de forma diferencial. Con esto logramos eliminar dos de los principales problemas de las arquitecturas asimétricas: la alta sensibilidad a las inductancias parásitas y el ruido en modo común.

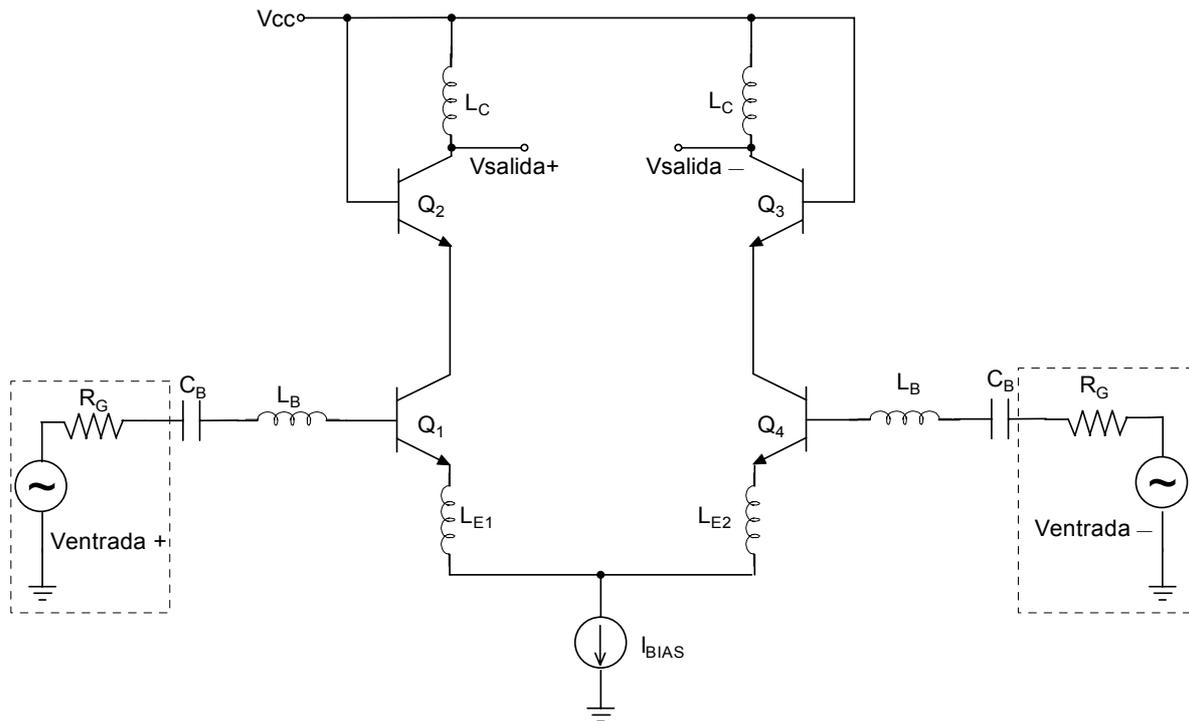


Figura 4.7 LNA diferencial.

Esto lo logra con las inductancias L_{E1} y L_{E2} , ya que ambas forman un punto de tierra virtual, para señales diferenciales. Cualquier reactancia parásita en serie con la fuente de corriente I_{BIAS} es totalmente irrelevante. Esto se debe a que una fuente de corriente en serie con una impedancia es siempre una fuente de corriente. De aquí que la parte real de la impedancia de entrada (Z_{in}) sea sólo debida a las inductancias L_{E1} y L_{E2} . Igualmente, es totalmente independiente de los parásitos que se den en la fuente de corriente I_{BIAS} .

Un parámetro de especial importancia cuando el voltaje de alimentación y las tensiones de sustrato pueden ser ruidosos es el rechazo al ruido en modo común (*common noise rejection ratio* o CNRR). Para maximizar este parámetro en altas frecuencias, los *layouts* de los amplificadores deben ser totalmente simétricos.

A pesar de las ventajas anteriores, los LNAs diferenciales presentan también una serie de inconvenientes. Entre ellos cabe destacar que la figura de ruido tiende a ser mayor que en una topología asimétrica. También el consumo de potencia se vuelve crítico, ya que pasa a valer el doble. Sin embargo, presenta una mejor linealidad, ya que la señal se divide entre dos dispositivos. Por tanto, si deseamos que la NF no sobrepase un valor, podemos obtener mucha más excursión simétrica, sacrificando el consumo de potencia.

4.1.5. LNA balanceado

Esta última configuración (véase la Figura 4.8) se presta como una de las topologías que mejor compromiso guarda entre consumo de potencia, CNRR y linealidad.

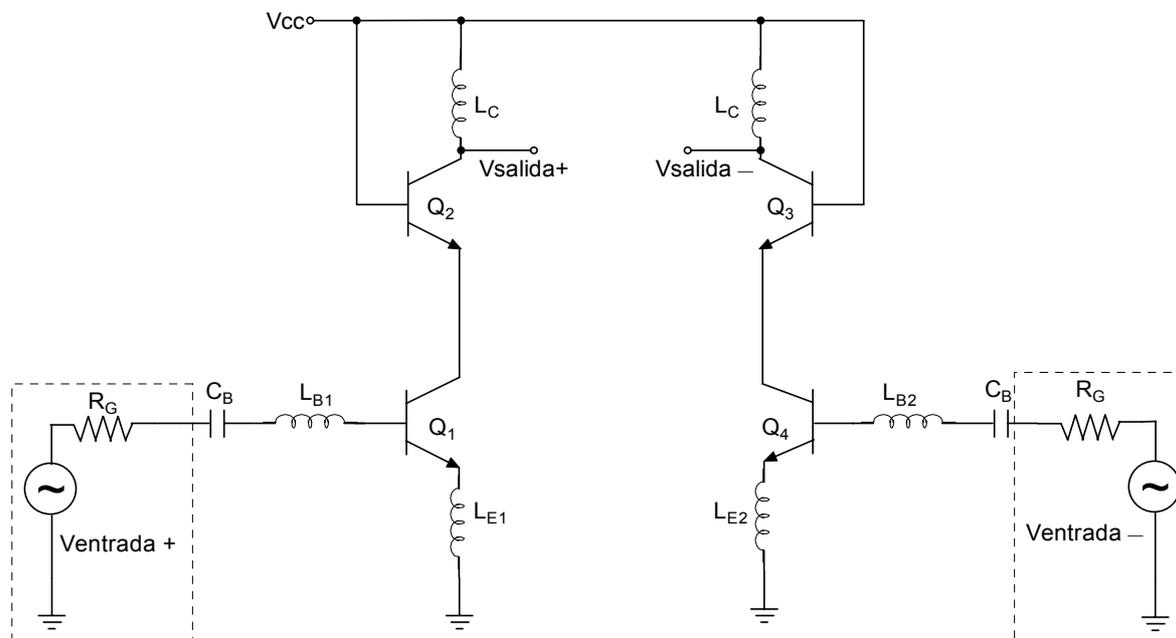


Figura 4.8 LNA balanceado.

En el primer caso, el consumo de potencia es mucho menor que en la configuración diferencial, ya que no posee fuente de corriente.

En lo relativo al CNRR, presenta un valor moderado, similar al de la configuración anterior.

Si hablamos de linealidad, vemos que presenta un valor elevado, ya que el rango dinámico de la señal debe repartirse sólo entre dos transistores. En el caso del LNA diferencial, el reparto se realizaba entre 3 transistores, ya que debíamos considerar la fuente de corriente.

Finalmente, la adaptación de impedancias a la entrada la logramos con las bobinas degenerativas L_{E1} y L_{E2} , junto con las bobinas de las bases de los transistores Q_1 y Q_4 , L_{B1} y L_{B2} .

4.2. Diseño del LNA a nivel de esquemático

En el presente apartado nos centraremos en el diseño de un LNA a nivel de esquemático. Comenzaremos describiendo las especificaciones requeridas para este tipo de dispositivos. Esto lo obtendremos de las características del estándar IEEE802.11a, tal y como vimos en el capí-

tulo 2. Luego, seguiremos una secuencia de diseño basada en el estudio de los componentes proporcionados por la tecnología. Esto nos llevará a elegir la topología de LNA óptima para nuestros intereses. Finalmente, una vez elegida la arquitectura, optimizaremos los componentes de ésta para cumplir las especificaciones y, en la medida de lo posible, obtener mejores resultados.

4.2.1. Especificaciones

Las especificaciones requeridas para nuestro LNA según el estudio realizado en el capítulo 2 son:

- Alimentación= 3.3 Voltios.
- Figura de ruido (NF) < 4 dB.
- IIP3 > -2 dBm.
- OIP3 > 7 dBm.
- Ganancia > 9 dB.
- Consumo de potencia → Menor posible.
- Impedancia de entrada y salida: 50 Ω .

4.2.2. Flujo de diseño

Para un correcto diseño del LNA se ha seguido el flujo de diseño de la Figura 4.9. Primero hay que hacer un estudio de los niveles de polarización de transistor para conseguir un buen compromiso entre ganancia, figura de ruido y linealidad. Se continúa con la elección de la configuración y la etapa de polarización apropiada. Después llega el turno de la adaptación impedancias de la entrada y de la salida. Se finaliza con la verificación y optimización de los resultados obtenidos hasta conseguir alcanzar las prestaciones propuestas.



Figura 4.9 Flujo de diseño del LNA.

A continuación pasaremos a desarrollar en los siguientes apartados cada uno de los bloques de los que se compone el flujo de diseño del LNA.

4.2.3. Polarización óptima de los transistores

Esta primera parte del diseño comienza con el estudio de las características de los transistores de la tecnología empleada. El análisis se centra, principalmente, en aquellos aspectos relativos a la polarización de los transistores. El objetivo es obtener la menor figura de ruido posible junto con una ganancia aceptable. Esto lo logramos con una serie de análisis y simulaciones con el software ADS. Para ello, comenzamos analizando una configuración muy sencilla, el circuito emisor de la Figura 4.10. Con ella obtenemos la corriente de colector (I_C) y la tensión colector-emisor (V_{CE}) que polariza al transistor de cara a obtener la menor figura de ruido posible.

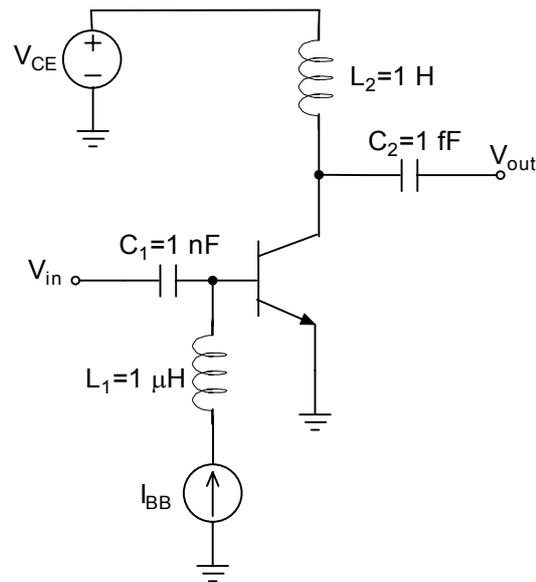


Figura 4.10 Configuración para el estudio de la polarización óptima.

En la Figura 4.11 se puede observar los resultados de las simulaciones de la corriente de colector frente a la V_{CE} para diferentes corrientes de base (I_{BB}) mientras que en Figura 4.12 podemos observar el valor de la NF, en función de la V_{CE} , para un valor de I_C dado. De las simulaciones se ha deducido que con una tensión V_{CE} de 1.65 V (mitad de polarización total) y una corriente de colector de 500 μA (veáse la Figura 4.11), obtenemos la menor figura de ruido posible con este tipo de tecnología (veáse la Figura 4.12). Además aseguramos que con esta polarización el transistor estará siempre trabajando en zona activa.

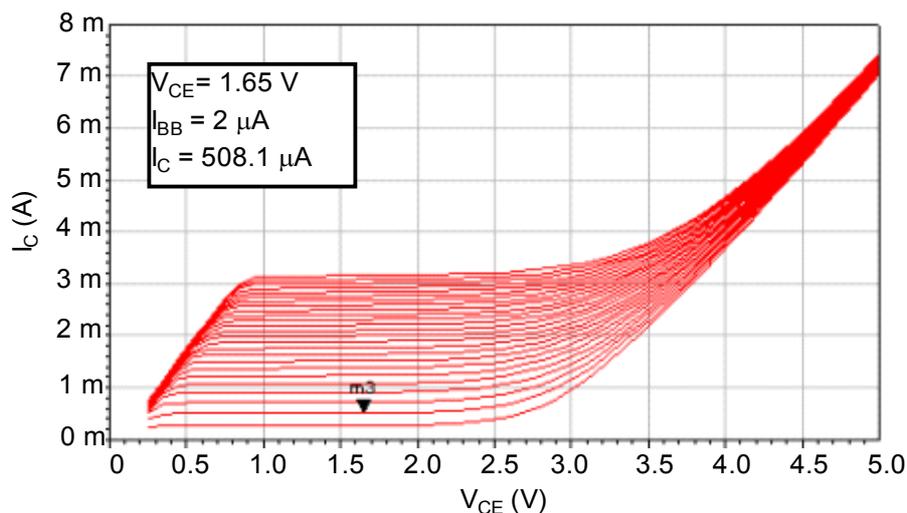


Figura 4.11 Corriente de colector frente a V_{CE} para diferentes corrientes de base.

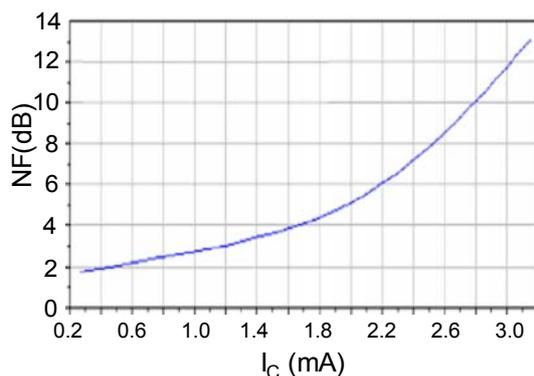


Figura 4.12 NF frente a I_C .

Tomando como base la polarización óptima de los transistores para mínima figura de ruido, podemos dar paso al estudio de la configuración más adecuada para el LNA.

4.2.4. Configuración apropiada del LNA

De acuerdo con el análisis realizado en el apartado 4.1, pudimos observar que las configuraciones con menor consumo de potencia, mejor linealidad, aislamiento y ganancia son: LNA cascodo para el caso asimétrico, y LNA balanceado para el caso diferencial. Por tanto, nuestro diseño se fundamentará en estas dos topologías.

4.2.5. LNA con configuración cascodo

Comenzaremos analizando el circuito asimétrico ya que, como veremos posteriormente, es la base del circuito diferencial.

4.2.5.1. Circuitos de polarización

Este apartado está dedicado al estudio de los circuitos de polarización de nuestro LNA. Para ello, nos fundamentaremos en los niveles de tensión colector-emisor y de corriente de colector dados en el apartado 4.2.3.

Los criterios de evaluación vienen determinados por estos dos parámetros básicos:

- Menor consumo de potencia posible.
- Menor figura de ruido posible.

a) Circuito con doble fuente de corriente

Esta primera topología se muestra en la Figura 4.13. En ella se pueden observar las dos fuentes de corriente que polarizan los transistores Q_1 y Q_2 .

La resistencia R_2 es de un valor elevado (50 K Ω), evitando de esta manera que la señal de entrada se degenere por el efecto del circuito de polarización.

La corriente a través de los dos transistores Q_1 y Q_2 la regulamos con las resistencias R_3 y R_7 . Sin embargo, también son utilizadas para fijar las tensiones V_{CE} de estos transistores. Esto hace altamente difícil obtener el valor adecuado de I_C y V_{CE} , ya que dependen de dos variables.

El condensador C_1 es utilizado para eliminar el ruido aportado por la red formada por el transistor Q_4 y las resistencias R_5 , R_6 , R_7 y R_8 .

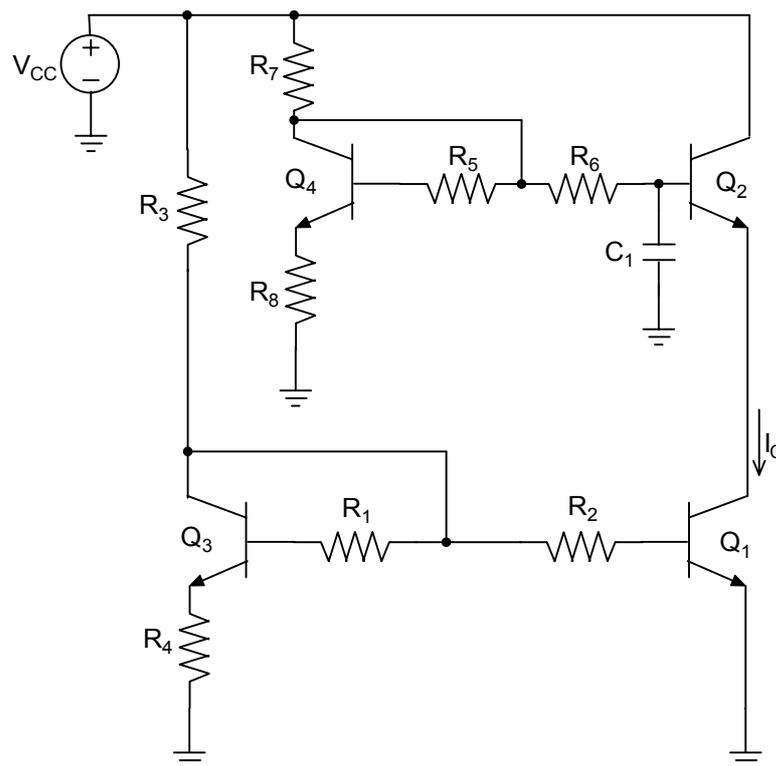


Figura 4.13 Polarización con doble fuente de corriente.

Dado que esta topología está formada por dos fuentes de corriente, el consumo de potencia total alcanza valores elevados. De la misma manera, el elevado número de componentes que presenta este tipo de polarización, hace que proliferen efectos parásitos. Esto se hace patente en el valor de la NF del circuito, que aumenta considerablemente.

Con las características que presenta esta configuración, debemos plantearnos el estudiar otras alternativas que las mejoren. Una de ellas es la formada por una fuente de corriente y un divisor resistivo.

b) Polarización con fuente de corriente y divisor resistivo

Esta configuración se puede observar en la Figura 4.14. En ella se aprecia que la fuente de corriente que polarizaba al transistor Q_2 , ha sido sustituida por un divisor resistivo. Esto nos será especialmente útil para suministrar la correcta V_{CE} a los transistores. Así desaparece parcialmente el problema anterior en que la I_c y la V_{CE} de los transistores dependían de 2 variables.

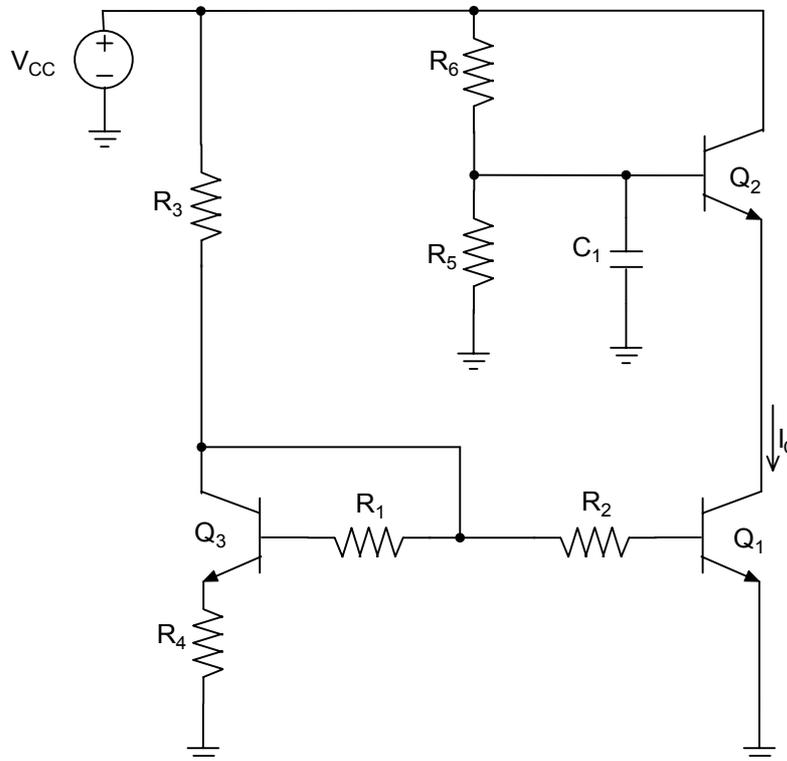


Figura 4.14 Configuración con fuente de corriente y divisor resistivo.

En esta topología, la I_c de los transistores la fija la fuente de corriente formada por el transistor Q_3 y las resistencias que lo acompañan. Igualmente, como ya comentamos, la V_{CE} de los transistores la fija el divisor resistivo formado por las resistencias R_5 y R_6 .

La corriente I_c la podemos variar modificando el valor de la resistencia R_3 . La resistencia R_2 posee un alto valor para evitar que la señal de RF entrante se vea degradada por el circuito de

polarización, al igual que en el caso anterior. Por otro lado, el condensador C_1 elimina la influencia del divisor resistivo en el funcionamiento del amplificador.

Cuando mencionamos que el problema de la polarización desaparecía parcialmente, se debía a que la fuente de corriente influye en la V_{CE} de los transistores. Por tanto, el ajuste de la correcta V_{CE} de Q_1 y Q_2 depende de dos variables, al igual que en la configuración anterior. Sin embargo, la influencia de dicha fuente de corriente es menor que en la topología de doble fuente.

El consumo de potencia del circuito tiende a ser moderado-alto, debido a la existencia de una fuente de corriente.

La NF del amplificador tiende a ser moderada-baja, la cual puede reducirse mediante un diseño cuidadoso de los componentes.

Sin embargo, de cara a la integración del amplificador, debemos centrar nuestros esfuerzos en reducir el consumo de potencia al mínimo posible. Para ello, estudiamos otra configuración con menor consumo, la topología de doble divisor resistivo.

c) Polarización con doble divisor resistivo

Esta última configuración se puede observar en la Figura 4.15. En ella se aprecia que no existen fuentes de corriente ya que han sido sustituidas por un doble divisor resistivo.

Esta topología se presta como la de mayor sencillez en la fijación de los niveles de polarización. Podemos establecer las tensiones en las bases de los transistores Q_1 y Q_2 , y consiguientemente sus V_{CE} respectivas aplicando la fórmula de un divisor resistivo.

Por otro lado, podemos fijar la I_C de los transistores modificando el módulo de las resistencias R_1 , R_2 y R_3 . Por ejemplo, si con valores de resistencias del orden de cientos de Ohms obtenemos una I_C de 10 mA, con valores de resistencias del orden de kOhms, podemos obtener una I_C de 1 mA.

Para conseguir esto y no variar el valor de las tensiones en las bases de los transistores, todos los módulos de las resistencias obtenidas mediante la fórmula del divisor resistivo deben ser multiplicados por el mismo factor.

El condensador C_1 es utilizado para eliminar la contribución de ruido aportada por el divisor en la base de Q_2 , al igual que en la topología anterior.

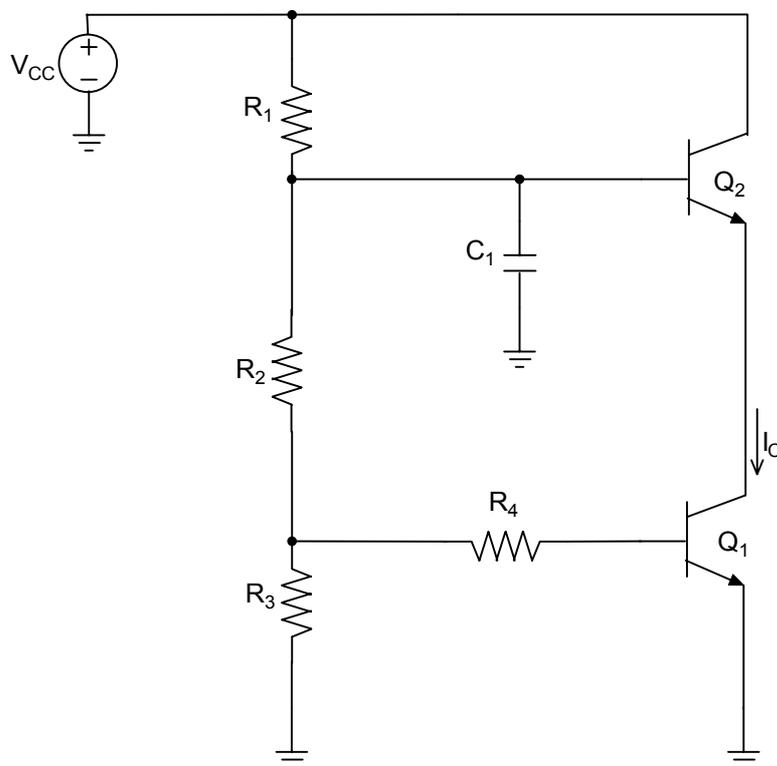


Figura 4.15 Etapa de polarización con doble divisor resistivo.

Igualmente, la resistencia R_4 posee un valor elevado para eliminar la degradación de la señal de entrada por el circuito de polarización.

En lo referente al consumo de potencia, este tipo de polarización se presenta como la más eficiente. Tal es el orden de eficiencia que el consumo total se acerca a los valores obtenidos con transistores pertenecientes a otro tipo de tecnologías, como por ejemplo la CMOS.

Si nos referimos a la NF del amplificador, el valor tiende a ser muy bajo, dado que existen muy pocos componentes. También es debido a que sus valores se han optimizado para esto.

Dadas las características que presenta este tipo de etapa de polarización, la emplearemos para el diseño de nuestro LNA.

4.2.5.2. Adaptación de entrada y de salida

El siguiente paso para minimizar la NF consiste en determinar la impedancia de la fuente de pequeña señal que debe ver el transistor a su entrada para que éste presente una NF mínima.

Por lo general la impedancia de fuente que realmente tiene nuestro circuito ($R_G = 50\Omega$) raramente coincide con la impedancia de fuente para mínimo ruido (R_{GNFmin}). Por tanto, debemos elegir entre adaptar para mínimo ruido (forzar a que la impedancia de fuente de fuente se parezca a R_{GNFmin} mediante una red de adaptación al efecto) o adaptar para máxima transferencia de potencia (forzar a que la impedancia de entrada del transistor se parezca a R_G). Sin embargo existen técnicas que permiten hacer que R_{GNFmin} se parezca lo más posible a R_G . Una de esas técnicas es la denominada degeneración inductiva, la cual consiste en introducir una inductancia en serie con el emisor tal y como se muestra en la Figura 4.16.

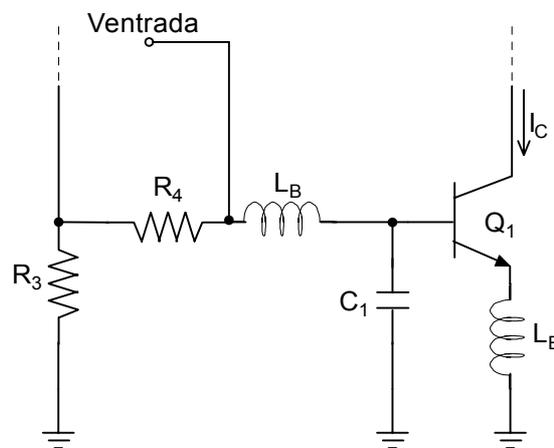


Figura 4.16 Adaptación de entrada.

El valor de dicha inductancia viene dado por la siguiente expresión aproximada [GOT98]:

$$L_e \approx \frac{50\Omega}{2 \cdot \pi \cdot f_T} \quad (4.11)$$

Como se puede observar, cuanto mayor sea la frecuencia de corte del transistor (f_T), menor será el valor de la inductancia a utilizar y por tanto menor será la cantidad de ruido añadido al LNA por las pérdidas óhmicas asociadas a dicha inductancia. Al introducir esta inductancia hacemos que el coeficiente de reflexión para mínimo ruido sea $\Gamma_{min}=1+jX$, es decir, su parte real vale 50Ω . Seguidamente, mediante el uso de una inductancia colocada en serie con la entrada del circuito (L_B) se eliminará la parte imaginaria de Γ_{min} . De esta manera conseguimos adaptar tanto para mínimo ruido como para máxima transferencia de potencia.

Para disminuir el ruido introducido por el transistor Q_1 , así como para facilitar la adaptación a la entrada, nos ayudamos del condensador C_1 .

Como se observa en la Figura 4.16, la adaptación se logra con un híbrido de red LC y degeneración inductiva.

Una vez hecho todo esto, sólo faltaría adaptar la salida a 50Ω . Esta adaptación la conseguimos mediante la estructura mostrada en la Figura 4.17 y en la que nos ayudamos de la bobina de choque L_3 para ajustar la parte real de la impedancia de salida y del condensador C_3 para eliminar la parte imaginaria.

Nótese que cuando empleamos adaptación conjugada a la salida obtenemos la ganancia máxima del circuito pero, si la impedancia de salida la ajustamos para máxima transferencia de potencia, lo que obtenemos es máxima potencia a la salida, con lo que el punto de compresión a 1dB y el IP3 aumenta.

Cabe destacar que la adaptación de salida lograda con la red LC formada por L_3 y C_3 , hizo innecesario el empleo de un buffer a la salida, evitándonos el añadir componentes que afectan directamente a la figura de ruido de nuestro circuito.

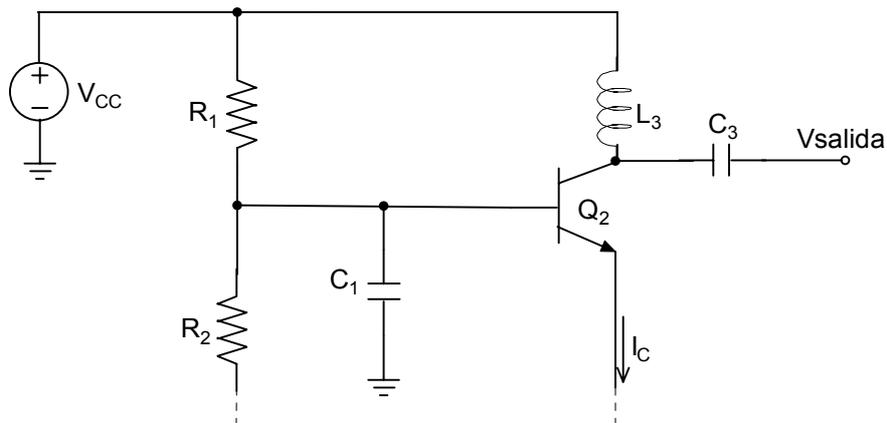


Figura 4.17 Adaptación de salida.

4.2.5.3. Resultados

El circuito final es el mostrado en la Figura 4.18. En él se pueden apreciar el circuito de polarización empleado, las redes de adaptación y la configuración cascode formada por Q_1 y Q_2 .

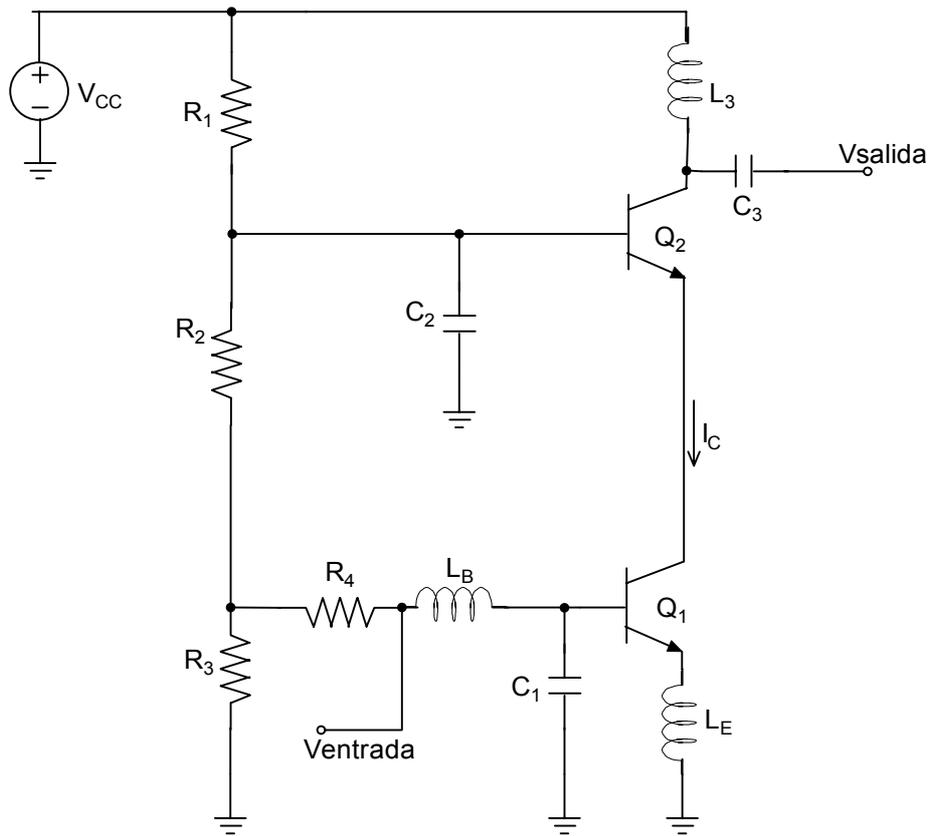


Figura 4.18 Circuito asimétrico final.

Los valores de componentes son los siguientes:

- $R_1=9.2$ KOhms.
- $R_2=20.2$ KOhms.
- $R_3=20.2$ KOhms.
- $R_4=50$ KOhms.
- $C_1=227$ fF.
- $C_2=1$ pF.
- $C_3=160$ fF.
- $L_B \rightarrow$ Inductancia = 3nH; Factor de calidad (Q)=9.6
- $L_E \rightarrow$ Inductancia = 0.6nH; Factor de calidad (Q)=13.6
- $L_3 \rightarrow$ Inductancia = 5nH; Factor de calidad (Q)=7.6
- $Q_1 \rightarrow$ Área=2; Multiplicidad=8.
- $Q_2 \rightarrow$ Área=2; Multiplicidad=3.



Figura 4.19 Circuito equivalente de un pad de conexión.

Las bobinas utilizadas están descritas en el capítulo 3 de la presente tesis. Para que el resultado de las simulaciones sea lo más real posible, se realizó con el modelo de los pads de conexión. Los valores obtenidos para los pads son de $C=250$ fF y $R=31$ Ω .

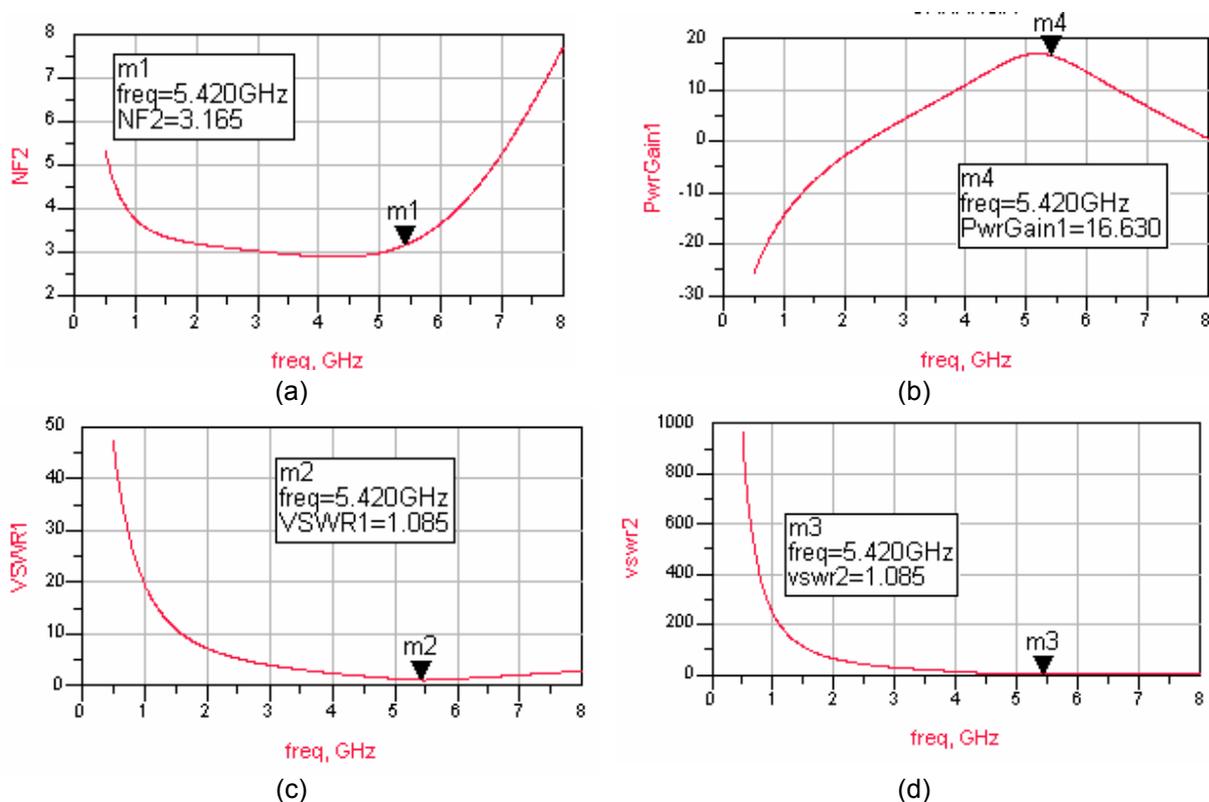


Figura 4.20 Figura de ruido (a), ganancia (b), coeficiente de adaptación de la entrada (c) y de la salida (d) del LNA cascado.

Los resultados obtenidos son los mostrados en las figuras 4.20, 4.21 y 4.22. En la esquina superior izquierda de la Figura 4.20 podemos observar la NF del circuito. Como se puede apreciar, el valor de este parámetro está situado muy por debajo del límite establecido en el apartado 4.2.1. En la esquina superior derecha de la misma figura, se presenta la ganancia de potencia del amplificador. Su valor posee un nivel bastante alto, lo que disminuirá la figura de ruido del receptor completo en el que se integre. En las dos esquinas inferiores se observa el

nivel de adaptación a la entrada y a la salida. Tal y como se aprecia, poseen valores cercanos a los ideales.

En la Figura 4.21 podemos observar los resultados de la simulación de la adaptación de la impedancia de entrada (*input match*) y de salida (*output match*), del aislamiento (*isolation*) y de la ganancia (*gain*). Las gráficas de las esquinas superiores se corresponden con los coeficientes de onda estacionario (VSWR1 y VSWR2). En la esquina inferior izquierda se observa que el nivel de aislamiento logrado alcanza cotas muy altas gracias, sobre todo, a la configuración cascodo. En la gráfica de la esquina inferior derecha, podemos ver el resultado del parámetro S21, que se corresponde con la ganancia del amplificador.

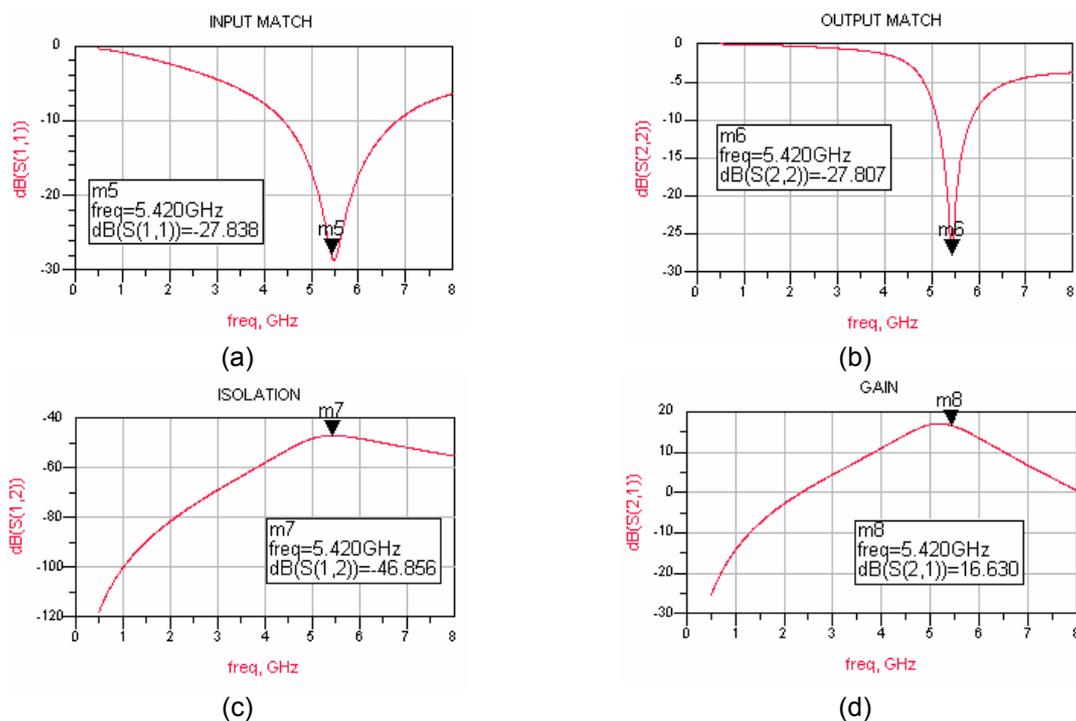


Figura 4.21 Simulación de los parámetros S del LNA cascodo, adaptación de la entrada (a), adaptación de la salida (b), aislamiento (c) y ganancia (d).

En la Figura 4.22 podemos apreciar los resultados de la simulación en ADS de la linealidad de nuestro amplificador. Como se aprecia en el recuadro inferior derecho, en el que se muestran los resultados del OIP3 (12.8 dBm) y del IIP3 (-3.8 dBm), los niveles de linealidad hacen que nuestro circuito cumpla holgadamente con las especificaciones.

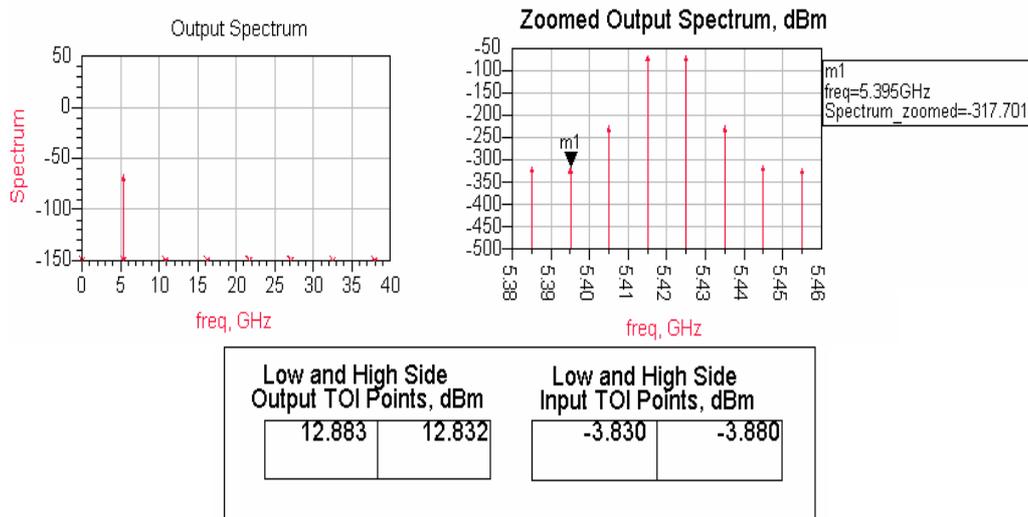


Figura 4.22 Simulación de la linealidad en ADS del LNA cascodeo.

Finalmente, añadir que el consumo de potencia total del circuito es de 9.53 mW.

4.2.6. LNA con configuración balanceada

Esta segunda configuración se basa en la configuración cascodeo, y trata de solventar el problema del ruido en modo común. Este ruido aparece en la entrada de cualquier circuito no ideal. Por tanto, en un circuito diferencial aparecerá este ruido en sus dos entradas. Sin embargo, como un amplificador de este tipo amplifica la diferencia de potencial en sus entradas, la contribución de ruido común a éstas desaparece. Esto elimina en gran medida el acoplamiento de ruido con el sustrato. También hará a nuestro circuito menos sensible a las variables externas como la temperatura, presión, etc.

La contrapartida es que esta configuración nos obligará a transformar la señal que llega de la antena de RF de asimétrica a diferencial. Esto lo lograremos con el uso de un balun o transformador, sabiendo que las pérdidas extra de señal son inevitables. Dicho balun se muestra en la Figura 4.23.

Si se elige una relación de transformación $T=\sqrt{2}$, una impedancia diferencial de $100\ \Omega$ en la salida entre $V_{\text{valida+}}$ y $V_{\text{valida-}}$, es vista desde la entrada como una impedancia de $50\ \Omega$. Hay que tener en cuenta que esta transformación no afecta a la potencia, ya que en un transformador ideal la potencia a la entrada y a la salida es la misma.

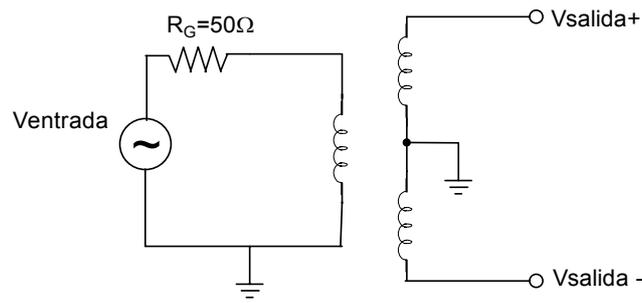


Figura 4.23 Balun de entrada.

Como ya comentamos anteriormente, esta configuración está basada totalmente en la topología asimétrica. Por tanto, todos los estudios anteriores referentes a tipos de polarización, adaptación de impedancias, etc. son extrapolables a este caso.

Consecuentemente, podemos centrarnos directamente en el circuito diseñado final y en sus resultados. Dicho circuito lo podemos observar en la Figura 4.24. En ella se observa que cada una de las ramas que posee es igual a una configuración asimétrica. Igualmente, se pueden apreciar el balun de entrada y el de salida. Este último es necesario para pasar la señal de diferencial a asimétrica, ya que el simulador utilizado sólo permite la visualización de la figura de ruido para un puerto de entrada y otro de salida. Dicho balun posee exactamente la misma configuración que su homónimo a la entrada, al igual que su misma relación de transformación $T=\sqrt{2}$. Con ella logramos que una impedancia diferencial de $100\ \Omega$ en la entrada del balun sea vista desde la salida como una impedancia de $50\ \Omega$.

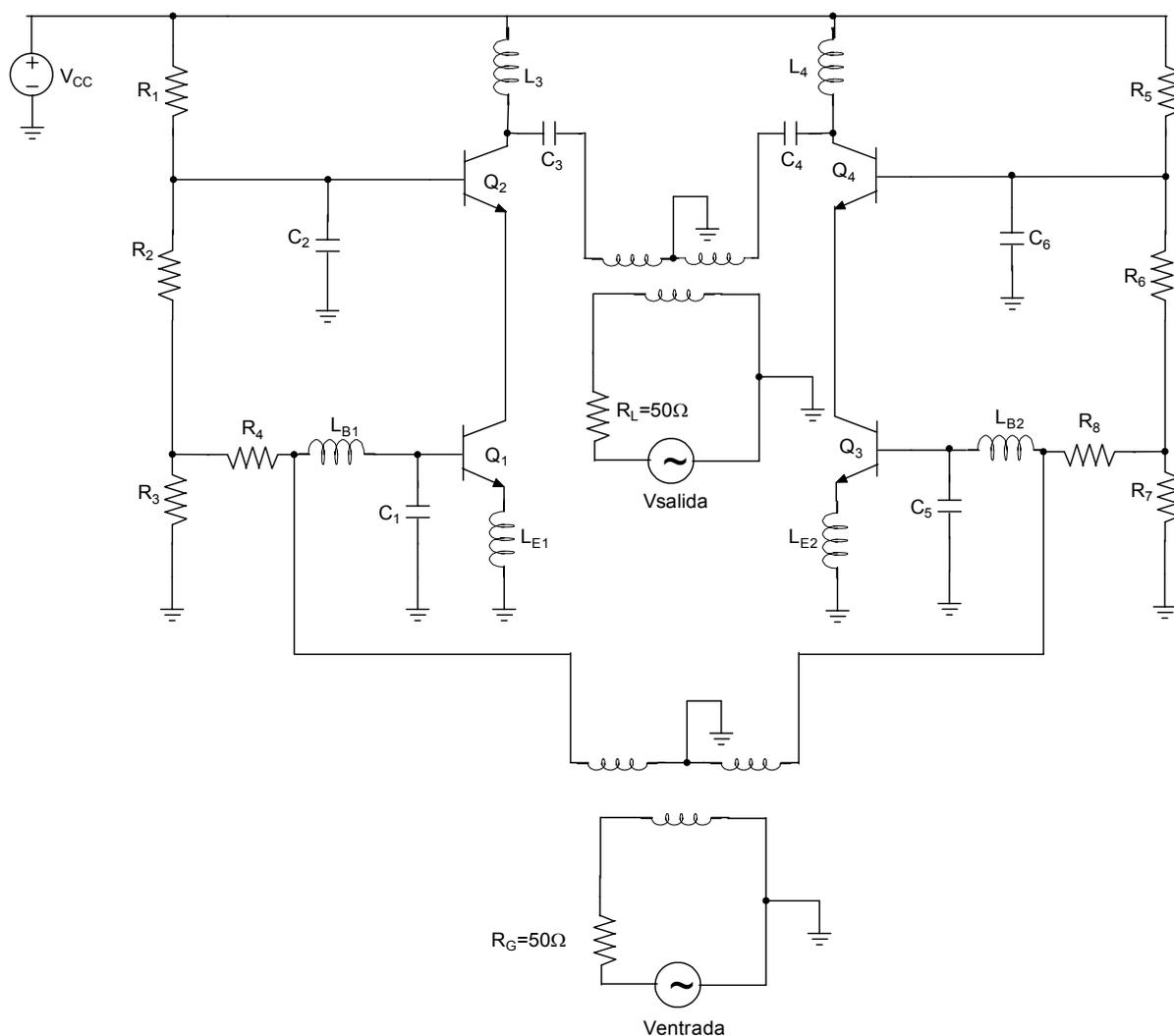


Figura 4.24 LNA balanceado.

Volviendo al LNA en sí, y dados los buenos resultados obtenidos con la configuración asimétrica, hemos tomado los mismos valores de componentes para esta topología. En el siguiente apartado podremos observar los resultados logrados.

4.2.6.1. Resultados

Los resultados obtenidos de esta configuración se pueden apreciar en la Figura 4.25, Figura 4.26 y Figura 4.27. En la Figura 4.25 se pueden ver las simulaciones referentes a la figura de ruido, ganancia y adaptación de impedancias. Las simulaciones de los parámetros S se observan en Figura 4.26. Como se aprecia en ambas figuras, los resultados obtenidos coinciden totalmente con los obtenidos con la configuración asimétrica. Esto es debido a que ambas utilizan los mismos valores de componentes. Además los baluns utilizados en la simulación del circuito diferencial son ideales.

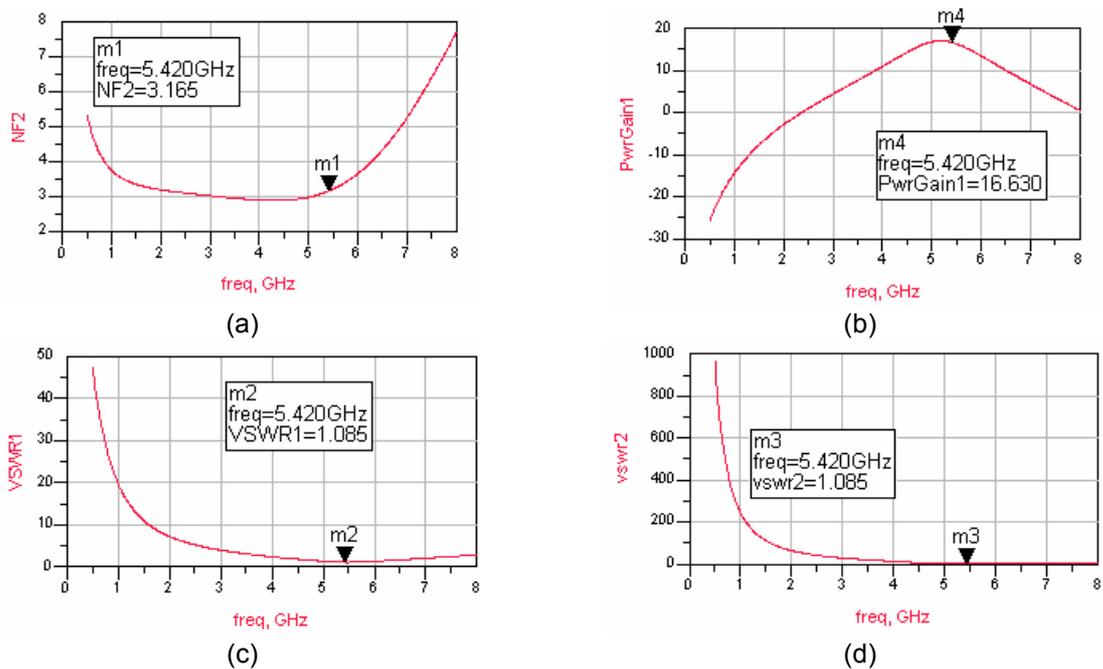


Figura 4.25 Figura de ruido (a), ganancia (b), coeficiente de adaptación de la entrada (c) y de la salida (d) del LNA balanceado.

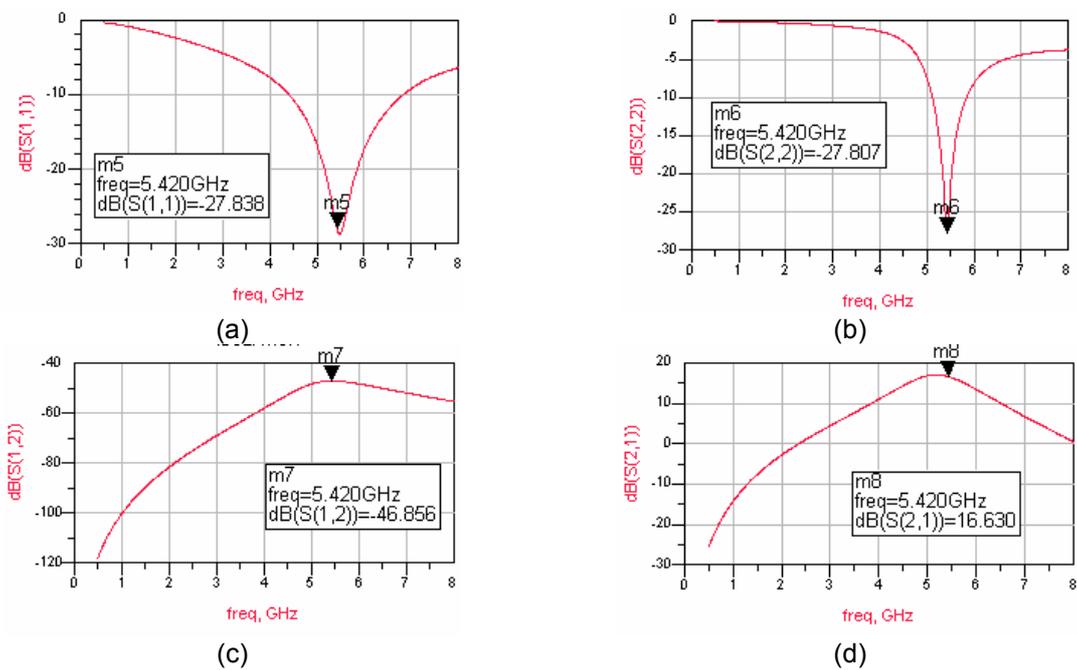


Figura 4.26 Simulación de los parámetros S del LNA balanceado, adaptación de la entrada (a), adaptación de la salida (b), aislamiento (c) y ganancia (d).

En la Figura 4.27 se muestran las simulaciones del OIP3 y del IIP3. El valor de dichas simulaciones se muestra en el recuadro inferior derecho. Aquí es donde se aprecia más claramente la eficiencia de la topología diferencial sobre la asimétrica. Mientras que el caso asimétrico

los valores de OIP3 e IIP3 eran de 12.8 dBm y -3.5 dBm respectivamente, ahora los valores obtenidos ascienden a 15.5 dBm y -0.8 dBm.

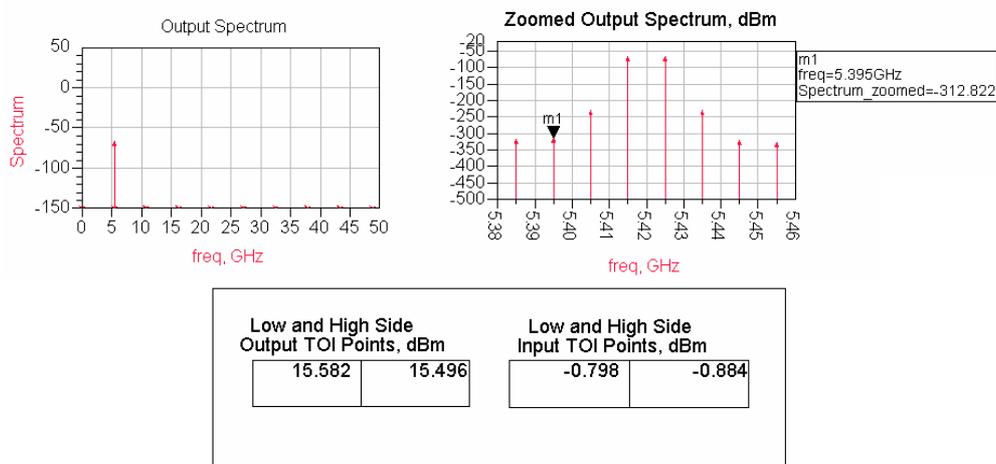


Figura 4.27 Simulación de la linealidad en ADS del LNA balanceado.

Sin embargo, la principal desventaja que presenta este circuito con respecto al asimétrico es el consumo de potencia, elevándose a 19 mW.

En el siguiente apartado se detalla el diseño físico del LNA, es decir, la generación de los *layouts* necesarios para su fabricación.

4.3. *Layout* y simulaciones *post-layout* de los LNAs

En este apartado se describe el diseño de los *layouts* del LNA y sus simulaciones *post-layout*.

4.3.1. *Layout* del LNA cascodo

El *layout* del LNA cascodo se muestra en la Figura 4.28. En ella se pueden apreciar la disposición de los distintos componentes, destacando la colocación de las bobinas. Se ha perseguido el obtener la mayor simetría posible a pesar de disponer un número impar (3) de elementos inductivos.

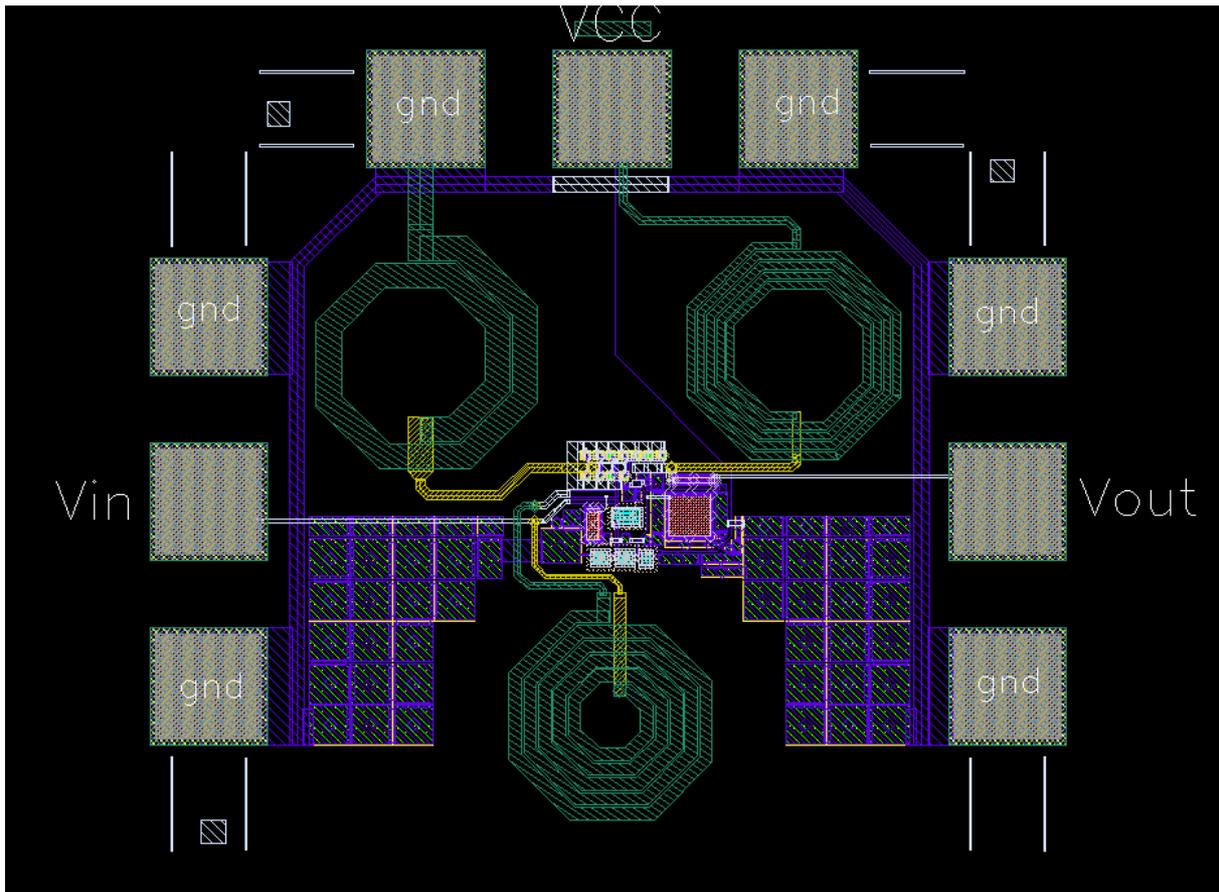


Figura 4.28 *Layout del LNA cascado.*

Las estructuras cuadradas situadas alrededor de la bobina inferior son contactos a tierra. Con ellos evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

El tipo de terminales empleado es el denominado Ground-Signal-Ground (GSG). Con ellos alimentamos al circuito, le introducimos las señales de RF y obtenemos las señales que atacarán al dispositivo que sigue al LNA (generalmente suele ser un mezclador).

En la Figura 4.29 podemos ver una imagen detallada del núcleo del circuito. En la parte superior de la figura se aprecian los transistores que forman el esqueleto del circuito. A pesar de no ser diseñados mediante técnicas centroidales (estamos ante un circuito asimétrico), se ha procurado que presenten la mayor compacidad posible. Cabe destacar el uso de estructuras *dummies* en las resistencias. Esto se observa en la parte central e inferior de la imagen.

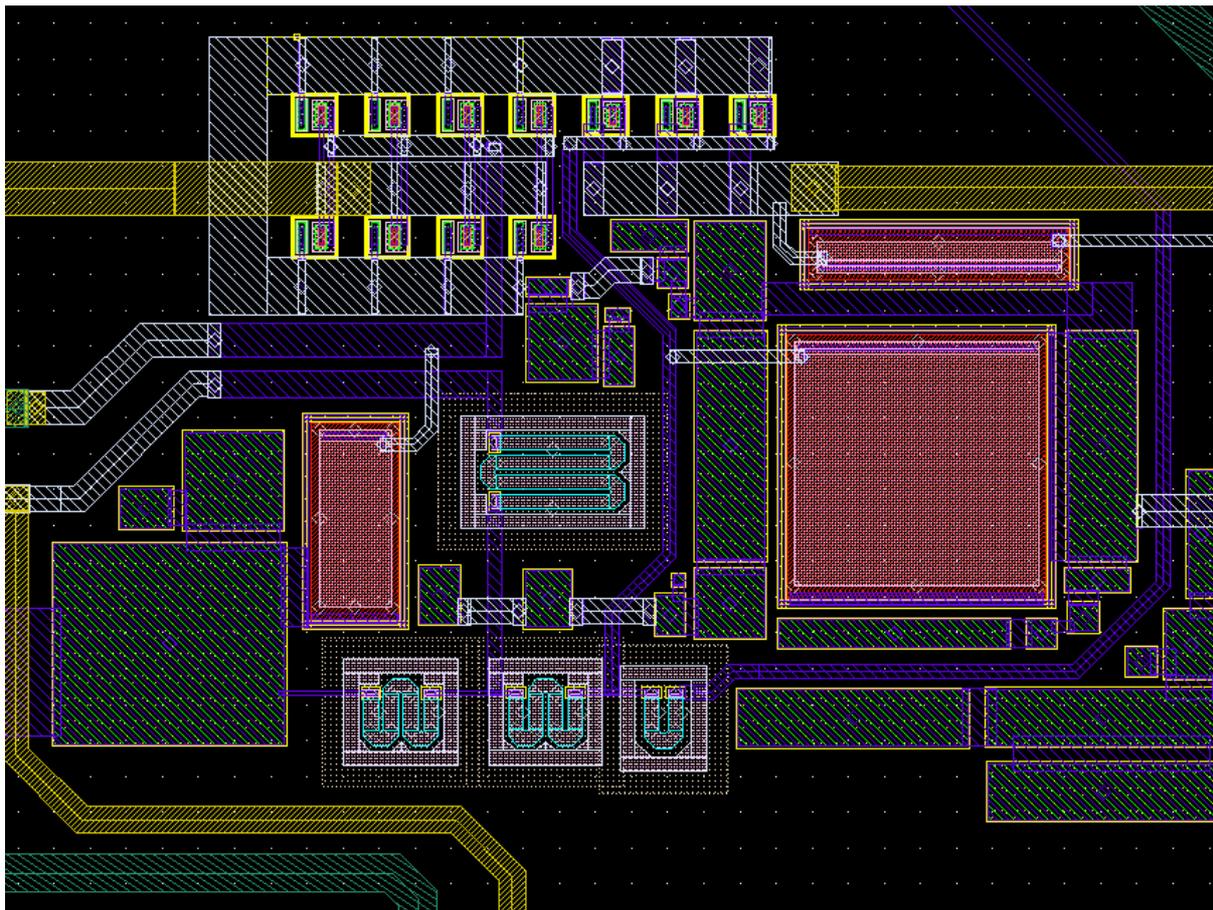


Figura 4.29 Detalle del núcleo del circuito para el LNA cascado.

Por último, también aparecen las conexiones al sustrato y los condensadores, destacando el mayor de todos (1 pF) con una estructura totalmente cuadrada.

4.3.2. Simulaciones *post-layout* del LNA cascado

En la Figura 4.30 se observan las simulaciones para la cascado de la ganancia (GP), figura de ruido (NFmin), adaptación a la entrada (VSWR 1) y la salida (VSWR 2). En la Figura 4.31 se aprecian las correspondientes simulaciones para los parámetros S. Los valores de ambas simulaciones quedan recogidos en la Tabla 4.1.

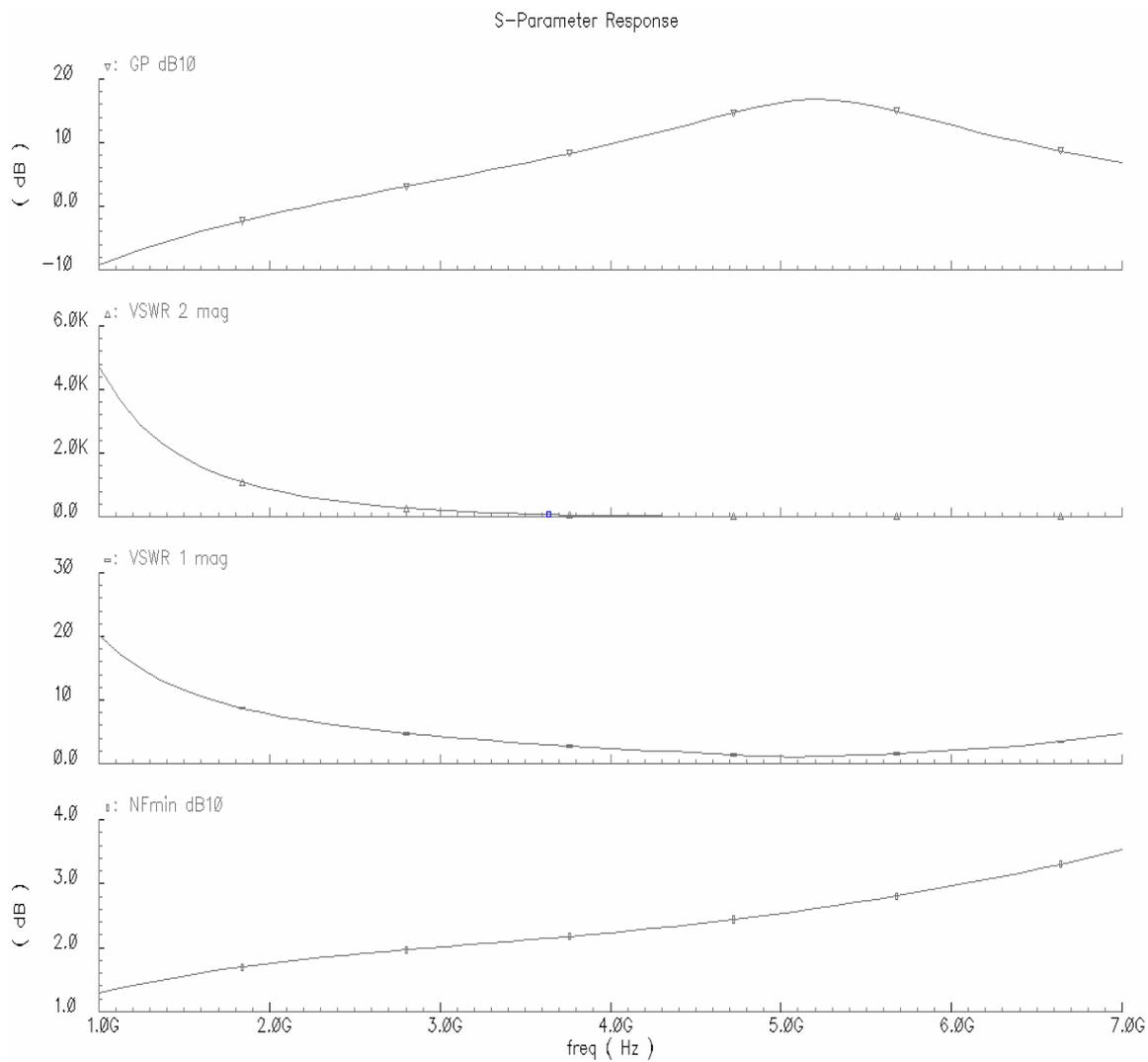


Figura 4.30 Simulaciones *post-layout* para el LNA cascado de la ganancia (GP), figura de ruido (NFmin), adaptación a la entrada (VSWR 1) y la salida (VSWR 2).

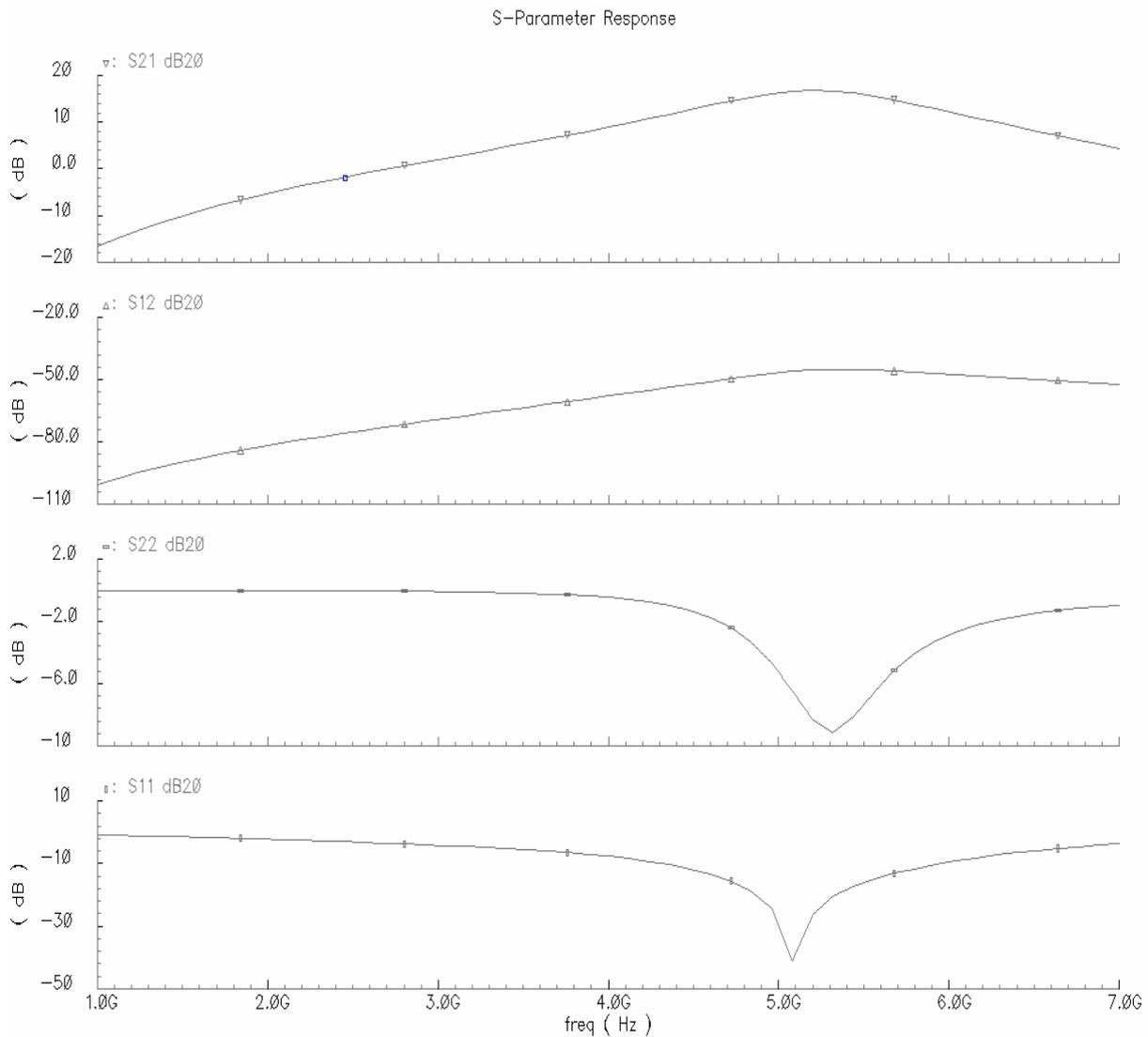


Figura 4.31 Simulaciones *post-layout* para el LNA cascode de los parámetros S donde se puede observar la ganancia (S21), aislamiento (S12), adaptación a la entrada (S11) y la salida (S22).

Comparando los resultados de dicha tabla con los obtenidos a nivel de esquemático vemos que no existen diferencias significativas. Sólo el apartado del VSWR 2, y por consiguiente el S22, ve su valor reducido en mayor medida. Sin embargo, en el apartado de la NF vemos que su valor mejora notablemente. Esto nos invita a pensar en un óptimo funcionamiento en una implementación física real.

Tabla 4.1. Resultados finales para el LNA cascodo

Ganancia	16.230 dB
NF	2.875 dB
VSWR1	1.25
VSWR2	2.53
S11	-41 dB
S12	-47 dB
S21	16.230 dB
S22	-9.3 dB
IIP3	-4.373 dBm
OIP3	11.857 dBm
Consumo de potencia	9.82 mW
Área del chip	645 μm \times 736 μm

4.3.3. *Layout* del LNA balanceado

El *layout* del circuito balanceado se muestra en la Figura 4.32. En ella, si trazamos una línea imaginaria que corte verticalmente por la mitad a la imagen, observaremos una gran simetría. El obtener esto se hace fundamental para lograr el máximo apareamiento entre los componentes de las dos ramas que conforman el LNA.

Al igual que en el *layout* anterior, se observan las conexiones con el sustrato, las cuales evitarán fluctuaciones que pudieran afectar al circuito.

Para facilitar la conexión del LNA con el exterior, se ha hecho uso de dos tipos de terminales: el denominado GSG (Ground-Signal-Ground), que ya utilizamos en el *layout* anterior, y el terminal SGS (Signal-Ground-Signal). El primero ha sido utilizado para la alimentación del circuito, mientras que el segundo se ha utilizado para introducirle la señal de RF y para comunicarlo con la etapa que sigue al LNA.

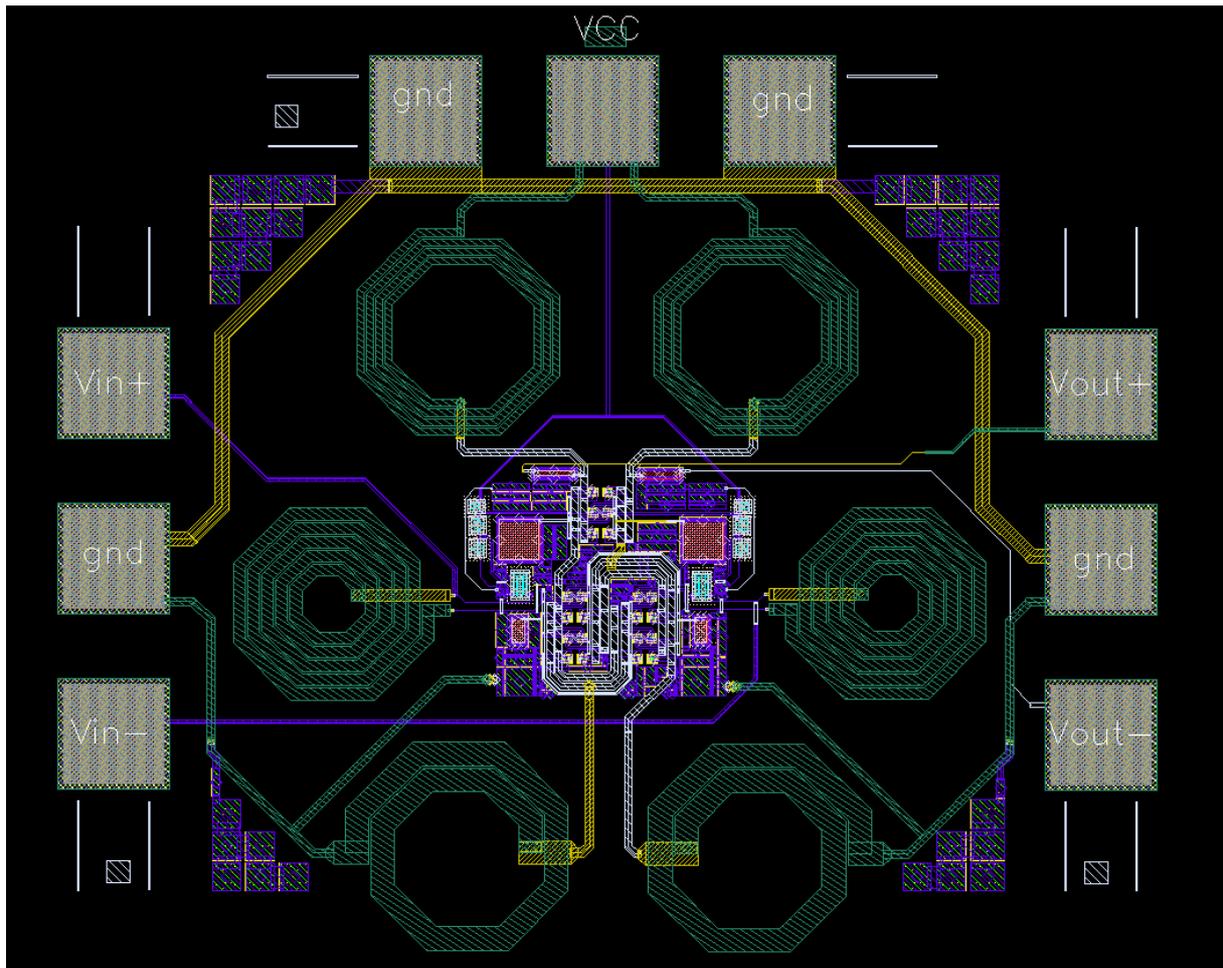


Figura 4.32 Layout del LNA balanceado.

En la imagen de la Figura 4.33 se observa, de forma detallada, la estructura del núcleo interno del LNA. Al igual que en la figura anterior, existe una gran simetría alrededor de un eje vertical central. Merece una mención especial la ordenación de los transistores, ejemplo de la aplicación de la técnica de centroide común [JAC98]. Esto se observa en el grupo de 6 transistores situados en la parte superior de la imagen. Igualmente se observa en los otros dos grupos de 8 transistores cada uno situado en la parte inferior de la figura.

En los tres casos, la disposición se corresponde con *arrays* bidimensionales, estando los dos últimos ordenados según el esquema de acoplamiento por par cruzado. En la imagen también se observan las estructuras *dummies* utilizadas en las resistencias, al igual que en el *layout* anterior, éstas se encuentran situadas en los laterales de la imagen. Finalmente, se observan los condensadores y los contactos al sustrato comentados anteriormente.

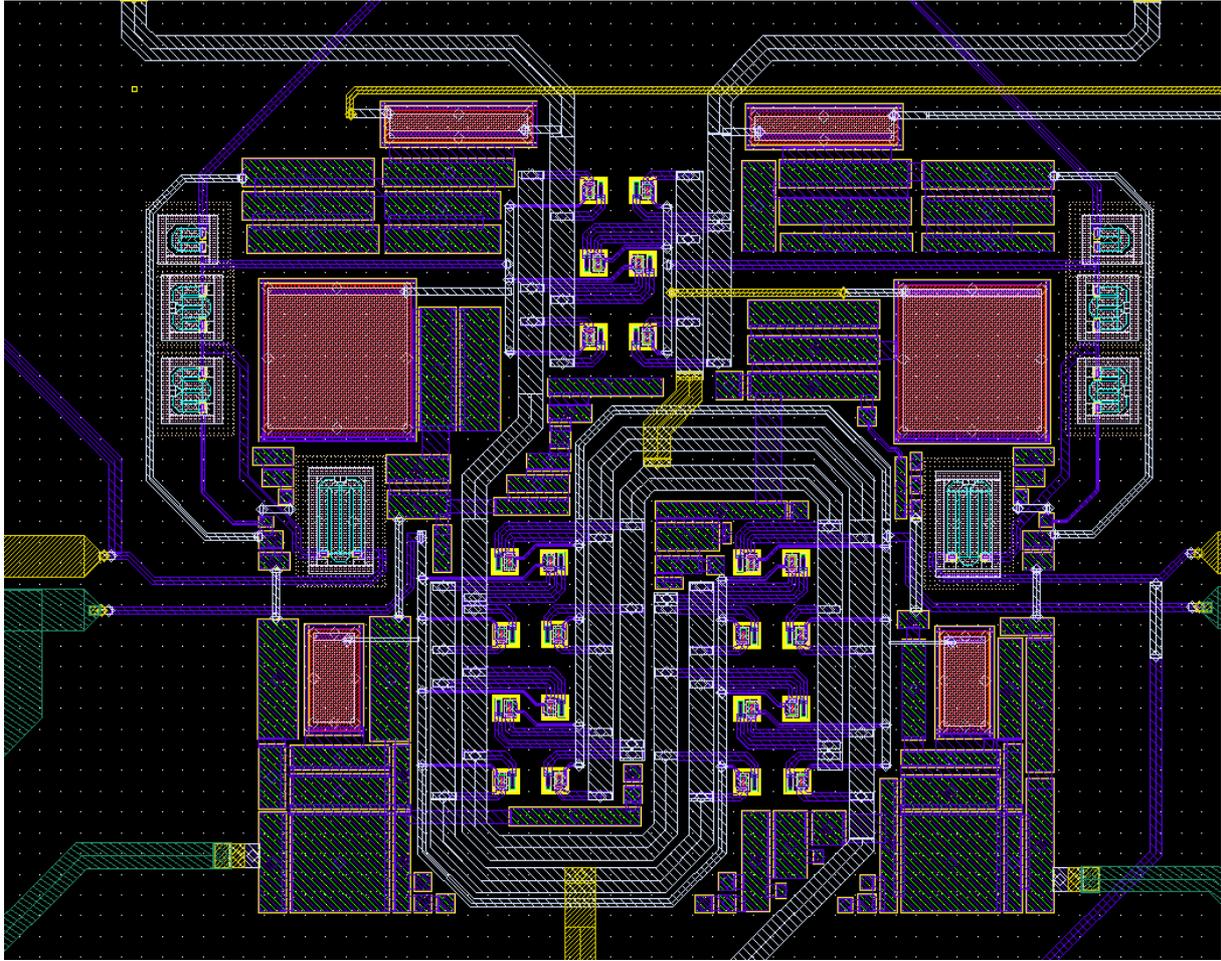


Figura 4.33 Detalle del núcleo del circuito del LNA balanceado.

4.3.4. Simulaciones *post-layout* del LNA balanceado

En la Figura 4.34 se observan las simulaciones para la ganancia (GP), figura de ruido (NF), adaptación a la entrada (VSWR 1) y la salida (VSWR 2). En la Figura 4.35 se aprecian las correspondientes para los parámetros S. Los valores de ambas simulaciones quedan recogidos en la Tabla 4.2.

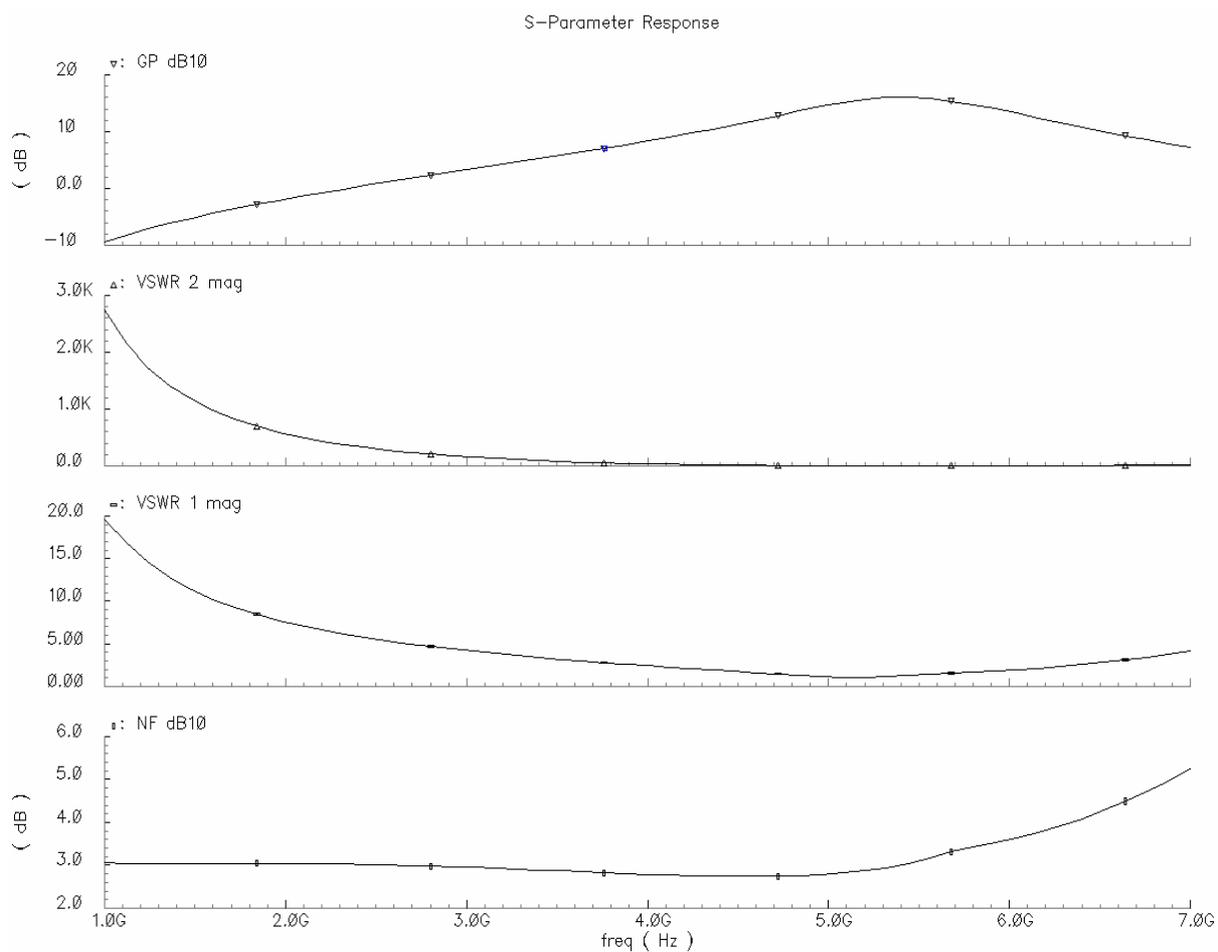


Figura 4.34 Simulaciones *post-layout* para el LNA balanceado de la ganancia (GP), figura de ruido (NF), adaptación a la entrada (VSWR 1) y la salida (VSWR 2).

Al igual que los resultados obtenidos con el circuito asimétrico, no se observan diferencias significativas entre estos valores y los obtenidos a nivel de esquemático.

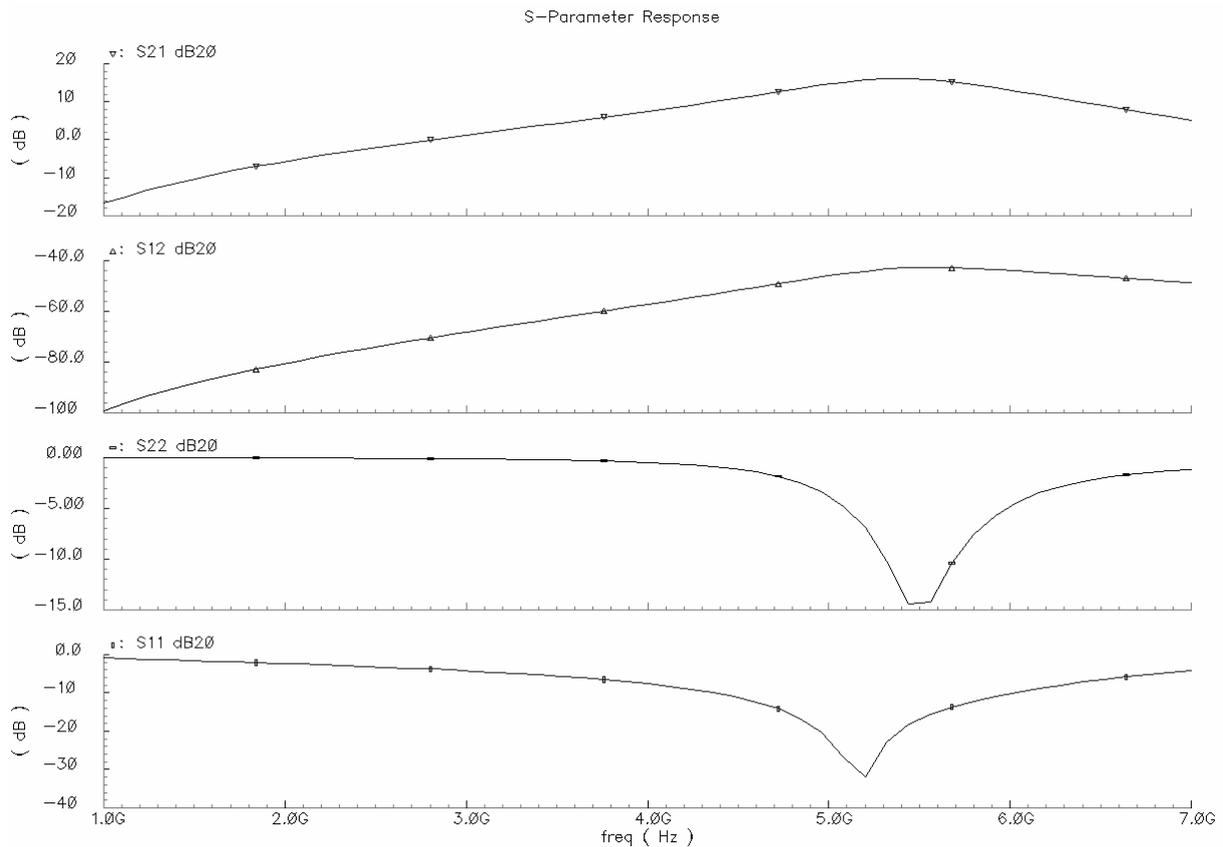


Figura 4.35 Simulaciones *post-layout* para el LNA balanceado de los parámetros S donde se puede observar la ganancia (S21), aislamiento (S12), adaptación a la entrada (S11) y la salida (S22).

Un hecho a destacar es que debido a las altas capacidades parásitas generadas por el trazado de las pistas, fue necesario cambiar el valor de la bobina y del condensador de salida para mejorar el VSWR 2.

Tabla 4.2. Resultados finales para el LNA balanceado

Ganancia	15.910 dB
NF	3.127 dB
VSWR1	1.35
VSWR2	1.93
S11	-32.81 dB
S12	-44 dB
S21	15.910 dB
S22	-14.43 dB
IIP3	-1.32 dBm
OIP3	14.59 dBm
Consumo de potencia	19.64 mW
Área del chip	767 μm \times 932 μm

4.4. Conclusiones

En este capítulo, después de realizar un estudio de los diferentes tipos de LNA, se optó por el diseño de dos, uno asimétrico con configuración cascodo y otro balanceado. Se eligieron dichas configuraciones debido a que ambas poseen un menor consumo de potencia, mejor linealidad, aislamiento y ganancia que las otras estudiadas.

Siguiendo el flujo de diseño descrito, primero se realizó un estudio de los niveles de polarización de transistor para conseguir un buen compromiso entre ganancia, figura de ruido y linealidad. Se continuó el diseño de la configuración cascodo y de la etapa de polarización. Después se adaptaron la entrada y salida del circuito. La entrada se adaptó para mínimo ruido y máxima transferencia de potencia utilizando un híbrido de red LC y degeneración inductiva. Se finalizó el diseño a nivel de esquemático con la verificación y optimización de los resultados. Se siguió con el diseño del mismo LNA pero en configuración balanceada y se realizaron los *layouts* de ambos. En la Tabla 4.3 se observa una comparativa de los LNAs diseñados. Los resultados expuestos son los obtenidos de las simulaciones *postlayouts*.

Tabla 4.3. Comparativa de los LNA diseñados (simulaciones *postlayout*)

	Especificaciones	Cascodo	Balanceado
Ganancia	> 9 dB	16.230 dB	15.910 dB
VSWR1	Cercano a 1	1.25	1.35
VSWR2	Cercano a 1	2.53	1.93
IIP3	> -2 dBm	-4.373 dBm	-1.32 dBm
NF	< 4 dB	2.875 dB	3.127 dB
Consumo	Menor posible	9.82 mW	19.64 mW
Area	Menor posible	645 $\mu\text{m} \times 736 \mu\text{m}$	767 $\mu\text{m} \times 932 \mu\text{m}$

El LNA cascodo cumple todas las especificaciones menos la de linealidad. Este fue uno de los motivos por lo que se diseñó el LNA balanceado, en el cual, a costa de un pequeño empeoramiento de la ganancia y la NF se consigue la característica de IIP3 impuesta. Además, el uso de una configuración balanceada, hace que el área y el consumo sean superiores al cascodo.

En cuanto a la adaptación, ambos tienen valores de VSWR cercanos a 1 para la entrada y algo mayor para la salida.

Capítulo 5

El mezclador

En este capítulo se va a profundizar en el funcionamiento y diseño del mezclador de frecuencias, diseñando tres tipos de mezcladores indicados para el receptor de baja frecuencia intermedia del estándar IEEE 802.11a. El capítulo comienza con un estudio de los conceptos básicos relativos a los mezcladores. Se sigue con el diseño de un mezclador activo basado en la célula de Gilbert. Debido al principal problema que presenta esta topología, que es la existencia de tres niveles de transistores entre los que hay que repartir los 3.3 V de alimentación, se opta por la realización de una variación de la célula de Gilbert, que es un mezclador con configuración Doblada. También se diseñará un mezclador pasivo, del que se describirá el proceso de diseño y medida. El capítulo termina con las conclusiones donde se realizará una comparativa de los mezcladores diseñados.

5.1. Conceptos básicos de mezcladores

Un mezclador de frecuencias tiene la función de convertir o trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc.). Antes de describir los tipos de mezcladores existentes se va a realizar una pequeña introducción sobre ellos.

5.1.1. Introducción

Un mezclador de frecuencias suma o resta a la banda de frecuencias de la señal de entrada (V_{RF}), centrada en la frecuencia f_{RF} , un valor de frecuencia constante de valor f_{OL} denominado frecuencia del oscilador local, para obtener una señal centrada en la frecuencia f_{FI} , o frecuencia intermedia. Un diagrama básico sería el mostrado en la Figura 5.1.

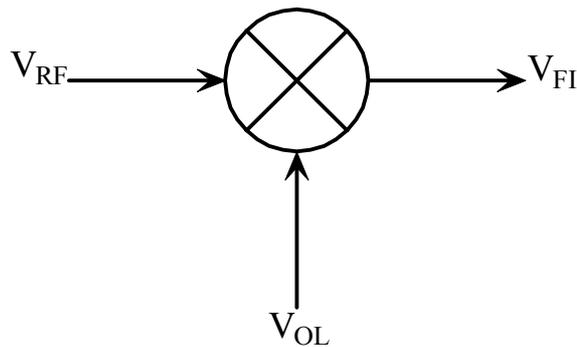


Figura 5.1. Diagrama básico de un mezclador.

La señal de entrada puede estar localizada en cualquier rango de frecuencias, es decir, ser una señal en banda base o una señal pasobanda, y el mezclado puede realizarse tanto para subir en frecuencia la señal de entrada (*up-conversion*), como para bajarla (*down-conversion*).

A continuación se va a describir los tipos de mezcladores más utilizados, el mezclador con elemento no lineal, el mezclador con multiplicador y el mezclador pasivo.

5.1.2. Mezclador con elemento no lineal

Primero se estudiará un sistema no-lineal de 2 puertos. En general, en este tipo de sistemas la relación entrada-salida en el dominio del tiempo se puede expresar por la serie de Taylor

$$V_{out}(t) = v_{out} + a \cdot v_{in}(t) + b \cdot [v_{in}(t)]^2 + c \cdot [v_{in}(t)]^3 + \dots \quad (5.1)$$

donde v_{out} es la tensión de salida en reposo y $v_{in}(t)$ representa la suma de los efectos de todas las señales de entrada. Si la entrada contiene sólo una frecuencia, la no-linealidad generará armónicos de esta frecuencia y alterará la componente continua.

Si se tienen varias frecuencias de entrada, se generarán frecuencias suma y diferencia, así como armónicas. Las frecuencias de suma y diferencia generadas por el término cuadrático en la ecuación (5.1) se llaman productos de intermodulación de segundo orden; las originadas por el término cúbico, productos de tercer orden, etc.

Debido a que los sistemas no-lineales de alto orden tienden a generar un mayor número de términos no-deseados, los mezcladores deberían aproximar un comportamiento de ley cuadrática (la no-linealidad de orden menor). El uso de una no-linealidad de orden 2 requiere que la señal v_{in} sea la suma de las entradas de RF y la señal del oscilador local (ver Figura 5.2).

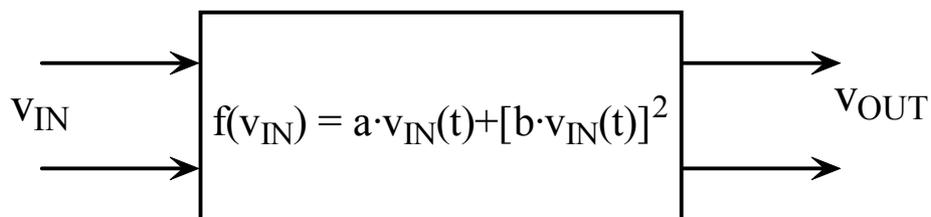


Figura 5.2. Sistema general de dos puertos no-lineal.

Así, si v_{IN} es la suma de las 2 sinusoides de la ecuación (5.2):

$$v_{IN} = v_{RF} \cdot \cos(\omega_{RF} t) + v_{OL} \cdot \cos(\omega_{OL} t) \quad (5.2)$$

entonces la salida de este mezclador se puede expresar como la suma de 3 componentes:

$$v_{OUT} = v_{FUND} + v_{CUADRADO} + v_{CRUZADO} \quad (5.3)$$

donde:

$$v_{FUND} = a \cdot (v_{RF} \cdot \cos(\omega_{RF} \cdot t) + v_{OL} \cdot \cos(\omega_{OL} \cdot t)) \quad (5.4)$$

$$v_{CUADRADO} = b \cdot (v_{RF} \cdot \cos^2(\omega_{RF} \cdot t) + v_{OL} \cdot \cos^2(\omega_{OL} \cdot t)) \quad (5.5)$$

$$v_{CRUZADO} = 2 \cdot b \cdot v_{RF} \cdot v_{OL} \cdot (\cos(\omega_{RF} \cdot t) \cdot \cos(\omega_{OL} \cdot t)) \quad (5.6)$$

Los términos fundamentales (v_{FUND}) son versiones escaladas de las entradas originales y no representan una salida útil para el mezclador. Estos términos pueden ser eliminados mediante filtrado. Los componentes v_{CUADRADO} tampoco proporcionan información útil, como se observa en el siguiente caso:

$$\cos^2(\omega \cdot t) = \frac{1}{2} \cdot (1 + \cos(2 \cdot \omega \cdot t)) \quad (5.7)$$

Obsérvese como los componentes v_{CUADRADO} producen un offset DC, así como segundos armónicos de las señales de entrada. Esto también se puede eliminar mediante filtrado.

La salida útil la forman los componentes v_{CRUZADO} debido a que se observa una multiplicación en la ecuación (5.6). Haciendo uso de las igualdades trigonométricas básicas, esta ecuación se puede describir de forma que muestre la acción del mezclador más claramente:

$$v_{\text{CRUZADO}} = b \cdot v_{\text{RF}} \cdot v_{\text{OL}} \cdot [\cos((\omega_{\text{RF}} - \omega_{\text{OL}}) \cdot t) + \cos((\omega_{\text{RF}} + \omega_{\text{OL}}) \cdot t)] \quad (5.8)$$

Para una amplitud de OL fija, la salida FI es linealmente proporcional a la amplitud de la entrada RF. Esta no-linealidad implementa un mezclador lineal, debido a que la salida es proporcional a la entrada (5.8).

La ganancia de conversión (G) de este circuito se obtiene a partir de la ecuación:

$$G = \frac{b \cdot v_{\text{RF}} \cdot v_{\text{OL}}}{v_{\text{RF}}} = b \cdot v_{\text{OL}} \quad (5.9)$$

Como cualquier otro parámetro de ganancia, la ganancia de conversión es adimensional. En diseños discretos se debe expresar como relación de potencia (o su equivalente en dB), pero los distintos niveles de impedancia en los mezcladores integrados hacen apropiado en uso de la ganancia de conversión de tensión o corriente.

La ventaja del mezclador de ley cuadrática es que los componentes espectrales no deseados normalmente están en una frecuencia bastante separada de la FI, por lo que se pueden eliminar fácilmente.

En la Figura 5.3 se muestra un mezclador de ley cuadrática realizado con MOSFETs. En este esquemático simplificado, la tensión de polarización, RF y OL se representan en serie con la puerta del transistor. La suma de las señales RF y OL puede realizarse en circuitos prácticos

con sumadores resistivos o reactivos. Debido a que estas señales están en serie, existe poco aislamiento entre ellas.

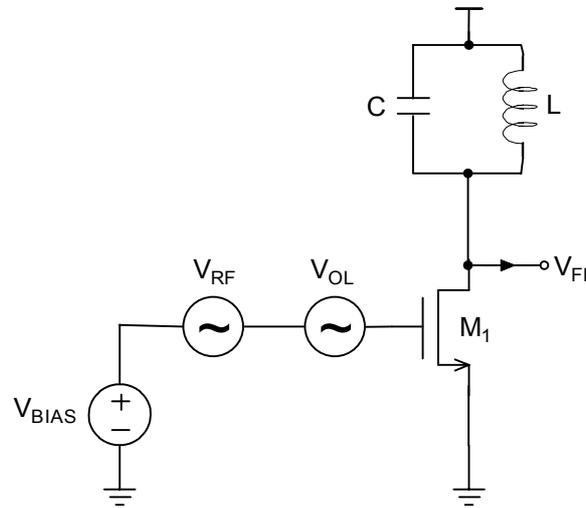


Figura 5.3. Mezclador MOSFET de ley cuadrática simplificado.

En la Figura 5.4 se muestra una solución alternativa, pero funcionalmente equivalente, que reduce el efecto de la gran potencia de la señal OL en el puerto RF.

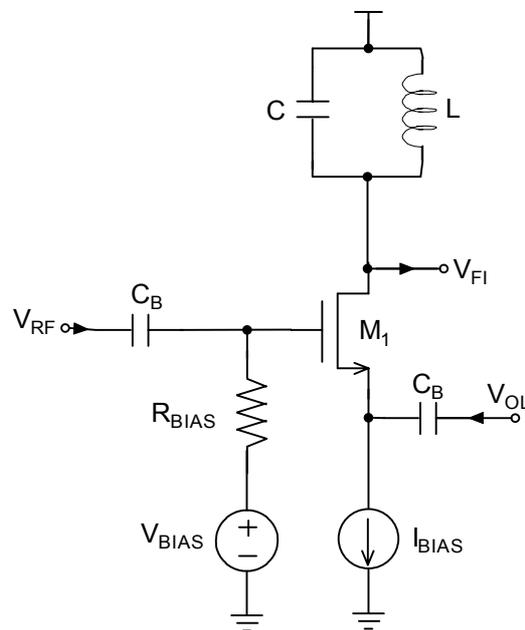


Figura 5.4. Mezclador MOSFET de ley cuadrática (configuración alternativa).

La señal RF ataca a la puerta directamente (a través de un condensador para el bloqueo DC), mientras que la señal OL ataca al terminal fuente. De esta manera, la tensión puerta-fuente (V_{GS}) es la suma de las señales OL y RF referenciadas a tierra.

Debido a que en un mezclador no es necesario un perfecto comportamiento de ley cuadrática, M_1 puede ser un transistor bipolar. En este caso el efecto cuadrático en la representación en serie para la relación exponencial i_c - V_{BE} , domina en un rango limitado de amplitudes de entrada, ignorando los efectos dinámicos esta relación viene dada por:

$$i_c = I_S \cdot e^{\frac{V_{BE}}{V_T}} \quad (5.10)$$

expandiendo esta relación a un sistema de segundo orden:

$$i_c = I_C \cdot \left[1 + \frac{V_{BE}}{V_T} + \frac{1}{2} \cdot \left(\frac{V_{BE}}{V_T} \right)^2 \right] \quad (5.11)$$

haciendo que:

$$C_2 = \frac{gm}{2V_T} \quad (5.12)$$

donde $gm=I_C/V_T$ se obtiene que la ganancia de conversión viene dada por:

$$GC = C_2 \cdot v_{OL} = gm \cdot \frac{V_{OL}}{2 \cdot V_T} \quad (5.13)$$

Se observa como la ganancia de conversión es proporcional a la transconductancia y a la relación entre la amplitud del oscilador local y la V_T , en otras palabras, la ganancia de conversión en un transistor bipolar depende de la corriente de polarización, de la amplitud del oscilador local y de la temperatura.

En este análisis se han ignorado las resistencias parásitas de base y emisor. Estas resistencias pueden linealizar el transistor y, por lo tanto, empeorar la acción del mezclador.

5.1.3. El mezclador con multiplicador

Los mezcladores basados en sistemas no-lineales generan un número elevado de componentes espectrales. Además, debido a que los mezcladores de dos puertos tienen una sola entrada, las señales de RF y OL nos suelen estar lo suficientemente aisladas entre ellas. Esta falta de aislamiento puede provocar la aparición de offset de DC en la etapa de FI o la radiación de la señal de OL (o sus armónicos) a través de la antena.

Los mezcladores basados directamente en multiplicadores presentan por lo general un rendimiento mayor debido a que (idealmente) sólo generan el producto de intermodulación desea-

do. Además, debido a que las entradas del multiplicador se encuentran en puertos separados, puede haber un alto grado de aislamiento entre las tres señales (RF, OL, FI).

Los mezcladores basados en multiplicadores se catalogan como, simple balanceado y doble balanceado. A continuación se presenta de forma resumida ambos tipos de mezcladores en sus versiones activa y pasiva.

5.1.3.1. Mezclador simple balanceado

Este tipo de multiplicadores primero convierte la tensión de entrada RF en una corriente y después realiza la multiplicación en el dominio de la corriente. La célula más sencilla de este tipo se representa en la Figura 5.5.

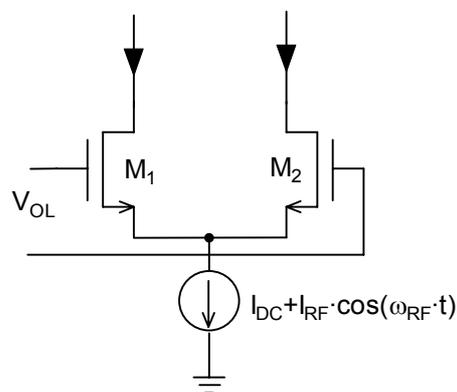


Figura 5.5. Mezclador simple balanceado.

En este mezclador, v_{OL} se elige lo suficientemente grande para que los transistores puedan conmutar alternativamente la corriente de polarización de un lado al otro a la frecuencia OL. De esta forma la corriente de polarización se multiplica por una onda cuadrada cuya frecuencia es la del oscilador local.

$$i_{out}(t) = \text{sgn}\{\cos(\omega_{OL} \cdot t) \cdot (I_{BIAS} + I_{RF} \cdot \cos(\omega_{RF} \cdot t))\} \quad (5.14)$$

Debido a que una onda cuadrada consiste en los armónicos impares del fundamental, la multiplicación de la corriente de polarización por una onda cuadrada produce un espectro de salida como el mostrado en la Figura 5.6 (ω_{RF} se ha tomado muy pequeño para una representación más clara).

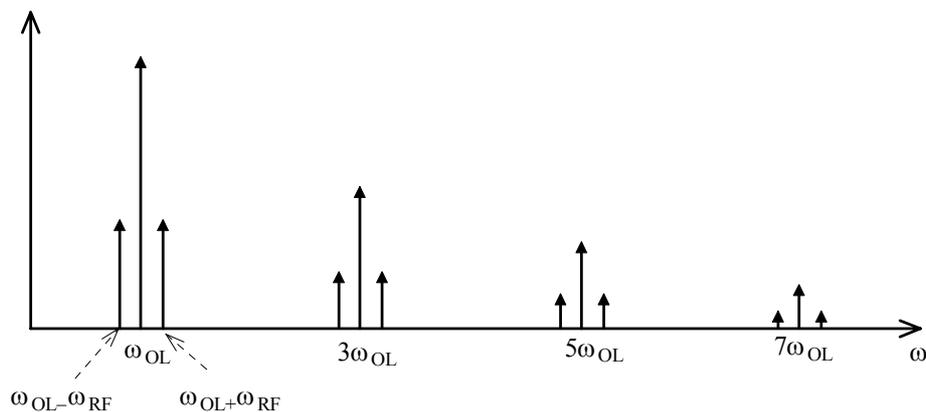


Figura 5.6. Espectro de salida de un mezclador simple balanceado.

La salida consiste en componentes suma y resta, cada uno resultado de un armónico impar del OL mezclado con la señal RF. Los armónicos impares de OL aparecen directamente a la salida como consecuencia de la multiplicación de la señal de polarización (DC) con la señal OL. Debido a la presencia de OL en el espectro de salida, este tipo de mezcladores se denominan simple-balanceados. Los mezcladores doble-balanceados aprovechan la simetría para eliminar la salida no deseada, OL.

A pesar de que la fuente de corriente de la Figura 5.5 incluye un componente que es perfectamente proporcional a la señal de entrada RF, los convertidores V-I de los mezcladores reales son imperfectos. Un importante reto de diseño es maximizar la linealidad de la transconductancia RF. Ésta se puede mejorar mediante degeneración de la fuente, tanto para puerta como para fuente común (ver Figura 5.7).

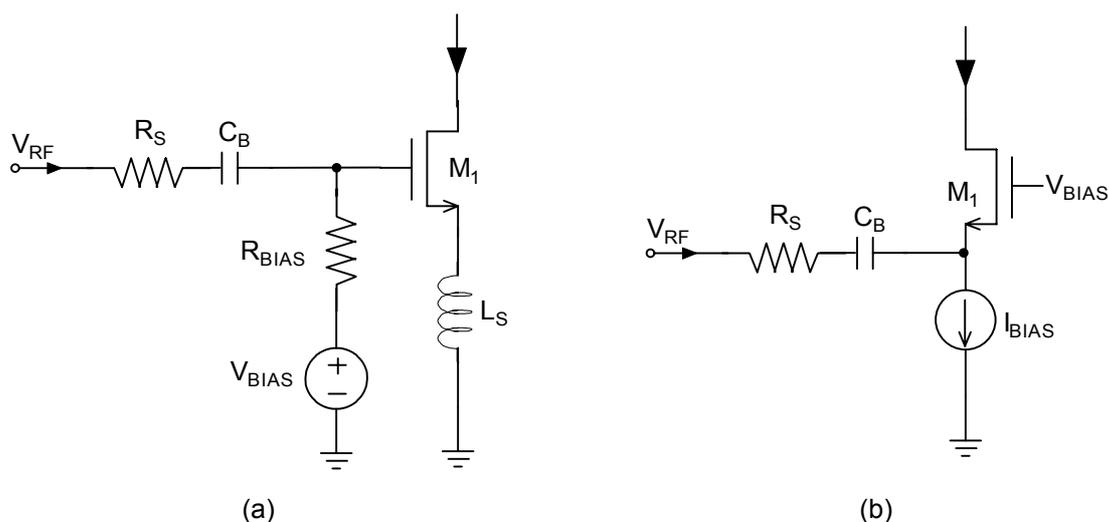


Figura 5.7. Transconductores de RF para mezcladores, fuente común (a) y puerta común (b).

Ambos circuitos usan una resistencia R_S para linealizar la característica de transferencia. Para el caso del circuito puerta común esta linealización es más efectiva si la admitancia desde el terminal de fuente del transistor es mucho mayor que la conductancia de R_S . En este caso, la transconductancia de la etapa se aproxima a $1/R_S$.

Normalmente se prefiere una degeneración inductiva a una resistiva debido a varios motivos. Una inductancia no introduce ruido térmico que degrade la figura de ruido ni caída de tensión que disminuya el nivel de alimentación. Esta última consideración es particularmente importante para aplicaciones de baja tensión y baja potencia. Finalmente, un aumento de la reactancia ayuda a atenuar los armónicos de alta frecuencia y los componentes de intermodulación.

En la Figura 5.8 se muestra un mezclador simple-balanceado de forma más completa, que incorpora una transconductancia linealizada.

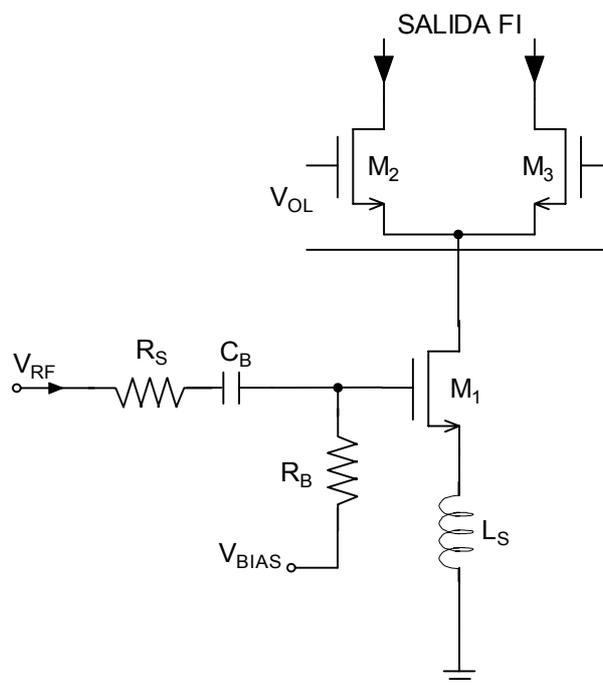


Figura 5.8. Mezclador simple-balanceado con transconductancia linealizada.

El valor de V_{BIAS} establece la corriente de polarización, R_B se escoge lo suficientemente grande para no despolarizar la puerta del circuito y reducir su contribución al ruido. La señal RF se aplica a la puerta a través de un condensador de bloqueo DC (C_B). En la práctica se usa un filtro para eliminar los componentes espectrales de OL de la salida.

La ganancia de conversión de un mezclador se puede calcular sabiendo que los transistores de OL se comportan como interruptores perfectos. Entonces, la corriente de salida diferencial

puede ser considerada como el resultado de multiplicar la corriente de drenador de M_1 por una onda cuadrada de amplitud unitaria. Debido a que el componente fundamental de la onda cuadrada es $4/\pi$ veces la amplitud de la onda cuadrada, se puede escribir:

$$G_C = \frac{2}{\pi} \cdot gm \quad (5.15)$$

$$gm = \frac{di_c}{dv_{be}} = \frac{i_c}{V_T} \quad (5.16)$$

donde gm es la transconductancia del conversor V-I y G_C es una transconductancia. El coeficiente es $2/\pi$ en vez de $4/\pi$ debido a que la señal FI se divide entre los componentes suma y diferencia.

5.1.3.2. Mezclador activo doble balanceado. Célula de Gilbert.

Para evitar la llegada de productos de OL a la salida, se pueden combinar dos circuitos simple-balanceados para conseguir un mezclador doble balanceado, tal como se puede observar en la Figura 5.9.

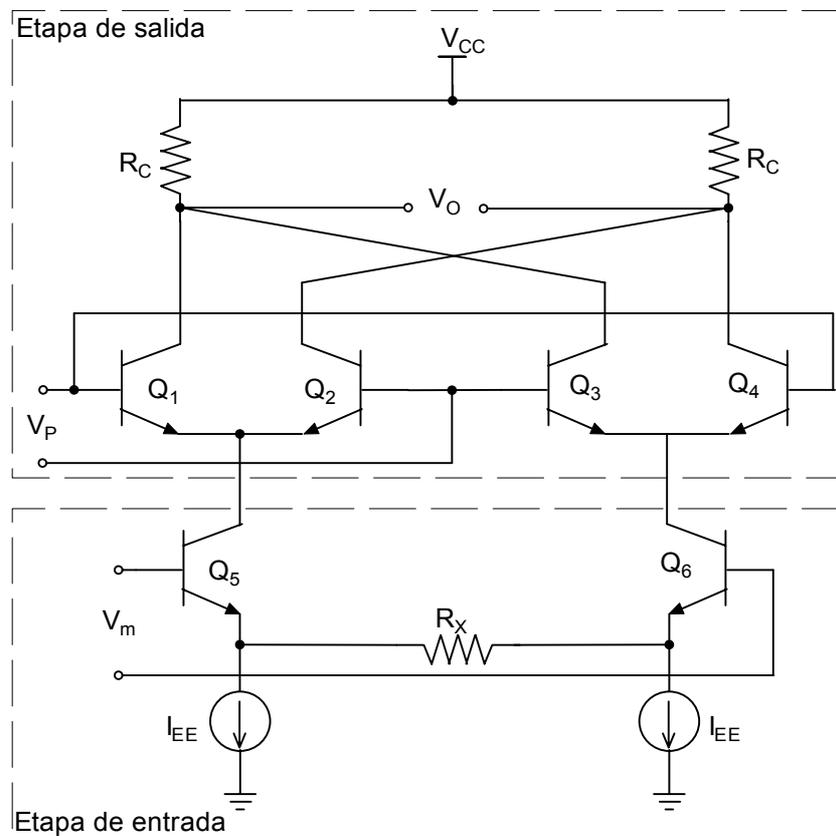


Figura 5.9. Mezclador activo doble balanceado.

La célula de Gilbert está compuesta por dos etapas: la etapa de entrada o de radio frecuencia y la etapa de salida o de frecuencia intermedia. La etapa de entrada compuesta por un par diferencial, es un amplificador de transconductancia. Su función es la de conversión con ganancia de tensión a corriente. La etapa de salida compuesta por dos pares diferenciales con salidas cruzadas, es el núcleo del mezclador ya que se encarga de la realización de la multiplicación.

Para el análisis del circuito se supone que todos los transistores son idénticos y que la resistencia de salida de los transistores y de la fuente de corriente de polarización, así como las corrientes de base se pueden despreciar. Además, se supondrá que los transistores están bien polarizados y se encuentran siempre en la región activa.

Del modelo de Ebers-Moll y suponiendo $V_{be1}, V_{be2} \gg V_T$ se obtienen las siguientes relaciones:

$$V_{bex} = V_T \cdot \ln\left(\frac{I_{CX}}{I_{SX}}\right) \quad (5.17)$$

$$I_{C1} = \frac{I_{C5}}{1 + e^{\frac{V_P}{V_T}}} \quad (5.18)$$

$$I_{C4} = \frac{I_{C6}}{1 + e^{\frac{V_P}{V_T}}} \quad (5.19)$$

$$I_{C2} = \frac{I_{C5}}{1 + e^{\frac{V_P}{V_T}}} \quad (5.20)$$

$$I_{C5} = I_{EE} + \frac{V_X}{R_X} \quad (5.21)$$

$$I_{C3} = \frac{I_{C6}}{1 + e^{\frac{V_P}{V_T}}} \quad (5.22)$$

$$I_{C6} = I_{EE} - \frac{V_X}{R_X} \quad (5.23)$$

Combinando las expresiones anteriores:

$$I_1 = \frac{I_{EE} + \frac{V_X}{R_X}}{1 + e^{\frac{V_P}{V_T}}} + \frac{I_{EE} - \frac{V_X}{R_X}}{1 + e^{\frac{V_P}{V_T}}} \quad (5.24)$$

$$I_2 = \frac{I_{EE} + \frac{V_X}{R_X}}{1 + e^{\frac{V_P}{V_T}}} + \frac{I_{EE} - \frac{V_X}{R_X}}{1 + e^{\frac{V_P}{V_T}}} \quad (5.25)$$

Por lo que la salida en corriente diferencial es:

$$\Delta I \equiv I_2 - I_1 = \frac{\overbrace{2 \cdot \frac{V_X}{R_X}}^{I'}}{1 + e^{\frac{V_P}{V_T}}} + \frac{\overbrace{-2 \cdot \frac{V_X}{R_X}}^{-I'}}{1 + e^{\frac{V_P}{V_T}}} \quad (5.26)$$

$$\Delta I \equiv I_2 - I_1 = \frac{I'}{1 + e^{\frac{V_P}{V_T}}} - \frac{I'}{1 + e^{\frac{V_P}{V_T}}} = I' \cdot \frac{e^{\frac{V_P}{V_T}} - e^{\frac{V_P}{V_T}}}{2 + e^{\frac{V_P}{V_T}} + e^{\frac{V_P}{V_T}}} = I' \cdot \tanh\left(-\frac{V_P}{2 \cdot V_T}\right) \quad (5.27)$$

La salida en tensión es:

$$\begin{aligned} V_{o1} &= V_{CC} - I_1 \cdot R_C \\ V_{o2} &= V_{CC} - I_2 \cdot R_C \end{aligned} \quad (5.28)$$

$$V_o = V_{o1} - V_{o2} = R_C \cdot (I_2 - I_1) \quad (5.29)$$

$$V_o = -R_C \cdot \frac{2 \cdot V_m}{R_X} \cdot \tanh\left(\frac{V_P}{2 \cdot V_T}\right) \quad (5.30)$$

Para ciertos valores de x (para $-0.5 < x < 0.5$), se puede hacer la aproximación $\tanh(x) \approx x$.

Es decir, si $|V_P| < 2V_T$, la salida en tensión de la célula de Gilbert se puede expresar como se muestra en la siguiente expresión:

$$V_o \approx -R_C \cdot \frac{2 \cdot V_m}{R_X} \cdot \frac{V_P}{2 \cdot V_T} \approx -\underbrace{\frac{R_C}{R_X \cdot V_T}}_{cte} \cdot V_m \cdot V_P \quad (5.31)$$

La característica de transferencia en continua, es el producto de la tangente hiperbólica de las dos tensiones de entrada.

Esta célula multiplicadora se puede usar en diferentes aplicaciones dependiendo de la magnitud de V_m y V_p con respecto a V_T :

- $V_m, V_p \ll V_T$.- En este caso, la tangente hiperbólica se puede considerar como una línea recta, con lo que se obtiene el producto lineal $V_m \cdot V_p$.
- V_m o $V_p > V_T$.- Con estos niveles, el transistor al que se le aplica dicha señal se comporta como un conmutador antes que como un dispositivo lineal. Es como multiplicar una pequeña señal por un tren de pulsos.

- V_m y $V_p > V_T$.- Este modo de operación es útil para la detección de diferencia de fases entre dos señales de amplitud limitada. Ambos transistores se comportan como conmutadores.

Se asume que la amplitud de la señal OL es lo suficientemente grande para hacer actuar al par diferencial como interruptores controlados por tensión. Los dos mezcladores simple balanceados están conectados en antiparalelo para la señal OL, pero en paralelo para la señal RF. Por lo tanto, los términos de OL se anulan a la salida y la señal de RF se dobla.

Este mezclador tiene un alto grado de aislamiento OL-FI, si se tiene cuidado en el *layout*, se puede conseguir aislamientos entre 40 dB y 60 dB.

Al igual que en el mezclador simple-balanceado, el rango dinámico está limitado en parte por la linealidad del convertidor V-I en el puerto FI. Por lo tanto, parte del proceso de diseño será conseguir una mejor conversión V-I. Las técnicas básicas de linealización usadas en el mezclador simple-balanceado deben ser adaptadas al caso del mezclador doble-balanceado, como se muestra en la Figura 5.10.

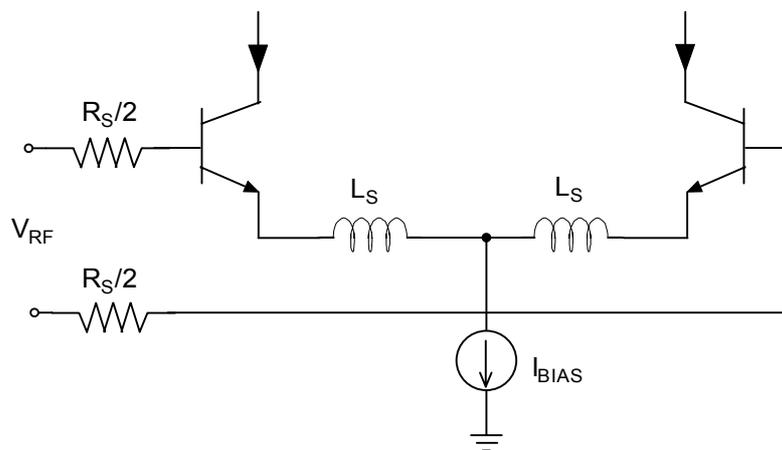


Figura 5.10. Transconductor RF diferencial linealizado en mezclador doble balanceado.

En aplicaciones de baja tensión, la fuente de corriente DC (I_{BIAS}) se puede reemplazar por un tanque paralelo LC para crear una fuente de corriente que no consuma tensión DC. La frecuencia de resonancia del tanque debe elegirse para proporcionar rechazo del componente en modo común. Si existen varios componentes en modo común, se deben usar varios tanques LC en serie. En la Figura 5.11 se muestra un circuito de un mezclador doble-balanceado en el que se utiliza un tanque LC.

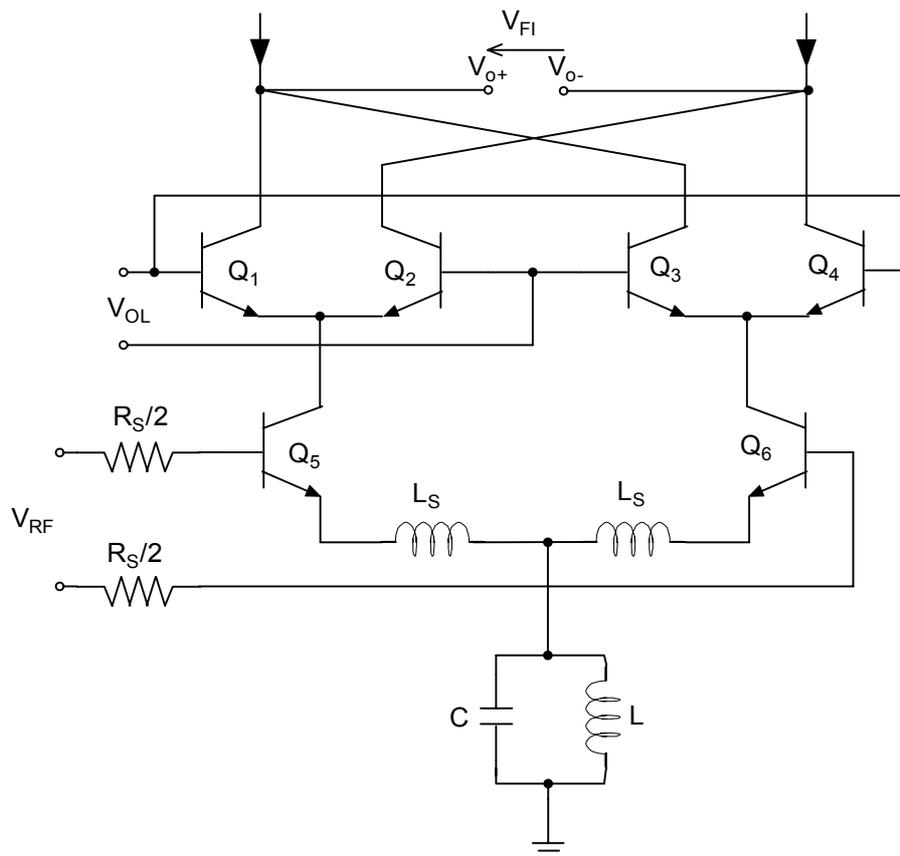


Figura 5.11. Mezclador doble balanceado con mínimo consumo DC.

5.1.4. El mezclador CMOS pasivo

El multiplicador CMOS pasivo emplea un puente multiplicador (M_{1-4}) tal como se muestra en la Figura 5.12, así como una etapa de amplificación compuesta por un amplificador operacional totalmente diferencial. El puente multiplicador opera en la región óhmica y en consecuencia los MOSFET pueden ser considerados como resistencias. Inicialmente sin considerar la polarización del puente, la tensión en el terminal negativo de salida viene dada como:

$$V_{o-} = -R \cdot (I_{D1} + I_{D2}) \quad (5.32)$$

Mientras que la tensión positiva viene dada como:

$$V_{o+} = -R \cdot (I_{D3} + I_{D4}) \quad (5.33)$$

En consecuencia la tensión de salida tiene la siguiente expresión:

$$V_{out} = V_{o+} - V_{o-} = R \cdot (I_{D1} + I_{D2} - I_{D3} - I_{D4}) \quad (5.34)$$

En la Figura 5.12 se muestra un esquema simplificado del multiplicador con la polarización de las entradas. En la entrada X, se ha establecido un nivel de tensión para polarizar el sistema, mientras que el nivel de polarización de la entrada Y, es establecido a un nivel suficiente para mantener al puente en la región de óhmica.

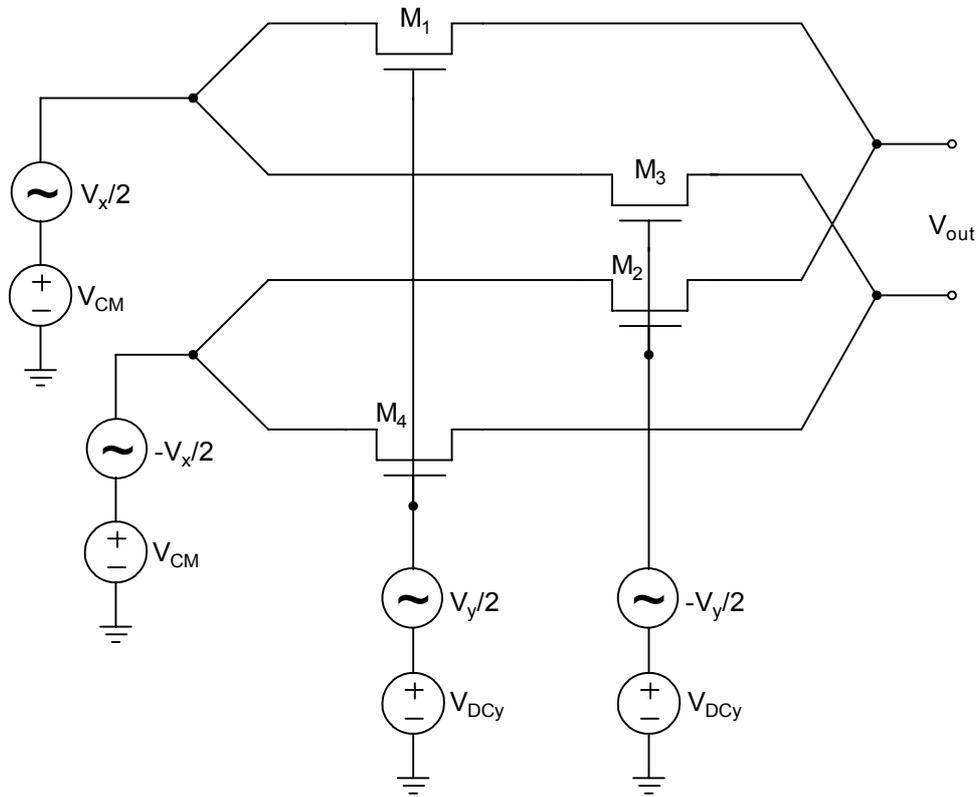


Figura 5.12. Polarización del multiplicador

Usando la ecuación correspondiente a la región óhmica de los transistores:

$$I_D = \mu \cdot C_{OX} \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (5.35)$$

y teniendo en cuenta que la tensión en DC puerta – surtidor para todos los MOSFET es la misma, las corrientes de drenador se pueden poner como:

$$I_{D1} = \mu \cdot C_{OX1} \cdot \left[\left(V_{GS} + \frac{V_y}{2} - V_{T1} \right) \cdot \left(\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left(\frac{V_x}{2} \right)^2 \right] \quad (5.36)$$

$$I_{D2} = \mu \cdot C_{OX2} \cdot \left[\left(V_{GS} - \frac{V_y}{2} - V_{T2} \right) \cdot \left(-\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left(\frac{V_x}{2} \right)^2 \right] \quad (5.37)$$

$$I_{D3} = \mu \cdot C_{OX3} \cdot \left[\left(V_{GS} - \frac{V_y}{2} - V_{T3} \right) \cdot \left(\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left(\frac{V_x}{2} \right)^2 \right] \quad (5.38)$$

$$I_{D4} = \mu \cdot C_{OX4} \cdot \left[\left(V_{GS} + \frac{V_y}{2} - V_{T4} \right) \cdot \left(-\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left(\frac{V_x}{2} \right)^2 \right] \quad (5.39)$$

Considerando que $C_{OX}=C_{OX1}=C_{OX2}=C_{OX3}=C_{OX4}$ y sustituyendo las ecuaciones (5.36) a (5.39) en la ecuación (5.34) se obtiene que la tensión de salida viene dada por la siguiente ecuación:

$$V_{out} = R \cdot \mu \cdot C_{OX} \cdot \left(\frac{V_x}{2} \right) \cdot \left[\frac{V_y}{2} - V_{T1} + \frac{V_y}{2} + V_{T2} + \frac{V_y}{2} + V_{T3} + \frac{V_y}{2} - V_{T4} \right] \quad (5.40)$$

Puede observarse como si $V_{T1}=(V_{T2} \text{ o } V_{T3})$ y $V_{T4}=(V_{T3} \text{ o } V_{T2})$ esta ecuación puede describirse como:

$$V_{out} = R \cdot \beta \cdot V_x \cdot V_y \quad (5.41)$$

De forma que la tensión de salida es proporcional al producto de las tensiones de entrada. La ganancia del amplificador es:

$$K_m = R \cdot \beta \quad (5.42)$$

Por tanto la expresión de salida del multiplicador CMOS se puede poner como:

$$V_{out} = K_m \cdot V_x \cdot V_y \quad (5.43)$$

Con la explicación del mezclador pasivo, puede darse por finalizado el estudio teórico de los mezcladores. Una vez conocido por un lado los diversos parámetros que caracterizan los mezcladores y por otro lado las diferentes topologías empleadas en los mezcladores, en los siguientes apartados se diseñará un mezclador basado en la célula de Gilbert, un mezclador doblado, el cual es igual al anterior pero con menos niveles de transistores, y un mezclador pasivo.

5.2. Diseño de un mezclador basado en célula de Gilbert

Este apartado se describe el diseño de un mezclador basado en la célula de Gilbert y está dividido de la siguiente manera. Primero se realizará una introducción donde se expondrán las espe-

cificaciones del diseño y el proceso de diseño. En el siguiente apartado se realiza el diseño a nivel de esquemático para finalizar con el diseño a nivel de *layout*.

5.2.1. Introducción

La implementación elegida es la que se muestra en la Figura 5.13. Delimitada mediante el cuadro inferior se observa la etapa de entrada, compuesta por un par diferencial, que no es más que un amplificador de transconductancia. En el cuadro superior se encierra la etapa de conmutación, compuesta por dos pares diferenciales con salidas cruzadas, éste es el núcleo del mezclador ya que se encarga de la realización de la multiplicación.

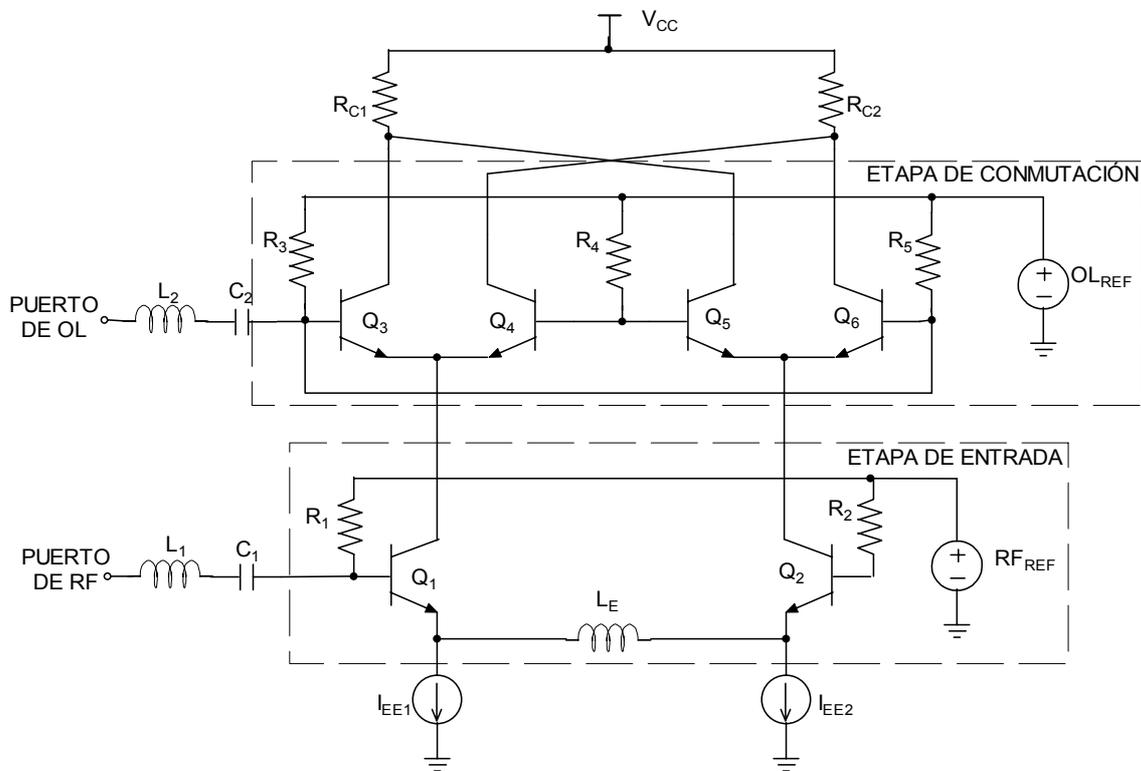


Figura 5.13. Mezclador Gilbert.

Un mezclador Gilbert doblemente balanceado consiste en un interruptor, formado por un cuarteto de transistores controlado por un oscilador local (OL), que invierte la polaridad de la entrada de radiofrecuencia (RF) a la frecuencia de este oscilador; y un amplificador de transconductancia, formado por un par diferencial.

A continuación, se van a extraer conclusiones útiles para el diseño de este tipo de circuitos a partir del estudio de las etapas básicas que componen la célula de Gilbert.

5.2.1.1. Etapa de entrada

Esta etapa está compuesta por un par diferencial formado por los transistores Q_1 y Q_2 . En ella interesa una ganancia lo más elevada posible para compensar la atenuación inherente de la etapa de conmutación (idealmente $\pi/2$) y el ruido introducido por ésta.

Para mejorar la linealidad del par de transistores bipolares de entrada se puede utilizar una resistencia de degeneración de emisor. En el valor de esta resistencia hay que establecer un compromiso entre las siguientes prestaciones. Debe ser lo suficientemente grande para obtener una linealidad adecuada, pero sin que aumente demasiado el ruido. También hay que tener en cuenta que la ganancia se ve afectada negativamente por esta resistencia, por lo que ésta no debe ser muy grande para que la ganancia no se vea demasiado mermada. Si esta etapa estuviese compuesta por transistores MOS, no sería necesaria, ya que con el dimensionado de estos transistores se puede modificar la tensión V_{GS} , a diferencia de la V_{BE} que es fija.

5.2.1.2. Etapa de conmutación

La conmutación de los pares Q_3 - Q_4 y Q_5 - Q_6 debe ser instantánea, es decir, no se deben solapar. Si se solapan, el ruido aumenta debido a que hay un instante en que todos los transistores conducen. Para evitarlo, se puede aumentar la amplitud del oscilador, pero teniendo como límite la degradación de las prestaciones de linealidad y consumo. Una amplitud del oscilador demasiado grande, introduce una corriente excesiva en los emisores comunes del cuarteto de transistores a través de la capacidad de unión base-emisor, generando intermodulación de tercer orden adicional. También interesa que los transistores sean pequeños para que se comporten como buenos conmutadores.

La impedancia de carga (R_C) debe ser grande para obtener la mayor ganancia de tensión posible, pero hay que tener en cuenta que se debe mantener una correcta polarización. Debido a que esta impedancia no contribuye demasiado al ruido total, ya que no se encuentra en el camino de la señal, se descarta el uso de una inductancia, ya que una bobina ocupa un área muy superior. El uso de una carga activa no es aconsejable ya que se suelen usar para valores grandes de resistencias, y aquí estará en torno a pocos $k\Omega$ y, además, la frecuencia de corte de los transistores tipo p (componentes de las cargas activas) es pequeña en comparación con la de los de tipo n.

5.2.1.3. Especificaciones

Las especificaciones requeridas para el mezclador, según el estudio realizado en el capítulo 2, son:

- Alimentación = 3.3 Voltios.
- Figura de ruido (NF) < 19 dB.
- IIP3 > 6 dBm.
- Ganancia > 9 dB.
- Consumo de potencia → Menor posible.
- Impedancia de entrada y salida: 50 Ω .
- Frecuencia de RF (f_{RF}): 5 a 6 GHz.
- Frecuencia de OL (f_{OL}): 5 a 6 GHz.
- Frecuencia FI ($f_{FI}=f_{RF}-f_{OL}$): 20 MHz

El procedimiento de diseño del mezclador comienza con la realización de unos cálculos teóricos para hallar los valores iniciales de los distintos componentes integrantes del circuito. Una vez hecho esto, se refina el diseño mediante la ejecución de múltiples simulaciones, hasta alcanzar el rendimiento deseado.

Existen muchos factores que afectan al rendimiento de un mezclador, como la polarización, ganancia, linealidad, aislamiento, potencia y figura de ruido. Ajustar un determinado parámetro para obtener un mejor rendimiento puede, y normalmente lo hará, degradar el resto. Por esto, es importante tener en cuenta todos los parámetros durante el proceso de diseño, para así poder llegar a un compromiso entre ellos.

El circuito se ha simulado utilizando ADS. Las frecuencias de las señales de entrada utilizadas son 5.5 GHz para la señal de radiofrecuencia (f_{RF}) y 5.48 GHz como señal del oscilador local (f_{OL}), obteniéndose una señal de FI a 20 MHz. La potencia de la señal RF es -70 dBm, mientras que la potencia de la señal del oscilador OL es -5 dBm.

A partir de aquí se optimizará el mezclador atendiendo a los siguientes aspectos de forma consecutiva:

- Polarización: establecimiento de las condiciones apropiadas de polarización para los dispositivos utilizados en el mezclador.

- Adaptación de impedancias: adaptación de las impedancias de los puertos de entrada y salida para evitar reflexiones en los puertos del circuito.
- Ganancia de conversión: optimización de los distintos parámetros que influyen en la ganancia de conversión, como la potencia de la señal del oscilador, la corriente de polarización, así como las resistencias de colector.
- Linealidad: estudio de la linealidad y su dependencia con la resistencia de carga (R_C) y optimización de ésta mediante la técnica de degeneración de emisor. Se debe estudiar también la dependencia de este parámetro con la potencia de la señal de entrada (P_{RF}).
- Figura de ruido. Dependencia de la figura de ruido con la corriente de polarización y con las resistencias R_C y de degeneración de emisor (R_E). El ruido añadido por el mezclador afectará al nivel mínimo de señal y limitará el rango dinámico. Es necesario establecer un compromiso entre ruido, ganancia y linealidad.
- Área y multiplicidad. Estudio del efecto del área y la multiplicidad de los transistores.

5.2.2. Diseño a nivel de esquemático del mezclador basado en la célula de Gilbert

En este apartado se describe el proceso de diseño del mezclador y se encuentra dividido en los siguientes apartados: estudio de la polarización del circuito, adaptación, ganancia de conversión, linealidad y figura de ruido.

5.2.2.1. Polarización del mezclador basado en la célula de Gilbert

El primer paso en el diseño de un mezclador es el análisis DC. El propósito de este análisis es establecer las condiciones apropiadas de polarización de los dispositivos utilizados en el mezclador.

5.2.2.1.1. Corriente de polarización del mezclador basado en la célula de Gilbert

Para el diseño del mezclador se emplearán transistores bipolares HBT de 0.35 μm de doble base de la empresa fundidora AMS. Como paso previo a la elección de la corriente de polarización, se ha realizado un estudio del transistor de manera aislada.

En la Figura 5.14(a) se muestran las curvas características del transistor empleado. En la Figura 5.14(b) se muestra la figura de ruido, en donde se aprecia como ésta mejora al aumentar la corriente que atraviesa el transistor.

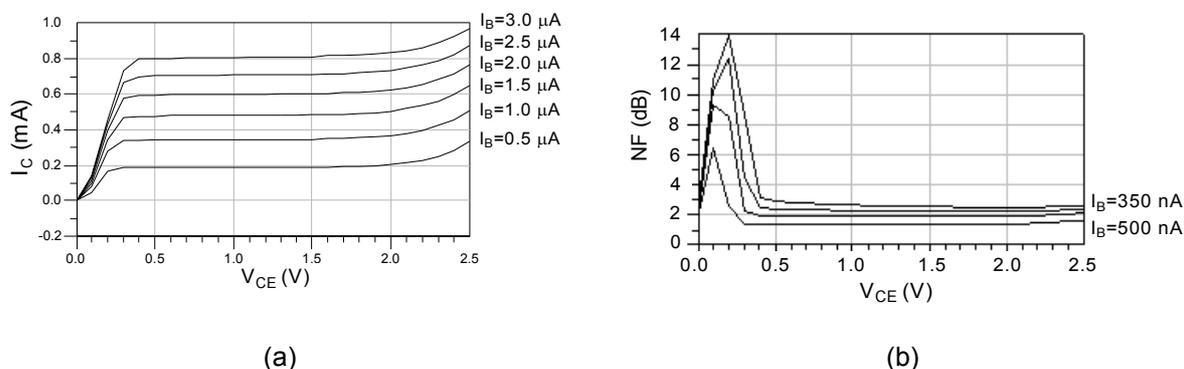


Figura 5.14. Curvas características del transistor utilizado para el diseño (a) y figura de ruido del transistor utilizado para el diseño (b) para diferentes corrientes de base (I_B).

Para polarizar el circuito se ha tenido en cuenta el funcionamiento que presenta este tipo de transistores para diferentes corrientes. Se ha comprobado que exhiben un mejor comportamiento en cuanto al ruido para corrientes pequeñas, del orden de 350 y 500 nA de corrientes de base. Esto provoca un menor consumo y repercute en la mejora de la figura de ruido, a costa de una pequeña pérdida en la ganancia. Las simulaciones efectuadas apuntan a que con corriente baja mejora la respuesta general del dispositivo, algo que es achacable a las propiedades de estos transistores.

5.2.2.2. Polarización de las entradas

La etapa de transconductancia RF, para conseguir una ganancia adecuada, debe trabajar en la zona activa. Fijando la tensión de polarización en la base de los transistores de esta etapa (RF_{BIAS}) a 1.4 V se conseguirá una razonable variación de la señal de entrada RF, así como también que los transistores del par inferior permanezcan siempre en la zona activa. Además, es necesario polarizar los transistores de los pares superiores, teniendo en cuenta que van a operar en un estado de conmutación de corte a zona activa, ya que así el tiempo de conmutación es menor y se conseguirá que la atenuación inherente a esta etapa sea lo mas próxima posible a su valor ideal ($\pi/2$). Manteniendo la tensión $V_{B(1-4)}$ a 2.4 V se asegurará que los transistores $Q_{(1-4)}$, cuando conducen, estén en zona activa. Por último, $V_{C(1-4)}$ debe ser aproximadamente 2.5 V, lo que permite una caída de tensión en la resistencia R_C de 0.8 V.

Se ha elegido una corriente de polarización $I_{EE} = 400 \mu\text{A}$, de manera que por cada rama del par de interruptores de conmutación circule una corriente de $200 \mu\text{A}$.

En la ecuación (5.44) se muestra el valor de la resistencia de colector R_C .

$$R_C = \frac{3.3 \text{ V} - 2.5 \text{ V}}{400 \mu\text{A}} = 2 \text{ K}\Omega \quad (5.44)$$

Esta corriente de polarización se generará a partir de un espejo de corriente, el cual se utiliza para hacer una “copia” de una corriente de referencia.

5.2.2.3. Espejo de corriente

Se ha optado por un espejo de corriente tipo MOS debido a que estos transistores introducen menos ruido al sistema que los bipolares. El esquema del espejo empleado es el de la Figura 5.15.

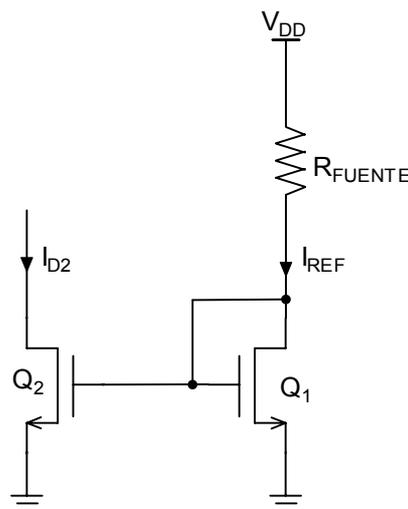


Figura 5.15. Espejo de corriente con transistores MOSFET.

El espejo está formado por un MOSFET Q_1 conectado en estructura diodo que genera una tensión V_{GS1} impuesta por I_{REF} . Como $V_{GS2} = V_{GS1}$ y tanto Q_1 como Q_2 están en región de saturación, se obtiene la relación de corrientes:

$$\frac{I_{D2}}{I_{REF}} = \frac{(W/L)_1}{(W/L)_2} = N \quad (5.45)$$

Para obtener corrientes en las ramas paralelas diferentes a la de referencia, basta con modificar las dimensiones de los transistores, ya que todos los transistores tienen la misma tensión V_{GS} .

Tabla 5.1. Dimensiones de los transistores de las fuentes de corriente

Transistor	W	L
Q_1	0.4 μm	0.4 μm
Q_2	4 μm	0.4 μm
Q_3	4 μm	0.4 μm
Q_4	3 μm	0.4 μm
Q_5	3 μm	0.4 μm

5.2.2.4. Adaptación

Debido a que tanto la entrada como la salida del mezclador se conectarán a un componente de medida externo con una impedancia característica de 50 Ω , el circuito debe estar adaptado para evitar reflexiones en ambos puertos. Por esta razón se insertará una red adaptadora a la entrada y a la salida del mezclador.

5.2.2.4.1. Adaptación de los puertos de entrada

Con la configuración de los puertos de entrada se busca una adaptación a 50 Ω que a la vez permita aplicar la tensión de polarización. En la Figura 5.17 se muestran en detalle las configuraciones de los puertos de entrada OL y RF respectivamente.

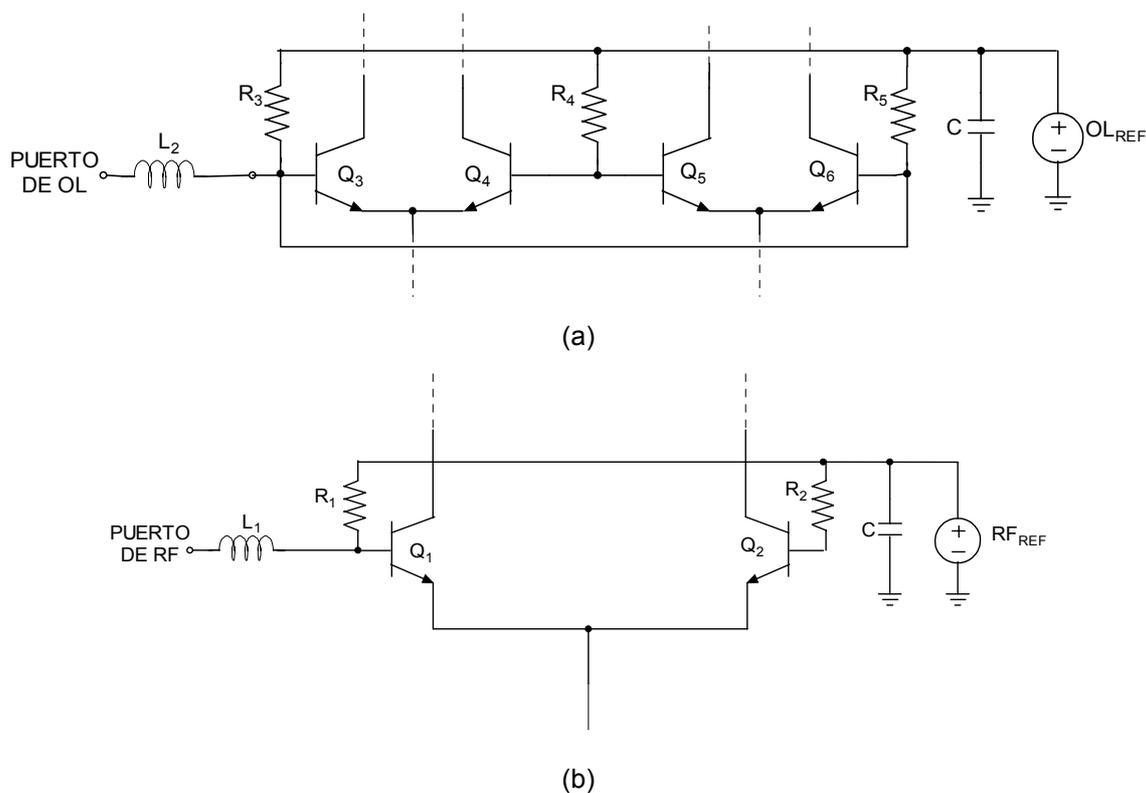


Figura 5.17. Configuración inicial del puerto LO (a) y del puerto RF (b).

El condensador (C) tiene la función de disminuir las variaciones en la tensión de polarización y también de actuar como un camino a tierra de la señal alterna (condensador de desacoplo). En el puerto RF la señal ve una resistencia de 50Ω (R_1) en paralelo con la impedancia del transistor Q_1 , cuyo equivalente es 50Ω . En el puerto OL, la señal de entrada ve el paralelo de las dos resistencias (R_3 y R_5) de 100Ω , en paralelo con la resistencia de entrada del transistor (mayor), cuyo equivalente es una de 50Ω aproximadamente. En la entrada de los puertos se tiene una señal alterna (OL o RF) con un nivel de continua (tensión de polarización).

Se observa que ambos puertos tienen un comportamiento ligeramente capacitivo, mientras que la parte real queda fijada a 50Ω por las resistencias R_{1-5} . Para eliminar el efecto capacitivo de la impedancia de entrada se colocarán unas bobinas en serie, con lo que se conseguirá una adaptación casi perfecta. Esto queda reflejado en la Figura 5.18 y en la Figura 5.19, donde se puede ver el comportamiento del parámetro de dispersión de entrada de los puertos OL y RF en un rango de frecuencia de 1 a 10 GHz.

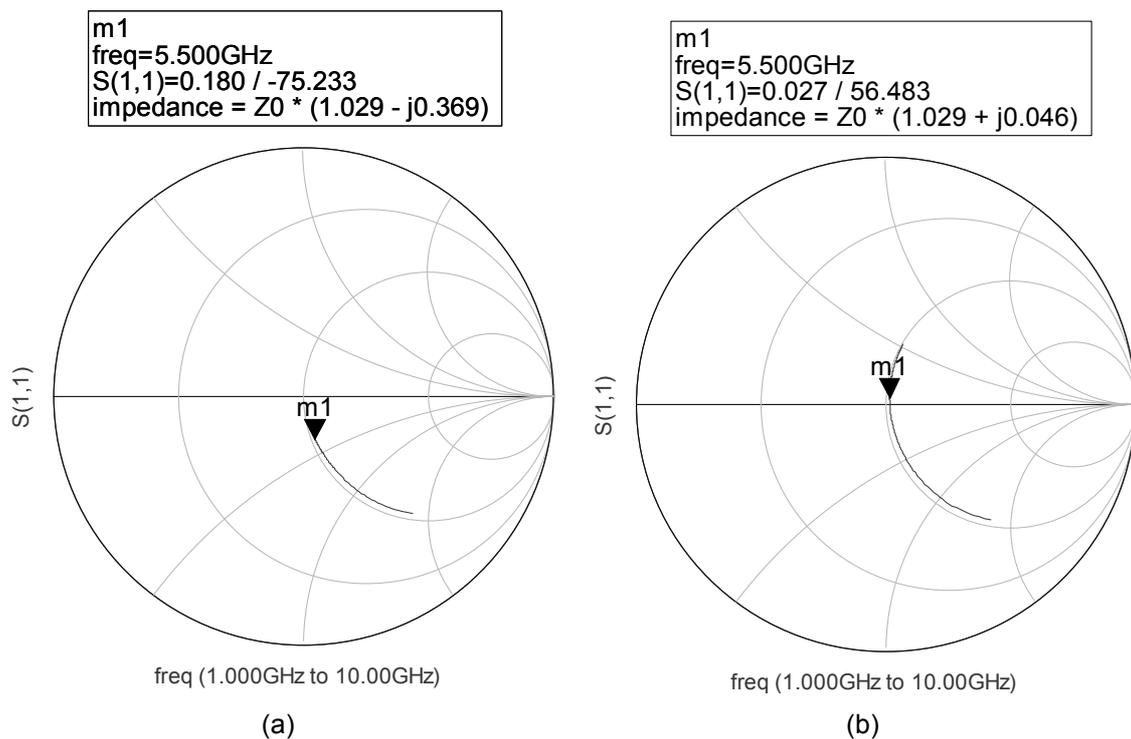


Figura 5.18. Variación del parámetro S_{11} (puerto del oscilador OL) de 1 a 10 GHz sin adaptar (a) y adaptado (b).

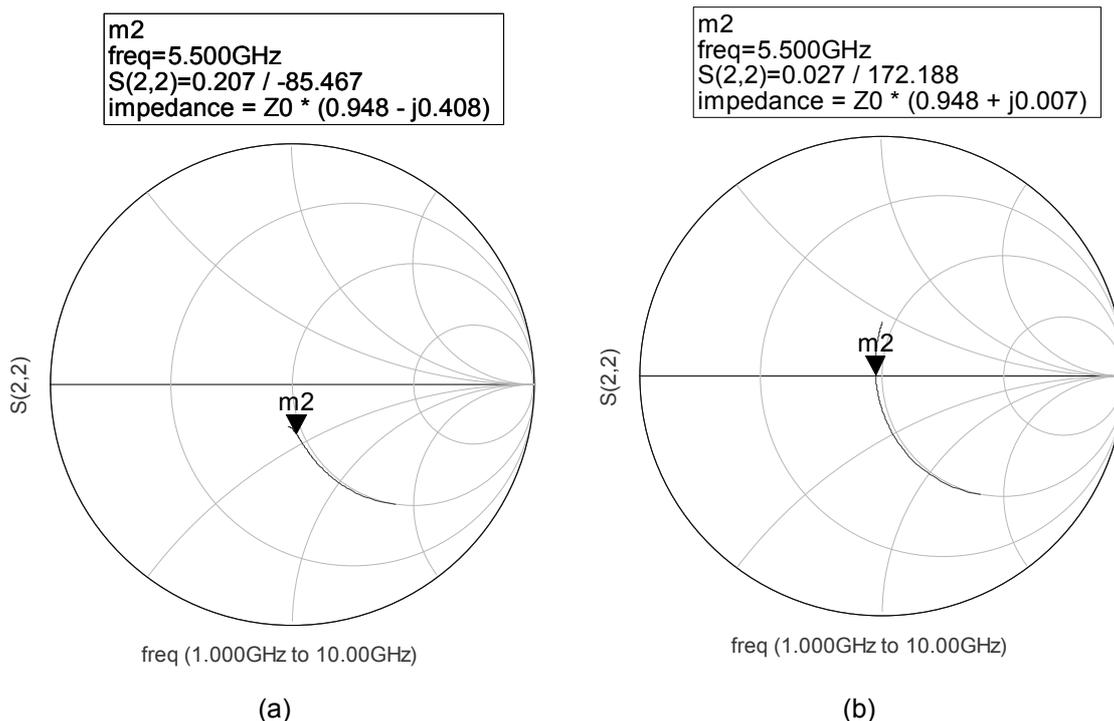


Figura 5.19. Variación del parámetro S_{11} (puerto de entrada RF) de 1 a 10 GHz sin adaptar (a) y adaptado (b).

Para la adaptación de ambos puertos se precisó añadir una bobina de 0.6 nH, la cual es perfectamente integrable en la tecnología usada.

En la Figura 5.20 se muestra el coeficiente de onda estacionaria asociado a los puertos de entrada OL y RF. Se puede apreciar como todos están por debajo de 1.2 a la frecuencia de trabajo.

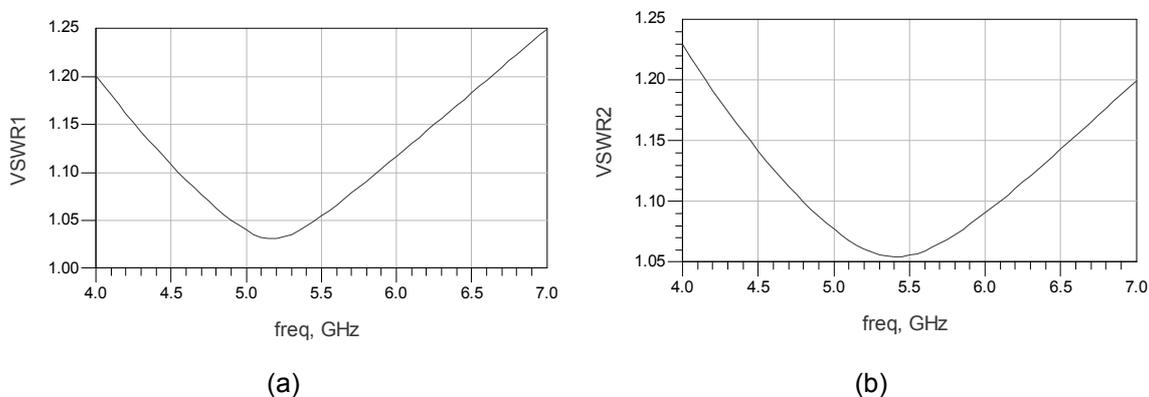


Figura 5.20. VSWR de los puertos LO (a) y RF (b) adaptados.

5.2.2.4.2. Adaptación del puerto de salida

La salida, al trabajar con bajas frecuencias, no requiere adaptación. No obstante se ha puesto un buffer para bajar la elevada impedancia que presentaba a la salida y poder atacar así impedancias pequeñas (50Ω).

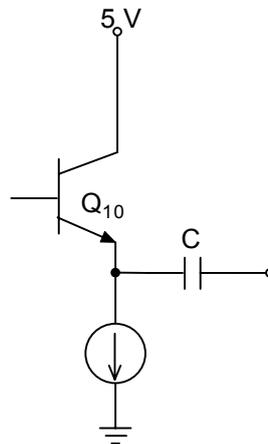


Figura 5.21. Buffer de salida

El buffer de salida (ver Figura 5.21) que se ha utilizado es una configuración en seguidor de emisor. Ésta se emplea por poseer unas características de impedancia de entrada y salida particulares. En cuanto a la entrada se refiere, el seguidor presenta una impedancia alta, lo que es interesante dada la alta impedancia vista a la salida del mezclador. Mientras que a la salida, el seguidor tiene una impedancia muy baja, permitiendo una fácil adaptación con impedancias de carga pequeñas. En este sentido lo que se busca es la máxima transferencia de energía puesto que se trata de un puerto que opera a una frecuencia de 20 MHz y por tanto no se encuentra en la banda de las microondas. El ajuste de la impedancia de salida se consigue mediante la variación en la corriente que circula por la rama.

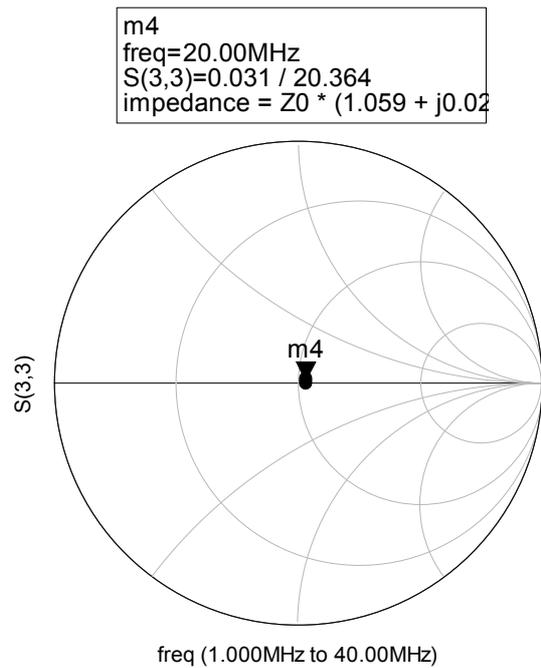


Figura 5.22. Variación del parámetro S_{33} (puerto de salida FI) de 1 MHz a 40 MHz adaptado.

En la Figura 5.22 se observa el parámetro de dispersión del puerto de salida en un rango de frecuencia de uno a cuarenta MHz.

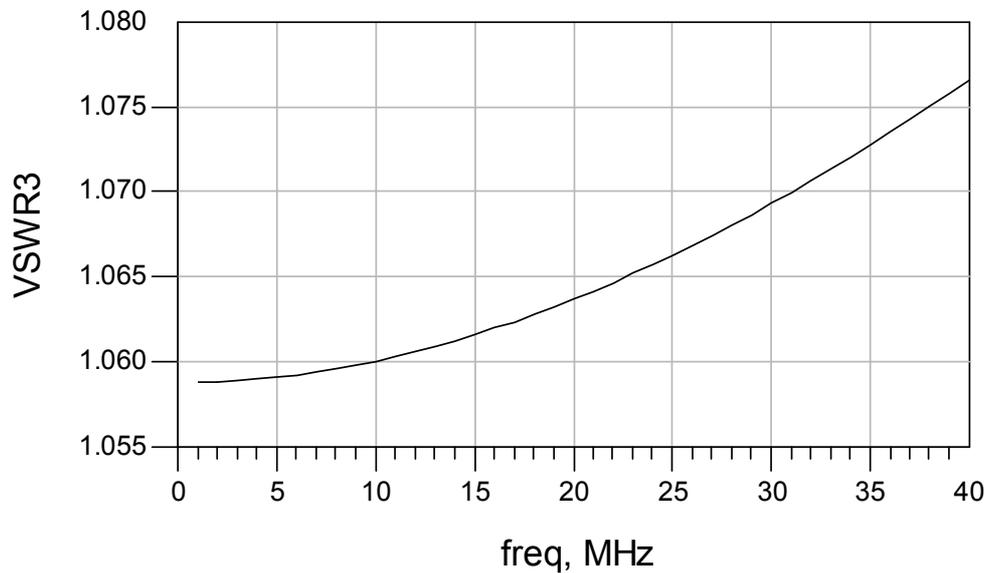


Figura 5.23. VSWR del puerto de salida FI adaptado.

En la Figura 5.23 se muestra el coeficiente de onda estacionaria asociado al puerto de salida. Se puede apreciar como tiene un valor muy próximo a la unidad a la frecuencia de trabajo.

5.2.2.5. Ganancia de conversión

Hay varios factores que afectan a la ganancia de un mezclador, como la conmutación de los transistores del par superior, la corriente de polarización (I_{EE}), la resistencia de colector (R_C), etc. En este apartado se estudiarán estos factores.

5.2.2.5.1. Ganancia de conversión en función de la potencia del oscilador local

El primer paso es determinar una potencia del oscilador local (P_{OL}) suficiente que produzca un valor razonable de ganancia de conversión.

La potencia de la señal del oscilador local debe ser lo suficiente para que los transistores que forman el interruptor de conmutación (par superior) presenten una impedancia serie baja y conmuten a la mayor velocidad posible.

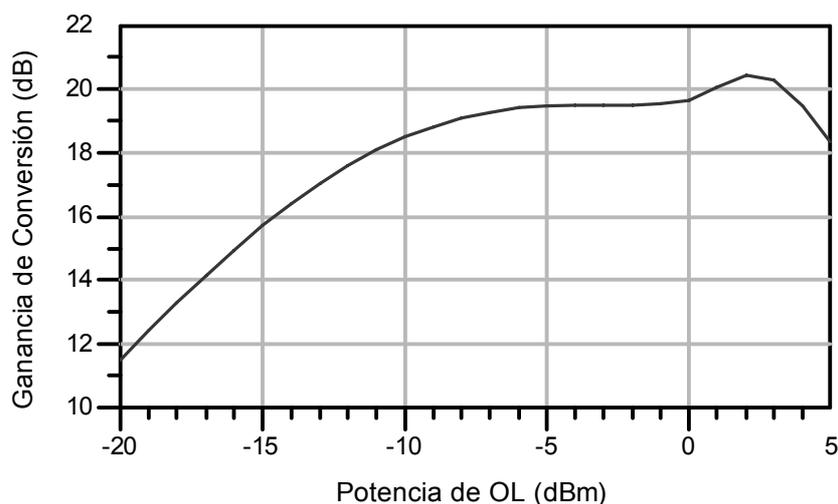


Figura 5.24. Ganancia de conversión en función de la potencia del oscilador local.

En la Figura 5.24 se muestra la ganancia de conversión en función de la potencia del oscilador local. Se ve que a partir de una potencia de aproximadamente -5 dBm el valor de la ganancia de conversión se mantiene constante. Por ello se ha tomado este valor como potencia del oscilador local.

5.2.2.5.2. Ganancia de conversión en función de la corriente de polarización.

La Figura 5.25 pone en evidencia la relación existente entre la corriente de polarización (I_{EE}) y la ganancia del sistema. La máxima ganancia se obtiene para una corriente I_{EE} de 400 μ A.

Por lo tanto, ésta será la corriente de polarización a emplear inicialmente en el diseño del mezclador.

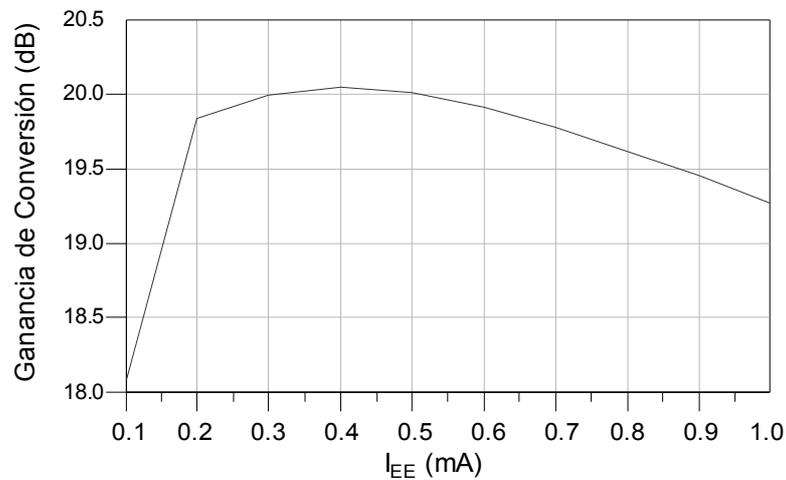


Figura 5.25. Ganancia de conversión en función de la corriente de polarización (I_{EE}).

5.2.2.5.3. Ganancia de conversión en función de la resistencia de colector (R_C)

Debido a que la ganancia tiene una fuerte dependencia con R_C , se puede considerar aumentar el valor de esta resistencia para mejorar el valor de la misma.

Se ha realizado una simulación de la ganancia de conversión del sistema en función de la resistencia de colector R_C . Esta simulación se ha hecho sin degenerar los emisores de los transistores, con el fin de observar con mayor claridad el efecto de esta resistencia. En la Figura 5.26 se muestra el resultado de esta simulación. Se observa un claro aumento de la ganancia del circuito con el incremento de la resistencia de colector, llegando a alcanzar un valor máximo de 30 dB para una $R_C = 3800 \Omega$. Este valor es considerablemente mayor que el teórico calculado debido a que en él se fijó una tensión de colector de los transistores de conmutación de 2.5 V, para así dejar un margen de 0.1 V en la tensión de los colectores con respecto a la tensión de polarización aplicada a las bases de éstos y mantener los transistores conmutando entre corte y zona activa. El valor de esta resistencia influye, además de en la ganancia, en la linealidad del mezclador, por lo que habrá que llegar a un compromiso entre ambos parámetros. Este comportamiento se estudiará con más detalle en el siguiente apartado.

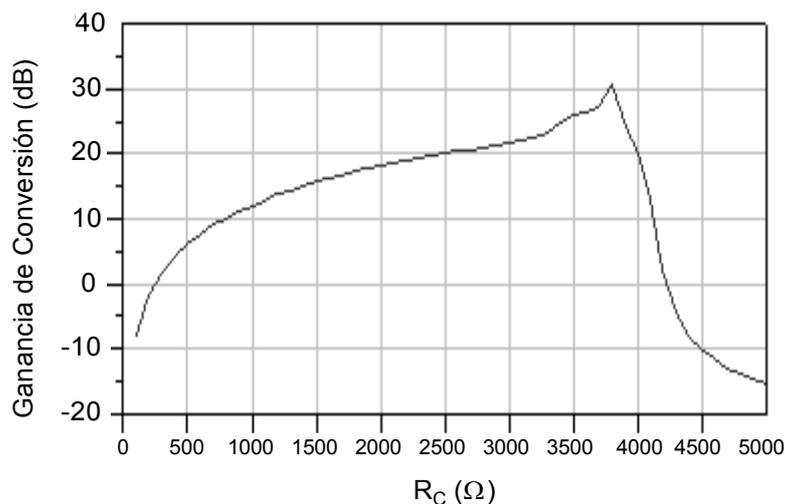


Figura 5.26. Ganancia de conversión en función de la resistencia de colector (R_C).

5.2.2.6. Linealidad

Un circuito tendrá características no lineales cuando exista una variación en la ganancia con respecto al nivel de la señal de entrada. En estas circunstancias, la señal de salida resultante estará distorsionada o comprimida.

Existen dos fenómenos que afectan a la linealidad de un mezclador, uno de ellos se produce en la etapa de entrada, mientras que el segundo se origina en la etapa de conmutación.

Si la señal aplicada a la etapa de entrada es mayor que la máxima entrada diferencial (sobrecarga) aparecerá compresión de la señal. En este caso, la linealidad se puede mejorar aumentando la corriente de polarización y la resistencia de degeneración de emisor (R_E), lo que hará que aumente la disipación de potencia y disminuya la ganancia.

Si la resistencia de carga (R_C) es demasiado grande, la tensión V_{CE} de los transistores de conmutación disminuye, forzando a los transistores de la etapa de conmutación a salir de la zona activa y pasar a la zona de saturación, con lo que aumentará el tiempo de conmutación. Como se vio anteriormente, al disminuir el valor de la resistencia R_C disminuye la ganancia del sistema. Reducir la corriente de polarización resolverá este problema sin afectar demasiado a la ganancia, ya que permitirá aumentar el valor de esta resistencia sin afectar a la polarización de los transistores de conmutación.

5.2.2.6.1. Linealidad en función de R_C

La Figura 5.27 muestra el IP3 de entrada en función de la resistencia de colector R_C . Queda claro el efecto señalado en el apartado anterior. Al aumentar R_C por encima de $3000\ \Omega$, lo que equivale a una tensión de colector de los transistores de conmutación de $2.1\ \text{V}$, la linealidad se ve degradada fuertemente. Por lo tanto se usará una R_C cuyo valor esté por debajo de $3\ \text{k}\Omega$.

Las resistencias que componen este mezclador tienen una alta tolerancia, que puede llegar al $20\ \%$ o más. Para asegurar un correcto funcionamiento del circuito, se ha dejado un margen de seguridad en el valor de la resistencia de colector R_C , con lo que se asegurará el correcto funcionamiento de los transistores de conmutación. Así que a pesar de que se podría aumentar el valor de R_C hasta $3\ \text{k}\Omega$, se ha fijado a $2.5\ \text{k}\Omega$ para mantener este margen de seguridad.

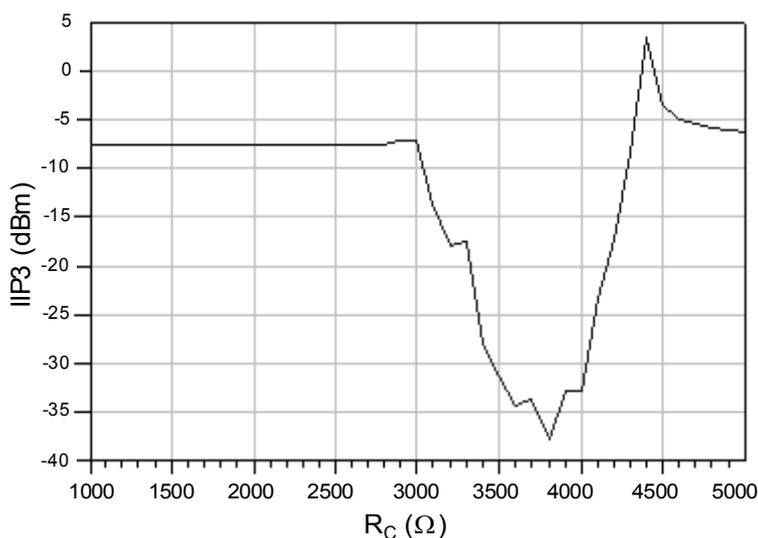


Figura 5.27. IP3 en función de la resistencia de colector R_C .

5.2.2.6.2. Aumento de la linealidad mediante degeneración

A pesar de que el IP3 de entrada se mantiene estable para valores de R_C hasta $3\ \text{k}\Omega$, el valor alcanzado es demasiado bajo y no alcanza las especificaciones necesarias del mezclador. Debido a esto se ha optado por la inclusión de una red de degeneración de emisor, con lo que la linealidad se verá incrementada a costa, eso sí, de una reducción de la ganancia de conversión. La degeneración mencionada se suele realizar mediante dos resistencias tal y como se muestra en la Figura 5.28.

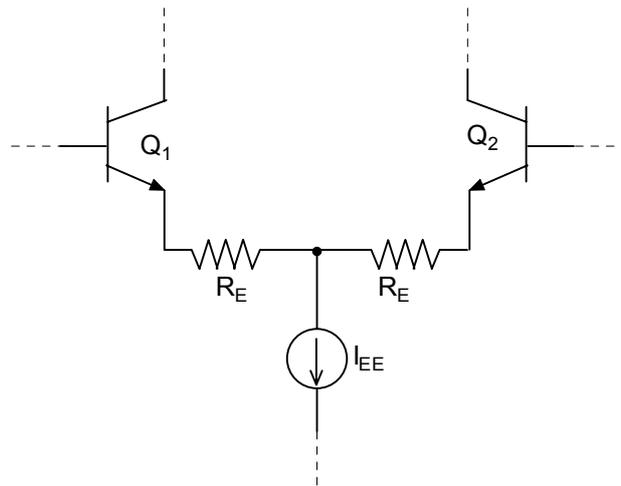


Figura 5.28. Inclusión de resistencias de degeneración de emisor.

El circuito de la Figura 5.28 tiene el problema del apareamiento de las dos resistencias de emisor, ya que una diferencia entre ellas debida a las tolerancias que presentan provocará un nivel de *offset* a la salida. Por lo tanto, se ha utilizado una configuración alternativa que elimina este problema, consistente en la utilización de una sola resistencia de degeneración tal y como representa la Figura 5.29.

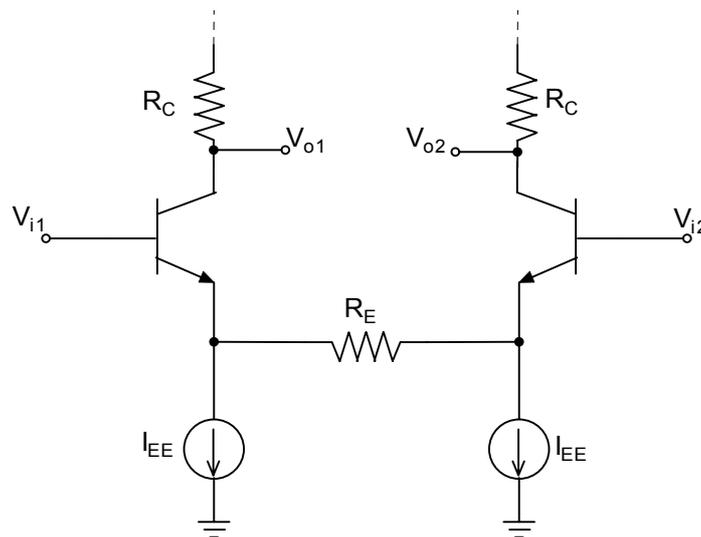


Figura 5.29. Modificación del circuito de degeneración de emisor.

Ahora el circuito presentará un comportamiento lineal sin los problemas mencionados anteriormente. La máxima señal que puede tener a la entrada será:

$$V_m = \pm I_{EE} \cdot R_E \quad (5.46)$$

Y la salida de este circuito será

$$\frac{V_{od}}{V_{id}} = -\frac{R_C}{R_E} \quad (5.47)$$

donde:

$$V_{od} = V_{o1} - V_{o2} \quad (5.48)$$

$$V_{id} = V_{i1} - V_{i2} \quad (5.49)$$

La Figura 5.30 muestra la ganancia del mezclador en función de la resistencia de degeneración de emisor (R_E). Como se deduce de la ecuación (5.47), un aumento de R_E provoca una disminución de la ganancia. En este momento se ha de realizar un estudio del efecto de esta resistencia en cuanto a la linealidad del sistema, con el fin de llegar a un compromiso entre ganancia y linealidad.

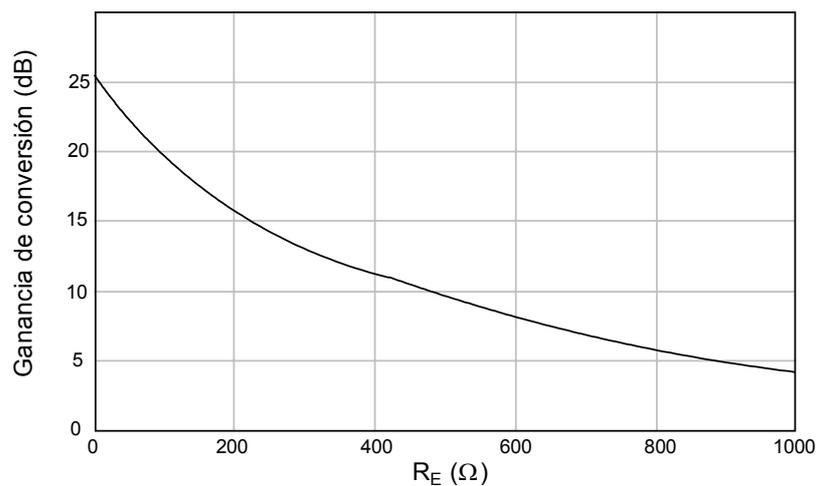


Figura 5.30. Ganancia de conversión en función de la resistencia de emisor.

Este efecto sobre la linealidad del sistema está representado en la Figura 5.31, donde se observa que el IP3 de entrada mejora notablemente con el incremento de R_E , hasta llegar a un máximo de 11 dBm para un valor de aproximadamente 250 Ω , a partir del que decae nuevamente.

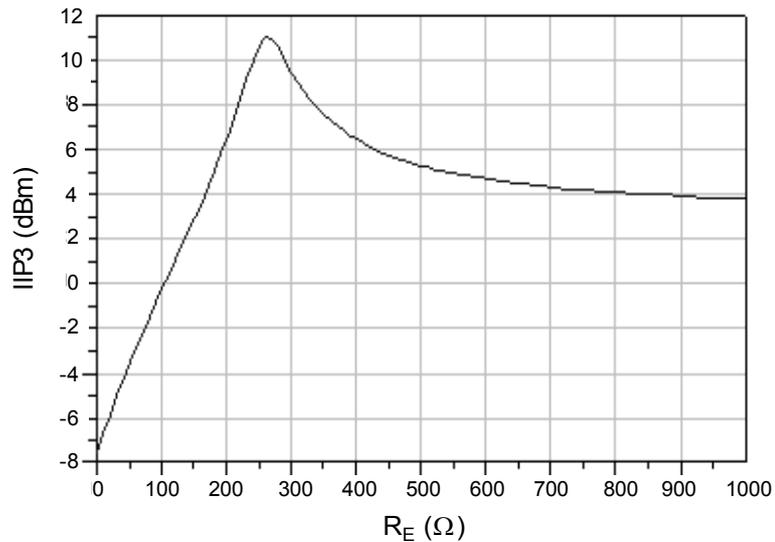


Figura 5.31. IIP3 en función de la resistencia de emisor.

Para un valor de R_C de 2500Ω y sin degeneración de emisor, la ganancia de conversión alcanza un valor de 20 dB. El IIP3 en este caso es de -7.5 dBm , un valor demasiado bajo. Sin embargo, el valor de R_E que produce un IIP3 máximo (250Ω), recorta la ganancia hasta un valor de 12 dB.

Considerando dicho compromiso entre ganancia y linealidad, como valor previo al análisis del ruido, se toma una resistencia de 200Ω , con la que resultan unos valores de ganancia e IIP3 de 14 dB y 6 dBm respectivamente.

5.2.2.7. Figura de ruido

Los principales tipos de ruido que afectan a este mezclador son el ruido térmico y el ruido metralla (*shot noise*) [LEE98].

El ruido térmico es dependiente de la temperatura, aumentando la potencia del mismo con ella. Las fuentes más comunes de ruido térmico en los circuitos de RF son las resistencias y los transistores, siendo este ruido independiente de la corriente que circula por dichos componentes.

El ruido metralla está asociado al mecanismo físico de salto de una barrera potencial por un portador de carga. Como consecuencia, el ruido metralla dependerá de la carga del electrón, del valor medio de la corriente y, como en el caso del ruido térmico, del ancho de banda.

Por lo tanto, se deduce que los únicos factores modificables para disminuir el ruido son los valores de las resistencias, el área de los transistores y la corriente de polarización, ya que el ancho de banda o la temperatura no se pueden ajustar por el diseñador.

5.2.2.7.1. Reducción de la figura de ruido

La figura de ruido tiene una clara dependencia con la corriente de polarización, así como con la resistencia de degeneración R_E . Disminuir el valor de la resistencia de degeneración de emisor R_E mejorará la figura de ruido, aunque empeorará la linealidad del sistema. El procedimiento de ajuste de estos valores para la obtención de una figura de ruido mínima consistirá en la determinación de la corriente de polarización con la que se obtenga un mejor resultado y el cálculo del valor de R_E en función de la corriente previamente calculada.

En la Figura 5.32 se muestra la figura de ruido de banda lateral única (SSB NF) en función de la corriente de polarización que atraviesa la célula de Gilbert (el núcleo del mezclador).

Se observa que la figura de ruido se reduce con el aumento de la corriente de polarización, pero se alcanza un punto en el que la pendiente de la curva empieza a disminuir y toma valores muy pequeños, por lo que se debe llegar a un compromiso entre potencia y ruido.

Para corrientes superiores a $400 \mu\text{A}$, la pendiente de la curva toma ya un valor aceptable. Este resultado corrobora el obtenido en el apartado 5.2.1.1, en el que se estudió la corriente de trabajo óptima de los transistores empleados en este diseño.

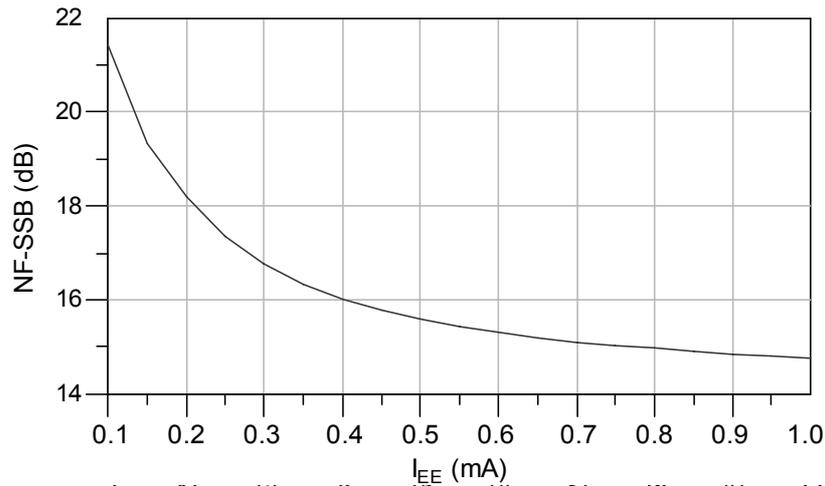


Figura 5.32. Figura de ruido en función de la corriente de polarización I_{EE} .

La resistencia R_C no influye en gran medida en el ruido total del sistema, ya que no se encuentra en el camino directo de la señal.

En cambio, sí que existe una fuerte dependencia de la figura de ruido con la resistencia R_E . Esto es debido a que el ruido térmico que introduce esta resistencia está en la entrada del par diferencial.

La Figura 5.33 representa la SSB NF en función de la resistencia de degeneración de emisor (R_E). Se observa como un mayor valor de R_E implica un aumento de la figura de ruido. Para valores de R_E inferiores a 200Ω , la figura de ruido es menor de 20 dB, por lo tanto, se toma este valor para la R_E , ya que produce la máxima degeneración sin elevar demasiado la figura de ruido.

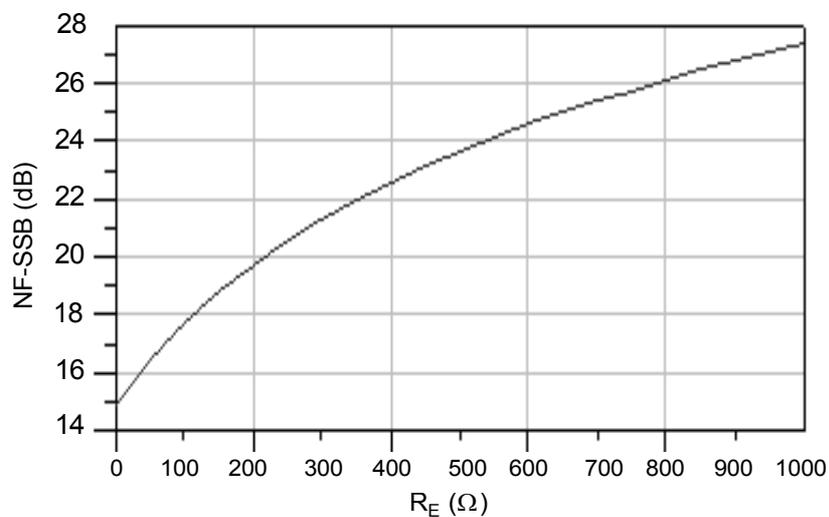


Figura 5.33. Figura de ruido SSB en función de la resistencia de emisor

5.2.2.7.2. Disminución de la figura de ruido mediante el uso de una red de degeneración inductiva.

Una técnica muy usada en el diseño RFIC es sustituir las resistencias por bobinas. Esto tiene la ventaja de que si la bobina es ideal no añade ruido al circuito y reduce su consumo.

En las siguientes figuras se comparan los resultados con una degeneración resistiva (ver Figura 5.34) y con una inductiva (ver Figura 5.35). Se observa una mejora de los resultados al degenerar inductivamente el circuito.

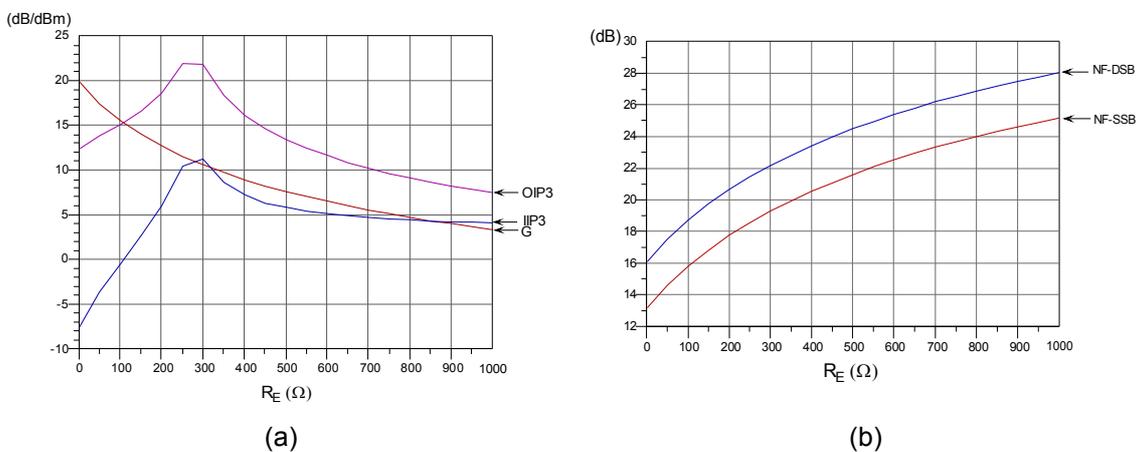


Figura 5.34. IP3 y ganancia de conversión (a) y figura de ruido en función (b) de R_E .

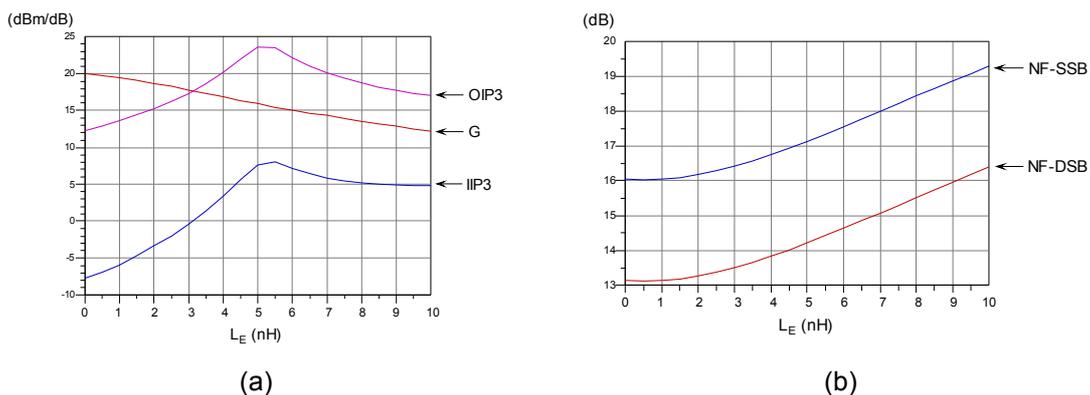


Figura 5.35. IP3 y ganancia de conversión (a) y figura de ruido en función (b) de L_E .

Para una resistencia R_E igual a 200Ω , se obtiene una ganancia de 13 dB, un IIP3 de 6 dBm y una figura de ruido igual a 21 dB. Con una bobina de 5 nH, los resultados son una ganancia de 16 dB, un IIP3 de 8 dBm y una figura de ruido igual a 17 dB.

Se aprecia una significativa mejora de las distintas figuras de mérito mencionadas, con respecto al uso de una red resistiva. Esto compensa el área ocupada por la bobina y, por lo tanto, se opta por una red inductiva para mejorar la linealidad del circuito.

5.2.2.8. Selección de los valores idóneos de funcionamiento del circuito

Todos los parámetros de un mezclador están relacionados entre sí, por lo que una vez calculados los valores de los distintos parámetros para lograr las diferentes figuras de mérito óptimas, se ha de llegar a un compromiso entre todos ellos con el fin de obtener unas especificaciones adecuadas.

Se ha visto que el circuito sin degeneración de emisor tiene una ganancia muy elevada, pero una linealidad que no alcanza las especificaciones requeridas. La inclusión de una red de degeneración de emisor mejora notablemente la linealidad a costa de una considerable reducción de la ganancia. Además, debido a que la resistencia de emisor se encuentra en el camino directo de la señal de entrada, se añadirá al ruido del circuito un importante nivel de ruido térmico. Para solucionar esto se ha optado por una degeneración inductiva, ya que una bobina ideal no introduce ruido y, aunque las bobinas utilizadas en este trabajo tienen un factor de calidad Q alrededor de 10, su aportación al ruido total se ha comprobado que es significativamente inferior al de la resistencia equivalente para conseguir una determinada linealidad. Este tipo de degeneración tiene un inconveniente que no se ha tenido en cuenta hasta este momento. Como se mencionó en la introducción de este capítulo, el mezclador basado en la célula de Gilbert se caracteriza por su compacto *layout*, sin embargo, la integración de una bobina del orden de 5 nH requiere un área muy elevada en comparación con el resto del circuito.

Tabla 5.2. Especificaciones iniciales y obtenidas

Parámetro	Especificaciones requeridas	Resultados obtenidos
Ganancia de conversión	9 dB	16 dB
IIP3	6 dBm	8 dBm
Figura de ruido	19 dB	17 dB
Potencia consumida	32 mW	7 mW

Las especificaciones iniciales y las obtenidas para el mezclador se representan en la Tabla 5.2. Estos resultados todavía se pueden optimizar mediante un estudio sobre la influencia del di-

mencionado de los distintos transistores que intervienen en el diseño. En el siguiente apartado se realiza dicho análisis.

5.2.2.9. Estudio de la variación de las prestaciones con el área y la multiplicidad de los transistores

Un aspecto importante es la optimización del diseño mediante la variación del factor de escalado (área) de los transistores. Esta variable permite regular la mayor o menor cantidad de corriente que circula por las bases de los HBT.

En la etapa de conmutación, para introducir las menores pérdidas y el mínimo nivel de ruido, se emplean corrientes pequeñas. Sin embargo, en la etapa de entrada de radiofrecuencia, interesa que la corriente sea grande para así disminuir la resistencia del transistor y, por tanto, el ruido. En el *buffer* de salida ocurre algo parecido, como se comprobará más adelante.

En un principio se realizó una variación de las áreas de los transistores para la corriente calculada de 400 μA . En la Figura 5.36 se representa la ganancia de conversión (eje vertical) en función del área de los transistores de conmutación (Q_{3-6}) (eje horizontal) y del área de los transistores del par diferencial (Q_{1-2}).

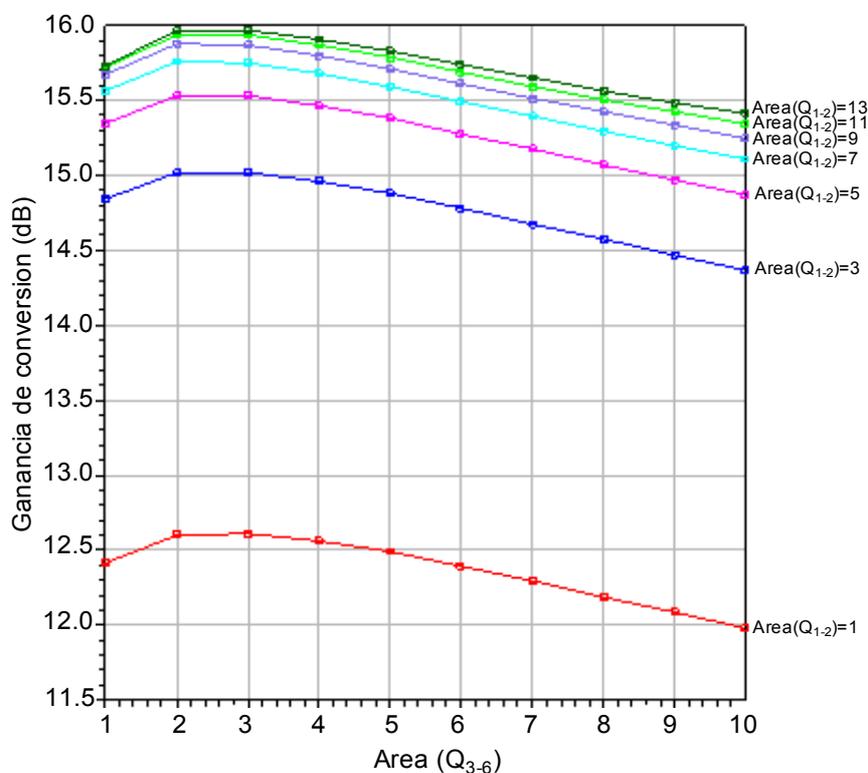


Figura 5.36. Ganancia de conversión en función de las áreas de Q_{1-2} (Área) y Q_{3-6} (eje horizontal).

Se observa que la ganancia aumenta con el incremento del área de los transistores de la etapa de transconductancia (Param), pero llega un momento en el que se llega a un tamaño para el que la ganancia se mantiene aproximadamente constante, por lo tanto, inicialmente se tomará el mínimo valor que mantenga la ganancia en este rango.

En la Figura 5.37 se representa la figura de ruido (eje vertical) en función del área de los transistores de conmutación (Q_{3-6}) (eje horizontal) y del área de los transistores del par diferencial (Q_{1-2}).

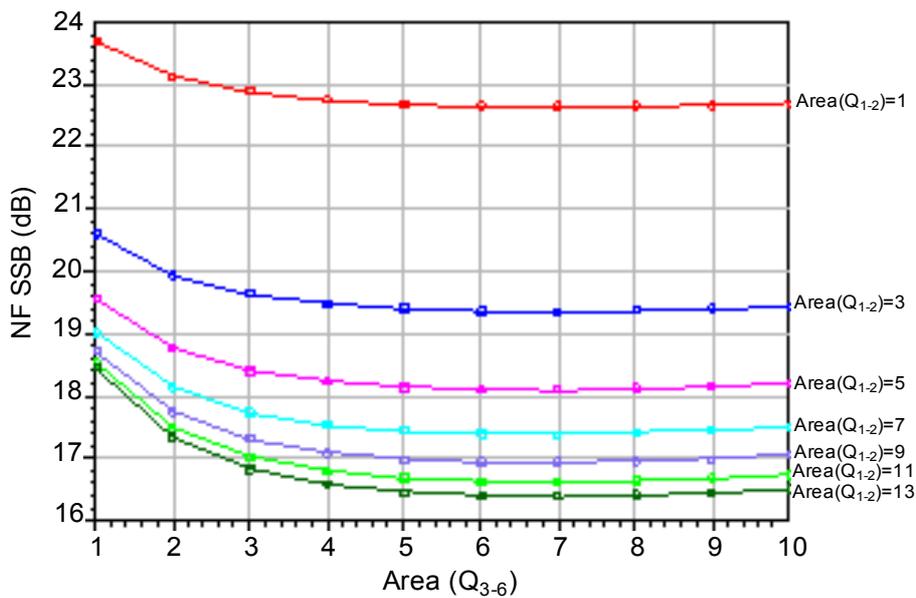


Figura 5.37. Figura de ruido en función de las áreas de Q_{1-2} y Q_{3-6} (eje horizontal).

La figura de ruido disminuye con el aumento del área de los transistores Q_{1-2} . Los transistores Q_{3-6} afectan en menor medida, siempre y cuando su área se encuentre por encima de un determinado valor. Por lo tanto, para optimizar la figura de ruido se debe escoger un área para Q_{1-2} elevada.

En la Figura 5.38 se representa el IIP3 (eje vertical) en función del área de los transistores de conmutación (eje horizontal) y del área de los transistores del par diferencial.

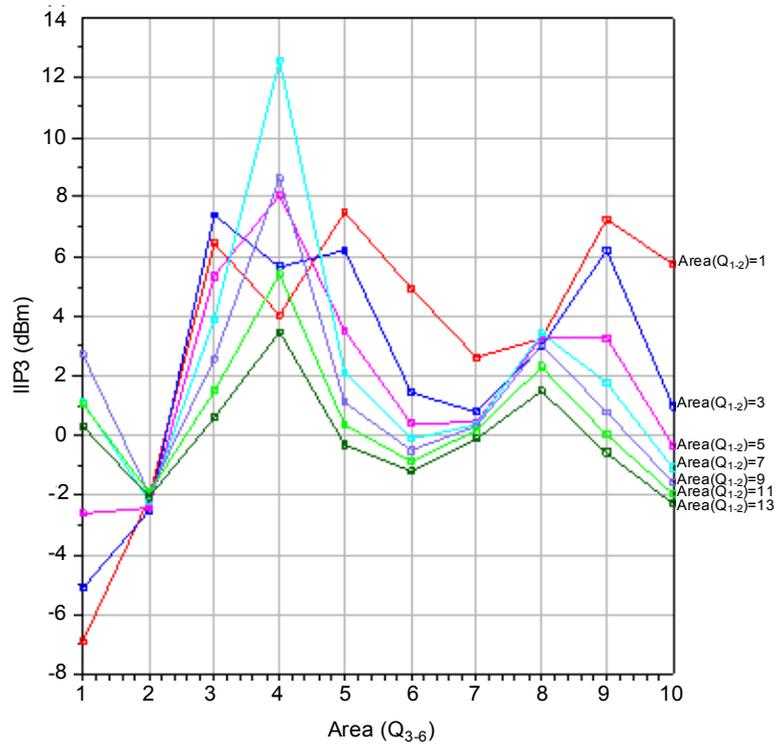


Figura 5.38. IIP3 en función de las áreas de Q_{1-2} y Q_{3-6} (eje horizontal).

Se observa que se consigue el mayor IIP3 para un área de Q_{3-6} igual a 4, y un área Q_{1-2} igual a 7.

A partir de estas simulaciones se debe establecer un compromiso entre ganancia, ruido y linealidad. Al influir más drásticamente las dimensiones de Q_{1-6} sobre el IP3, se busca la combinación de áreas que ofrece un mejor comportamiento para este parámetro, teniendo en cuenta que los valores de ganancia de conversión y figura de ruido sean aceptables. Las dimensiones seleccionadas son las representadas en la Tabla 5.3.

Tabla 5.3. Áreas de los transistores Q_{1-6}

Transistores	Dimensión	
	Tipo	Área
$Q_{3,4,5,6}$	npn121	4
$Q_{1,2}$	npn121	8

Debido a las pequeñas áreas obtenidas para los transistores, la multiplicidad se ha mantenido en su valor mínimo.

Después de haber realizado esta optimización de los transistores, se ha realizado un último ajuste del circuito en el que se ha comprobado que éste ofrece un mejor funcionamiento para

una corriente de polarización ligeramente mayor que la considerada hasta este momento. Debido a que este ajuste fino afecta a varios de los parámetros del circuito, se han simulado las diferentes figuras de mérito con el nuevo valor de corriente de polarización y de las áreas.

Seguidamente se muestran los resultados obtenidos mediante este segundo ajuste del escalado de los transistores y la corriente de polarización, así como una comparativa con los valores previos.

Los valores obtenidos para el mezclador tras la optimización de las áreas y el posterior ajuste de la corriente de polarización son los que se muestran en la Tabla 5.4.

Tabla 5.4. Especificaciones finales obtenidas

Parámetro	Especificación
Ganancia de Conversión	16 dB
IIP3	15 dBm
OIP3	30.3 dBm
Figura de ruido	17.3 dB
Corriente de polarización	430 μ A
Potencia consumida	7 mW

Debido a los altos valores de IP3 y ganancia de conversión conseguidos, se puede considerar la disminución del valor de la inductancia L_E , con lo que se mejorará la ganancia y la figura de ruido, a costa de una disminución del IP3. En la Figura 5.39 se muestra el efecto de la variación de la inductancia de degeneración en el circuito final.

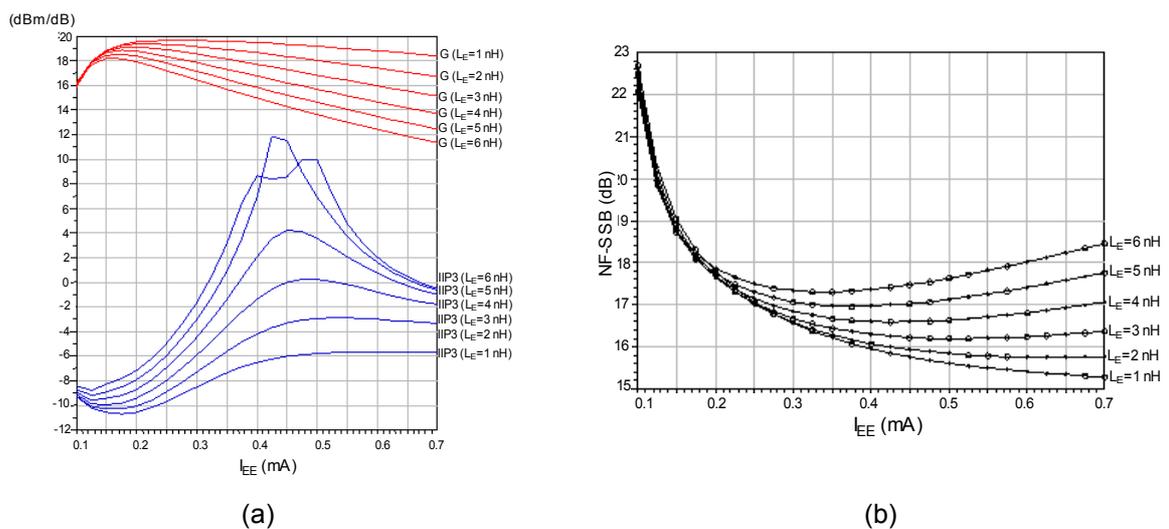


Figura 5.39. Efecto de la variación de la corriente de polarización e inductancia L_E sobre el IIP3 y la ganancia de conversión en el circuito final (a) y sobre la figura de ruido en el circuito final (b).

5.2.2.10. Listado de componentes

En la Tabla 5.5 se muestra un listado de los valores escogidos para los componentes utilizados en este diseño después de la optimización.

Tabla 5.5. Valores finales de los componentes del circuito

Componente		Valor
Transistores bipolares	Q ₁ , Q ₂	Área=8 μm ²
	Q ₃ , Q ₄ , Q ₅ , Q ₆	Área=4 μm ²
Transistores MOSFET	Q ₁	W/L=0.4 μm/0.4 μm
	Q ₂ , Q ₃	W/L=4 μm/0.4 μm
	Q ₄ , Q ₅	W/L=3 μm/0.4 μm
Resistencias	R ₁ , R ₂	50 Ω
	R ₃ , R ₅	100 Ω
	R ₄	50 Ω
	R _C	2300 Ω
	R _F	20 kΩ
Bobinas	L _E	5 nH
	L ₁	0.6 nH
	L ₂	0.6 nH

5.2.3. *Layout* del mezclador basado en la célula de Gilbert

Una vez finalizada la etapa de diseño y ajuste del mezclador activo basado en la célula de Gilbert, se ha implementado el *layout* del mismo, haciendo uso de la tecnología S35D4 de la fundidora AMS y se han realizado simulaciones *post-layout*.

5.2.3.1. *Layout* del mezclador basado en la célula de Gilbert

En la Figura 5.40 se muestra una vista general del *layout* completo del mezclador activo.

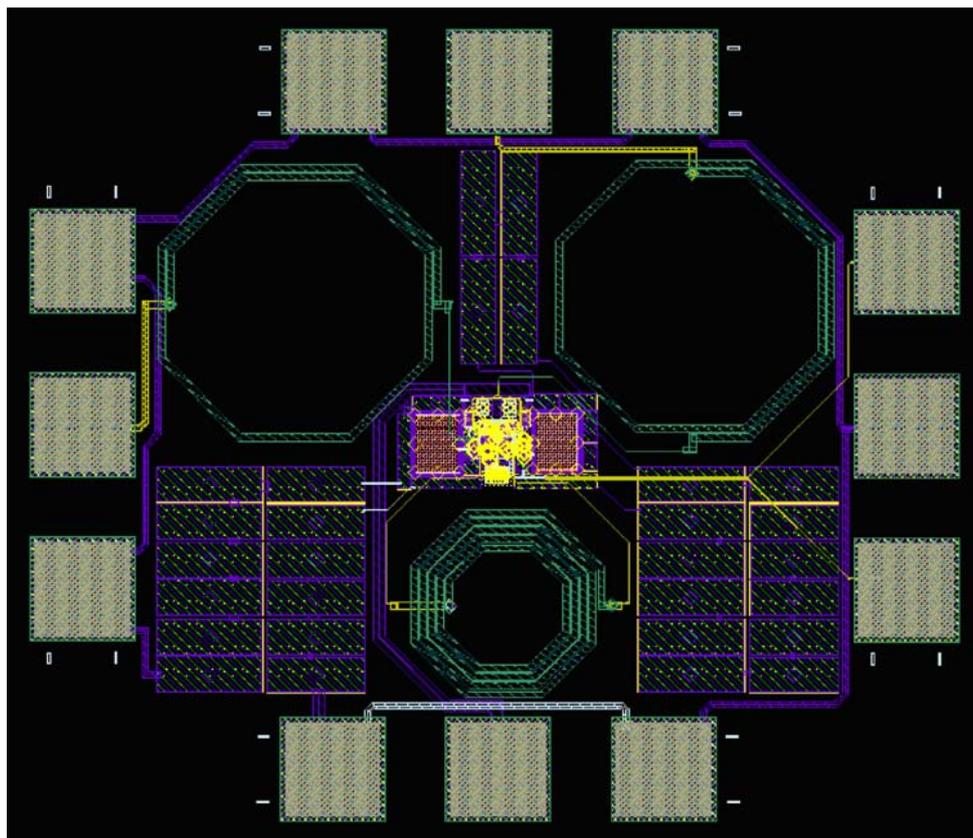


Figura 5.40. *Layout del mezclador activo basado en la célula de Gilbert.*

Se ha perseguido el obtener la mayor simetría posible a pesar de disponer un número impar (3) de elementos inductivos.

Las estructuras cuadrangulares situadas en los bordes inferiores del circuito son contactos a tierra. Con ellos se evita que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

El tipo de terminales empleado es el denominado GSG, exceptuando el de salida, que es SGS, debido a que el mezclador cuenta con una salida diferencial. Con ellos se alimenta el circuito, se le introduce las señales de RF y OL y se obtienen las señales que atacarán al dispositivo que sigue al mezclador.

En la Figura 5.41 se observa una imagen más detallada del núcleo del mezclador.

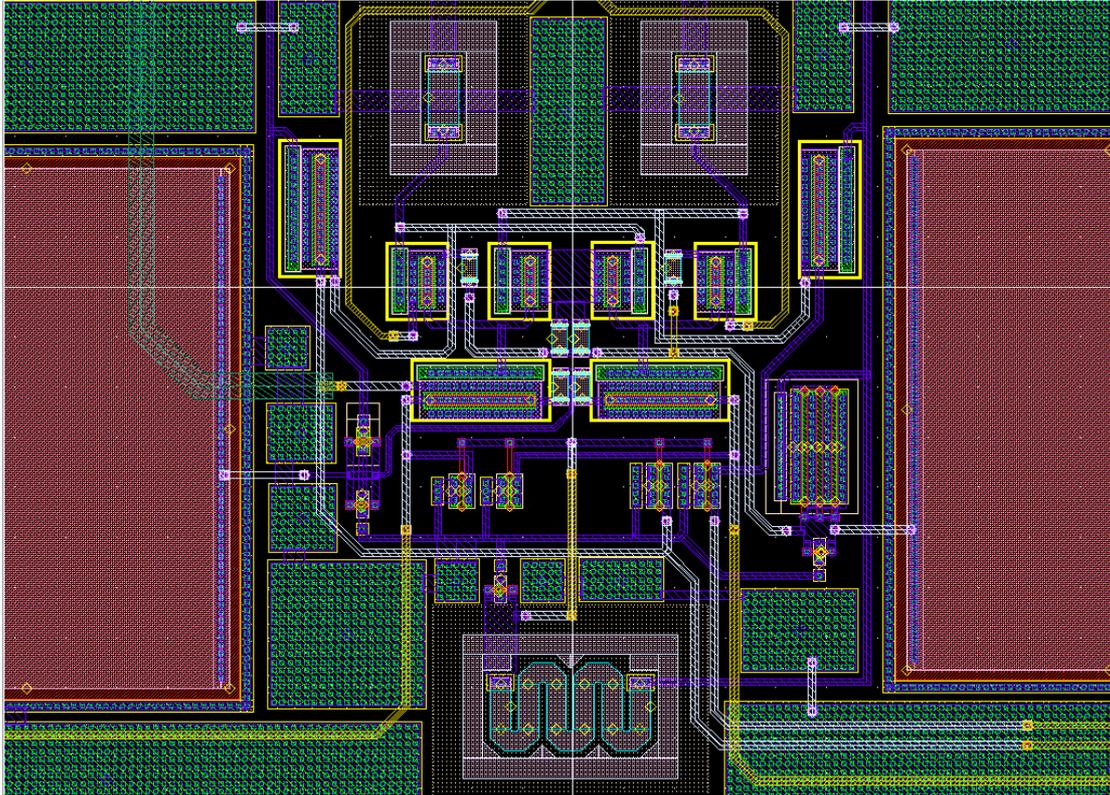


Figura 5.41. Detalle del núcleo del mezclador activo basado en la célula de Gilbert.

En el centro se encuentran las etapas de transconductancia y conmutación, en su parte superior se hayan las resistencias de carga, mientras que debajo están las fuentes de corriente que alimentan tanto al núcleo del mezclador como el *buffer* de salida, situado en los laterales de la etapa de conmutación.

Las fuentes generadores de la tensión de referencia, utilizadas para polarizar las etapas de transconductancia y conmutación, así como sus condensadores, están a los lados del circuito.

Se puede apreciar que las resistencias de carga se han rodeado de estructuras *dummies* para reducir su tolerancia.

También en el interior del núcleo se han incorporado conexiones al sustrato, las cuales evitarán corrientes parásitas que pudieran afectar al circuito.

El circuito mantiene una gran simetría. El obtener esto se hace fundamental para lograr el máximo apareamiento entre los componentes que conforman el mezclador.

5.2.3.2. Simulaciones *post-layout* del mezclador basado en la célula de Gilbert

Una vez realizado el *layout* del mezclador debe comprobarse el correcto funcionamiento del mismo. Para esto se han realizado las simulaciones que se enumeran a continuación.

5.2.3.2.1. Espectros de las señales de entrada y salida

El espectro de las diferentes señales se ha obtenido mediante un análisis PSS (*Periodic Steady State*) en el simulador SpectreS integrado en el Cadence. Éste es un análisis en gran señal que calcula la respuesta estacionaria periódica de un circuito. Primero realiza un análisis transitorio hasta que el circuito se haya estabilizado, entonces calcula un análisis de Fourier en un periodo de la señal transitoria, generando el espectro de la señal.

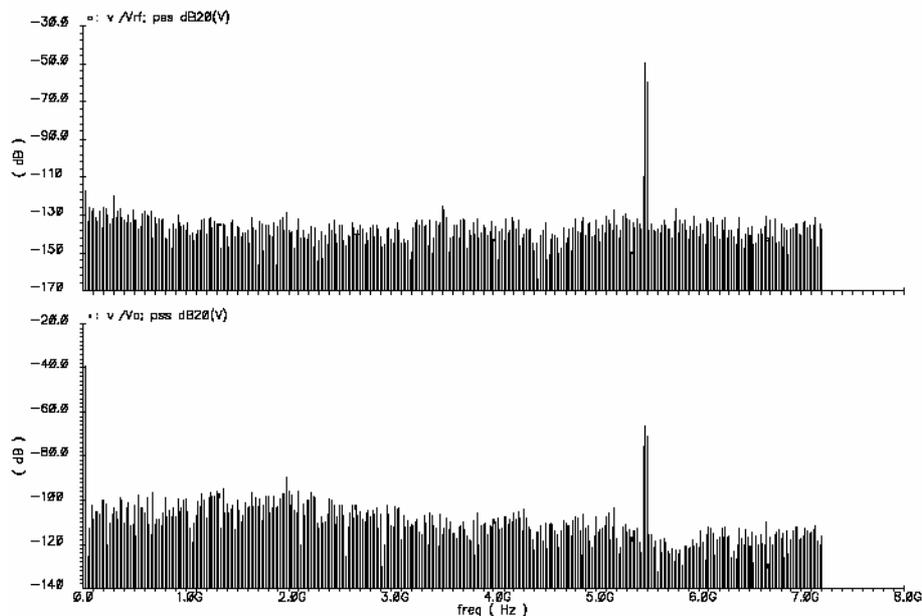


Figura 5.42. Espectro de las señales de entrada (RF) y salida (FI) del mezclador Gilbert.

La Figura 5.42 muestra el espectro de las señales de entrada y salida del mezclador Gilbert. Se observa claramente la presencia de la señal de RF de 5.5 GHz, la señal del oscilador local a 5.48 GHz y la señal de salida a 20 MHz. Esta señal tiene un nivel de -40 dBm, teniendo en cuenta que la entrada es una señal de -60 dBm, la ganancia del sistema es alrededor de 20 dB.

5.2.3.2.2. Ganancia de conversión

La ganancia mínima exigida es de 9 dB. En la Figura 5.43 se observa la curva resultante de la simulación *post-layout*.

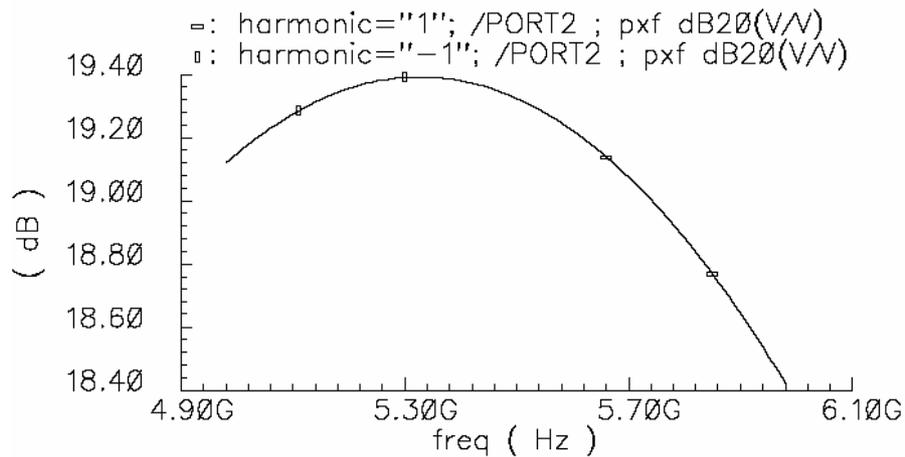


Figura 5.43. Ganancia de conversión del mezclador Gilbert.

La ganancia obtenida es superior a la requerida, en torno a los 19 dB.

5.2.3.2.3. IIP3

Para determinar el IP3 del sistema se realiza un análisis PSS, variando la potencia de la señal RF, junto con una simulación PAC (*Periodic AC*).

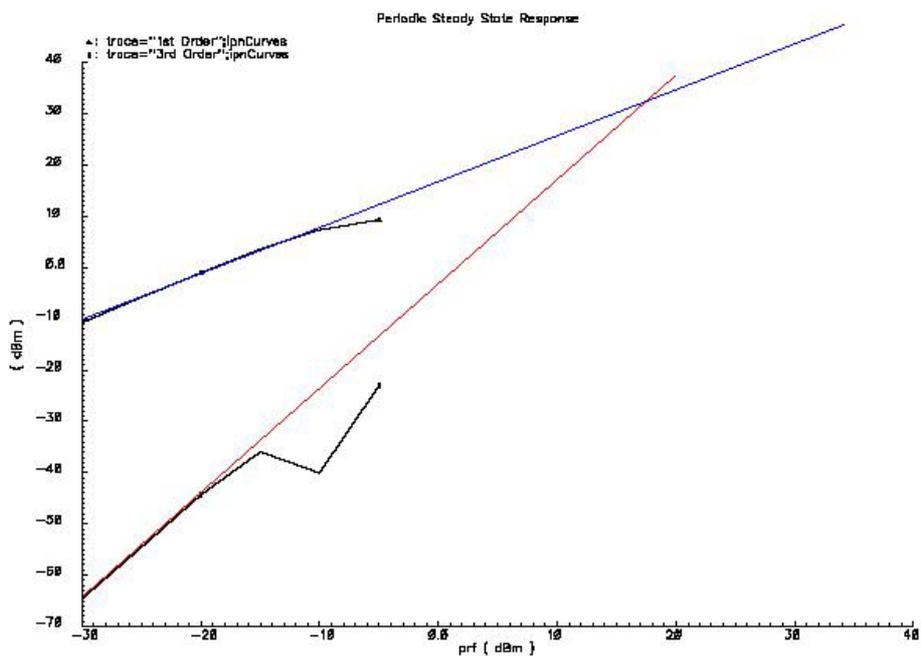


Figura 5.44. IIP3 del mezclador Gilbert.

En la Figura 5.44 se observa el IIP3 del mezclador diseñado. El IP3 de entrada obtenido es de 17 dBm, muy por encima del requerido.

5.2.3.2.4. Figura de ruido

La figura de ruido de banda lateral única se calcula mediante un análisis PSS seguido de un análisis Pnoise (*Periodic Noise*). El análisis Pnoise calcula la contribución al ruido de la señal de entrada por parte del circuito.

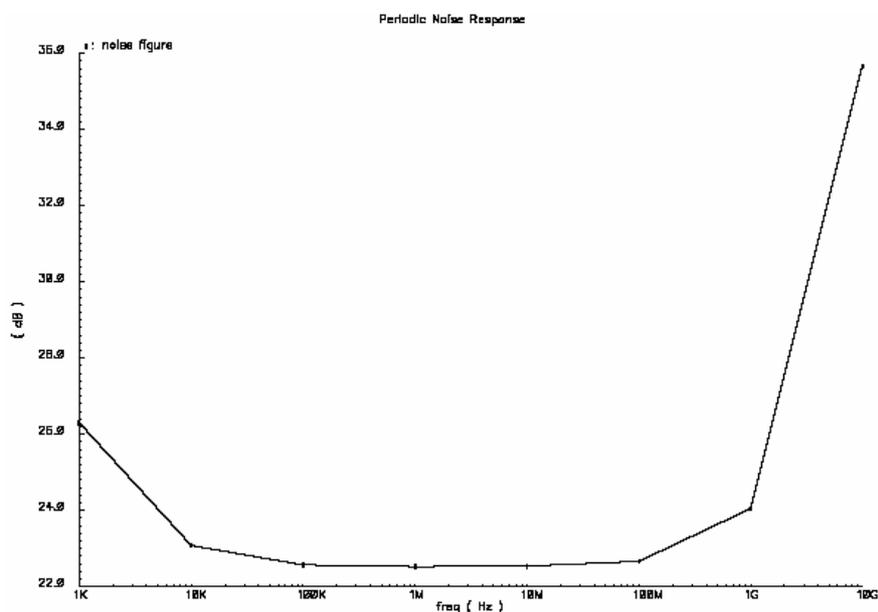


Figura 5.45. Figura de ruido del mezclador Gilbert.

Obsérvese como a baja frecuencia existe una gran aportación de ruido *flicker*. Como muestra la Figura 5.45, a la frecuencia de interés a la salida (20MHz) la figura de ruido alcanzada es ligeramente superior a la obtenida inicialmente en las simulaciones en ADS, 22 dB.

Sin embargo, a pesar de los buenos resultados obtenidos, se observa que una de las grandes limitaciones que presenta este mezclador es la existencia de tres “niveles” de transistores, entre los que hay que repartir la tensión de alimentación, limitando los valores máximos alcanzables de ganancia y linealidad. En el apartado siguiente se realiza otro diseño para reducir este problema y así intentar mejorar ambos factores.

5.3. Diseño del mezclador doblado

En este apartado se analiza la solución por la que se ha optado para solventar la limitación explicada anteriormente. Consiste en la separación de la etapa de transconductancia, disponiéndose así de una tensión mayor para polarizar cada una de las etapas. El mezclador resultante de esta modificación se denominará de aquí en adelante mezclador doblado [KAR03].

5.3.1. Introducción

Las diferencias físicas más notables en la topología del circuito se pueden apreciar en la Figura 5.46. En ella se observa que los transistores de la etapa de entrada (etapa de transconductancia) se separan de la etapa de conmutación. Ahora la estructura de la etapa de transconductancia se asemeja a la de un amplificador diferencial. La señal de la entrada de radiofrecuencia se amplifica y alimenta a la red del circuito de conmutación de la misma manera que en un mezclador Gilbert convencional.

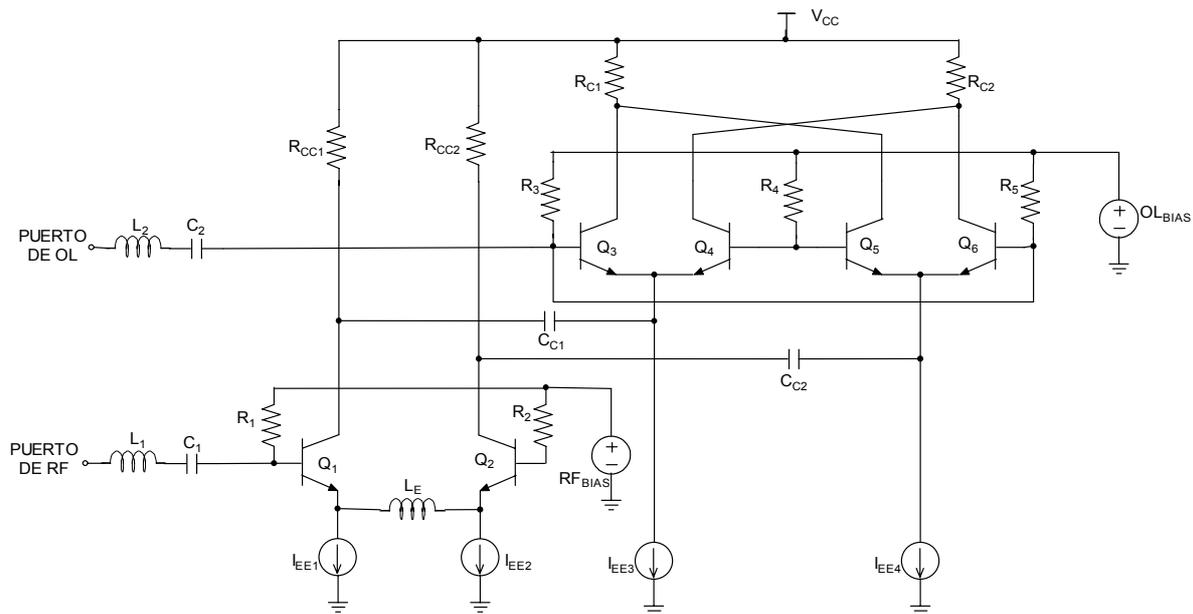


Figura 5.46. Mezclador doblado.

Para asegurar que solamente la corriente alterna pase al circuito de conmutación, se utilizan los condensadores de desacoplo $C_{C(1-2)}$, cuyo tamaño está limitado por las restricciones del proceso de fabricación. Las resistencias de colector $R_{CC(1-2)}$ de la etapa de entrada se utilizan para polarizar el par de transistores de esa etapa. La inductancia de degeneración (L_E) se utiliza para mejorar la linealidad del circuito.

El circuito de conmutación se compone de dos pares de transistores ($Q_{(3-6)}$), que conmutan según la frecuencia de la señal del oscilador local. Las resistencias $R_{C(1-2)}$ se utilizan para convertir la corriente mezclada en la tensión de salida (V_{FI}). El valor de estas resistencias afecta a la ganancia de conversión del sistema, y está limitado por la máxima tensión aplicable a los transistores.

La principal ventaja del diseño doblado consiste en una fuerte mejora en la ganancia de conversión y la linealidad del mezclador. Según lo discutido en el análisis de la célula Gilbert, los transistores de conmutación, el par de transconductancia y la fuente de corriente necesitan una cierta caída de tensión para funcionar correctamente. La tensión restante (tensión de la fuente menos la tensión de operación del mezclador) se puede aplicar a las resistencias R_C . En el caso del diseño del mezclador doblado, este margen de tensión aumenta porque la etapa de entrada se encuentra separada de la etapa de conmutación. Esto sirve para disminuir las restricciones en el margen libre de tensión, por lo que se puede aplicar una tensión mayor a las resistencias R_C . A partir de la ley de Ohm ($V=I \cdot R$) y teniendo en cuenta que la corriente está fijada, es evidente que el aumento de la caída de tensión a través de la resistencia R_C , servirá para aumentar el valor de esta resistencia. Puesto que la ganancia de conversión está estrechamente relacionada con la resistencia R_C , un aumento de esta resistencia implica un aumento de la ganancia.

5.3.2. Diseño del mezclador doblado

El proceso de diseño es similar al realizado en el caso de la célula de Gilbert, por lo que se expondrán directamente los resultados obtenidos para cada una de las figuras de mérito consideradas en función de los principales factores que les afectan.

5.3.2.1. Tensiones de polarización

La fuente de corriente necesita un mínimo de 0.4 V para un correcto funcionamiento. Se ha fijado tanto la tensión de polarización de los transistores de la etapa de transconductancia (RF_{BIAS}) como la tensión de polarización de los transistores de la etapa de conmutación (OL_{BIAS}) a 1.4 V para dejar el mayor margen de tensión posible para la conversión corriente-tensión.

5.3.2.2. Etapa de transconductancia

En este apartado se realizará el ajuste de los distintos elementos que componen la etapa de transconductancia del mezclador tales como la corriente de polarización, la resistencia de carga o la inductancia de degeneración de emisor.

5.3.2.2.1. Corriente de polarización

En la Figura 5.47 se observa la ganancia de conversión (a) y el IIP3 (b) del circuito, en función de la corriente de polarización de la etapa de transconductancia (I_{EE}).

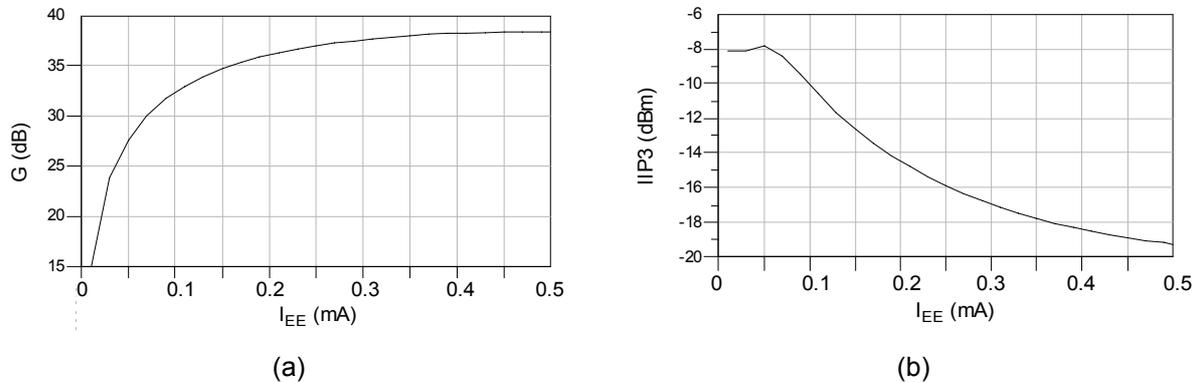


Figura 5.47. Ganancia de conversión (a) e IIP3 (b) en función de la corriente de polarización I_{EE} .

La ganancia aumenta con el valor de esta corriente. Sin embargo, la linealidad disminuye a partir de un determinado nivel de la corriente de polarización. Debido a la elevada ganancia conseguida, se establece como corriente de polarización la que permita obtener un IP3 lo más elevado posible. En la Figura 5.47(a) se muestra que este valor está alrededor de 550 μ A.

5.3.2.2.2. Resistencia de colector

La corriente de salida es función de la tensión de entrada y de la corriente de polarización.

El valor de R_{CC} no afecta a esta corriente y, en consecuencia, a la ganancia de conversión. Teniendo en cuenta esto, se podría optar por la utilización de un valor que permita el correcto funcionamiento del par diferencial, manteniendo los transistores en la zona activa.

Si la tensión de polarización en la base de los transistores Q_{1-2} es 1.4 V, R_{CC} se podría fijar a 2 $K\Omega$, de manera que para una corriente de 550 μ A:

$$V_C = V_{CC} - I_C \cdot R_{CC} \approx 2.2V \quad (5.50)$$

Pero es necesario tener también en cuenta el efecto de esta resistencia sobre la linealidad del sistema.

En la Figura 5.48 se muestra la ganancia de conversión (a) y el IIP3 (b) en función de la resistencia de colector R_{CC} de la etapa de transconductancia. Aquí se aprecia claramente el efecto de la resistencia R_{CC} sobre la linealidad, y la importancia de fijar el valor óptimo para obtener

el mejor resultado. La ganancia de conversión se mantiene estable hasta un valor de R_{CC} de 4.5 k Ω . Sin embargo, del análisis del efecto de esta resistencia sobre el IIP3, se observa que el punto máximo se produce para una resistencia R_{CC} de 3.5 k Ω .

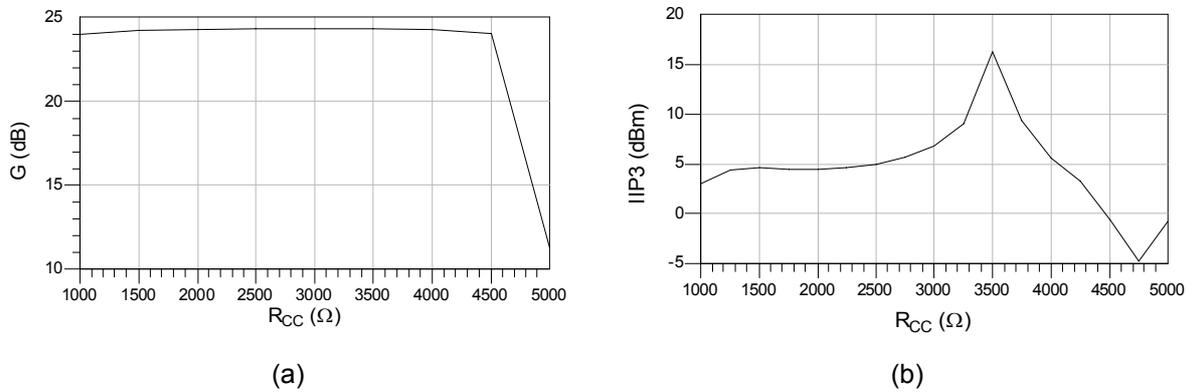


Figura 5.48. Ganancia de conversión (a) e IIP3 (b) en función de la resistencia de colector R_{CC} .

5.3.2.2.3. Inductancia de degeneración

Para elevar la linealidad se utiliza el mismo método que en la célula de Gilbert, la degeneración inductiva, ya que se demostró que ofrece unos mejores resultados que la degeneración resistiva en cuanto a la figura de ruido.

En la Figura 5.49 se representa la ganancia de conversión (a), y el IIP3 (b), en función de la corriente de polarización, para distintos valores de la inductancia de degeneración L_E .

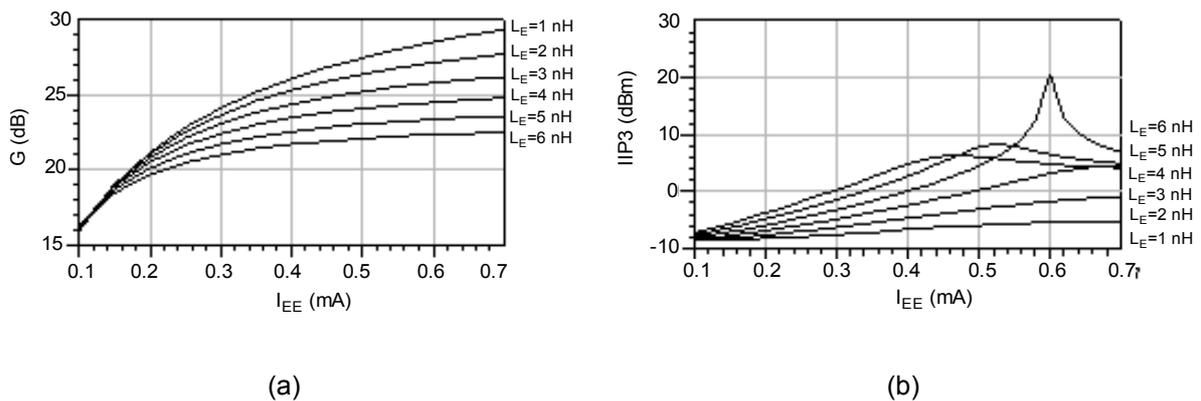


Figura 5.49. Ganancia de conversión e IIP3 (a) e inductancia de degeneración L_E (b) en función de la corriente de polarización I_{EE} .

Se aprecia un pico en el IIP3 para una corriente de 600 μ A y una inductancia de 4nH. Por lo tanto, se ha seleccionado estos valores para el diseño.

5.3.3. Etapa de conmutación

5.3.3.1.1. Corriente de polarización

En la Figura 5.50 se muestra la ganancia de conversión (a) y el IIP3 (b) en función de la corriente de polarización de la etapa de conmutación.

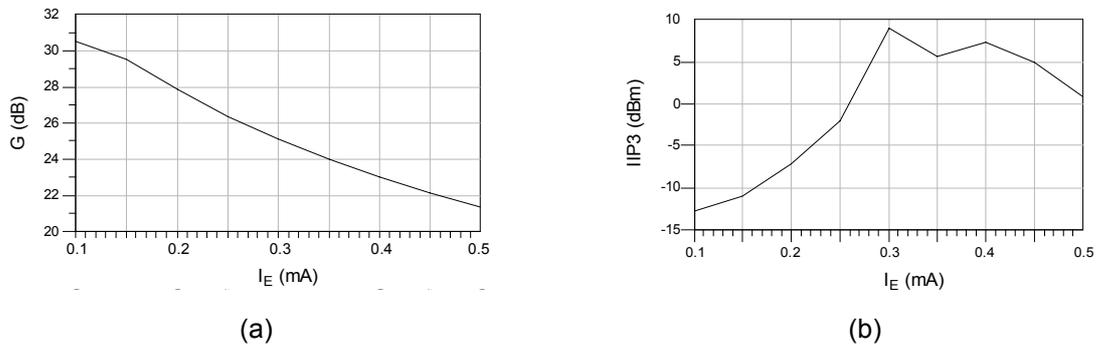


Figura 5.50. Ganancia de conversión (a) e IIP3 (b) en función de la corriente de polarización I_E

Se aprecia un máximo del IIP3 para una corriente de 300 μ A. Además, se observa que, para este valor de corriente, la ganancia es aproximadamente 25 dB, un valor aceptable. Por lo tanto se escogerá este valor como corriente de polarización de esta etapa.

5.3.3.1.2. Resistencia de colector

En la Figura 5.51 se presenta la variación de la ganancia de conversión (a) y el IIP3 (b) en función de la resistencia de colector R_C de la etapa de conmutación. Se observa un pico en el IIP3 para una resistencia de 6 k Ω .

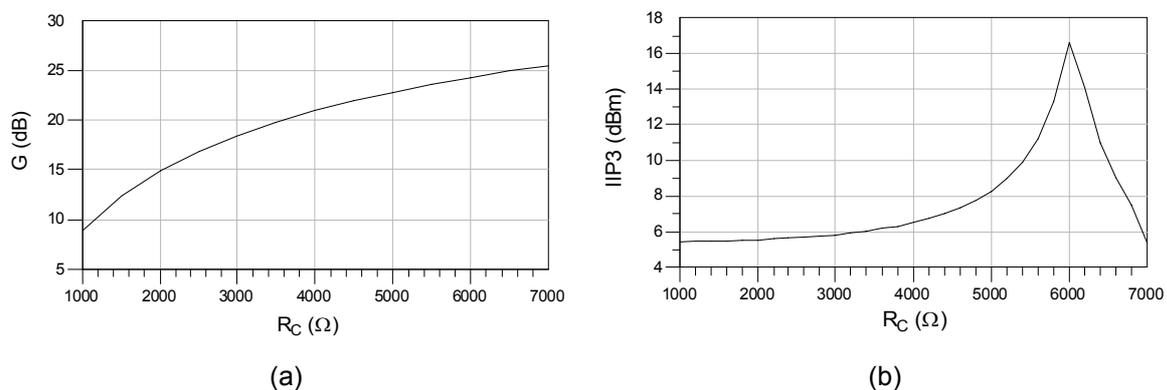


Figura 5.51. Ganancia de conversión (a) e IIP3 (b) en función de la resistencia de colector R_C .

5.3.3.2. Comparativa

Una vez calculados los valores de los distintos componentes del circuito, se presentan una serie de figuras con los resultados obtenidos para la ganancia de conversión, el IIP3 y la figura de ruido para las dos topologías empleadas. Estas figuras son el resultado de un barrido en la corriente de polarización de las etapas de transconductancia de los dos mezcladores (eje horizontal), y de una variación de la inductancia de degeneración.

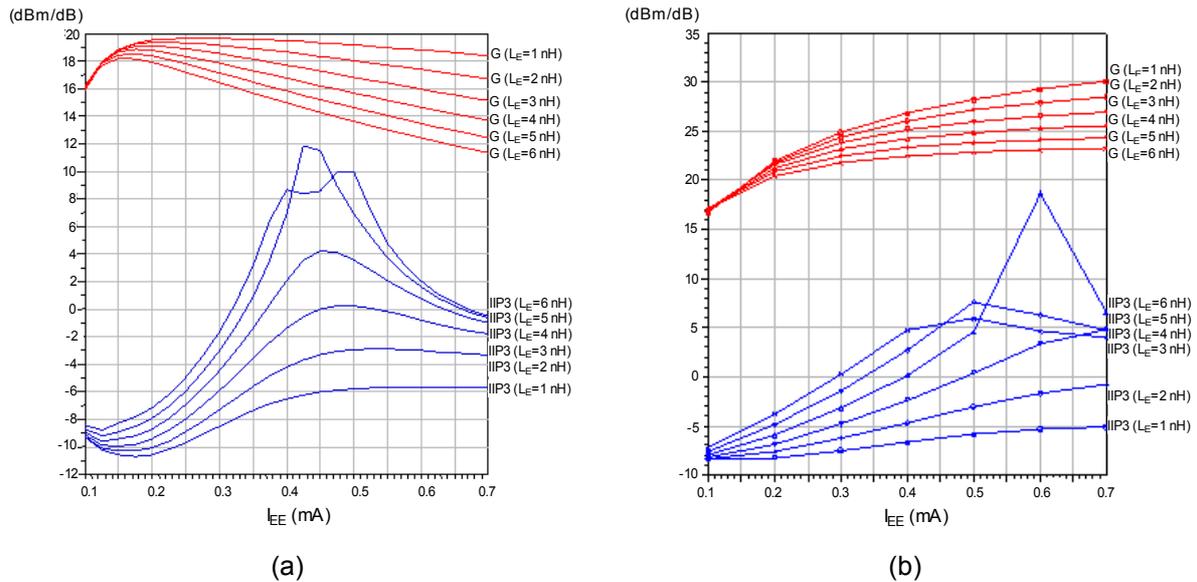


Figura 5.52. Efecto de la variación de la corriente de polarización e inductancia L_E en los valores del IIP3 y de ganancia conversión en el mezclador Gilbert (a) y en el mezclador doblado (b).

Comparando la Figura 5.52 (a) con la Figura 5.52 (b) se observa el ya comentado aumento en la ganancia de conversión y de la linealidad del mezclador doblado. En el mezclador Gilbert, para la corriente de polarización seleccionada ($430 \mu\text{A}$), el IIP3 varía entre un mínimo de -6 dBm ($L_E = 1$ nH) y un máximo de 12 dBm ($L_E = 6$ nH), mientras que la ganancia de conversión varía entre 14 dB y 19 dB. En el mezclador doblado, para una corriente de polarización en la etapa de transconductancia de $550 \mu\text{A}$, el IIP3 varía entre un mínimo de -6 dBm ($L_E = 1$ nH) y un máximo de 19 dBm ($L_E = 4$ nH), mientras que la ganancia de conversión varía entre 23 dB y 29 dB.

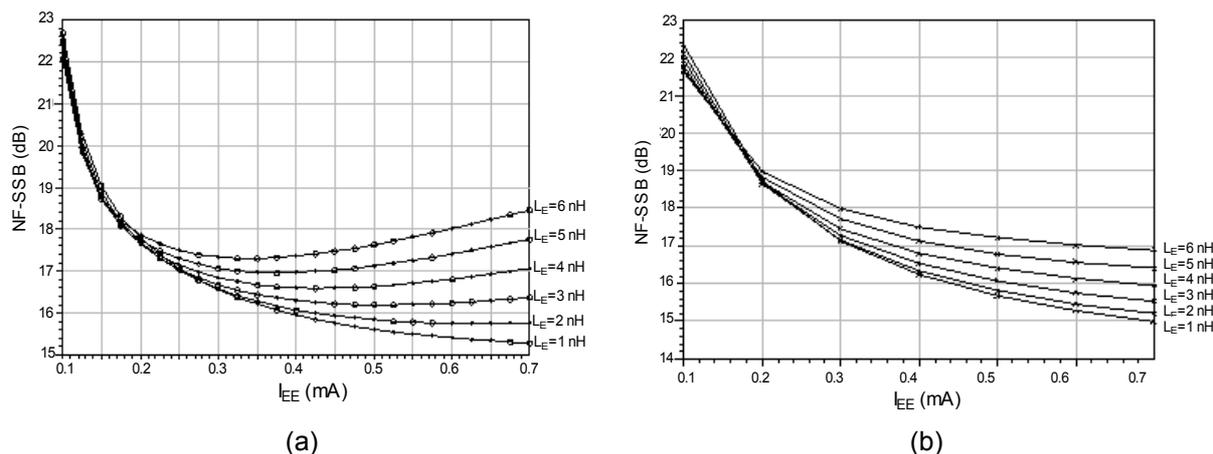


Figura 5.53. Efecto de la variación de la corriente de polarización e inductancia L_E en la figura de ruido del mezclador Gilbert (a) y del doblado (b)

En la Figura 5.53 se muestra la figura de ruido de ambos mezcladores. El mezclador doblado posee una figura de ruido mayor, pero ésta disminuye con el aumento de la corriente de polarización hasta alcanzar niveles inferiores a los del mezclador Gilbert. Esto se debe al aumento de la ganancia, el cual produce una considerable reducción de la figura de ruido.

Los valores obtenidos para las dos topologías empleadas del mezclador son los que se muestran en la Tabla 5.6.

Tabla 5.6. Resultados de las dos topologías empleadas

Parámetro	Mezclador Gilbert	Mezclador doblado
Ganancia de conversión	15.3 dB	26 dB
IIP3	15 dBm	19 dBm
OIP3	30.3 dBm	45 dBm
Figura de ruido	17.3 dB	16.9 dB
Corriente de polarización	430 μ A	600 μ A y 300 μ A
Potencia consumida	7 mW	10 mW

En la Tabla 5.6 se aprecia el gran aumento en las prestaciones del mezclador doblado frente al basado en la célula de Gilbert. La ganancia se eleva casi al doble y el IIP3 es 7 dBm superior. El inconveniente del mezclador doblado es su mayor consumo, debido a la separación de las dos etapas. El ruido introducido por este mezclador también es mayor al generado por el Gilbert, pero las figuras de ruido de ambos son similares debido a la mayor ganancia del doblado.

5.3.3.3. Listado de componentes

En la Tabla 5.7 se muestra un listado de los valores escogidos para los componentes utilizados en este diseño, después de la optimización.

Tabla 5.7. Valores finales de los componentes del circuito

Componente	Valor	
Transistores bipolares	Q_1, Q_2	Área=8 μm^2
	Q_3, Q_4, Q_5, Q_6	Área=4 μm^2
Transistores MOS-FET	Q_1	W/L=0.4 $\mu\text{m}/0.4 \mu\text{m}$
	Q_2, Q_3	W/L=4 $\mu\text{m}/0.4 \mu\text{m}$
	Q_4, Q_5	W/L=2.6 $\mu\text{m}/0.4 \mu\text{m}$
	Q_6, Q_7	W/L=4 $\mu\text{m}/0.4 \mu\text{m}$
Resistencias	R_1, R_2	50 Ω
	R_3, R_5	100 Ω
	R_4	50 Ω
	R_C	6500 Ω
	R_{CC}	3300 Ω
	R_F	20 k Ω
Bobinas	L_E	4 nH
	L_1	0.6 nH
	L_2	0.6 nH

5.3.4. Layout del mezclador doblado

Una vez finalizada la etapa de diseño y ajuste del mezclador doblado se ha implementado el *layout* del mismo y se han realizado simulaciones *post-layout*.

5.3.4.1. Layout del mezclador doblado

En la Figura 5.54 se muestra una vista general del *layout* completo del mezclador doblado.

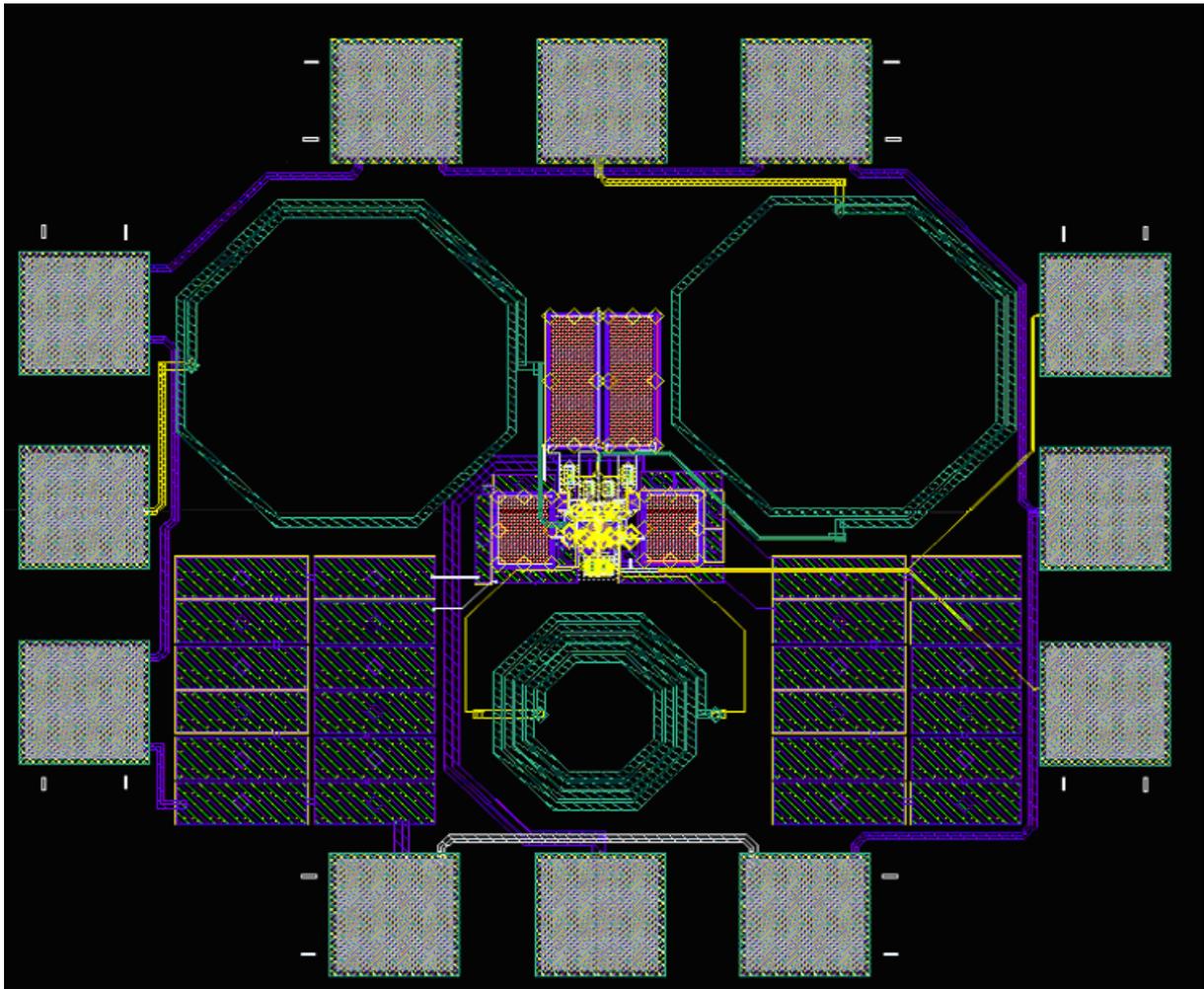


Figura 5.54. *Layout del mezclador doblado.*

Se han seguido las mismas reglas que para hacer el *layout* del mezclador basado en la célula de Gilbert. En la Figura 5.55 se observa una imagen más detallada del núcleo del mezclador.

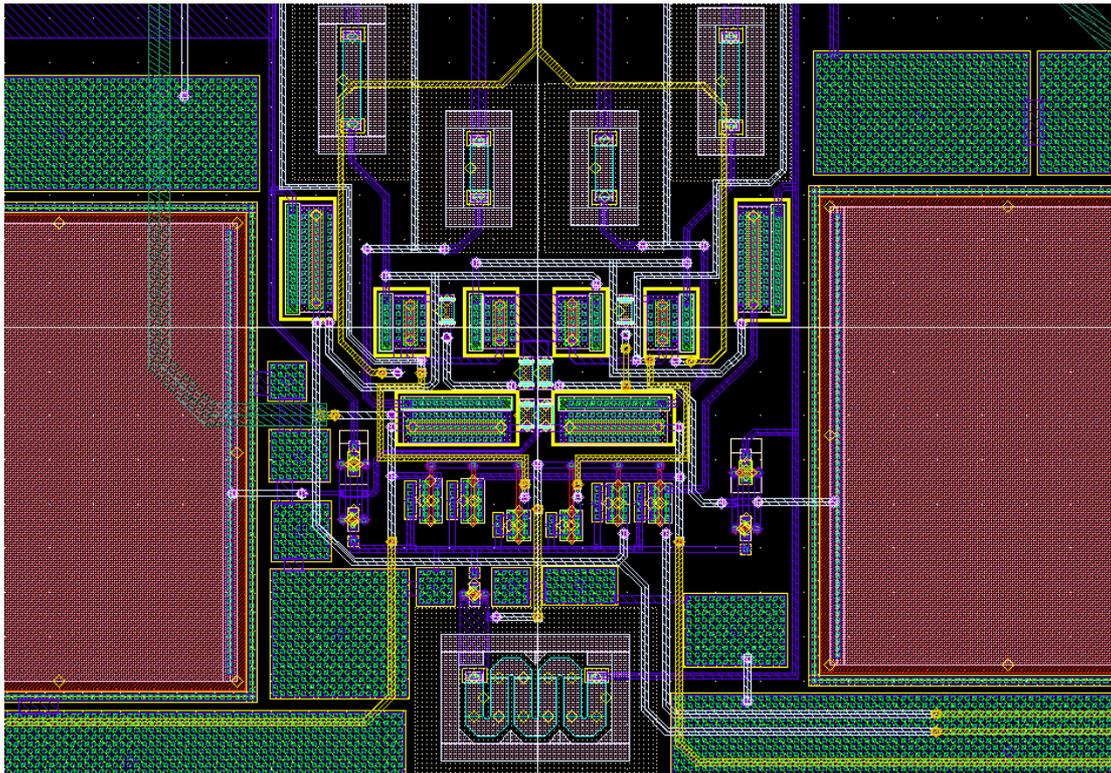


Figura 5.55. Detalle del núcleo del mezclador activo basado en la célula de Gilbert.

Al igual que el mezclador basado en la célula de Gilbert, el circuito mantiene una gran simetría.

5.3.4.2. Simulaciones *post-layout* del mezclador doblado

Una vez realizado el *layout* del mezclador debe comprobarse el correcto funcionamiento del mismo. Para esto se han realizado las simulaciones que se enumeran a continuación.

5.3.4.2.1. Espectros de las señales de entrada y salida

La Figura 5.42 muestra el espectro de las señales de entrada y salida del mezclador doblado la cual es la misma que el caso del mezclador basado en la célula de Gilbert. Se observa claramente la presencia de la señal de RF de 5.5 GHz, la señal del oscilador local a 5.48 GHz y la señal de salida a 20 MHz. Esta señal tiene un nivel de -40 dBm, teniendo en cuenta que la entrada es una señal de -60 dBm, la ganancia del sistema es alrededor de 20 dB.

5.3.4.2.2. Ganancia de conversión

En la Figura 5.56 se observa la curva resultante de la simulación *post-layout*. La ganancia obtenida es superior a la requerida (9 dB), en torno a los 31 dB.

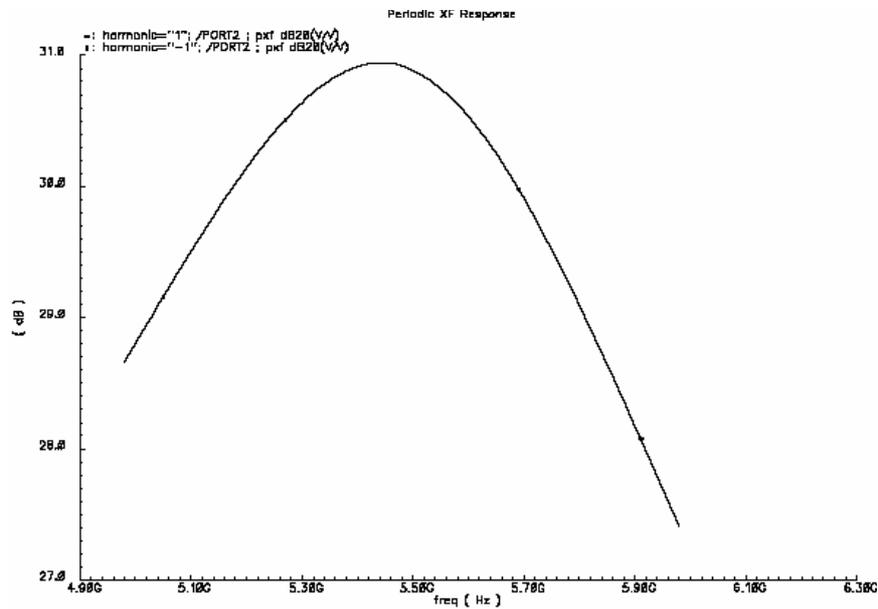


Figura 5.56. Ganancia de conversión del mezclador doblado.

5.3.4.2.3. IIP3

Para determinar el IP3 del sistema se realiza un análisis PSS, variando la potencia de la señal RF, junto con una simulación PAC.

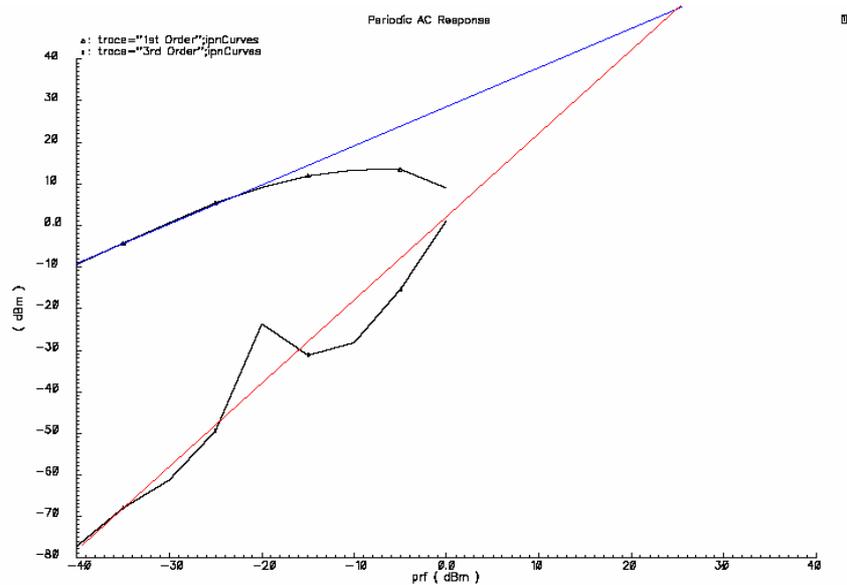


Figura 5.57. IIP3 del mezclador doblado.

En la Figura 5.57 se observa el IIP3 del mezclador diseñado. El IP3 de entrada obtenido es de 25 dBm, muy por encima del requerido.

5.3.4.2.4. Figura de ruido

Como muestra la Figura 5.58, a la frecuencia de interés a la salida (20MHz) la figura de ruido alcanzada es ligeramente superior a la obtenida inicialmente en las simulaciones en ADS, 21 dB. Obsérvese como a baja frecuencia existe una gran aportación de ruido *flicker*.

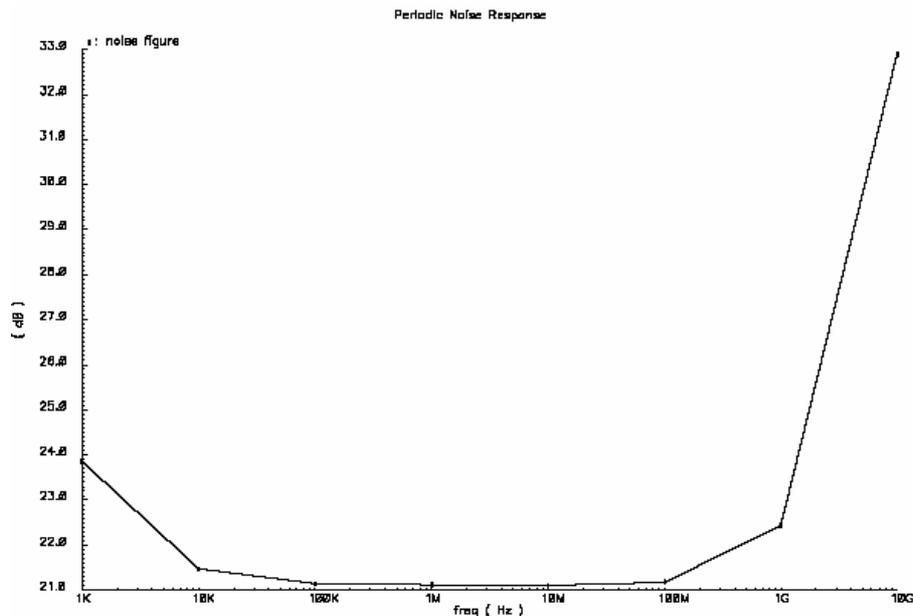


Figura 5.58. Figura de ruido del mezclador doblado.

5.4. Diseño de un mezclador pasivo

Una vez realizados dos mezcladores basados en la célula de Gilbert se va a diseñar un mezclador pasivo. Dicho mezclador posee pérdidas por lo que será necesaria más ganancia en la etapa de frecuencia intermedia. Este apartado está distribuido del siguiente modo. Primero, en la introducción, se mostrará la estructura utilizada. Se sigue con el diseño del mismo a nivel de esquemático y se continúa con el diseño a nivel de *layout* y las simulaciones *post-layout*. Se finaliza con la medida del mismo.

5.4.1. Introducción

La estructura elegida para la etapa de mezclado es la mostrada en la Figura 5.59. En los siguientes apartados se hará referencia a su nomenclatura. Debido a que los transistores presen-

tan una alta impedancia de entrada en las puertas, la señal de RF se introduce por dicho terminal, para facilitar posteriormente el ajuste de la adaptación de impedancia de entrada del circuito.

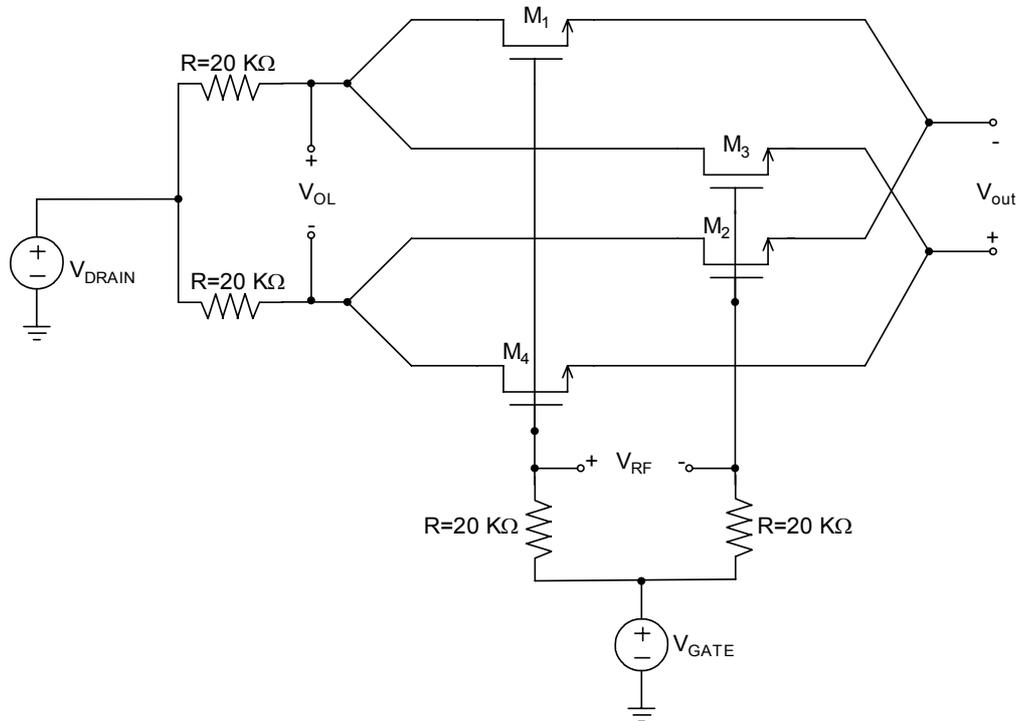


Figura 5.59. Estructura del mezclador pasivo.

Las resistencias se encargan de polarizar las entradas del oscilador local y de RF. El puente de mezclado está formado por los transistores M_1 , M_2 , M_3 y M_4 .

5.4.2. Diseño del mezclador pasivo

A continuación se procederá al diseño del mezclador pasivo, es decir, se definirán la polarización, el dimensionado, la adaptación y las simulaciones a nivel esquemático.

5.4.2.1. Polarización del circuito

Para que el mezclador funcione correctamente, los transistores deben trabajar en zona óhmica. En consecuencia para polarizar el puente se debe ajustar las tensiones de puerta (V_{GATE}) y drenador (V_{DRAIN}) de los transistores M_{1-4} . En las tablas 5.10, 5.11 y 5.12 se muestra la variación los parámetros que caracterizan al mezclador (ganancia, figura de ruido y linealidad) en función de las tensiones de polarización.

Tabla 5.8. Influencia de la polarización en la ganancia del circuito

		Ganancia (dB)						
		V_{GATE} (V)						
		0	0,2	0,8	1,4	2	2,6	3,2
V_{DRAIN} (V)	0	-127	-75,905	-24,8	-33,56	-40,16	-45,39	-49,9
	0,2	-150	-139,74	-28,12	-31,06	-38,11	-43,62	-48,28
	0,8	-150	-148,77	-54,2	-37	-31,49	-37,48	-42,75
	1,4	-150	-148,31	-56,88	-55,48	-42,42	-32,34	-37,36
	2	-150	-147,97	-57,56	-60,6	-56,81	-45,89	-33,91
	2,6	-150	-147	-56,35	-62,61	-62,62	-58,07	-48,5
	3,2	-150	-144,35	-50,8	-61,68	-68,68	-64,53	-59,16

Tabla 5.9. Influencia de la polarización en la figura de ruido del circuito

		NF DSB (dB)						
		V_{GATE} (V)						
		0	0,2	0,8	1,4	2	2,6	3,2
V_{DRAIN} (V)	0	60,1	39,27	19,64	28,83	35,32	40,44	44,88
	0,2	64,1	74,53	22,15	26,27	33,24	38,66	43,25
	0,8	51,97	75,69	39,16	34,45	28,12	33,45	38,2
	1,4	52,029	75,19	39,5	50,64	42,13	31,33	34,62
	2	52,3	74,56	39,8	51,56	55,43	47,11	34,77
	2,6	52,47	73,83	40	52,056	58,54	59,02	50,86
	3,2	52,7	72,87	39,74	52,27	60,02	63,83	61,6

		NF SSB (dB)						
		V_{GATE} (V)						
		0	0,2	0,8	1,4	2	2,6	3,2
V_{DRAIN} (V)	0	66,5	44,39	22,66	31,84	38,33	43,45	49,5
	0,2	70,61	81,79	25,17	29,24	36,25	41,67	46,26
	0,8	117,28	97,18	51,94	37,5	31,14	36,47	41,21
	1,4	132,144	96,99	54,72	56,49	45,15	34,36	37,63
	2	130,25	96,6	55,56	61,74	59,81	50,12	37,81
	2,6	128,32	95,35	54,51	64,18	66,76	62,53	53,87
	3,2	124,75	92,12	49,27	63,05	71,92	69,13	64,75

En el cálculo del IP3 (ver Tabla 5.10), hubieron problemas de convergencia en las simulaciones para varias combinaciones de V_{GATE} y V_{DRAIN} . Los valores de la tabla que no se pudieron obtener por dicha razón, están marcados con “error”.

Tabla 5.10. Influencia de la polarización en la linealidad del circuito

		IP3 (dBm)						
		V_{GATE} (V)						
		0	0,2	0,8	1,4	2	2,6	3,2
V_{DRAIN} (V)	0	9	17	26	22	21	23	20
	0,2	error	8	27	25	22	27	21
	0,8	error	error	18	28	28	36	23
	1,4	error	error	error	error	26	28	26
	2	error	error	error	error	error	33	27
	2,6	error	error	error	error	error	error	25
	3,2	error	error	error	error	error	error	error

De la Tabla 5.8 a la Tabla 5.10 los valores sombreados muestran las mejores prestaciones de los diferentes parámetros que caracterizan al mezclador para distintas tensiones de puerta y drenador de los Transistores M_{1-4} . Buscando un compromiso entre la ganancia, la linealidad y la figura de ruido se ha optado por establecer una tensión $V_{GATE}=0.8V$ y una $V_{DRAIN}=0.2V$. En la Tabla 5.11 se muestra un cuadro resumen con los valores obtenidos una vez ajustada la polarización del mezclador.

Tabla 5.11. Valores obtenidos ajustando la polarización para $V_{GATE}=0.8V$ y una $V_{DRAIN}=0.2V$

Parámetros	Valor
Ganancia (dB)	-28,12
Figura de Ruido DSB (dB)	22,15
Figura de Ruido SSB (dB)	25,17
IIP3 (dBm)	27

5.4.2.2. Dimensionado del circuito

Una vez se ha completado la polarización del circuito se debe dimensionar los transistores que forman parte del puente de mezclado. El ancho de puerta de los transistores se establece en su valor mínimo, $0.35 \mu m$, ya que se trabaja con señales de alta frecuencia y una reducción de la longitud del canal mejora notablemente las prestaciones del circuito. Para el caso del

ancho (W) del transistor, se ha hecho un barrido de distintos valores de la W del transistor. Las mejores prestaciones del circuito se obtuvieron para una anchura de canal de 30 μm .

5.4.2.3. Adaptación de impedancia en las entradas

El circuito va a ser medido sobre la oblea (*on wafer*) y, por tanto, debe tener las entradas adaptadas a 50 Ω . Además la salida del LNA está también adaptada a 50 Ω . Inicialmente, sin considerar ninguna red de adaptación de entrada, se obtienen las siguientes impedancias de entrada y coeficientes de onda estacionarios:

$$Z_{\text{LO}} = 20 - j34.4 \rightarrow \text{VSWR}_{\text{LO}} = 3.82 \quad (5.51)$$

$$Z_{\text{RF}} = 32.43 - j21.63 \rightarrow \text{VSWR}_{\text{RF}} = 2 \quad (5.52)$$

Como muestran las ecuaciones (5.51) y (5.52) las impedancias de las entradas RF y OL están bastante lejos de los valores deseados. En consecuencia, es necesario el empleo de una red de adaptación de impedancias. En la Figura 5.60 se muestra la red de adaptación de entrada ideal para la realización del diseño junto al rango de trabajo de la misma dentro del diagrama de Smith.

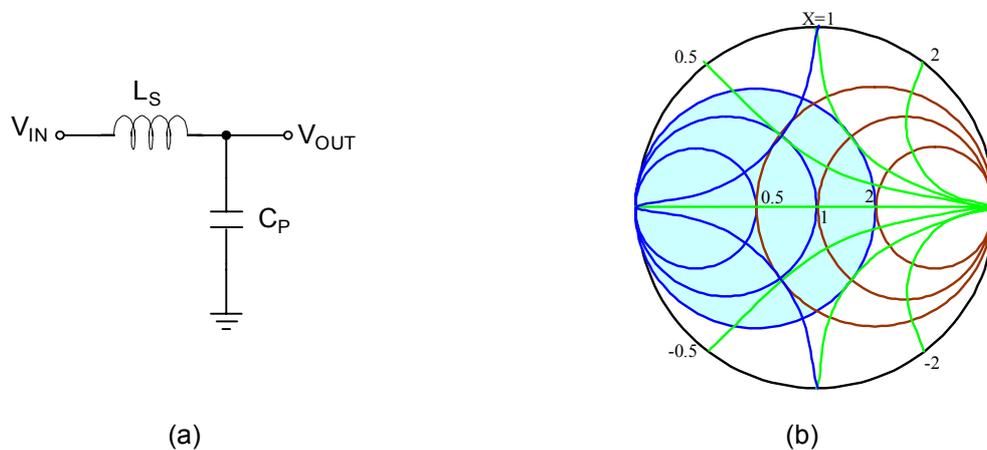


Figura 5.60. Red de adaptación empleada (a) y rango de trabajo (b).

Partiendo de la red de adaptación mostrada en la Figura 5.60 y ajustando los valores de la bobina y el condensador se obtuvieron los resultados mostrados en la Figura 5.61.

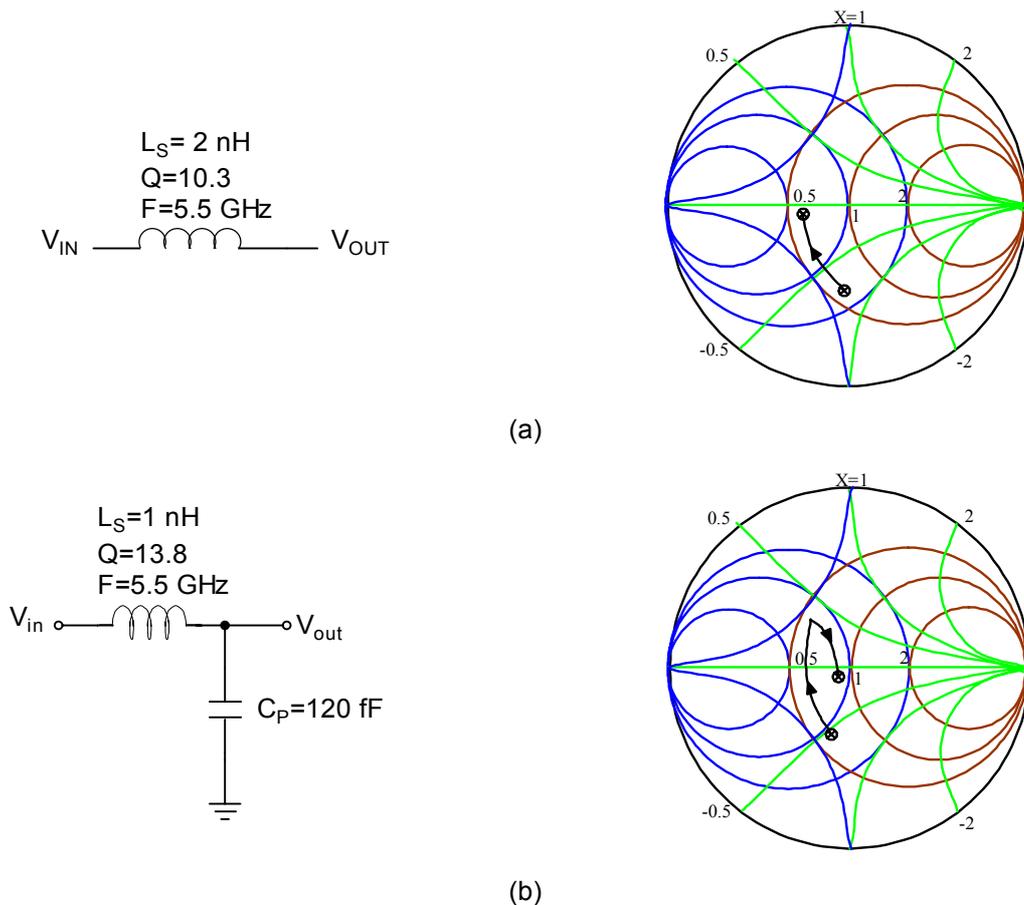


Figura 5.61. Adaptación de las entrada OL (a) y RF (b) del mezclador.

Como puede observarse en la Figura 5.61 en la entrada del oscilador local no se ha implementado totalmente la red de adaptación. Esto es debido a que para realizar el ajuste se precisaba de unos componentes con altas exigencias, por lo que se optó por ajustar únicamente mediante una bobina. Una vez realizada la adaptación de entrada se obtuvieron las siguientes impedancias de entrada:

$$Z_{\text{RF}} = 41.63 - j9.73 \rightarrow \text{VSWR}_{\text{RF}} = 1.32 \quad (5.53)$$

$$Z_{\text{OL}} = 31.23 - j2.19 \rightarrow \text{VSWR}_{\text{OL}} = 1.82 \quad (5.54)$$

5.4.2.4. Diseño final

Una vez completado el ajuste del mezclador pasivo se puede proceder a la simulación del mismo para comprobar su correcto funcionamiento. En la Figura 5.63 se muestra el esquemático del mezclador en ADS con las etapas de polarización, adaptación de impedancia en las entradas de OL y RF y el puente de mezclado.

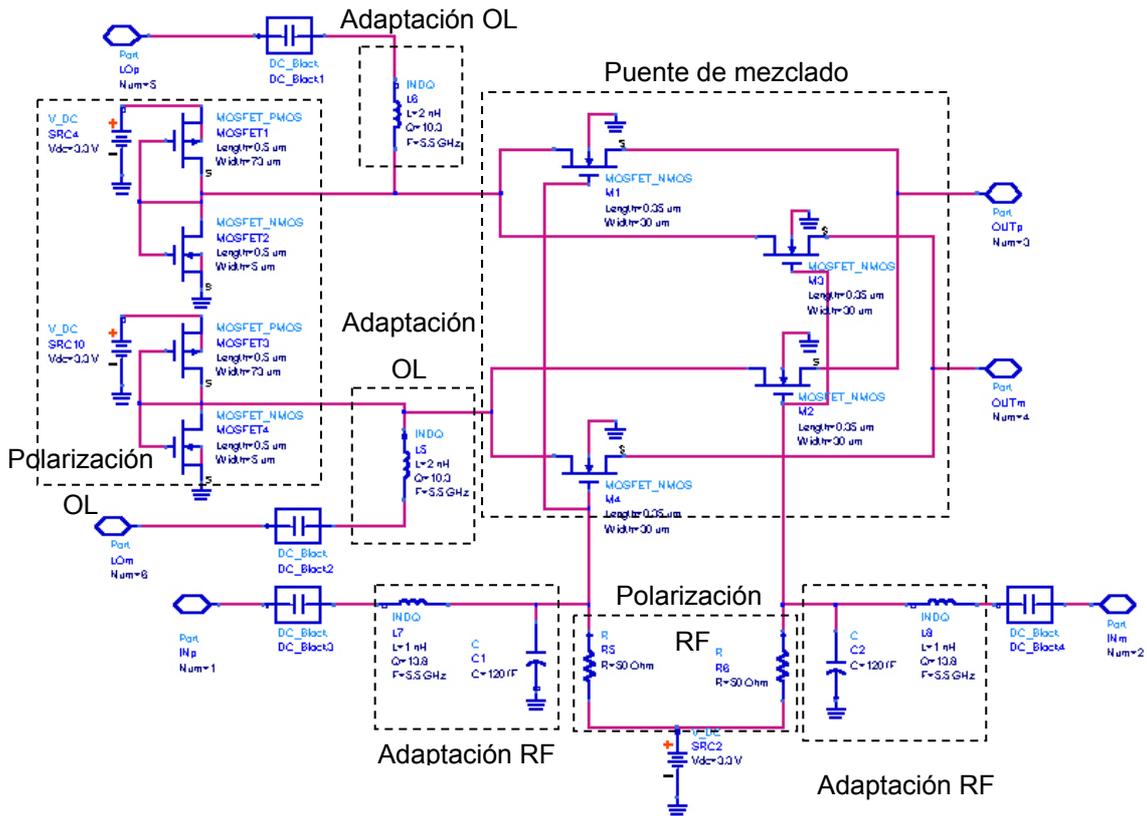


Figura 5.63. Esquemático final del mezclador pasivo en ADS.

5.4.3. Layout del mezclador y simulaciones *post-layout*

5.4.3.1. Layout del mezclador pasivo

Una vez finalizada la etapa de diseño y ajuste del mezclador pasivo, se ha implementado el *layout* del mezclador, haciendo uso de la tecnología S35D4 de la fundidora AMS. En la Figura 5.64 se muestra una vista del *layout* completo del mezclador pasivo.

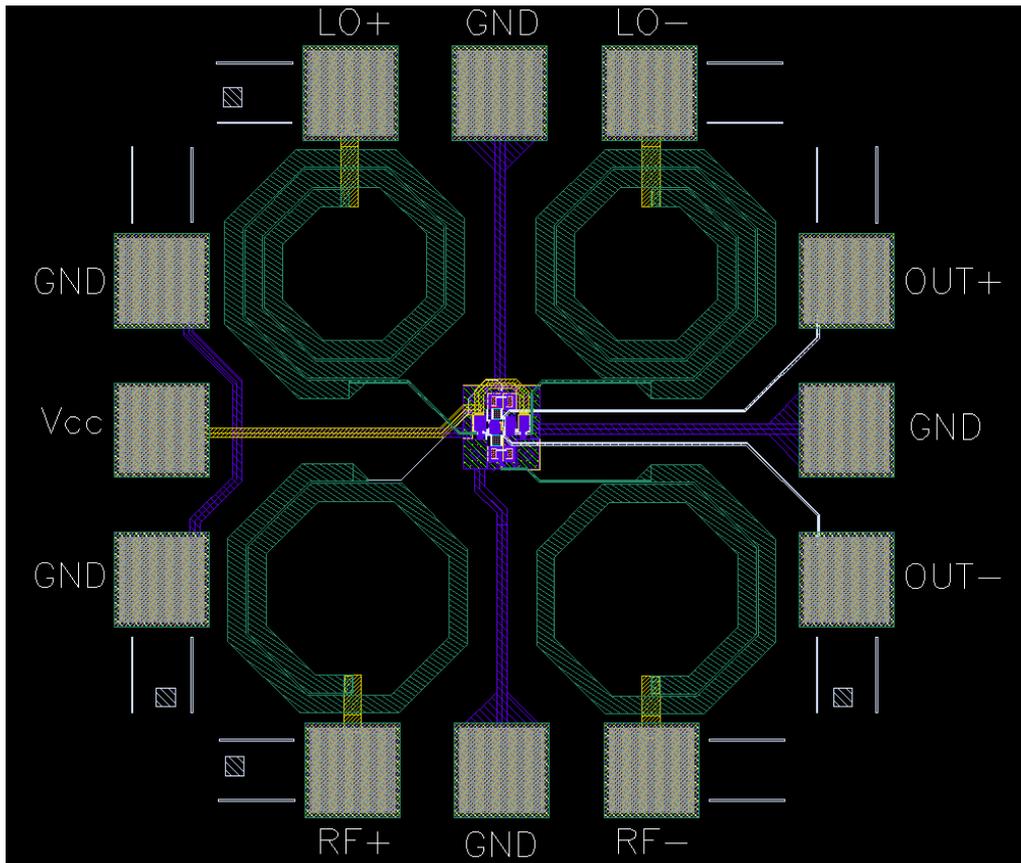


Figura 5.64. *Layout del mezclador pasivo.*

El *layout* mostrado en la Figura 5.64 tiene unas dimensiones de $781\mu\text{m} \times 775\mu\text{m}$. A pesar del gran tamaño del *layout*, el núcleo de mezclado tiene unas dimensiones de $100\mu\text{m} \times 60\mu\text{m}$. Este aumento del tamaño del circuito, como puede apreciarse en la Figura 5.64, se debe básicamente al uso de las bobinas para realizar la adaptación de impedancias y los pads de conexión para posibilitar la medida del circuito sobre la oblea.

En la Figura 5.65 se muestra un detalle del núcleo del mezclador. En el centro se observa el puente de mezclado formado por los cuatro transistores MOSFET y, a ambos lados del mismo, se encuentran las referencias de tensión que ajustan la polarización en la entrada de OL. Finalmente en la parte superior e inferior, se sitúan las resistencias que ajustan la polarización de la entrada de RF y los condensadores que forman parte de la etapa de adaptación de la entrada de RF.

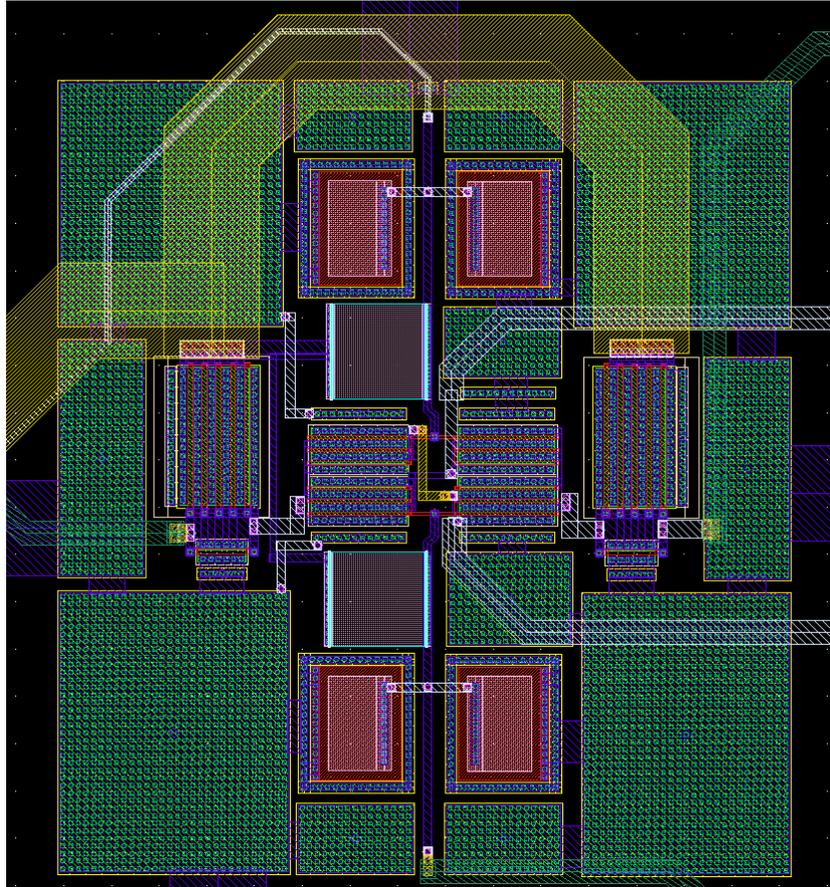


Figura 5.65. Detalle del núcleo del mezclador pasivo.

5.4.3.2. Simulaciones *post-layout*

Una vez realizado el *layout* del mezclador, se debe comprobar el correcto funcionamiento del mismo. Se ha realizado un barrido de la tensión de alimentación y se ha visto como han variado las especificaciones. En la Tabla 5.12 se encuentran los resultados de las simulaciones.

Se ha variado la potencia del oscilador local, y se ha obtenido la ganancia y la figura de ruido del mezclador. Los resultados de la simulación se encuentran en la Tabla 5.13. Se observa que a medida que aumenta la potencia del oscilador local, mejoran las prestaciones del circuito.

Tabla 5.12. Resultados de la simulación para variaciones de la tensión de alimentación

Tensión de alimentación (V)	Ganancia (dB)	NF DSB (dB)	NF SSB (dB)	IP3 (dBm)
0,2	- 31,42	19,96	23,37	21
0,4	- 29,24	19,4	22,5	23
0,6	- 27,92	19,6	22,2	25
0,8	- 27,11	19,13	22,14	25
1	- 26,5	19,19	22,22	24
1,2	- 25,21	19,06	22,04	22
1,4	- 24,12	18,95	22	20
1,6	- 24,187	19,4	22,4	20
1,8	- 24,69	20,08	23,14	20
2	- 25,33	20,826	23,85	21
2,2	- 26,072	21,62	24,644	23
2,4	- 26,89	22,48	25,51	26
2,6	- 27,71	23,39	26,41	27
2,8	- 28,64	24,33	27,37	28
3	- 29,49	25,28	28,3	30
3,3	- 30,67	26,63	29,65	30

Tal y como puede observarse en la Tabla 5.13 existe una dependencia lineal entre la potencia del oscilador local y los parámetros del circuito.

Tabla 5.13. Resultados de la simulación para variaciones de la potencia del oscilador local

Potencia OL (dBm)	Ganancia (dB)	NF DSB (dB)	NF SSB (dB)
0	- 30,56	26,45	29,47
1	- 29,58	25,5	28,51
2	- 28,63	24,56	27,58
3	- 27,71	23,72	26,74
4	- 26,86	22,93	25,95
5	- 26,071	22,23	25,25
6	- 25,35	21,62	24,64
7	- 24,7	21,107	24,12
8	- 24,11	20,65	23,67
9	- 23,58	20,26	23,29
10	- 23,09	19,93	22,97

En la Figura 5.66 se muestra la simulación de la figura de ruido.

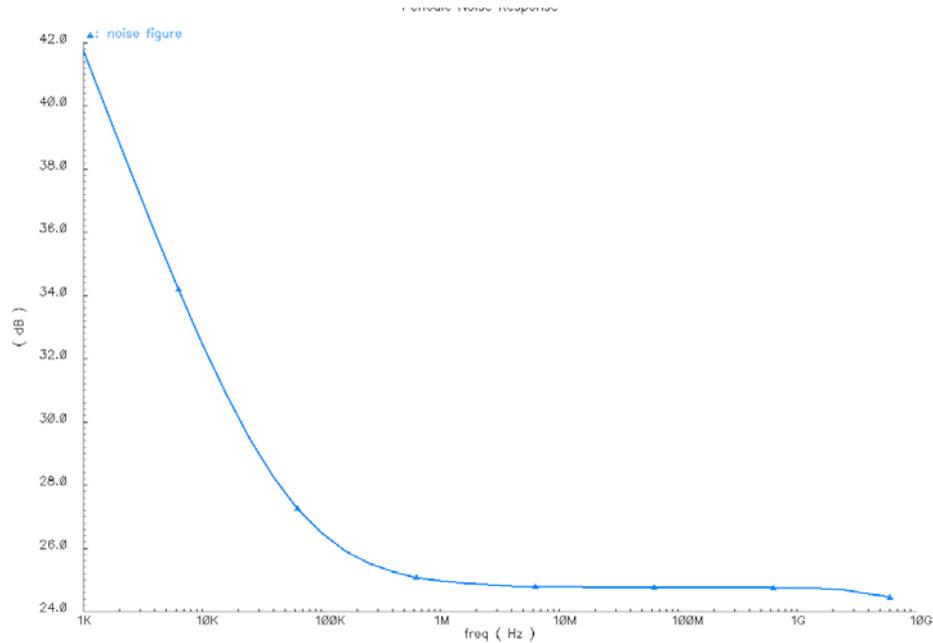


Figura 5.66. Simulación *post-layout* de la figura de ruido del mezclador pasivo.

Obsérvese como a baja frecuencia existe una gran aportación de ruido flicker, aunque en la frecuencia de interés a la salida (20MHz) la figura de ruido alcanzada es muy similar a la obtenida inicialmente a nivel de esquemático, unos 24 dB.



Figura 5.67. Respuesta espectral del mezclador

Finalmente, para comprobar el correcto funcionamiento del circuito, en la Figura 5.67 aparece la respuesta en frecuencia del mezclador. En esta simulación a la entrada de RF se ha situado un tono a la frecuencia de 5.52 GHz y en la entrada de OL se situó un tono a la frecuencia de 5.5 GHz. De esta forma a la salida del mezclador debe existir la resta de las frecuencias de RF y OL (20MHz).

En la Figura 5.67 puede comprobarse como a la salida del mezclador está presente el tono a la frecuencia de 20MHz atenuado debido a las pérdidas de conversión del mezclador.

En la Figura 5.68 se muestra una fotografía del *layout* del mezclador pasivo. Una vez completado el diseño del mezclador pasivo en el siguiente apartado se verá como se ha realizado la medición del mismo.

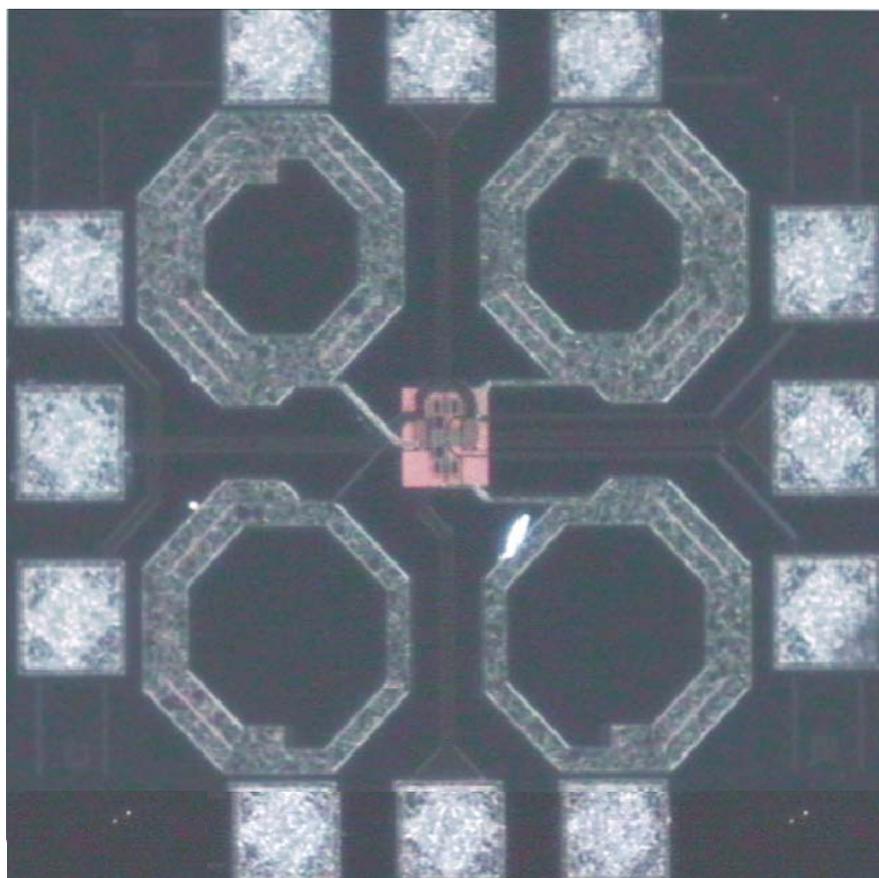


Figura 5.68. Fotografía del mezclador pasivo.

5.4.4. Medida del mezclador pasivo

En este apartado se va describir como se ha realizado la medida del mezclador pasivo. Para ello primero se comenzará con una breve introducción. Se seguirá con las medidas de las pér-

didadas de conversión, aislamiento entre puertos y adaptación. Se finalizará con las conclusiones.

5.4.4.1. Introducción

Como resumen de las características del mezclador recordemos que las entradas de radio frecuencia y del oscilador local son diferenciales y están adaptadas a 50Ω . La salida del mezclador es diferencial y no está adaptada ya que es a baja frecuencia, esto es debido a que el mezclador diseñado convierte a una frecuencia intermedia baja, es decir, a 20 MHz.

En los siguientes apartados se muestran la medida de las pérdidas de conversión, aislamiento entre puertos, adaptación, linealidad y consumo así como de la metodología utilizada en cada medida.

Para realizar la medida del mezclador hemos utilizado los siguientes elementos:

- Estación de puntas Analitical Probe Station SUMMIT 9000 de Cascade Microtech con un microscopio óptico OLYMPUS SZ-CTV.
- 1 Fuente de alimentación Hewlett Packard, Dual Output Power Supply, E3620A.
- 1 Analizador de espectros Agilent, PSA Series Spectrum Analyzer, E4440A.
- 1 medidor de parámetros S (VNA) de Agilent, S Parameter Network Analyzer, 8720E.
- 1 Generador de señal Agilent, ESG Vector Signal Generator, E4438C.
- 3 puntas de medida SGS de Cascade Microtech ACP40D-W SGS-150.
- 1 punta de medida GSG de Cascade Microtech ACP40D-W GSG-150.
- DC-blocks BLK-18.
- Sustrato de calibración Cascade Microtech Impedance Standard Substrate P/N 101-190.
- Cables para señales de RF tipo Sucoflex 104A 150cm.
- Cables DC y adaptadores SMA-BNC.
- Codos de conexión.
- 2 acopladores Anaren Hybrid Coupler 3 dB, 180°, Model 3005

5.4.4.2. Medida de las pérdidas de conversión del mezclador pasivo

Se trata de observar la cantidad de potencia que se pierde cuando se realiza la transformación frecuencial desde RF a FI. Esta pérdida de potencia depende, principalmente, de la potencia del oscilador local y del valor de esa frecuencia intermedia.

5.4.4.2.1. Metodología para la medida las pérdidas de conversión del mezclador pasivo

Para esta medida se va a utilizar el VNA, como oscilador local (en modo *continuous wave*, CW) y el generador de señal, el cual se utilizará para la señal de radiofrecuencia. Con el analizador de espectros se analizará la salida FI del mezclador. La Figura 5.69 muestra el tipo de conexión que es necesario para realizar estas medidas.

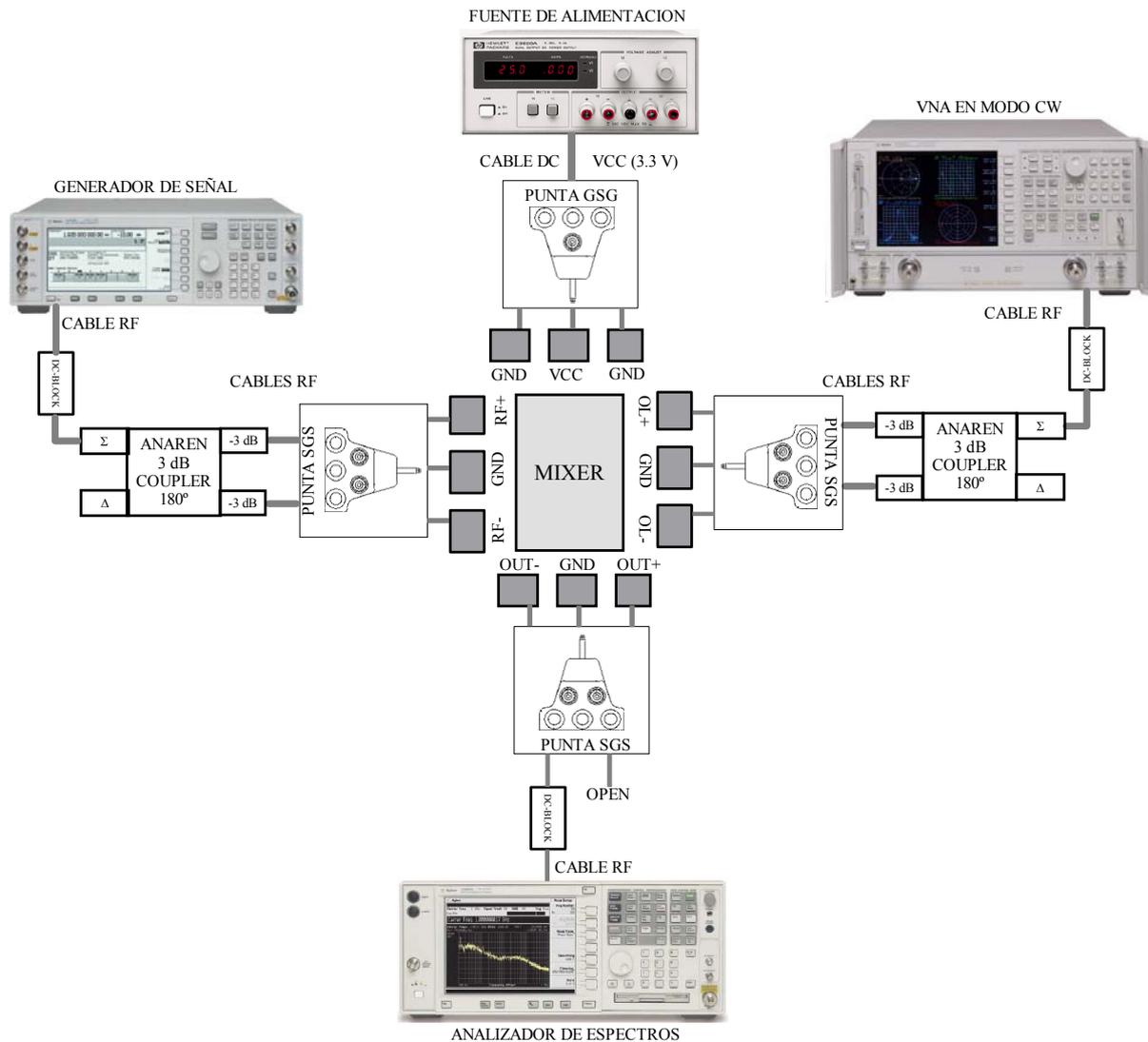


Figura 5.69. Esquema de montaje requerido para medir las pérdidas de conversión del mezclador.

La etapa de salida del mezclador es diferencial, por ello proporciona la mitad de la potencia por una rama y la mitad por la otra. Sin embargo para minimizar la introducción de elementos que suponen pérdidas no modeladas se utiliza únicamente una salida. De esta forma se evita introducir un acoplador y se deja la otra salida del mezclador al aire. Recordemos que esta salida es a baja frecuencia y no está adaptada a 50Ω . En cuanto a las lecturas de potencia hay

que tener en cuenta que el analizador de espectros registra únicamente la mitad de la potencia. Por tanto, la potencia a la salida del mezclador es 3 dB superior a la medida.

A la hora de generar la potencia de RF y OL se emplean elementos que introducen pérdidas no consideradas en las simulaciones. Estos elementos son los cables de RF, los codos de conexión, los DC-blocks, acopladores, las puntas de medida y el contacto entre las puntas de medida y el pad para medidas *on-wafer*. Para hacer llegar a las entradas OL y RF del mezclador la cantidad de potencia requerida es necesario conocer las pérdidas producidas por dichos elementos. Para ello se realiza una calibración empleando el montaje ilustrado en la Figura 5.70.

A partir de un generador se suministra una potencia determinada. En el analizador de espectros se mide la potencia que llega y se calcula la atenuación sufrida. La atenuación que se considera es la mitad de la calculada en esta calibración. Para una correcta calibración, debe de haber los mismos elementos entre el generador de señal y el sustrato de calibración como entre el analizador de espectros y el sustrato.

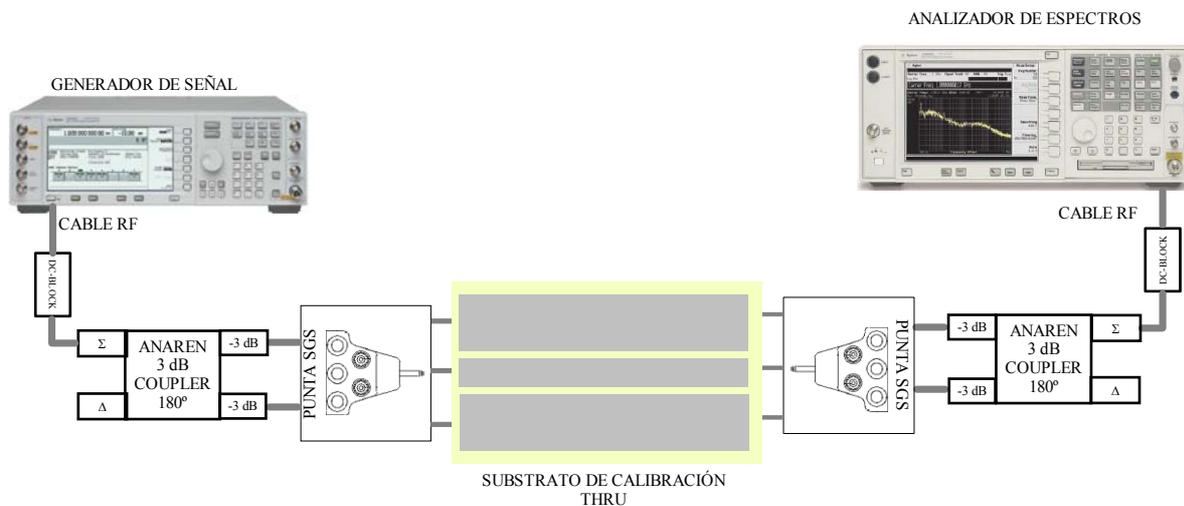


Figura 5.70. Esquema de montaje requerido para realizar la calibración de las pérdidas de potencia del generador y del VNA para poder medir el mezclador.

Como resultado de la calibración se obtiene que el conjunto de los cables de RF, codos, DC-blocks, contactos entre la punta de medida y la estructura de oro suponen una atenuación total de 1.5 dB. A la hora de generar las distintas potencias en el VNA y generador de señal hay que sumarle dicha cantidad.

También se calculó de la misma manera las pérdidas del cable que va de la salida de FI (terminal OUT- de la Figura 5.69) al analizador de espectro, la cuál resultó ser de 0.15 dB.

5.4.4.2.2. Resultados de la medida de las pérdidas de conversión del mezclador pasivo

La potencia de OL utilizada es de 0 dBm mientras que la potencia de RF es de -20 dBm. Las frecuencias de RF y OL así como la potencia de la señal a la salida del mezclador (FI) se muestran en la Tabla 5.14.

Tabla 5.14. Pérdidas de conversión para una FI = 20 MHz, $P_{OL} = 0$ dBm y $P_{RF} = -20$ dBm

Frec OL (MHz)	Frec RF (MHz)	Potencia Salida (FI=20 MHz) (dBm)	Pérdida de conversión (dB)
5160	5180	-53,5	33.5
5180	5200	-53,5	33.5
5200	5220	-53,5	33.5
5220	5240	-53,5	33.5
5240	5260	-53,5	33.5
5260	5280	-53,5	33.5
5280	5300	-53,5	33.5
5300	5320	-53,5	33.5
5725	5745	-53,5	33.5
5745	5765	-53,5	33.5
5765	5785	-53,5	33.5
5785	5805	-53,5	33.5

De la Figura 5.71 a la Figura 5.73 se observan diversas capturas de pantalla del analizador de espectro correspondientes a la salida del mezclador. En la Figura 5.71 se observa que parte de la señal de RF y OL salen por la salida de FI.

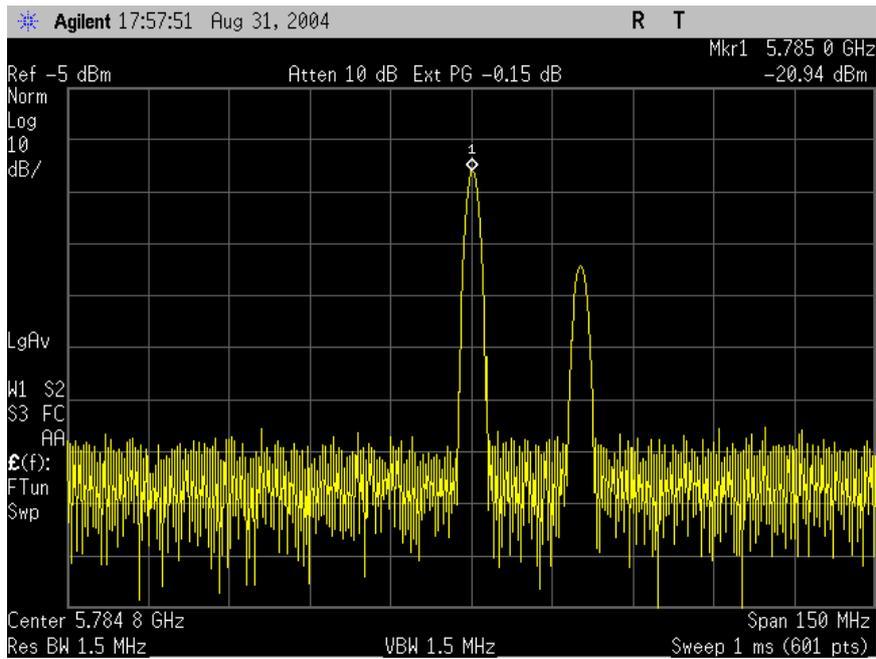


Figura 5.71. Señal de RF (5805 MHz) y OL (5785 MHz) a la salida del mezclador.

En la Figura 5.72 se puede observar la señal de FI a la salida del mezclador.

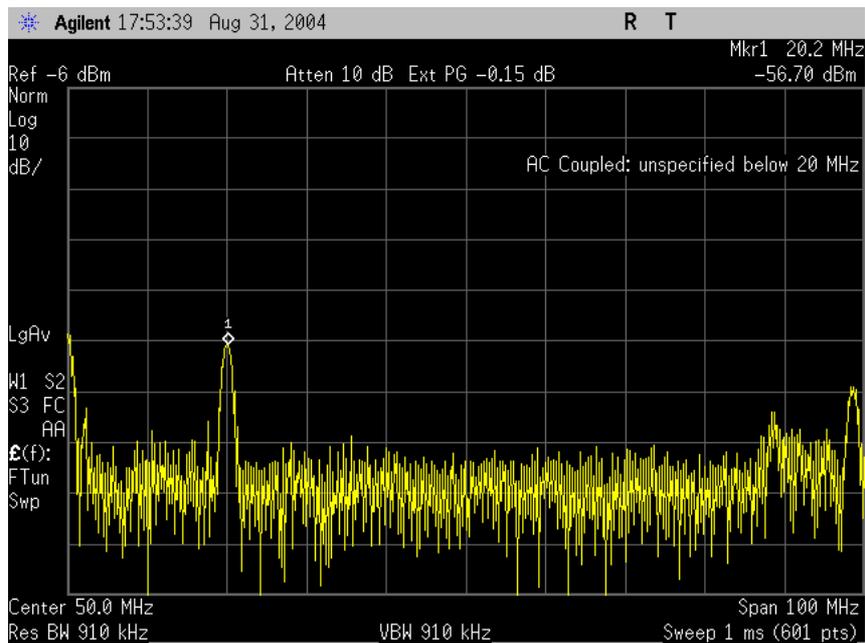


Figura 5.72. Señal de FI (20 MHz) a la salida del mezclador.

En la Figura 5.73 se puede observar la señal de FI (+20 MHz y -20 MHz) y en el centro de ambas la componente de continua (frecuencia cero) a la salida del mezclador.

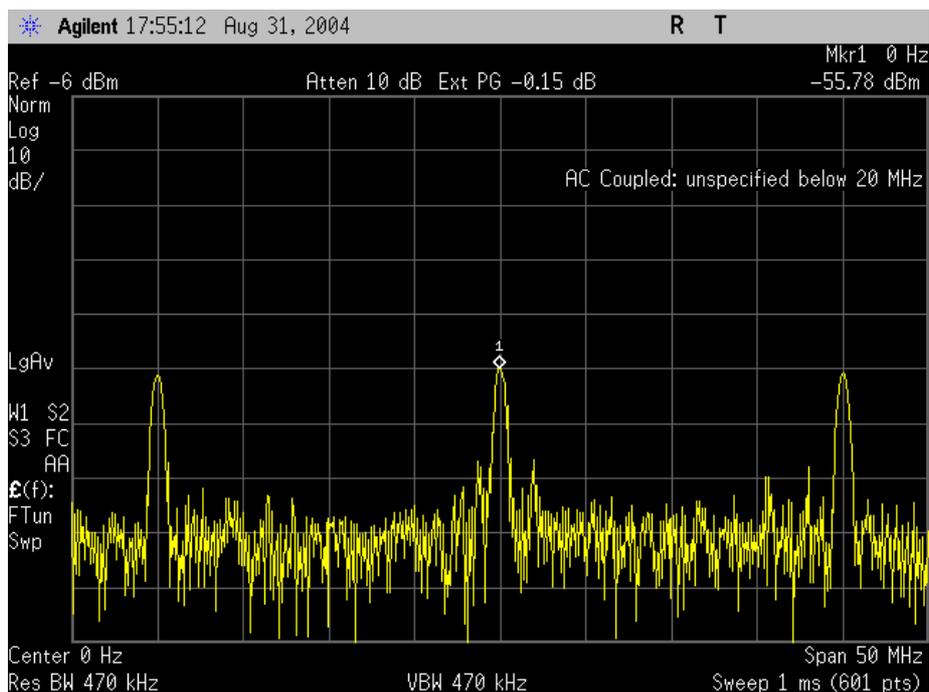


Figura 5.73. Señal de FI (± 20 MHz) y componente en continua (0 Hz) la salida del mezclador.

5.4.4.3. Medida del aislamiento entre puertos del mezclador pasivo

Con estas medidas se pretende ver cuanta señal indeseada nos llega de los demás puertos a nuestra salida FI. Las configuraciones utilizadas para realizar estas mediciones son dos: una de ellas para medir el aislamiento entre RF/FI y OL/FI, y la otra para medir el aislamiento OL/RF.

5.4.4.3.1. Metodología para la medida del aislamiento entre puertos del mezclador pasivo

Para medir Los aislamientos RF/FI y OL/FI, no es necesario cambiar la configuración utilizada en la Figura 5.69. La diferencia es que la medida no la tomamos a la frecuencia FI sino a la de RF y OL, según sea aislamiento para RF o para OL.

5.4.4.3.2. Resultado de las medidas del aislamiento entre los puertos RF y FI

Para realizar la medida del aislamiento RF/FI se ha introducido una potencia de OL de 0 dBm y una potencia de RF de -20 dBm y se ha visto la potencia de la señal de RF en la salida FI. Los resultados para una FI de 20 MHz se pueden observar en la Tabla 5.15.

Tabla 5.15. Aislamiento RF/FI para una FI = 20 MHz, $P_{OL} = 0$ dBm y $P_{RF} = -20$ dBm

Frec OL (MHz)	Frec RF (MHz)	Potencia Salida RF (dBm)	Aislamiento RF/FI (dB)
5160	5180	-42,5	22,5
5180	5200	-42	22
5200	5220	-41	21
5220	5240	-41,4	21,4
5240	5260	-43	23
5260	5280	-42,3	22,3
5280	5300	-40,1	20,1
5300	5320	-41	21
5725	5745	-38,8	18,8
5745	5765	-38,1	18,1
5765	5785	-38,5	18,5
5885	5805	-38	18

Se observa que el aislamiento RF/FI se encuentra en el rango de 22.5 a 18 dB.

5.4.4.3.3. Resultado de las medidas del aislamiento entre los puertos OL y FI

Para realizar la medida del aislamiento OL/FI se ha introducido una potencia de OL de 0 dBm y una potencia de RF de -20 dBm y se ha visto la potencia de la señal de OL en la salida FI. Los resultados para una FI de 20 MHz se pueden observar en la Tabla 5.16.

Tabla 5.16. Aislamiento OL/FI para una FI = 20 MHz, $P_{OL} = 0$ dBm y $P_{RF} = -20$ dBm

Frec OL (MHz)	Frec RF (MHz)	Potencia Salida OL (dBm)	Aislamiento RF/FI (dB)
5160	5180	-20,9	20,9
5180	5200	-21,2	21,2
5200	5220	-21,7	21,7
5220	5240	-21,5	21,5
5240	5260	-21,5	21,5
5260	5280	-21,5	21,5
5280	5300	-21,2	21,2
5300	5320	-21,3	21,3
5725	5745	-21,3	21,3
5745	5765	-21,6	21,6
5765	5785	-20,8	20,8
5885	5805	-21,2	21,2

Se observa que el aislamiento RF/FI se encuentra en el rango de 21.7 a 20.8 dB.

5.4.4.3.4. Metodología para la medida del aislamiento OL/RF

Para medir el aislamiento OL/RF es necesario dejar abierta la salida de FI del mezclador. Si la salida del mezclador estuviera adaptada a 50Ω , ellas tendrían que estar con una carga del mismo valor. La salida que irá al analizador de espectros será la de RF, e introduciremos la señal por el puerto OL. Se trataría de medir cuánta potencia del oscilador local puede colarse por la entrada de RF hacia la antena que recibe la señal. El esquema para realizar dicha medida se puede observar en la Figura 5.74.

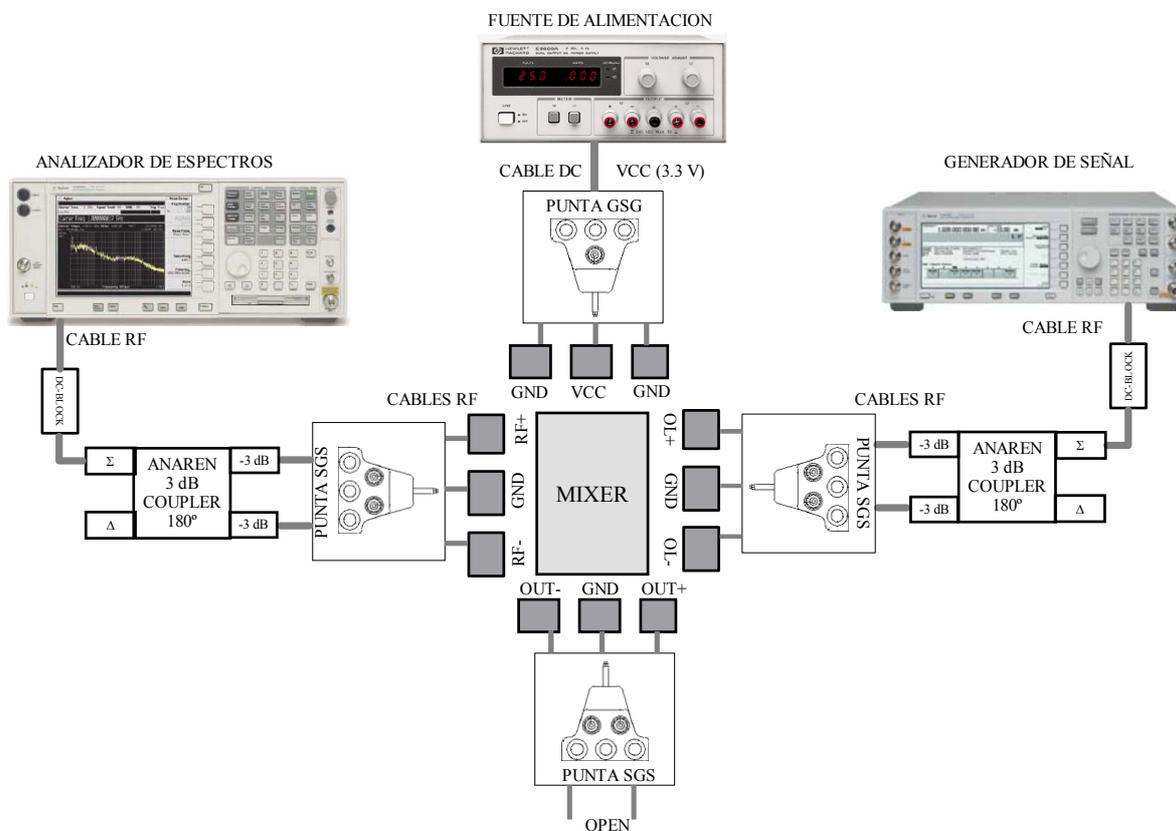


Figura 5.74. Esquema para la medida del aislamiento OL/RF del mezclador pasivo.

5.4.4.3.5. Resultado de las medidas del aislamiento entre los puertos OL y RF

Para realizar la medida del aislamiento OL/RF se ha introducido una potencia de OL de 0 dBm y se ha visto la potencia de la señal de OL en la salida RF. Los resultados se pueden observar en la Tabla 5.17.

Tabla 5.17. Aislamiento OL/FI para una FI = 20 MHz, $P_{OL} = 0$ dBm y $P_{RF} = -20$ dBm

Frec OL (MHz)	Potencia Salida OL (dBm)	Aislamiento OL/RF (dB)
5160	-22,5	22,5
5180	-24	24
5200	-26,3	26,3
5220	-24,7	24,7
5240	-22,5	22,5
5260	-23	23
5280	-25	25
5300	-24,8	24,8
5725	-20,4	20,4
5745	-21,3	21,3
5765	-19,3	19,3
5885	-18,9	18,9

Se observa que el aislamiento RF/OL se encuentra en el rango de 26.3 a 18.9 dB.

5.4.4.4. Medida de la adaptación del mezclador pasivo

Con esta medida se comprueba la adaptación de las entradas de RF y OL a 50Ω . Para realizar dicha adaptación hacemos uso del VNA tal como se explica a continuación.

5.4.4.4.1. Metodología en la medida de la adaptación del mezclador pasivo

Para realizar la medida de la adaptación se hace uso del VNA conectando el puerto REFLECTION con la entrada OL y TRANSMISSION en RF. De esta manera se medirán los parámetros S11 y S22. El esquema para realizar dicha medida se puede observar en la Figura 5.75. Antes de realizar la medida hay que calibrar el VNA mediante la calibración FULL TWO PORT CALIBRATION [AGI02].

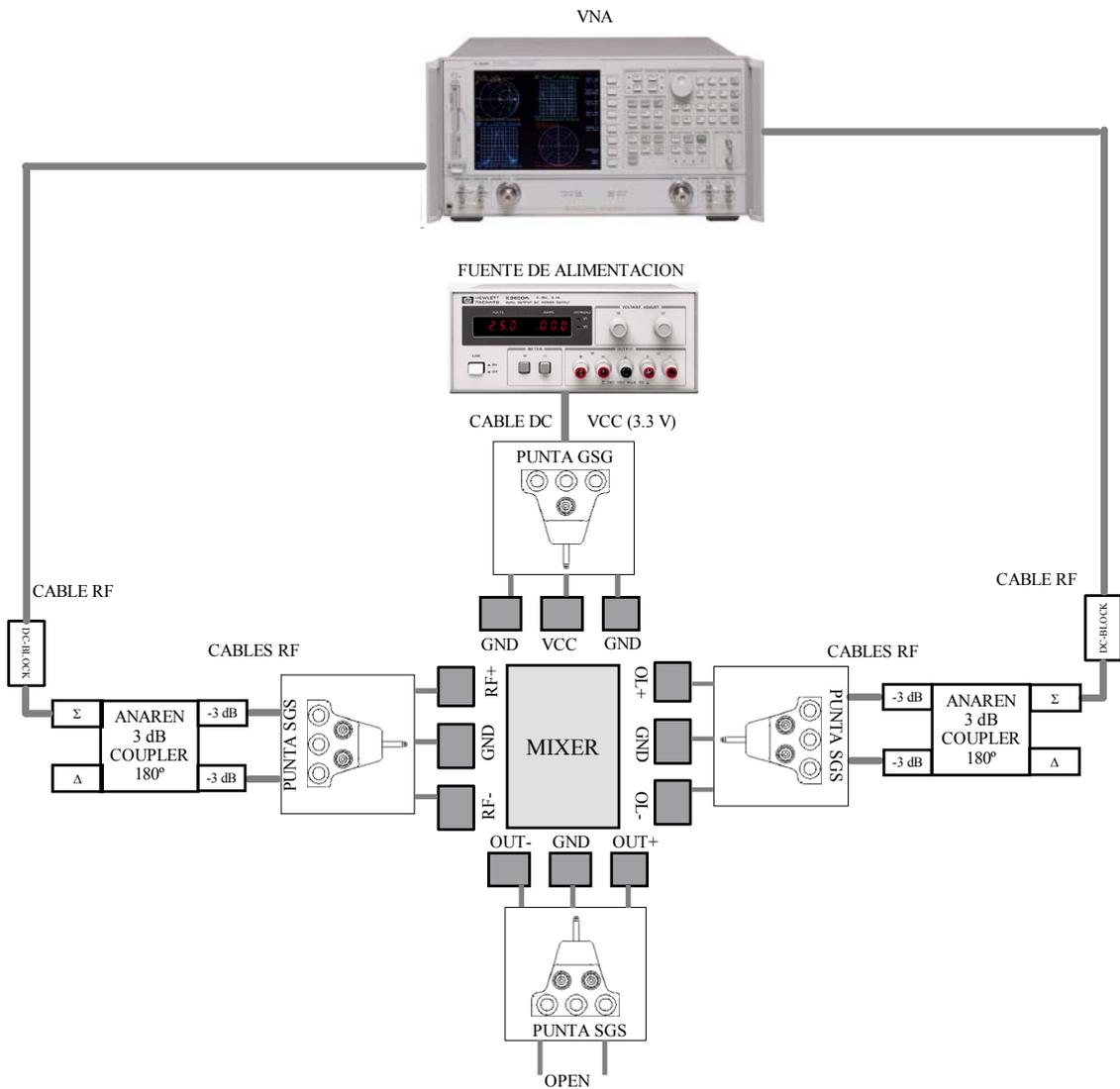


Figura 5.75. Esquema para la medida de la adaptación RF y OL.

Si la salida del mezclador estuviera adaptada a 50Ω se podría colocar el puerto REFLECTION en la entrada RF y TRANSMISSION en la salida FI. Dispuesto de esta manera, el canal 1, nos dará el parámetro S_{11} mientras que el canal 2 representará S_{21} en función de la frecuencia, es decir nos dará una medida del aislamiento RF/FI. Si cambiamos ahora el mezclador de posición, y ponemos al revés las patas RF y FI, obtendremos el parámetro S_{22} del mezclador. Esta última medida no las podremos realizar ya que la salida del mezclador no está adaptada a 50Ω .

5.4.4.2. Resultados de la medida de la adaptación para las entradas RF y OL del mezclador pasivo

Siguiendo el esquema de la Figura 5.75 se ha conseguido los siguientes resultados para OL (S11) y RF (S22) en el rango de 5 a 6 GHz. Obsérvese como en ambos casos se ha conseguido una buena adaptación.

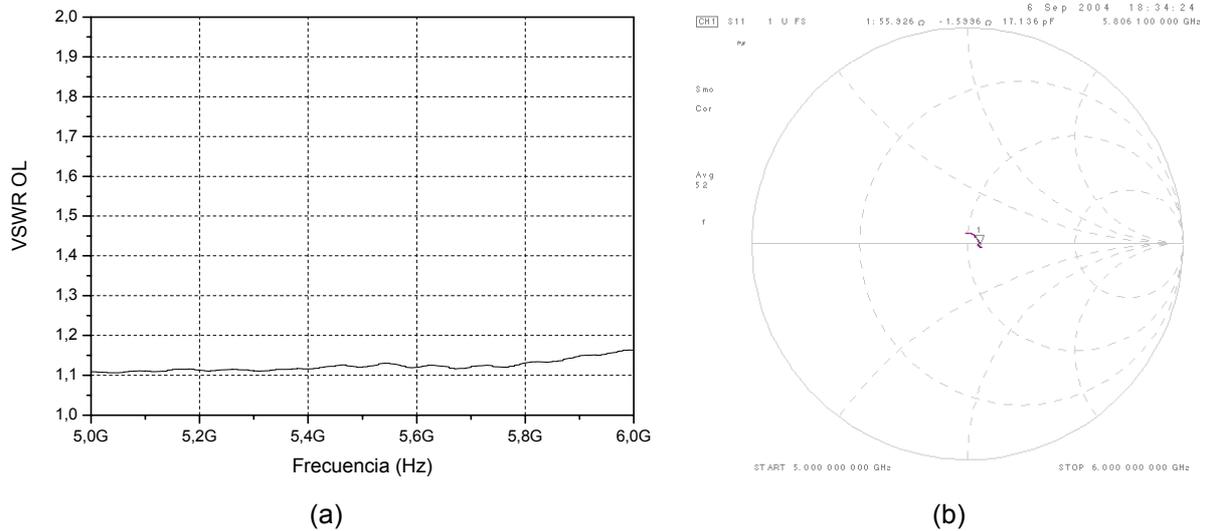


Figura 5.76. Adaptación de la entrada OL del mezclador pasivo VSWR (a) y S11 (b).

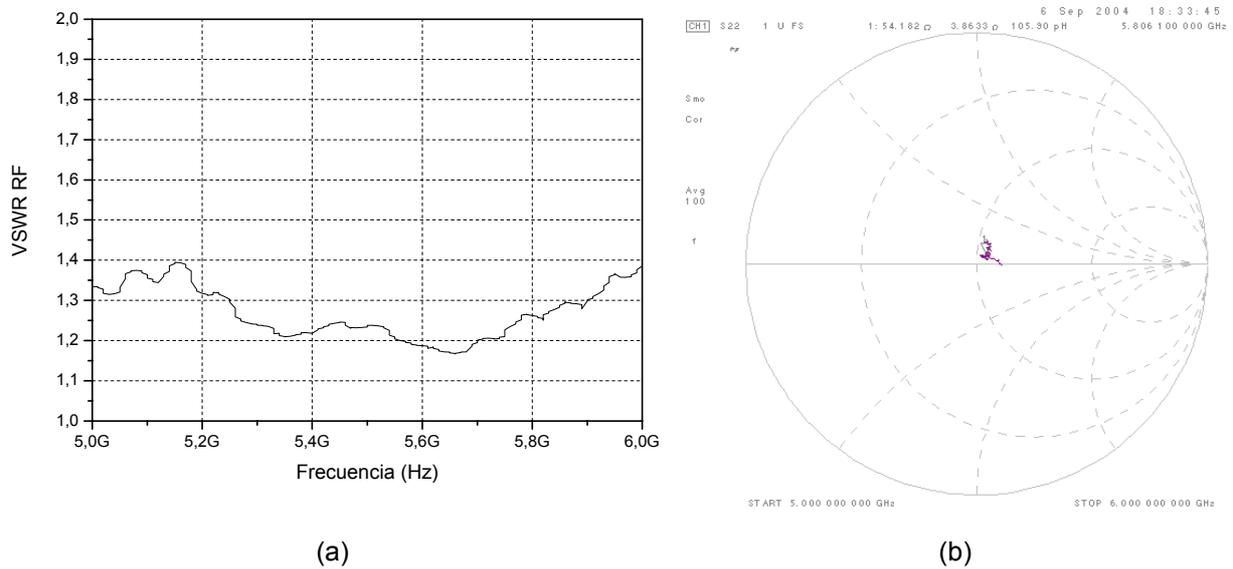


Figura 5.77. Adaptación de la entrada RF del mezclador pasivo, VSWR (a) y S11 (b).

5.4.4.5. Medida de la linealidad

Para la obtención de la linealidad lo que se ha hecho es obtener el punto de compresión a 1 dB. Para ello se ha ido variando la potencia en la entrada de RF hasta saturar la salida mezclador. Todo ello para una frecuencia de OL fija. La medida se ha hecho para un OL a 5500

MHz y 0 dBm de potencia y la señal de RF la hemos puesto a 5520 MHz. La curva potencia de salida (FI) en función de la potencia de entrada (RF), así como su extrapolación para la obtención del punto de compresión a 1 dB se puede observar en la Figura 5.78.

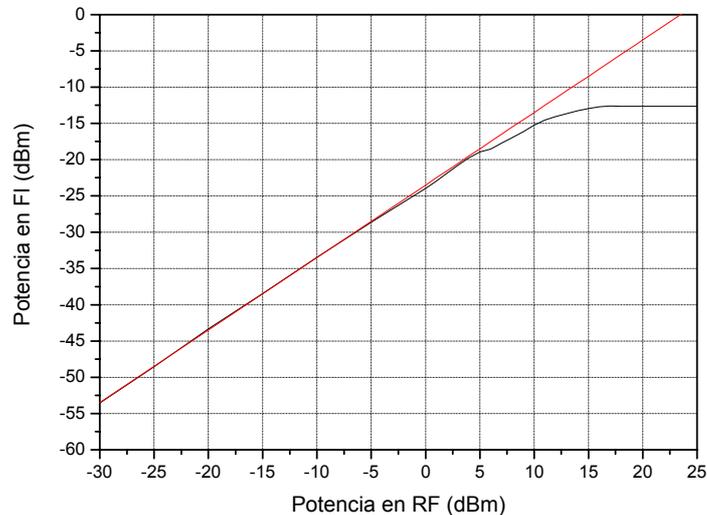


Figura 5.78. Curva potencia de salida (FI) en función de la potencia de entrada (RF) y extrapolación para la obtención del punto de compresión a 1 dB.

El punto de compresión a 1 dB se ha obtenido gráficamente y es igual a 5.95 dBm, a partir de este valor hemos obtenido el IIP3 que no da 15.51 dBm.

5.4.4.6. Conclusiones

En la Tabla 5.18 se muestra una comparativa entre la simulación y la medida de las prestaciones del mezclador.

Tabla 5.18. Comparativa entre medida y simulación del mezclador

	Medida	Simulación
Ganancia	-31 a -33.5 dB	-30.67 dB
VSWR OL	1.11 a 1.16	1.22
VSWR RF	1.15 a 1.4	1.32
IIP3	15.51 dBm	30 dBm
NF	No medido	29.6 dB

El valor de la ganancia es similar entre la simulación y la medida.

La adaptación es bastante buena y la simulación se asemeja mucho a la medida. La correcta adaptación se debe, en gran parte, al modelo de la bobina utilizado en las simulaciones, el cual ha sido obtenido mediante simulaciones electromagnéticas [GON05].

El IIP3 obtenido ha sido bastante bueno pero es inferior al simulado.

La figura de ruido no se pudo medir debido a que la salida del mezclador no está adaptada a 50Ω . Para medir la NF hay que hacer uso de una fuente de ruido y del analizador de espectros. La entrada del analizador de espectro está adaptada a 50Ω y la salida del mezclador no, por lo que la NF medida no sería la correcta.

Se ha medido el consumo de mezclador y es de 66 mW.

5.5. Conclusiones

Se ha realizado el diseño de tres mezcladores, un mezclador activo basado en la célula de Gilbert, un mezclador con configuración doblada y un mezclador pasivo. En la Tabla 5.19 se observa una comparativa de los mezcladores diseñados. Los resultados expuestos son los obtenidos de las simulaciones *post-layout*. En la Tabla 5.19 se observa claramente que el mezclador que mejor se comporta respecto a los parámetros de ganancia, figura de ruido y linealidad es el doblado, mientras que en consumo el que mejor se comporta es el pasivo.

Tabla 5.19. Comparativa entre los mezcladores diseñados (simulaciones *post-layout*)

	Especificaciones	Gilbert	Doblado	Pasivo
Ganancia	> 9 dB	19 dB	31 dB	-30.67 dB
VSWR OL	Cercano a 1	1.2	1.2	1.22
VSWR RF	Cercano a 1	1.2	1.2	1.32
IIP3	> 6 dBm	17 dBm	25 dBm	30 dBm
NF	< 19 dB	22 dB	21 dB	29.6 dB
Consumo	Menor posible	7 mW	10.2 mW	6.3 mW

La especificación de ganancia se cumple en la célula de Gilbert y el doblado. Para el caso del mezclador pasivo habría que aumentar la ganancia de la etapa de FI.

En cuanto a la adaptación, todos tienen valores de VSWR cercanos a 1, tanto en el caso de la entrada de RF como de la entrada de OL.

La especificación de figura de ruido no es alcanzada por ninguno de los mezcladores. Dicha especificación fue extraída (ver capítulo 2) de otros trabajos similares realizados con tecnologías CMOS con menor ancho de puerta (CMOS 0.18 μm para [KRI02] y [CHI02] o CMOS 0.25 μm para [TIN00]) o con una tecnología SiGe mucho más cara que la de AMS, como es caso de la SiGe de IBM [CHA02]. Los componentes de dichas tecnologías poseen mejores características que los de la tecnología utilizada.

La especificación de linealidad es alcanzada por todos los mezcladores con una gran diferencia.

En el capítulo 9 se realizará la simulación del sistema con las especificaciones de los elementos reales y se comprobará cuales de los diseñados son válidos para el receptor. Además se determinará el valor de la ganancia de los amplificadores de FI.

Capítulo 6

El oscilador controlado por tensión

Este capítulo tiene como objetivo el diseño y medida del oscilador controlado por tensión. El VCO es la parte más importante del sintetizador y es el encargado de generar las frecuencias del oscilador local.

El presente capítulo está dividido de la siguiente manera. En la introducción se describe en primer lugar el flujo de diseño que se debe seguir para obtener un VCO. Una vez establecido el método a seguir, se describirán las especificaciones y la arquitectura elegida para nuestro VCO. En el siguiente apartado se trata de forma específica del diseño del VCO. Le sigue un apartado dedicado a la medida del mismo, finalizando con la comparación entre las medidas y las simulaciones. Por último se expondrán las conclusiones obtenidas.

6.1. Introducción

Este apartado comienza con la descripción del flujo de diseño del VCO. A continuación estableceremos las especificaciones de diseño y por último elegiremos la arquitectura más adecuada para su implementación.

6.1.1. Flujo de diseño del VCO

El flujo de diseño del VCO es el mostrado en la Figura 6.1 y está dividido en 5 pasos fundamentales.

Primero se determinan las especificaciones del VCO (paso 1) que en nuestro caso, están basadas en las del sintetizador (definidas en el capítulo 2). En el apartado 6.1.2 se describen de forma detallada.

El siguiente paso consiste en la elección de la arquitectura (paso 2). En alta frecuencia las arquitecturas más utilizadas están basadas en osciladores LC, razón por la cual será la elegida para nuestro diseño (apartado 6.1.3).

Una vez tengamos las especificaciones y la arquitectura del VCO podemos pasar al diseño a nivel esquemático (paso 3) y a nivel de *layout* (paso 4) con sus correspondientes simulaciones. Si las simulaciones no cumplen las especificaciones demandadas habría que realizar un rediseño. Una vez que las simulaciones *post-layout* den resultados acordes a las especificaciones, se puede pasar a la fabricación y medida del diseño, siendo necesario un rediseño si no se consiguieran las especificaciones requeridas en la medida.

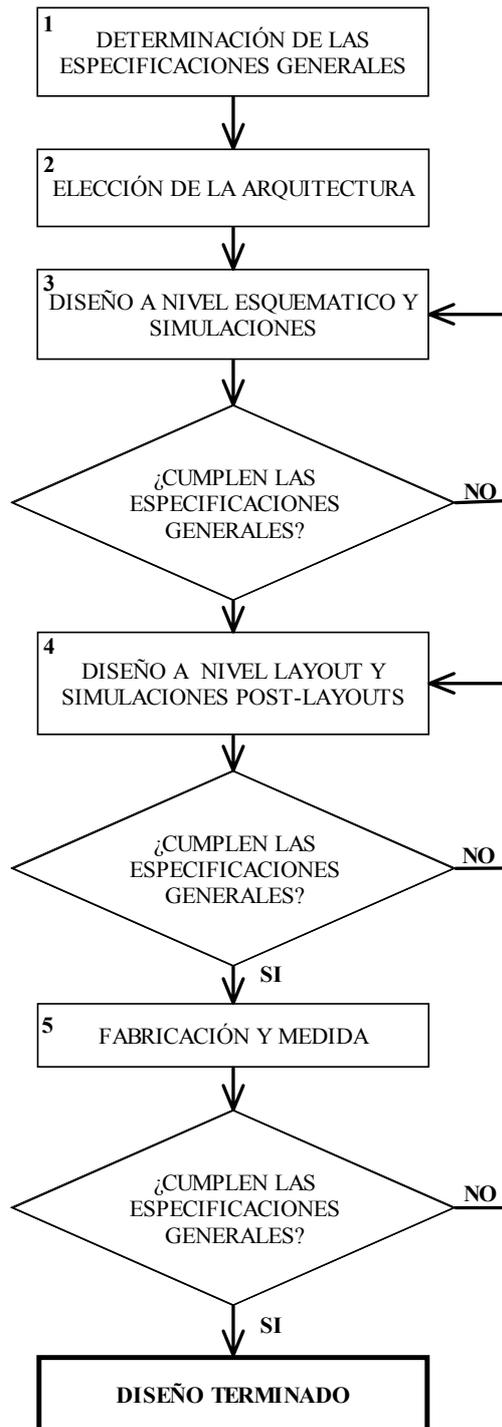


Figura 6.1. Flujo de diseño del VCO.

6.1.2. Especificaciones del VCO

Las especificaciones del VCO se han obtenido a partir de las especificaciones del sintetizador (Tabla 2.13 del capítulo 2) y se encuentran en la Tabla 6.1.

Tabla 6.1. Especificaciones del VCO.

Rango de frecuencias a generar	5 a 6 GHz
Potencia de salida	2 dBm
Ruido de fase	-80 dBc para un offset de 100 KHz.

6.1.3. Elección de la arquitectura

La arquitectura elegida ha sido la del oscilador LC, el cual es el más utilizado para aplicaciones de alta frecuencia. Su estructura permite la obtención de un oscilador con ruido de fase mínimo en comparación con otras estructuras que se pueden integrar, como es el caso de los osciladores en anillo, osciladores de relajación, multivibradores y otros osciladores gm-C [KRA98].

Los osciladores LC se basan en la resonancia paralela de una bobina y un condensador. Para contrarrestar las pérdidas ocasionadas en la red LC, debidas a la resistencia asociada a ambos componentes, se utiliza junto con la red una estructura de resistencia negativa. Esta resistencia negativa contrarresta la potencia perdida por las resistencias parásitas del tanque LC.

En la Figura 6.2(a) se observa el esquema básico de un oscilador LC. Consta de un tanque LC con sus correspondientes pérdidas (R_p es la resistencia paralela asociada al tanque, R_c es la resistencia serie asociada al condensador y R_l es la resistencia serie asociada a la bobina) y de un amplificador que actúa como resistencia negativa compensando las pérdidas del tanque.

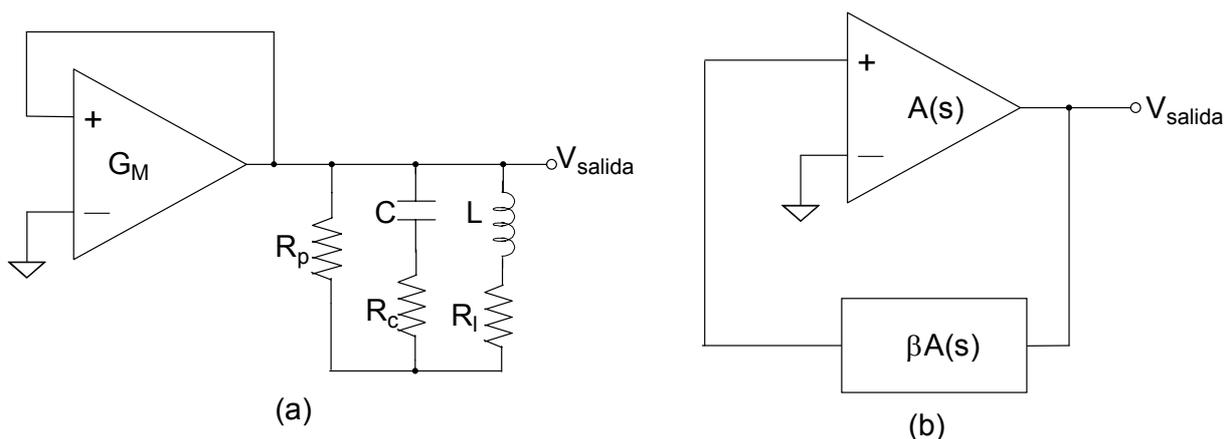


Figura 6.2. Oscilador LC sintonizado visto como un circuito realimentado (a), estructura básica de realimentación (b).

La oscilación se produce a la frecuencia para la que la función de transferencia $\beta \cdot A(s)$ se iguala a uno, cumpliéndose de esta manera el criterio de Barkhausen. La frecuencia de oscilación

se obtiene igualando la parte imaginaria de $\beta \cdot A(s)$ a cero. Para este valor de frecuencia la impedancia del tanque LC se hace infinita. La función de transferencia $\beta \cdot A(s)$ del oscilador LC de la Figura 6.2 (a) es la siguiente:

$$T_{\text{loop,Rp}}(s) = G_M \cdot \frac{s \cdot L}{1 + s \cdot \frac{L}{R_p} + s^2 \cdot L \cdot C} \quad (6.1)$$

Su parte imaginaria es:

$$I\{T_{\text{loop,Rp}}(\omega)\} = G_M \cdot \frac{\omega \cdot L \cdot (1 - \omega^2 \cdot L \cdot C)}{(1 - \omega^2 \cdot L \cdot C)^2 + \omega^2 \cdot \left(\frac{L}{R_p}\right)^2} \quad (6.2)$$

y es cero para:

$$\omega_0 = \frac{1}{\sqrt{L \cdot C}} \quad (6.3)$$

Obteniéndose de esta manera la frecuencia de oscilación ω_0 del circuito. La transconductancia necesaria para que la función de transferencia del bucle sea 1 viene dada por:

$$G_{M,\text{Rp}} = \frac{G_M}{T_{\text{loop,Rp}}(\omega_0)} = \frac{1}{R_p} \quad (6.4)$$

Este valor nos da idea de la potencia necesaria para mantener la oscilación en presencia de R_p . De la misma manera, se puede calcular el efecto de las demás resistencias parásitas del tanque. La resistencia efectiva (R_{eff}) y la potencia consumida se puede resumir en las siguientes ecuaciones:

$$R_{\text{eff}} = R_C + R_1 + \frac{1}{R_p \cdot (\omega_0 \cdot C)^2} \quad (6.5)$$

$$G_M = R_{\text{eff}} \cdot (\omega_0 \cdot C)^2 \quad (6.6)$$

El amplificador de resistencia negativa se puede implementar utilizando transistores MOS o bipolares. Con la tecnología disponible, se han realizado simulaciones para ambos dispositivos. La frecuencia de corte es mayor para los transistores SiGe (70 GHz) que para los MOS (24 GHz). La frecuencia de oscilación en nuestro VCO tiene que llegar a 6 GHz y utilizando los MOS, el VCO no podría llegar a oscilar de forma “relajada” a esa frecuencia. Por ello, se ha decidido implementar al amplificador de resistencia negativa con los transistores bipolares de SiGe de la tecnología de AMS de 0,35 μm .

En la Figura 6.3(a) se observa el esquema simplificado del VCO. Está compuesto por el amplificador de resistencia negativa, el cual está compuesto por 2 transistores bipolares en par cruzado, el tanque y un buffer para cada salida. En la Figura 6.3(a) se observa la configuración utilizada para el cálculo de la resistencia negativa del amplificador.

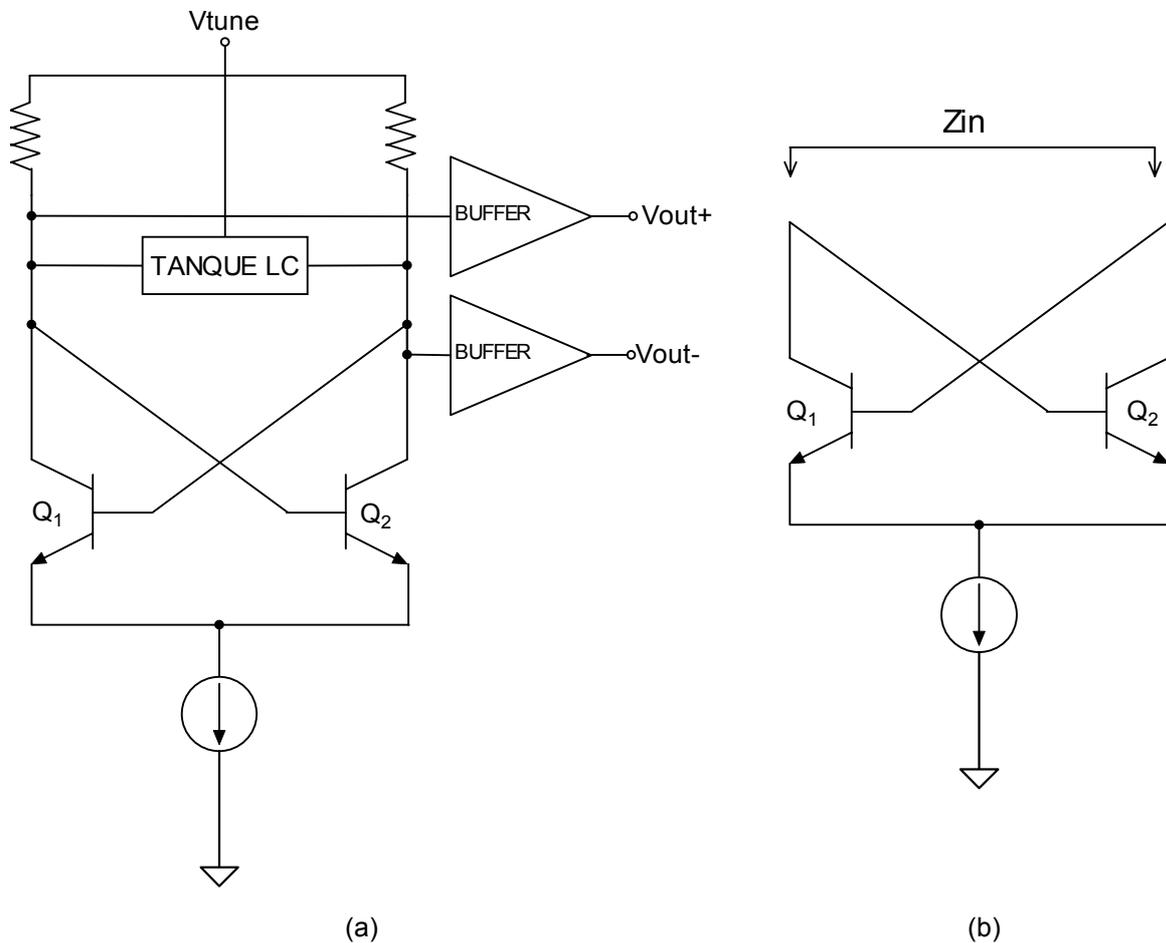


Figura 6.3. Esquema simplificado del VCO (a), y configuración para el cálculo de la resistencia negativa (b).

6.2. Diseño del VCO

Este apartado comienza con el estudio del amplificador de resistencia negativa. Se continúa con el diseño del tanque para posteriormente conjugarlos y configurar el VCO. Una vez optimizado el diseño a nivel de esquemático se sigue con la realización del *layout* y su simulación.

6.2.1. Diseño del amplificador de resistencia negativa

Como se comentó anteriormente, el amplificador de resistencia negativa utilizado es un par diferencial en configuración cruzada. La resistencia negativa del amplificador ha sido calculada utilizando el modelo simplificado en π del transistor en pequeña señal (ver Figura 6.4), donde β es la ganancia de corriente del transistor y $r_{\pi} = V_T/I_B$ (V_T es la tensión térmica e I_B es la corriente de base en continua).

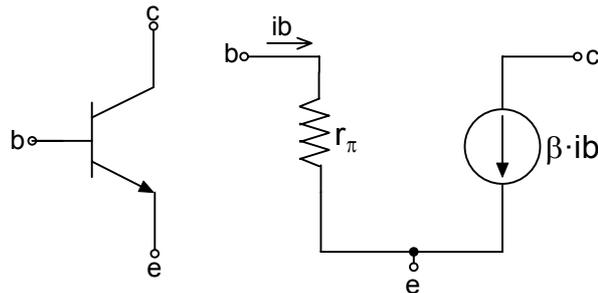


Figura 6.4. Modelo en π para el transistor.

El circuito equivalente en alterna, obtenido a partir de la Figura 6.3(b), se muestra en la Figura 6.5.

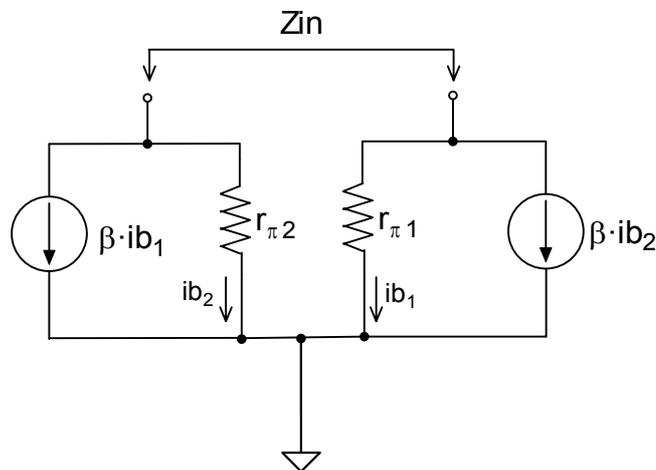


Figura 6.5. Circuito en pequeña señal para el cálculo de la resistencia negativa del par cruzado.

El valor de la Z_{in} obtenido es:

$$Z_{in} = \frac{2 \cdot r_{\pi}}{(1-\beta)} = \frac{2}{g_m} \cdot \frac{\beta}{(1-\beta)} \approx -\frac{2}{g_m} \text{ para } \beta \gg 1 \quad (6.7)$$

Donde $g_m = \beta/r_{\pi}$ es la transconductancia del transistor.

Con la siguiente simulación se observa los rangos para el cual el amplificador tiene resistencia negativa. El esquema utilizado para simular la resistencia negativa es el de la Figura 6.3(b). En la Figura 6.6 se observa el valor de la impedancia del par cruzado, Z_{in} . Se observa claramente que es negativa en el rango de 5 a 6 GHz.

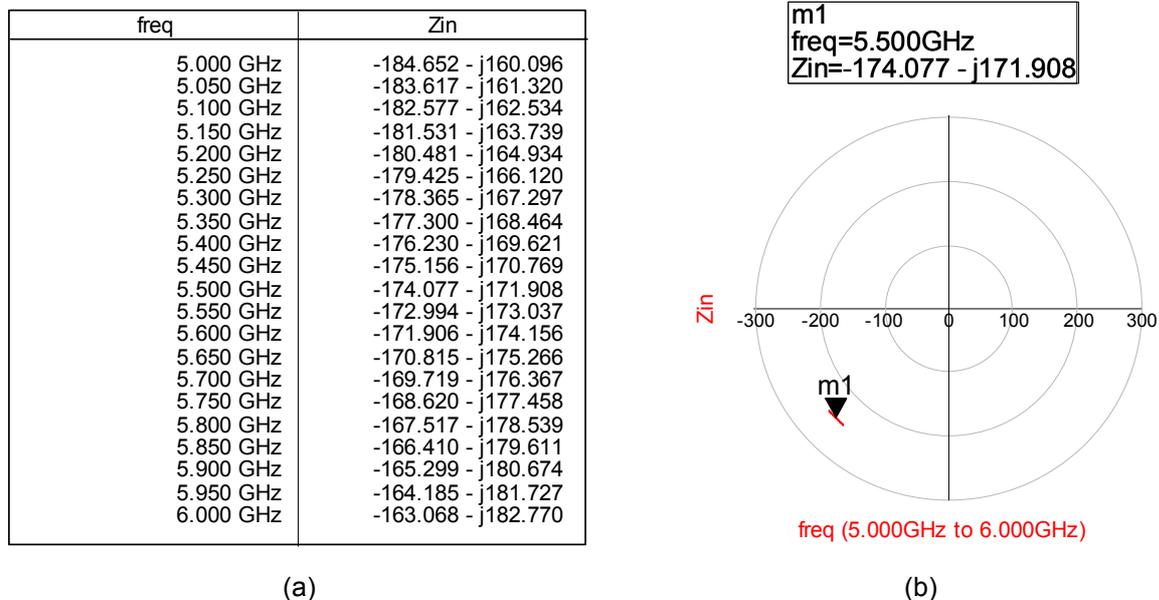


Figura 6.6. Resultados de la simulación de la resistencia negativa del amplificador.

6.2.2. Diseño del tanque

En el diseño del tanque se ha minimizado el número de bobinas a utilizar, ya que es el elemento que posee mayores componentes parásitos. La configuración del tanque se puede ver en la Figura 6.7. Los varactores y condensadores los proporciona la tecnología mientras que la bobina ha sido obtenida mediante simulaciones electromagnéticas utilizando el simulador de 2.5 dimensiones MOMENTUM de *Agilent Technologies*© [GON05], tal y como se describió en el capítulo 3 de la presente tesis. El tanque está formado por dos varactores (V_1 y V_2), dos condensadores (C_1 y C_2) y una bobina (L). La elección de un número par de varactores y condensadores es debido a la búsqueda de la mayor simetría en el diseño del circuito, el cual es diferencial.

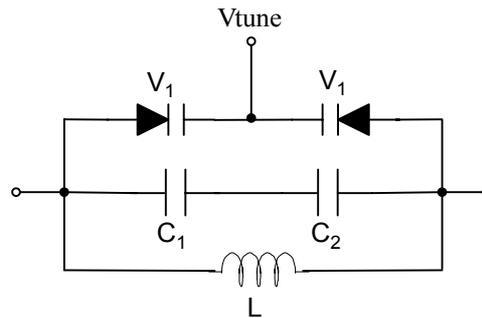


Figura 6.7. Configuración del tanque utilizada.

Para el cálculo de los valores del tanque se tomó como elemento de partida los calculados a partir de la ecuaciones (6.3) a (6.7). Mediante simulaciones, junto con el amplificador de resistencia negativa, se fueron ajustando los valores de sus componentes hasta conseguir una oscilación de 5 a 6 GHz con una variación de la tensión de control (V_{tune}) de 0 a 3.3 V. Los valores de los componentes del tanque se pueden ver en la Tabla 6.2.

Tabla 6.2. Valores de los componentes del tanque

V_1 y V_2	C_{max} (capacidad máxima) = 1.27838 pF
C_1 y C_2	149 fF
L	1.419 nH con $Q=11.9$ a 5.5 GHz

La bobina L posee un radio externo de 120 μm , 2 vueltas, el ancho de la pista es de 16 μm , el espaciado entre ellas es de 2 μm , es hexagonal y está hecha utilizando el metal más separado del sustrato (METAL 4). El circuito equivalente de la bobina utilizado en las simulaciones se encuentra en la Figura 6.8. Una descripción más detallada de la obtención de la bobina se encuentra en el capítulo 3 de la presente tesis.

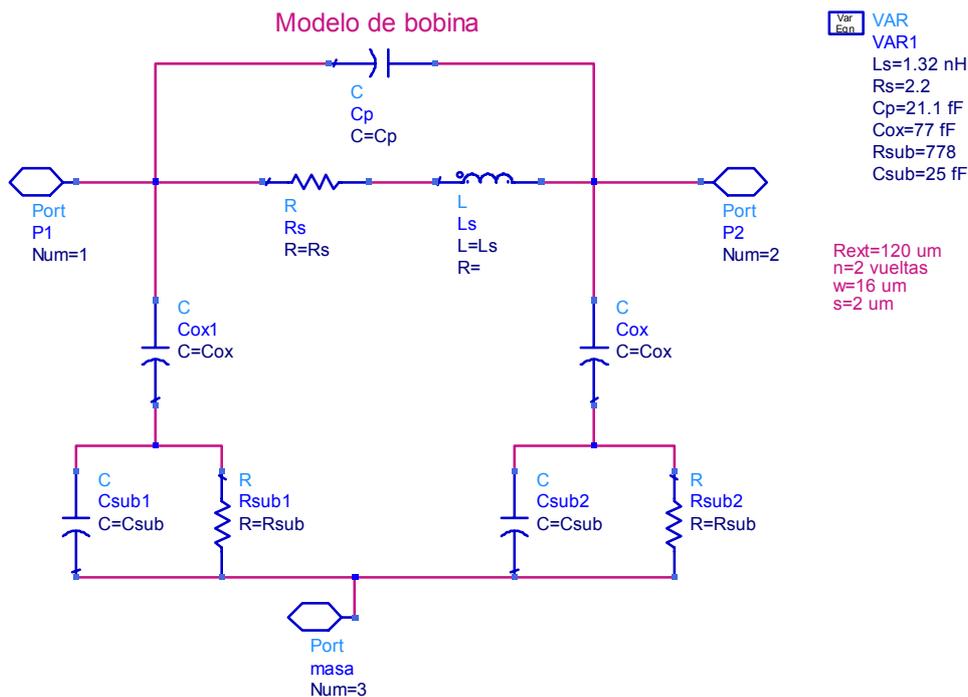


Figura 6.8. Circuito de ADS que modela la bobina utilizada en el diseño del VCO.

La tecnología de fabricación ofrece una librería de bobinas cuyo factor de calidad es como máximo 7. El valor de la inductancia y el factor de calidad de la bobina empleada se pueden ver en la Figura 6.9. Se observa el elevado factor de calidad obtenido, de 11.905 para 5.5 GHz, muy superior al de las bobinas ofrecidas por la tecnología.

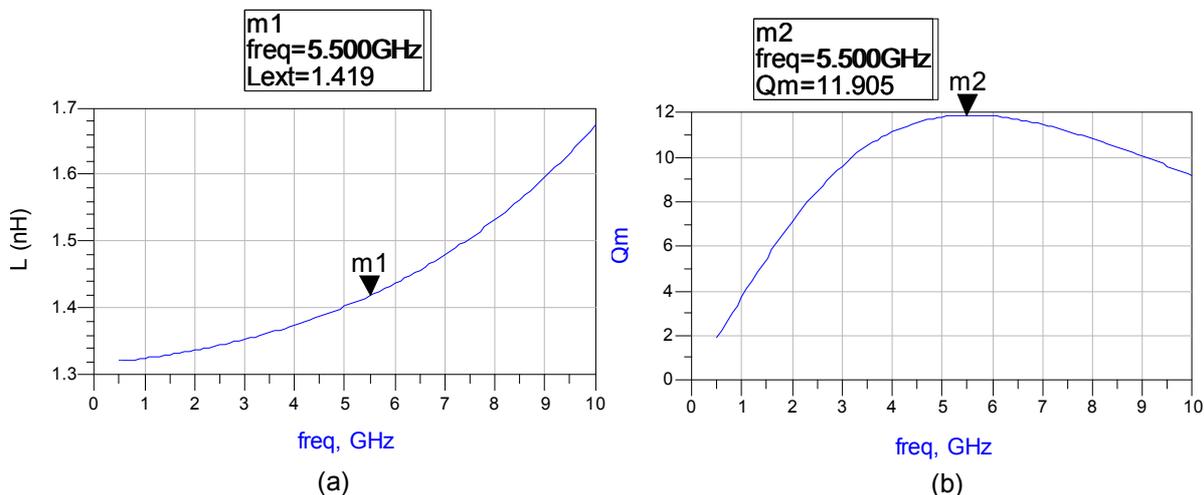


Figura 6.9. Simulación de la inductancia (a) y factor de calidad (b) de la bobina utilizada en el diseño del VCO.

6.2.3. Diseño final del VCO

El circuito final, optimizado para una carga de 50Ω en cada salida, es el mostrado en la Figura 6.10. Mediante simulaciones, se varió el área, la multiplicidad y la polarización de los transistores, para mantener la oscilación y el máximo nivel posible de tensión a la salida para todos los valores de tensión de control. En la Figura 6.10 podemos observar el terminal de alimentación (V_{cc}) y las salidas (V_{out+} y V_{out-}). El par cruzado lo forman Q_1 y Q_2 . El tanque es el formado por L , C_1 , C_2 , V_1 y V_2 , siendo $C_1 = C_2$ y $V_1 = V_2$. La etapa de salida del VCO está formada por dos transistores en colector común en cascada (Q_3 - Q_6), para cada salida. El empleo de este buffer reduce la influencia de la carga en la frecuencia de oscilación. Para la salida positiva tenemos los transistores Q_3 y Q_4 mientras que para la salida negativa tenemos los transistores Q_5 y Q_6 . Las fuentes de corriente están formadas por los transistores Q_7 a Q_{12} y las resistencias R_4 a R_9 . Los valores de los componentes se puede observar en la Tabla 6.3.

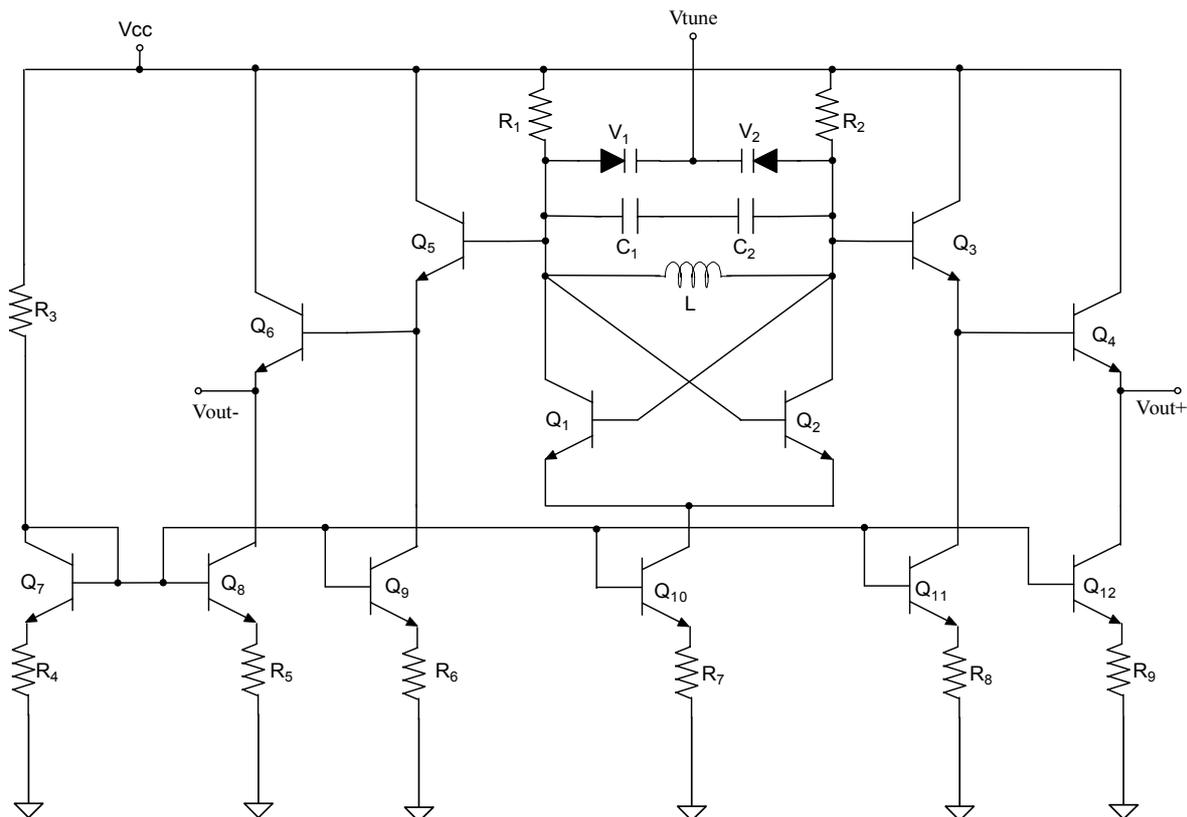


Figura 6.10. Esquemático final del VCO.

Tabla 6.3. Valores de los componentes del VCO

Transistores	Q₁ y Q₂	multiplicidad=3	area=3
	Q₃ y Q₅	multiplicidad=1	area=10
	Q₄ y Q₆	multiplicidad=6	area=3
	Q₇	multiplicidad=1	area=1
	Q₈ y Q₁₂	multiplicidad=2	area=3
	Q₉ y Q₁₁	multiplicidad=1	area=3
	Q₁₀	multiplicidad=4	area=1
Resistencias	R₁ y R₂	500 Ω	
	R₃	5 k Ω	
	R₄	5 k Ω	
	R₅ y R₉	175 Ω	
	R₆ y R₈	400 Ω	
	R₇	40 Ω	
Tanque	C₁ y C₂	149 fF	
	L	1.419 nH con Q=11.9 a 5.5 GHz	
	V₁ y V₂	Cmax = 1.27838 pF	

6.2.4. *Layout* del VCO

El *layout* del VCO se ha diseñado procurando tener la mayor simetría posible entre las dos ramas, del circuito diferencial. Con el fin de reducir la influencia de los gradientes de dispersión en las prestaciones del VCO, se sitúan los elementos emparejados según la técnica de centroide común [JAC98]. El *layout* se ha dibujado intentado reducir el área del circuito lo máximo posible e introducir la menor degradación por las pistas de conexión.

El *layout* y la fotografía del VCO se puede observar en la Figura 6.10. Junto con los *pads* de conexión, utilizados para la realización de la medida del circuito sobre la oblea, la bobina es el elemento que más área ocupa. La disposición y conexión de la bobina se ha realizado para que la inductancia y resistencia adicional que introduce debido al conexionado con el resto del tanque sea mínima. De esta manera se asegura que la inductancia y calidad finales no difieran del valor considerado inicialmente. Por otra parte, no se pueden situar las bobinas tan cerca entre sí o junto a otros componentes como se desee. En torno a las espiras metálicas integradas se cierran campos electromagnéticos que pueden interactuar con pistas metálicas y otros elementos del *layout*. Esto degradaría las prestaciones de la bobina.

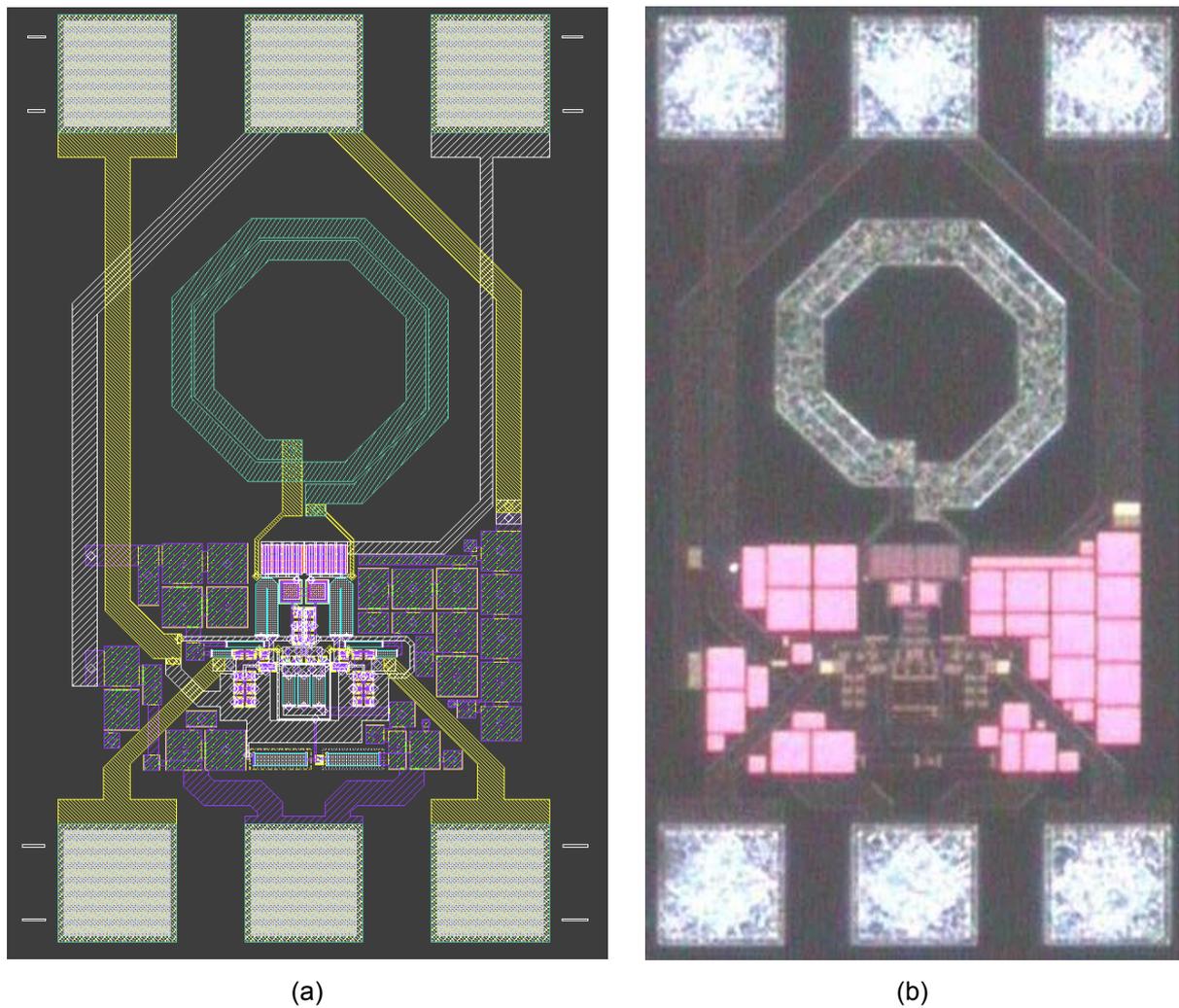


Figura 6.11. *Layout* (a) y fotografía (b) del VCO diseñado.

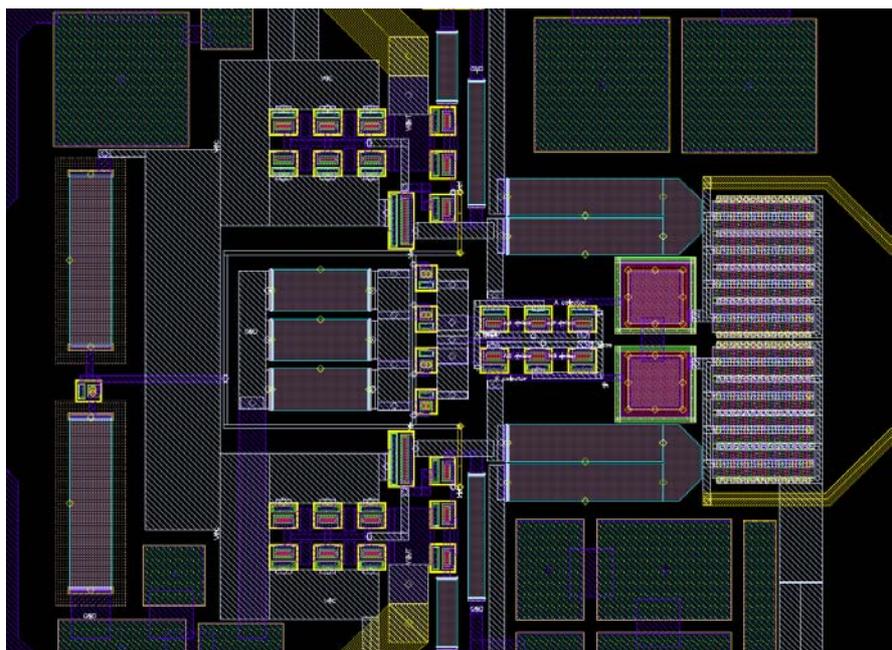


Figura 6.12. Detalle del *layout* del VCO.

En la Figura 6.12 se observa un detalle del núcleo del circuito, el cual está rodeado de contactos a tierra, intentando reducir el ruido del sustrato. Se ven tres agrupaciones de seis transistores cada una, dichos transistores se encuentran en el par cruzado.

6.2.5. Simulaciones *post-layout*

Se han realizado simulaciones *post-layout* con el simulador SpectreS. Mediante la simulación HB (*Harmonic Balance*) se ha obtenido el ruido de fase y la curva frecuencia de salida en función de la tensión de control.

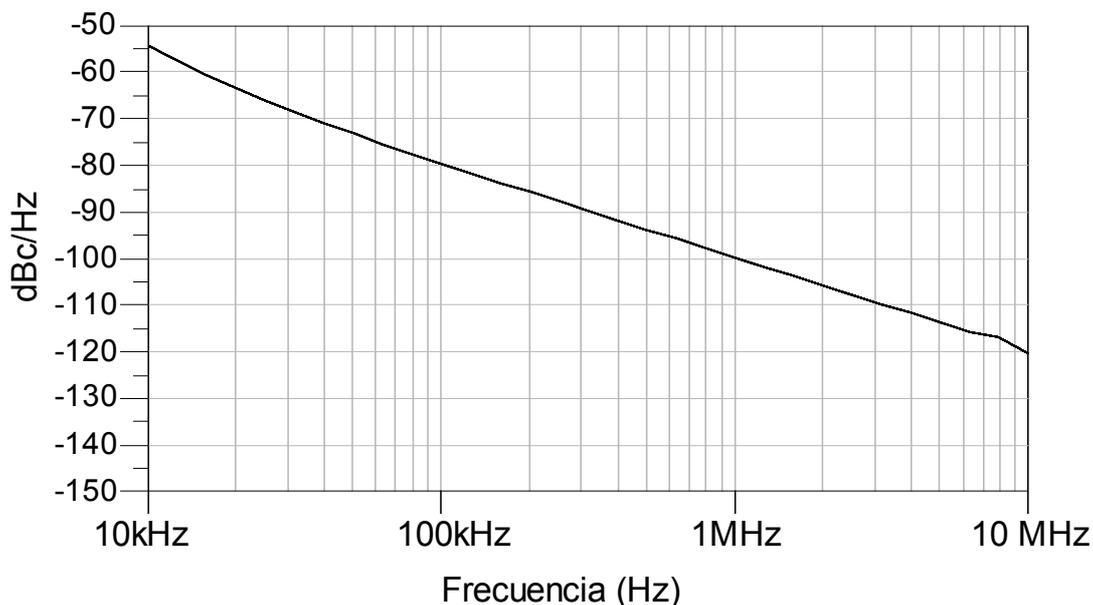


Figura 6.13. Simulación *post-layout* del ruido de fase del VCO.

La Figura 6.13 muestra el ruido de fase del VCO. Se observa que para un *offset* de 100 KHz el ruido de fase es de -79 dBc, muy cercano a los -80 dBc especificados. En la Tabla 6.4 se muestra un resumen del ruido de fase simulado.

Tabla 6.4. Ruido de fase del VCO obtenido de las simulaciones *post-layout*

Offset de 100 kHz	-79 dBc/Hz
Offset de 1 MHz	-99 dBc/Hz
Offset de 5 MHz	-113 dBc/Hz
Offset de 10 MHz	-120 dBc/Hz

La Figura 6.14 muestra la curva de frecuencia de salida en función de la tensión de control del VCO. Se observa que la frecuencia del VCO varía de 4295 MHz a 6280 MHz para una V_{tune}

de 3.3 V a 0 V respectivamente, barriendo el rango requerido en las especificaciones. Dicha curva es bastante lineal en el rango requerido, de 5 a 6 GHz.

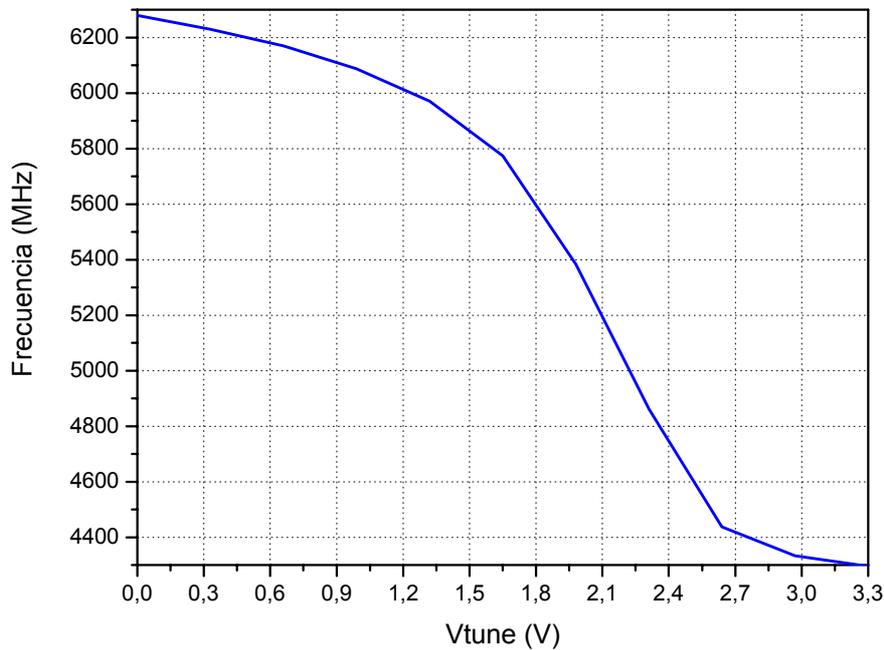


Figura 6.14. Simulación *post-layout* de la curva de frecuencia de salida en función de la tensión de control.

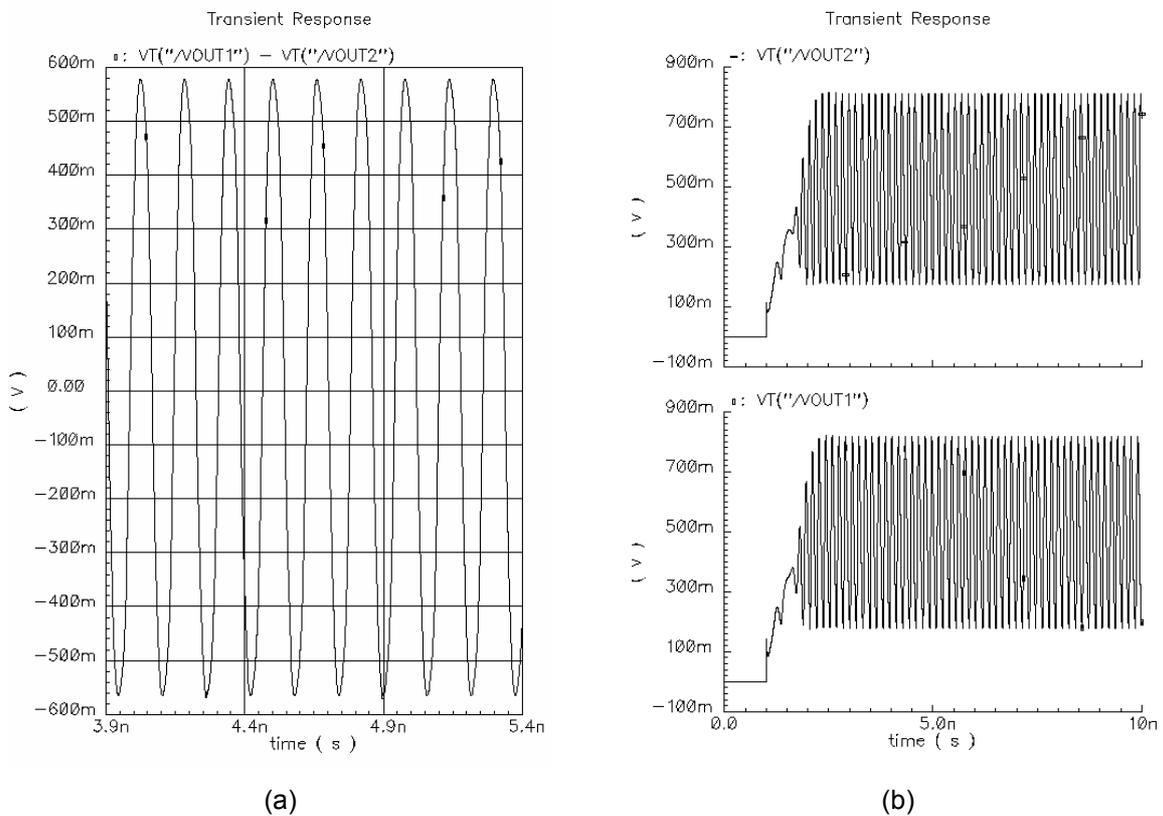


Figura 6.15. Simulación *post-layout* de la respuesta transitoria del VCO, salida diferencial (a) y salida independiente para cada rama (b).

Para comprobar el rango dinámico de la señal a la salida se ha realizado, también con el simulador SpectreS, simulaciones del transitorio. En la Figura 6.15(a) se observa la respuesta transitoria del VCO para la salida diferencial, conservando una tensión de 1.16 V de pico a pico. En la Figura 6.15 (b) se observa la tensión a la salida en cada rama (V_{out+} y V_{out-}).

Una vez realizado el diseño del VCO pasamos, en el siguiente apartado, a la medida del mismo.

6.3. Medida del VCO

En este apartado se describirá primero la metodología empleada para medir el VCO para después seguir con la medida del mismo.

6.3.1. Metodología de medida del VCO

La medida del VCO se va a realizar sobre la oblea. Para realizar la medida del VCO hemos utilizado los siguientes elementos.

- Estación de puntas Analytical Probe Station SUMMIT 9000 de Cascade Microtech con un microscopio óptico OLYMPUS SZ-CTV.
- 1 Fuente de alimentación Hewlett Packard, Dual Output Power Supply, E3620A.
- 1 Analizador de espectros Agilent, PSA Series Spectrum Analyzer, E4440A.
- 1 Generador de señal Agilent, ESG Vector Signal Generator, E4438C.
- 2 puntas de medida SGS de Cascade Microtech ACP40D-W SGS-150.
- *DC-blocks* BLK-18.
- Sustrato de calibración Cascade Microtech Impedance Standard Substrate P/N 101-190.
- Cables para señales de RF tipo Sucoflex 104A 150cm.
- Cargas de 50 Ohms.
- Cables DC y adaptadores SMA-BNC.
- Codos de conexión.

Se han realizado mediciones de la curva frecuencia de salida en función de la tensión de control, armónicos y ruido de fase. Todas las medidas se han realizado con el analizador de espectros. Para alimentar el circuito y variar la tensión de control se utiliza la fuente de alimentación. La configuración utilizada se puede observar en la Figura 6.16.

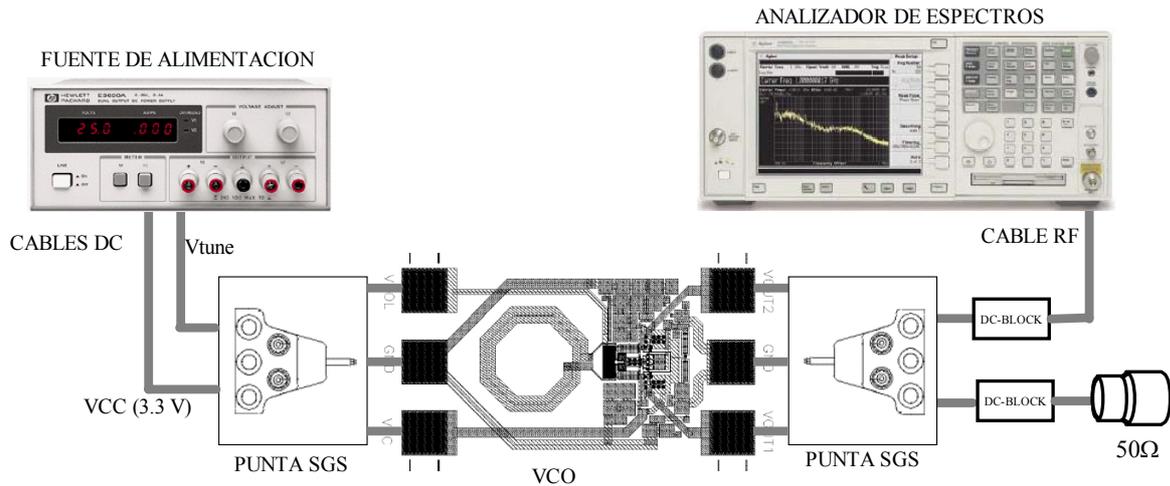


Figura 6.16. Esquema de montaje requerido para medir el VCO.

La etapa de salida del VCO es diferencial, por ello proporciona la mitad de la potencia por una rama y la mitad por la otra. Sin embargo para minimizar la introducción de elementos que suponen pérdidas no modeladas se utiliza únicamente una salida. De esta forma se evita introducir un acoplador y se conecta la otra salida del VCO a una carga de $50\ \Omega$. Así, la impedancia que ve el VCO a la salida es la misma que la simulada, es decir, $50\ \Omega$. En cuanto a las lecturas de potencia hay que tener en cuenta que el analizador de espectros registra únicamente la mitad de la potencia. Por tanto, la potencia proporcionada por el VCO es 3 dB superior a la medida.

A la hora de medir potencia del VCO se emplean elementos que introducen pérdidas no consideradas en las simulaciones. Estos elementos son los cables de RF, los codos de conexión, los DC-blocks, las puntas de medida y el contacto entre las puntas de medida y el *pad* para medidas *on-wafer*. Para conocer con precisión las prestaciones del VCO es necesario calibrar estas pérdidas. Para ello se realiza una calibración empleando el montaje ilustrado en la Figura 6.17.

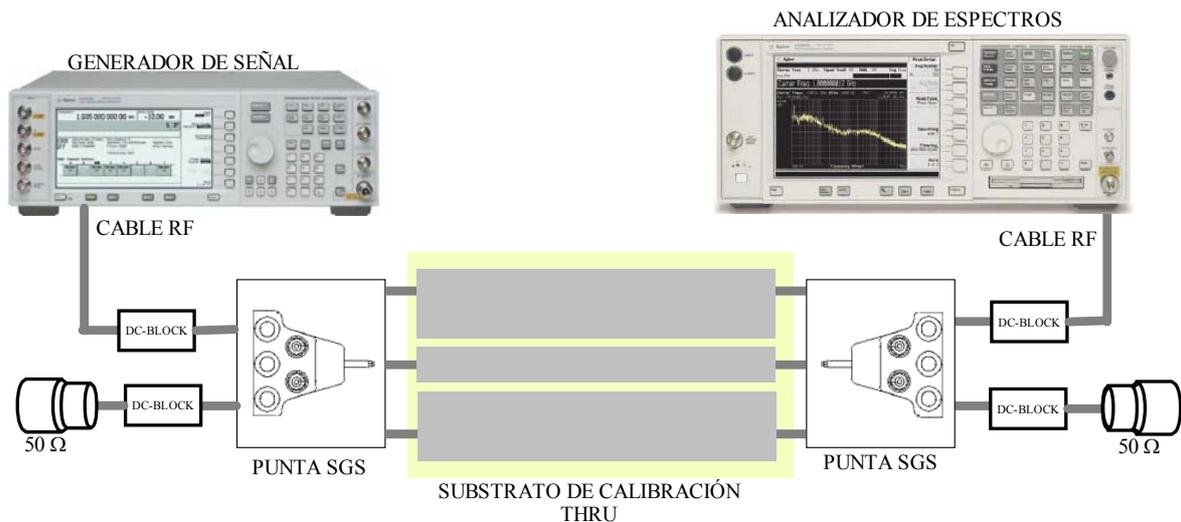


Figura 6.17. Esquema de montaje requerido para realizar la calibración de las pérdidas de potencia en la medida de los VCO.

A partir de un generador se suministra una potencia determinada. Parte de ésta se pierde en los cables, codos, puntas, *DC-blocks* y en los contactos entre puntas de medida y el “THRU” del sustrato de calibración. En el analizador de espectros se mide la potencia que llega y se calcula la atenuación sufrida. La atenuación que se considera en la medida del VCO es la mitad de la calculada en esta calibración. Para una correcta calibración, debe de haber los mismos elementos entre el generador de señal y el sustrato de calibración como entre el analizador de espectros y el sustrato.

Es importante destacar dos aspectos que introducen cierta imprecisión en esta calibración. Por una parte, el “THRU” está constituido por una pista de oro de 100 μm de anchura por 300 μm de longitud. Además, esta pista se encuentra sobre un sustrato cerámico aislante. Por ello, esta estructura introduce una atenuación aunque se puede considerar despreciable. Por otra parte el oro es un material más maleable que la aleación de aluminio, de la que están constituidos los *pads* para medidas *on-wafer*. Así, el contacto entre las puntas de medida y la estructura “THRU” introduce menos atenuación que el contacto entre las pistas y los *pads* del VCO. Por tanto, la medida de la potencia del VCO lleva asociada cierta imprecisión. Dicha imprecisión está causada por la imposibilidad de calibrar correctamente la atenuación del contacto entre *pad* y punta de medida.

Como resultado de la calibración se obtiene que el conjunto de los cables de RF, codos, *DC-blocks*, contactos entre la punta de medida y la estructura de oro supongan una atenuación total de 1.5 dB.

6.3.2. Medida de la curva tensión-frecuencia, potencia y armónicos.

Las medidas han sido realizadas utilizando el esquema de la Figura 6.16. A la potencia obtenida se le ha sumado 3 dB por haber sido obtenida en una rama de salida. Todas las medidas mostradas tienen hecha la corrección.

Se ha hecho un barrido de la tensión de control de 0 a 3.3 V obteniendo la Tabla 6.5. En ella podemos ver la potencia y frecuencia de salida del VCO así como de sus armónicos de segundo y tercer orden.

Tabla 6.5. Medida de la potencia y frecuencia de salida de VCO y de sus armónicos de segundo y tercer orden

Vtune (V)	Frecuencia Fundamental		Segundo Armónico		Tercer Armónico	
	P (dBm)	Frec (MHz)	P (dBm)	Frec (MHz)	P (dBm)	Frec (MHz)
0	-9,8	6399	-20,61	12800	-39,49	19200
0,5	-9,75	6396	-20,57	12790	-38,75	19190
1	-9,67	6388	-21,93	12780	-39,67	19160
1,2	-9,65	6379	-21,65	12760	-38,15	19140
1,3	-9,65	6372	-22,35	12740	-37,83	19120
1,4	-9,96	6359	-23,96	12720	-40,96	19080
1,5	-10,2	6326	-23,2	12650	-42,2	18980
1,6	-9,9	6298	-21,1	12600	-42	18890
1,7	-10	6239	-21	12480	-46	18720
1,8	-11,4	6139	-22,4	12280	-49,4	18420
1,9	-12,4	5988	-28,2	11980	-48,4	17960
2	-12,8	5806	-25,03	11610	-44,57	17420
2,1	-10,5	5569	-20,17	11140	-41,84	16710
2,2	-10,35	5304	-20,99	10610	-39,35	15900
2,3	-10,52	5035	-19,36	10070	-51,52	15100
2,4	-11,07	4896	-20,81	9793	-40,07	14700
2,5	-10,42	4837	-19,87	9674	-40,42	14500
2,6	-11,13	4791	-20,65	9583	-39,13	14400
2,7	-10,81	4770	-20,17	9540	-41,81	14320
2,8	-10,59	4753	-20,24	9506	-38,59	14270
3	-11,05	4726	-22,2	9451	-37,05	14170
3,2	-11,33	4709	-21,83	9417	-37,33	14120
3,3	-11,34	4702	-21,47	9405	-37,12	14100

En la Tabla 6.5 se observa claramente que los armónicos de segundo a tercer orden están atenuados aproximadamente 20 y 40 dB respectivamente. En la Figura 6.18 podemos ver la frecuencia de salida en función de la tensión de control del VCO.

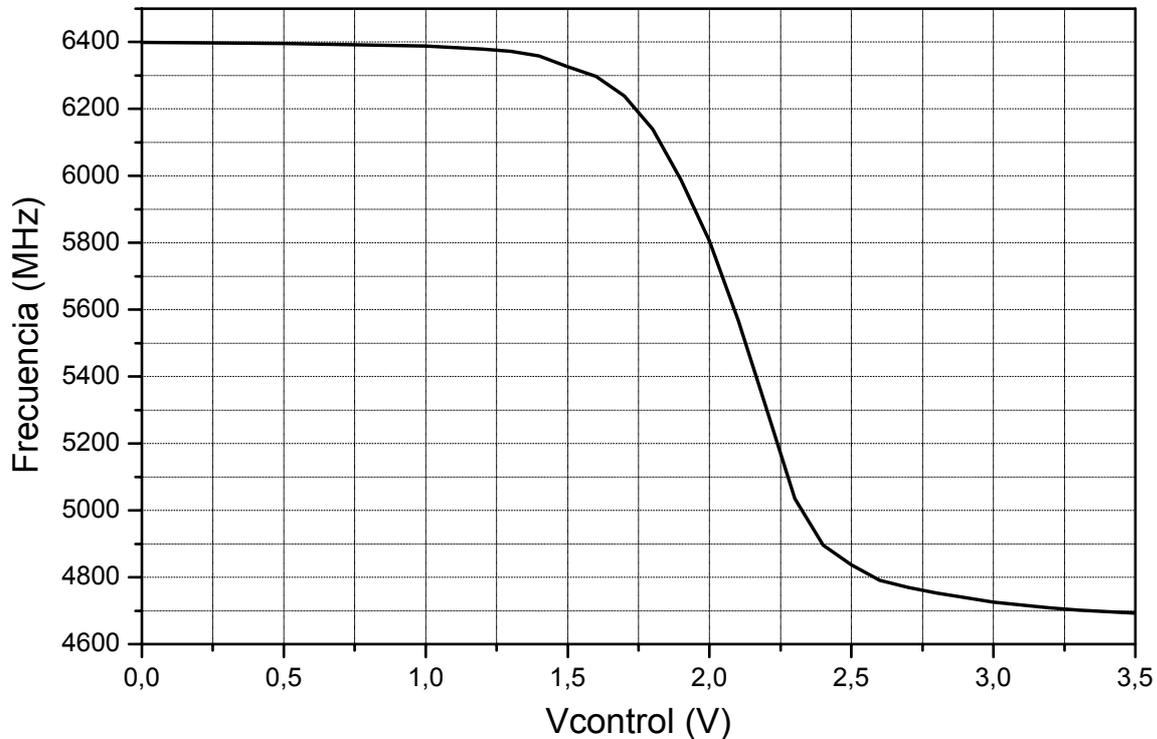


Figura 6.18. Curva medida tensión vs frecuencia del VCO.

Se observa claramente en la Figura 6.18 que la curva tensión frecuencia presenta una caída brusca cuando la tensión de control llega a 1,5 V. Dicha caída es menos brusca en la curva obtenida de la simulación, siendo el rango de frecuencias similar. La brusquedad de la pendiente se debe al uso varactores NMOS, tal como se comentó en el capítulo 3.

6.3.3. Medida del ruido de fase

El ruido de fase consiste en el cálculo de la diferencia de potencia que existe entre la señal portadora y un *offset* de frecuencia respecto a esa señal. Al fin y al cabo lo que estamos haciendo es ver el ruido que nos está introduciendo nuestro oscilador en la señal que él mismo genera a una distancia frecuencial de la portadora. Dicho ruido de fase suele expresarse en dBc/Hz a un cierto *offset* de la portadora, por ejemplo, a 100 KHz. Es decir, la potencia, respecto a la portadora, que se obtiene a 100 KHz para un ancho de banda de 1 Hz. Esto implica que luego será necesario usar un factor de corrección, ya que nuestras medidas las haremos

con un determinado ancho de banda de resolución (RBW), el cual nunca va a ser de 1 Hz, porque el analizador de espectros no tiene tanta resolución.

El ruido de fase se ha medido para una tensión de control de 2 V. Hemos tenido que seleccionar en el analizador la función promedio (AVERAGE = ON) para obtener medidas más constantes. Se ha bajado al mínimo posible el ancho de banda de resolución para poder realizar la medición más exacta. Al resultado obtenido se le ha restado la cantidad de $10 \cdot \log_{10}(\text{RBW}/1\text{Hz})$ para normalizar el resultado a 1 Hz. El ruido de fase, para los dos valores de la tensión de control, se encuentra en la Tabla 6.6.

Tabla 6.6. Ruido de fase medido del VCO

	Desviación	Ruido de fase(dBc/Hz)
Vtune = 2 V Frec = 5820 MHz	1 MHz	-87 dBc/Hz
	5 MHz	-105 dBc/Hz
	10 MHz	-117 dBc/Hz

En la Figura 6.19 se observa una captura de pantalla realizada en el analizador de espectros de la salida del oscilador para una tensión de control de 2 V.

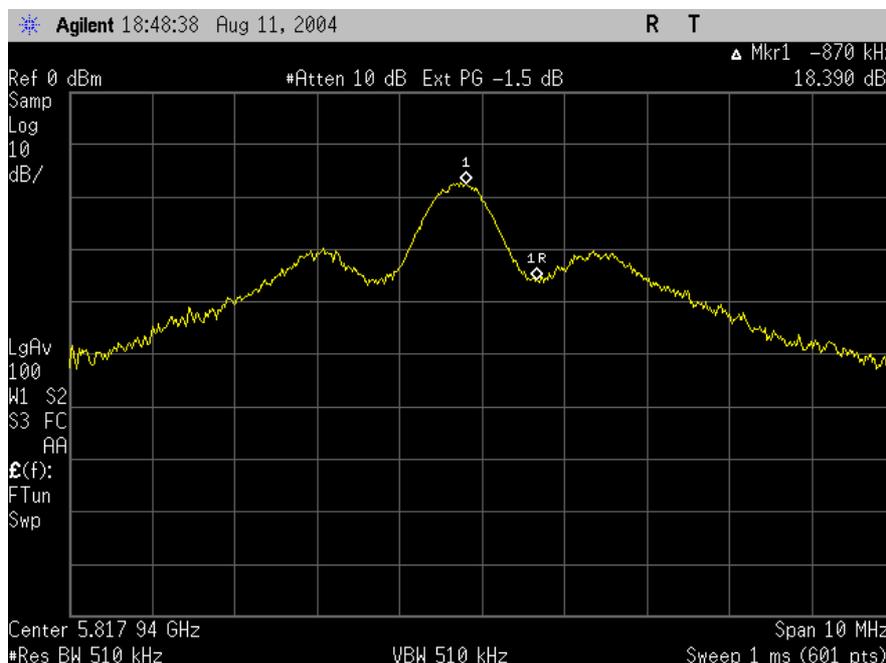


Figura 6.19. Captura de pantalla realizada en el analizador de espectros de la salida del oscilador para una tensión de control de 2 V.

A partir de 1 MHz de *offset* y con un RBW de 510 KHz se ha obtenido la siguiente gráfica para el ruido de fase.

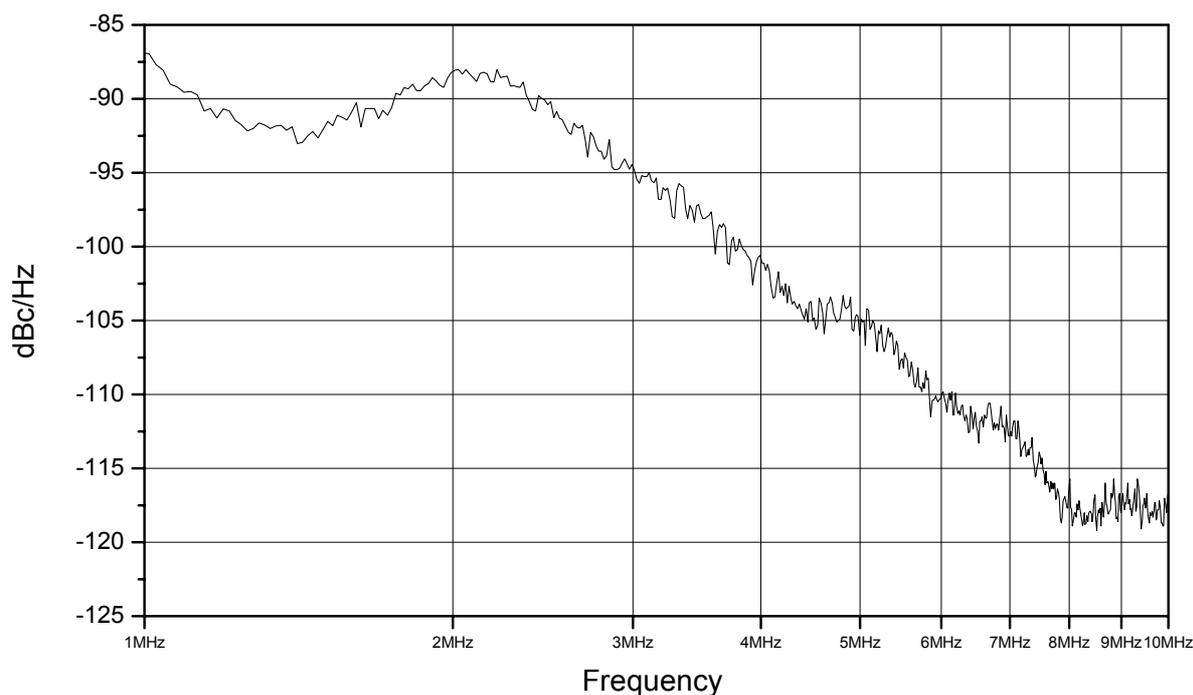


Figura 6.20. Ruido de fase para una tensión de control de 2 V.

6.3.4. Medida del *pushing*

Con la medida del *pushing* se observa la sensibilidad de la frecuencia de oscilación del VCO a variaciones en la tensión de alimentación. Así, se toman como extremos 0.3 V por encima y 0.3 V por debajo de la tensión de alimentación inicial, de modo que en el peor de los casos nos aseguramos estar dentro de ese rango de frecuencias que deseamos a la salida de nuestro oscilador local. Los resultados obtenidos del *pushing* así como de la potencia consumida se muestran en la Tabla 6.7.

Tabla 6.7. *Pushing* y potencia consumida por el VCO

Vcontrol (V)	f(VCC=3,3 V) MHz	f(VCC=3,0 V) MHz	f(VCC=3,6 V) MHz
0	6396	6628	6108
0,5	6396	6628	6108
1	6387	6610	6099
1,2	6377	6591	6090
1,4	6359	6563	6071
1,6	6294	6489	6043
1,8	6127	6247	5978
2	5820	5755	5783
2,1	5560	5421	5579
2,2	5309	5114	5328
2,3	5040	4947	5077
2,4	4892	4864	4873
2,5	4837	4817	4771
2,6	4789	4789	4715
2,7	4771	4771	4687
2,8	4752	4762	4659
3	4724	4743	4631
3,3	4706	4715	4604
3,5	4696	4706	4591
Consumo (A)	0,016	0,013	0,019
Potencia (W)	0,0528	0,039	0,0361

En la Figura 6.21 vemos representado el *pushing* del VCO. Se observa que a partir de una tensión de control de 1.8 V la frecuencia de salida es similar para las distintas tensiones de alimentación, estando la frecuencia de salida entre 5 y 6 GHz para todas las curvas.

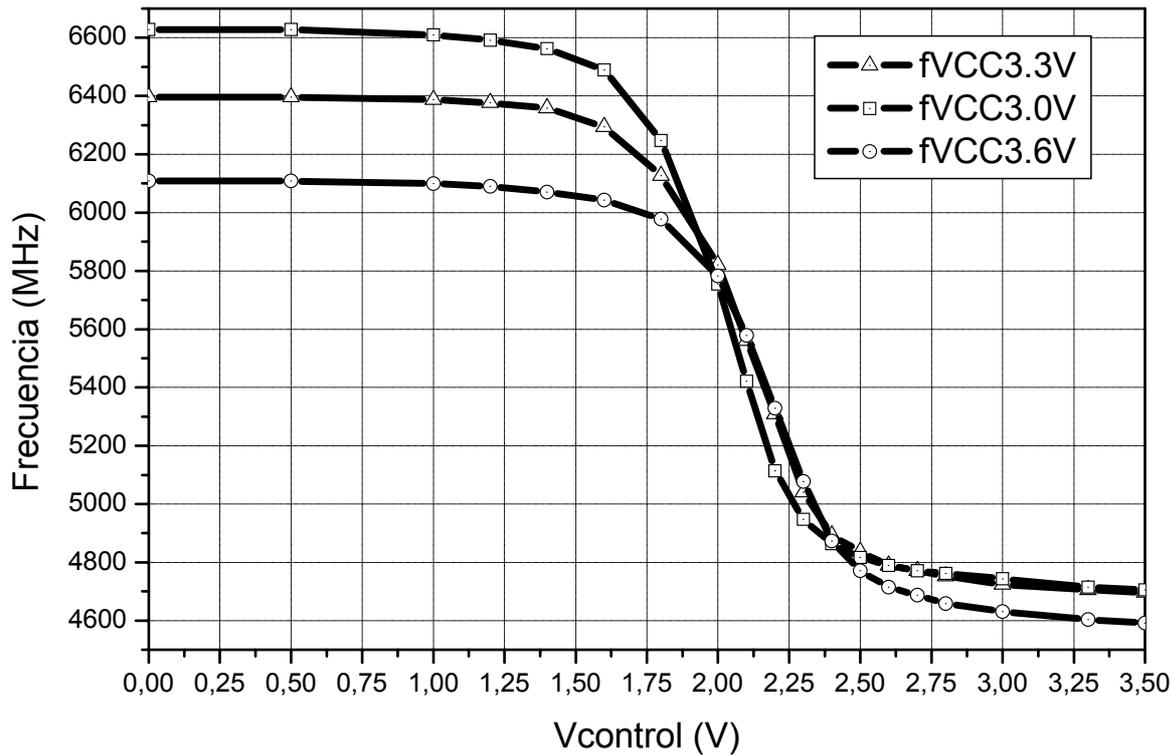


Figura 6.21. Pushing para VCO2.

6.4. Comparación entre las medidas y las simulaciones y conclusiones

En la siguiente tabla se muestra una comparativa entre la simulación y la medida de las prestaciones del VCO.

Tabla 6.8. Comparativa entre medida y simulación de VCO

		Simulación	Medida
Frecuencia de oscilación	Vcontrol = 0 V	6280 MHz	6399 MHz
	Vcontrol = 3.3 V	4290 MHz	4693 MHz
Ruido de fase	Offset de 1 MHz	-99 dBc/Hz	-87 dBc/Hz
	Offset de 5 MHz	-113 dBc/Hz	-105 dBc/Hz
	Offset de 10 MHz	-120 dBc/Hz	-117 dBc/Hz

En la Tabla 6.8 se observa que la frecuencia de oscilación tiene aproximadamente el mismo valor en ambos casos. De cualquier manera el rango de frecuencias que abarca las medidas coincide con el requerido por lo que el rango de la frecuencia de oscilación se ha conseguido de forma satisfactoria.

En cuanto al ruido de fase, como era de esperar la simulación es mucho mejor que la medida. Esto es debido a que en la simulación los modelos utilizados no tienen en cuenta todos los efectos parásitos asociados al sustrato. En la Tabla 6.9 se observa una comparativa entre las especificaciones requeridas y las obtenidas.

Tabla 6.9. Comparativa entre medida y especificaciones requeridas

	Especificaciones	Medida
Rango de frecuencia de oscilación	De 5000 a 6000 MHz	De 4693 a 6399 MHz
Ruido de fase para un offset de 100 KHz	-80 dBc/Hz	No llega a las especificaciones
Potencia de salida	2 dBm	-10 dBm

El elemento principal responsable del ruido de fase de un oscilador es el factor de calidad del tanque y las pérdidas en el sustrato, así que con las tecnologías basadas en silicio, no se pueden obtener bobinas con un factor de calidad muy grande. No obstante, en el diseño del VCO, se ha hecho un gran esfuerzo en conseguir una bobina con un factor de calidad elevado [GON05], consiguiéndose un valor muy superior al ofrecido por las bobinas proporcionadas por la tecnología. Aun así, no se ha llegado a la especificación del ruido de fase. En el capítulo 9, se simulará el sistema con las especificaciones del VCO medido y se comprobará si puede ser utilizado en el receptor.

No se ha conseguido obtener los 2 dBm de potencia de salida especificado, aunque, los -10 dBm obtenidos son suficientes para que el mezclador pueda pasar la señal de RF a FI.

La confirmación o no de que este VCO pueda ser utilizado con el resto del sistema, se comprobará en el capítulo 9.

Capítulo 7

El sintetizador de frecuencias

Este capítulo tiene como objetivo el estudio y diseño del sintetizador de frecuencias. Este módulo es el encargado de generar las frecuencias del oscilador local. El capítulo está dividido de la siguiente manera. En el primer apartado se realiza un estudio teórico de los lazos o bucles enganchados en fase y sintetizadores. Le sigue un apartado dedicado a las especificaciones y diseño del sintetizador de frecuencias para nuestro estándar, continuando con una sección dedicada al diseño de cada bloque del sintetizador. Se finaliza el capítulo con la simulación del sintetizador completo y las conclusiones.

7.1. El lazo enganchado en fase o PLL

Este apartado comienza con una introducción a los lazos enganchados en fase o PLL (*phase locked loop*), donde se describe el funcionamiento y los diferentes bloques que lo conforman. Se sigue con una explicación de la función de transferencia del PLL para poder estudiar, en el

siguiente apartado, los diferentes tipos de PLL y la influencia del filtro en su comportamiento. A partir de este estudio, más adelante, se justificará la elección del filtro de bucle.

7.1.1. Introducción

El lazo enganchado en fase o PLL es un circuito realimentado de control con el que se intenta conseguir que la fase de un oscilador variable sea una réplica de la fase de la señal de entrada. En los lazos enganchados en fase la señal sinusoidal del oscilador de salida sigue en fase al oscilador de entrada [ENC93]

El esquema de bloques general de un PLL se puede observar en la Figura 7.1. La fase de salida, Φ_o , se sincroniza con la de referencia, Φ_r , comparándolas en el detector de fase. La tensión obtenida del detector de fase (V_d), una vez filtrada para eliminar las componentes de alta frecuencia (V_c), se aplica al VCO para corregir la posible diferencia de fases. Cuando el bucle está enganchado deben coincidir las fases de las señales de referencia y de salida. Dentro de ciertos límites los distintos bloques del PLL se comportan de forma lineal y se pueden describir como elementos ideales.

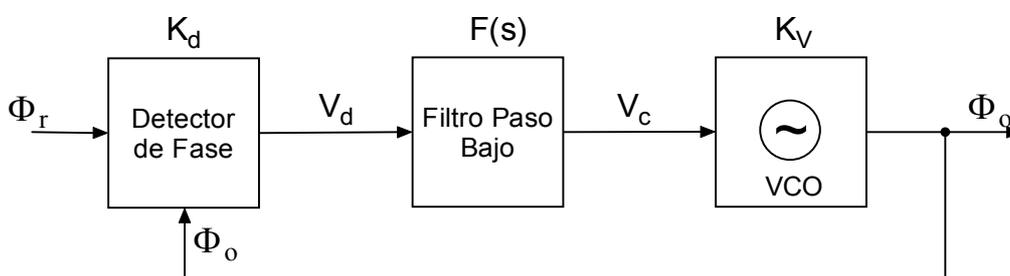


Figura 7.1. Esquema de bloques de un PLL.

A continuación se va a describir los bloques básicos de los que se compone un PLL, es decir, el detector de fase, el filtro y el VCO.

7.1.1.1. Detector de fase ideal

En un detector de fase ideal la tensión a la salida es proporcional a la diferencia de fases de las señales de entrada.

$$v_d(t) = K_d \cdot [\Phi_r(t) - \Phi_o(t)] = K_d \cdot \Phi_e(t) \quad (7.1)$$

$\Phi_r(t)$ y $\Phi_o(t)$ son, respectivamente, las fases de referencia y del VCO, y $\Phi_e(t)$ es el error de fase, que se define como la diferencia de las dos anteriores. La constante de proporcionalidad

K_d , se expresa en V/rad y se denomina constante del detector. El valor del error de fase está limitado por el margen dinámico del detector a unos pocos radianes, ya que la máxima excursión de la señal de salida por unos pocos voltios.

7.1.1.2. Filtro del bucle

El filtro del bucle queda definido por su función de transferencia, que en el espacio de Laplace se puede poner como:

$$F(s) = \frac{V_c(t)}{V_d(t)} \quad (7.2)$$

Es el único elemento del PLL para el que hay libertad de elección de sus características, ganancia, polos y ceros, y así controlar el comportamiento del PLL. Se puede decir que es el corazón del PLL y el es principal responsable de su comportamiento.

7.1.1.3. VCO

Este elemento está estudiado con más profundidad en el capítulo 6 de la presente tesis. Idealmente su frecuencia de oscilación varía linealmente con la tensión de entrada tal como se puede observar en la ecuación (7.3):

$$f_o(t) = f_c + k_v \cdot v_c(t) \Leftrightarrow \Phi_o(t) = \omega_c \cdot t + 2\pi \cdot K_v \cdot \int_0^t v_c(t) dt \quad (7.3)$$

donde f_c es la frecuencia a la que oscila el VCO para una tensión de control cero. El valor de K_v , que se expresa en Hz/V, está condicionado por la excursión de la tensión de control y por la banda de frecuencias que genera el VCO.

7.1.2. Funciones de transferencia del lazo

La función de transferencia del lazo, definida como la relación entre $\Phi_r(t)$ y $\Phi_o(t)$, describe el comportamiento del PLL frente a variaciones de la fase de referencia. El primer paso para su obtención es referir las fases de referencia y del VCO a la frecuencia central de este último (f_c):

$$\Phi_o(t) \Rightarrow \omega_c \cdot t + \Phi_o(t) \quad (7.4)$$

$$\Phi_r(t) \Rightarrow \omega_c \cdot t + \Phi_r(t) \quad (7.5)$$

Quedando la respuesta del detector de fase y su transformada de Laplace tal y como expresa la ecuación (7.1), es decir:

$$\Phi_0(t) = 2\pi \cdot K_v \int_0^t v_c dt \Leftrightarrow \Phi_0(s) = 2\pi \cdot K_v \cdot \frac{V_c(s)}{s} \quad (7.6)$$

Comparando las ecuaciones (7.3) y (7.4) se obtiene la expresión de Φ_0 y su transformada de Laplace:

$$v_d(t) = K_d \cdot [\Phi_r(t) - \Phi_0(t)] \Leftrightarrow V_d(s) = K_d \cdot [\Phi_r(s) - \Phi_0(s)] \quad (7.7)$$

Sustituyendo la tensión de control obtenida después del filtrado, la fase de salida queda como:

$$\Phi_0(t) = 2\pi \cdot K_v \cdot \frac{F(s) \cdot V_d(s)}{s} = 2\pi \cdot K_v \cdot K_d \cdot \frac{F(s)}{s} \cdot [\Phi_r(s) - \Phi_0(s)] \quad (7.8)$$

Despejando el cociente entre la fase de salida y la de entrada se obtiene la función de transferencia del lazo:

$$H(s) = \frac{\Phi_0(s)}{\Phi_r(s)} = \frac{K \cdot F(s)}{s + K \cdot F(s)} \quad (7.9)$$

donde $K = 2\pi \cdot K_v \cdot K_d$. Se puede analizar esta función teniendo en cuenta que el filtro del lazo es siempre paso bajo, es decir, toma un valor distinto de cero en el origen de frecuencias. En estas condiciones la función $H(s)$ es siempre una función paso bajo y toma el valor unidad en $s = 0$. Otro aspecto importante a destacar es que la función de transferencia no relaciona tensiones o corrientes de entrada y salida, relaciona fases. Esto significa que una señal de fase continua corresponde a una tensión de entrada de frecuencia fija e igual a la de referencia del lazo.

En frecuencias altas la función de transferencia tiende a cero, ya que el filtro del lazo toma valores finitos o nulos y en cualquier caso la respuesta global tiende a anularse. Para interpretar la respuesta de la función de transferencia se debe considerar una señal de entrada sinusoidal a dicha frecuencia. Pero, como la señal que se considera es la fase, significa que la tensión de entrada es una portadora modulada en fase por un tono puro de modulación a la frecuencia f_m . Así, se puede poner que la relación entre la fase de salida y la de entrada, con señales moduladas en fase por sinusoides, es de la forma siguiente:

$$v_r(t) = V_r \cdot \cos(\omega_0 \cdot t + \Delta\Phi_r \cdot \cos(2\pi \cdot f_m \cdot t + \alpha_r)) \quad (7.10)$$

$$v_0(t) = V_0 \cdot \cos(\omega_0 \cdot t + \Delta\Phi_0 \cdot \cos(2\pi \cdot f_m t + \alpha_0)) \quad (7.11)$$

La función de transferencia está definida por:

$$H(j \cdot 2\pi \cdot f_m) = \frac{\Delta\Phi_0}{\Delta\Phi_r} \cdot e^{j(\alpha_0 - \alpha_r)} \quad (7.12)$$

El carácter paso bajo de la función de transferencia implica que las modulaciones lentas se transfieren a la salida, mientras que las modulaciones rápidas de fase se ven rechazadas en el proceso de filtrado.

Además de la función de transferencia, también tienen interés otras funciones como la función de transferencia de error:

$$H_e(s) = \frac{\Phi_e(s)}{\Phi_r(s)} = \frac{\Phi_r(s) - \Phi_0(s)}{\Phi_r(s)} = 1 - H(s) = \frac{s}{s + K \cdot F(s)} \quad (7.13)$$

Si se analiza esta otra función con los mismos criterios que la anterior, se puede ver que es complementaria y, por tanto, tiende a anularse en el origen y a tomar el valor unidad para frecuencias altas, en las que el filtro del lazo toma valor finito o nulo. La interpretación es igual a la anterior: si la frecuencia de modulación es baja, la modulación se transfiere de forma completa a la salida, y por tanto el error entre las fases de salida y entrada es muy pequeño. En caso contrario, cuando la frecuencia de modulación es alta, la fase de modulación no se transfiere y el error tiende a tomar exactamente el mismo valor de la fase de entrada.

Una última función utilizada en el análisis del PLL es la de transferencia en lazo abierto:

$$G(s) = \left. \frac{\Phi_0(s)}{\Phi_r(s)} \right|_{\text{lazoabierto}} = \frac{K \cdot F(s)}{s} \quad (7.14)$$

Esta función determina el comportamiento del lazo. Es interesante destacar el carácter integrador de la función de transferencia en lazo abierto, con un polo en el origen, creado por el VCO, cuya tensión de control define la frecuencia de salida y, por tanto, la derivada de la fase. La fase es entonces proporcional a la integral de la tensión de entrada.

La función de transferencia dada por la ecuación (7.9) también se puede aplicar directamente a variaciones de frecuencia alrededor de la frecuencia central del VCO:

$$\left. \begin{aligned} \Delta\omega_0(s) &= \frac{\Phi_0(s)}{s} \\ \Delta\omega_r(s) &= \frac{\Phi_r(s)}{s} \end{aligned} \right\} \Rightarrow H(s) = \frac{\Delta\omega_0(s)}{\Delta\omega_r(s)} \quad (7.15)$$

Todas las conclusiones obtenidas para la respuesta del PLL a una señal modulada en fase, son también aplicables a la respuesta a una señal modulada en frecuencia, ya que, ambas modulaciones son equivalentes.

7.1.3. Influencia del filtro

Las características del detector de fase y del VCO están muy condicionadas por la tensión de alimentación y la banda de frecuencias que se desea cubrir, así pues, toda la posibilidad de diseño se concentra en el filtro. Con el fin de sistematizar las descripciones conviene hacer las siguientes definiciones:

- Orden: es el número de polos de la función de transferencia $H(s)$. Si ésta se expresa, como es habitual, como el cociente de dos polinomios, es el grado del denominador.
- Tipo: es el número de polos de la función de transferencia en lazo abierto $G(s)$ en $s = 0$. Se corresponde con el número de integradores en el lazo.

De la ecuación (7.14) se deduce que el tipo es igual al número de polos de $F(s)$ en $s = 0$ más uno. Este uno se debe al VCO que se comporta como un integrador. El orden y el tipo permiten clasificar los PLL. Esta clasificación no es arbitraria pues está relacionada con la estabilidad del lazo y su respuesta a diferentes señales. A continuación se va a estudiar el PLL de orden 1, el de orden 2 tipo 1 y el de orden 2 tipo 2.

7.1.3.1. PLL de orden 1

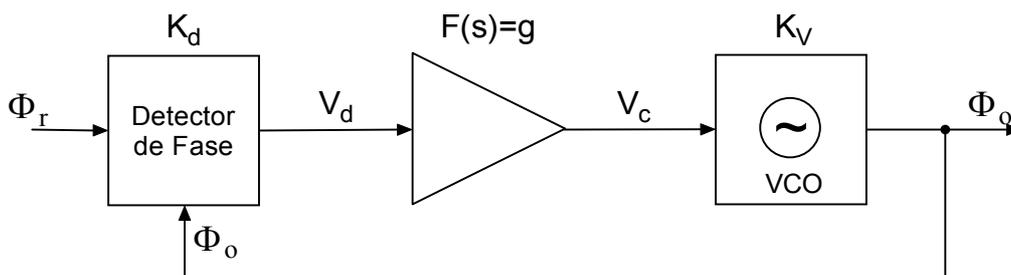


Figura 7.2. PLL de orden 1.

Este PLL no tiene filtro propiamente dicho. En él se conecta la salida del detector de fase a la entrada del VCO incluyendo, si fuera necesario, un atenuador o un amplificador de ganancia constante con la frecuencia, como se presenta en la Figura 7.2.

Las expresiones más importantes en la respuesta del lazo son:

$$F(s) = g \tag{7.16}$$

$$H(s) = \frac{\omega_n}{s + \omega_n} \quad \text{y} \quad H_e(s) = \frac{s}{s + \omega_n} \tag{7.17}$$

$$B_L(s) = \frac{\omega_n}{4} \quad \text{y} \quad \omega_n = g \cdot K = 2\pi \cdot g \cdot K_d \cdot K_v \tag{7.18}$$

Las funciones de transferencia están representadas en la Figura 7.3. Es interesante observar que las funciones de transferencia son selectivas en frecuencia, aunque el filtro no lo sea. El elemento que introduce esta dependencia es el VCO. La función de transferencia es tipo paso bajo, con frecuencia de corte en ω_n .

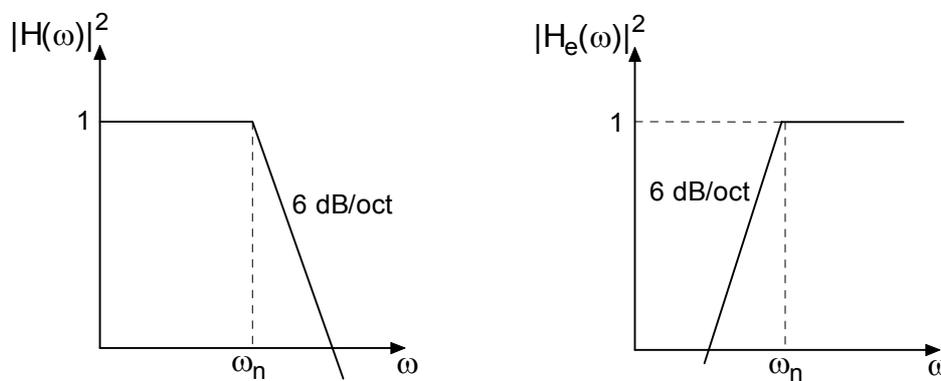


Figura 7.3. Función de transferencia para el PLL de orden 1.

Las respuestas transitoria y permanente a escalones de fase y de frecuencia se encuentran en la Tabla 7.1.

Tabla 7.1. Respuesta de un PLL de orden 1

Excitación	Error final de fase	Transitorio
Escalón de fase: $\Delta\Phi$	0	$\Phi(t) = \Delta\Phi \cdot [1 - e^{(-\omega_n \cdot t)}]$
Escalón de frecuencia: $\Delta\omega$	$\frac{\Delta\omega_n}{\omega_n}$	$\Delta\omega_0(t) = \Delta\omega \cdot [1 - e^{(-\omega_n \cdot t)}]$

Si son escalones de fase, el error final es cero y el transitorio es exponencial, con constante de tiempo $\tau = 1/\omega_n$. Para un escalón de frecuencia, el error de fase final depende de la amplitud del escalón el cual es directamente proporcional a la separación entre la frecuencia de referencia y la central del VCO ($\Delta\omega_n$). Este error de fase influye directamente en los márgenes de enganche y mantenimiento del PLL.

Desde el punto de vista del diseño, el inconveniente de estos PLL proviene de su sencillez ya que el único parámetro que se puede ajustar, la ganancia “g”, influye en la frecuencia del corte, el ancho de banda de ruido, el tiempo de asentamiento, el error de fase y los márgenes de enganche y mantenimiento. Son demasiados condicionantes para un único parámetro.

Este PLL es muy poco utilizado en la práctica ya que para conseguir un buen mantenimiento se hace necesaria una ganancia elevada, lo que lleva a un ancho de banda también elevado. Otro inconveniente de este PLL consiste en que en caso de desvanecimiento temporal de la señal de entrada, y si se supone que entonces el detector de fase entrega una tensión nula, el VCO pasa a oscilar a su frecuencia central y el reenganche cuando se restablezca la señal será lento.

7.1.3.2. PLL de orden 2 tipo 1

En la Figura 7.4 se presenta un PLL tipo 1 y orden 2 junto con una representación esquemática de sus funciones de transferencia de fase y de error. Las expresiones correspondientes asociadas a este tipo de filtro son:

$$F(s) = \frac{1 + s \cdot \tau_2}{1 + s \cdot (\tau_1 + \tau_2)} \quad (7.19)$$

$$H(s) = \frac{s \cdot \omega_n \cdot (2 \cdot \xi - \omega_n / K) + \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n s + \omega_n^2} \quad (7.20)$$

$$H_e(s) = \frac{s^2 + 2 \cdot \xi \cdot \omega_n s}{s^2 + 2 \cdot \xi \cdot \omega_n s + \omega_n^2} \quad (7.21)$$

$$\omega_n = \sqrt{\frac{K}{\tau_1 + \tau_2}} \quad (7.22)$$

$$\xi = \frac{\omega_n}{2} \cdot \left(\tau_2 + \frac{1}{K} \right) \quad (7.23)$$

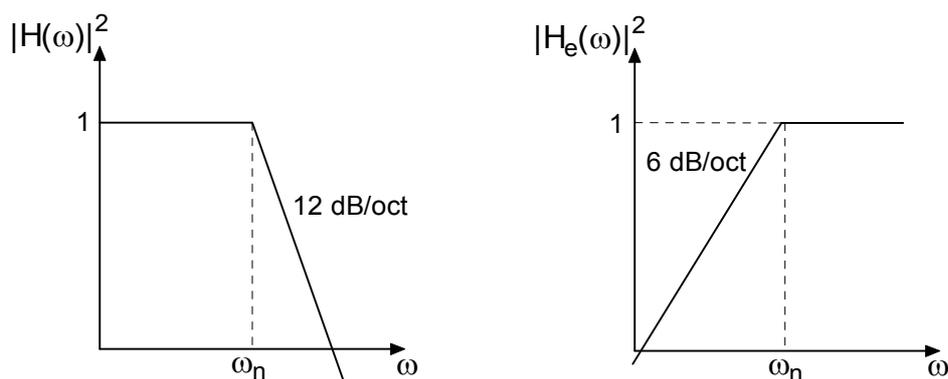
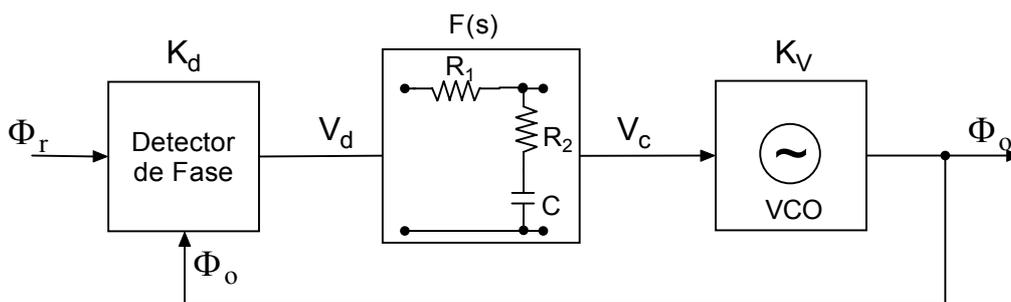


Figura 7.4. PLL de tipo 1 y orden 2.

En estas expresiones los parámetros normalizados del lazo son ω_n y ξ resultantes de expresar la función de transferencia en la forma normalizada anterior. ω_n es la pulsación natural del lazo, ξ es coeficiente de amortiguamiento y B_L es el ancho de banda del bucle. Las respuestas permanentes a escalones de fase y de frecuencia son:

Tabla 7.2. Respuesta de un PLL de orden 2 tipo 1

Excitación	Error final de fase
Escalón de fase: $\Delta\Phi$	0
Escalón de frecuencia: $\Delta\omega$	$\frac{\Delta\omega}{K}$

Con este PLL se dispone de varios elementos de ajuste, pero al necesitar error de fase para mantener el enganche a frecuencia diferente a la central del VCO, hace preferible el uso de PLL de orden 2 tipo 2.

7.1.3.3. PLL de orden 2 tipo 2

La Figura 7.5 muestra un PLL de orden 2 tipo 2.

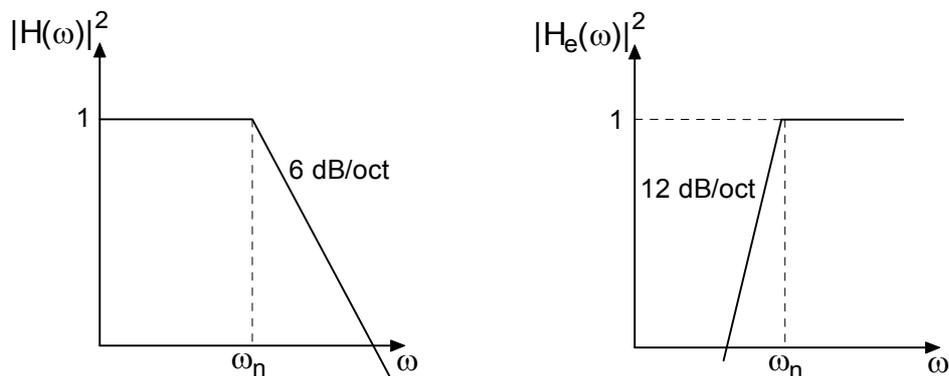
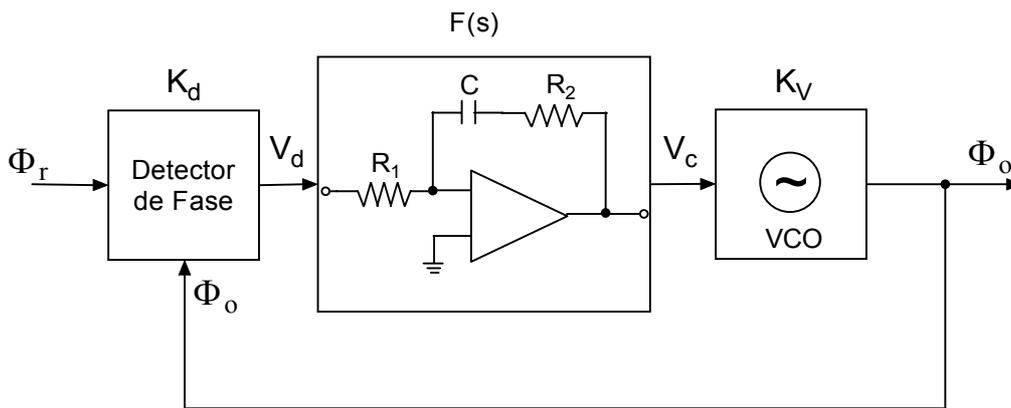


Figura 7.5. PLL tipo 2 orden 2.

Las expresiones correspondientes son:

$$F(s) = \frac{1 + s \cdot \tau_2}{s \cdot \tau_1} \tag{7.24}$$

$$H(s) = \frac{2 \cdot \xi \cdot \omega_n + \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \tag{7.25}$$

$$H_e(s) = \frac{s^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \tag{7.26}$$

Donde:

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \tag{7.27}$$

$$\xi = \frac{\omega_n \cdot \tau_2}{2} \tag{7.28}$$

$$B_L = \frac{\omega_n}{2} \cdot \left(\xi + \frac{1}{4 \cdot \xi} \right) \tag{7.29}$$

En las expresiones anteriores, ω_n y ξ son los parámetros normalizados del lazo que resultan de expresar la función de transferencia en la forma normalizada anterior, ω_n es la pulsación

natural del lazo y ξ es el coeficiente de amortiguamiento. Las respuestas permanentes a escalones de fase y de frecuencia son:

Tabla 7.3. Respuesta de un PLL de orden 2 tipo 2

Excitación	Error final de fase
Escalón de fase: $\Delta\Phi$	0
Escalón de frecuencia: $\Delta\omega$	0

Este PLL es el más utilizado porque es el más sencillo que consigue mantener el enganche a una frecuencia con un error de fase nulo, esto es debido a que el carácter integrador del filtro permite la entrega de una tensión no nula al VCO aunque la salida del detector de fase sea nula. Por esta razón, este PLL hace que el VCO siga oscilando a la misma frecuencia si se desvanece la señal de referencia, por lo que al restablecimiento de la señal la recuperación del enganche es prácticamente instantánea. También presenta la ventaja de que su comportamiento frente a transitorios no depende de la frecuencia de partida.

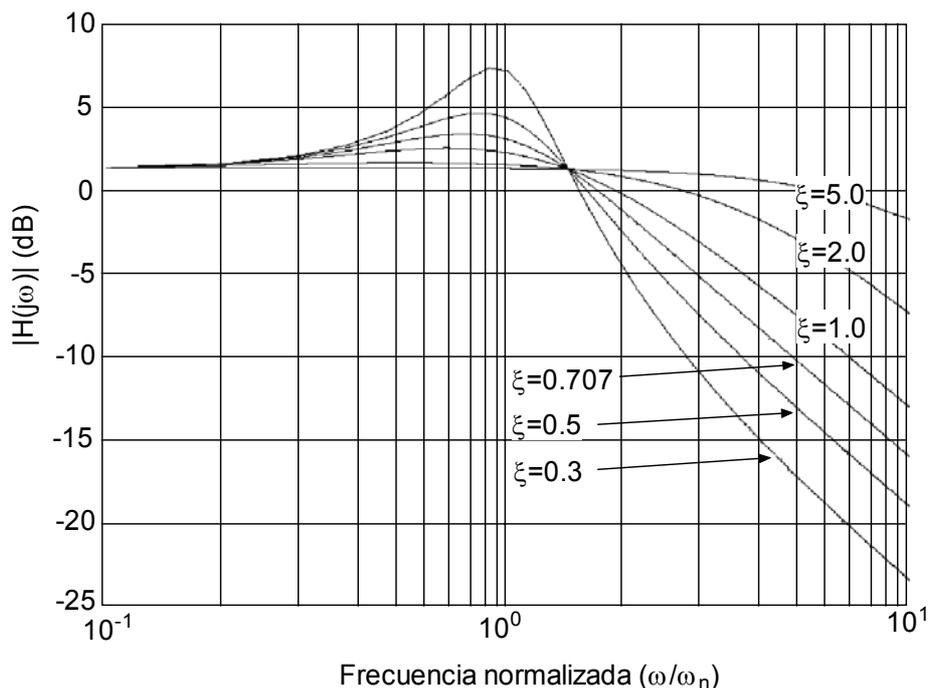


Figura 7.6. Función de transferencia del PLL tipo 2 orden 2 en función del coeficiente de amortiguamiento.

La dependencia de la función de transferencia con el factor de amortiguamiento puede verse en la Figura 7.6. Para valores pequeños de este factor, aparece claramente una respuesta mayor que la unidad para frecuencias inferiores a ω_n . A medida que aumenta ξ la respuesta se hace más plana a costa de un aumento del ancho de banda y de la velocidad con que se alcan-

za la pendiente de 10 dB/octava. En la práctica, el valor $\xi = 1$ se considera un buen compromiso entre planicidad en la banda de paso y transición rápida a la banda eliminada.

Para un ancho de banda a -3dB se obtiene la expresión:

$$f_{-3\text{dB}} = \frac{\omega_n}{2\pi} \cdot \sqrt{2 \cdot \xi^2 + 1 + \sqrt{(2 \cdot \xi^2 + 1)^2 + 1}} \quad (7.30)$$

La respuesta transitoria del lazo está controlada por ω_n y ξ . Las expresiones matemáticas correspondientes para un salto de fase a la entrada $\Delta\Phi_r$ son:

$$\Delta\Phi_0(t) = \begin{cases} \Delta\Phi_r \cdot \left(1 - \left(\cos(\sqrt{1-\xi^2} \cdot \omega_n \cdot t) - \frac{\xi}{\sqrt{1-\xi^2}} \cdot \text{sen}(\sqrt{1-\xi^2} \cdot \omega_n \cdot t) \right) \cdot e^{(-\xi \cdot \omega_n \cdot t)} \right) & \text{para } \xi > 1 \\ \Delta\Phi_r \cdot [1 - (1 - \omega_n \cdot t) \cdot e^{(-\xi \cdot \omega_n \cdot t)}] & \text{para } \xi = 1 \\ \Delta\Phi_r \cdot \left(1 - \left(\cosh(\sqrt{\xi^2-1} \cdot \omega_n \cdot t) - \frac{\xi}{\sqrt{\xi^2-1}} \cdot \text{senh}(\sqrt{\xi^2-1} \cdot \omega_n \cdot t) \right) \cdot e^{(-\xi \cdot \omega_n \cdot t)} \right) & \text{para } \xi < 1 \end{cases} \quad (7.31)$$

La fase tiende exponencialmente al valor final, el exponente es en todos los casos $-\xi \cdot \omega_n \cdot t$, y por ello se ha tomado como eje de abscisas para su representación en la Figura 7.7. El coeficiente de amortiguamiento permite controlar la velocidad y la forma en que la fase se aproxima a su valor final. A igualdad del producto $\xi \cdot \omega_n$, a medida que el coeficiente de amortiguamiento disminuye aumenta la velocidad inicial de la fase de salida, pero si el coeficiente de amortiguamiento es inferior a la unidad aparecen oscilaciones amortiguadas alrededor de la fase final que retardan el asentamiento. Si el coeficiente de amortiguamiento es superior a la unidad se produce una única oscilación y a continuación la fase tiende a su valor final. En la práctica se acostumbra a considerar el valor $\xi = 1/\sqrt{2} \approx 0.707$ como compromiso entre una velocidad de subida rápida y unas oscilaciones que se amortiguan rápidamente.

La forma que toma la frecuencia de salida para un salto en frecuencia a la entrada Δf_r es la misma de la Figura 7.7 y viene dada por ecuaciones duales a las (7.31). Es importante hacer notar que aunque en principio en las ecuaciones (7.31) sólo se podría generalizar a escalones de frecuencia a partir de la frecuencia central del VCO, en este caso la presencia del integrador desvirtúa la importancia de esta frecuencia central como frecuencia de reposo del lazo y permite que se pueda aplicar a cualquier salto de frecuencia con independencia de la frecuencia de partida. En el caso de escalones de frecuencia tiene interés el estudio de la evolución del error de fase ya que puede llegar a superarse el límite del comportamiento lineal del detector de fase y producirse desenganches.

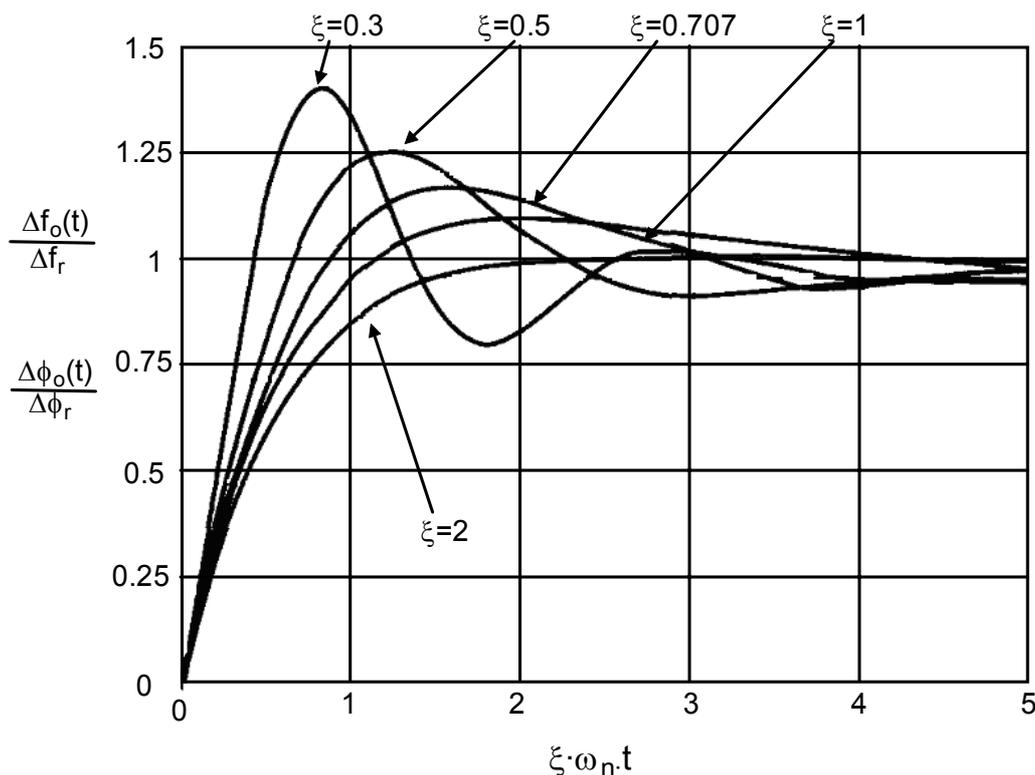


Figura 7.7. Respuesta a un escalón de fase o frecuencia en el PLL tipo 2 orden 2.

7.2. Sintetizadores de frecuencia con PLL

La síntesis de frecuencia es el proceso que permite generar una señal de frecuencia concreta, con un valor que puede escogerse de entre un conjunto de valores discretos con precisión y pureza espectral, partiendo de uno o varios osciladores patrones de alta calidad.

La calidad de un sintetizador se mide a través de diversos factores, como son la precisión de la frecuencia sintetizada, que depende fundamentalmente de la precisión de los osciladores de referencia, el tiempo de conmutación entre frecuencias, el ruido de fase de la salida y la presencia de otras señales espurias.

El método más utilizado de síntesis de frecuencia es el que trabaja con un PLL y divisores de frecuencia, pues es un sistema sencillo y permite obtener alta calidad en las frecuencias originadas. A continuación se va explicar el sintetizador básico basado en divisores de frecuencia, para seguir describiendo diferentes tipos de sintetizadores basados en el anterior. Se finaliza estudiando el problema del filtrado de la frecuencia de referencia.

7.2.1. Sintetizador básico

El esquema más básico de sintetizador con PLL se observa en la Figura 7.8. La diferencia con un PLL simple es la presencia de un divisor de frecuencia que se puede ver como un contador digital entre el VCO y el detector de fase. El enganche se produce, como ya se sabe, cuando las frecuencias en el detector de fase son iguales, por lo tanto, en ese caso la frecuencia en el VCO debe ser $f_0=N \cdot f_r$, y el conjunto actúa como un multiplicador de frecuencia.

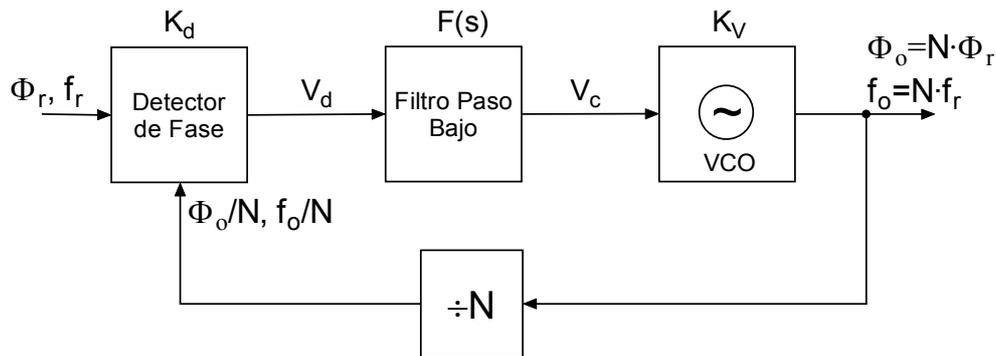


Figura 7.8. Sintetizador básico basado en PLL.

Ya que es fácil realizar divisores de frecuencia con factores muy elevados, conectando en cascada varios divisores de frecuencia. El valor de N puede ser tal grande como se quiera. Así, no son infrecuentes factores del orden de 1000 o superiores. Pueden utilizarse factores mucho más altos, pero el funcionamiento del sintetizador en cuanto al ruido se degrada mucho. Si además el factor N puede cambiarse con unas entradas de control, se puede seleccionar la frecuencia de salida de entre un conjunto de ellas cambiando el valor de N .

Si se calcula la función de transferencia del bucle de la Figura 7.8, utilizando los mismos desarrollos que se emplearon para calcular la función de transferencia del PLL simple se obtiene:

$$H(s) = \frac{\Phi_0(s)}{\Phi_r(s)} = \frac{f_0(s)}{f_r(s)} = N \cdot \frac{\frac{K}{N} \cdot F(s)}{s + \frac{K}{N} \cdot F(s)} \quad (7.32)$$

Esta función es equivalente a la de un PLL simple modificando la constante K para incluir el factor N del divisor y multiplicando la función completa por N . Para un bucle de orden 2 tipo 2, con $F(s) = (1 + \tau_2)/\tau_1$, se tendrá:

$$H(s) = N \cdot \frac{2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (7.33)$$

El cálculo de ω_n y ξ a partir de las constantes de tiempo del filtro se realiza de la misma manera que se explicó en el PLL básico sustituyendo la constante K del bucle por K/N.

$$\omega_n = \sqrt{\frac{K}{N \cdot \tau_1}} \quad (7.34)$$

$$\xi = \frac{\omega_n \cdot \tau_2}{2} \quad (7.35)$$

La función de transferencia de error definida como la relación entre el error de fase y la fase de entrada se obtiene como:

$$H_e(s) = \frac{\Phi_e(s)}{\Phi_r(s)} = 1 - \frac{H(s)}{N} = \frac{s}{s + \frac{K}{N} \cdot F(s)} \quad (7.36)$$

Y en el caso de un PLL de tipo 2 orden 2 se obtiene:

$$H_e(s) = \frac{s^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (7.37)$$

La función de transferencia (ecuación (7.33)) es la de un PLL multiplicada por N. Las fluctuaciones de fase (como el ruido de fase o modulación) que tenga la señal de referencia dentro del ancho de banda del lazo se transmiten al VCO multiplicadas por el factor N. Por lo demás, el comportamiento de un sintetizador es similar al de los PLL, donde los saltos de frecuencia o fase responden a un transitorio que viene definido por la función de transferencia, al igual que las modulaciones o ruido. La frecuencia y la fase vendrán multiplicadas por el factor N de entrada a salida, y se deberá tener en cuenta en los procesos de modulación o evaluación de transitorios.

La elección de los detectores de fase está condicionada tanto por el ruido que acompaña a la señal de referencia como por el ciclo de trabajo de la señal de salida de los divisores.

Los divisores son básicamente contadores digitales, y existen varios tipos. Los contadores programables más habituales trasladan a su salida uno de cada N pulsos de entrada, con lo que el ciclo de trabajo de su salida está muy alejado del 50% recomendable para los detectores formados por multiplicadores digitales. Los divisores del tipo ripple-carry permiten mantener y regenerar ciclos de trabajo del 50% a costa de permitir sólo factores potencia de 2. Luego para señales de referencia ruidosas habrá que escoger divisores de este tipo o incluir circuitos adicionales para mantener ciclos de trabajo adecuados.

7.2.2. Configuraciones de sintetizadores

En este apartado se verán varias configuraciones de sintetizadores basadas en un PLL y divisores de frecuencia.

7.2.2.1. Sintetizador con divisor programable

El esquema de este sintetizador se muestra en la Figura 7.9. El valor de N_p se puede modificar mediante una entrada digital de control de unidad en unidad. Puesto que N_p varía de unidad en unidad, el paso del sintetizador, es decir, la diferencia entre las frecuencias consecutivas que pueden generarse, es igual a la frecuencia de referencia: $\Delta f = f_r$.

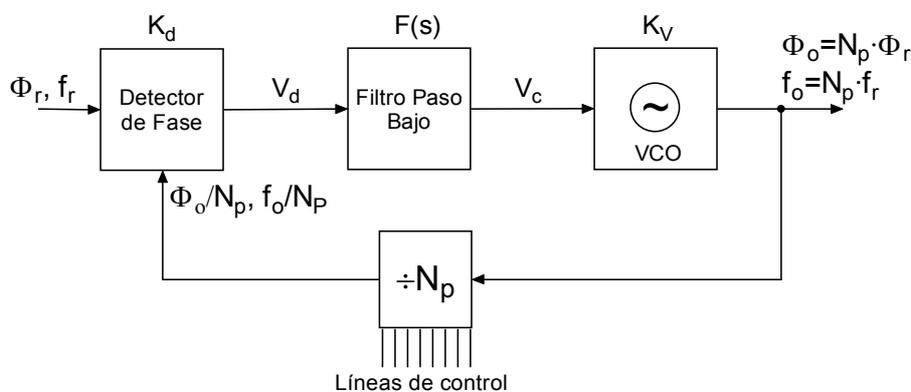


Figura 7.9. Sintetizador con divisor programable.

7.2.2.2. Sintetizador con divisores fijo y programable

Los divisores programables tienen frecuencias relativamente bajas de utilización. Cuando se desea sintetizar frecuencias más elevadas la alternativa más simple es colocar un predivisor (prescaler) de módulo fijo entre el VCO y el divisor programable, tal como se muestra en la Figura 7.10.

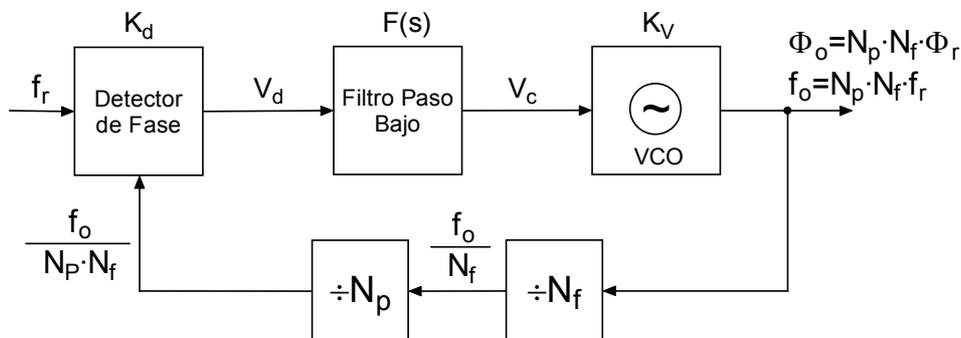


Figura 7.10. Sintetizador con divisores fijo y programable.

En esta estructura el valor de la frecuencia de salida es: $f_0 = N_f N_p \cdot f_r$. Puesto que N_p puede variar de uno en uno, el paso del sintetizador es $\Delta f = N_f f_r$.

El inconveniente de este esquema, en comparación con el anterior, es que para un determinado paso de sintetizador se reduce la frecuencia de referencia en el factor N_f . Si la frecuencia de referencia es muy baja, el ancho de banda del bucle también debe serlo para poder filtrarla correctamente. Se pierde entonces la libertad de ajustarlo en función del ruido de los osciladores y además se ralentizan los transitorios, con lo que el tiempo de cambio de frecuencia de salida se alarga. Este parámetro es importante en determinadas aplicaciones.

7.2.2.3. Sintetizador con divisor de doble módulo

Una estructura que resuelve en parte el problema de la anterior es la basada en un divisor de doble módulo. Estos divisores son un intermedio entre los fijos y los programables. Tienen la posibilidad de dividir por dos factores diferentes (normalmente diferentes en una unidad), bajo el control de una entrada del módulo de división. En la Figura 7.11 se muestra la estructura en que suelen utilizarse, con dos divisores programables.

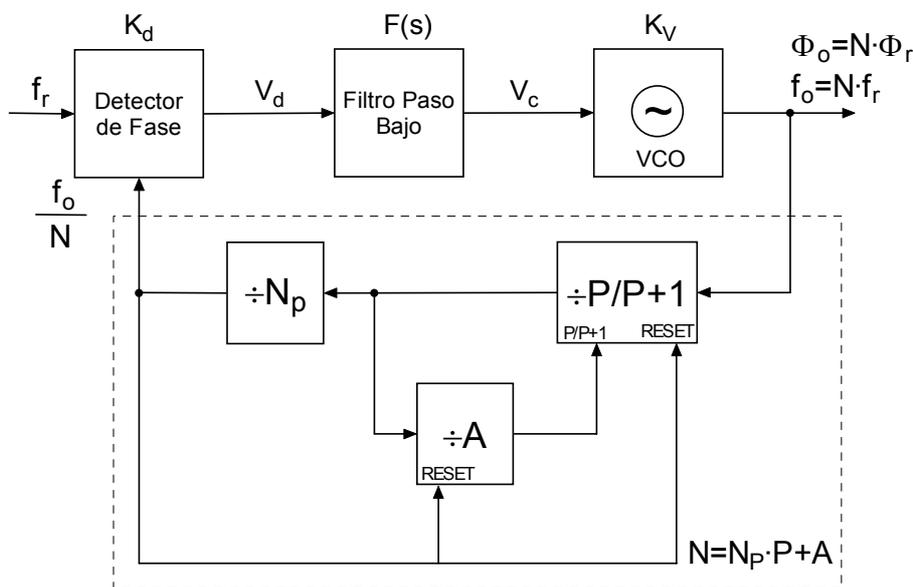


Figura 7.11. Sintetizador con divisor de doble módulo.

Con divisores de doble módulo se consigue construir divisores con factores de división que varían de unidad en unidad y que funcionan a frecuencias más elevadas que los divisores programables, de esta forma se consigue mantener la frecuencia de referencia elevada. Los inconvenientes son una mayor complejidad y no poder alcanzar las mismas frecuencias que los divisores fijos.

7.2.2.4. Sintetizador con mezclador

En frecuencias muy elevadas es posible que ninguna de estas configuraciones sea útil, bien porque no existan divisores de frecuencia, o bien porque los factores de multiplicación necesarios para realizar canalizaciones estrechas sean demasiado elevados, con lo que el ruido en la salida sería demasiado alto. En este caso se recurre a configuraciones más complejas con mezcladores de frecuencia.

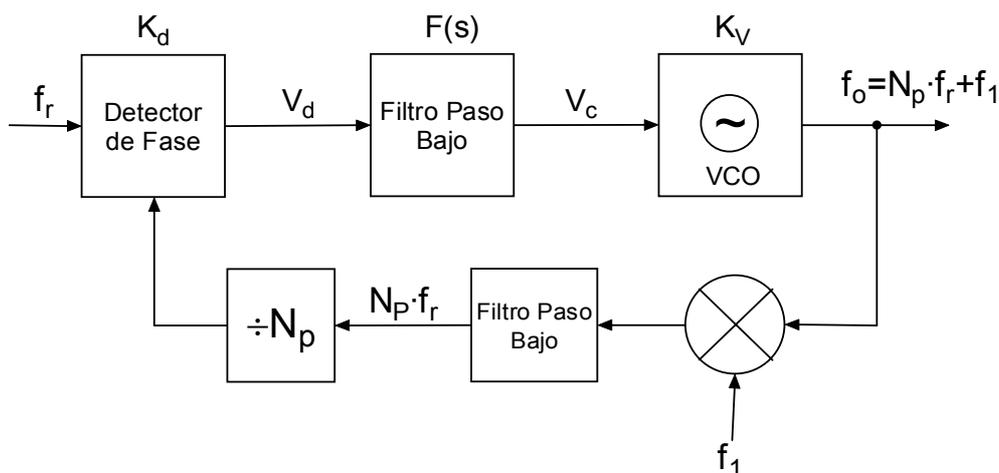


Figura 7.12. Sintetizador con mezclador incluido en el lazo.

En la Figura 7.12 se muestra esta configuración. La señal del VCO se lleva al mezclador donde se traslada con una frecuencia fija, f_1 , dada por un oscilador exterior. Esta frecuencia puede ser a su vez sintetizada en otro PLL y canalizada con un paso diferente. Son posibles diferentes configuraciones con varios bucles, como por ejemplo la que se muestra en la Figura 7.13. El cálculo de estas configuraciones es complicado, dado que la selección de las frecuencias en cada punto debe tener en cuenta los productos no deseados que se generan en cada mezcla, y evitar que lleguen a la salida frecuencias cercanas a la deseada. En general las frecuencias alejadas no son un problema pues siempre pueden filtrarse.

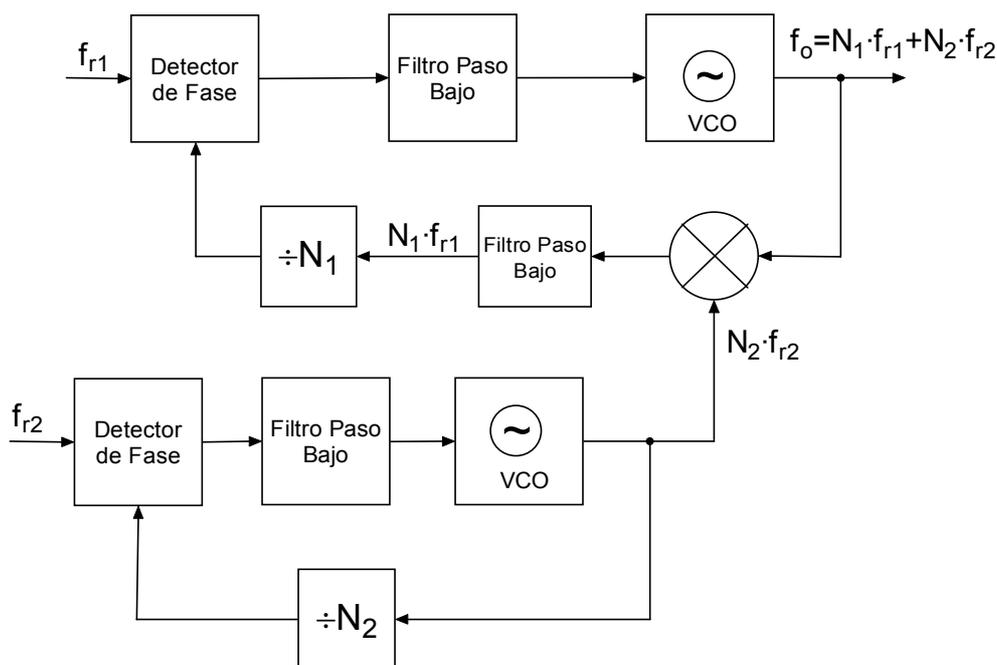


Figura 7.13. Sintetizador con dos lazos y un mezclador.

7.2.3. Filtrado de la frecuencia de referencia

Además del ruido de fase, otro indicador de la calidad de un sintetizador es la presencia de señales espurias en la salida. Se denominan señales espurias las componentes discretas que aparecen en la salida y que no están relacionadas armónicamente con la señal deseada. La ventaja de un sintetizador con PLL es que se comporta de forma casi ideal. Puesto que lo que se hace es sincronizar un oscilador en lugar de generar una frecuencia por combinación de otras señales, no existen prácticamente espurias en la salida a excepción de las siguientes:

- La frecuencia de referencia y sus armónicos pueden llegar a la salida por mal aislamiento en el circuito. Normalmente no constituyen un problema, pues son frecuencias muy diferentes de las deseadas y pueden eliminarse con un filtro sencillo.
- Se puede producir modulación del VCO por la frecuencia de referencia y sus armónicos. Todos los detectores de fase tienen en su salida componentes relacionadas con la frecuencia de referencia, como ya se ha visto en el capítulo anterior. Si estas señales llegan a la entrada de control del VCO provocan una modulación de frecuencia que se traduce en unas componentes discretas en el espectro. Si la frecuencia de referencia es baja estas componentes se sitúan muy cerca de la señal deseada.

Es fácil calcular, a partir de la amplitud de estas componentes en el detector de fase, cuál es la desviación de frecuencia que provocan en el VCO, y, por tanto, cuál es la amplitud de las componentes discretas en las bandas laterales de modulación generadas.

Como norma general, es conveniente utilizar frecuencias de referencia lo más altas posible para facilitar el filtrado antes de que lleguen al VCO. Frecuentemente se añaden al filtro del bucle, otros filtros paso bajo RC sencillos, para mejorar el filtrado. En general, la frecuencia de corte de estos filtros debe mantenerse por encima de $5 \cdot \omega_n$, pues si es más baja pone en peligro la estabilidad del bucle.

En la Figura 7.14 se muestran dos posibles filtros para PLL de orden 2 tipo 2. El de la izquierda está pensado para un detector de fase convencional con una única salida, y el de la derecha incorpora una bomba de carga y se usa con detectores digitales de fase frecuencia. En ambos casos la función de transferencia es de la forma:

$$F(s) = \frac{1 + s \cdot \tau_2}{s \cdot \tau_1} \cdot \frac{1}{1 + s \cdot \tau_3} \quad (7.38)$$

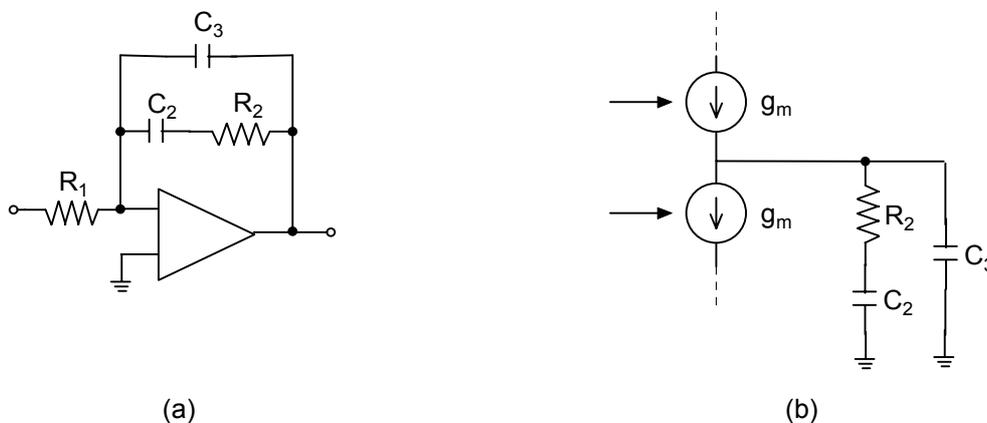


Figura 7.14. Filtros para PLL de orden 2 con eliminación de referencia, filtro activo (a) y filtro pasivo (b).

7.3. Diseño del sintetizador

En este apartado se explica la elección del sintetizador, así como la estructura utilizada y el diseño de cada elemento que lo compone. El diseño de los bloques se ha realizado a nivel de

esquemático utilizando para las simulaciones los modelos de los transistores proporcionados por la tecnología.

7.3.1. Estructura del sintetizador

Las frecuencias a generar por el sintetizador se encuentran en la Tabla 7.4.

Tabla 7.4. Frecuencias a generar por el sintetizador con una FI=20 MHz

Banda (GHz)	Frecuencia central del cada canal (MHz)	Frecuencia del Sintetizador $f_{out} = RF - IF$ (MHz)
U-NII Banda inferior (5.15-5.25)	5180	5160
	5200	5180
	5220	5200
	5240	5220
U-NII Banda media (5.25-5.35)	5260	5240
	5280	5260
	5300	5280
	5320	5300
U-NII Banda superior (5.725-5.825)	5745	5725
	5765	5745
	5785	5765
	5805	5785

La frecuencia de salida es demasiado elevada para ser dividida por un divisor programable, por lo que la estructura utilizada para el sintetizador combina un divisor fijo rápido y un divisor de doble módulo, tal como se observa en la Figura 7.15. La frecuencia de referencia es de 2.5 MHz, con lo que el valor del factor de división tiene que variar de 2314 (para una frecuencia de 5785 MHz) a 2064 (para una frecuencia de 5160 MHz). Por sencillez se va a utilizar el detector de fase-frecuencia digital, lo cual implica el uso de la bomba de carga.

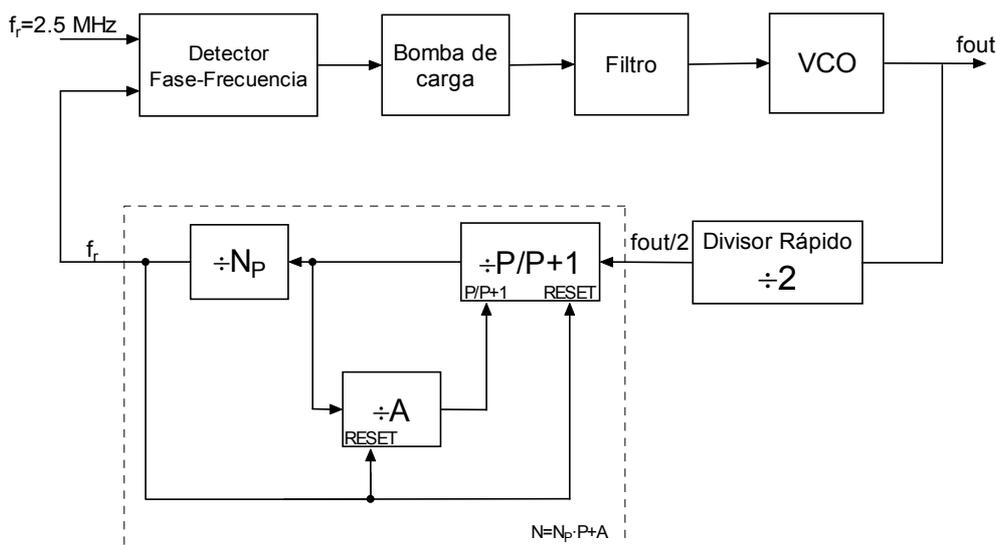


Figura 7.15. Esquema básico del sintetizador.

A continuación se describe el diseño de cada bloque.

7.3.2. Detector de fase-frecuencia

Como se comentó en el apartado 7.2, el detector de fase-frecuencia trabaja como un amplificador del error de lazo realizando la comparación entre dos señales (la de referencia y la de salida). Una vez esta comparación ha sido realizada, la salida del detector será proporcional al error de la fase entre las dos entradas comparadas.

El detector de fase-frecuencia está diseñado con puertas nand2, nand3, nand4 y básculas RS realizadas con nand2. Con esta estructura disponemos de dos salidas que no están activas simultáneamente. La estructura del comparador se puede observar en la Figura 7.16.

Si la entrada es diferente o no a la referencia, actúa una salida u otra. Cuando alcanzamos el equilibrio y son iguales, las salidas estarán inactivas permaneciendo en estado alto.

Al poseer básculas RS, la característica de transferencia de este comparador será independiente de las relaciones cíclicas de las señales de entrada, pues los estados de salida de la báscula cambian con las transiciones de entrada, esta es una característica que nos interesa. El detector se ha diseñado en ADS con transistores MOSFET de la tecnología de AMS.

La función de transferencia de este comparador es lineal, entre -2π y $+2\pi$, debido a que entre -2π y 0 actúa la salida Down, y entre 0 y $+2\pi$ la salida Up.

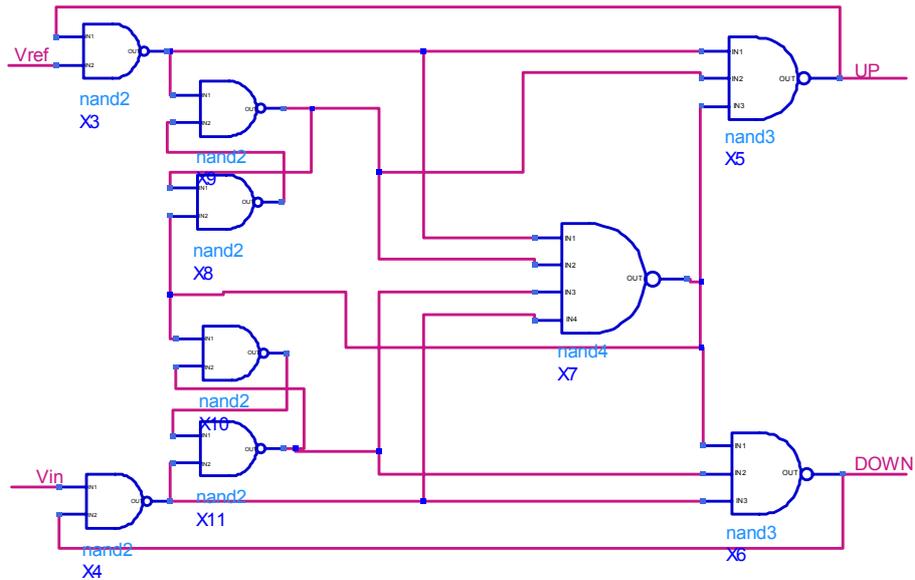


Figura 7.16. Detector de fase-frecuencia.

El esquema final del detector, junto con su símbolo en ADS, se muestra la Figura 7.17.

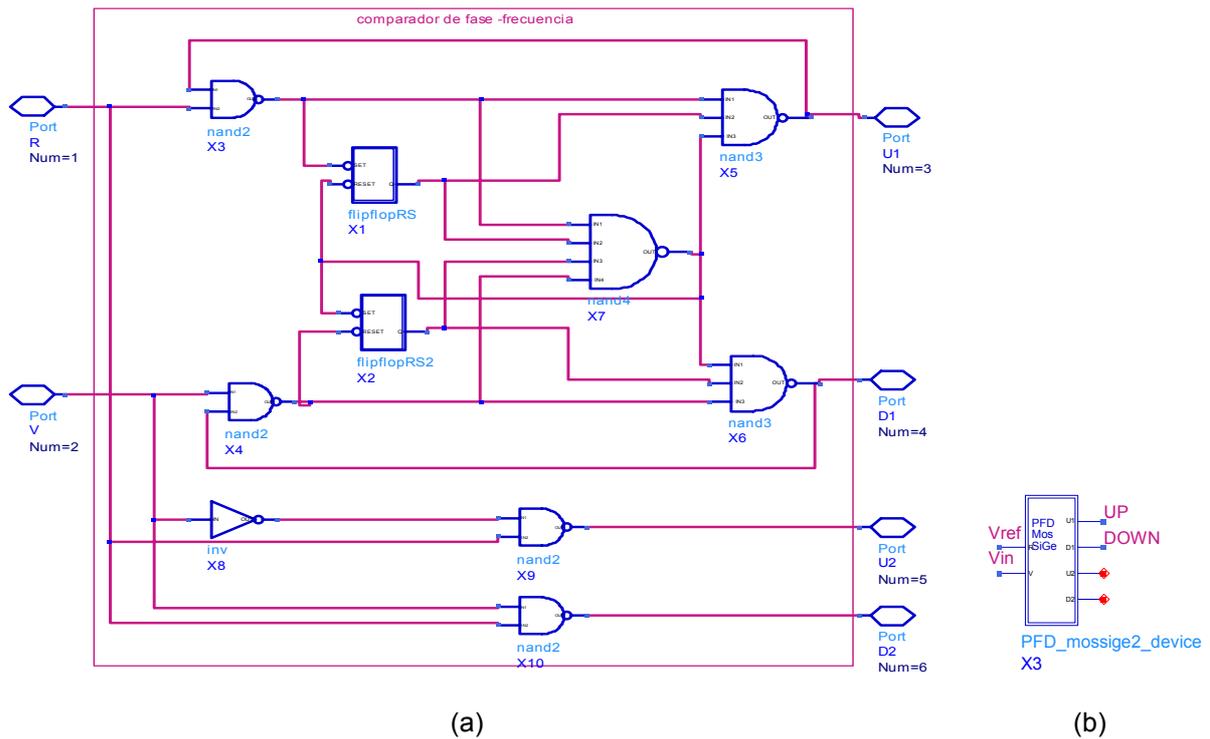


Figura 7.17. Esquemático del detector de fase-frecuencia (PFD_mossige2_device) (a) y símbolo (b).

Se ha comprobado el funcionamiento del detector variando la fase de las dos señales de entrada (VREF e Vin). El esquema de simulación se puede observar en la Figura 7.18.

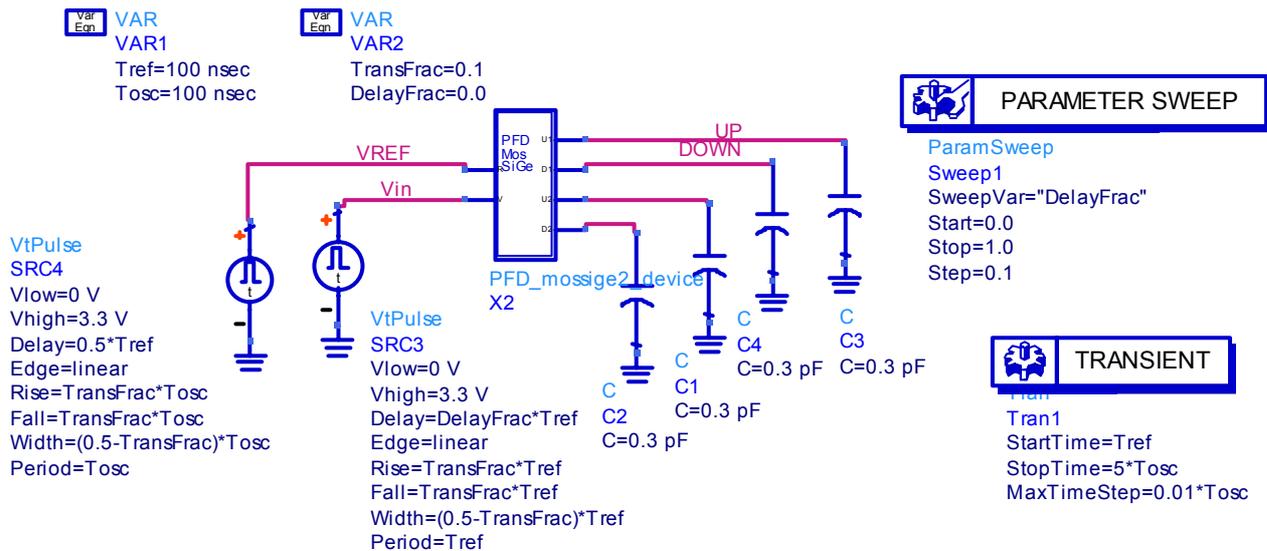


Figura 7.18. Esquema de simulación en ADS para comprobar el funcionamiento del detector fase-frecuencia.

En la Figura 7.19 se muestra la simulación del esquemático de la Figura 7.18 donde tenemos dos señales rectangulares de frecuencias idénticas. Vemos que cuando la entrada proveniente del VCO (Vin), está adelantada frente a la señal de referencia (VREF), en la salida DOWN tenemos un pulso del tamaño de la diferencia de fase entre las señales. Si fuera al contrario, es decir, si estuviera retardada, el pulso lo tendríamos en la señal UP. Si no hubiese desfase no tendríamos pulso en ninguna de ellas estando las dos en estado alto.

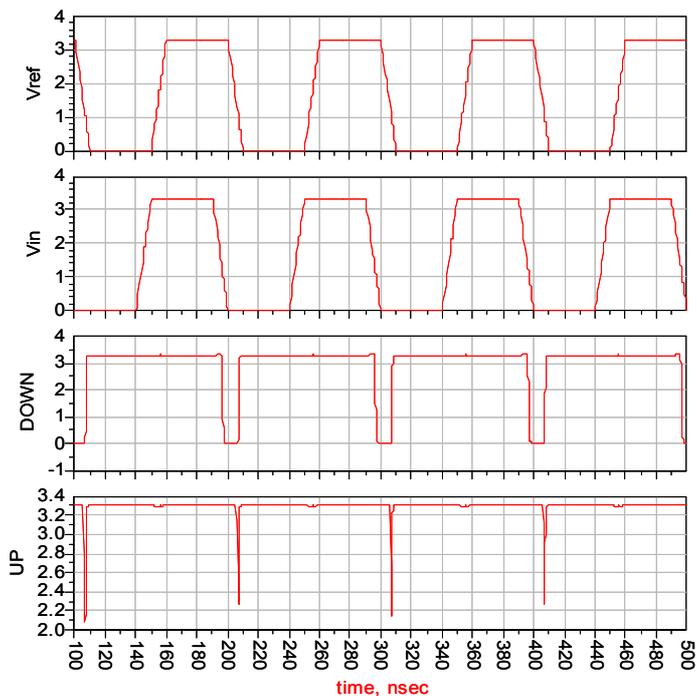


Figura 7.19. Respuesta transitoria del detector fase-frecuencia.

En la Figura 7.20 se muestra la función de transferencia del detector (tensión media a la salida respecto al desfase entre ambas entradas). La constante del detector (K_{pfd}) obtenida fue de $K_{\text{pfd}}=0.955 \text{ V/rad}$.

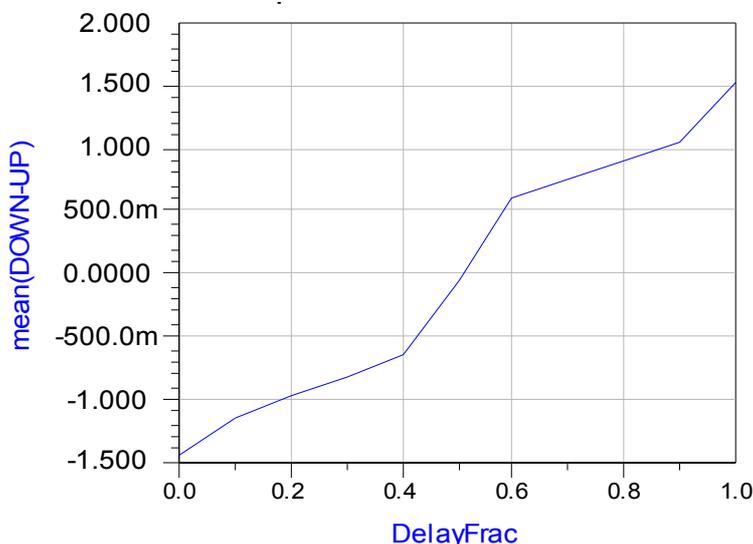


Figura 7.20. K_{pfd} del detector sin la bomba de carga.

Los resultados que se muestran fueron obtenidos tras numerosas simulaciones realizadas variando las dimensiones de los MOSFET utilizados en el diseño de las puertas lógicas. Se optimizó el diseño para que la función de transferencia fuera lo más lineal y las señales de salida cambiaran rápida y correctamente. Las dimensiones de los MOSFET utilizadas son las mostradas en la Tabla 7.5. Si hubiéramos escogido relaciones menores, la respuesta del detector no sería tan lineal y por lo tanto las señales de salida tampoco serían las correctas.

Tabla 7.5. Dimensiones de los transistores MOSFET utilizados en el diseño de las puertas lógicas que conforman el detector

Ancho del MOSFET tipo N	4 μm
Longitud puerta del MOSFET tipo N	0.5 μm
Ancho del MOSFET tipo P	8 μm
Longitud puerta del MOSFET tipo P	0.5 μm

7.3.3. Bombeo de carga (*Charge-Pump*)

Normalmente, cuando se habla de detectores de fase-frecuencia, se supone que la bomba de carga está incluida en el dispositivo. Este circuito consiste en una pareja de fuentes de corriente con interruptores que actúan sobre un condensador. La Figura 7.21 explica el funciona-

miento del bombeo de carga, el cual proporciona ganancia infinita cuando en la entrada del dispositivo hay una diferencia de fase. Si los pulsos se inyectan por UP, la fuente de corriente introducirá carga en el condensador, y la tensión de salida se incrementará. Si los pulsos aparecen en DOWN, la carga del condensador fluirá a tierra. La variación de voltaje a la salida es de 0 a V_{cc} voltios.

La bomba de carga diseñada se puede observar en la Figura 7.22 y consiste en simples conmutadores realizados con transistores, los cuales inyectarán o extraerán corriente a su salida. En la misma figura se muestran también las dimensiones de los transistores utilizados, optimizadas de la misma manera que el caso del detector.

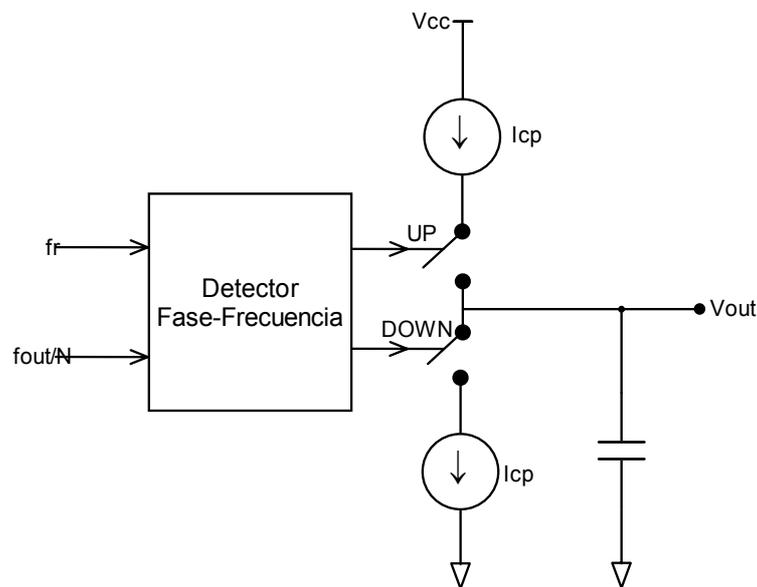


Figura 7.21. Esquema de la bomba de carga.

Como ya se ha diseñado el detector fase-frecuencia y la bomba de carga, ya podemos unirlos, simularlos y obtener la constante del detector más la constante del bombeo de carga K_d (A/rad). La unión de ambos componentes, así como el símbolo creado en ADS se muestran en la Figura 7.23. El componente resultante tiene como entradas la tensión de referencia (Ref) y la señal de salida del divisor (V_{co}). Como salida tiene la corriente que irá al filtro de bucle (I_{cp}).

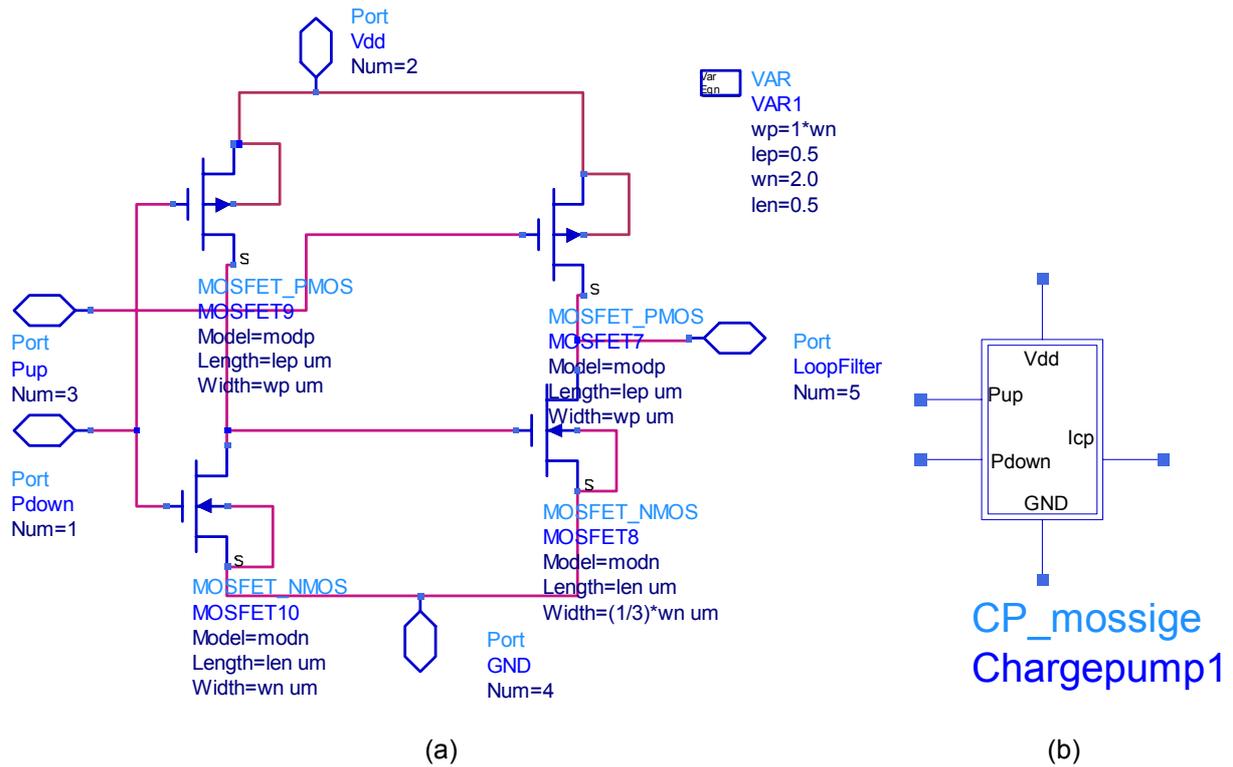


Figura 7.22. Esquemático de la bomba de carga (a) y su símbolo en ADS (b).

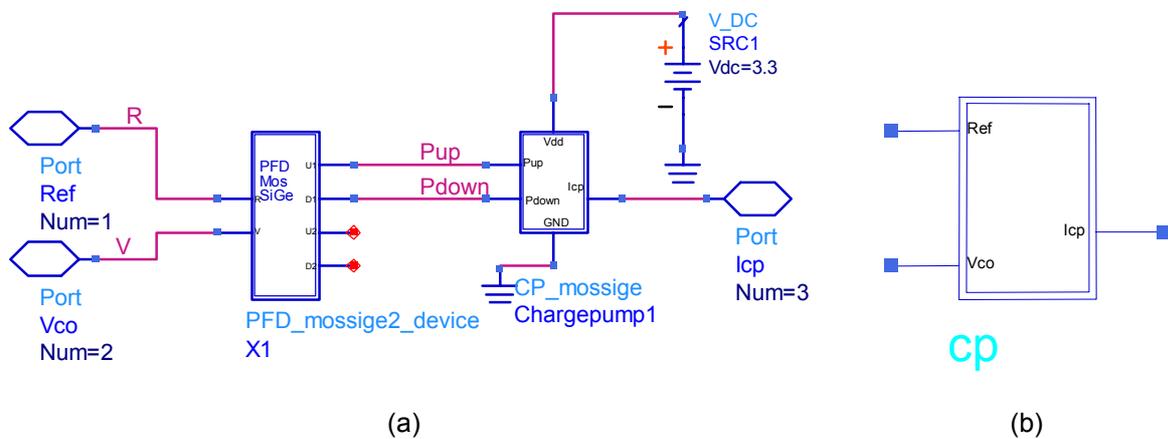


Figura 7.23. Esquemático de la bomba de carga (CP) (a) y símbolo (b) en ADS.

En Figura 7.24 se muestra el esquema de simulación del detector de fase junto a la bomba de carga. Las entradas son periódicas e iguales y se ha barrido el desfase entre las dos entradas, observando la corriente a la salida.

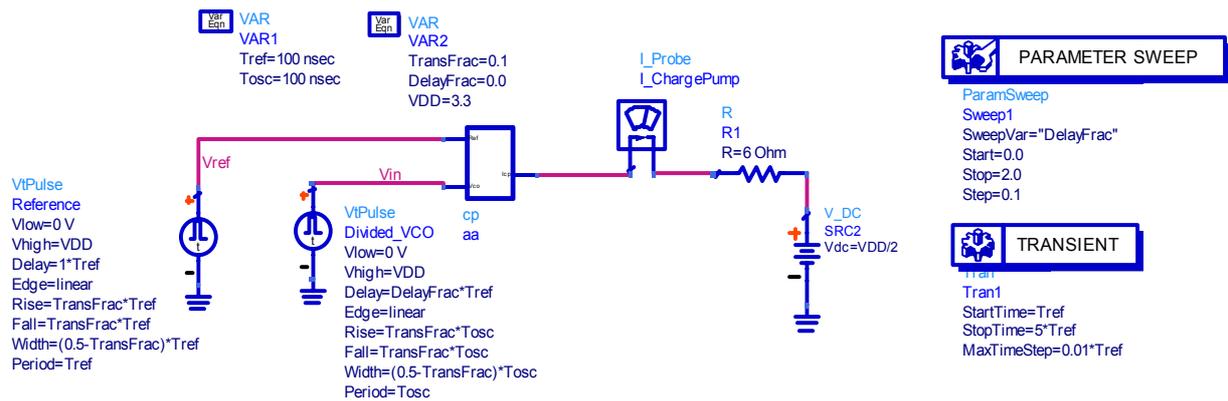


Figura 7.24. Esquema de simulación en ADS del detector fase- junto con el bombeo de carga.

En las figuras 7.26, 7.27 y 7.28 se comprueba la respuesta transitoria a partir de dos señales rectangulares de frecuencias idénticas.

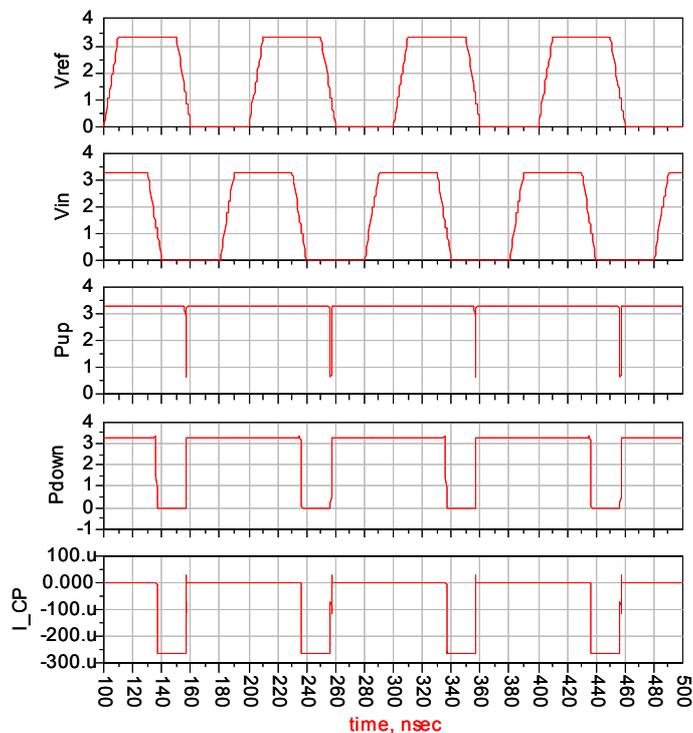


Figura 7.25. Respuesta transitoria del detector fase-frecuencia para corriente de salida negativa.

En la Figura 7.25 se constata que cuando la entrada proveniente del divisor (V_{in}), está adelantada frente a la señal de referencia (V_{ref}), en la salida P_{down} tenemos un pulso del tamaño de la diferencia de fase entre las señales. Este pulso entra en la bomba generando un pulso de la misma duración que inyecta una corriente negativa de I_{CP} (A). Si fuera al contrario, es decir, si estuviera retardada, el pulso lo tendríamos en la señal P_{up} , y el pulso generado inyectaría una corriente positiva (ver Figura 7.26). Si no estuvieran desfasadas no tendríamos pulso

en ninguna de las salidas estando las dos en estado alto. En este caso no suministraríamos corriente a la salida (ver Figura 7.27).

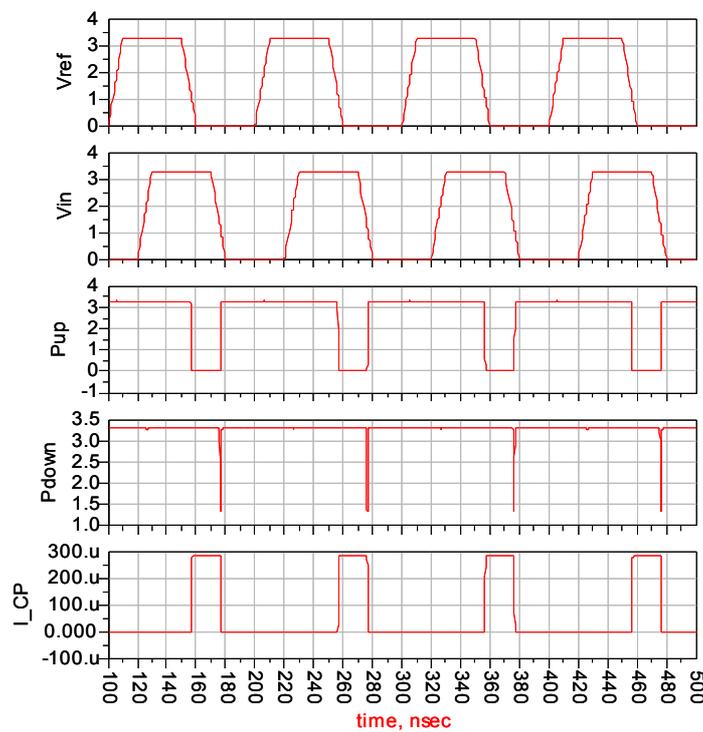


Figura 7.26. Respuesta transitoria del detector fase-frecuencia para corriente de salida positiva.

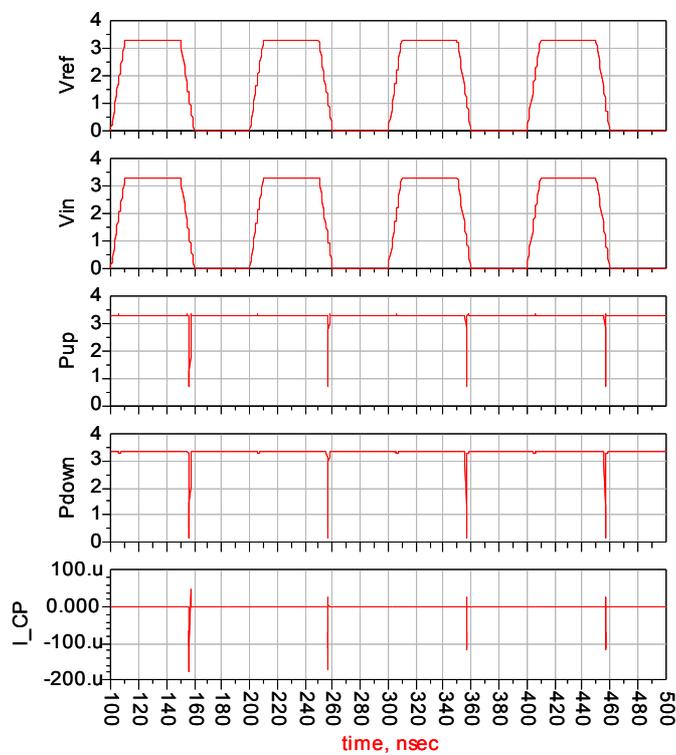


Figura 7.27. Respuesta transitoria del detector fase-frecuencia para corriente de salida nula.

En la Figura 7.28 se muestra la función de transferencia del detector fase-frecuencia con el bombeo de carga (corriente media a la salida respecto al desfase entre ambas entradas). Se ha realizado la simulación para un desfase de entre -360 grados (0.0) y 360 grados (2.0) pasando por 0 grados (1.0). Se comprueba que la respuesta es bastante lineal. La constante K_d , la cual es igual a la pendiente de la recta de la Figura 7.28, es de $K_d=32.61 \mu\text{A}/\text{rad}$.

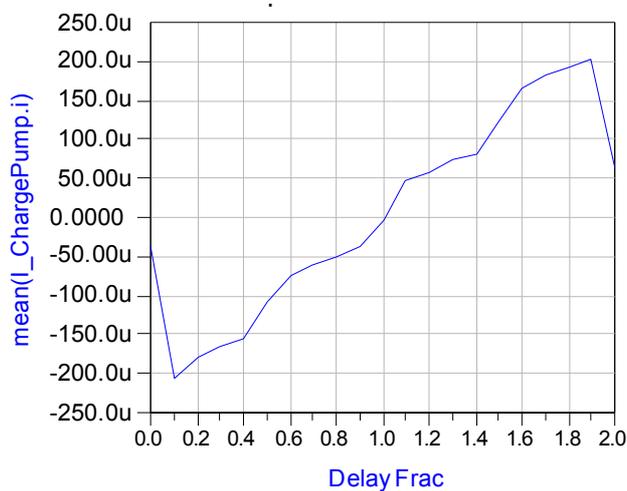


Figura 7.28. Simulación de la función de transferencia del detector de fase junto a la bomba de carga.

7.3.4. Divisor rápido por dos

Para poder atacar al divisor programable es necesario reducir la frecuencia. Si se utilizaran flip-flops convencionales éstos serían el cuello de botella del funcionamiento del sistema. Por tanto se han de diseñar flip-flops más rápidos. El circuito diseñado y su símbolo en ADS se muestran en la Figura 7.29.

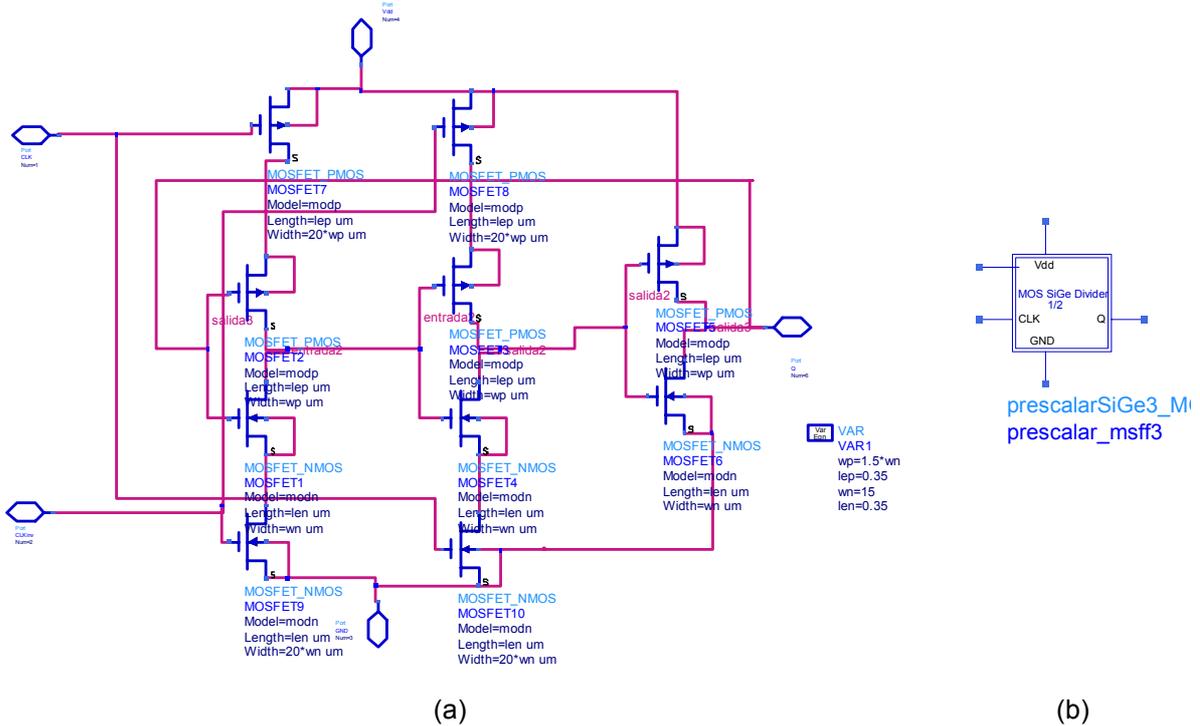


Figura 7.29. Esquemático del divisor rápido (a) y símbolo (b) en ADS.

Este circuito consta de dos inversores CMOS, que operan como *latches* dinámicos controlados por las señales de entrada *clk* y *clkn* provenientes del VCO, y de un inversor a la salida que actúa como *buffer*. El dimensionado de los transistores se ha realizado cuidadosamente para que el circuito funcione correctamente.

Mediante el circuito de la Figura 7.30 se ha comprobado el funcionamiento del divisor introduciéndole una señal periódica para la frecuencia máxima (5785 MHz) y mínima (5160 MHz).

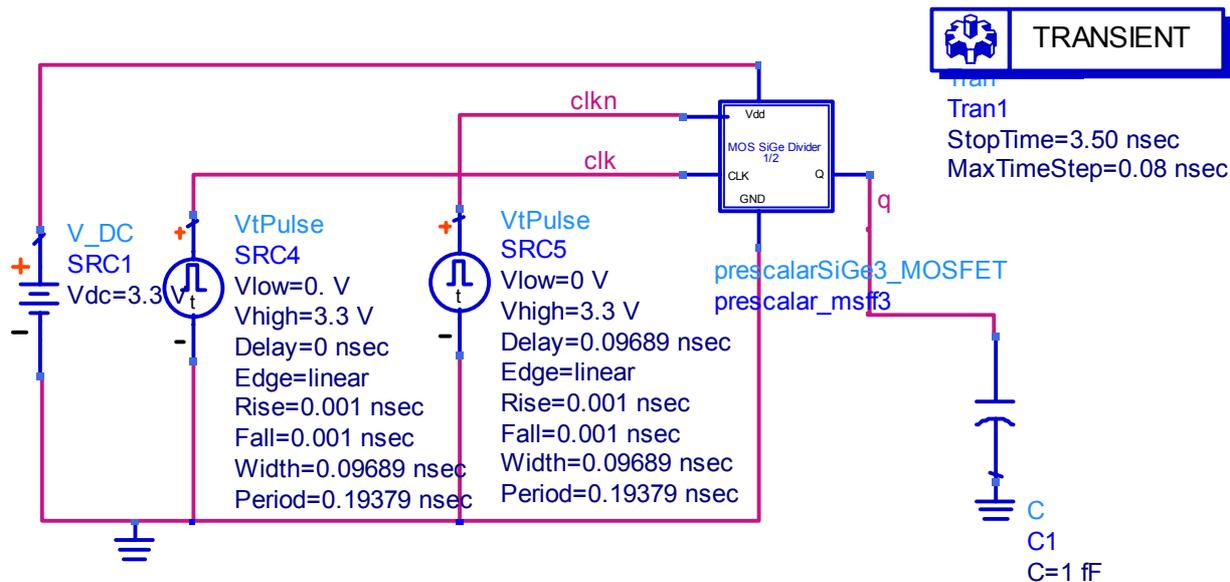


Figura 7.30. Esquema de simulación para comprobar el divisor rápido en ADS.

En la Figura 7.31 se observa la simulación del esquemático anterior para una señal de entrada de 5160 MHz donde tenemos la señal de entrada (clk) y la salida del divisor (q). Se comprueba que la frecuencia de entrada es el doble de la de salida por lo que el diseño es válido.

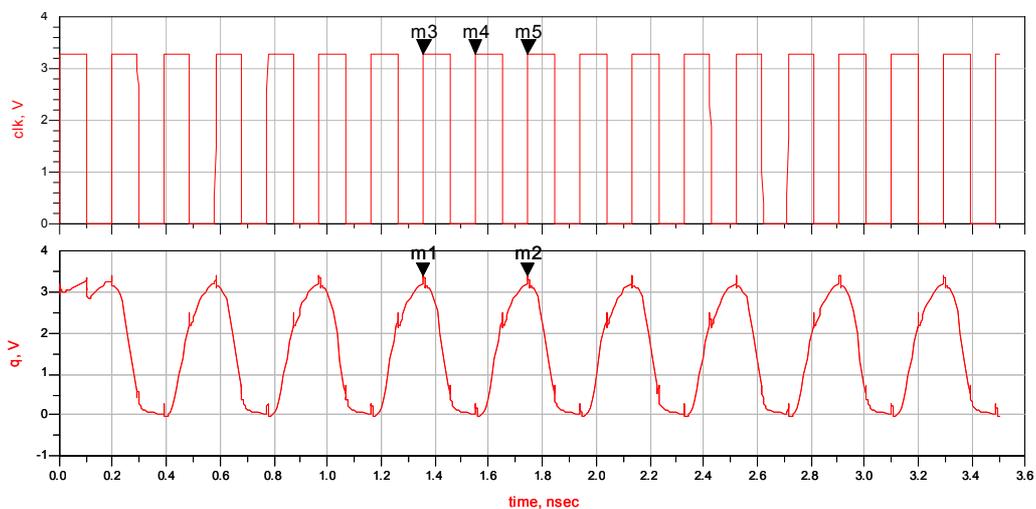


Figura 7.31. Simulación del divisor rápido para una señal de entrada de 5160 MHz.

En la Figura 7.32 se observa la simulación del divisor para una señal de entradas de 5785 MHz, donde también tenemos la señal de entrada (clk) y la salida del divisor (q). Se comprueba de nuevo que la frecuencia de entrada es el doble de la de salida.

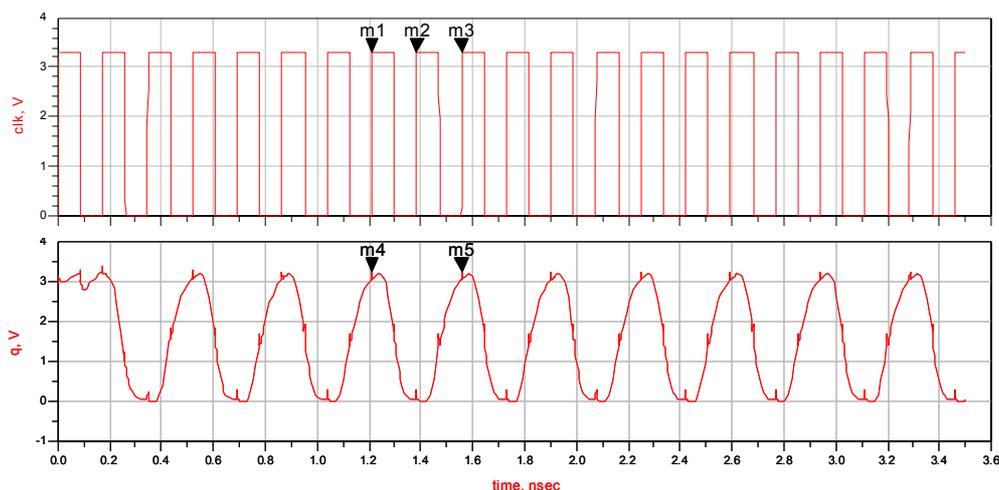


Figura 7.32. Simulación del divisor rápido para una señal de entrada de 5785 MHz.

7.3.5. Divisor programable

El divisor programable es el de doble módulo (ver Figura 7.33). Consta de un predivisor (*prescaler*) rápido que puede dividir por P+1 y P y de dos contadores programables (*presetable down counters*), A y Np, de baja velocidad. En este caso Np es mayor que A.

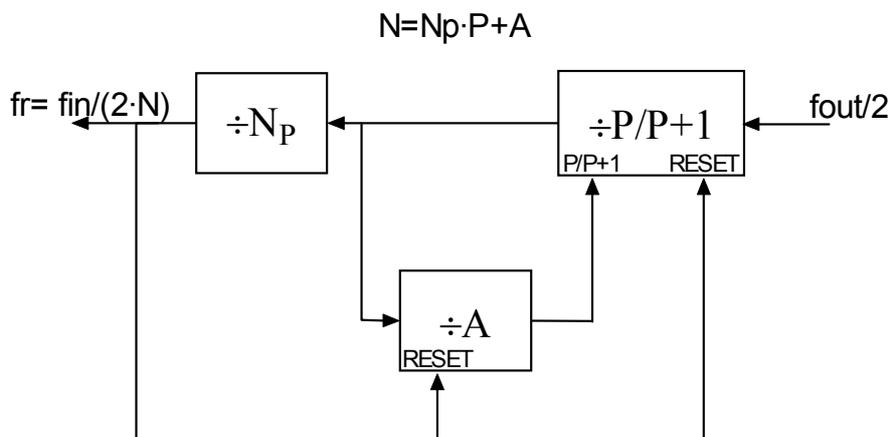


Figura 7.33. Diagrama de bloques del divisor programable.

Inicialmente el predivisor divide por P+1, y cada vez que entrega un impulso a su salida los contadores, inicializados a Np y A, se decrementan en una unidad. Cuando A llega a cero el predivisor pasa a dividir por P y así se mantiene hasta que Np llega a su vez a cero. A continuación se reinician P+1, Np y A y el proceso vuelve a empezar. El número total de impulsos que entran en el predivisor por cada uno que se entrega a la salida de Np es:

$$N = \underbrace{A \cdot (P + 1)}_{\text{para llevar A a cero}} + \underbrace{(N_p - A) \cdot P}_{\text{para llevar N}_p \text{ a cero}} \tag{7.39}$$

La frecuencia de salida es:

$$f_{out} = f_{in} / N = f_{in} / (N_p \cdot P + A) \quad (7.40)$$

En el caso de nuestro sintetizador, la frecuencia de salida del divisor es de 2.5 MHz por lo que el factor de división, N, tiene que variar entre 1157 (para $f_o=5785$ MHz) a 1032 (para $f_o=5160$ MHz). Si partimos de un predivisor de 4/5 la ecuación (7.40) queda:

$$f_{out} = f_{in} / (N_p \cdot 4 + A) \quad (7.41)$$

Hacemos que N_p varíe de 257 a 288 y que A varíe de 4 a 5. N_p actúa como ajuste grueso y A como ajuste fino. En la Tabla 7.6 se encuentran los valores que toman N_p y A para conseguir las frecuencias requeridas por el sintetizador.

Tabla 7.6. Valores que tiene que generar cada divisor para generar las frecuencias de cada banda

Frecuencia de entrada al divisor programable (MHz)	Valor del divisor programable ($N_p \cdot 4 + A$)	Valor de N_p	Valor de A
5160/2=2580	1032	257	4
5180/2=2590	1036	258	4
5200/2=2600	1040	259	4
5220/2=2610	1044	260	4
5240/2=2620	1048	261	4
5260/2=2630	1052	262	4
5280/2=2640	1056	263	4
5300/2=2650	1060	264	4
5725/2=2862.5	1145	285	5
5745/2=2872.5	1149	286	5
5765/2=2882.5	1153	287	5
5785/2=2892.5	1157	288	5

Para implementar este divisor se necesita diseñar un *prescaler* de 4/5 ($P/P+1$), un contador programable de 257 a 288 (N_p) y otro que divida entre 4 y 5 (A), pudiendo ser éste igual que el *prescaler*. El esquema final del divisor de doble módulo se puede observar en la Figura 7.34.

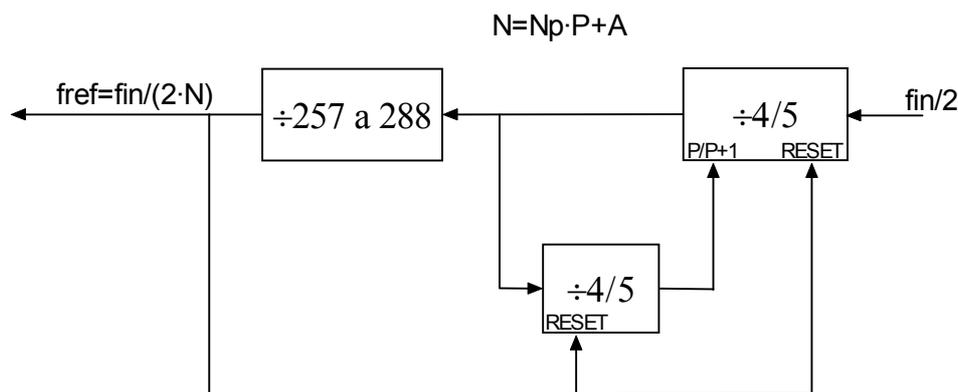


Figura 7.34. Esquema de bloques del divisor programable con los valores de los divisores.

No se va a describir el diseño a nivel de transistores del contador de doble módulo ya que es totalmente digital y su diseño e implementación no posee ningún tipo de problema.

7.3.6. Filtro de bucle

En este apartado primero se realiza una introducción al diseño de los filtros para después seguir con el diseño de los mismos.

7.3.6.1. Introducción

El filtro de bucle es elemento principal a considerar cuando se pretende analizar la estabilidad del lazo. Una vez diseñados los principales elementos del PLL, como el bombeo de carga o el oscilador principalmente, la estabilidad del PLL se puede asegurar sólo con los parámetros del filtro.

El filtro que se va a implementar es para un PLL tipo 2 debido a que, como se vio en el apartado 7.1.3.3, dichos PLL poseen un error de fase y de frecuencia igual a cero ante un escalón de fase y frecuencia respectivamente. Tal como se explicó en el apartado 7.2.3, al utilizar un detector de fase-frecuencia digital con bombeo de carga el filtro debe ser pasivo. Además va a tener un polo adicional para el filtrado de espurios (PLL de orden 3, tipo 2). Para realizar el diseño se parte de las especificaciones de los demás elementos del sintetizador que son:

- K_V o constante del VCO expresada en MHz/V.
- K_d o constante del detector de fase-frecuencia y bombeo de carga expresada en A/rad.
- f_{ref} o frecuencia de referencia.
- N o factor de división.

El método para el diseño de filtros para PLL más generalizado es el método de la ganancia en lazo abierto y el margen de fase [KEE96].

El margen de fase (Φ_p) se define como la diferencia entre 180° y la fase del bucle en lazo abierto para $\omega = \omega_p$, donde ω_p es la frecuencia para ganancia 0 dB de la función de transferencia en lazo abierto. Normalmente el margen de fase suele elegirse entre 30° y 70° . Por esta razón el valor elegido para empezar los cálculos ha sido 45° . En la Figura 7.35 se puede ver la representación gráfica de Φ_p y ω_p .

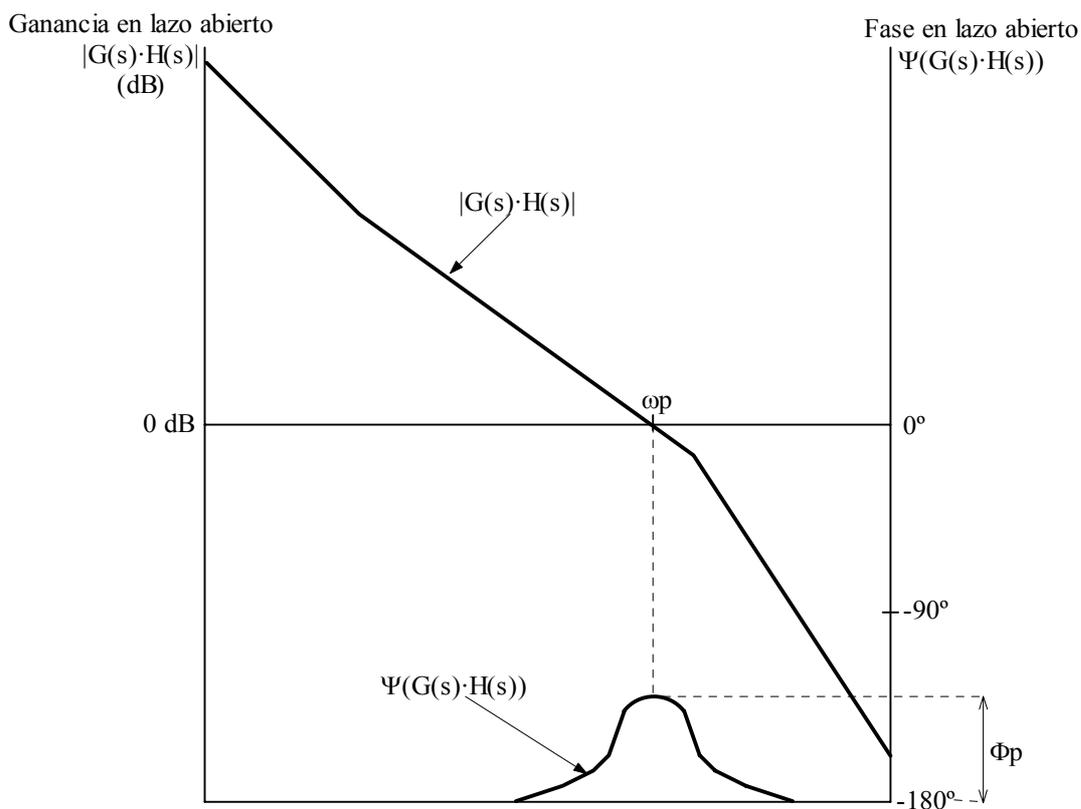


Figura 7.35. Diagrama de bode de la respuesta en lazo abierto del bucle.

A continuación se va a describir, basándonos en el método del margen de fase, el diseño del filtro pasivo de orden 3 para el sintetizador.

7.3.6.2. Diseño del filtro pasivo de orden 3

El filtro pasivo de orden 3, que corresponde a un PLL tipo 2, es el de la Figura 7.36. Se compone de un filtro de segundo orden (C_1 , R_2 y C_2) un polo extra (R_3 y C_3) para atenuar los espurios originados por el bombeo de carga.

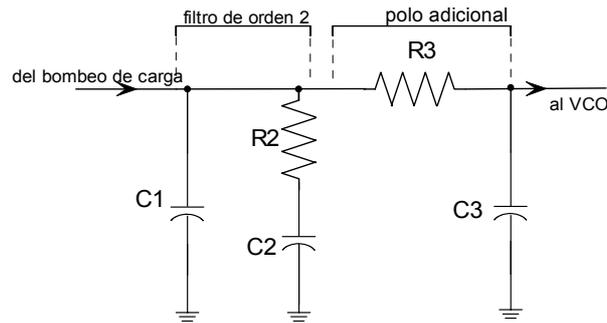


Figura 7.36. Filtro pasivo de orden 3.

La impedancia del filtro de segundo orden es:

$$Z(s) = \frac{s \cdot (C2 \cdot R2) + 1}{s^2 \cdot (C1 \cdot C2 \cdot R2) + s \cdot C1 + s \cdot C2} \quad (7.42)$$

Las constantes de tiempo T1 y T2 son:

$$T1 = R2 \cdot \frac{C1 \cdot C2}{C1 + C2} \quad (7.43)$$

$$T2 = R2 \cdot C2 \quad (7.44)$$

los cuales se pueden determinar a partir de K_v , K_d y N :

$$T1 = \frac{1/\sin(\Phi_p) + \tan(\Phi_p)}{\omega_p} \quad (7.45)$$

$$T2 = \frac{1}{\omega_p^2 \cdot T1} \quad (7.46)$$

$$C1 = \frac{T1}{T2} \cdot \frac{K_d \cdot K_v}{\omega_p^2 \cdot N} \cdot \sqrt{\frac{1 + (\omega_p \cdot T2)^2}{1 + (\omega_p \cdot T1)^2}} \quad (7.47)$$

$$C2 = C1 \cdot \left(\frac{T2}{T1} - 1 \right) \quad (7.48)$$

$$R2 = \frac{T2}{C2} \quad (7.49)$$

El bombeo de carga genera ruido en forma de corriente debido a la conmutación que en él se produce a la frecuencia de referencia. Dicho ruido puede generar a la salida del VCO bandas laterales moduladas en frecuencia. Normalmente, la frecuencia de referencia es múltiplo del espaciado entre canales. Estas bandas laterales pueden causar ruido en canales adyacentes y por ello es necesario un filtrado adicional, que filtre los espurios ocasionados por la frecuen-

cia de referencia. Este filtrado se hace mediante R3 y C3. El valor de la atenuación y la constante de tiempo del polo adicional son:

$$\text{Atenuación} = 20 \cdot \log_{10} \left[(2 \cdot \pi \cdot \text{fref} \cdot R3 \cdot C3)^2 + 1 \right] \quad (7.50)$$

$$T3 = R3 \cdot C3 \quad (7.51)$$

$$T3 = \sqrt{\frac{10^{\frac{\text{Atenuación}}{20}} - 1}{(2 \cdot \pi \cdot \text{fref})^2}} \quad (7.52)$$

Para atenuar los espurios, el polo adicional debe estar por debajo de la frecuencia de referencia. Además, para conseguir que el sistema se mantenga estable, dicho polo debe ser 5 veces mayor que el ancho de banda del bucle. Para compensar la pérdida de prestaciones ocasionada por el nuevo polo, los valores del filtro deben ser recalculados utilizando una nueva ωc (frecuencia para ganancia 1), la cual es ligeramente inferior a ωp . El empeoramiento del margen de fase se puede corregir aumentando ligeramente C1 y C2 y disminuyendo R2. Resumiendo, los valores de T1 y T2 son de nuevo calculados utilizando el valor de ωc .

$$T2 = \frac{1}{\omega c^2 \cdot (T1 + T3)} \quad (7.53)$$

$$\omega c = \frac{\tan \Phi \cdot (T1 + T3)}{(T1 + T3)^2 + T1 \cdot T3} \cdot \left(\sqrt{1 + \frac{(T1 + T3)^2 + T1 \cdot T3}{\tan^2 \Phi \cdot (T1 + T3)^2}} - 1 \right) \quad (7.54)$$

$$C1 = \frac{T1}{T2} \cdot \frac{K_d \cdot K_v}{\omega c^2 \cdot N} \cdot \sqrt{\frac{1 + \omega c^2 \cdot T2^2}{(1 + \omega c^2 \cdot T1^2) \cdot (1 + \omega c^2 \cdot T3^2)}} \quad (7.55)$$

$$C2 = C1 \cdot \left(\frac{T2}{T1} - 1 \right) \quad (7.56)$$

$$R2 = \frac{T2}{C2} \quad (7.57)$$

Se suele poner $C3 < C1/10$ y $R3 > 2 \cdot R2$ para que T3 no interfiera en los polo principales.

Para el sintetizador a diseñar se han realizado los cálculos para las especificaciones siguientes:

- Φ_p (margen de fase)=45 °.
- $K_v = \frac{\Delta f}{\Delta v} = \frac{(5886 - 5165) \text{ MHz}}{(2 - 2.25) \text{ V}} = -2884 \text{ MHz/V}$
- $K_d = 32.61 \text{ } \mu\text{A/rad}$
- $\text{fref} = 2.5 \text{ MHz}$

- $N = f_{out}/f_{ref}$ = de 2314 (para $f_{out}=5785$ MHz) a 2064 (para $f_{out}=5160$ MHz)
- Atenuación de espurios = 20 dB

Utilizando las ecuaciones (7.45) y de la (7.52) a la (7.57) y haciendo $C3 < C1/10$ y $R3 > 2 \cdot R2$ se obtienen los valores del filtro (ver Tabla 7.7).

Tabla 7.7. Valores de los componentes del filtro pasivo de orden 3

C1	4.076 nF
C2	21.89 nF
C3	23.87 nF
R2	766 Ω
R3	8 K Ω

Una vez obtenido los valores del filtro, en el siguiente apartado, se comprobará si con este filtro el sintetizador es estable.

7.4. Simulación del sintetizador

En este apartado se muestran las simulaciones realizadas al sintetizador. La primera consiste en la simulación de la respuesta del bucle, en la cual se comprueba el margen de fase para ver si el sistema es estable. El VCO está modelado por el elemento de librería de ADS llamado LinearVCO_pllib y el divisor por el elemento LinearDivider.

El segundo tipo de simulación realizada es la respuesta transitoria. Con este análisis se verifica si el sintetizador se engancha ante un salto de canal. El VCO y los divisores están modelados mediante el elemento de librería que se encuentra en el ADS llamado VCO_DivideByN.

En la simulación de la respuesta transitoria se ha tenido que modelar la función de transferencia del VCO mediante la siguiente función exponencial:

$$\text{Frecuencia(MHz)} = 1672 \cdot \left(1 + e^{\frac{(V_{\text{control}} - 2.09)}{0.1607}} \right) \quad (7.58)$$

El elemento utilizado para este fin es el VCO_DivideByN. En la Figura 7.37 se representa la ecuación de modelado comprobando se ajusta perfectamente a la medida del VCO obtenida en el apartado 6.3.2 del capítulo 6.

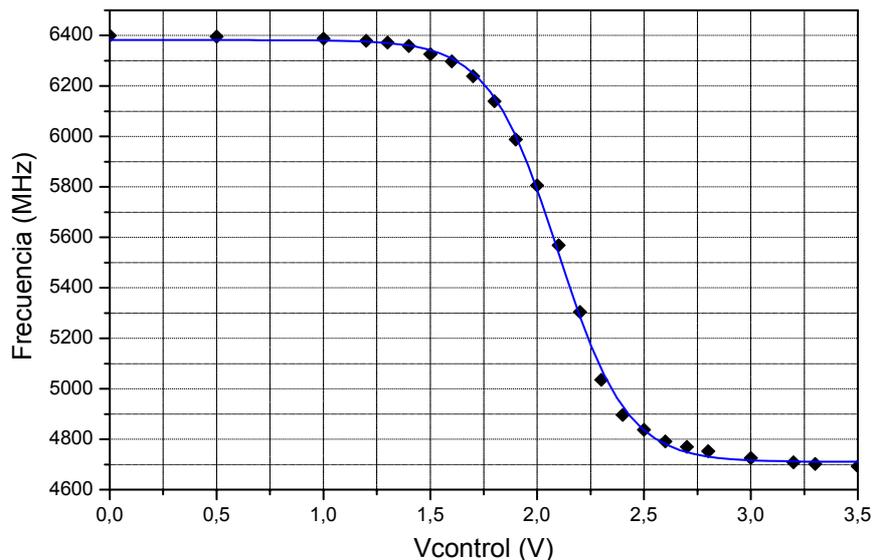


Figura 7.37. Función de transferencia del VCO modelada por una exponencial (en línea continua) y datos medidos (\blacklozenge).

7.4.1. Simulación de la respuesta del bucle

En la Figura 7.38 se muestra el esquema de simulación de la respuesta del sintetizador en bucle abierto y en la Figura 7.39 el correspondiente al bucle cerrado. Los valores de los parámetros empleados son los siguientes:

- El valor de los componentes del filtro son los de la Tabla 7.7.
- El valor de la I_d del elemento LinearPFD_pllib, el cual modela el detector y el bombeo de carga, es de $207 \mu\text{A}$, obtenido a partir de la K_d del apartado 7.3.3.
- La K_v del VCO, modelado por el elemento LinearVCO_pllib, es la calculada en el apartado 7.3.6.2 (-2884 MHz/V).
- El factor de división del divisor (N_o), el cual está modelado mediante el elemento LinearDivider, es el máximo (2314).

Con estos valores se ha obtenido la respuesta de la magnitud y fase en bucle abierto y cerrado del PLL (ver Figura 7.40).

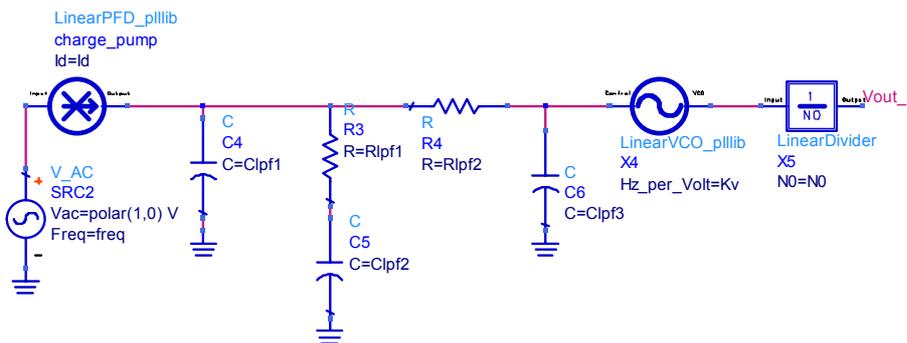


Figura 7.38. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3 para bucle abierto.

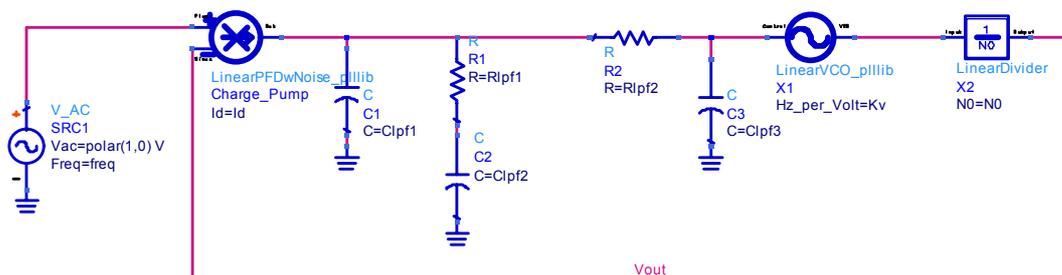


Figura 7.39. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3 para bucle cerrado.

En la Figura 7.40 (a) se observa que el valor de la frecuencia para ganancia 1 es de 25 KHz. Tal como se muestra en la Figura 7.40 (b) el margen de fase, el cual se calcula en bucle abierto, es de 45°, siendo el sistema estable.

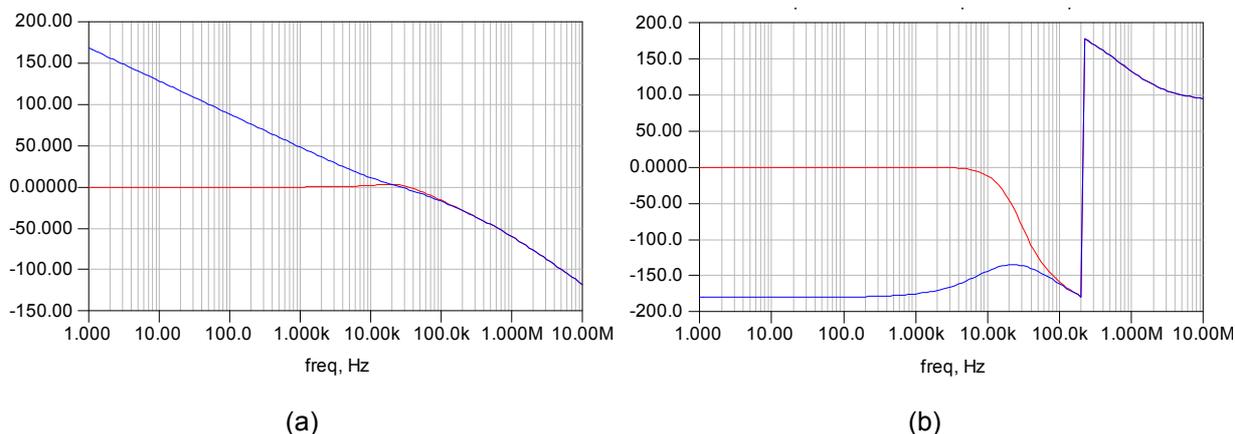


Figura 7.40. Simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3, representación de la magnitud en dB (a) y la fase en grados (b). En azul en bucle cerrado y en rojo en bucle abierto.

Con esta simulación se ha comprobado que los parámetros calculados en el apartado 7.3.6.2 son correctos.

7.4.2. Simulación del transitorio

Con esta simulación se comprueba si el sintetizador es capaz de cambiar de una frecuencia de salida a otra. En la Figura 7.41 se muestra el esquema de simulación utilizado en ADS para realizar dicha prueba. A continuación se muestra una breve descripción de cada bloque:

- El bloque PFD_CP corresponde al detector de fase más el bombeo de carga diseñado en el apartado 7.3.3. Este elemento no es modelado, sino real, es decir su descripción está hecha a nivel de transistores.
- El filtro pasivo de orden 3 es el calculado.
- El bloque VCO_DivideByN es un VCO ideal al cual se le ha puesto como característica tensión de control-frecuencia de salida la del VCO de la gráfica de la Figura 7.37. La salida del VCO elegida para la realimentación corresponde a la que se obtiene dividida dependiendo de la tensión V_{tStep} . De esta manera la salida primero es dividida por 2064 y a los 530 μs pasa a ser dividida por 2314. Estos factores de división corresponden a la frecuencia mínima y máxima que debe generar el sintetizador, es decir, 5160 MHz y 5785 MHz respectivamente. Utilizando dicho bloque, en vez del VCO real, se ha reducido el tiempo de simulación del sintetizador de meses a días. Esto es debido a que al utilizar frecuencias del orden de GHz (la del VCO) junto con frecuencias del orden de MHz (frecuencia de referencia), el número de muestras necesarias para conseguir una apreciación digna del comportamiento del sintetizador es muy elevada, necesitando mucho tiempo de simulación si utilizáramos el VCO real.

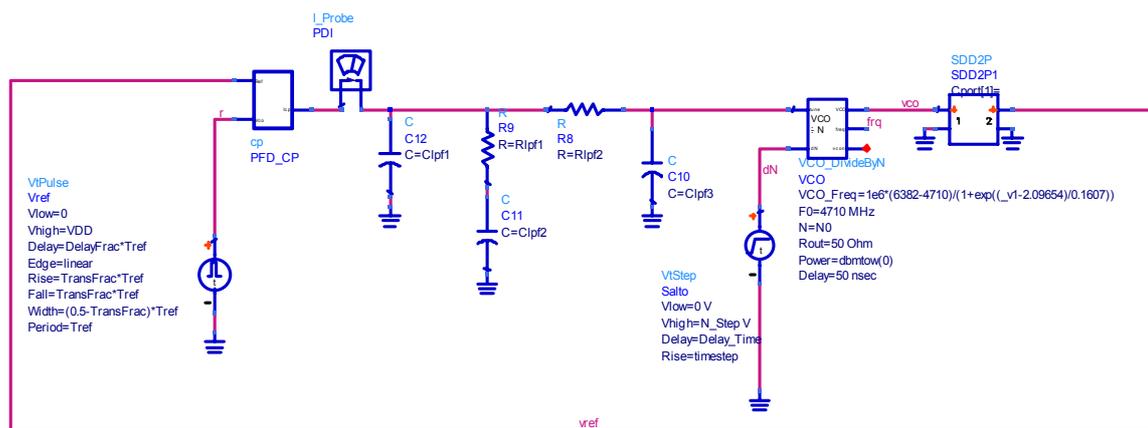


Figura 7.41. Esquema de simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3.

- SDD2P1 es un elemento que adecua la señal de salida del VCO ideal, la cual es de diente de sierra, a una señal que se asemeja más a la del VCO real, y así poder atacar al detector con más fiabilidad.
- Vref es la señal que actúa como frecuencia de referencia.

Se ha simulado el peor caso, que es el salto máximo de frecuencia entre el canal de 5160 MHz a 5785 MHz. El resultado de la simulación se puede ver en la Figura 7.42, observándose como varía la frecuencia de salida del VCO. La frecuencia de salida se obtiene de la salida frq del bloque VCO_DivideByN. frq da una tensión proporcional a la frecuencia de salida del VCO pero en GHz (como ejemplo, 1.2 Voltios en frq significa que el VCO tiene una salida de 1.2 GHz). Se observa claramente que el sintetizador se engancha a 5160 MHz en 0.1 ms. En el instante 0.53 ms se le aplica el cambio en el factor de división y el sintetizador cambia a la frecuencia de 5785 MHz en 0.59 ms. Se comprueba que el error de fase y frecuencia es cero.

En la Figura 7.43(a) se observa como varía la tensión de salida del filtro. Para una tensión de salida del filtro de 2.2 V el VCO genera la frecuencia de 5160 MHz mientras que para una tensión de salida de 2.1 V el VCO genera la frecuencia de 5785 MHz. En la Figura 7.43 (b) se muestra la corriente de salida del bombeo de carga, observándose pulsos de corriente negativos y positivos.

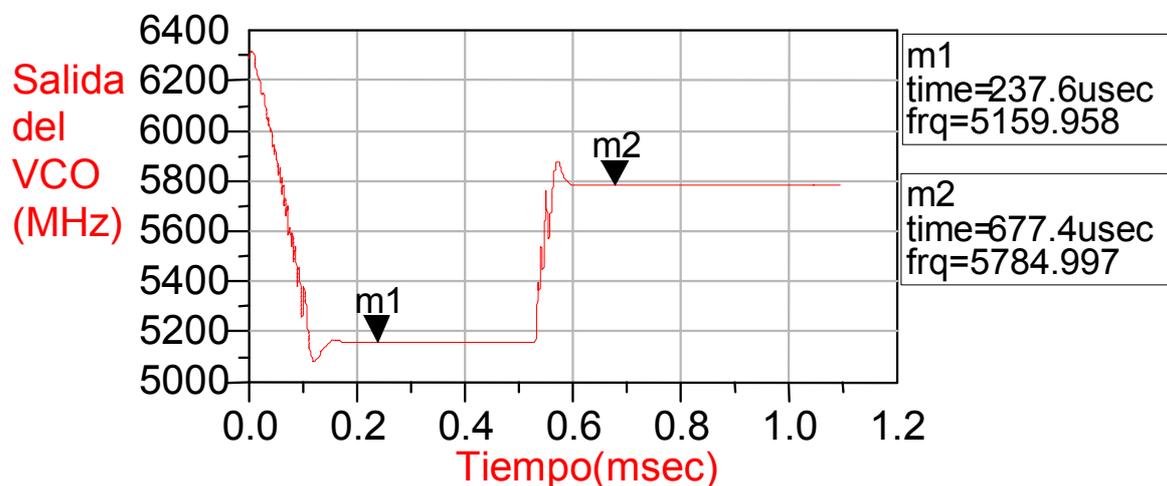


Figura 7.42. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3.

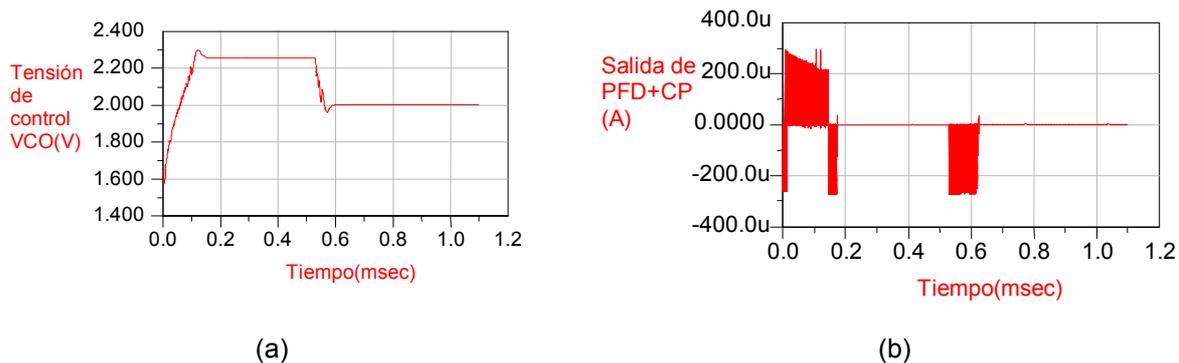


Figura 7.43. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3.

7.5. Conclusiones

En este capítulo se ha diseñado a nivel de esquemático un sintetizador para el receptor de baja frecuencia intermedia según el estándar IEEE 802.11a.

Primero se han estudiado los conceptos básicos de los PLL y de los sintetizadores de frecuencia para seguidamente mostrar la estructura del sintetizador utilizada. A continuación se ha diseñado a nivel de transistores los componentes que lo conforman, excepto el divisor de doble módulo, exponiendo las características de cada uno. El filtro de bucle elegido ha sido el pasivo de orden 3, correspondiente a un PLL de tipo 2, que proporciona un error de fase y frecuencia nulo. Además se ha utilizado un detector de fase-frecuencia digital.

Después de simular cada componente por separado se ha hecho una simulación conjunta de todo el sintetizador. Para el VCO y los divisores se han utilizado modelos de comportamiento con objeto de reducir el tiempo de simulación del sintetizador. Se ha verificado como el sintetizador se engancha para las frecuencias máxima y mínima en un tiempo no superior a 0.15 ms, comprobándose que el sistema es estable y que el error de fase y frecuencia es cero.

Capítulo 8

El filtro polifásico y el amplificador de FI

En el presente capítulo se realiza el estudio de los circuitos dedicados al tratamiento de la señal en la FI, es decir el filtro polifásico y el amplificador de FI. El primer apartado del capítulo está dedicado al estudio e implementación del filtro polifásico, mientras que el segundo está dedicado al diseño del amplificador operacional. Las prestaciones obtenidas de cada elemento se utilizarán en el capítulo siguiente, donde se simula el sistema.

8.1. El filtro polifásico

8.1.1. Introducción

La arquitectura de receptor de RF más utilizada en los últimos años es la de conversión directa [EMI03]. La elección de la FI alta, baja o cero se hace atendiendo a los siguientes criterios. Por ejemplo, una FI alta supone la utilización de filtros externos de alto factor de calidad. Esto implica una disminución de la integrabilidad del sistema y un aumento de la potencia

consumida por dichos filtros. Además, una FI alta dificulta el diseño de los circuitos de FI causando un aumento de la potencia consumida por los mismos. Por el contrario, si usamos una frecuencia intermedia igual a cero, el ruido *flicker* y los *offsets* de DC podrían degradar fuertemente la relación señal a ruido del sistema. Estos factores hacen que muchos de los diseños actuales se decanten por una arquitectura de FI baja. En este tipo de arquitecturas el principal problema es el rechazo de la frecuencia imagen que en estos casos es muy cercana a la frecuencia del canal deseado.

Existen diferentes posibilidades para llevar a cabo el rechazo de la frecuencia imagen dentro del propio chip. En primer lugar tenemos las arquitecturas Hartley y Weaver desarrolladas a mediados del siglo pasado [RAZ98] y más recientemente el uso de filtros polifásicos [AND00]. El principal problema de las primeras dos arquitecturas es que necesitan un desfase de 90° de un ancho de banda relativamente elevado. Además la arquitectura Weaver requiere el uso de un par de mezcladores extra, dos sintetizadores en lugar de uno y dos filtros paso-bajo de orden alto para eliminar la segunda frecuencia imagen. Esto implica un considerable aumento del consumo de potencia además de los efectos parásitos que toda esta circuitería extra introduce.

Los filtros polifásicos (también llamados filtros complejos) permiten el rechazo de la frecuencia imagen a frecuencias bajas y suponen sólo un pequeño aumento de la complejidad de los filtros paso-bajo que, de cualquier modo, hay que situar antes de los convertidores ADC.

Este apartado comienza con un estudio de la teoría de los filtros integrados. Se sigue con el estudio de los filtros gm-C. La forma en como se realiza la selección de frecuencias será explicada en el siguiente apartado. Finalmente se explicará el diseño del filtro polifásico para el receptor de 802.11a.

8.1.2. Teoría general sobre filtros integrados

8.1.2.1. Introducción

Un filtro es un dispositivo diseñado para dejar pasar todas las frecuencias dentro de un rango especificado (banda de paso) y para rechazar todas las frecuencias fuera de este rango (banda de rechazo). Idealmente, un filtro tiene pérdidas cero en la banda de paso y pérdidas infinitas en la banda de rechazo, y no causa ninguna distorsión a la señal que pasa a través de él.

De acuerdo a la función que realizan los filtros se clasifican como paso bajo (LPF), paso alto (HPF), paso banda (BPF) y de banda eliminada (SBF) (véase la Figura 8.1).

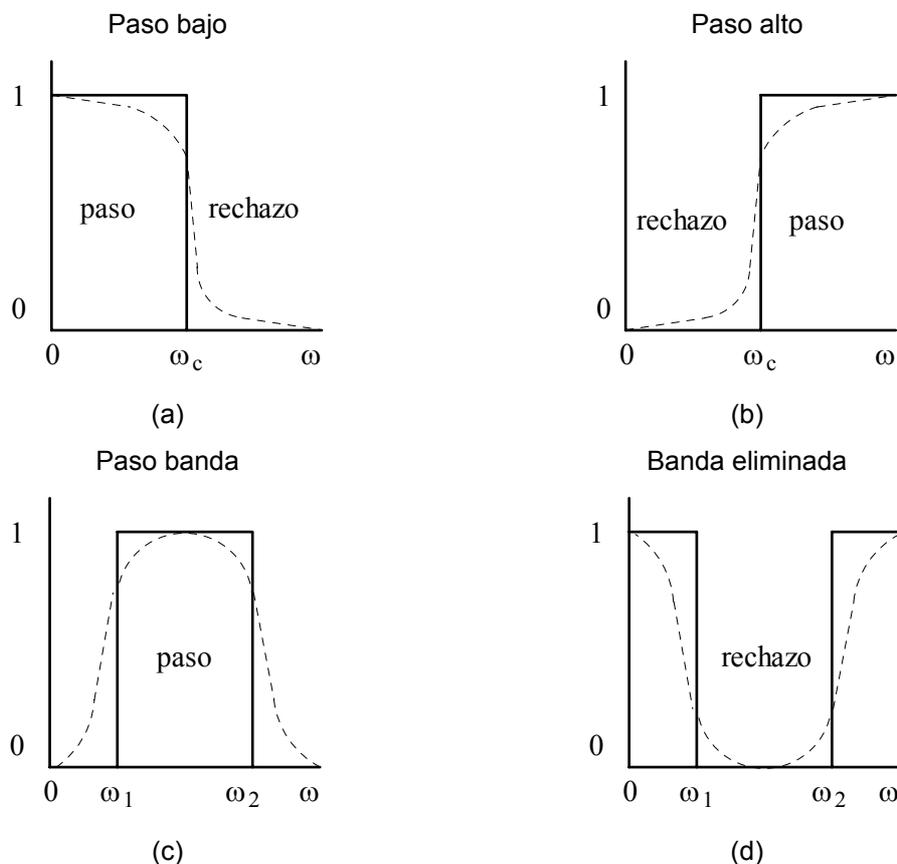


Figura 8.1. Respuesta en frecuencia de los cuatro tipos básicos de filtros Las líneas continuas son la función ideal y las líneas discontinuas la función real.

Puesto que es imposible realizar filtros con características ideales con cambios bruscos entre la banda de paso y la banda de rechazo, los filtros se hacen generalmente dentro de ciertas tolerancias en términos de la atenuación (α) en las bandas de paso y de rechazo (ver Figura 8.2).

Existen diferentes aproximaciones que nos permiten diseñar filtros con características parecidas a los filtros ideales, generalmente a expensas de otros parámetros. Las aproximaciones más importantes son:

- Butterworth.
- Chebyshev.
- Bessel-Thomson.
- Elíptico (igual rizado).
- Elíptico (máximamente plano).

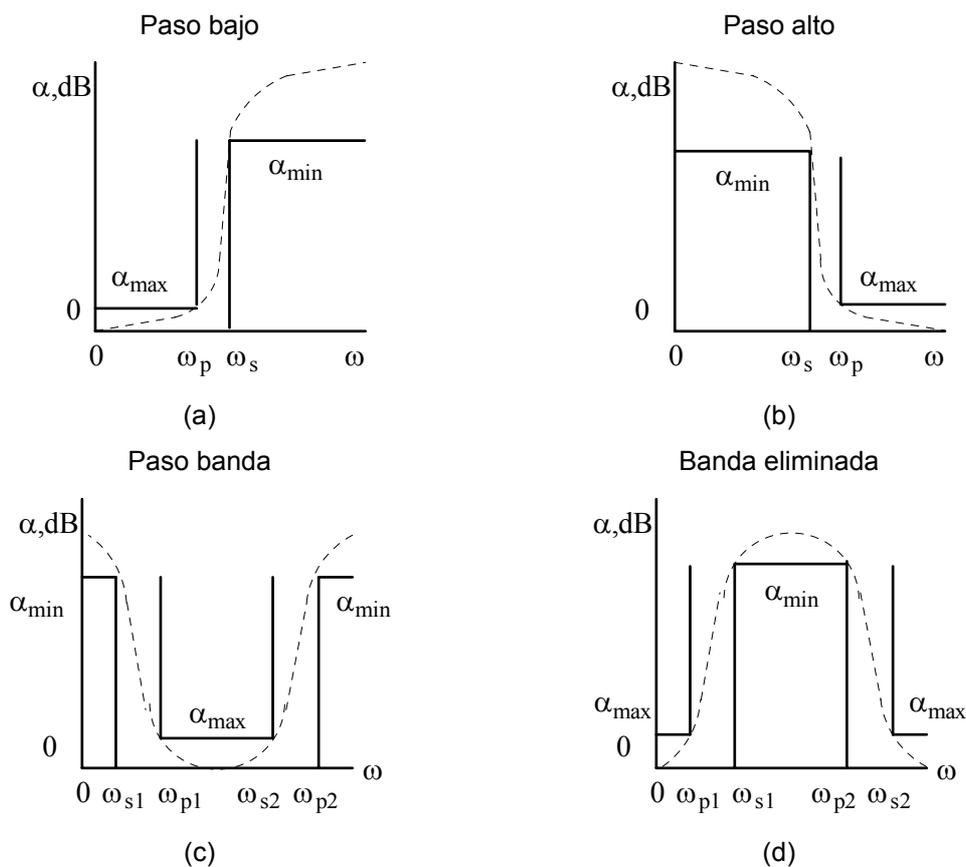


Figura 8.2. Especificaciones prácticas de la atenuación del filtro.

Los filtros Butterworth (ver Figura 8.3(a)) tienen una respuesta plana en la banda de paso. Esto significa que el valor de las pérdidas de inserción de este tipo de filtros es igual a las pérdidas de inserción máximas en el centro de la banda de paso y aumenta hasta un valor determinado en el borde de la banda de transición, a partir de este punto las pérdidas de inserción aumentan mucho más rápidamente que en la banda de paso. Debido a que la respuesta es plana en la banda de paso, este tipo de filtros tiende a tener baja distorsión de amplitud y fase. Como contrapartida, los filtros Butterworth presentan un rechazo fuera de la banda de paso no tan bueno como el de otros tipos de filtro.

La respuesta de los filtros Chebyshev (ver Figura 8.3(c)) presenta un rizado en la banda de paso. Esto significa que las pérdidas de inserción varían entre un mínimo y un máximo a lo largo de la banda de paso. Esto implica que la distorsión de amplitud y fase de estos filtros es mayor pero, como contrapartida, las características de rechazo de los filtros de Chebyshev son superiores a las de los filtros de Butterworth. De esta forma, con pocos componentes se pueden conseguir las pérdidas de inserción especificadas en la banda de rechazo, aunque con una distorsión en amplitud y fase más alta.

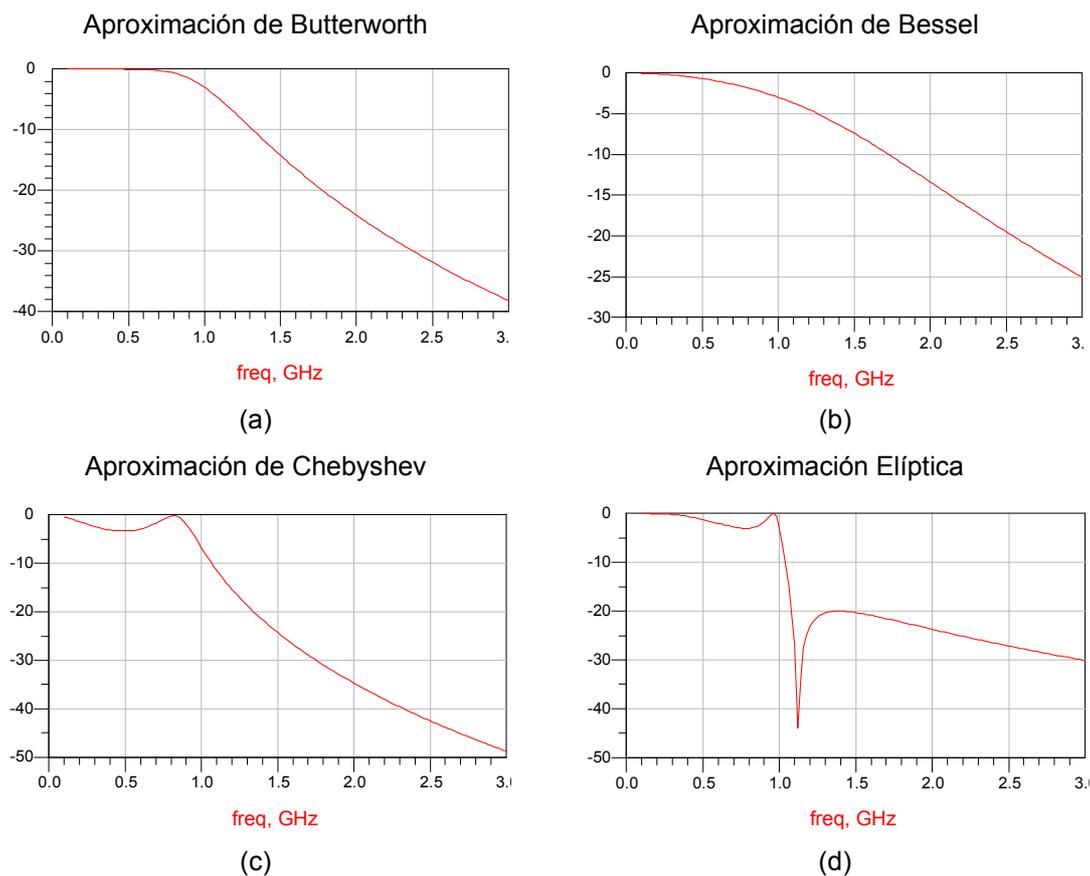


Figura 8.3. Funciones de transferencia típicas para filtros de cuatro polos.

Los filtros de Bessel-Thomson (Figura 8.3(b)) son una aproximación lineal en fase. El rechazo en la banda de rechazo no es tan bueno como en los filtros de Butterworth o de Chebyshev, pero la pendiente es asintótica de valor $6 \cdot n$ dB/octava, donde n es el orden del polinomio de Bessel en la aproximación paso-bajo.

Las respuestas elípticas (máximamente plana y de igual rizado, ver la Figura 8.3(d)) son idénticas en la banda de paso a las de los filtros de Butterworth y de Chebyshev, respectivamente. Sin embargo, hay una diferencia muy importante en la banda de rechazo. Las pérdidas de inserción alcanzan un valor infinito en una o más frecuencias en la banda de rechazo. Esto proporciona un rechazo de banda de igual rizado característico para ambos tipos de respuestas elípticas. La ventaja de los filtros elípticos es que la transición es mucho más rápida, aunque la estructura es un poco más compleja.

De acuerdo con la naturaleza de los componentes usados para implementar el filtro podemos distinguir entre dos tipos principales de filtros: los filtros pasivos y los filtros activos. En el siguiente apartado veremos esto en más detalle.

8.1.2.2. Filtros Pasivos

Un filtro pasivo es simplemente un filtro que no utiliza ningún elemento que amplifica (transistores, amplificadores operacionales, etc.). En términos del número de componentes necesarios, los filtros pasivos son la implementación más simple de una función de transferencia dada. Estos filtros tienen también otras ventajas. Debido a que no tienen ningún componente activo, no requieren ninguna fuente de alimentación. Además su respuesta no está limitada por las limitaciones en ancho de banda de amplificadores operacionales o cualquier otro tipo de circuito activo y, por tanto, pueden trabajar bien en alta frecuencia. Así mismo, los filtros pasivos se pueden utilizar en aquellas aplicaciones que implican corrientes o tensiones elevadas. Por último, los filtros pasivos generan poco ruido en comparación con los circuitos que usan elementos activos. El ruido que producen es simplemente el ruido térmico de los componentes resistivos y, si el diseño es cuidadoso, la amplitud de este ruido puede ser muy baja.

Sin embargo, los filtros pasivos tienen algunas desventajas importantes en ciertas aplicaciones. Al no utilizar ningún elemento activo, no pueden proporcionar ganancia. Además, para la síntesis de la mayoría de filtros pasivos son necesarios varios inductores, y el coste que implica su uso en circuitos integrados en términos de área puede ser prohibitivo.

8.1.2.3. Filtros activos

Los filtros activos utilizan elementos que amplifican, especialmente amplificadores operacionales (OA) y amplificadores operacionales transconductores (OTA), junto con resistencias y condensadores en sus lazos de realimentación. Los filtros activos pueden tener ganancia y además su impedancia de entrada y salida se puede ajustar a los valores deseados (en general esto no es siempre posible con los filtros pasivos). Este tipo de filtros son más fáciles de diseñar que los filtros pasivos (sobretudo si los comparamos con los distribuidos). Su cualidad más importante es posiblemente que carecen de inductores, de tal modo que se eliminan los problemas asociados a estos componentes. El funcionamiento en alta frecuencia está limitado por el producto ganancia-ancho de banda de los elementos que amplifican. Además, los filtros activos generarán ruido debido a la circuitería de amplificación, aunque haciendo un diseño cuidadoso y usando amplificadores de bajo ruido esto se puede reducir al mínimo. En [KUGEL] se puede encontrar una descripción detallada de los filtros activos basados en OA.

Otro tipo de filtros, llamados filtros de condensadores o capacidades conmutadas, supera algunos de los problemas inherentes a los filtros activos normales, y añade algunas nuevas cua-

lidades interesantes. Este tipo de filtros no necesita ningún condensador o inductor externo, y su frecuencia de corte se puede fijar con una exactitud muy alta (típicamente de 0.2%) mediante el uso de una frecuencia de reloj externa. Esto permite hacer diseños robustos y con alta repetibilidad con el coste reducido de osciladores baratos controlados por un cristal. Además la frecuencia de corte de este tipo de filtros se puede variar en un amplio rango simplemente cambiando la frecuencia de reloj, y su sensibilidad con respecto a cambios de temperatura es baja.

La principal diferencia entre los filtros de capacidades conmutadas y los filtros activos convencionales es que trabajan con datos muestreados, es decir, trabaja en tiempo discreto en lugar de en tiempo continuo.

El funcionamiento de los filtros de capacidades conmutadas se basa en la posibilidad de simular el funcionamiento de resistencias mediante el uso de condensadores integrados y conmutadores MOS. Si bien la tolerancia en el valor absoluto de las capacidades integradas es alta, su tolerancia con respecto a otros condensadores del chip se puede ajustar muy bien, dando por resultado filtros integrados cuyas frecuencias de corte son proporcionales y determinadas únicamente por la frecuencia del reloj externo.

La principal desventaja de los filtros conmutados es que presentan mucho más ruido a su salida (tanto ruido aleatorio como inyección del propio reloj) que los circuitos activos convencionales, y que su frecuencia máxima de operación está limitada a una frecuencia por el ancho de banda de los dispositivos activos [SCH01].

Debido a esta limitación, la aproximación de capacidades conmutadas no se suele utilizar para el filtrado en alta frecuencia donde la solución más común es utilizar los filtros activos basados en OTA. La mayoría de los OA se basa en la conexión en cascada de dos o más etapas de amplificación. Esta configuración proporciona una ganancia elevada pero convierte al circuito en inestable. Para evitar esta inestabilidad, se suele usar por lo general una red de realimentación de compensación, la cual disminuye el producto ganancia-ancho de banda del OA (GBW). Un OTA no es más que un OA sin la segunda etapa. Esto significa que hay menos nodos internos en el circuito y, por tanto, hay un aumento en el ancho de banda del circuito. Por esta razón, los filtros activos basados en OTA están especialmente indicados a la realización de filtros integrados de alta frecuencia. Este método de diseño utiliza solamente transconductores y condensadores y se denomina generalmente como filtros gm-C. Aunque la

aplicación fundamental de este método de diseño son los filtros de alta frecuencia, los circuitos gm-C se pueden utilizar también para el diseño de filtros integrados en frecuencias bajas.

La Figura 8.4 muestra una clasificación de filtros según el rango de frecuencias de funcionamiento. Como se puede apreciar, la aproximación gm-C es el método más conveniente para diseño de filtros FI.

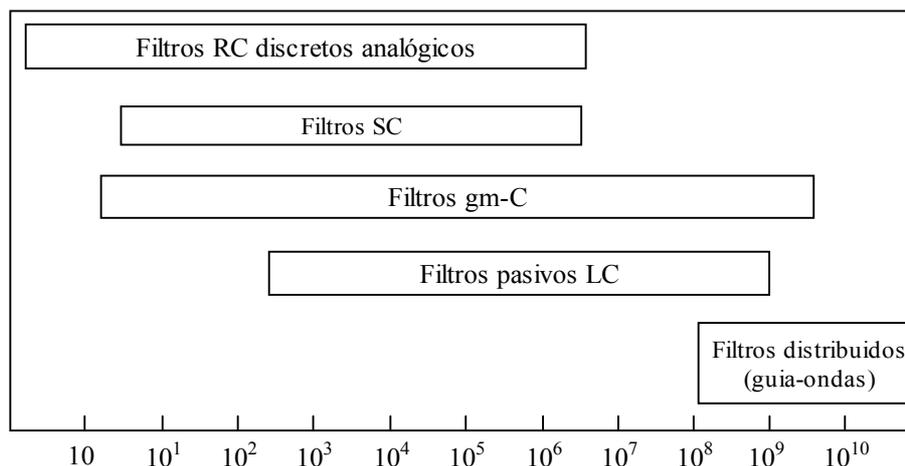


Figura 8.4. Clasificación de los filtros según el rango de frecuencias de funcionamiento.

8.1.2.4. Efectos de segundo orden

Además de inexactitudes de la aproximación teórica, los efectos de segundo orden más significativos son los siguientes:

- *DC-offset*: los *offsets* de continua pueden corromper la señal y, peor todavía, podrían saturar las etapas siguientes. Este efecto es más importante en filtros paso-bajo puesto que los paso-banda no usan la frecuencia cero. En caso necesario será necesario compensar este efecto mediante sistemas más o menos sofisticados que permitan el calibrado.
- Ruido: el ruido creado por los dispositivos semiconductores está presente en la salida de cualquier filtro construido con componentes activos. En la mayoría de los casos, las últimas etapas del filtro quitan el ruido presente en la banda de rechazo generado por las etapas precedentes, pero no hacen lo mismo con el ruido de la banda de paso. En la mayoría de los sistemas el ruido presenta pocos problemas ya que los filtros de FI están conectados generalmente a un convertidor ADC y la magnitud del ruido raramente excede del valor del bit menos significativo. Sin embargo, si queremos mejorar la exactitud de los datos deberemos reducir el ruido tanto como sea posible.
- Distorsión: Si los circuitos activos con los que está hecho el filtro presentan no linealidades, a la salida aparecerán componentes armónicas de la frecuencia de la señal de entrada.

Estos armónicos se convierten en entradas al convertidor ADC, que los convierte a digital con el resto de la señal. Igual que sucedía con el ruido, cada etapa del filtro paso-bajo quita las componentes de la distorsión de la banda de rechazo que genera la etapa anterior.

El nivel de distorsión varía con la frecuencia de la señal de entrada, la amplitud, la función de transferencia, y la frecuencia de corte. La distorsión armónica total (THD) es una especificación usada a menudo como representación numérica de la distorsión presente en la salida de un circuito activo. Este número es la suma del valor eficaz de las distorsiones armónicas individuales (es decir 2º, 3º...etc.) creada por la no linealidad de los componentes activos y pasivos en el circuito cuando es atacado por una entrada sinusoidal pura con una amplitud y una frecuencia dadas. Su medida requiere una entrada sinusoidal de muy baja distorsión, la eliminación de la componente correspondiente a la frecuencia fundamental de la salida y la medida de amplitud de los armónicos restantes que son típicamente 60 dB a 140 dB menores que el fundamental. En los filtros activos, el THD se especifica generalmente en el dBc (dB relativos a la amplitud de la componente fundamental) en una frecuencia y amplitud específicas (por ejemplo 10Vp-p para una desviación de 1 KHz).

La figura de mérito que relaciona los dos parámetros últimos, es decir, el ruido y la distorsión, es el rango dinámico (DR). El DR se define generalmente como el nivel de entrada máximo que el circuito puede tolerar respecto al mínimo nivel de entrada para el cual el circuito proporciona una calidad razonable de señal. En un filtro activo, las no linealidades definen el extremo superior (típicamente: la tensión de entrada máxima para tener un THD del 1%) y el ruido el extremo inferior. Las no linealidades en un filtro paso-bajo se pueden medir mediante el THD (veáse la Figura 8.5(a)). Sin embargo, en el caso de un circuito paso-banda, una medida más adecuada es la intermodulación de tercer orden creada por dos tonos en la banda o combinaciones de dos tonos en la banda de rechazo que producen espurios en la banda de paso (Figura 8.5(b)). Esta no linealidad es caracterizada por el punto de intercepción de tercer orden. Cuando la definición del rango dinámico se basa en el comportamiento de la intermodulación, el rango dinámico se llama “rango dinámico libre de espurios” (SFDR) [KUGEL].

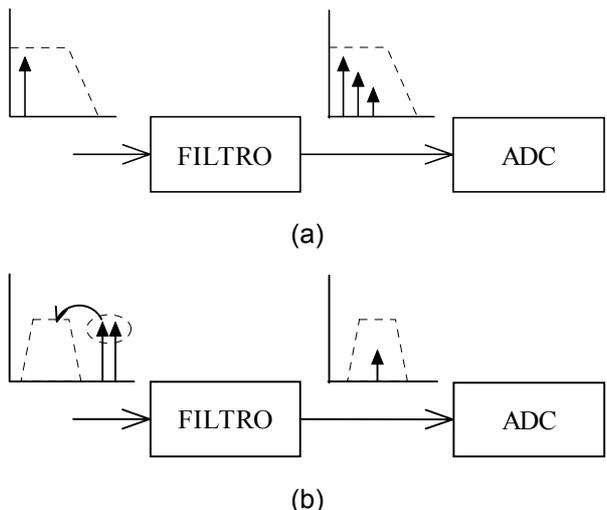


Figura 8.5. Distorsión producida por la no linealidad en un filtro (medida con el THD) (a). Distorsión producida por la intermodulación (medida con el IP3) (b)

8.1.3. Filtros gm-C

Como se comentó anteriormente, los filtros gm-C están compuestos por amplificadores de transconductancia y condensadores. En este apartado se presentan los conceptos básicos referidos a los filtros gm-C. El lector interesado puede encontrar una descripción más detallada en [SCH01] y [GEI85].

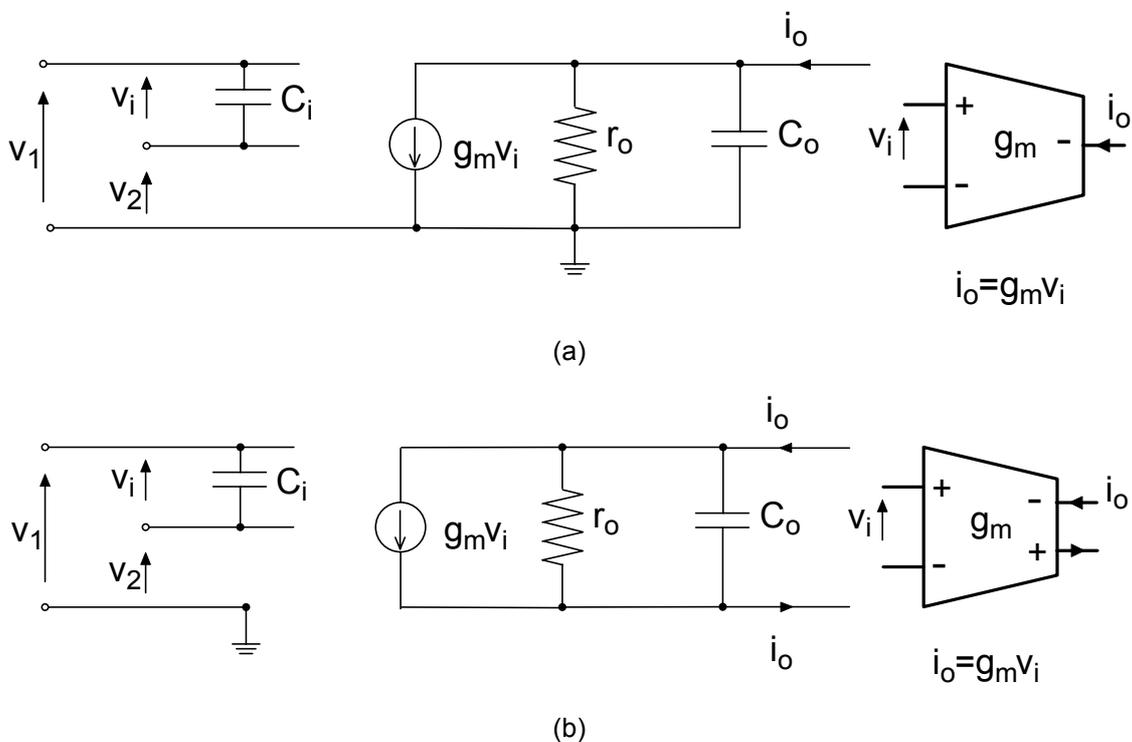


Figura 8.6. Símbolos de los OTA asimétrico (a) y diferencial (b) con sus circuitos equivalentes en pequeña señal.

8.1.3.1. OTA básico

Mientras que los amplificadores operacionales son fuentes de tensión controladas por tensión, los OTAs son fuentes de corriente controladas por tensión. De hecho un amplificador de transconductancia ideal no es más que una fuente de corriente controlada por tensión de ancho de banda infinita, con una impedancia de entrada y de salida infinitas. El símbolo usado para los OTA se muestra en la Figura 8.6 junto con el circuito equivalente en pequeña señal.

8.1.3.2. Circuitos básicos con OTAs

No es nuestra intención hacer una descripción detallada de todos los circuitos basados en OTA. Dejamos esta discusión a otras referencias [GEI85][SCH01]. Con el único ánimo de informar, en las figuras 8.7 a 8.9 se muestran algunos circuitos básicos: resistencias simuladas, integradores y giradores. Las expresiones y esquemas que describen a estos circuitos se pueden ver a continuación:

Para la resistencia:

$$R = \frac{V}{I} = \frac{V}{gm \cdot V} = \frac{1}{gm} \quad (8.1)$$

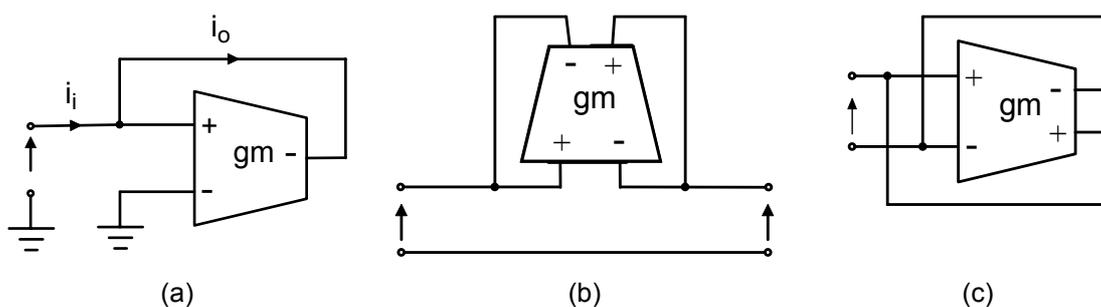


Figura 8.7. Resistencias simuladas con OTA, conectada a tierra (a), flotante (b) y negativa y diferencial (c).

Para el integrador:

$$\frac{V_o}{V_i} = \frac{gm}{s \cdot C} \quad (8.2)$$

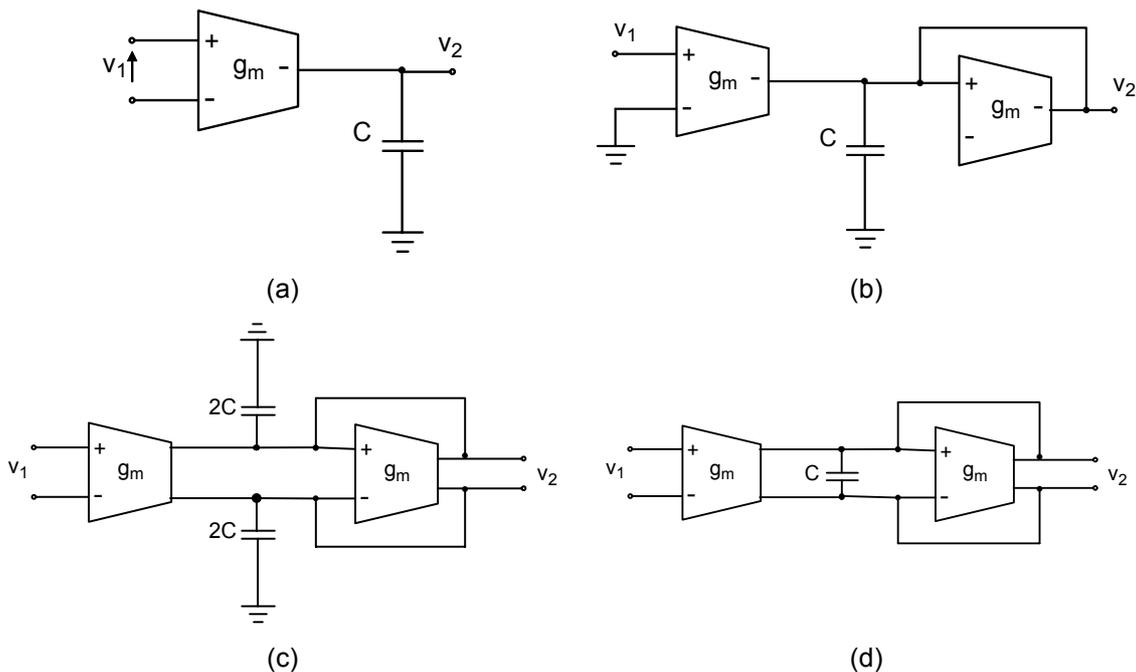


Figura 8.8. Integradores simulados con OTAs, asimétrico(a), asimétrico con carga resistiva (filtro de primer orden) (b), diferencial con carga resistiva con dos condensadores puestos a tierra (c) y diferencial con carga resistiva con condensador flotante (d).

Para el girador:

$$Z = \frac{V}{I} = \frac{s \cdot C}{gm^2} \rightarrow L = \frac{C}{gm^2} \tag{8.3}$$

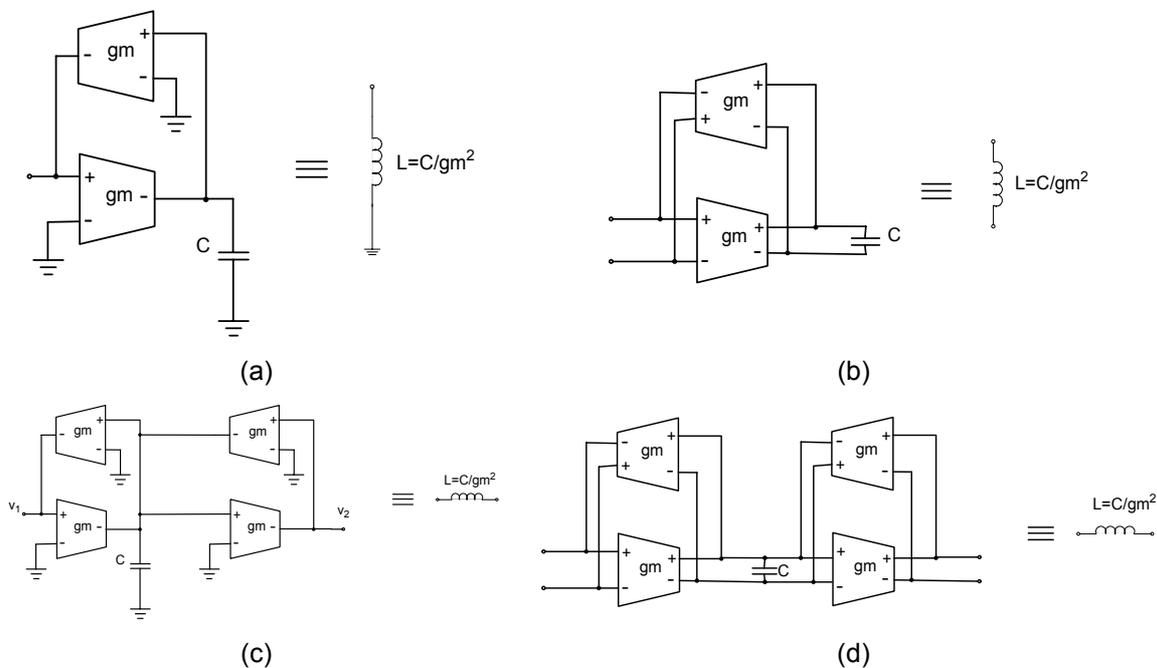


Figura 8.9. Giradores simulados con OTAs, implementación de una bobina conectada a tierra mediante OTAs asimétricos (a), implementación de una bobina conectada a tierra mediante OTAs diferenciales (b), implementación de un bobina flotante mediante OTAs asimétricos (c), implementación de un bobina flotante mediante OTAs diferenciales (d).

Según se muestra en la Figura 8.8 y en la Figura 8.9, hay dos métodos para diseñar un integrador, o un girador, completamente diferencial: con dos condensadores puestos a tierra de valor $2 \cdot C$ o con un condensador flotante de valor C . Esto significa que si conectamos el condensador de forma diferencial nos ahorramos tres cuartos del área del condensador (necesitamos $1 \cdot C$ en lugar de $4 \cdot C$). Sin embargo, la conexión diferencial tiene una desventaja. En la fabricación de condensadores integrados, la placa inferior, la que está situada al lado del sustrato, está conectada al sustrato mediante un condensador parásito cuyo valor no es despreciable (su valor es del orden del 10% del valor del condensador) (véase la Figura 8.10). Desde el punto de vista del integrador o del filtro completo, estos condensadores parásitos influyen en el comportamiento del circuito. Para eliminar este efecto, el condensador C debería tener su placa inferior conectada a la tierra (Figura 8.10(c)). Si conectamos el condensador de forma diferencial para ahorrar área del silicio, el diseñador debería conectar dos condensadores del valor $C/2$ en paralelo con las placas inferiores invertidas tal y como se muestra en la Figura 8.10(d). De esta forma los condensadores $C_g/2$ todavía están presentes pero se mantiene la simetría y el equilibrio del circuito.

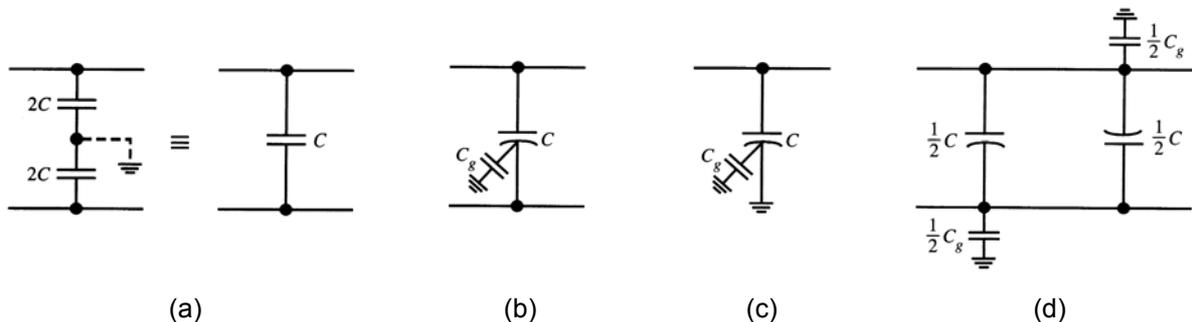


Figura 8.10. Conversión de dos condensadores en uno diferencial (a), representación del condensador parásito (b), forma correcta de conectar el condensador parásito en un condensador conectado a tierra (c) y conexión recomendada de un condensador flotante de valor C (d).

8.1.3.3. Filtros de primer y segundo orden

El filtro gm-C de primer orden universal se muestra en la Figura 8.11. Este circuito queda descrito por la siguiente función de transferencia:

$$\frac{V_2}{V_1} = \frac{a \cdot s \cdot C + gm_1}{s \cdot C + gm_2} \quad (8.4)$$

Las características fundamentales de este circuito son las siguientes:

- A partir de este circuito obtenemos un filtro paso alto de primer orden si hacemos gm_1 igual a cero quitando del circuito el transconductor correspondiente.
- La transconductancia gm_1 se puede hacer negativa si quitamos los cables cruzados y conectamos la salida invertida de gm_1 con los condensadores superiores y la salida no inversora con los inferiores.
- El valor de “a” puede variar entre $0 \leq a \leq 1$, permitiendo que ajustemos el coeficiente de “s” en el numerador. Esto permite que los ceros de la función de transferencia puedan estar dondequiera en el eje real.
- Para hacer un integrador ideal basta con eliminar la transconductancia gm_2 .
- Si hacemos $gm_1 = -gm_2$ y $a = 1$ obtendremos un filtro paso todo de primer orden que se pueda utilizar para hacer correcciones de fase.
- Intercambiando las conexiones + y - de los condensadores $2 \cdot a \cdot C$ de la entrada de gm_1 podemos cambiar el signo de la función de transferencia con lo que el circuito se convierte en inversor.

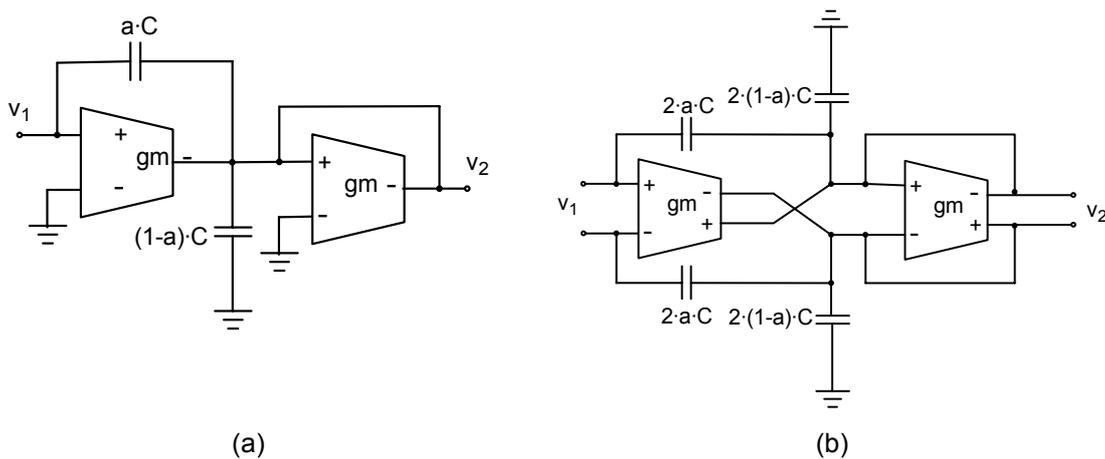


Figura 8.11. Filtro gm-C de primer orden universal asimétrico (a) y diferencial (b).

En la Figura 8.12 se muestra el filtro gm-C de segundo orden universal. Se observa que los dos condensadores $2 \cdot (1-a) \cdot C$ y los dos condensadores $2 \cdot (1-b) \cdot C$ en la implementación diferencial se pueden sustituir por un condensador de valor $(1-a) \cdot C$ y $(1-b) \cdot 3 \cdot C$, respectivamente. La función de transferencia que describe el comportamiento de este circuito viene dada por:

$$\begin{aligned}
 T(s) = \frac{V_o}{V_i} &= \frac{s^2 \cdot \left(b \cdot \frac{V_4}{V_i} \right) + s \cdot \left(b \cdot \frac{gm}{C_1} \cdot \frac{V_4}{V_i} - a \cdot \frac{gm}{C_2} \cdot \frac{V_3}{V_i} \right) + \left(\frac{gm_1}{gm} \cdot \frac{V_1}{V_i} \right) \cdot \frac{gm_2}{C_1 \cdot C_2}}{s^2 + s \frac{gm}{C_1} + \frac{gm^2}{C_1 \cdot C_2}} & (8.5) \\
 &= \frac{\alpha \cdot s^2 + \beta \cdot s + \omega_z^2}{s^2 + s \cdot \omega_0 / Q + \omega_0^2}
 \end{aligned}$$

donde

$$\omega_0 = \frac{gm}{\sqrt{C_1 \cdot C_2}}; \quad Q = \sqrt{\frac{C_1}{C_2}}; \quad \omega_z = \sqrt{\frac{gm_1 \cdot V_1}{gm \cdot V_i}} \quad (8.6)$$

Esta función de transferencia describe una función bicuadrática la cual puede tener ceros en cualquier lugar dependiendo de los valores de tensión V_{1-4} que se elijan. En esta función de transferencia las transconductancias gm_2 , gm_3 y gm_4 son iguales ($gm_2 = gm_3 = gm_4 = gm$). La transconductancia gm_1 es ajustable por separado para permitir que $\omega_z \neq \omega_0$. Nótese que la relación entre los condensadores es Q^2 , lo cual puede dar lugar a algunas dificultades en la implementación práctica si Q es grande. Las ecuaciones de diseño para los dos condensadores son las siguientes:

$$C_1 = \frac{gm}{\omega_0} \cdot Q; \quad C_2 = \frac{gm}{\omega_0} \cdot \frac{1}{Q} \quad (8.7)$$

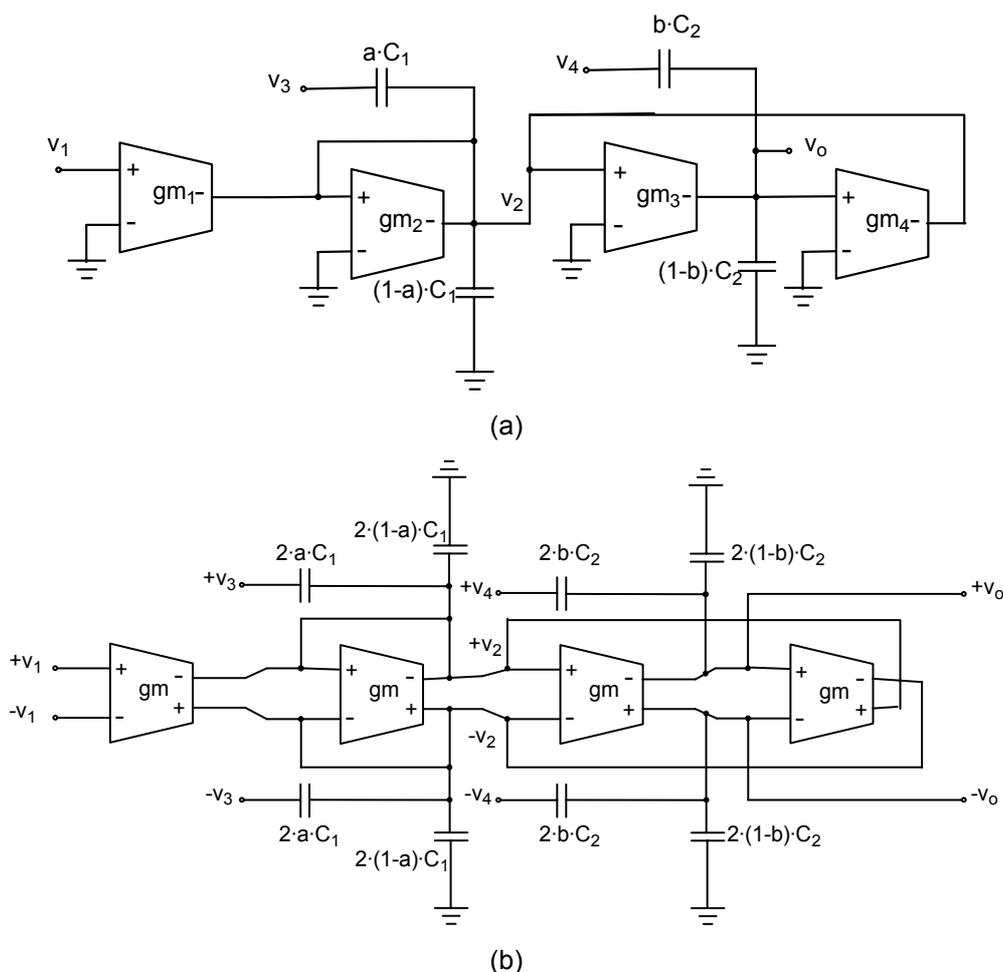


Figura 8.12. Filtro gm-C universal de segundo orden (biquadrático) asimétrico (a) y diferencial (b).

La Tabla 8.1 nos ayuda a construir cualquier filtro bicuadrático.

Tabla 8.1. Guía para el diseño de un filtro bicuadrático

FiltroTipo ^(a)	V ₁	V ₃	V ₄	a	b	gm ₁	H(0)	H(∞)
LP	V _i	0	0	0	0	H(0)·gm	gm ₁ /gm	0
BP ^(b)	0	V _i	0	H _M /Q ²	0	0	0	0
HP	0	V _i	V _i	a	a·Q ²	0	0	b=a·Q ²
BR ^(c)	V _i	V _i	V _i	a	a·Q ²	H(0)·gm	gm ₁ /gm	b=a·Q ²
AP	V _i	V _i	V _i	2Q ²	1	G _m	1	b=1

^(a) V₃ y/o V₄ deben ser iguales a -V_i para una cierta libertad adicional en la selección de los signos de los coeficientes.

^(b) H_M es la ganancia a mitad de banda.

^(c) Si gm₁/gm=b se obtiene un filtro de rechazo de banda (notch), si gm₁/gm>b uno paso-bajo, y si gm₁/gm<b uno paso alto de rechazo de banda.

8.1.3.4. Filtros de orden superior

Hay dos métodos para diseñar los filtros gm-C de orden superior (ver Figura 8.13):

- Conectar varias estructuras de primer y segundo orden en cascada.
- Simulación de filtros pasivos en escalera.

La segunda técnica consiste en diseñar primero el filtro pasivo que cumple con las especificaciones requeridas y luego sustituir las bobinas por giradores. Este método suele ser el más sencillo dado que diseñar un filtro pasivo es relativamente fácil gracias a la disponibilidad existente de programas de ayuda al diseño de los mismos [LCPAS] [MAXFR] [FISHER] [CASAGE] [ADSAG]. Además, los filtros desarrollados siguiendo este método son más robustos frente a las tolerancias de los componentes con los que está diseñado [SCH01].

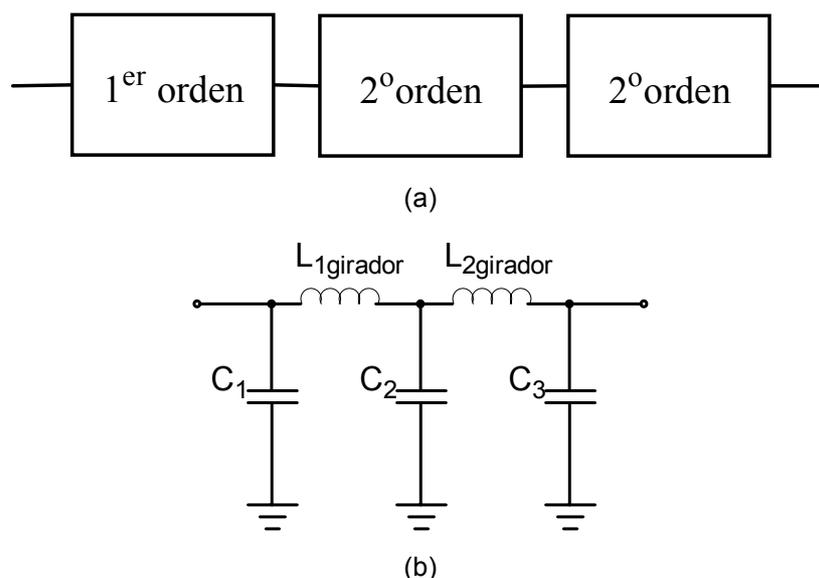


Figura 8.13. Diseño de un filtro de orden cinco conectando en cascada una etapa de primer orden y dos etapas de segundo orden (a), y simulando un circuito pasivo en escalera (b).

8.1.4. Teoría sobre filtros polifásicos

Los filtros polifásicos no son algo nuevo aunque si su utilización para rechazar la señal imagen en receptores de RF de FI baja. Para entender cómo son capaces de rechazar la señal imagen, consideremos la representación compleja del esquema de bloques del receptor mostrado en la Figura 8.14. Con objeto de simplificar el análisis, supondremos que sólo están presentes en la entrada del mezclador la señal deseada y su imagen. De esta forma, las frecuencias de la señal y de la imagen serán respectivamente $\omega_{OL} + \omega_{FI}$ y $\omega_{OL} - \omega_{FI}$. Después de eliminar los términos en $2 \cdot \omega_{OL}$ (el mezclador lleva implícita una característica paso-bajo), el resultado de mezclar las señales OL y RF en el dominio complejo es:

$$B = G_{\text{mezclador}} \cdot (\chi_{\text{señal}} e^{j\omega_{FI} \cdot t} + \chi_{\text{imagen}} e^{-j\omega_{FI} \cdot t}) = B_I + j \cdot B_Q \tag{8.8}$$

donde B_I y $j \cdot B_Q$ son las partes real e imaginaria de la salida del mezclador y se pueden expresar como:

$$B_I = G_{\text{mezclador}} \cdot (\chi_{\text{señal}} \cdot \cos(\omega_{FI} \cdot t) + \chi_{\text{imagen}} \cdot \cos(\omega_{FI} \cdot t)) \tag{8.9}$$

$$B_Q = G_{\text{mezclador}} \cdot (\chi_{\text{señal}} \cdot \sin(\omega_{FI} \cdot t) - \chi_{\text{imagen}} \cdot \sin(\omega_{FI} \cdot t)) \tag{8.10}$$

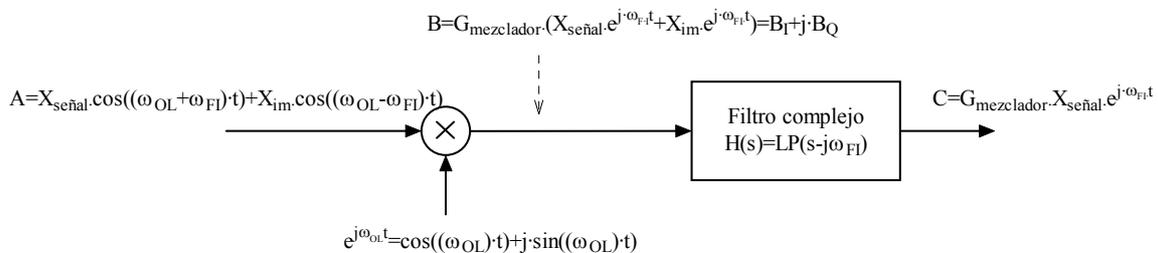


Figura 8.14. Representación en el dominio complejo de la arquitectura de rechazo de la frecuencia imagen.

En las ecuaciones (8.9) y (8.10) , tanto la señal deseada como la imagen en la rama I están desfasadas 90° con respecto a sus equivalentes en la rama Q. La Figura 8.15 muestra de forma gráfica el proceso de mezclado complejo de la señal deseada y su imagen. Después de la conversión se mantiene la separación entre la señal y la imagen ($2 \cdot \omega_{FI}$). El filtro de selección de canal complejo no es más que una versión desplazada en frecuencia de un filtro paso bajo. Esto significa que el filtro deja pasar la señal en $\omega = \omega_{FI}$, mientras que atenúa la señal en $\omega = -\omega_{FI}$.

Dado que el filtro tiene una respuesta asimétrica alrededor del eje $j\omega$, su respuesta en el dominio del tiempo es compleja. Este comportamiento difiere del de los filtros reales en los que los polos complejos son siempre conjugados. En los filtros complejos es posible tener polos complejos simples (de ahí su nombre) de forma que la respuesta en frecuencia de los filtros complejos es simétrica alrededor de ω_{FI} y no alrededor de 0.

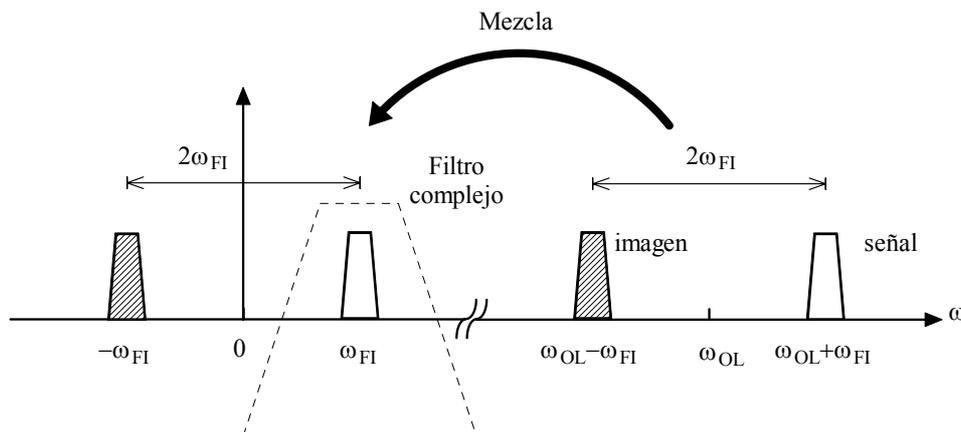


Figura 8.15. Traslación de frecuencia de una señal y su imagen con un mezclador en cuadratura y efecto del filtrado complejo.

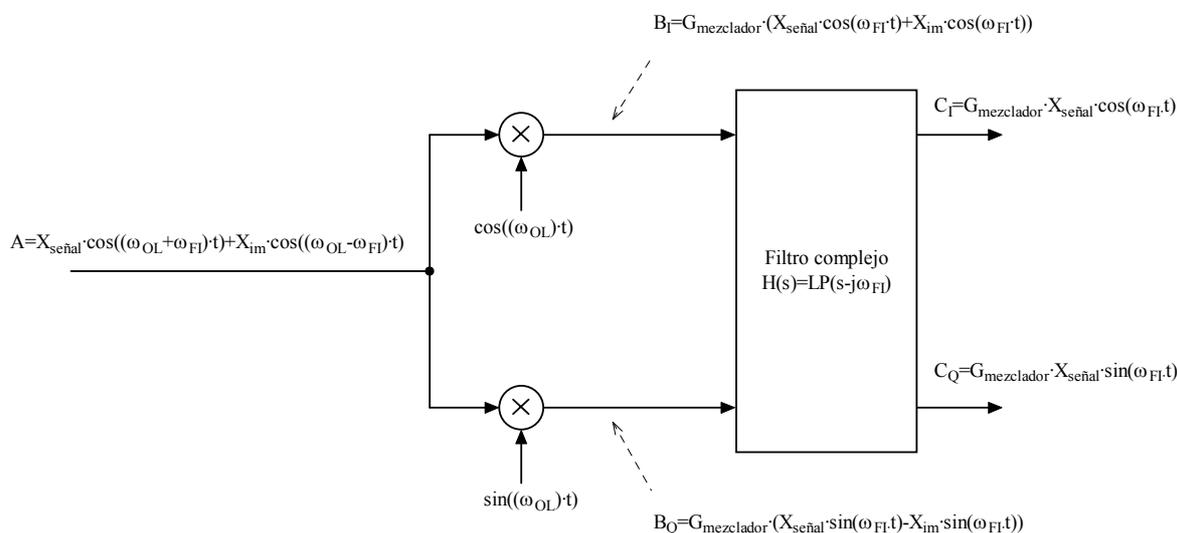


Figura 8.16. Implementación práctica del rechazo de la frecuencia imagen de la arquitectura de la Figura 8.15.

Estas operaciones complejas se realizan en la práctica de la siguiente forma. Mediante un mezclador en cuadratura, que consiste básicamente en dos mezcladores cuyas entradas OL están desfasadas 90° (ver la Figura 8.16), se lleva a cabo la multiplicación de la señal real de RF por $e^{j\omega_{FI}t}$. En la representación compleja de la Figura 8.14, la señal deseada a la salida del

mezclador se localiza a una frecuencia FI positiva mientras que la señal imagen es localizada a una frecuencia FI negativa. En la implementación real en la Figura 8.16, la señal deseada (o la imagen) en la rama I está desfasada 90° de la de la rama Q.

Tal y como se dijo anteriormente, un filtro polifásico es capaz de hacer la distinción entre la señal y la imagen basándose en la diferencia entre la fase de la rama I y la de la rama Q. En el dominio complejo, un filtro paso-banda polifásico es una versión desplazada de un filtro paso bajo. Para convertir un LPF en un BPF polifásico centrado en ω_{FI} , cada elemento dependiente de la frecuencia en el LPF se debe modificar para que sea una función de $s - j\omega_{FI}$ en lugar de “s” [SED85]. El elemento dependiente de la frecuencia básico en un filtro es el integrador. Si consideramos el caso mas simple de convertir un LPF de primer orden con una frecuencia de corte ω_{LP} , a un filtro BPF polifásico centrado en ω_{FI} , para desplazar en frecuencia la respuesta del LPF se debe insertar un lazo de realimentación tal y como se muestra en la Figura 8.17(a). La relación compleja entre la entrada y la salida vendrá dada por

$$\chi_o = \frac{\omega_o}{s + \omega_{LP} - j \cdot \omega_{FI}} \cdot \chi_i \quad (8.11)$$

donde $\chi_i = \chi_{iI} + j \cdot \chi_{iQ}$ y $\chi_o = \chi_{oI} + j \cdot \chi_{oQ}$. Teniendo en cuenta estas definiciones, esta ecuación se puede poner de la siguiente manera:

$$\chi_{oI} = \frac{\omega_o}{s + \omega_{LP}} \cdot \left(\chi_{iI} - \frac{\omega_{FI}}{\omega_o} \cdot \chi_{oQ} \right) \quad (8.12)$$

$$\chi_{oQ} = \frac{\omega_o}{s + \omega_{LP}} \cdot \left(\chi_{iQ} - \frac{\omega_{FI}}{\omega_o} \cdot \chi_{oI} \right) \quad (8.13)$$

Esta distinción entre la componente en fase y en cuadratura se hace en la práctica tal y como se muestra en la Figura 8.17 (b).

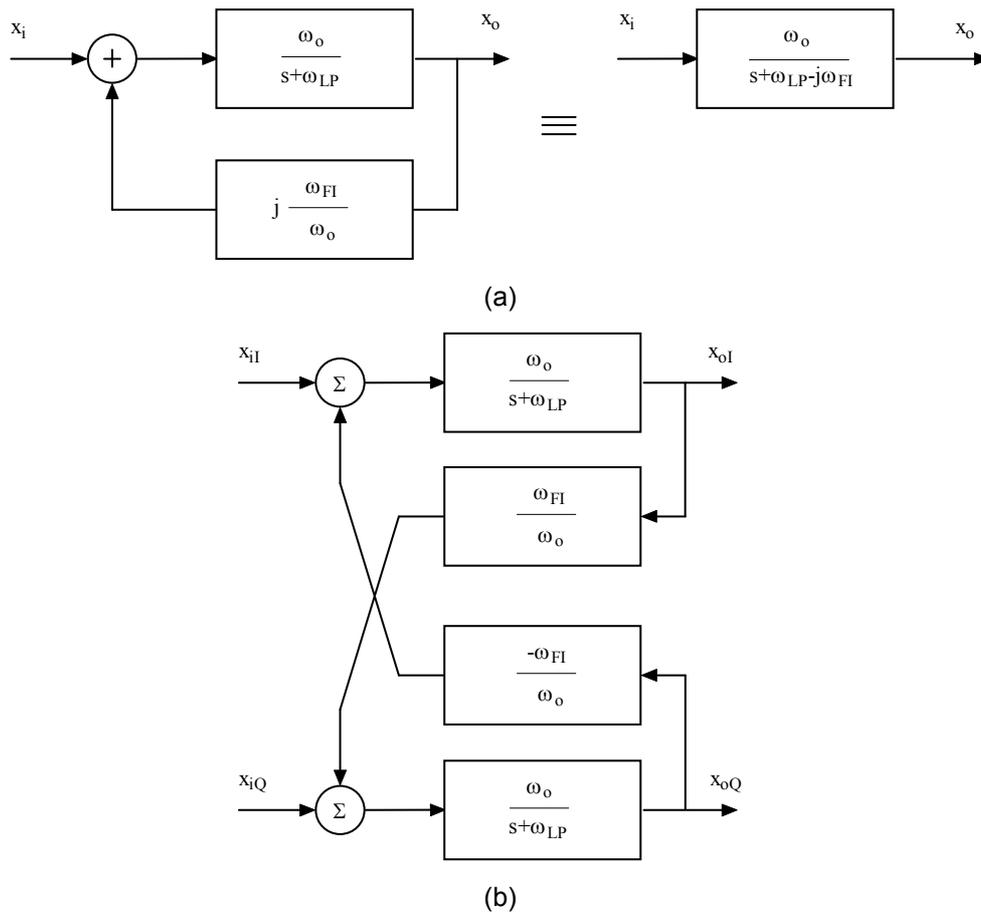


Figura 8.17. Conversión de un filtro paso bajo a uno polifásico centrado en ω_{FI} . Representación compleja (a), implementación mediante diagrama de bloques (b).

La traslación en frecuencias

$$H(s) \rightarrow H(s - j \cdot \omega_{FI}) \tag{8.14}$$

o lo que es lo mismo:

$$H(j \cdot \omega) \rightarrow H(j(\omega - j \cdot \omega_{FI})) \tag{8.15}$$

Se puede usar de forma directa para generar la estructura de un filtro paso-banda polifásico basado en la técnica gm-C ya que dicha traslación se puede aplicar a cada elemento reactivo en el filtro pasivo paso-bajo prototipo. Así, si nos fijamos en un condensador C cualquiera, éste se convierte a:

$$j \cdot \omega \cdot C \rightarrow j(\omega - \omega_{FI}) \cdot C = j \cdot \omega \cdot C - j \cdot \omega_{FI} \cdot C \tag{8.16}$$

donde $\omega_{FI} \cdot C$ es una conductancia con un valor independiente de la frecuencia. Esta traslación se podrá hacer solamente si tenemos señales en cuadratura tal y como se ha comentado anteriormente. En la Figura 8.18 se muestra un ejemplo de la utilización de esta técnica. El filtro paso-bajo C-L-C de la Figura 8.18(a) se convierte en un filtro gm-C paso-bajo en la Figura 8.18(b). La versión polifásica del filtro se muestra en la Figura 8.18(c) la cual está compuesta por dos filtros como el de la Figura 8.18(b) más los circuitos de traslación.

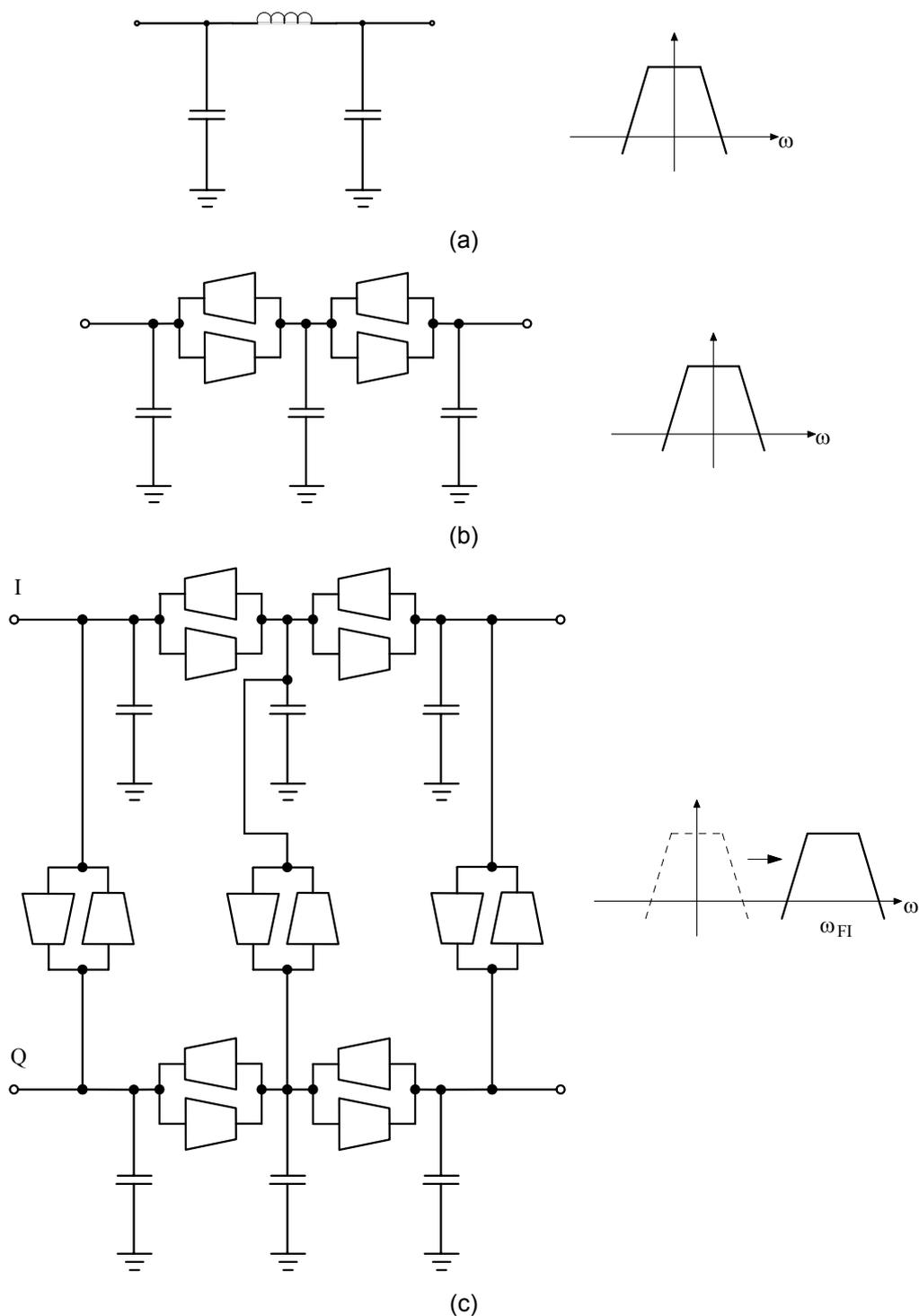


Figura 8.18. Filtro C-L-C (a), implementación gm-C (b) e implementación gm-C polifásica (c).

8.1.5. Implementación del filtro polifásico

En este apartado explicaremos el proceso de diseño del filtro polifásico para el receptor de 802.11a. Las especificaciones que debe tener nuestro filtro polifásico paso banda son las siguientes:

- Ancho de banda de 20MHz
- Frecuencia central a 20MHz
- Rechazo de -30dB a 40 MHz (es decir, a 20MHz de la frecuencia central del filtro).

El proceso de diseño comienza con la definición del filtro paso bajo pasivo prototipo. Una vez hecho esto pasamos a su transformación en un filtro activo tipo gm-C. Para ello, primero haremos la implementación usando transconductores ideales y seguidamente, tras estudiar el OTA real que vamos a utilizar, haremos la implementación real del filtro prototipo. Llegados a este punto, ya sólo nos faltaría convertir el filtro paso bajo de partida en un filtro polifásico paso banda mediante la transformación $H(s) \rightarrow H(s - j \cdot \omega_{FI})$. Para ello, en primer lugar utilizaremos transconductores ideales y posteriormente haremos la implementación real del filtro usando los transconductores reales.

8.1.5.1. Diseño del filtro pasivo paso bajo prototipo

Lo primero que debemos hacer es diseñar el filtro pasivo paso bajo prototipo. Las características de este filtro son las siguientes:

- Ancho de banda de 10MHz (recordemos que un filtro polifásico tiene el doble de banda de paso que un filtro paso bajo).
- Rechazo de -30dB a 20MHz.

Como se comentó en el apartado 8.1.3.4, a la hora de diseñar el filtro pasivo prototipo existe una amplia disponibilidad de programas de ayuda al diseño. Concretamente, nosotros hemos utilizado el programa de diseño de filtros que incorpora ADS denominado *Filter Design Guide*. En la Figura 8.19 podemos ver la ventana principal donde se le indica las características que debe tener el filtro. En concreto debemos definir las frecuencias donde debe estar la banda de paso y la banda de rechazo ($F_p=10\text{MHz}$ y $F_s=20\text{MHz}$), las impedancias de entrada y salida ($R_{\text{source}} = R_{\text{load}} = 1\text{K}\Omega$), la amplitud en dB en las bandas de paso y rechazo ($A_p = 3\text{dB}$ y $A_s = 30\text{dB}$) y, por último, el tipo de respuesta del filtro (Butterworth o Maximally Flat).

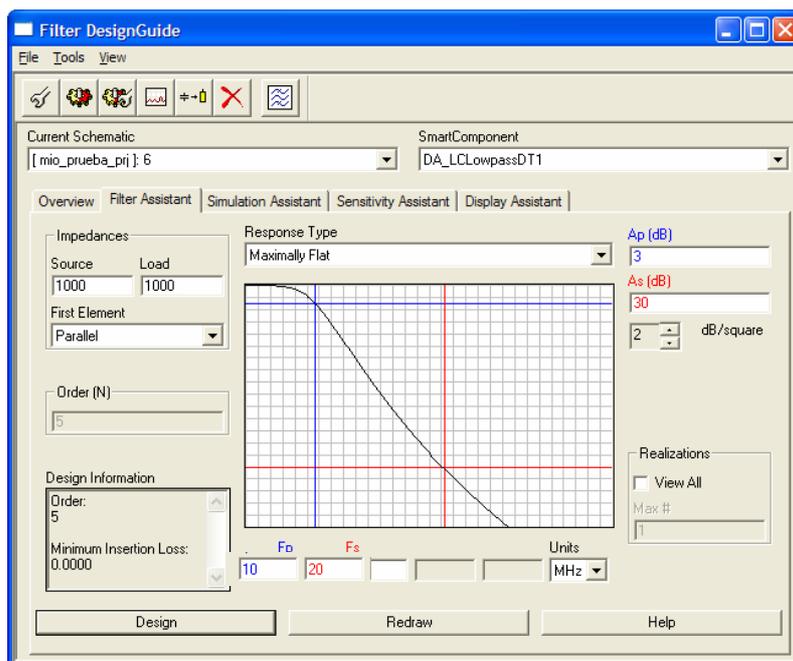


Figura 8.19. Guía de diseños de filtros en ADS.

Junto con el orden que debe tener el filtro ($N=5$) y la respuesta en frecuencia del mismo, la herramienta nos proporciona el circuito que lo implementa (ver Figura 8.20).

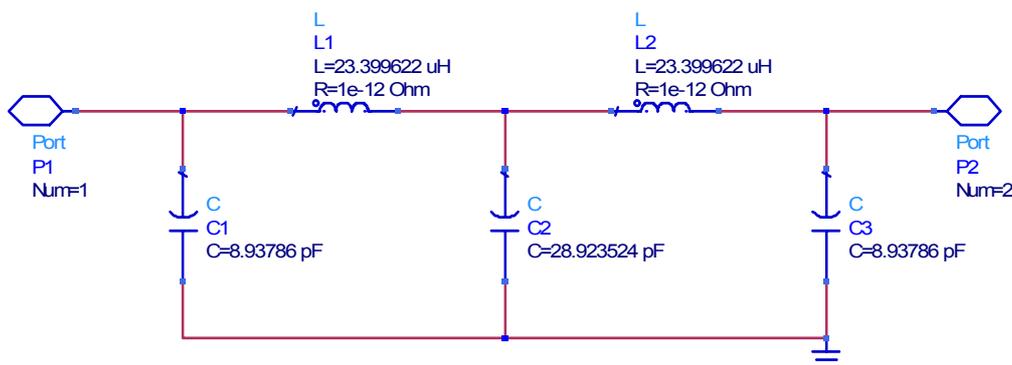


Figura 8.20. Filtro proporcionado por el ADS a partir de la guía de diseño de filtros.

8.1.5.2. Diseño del filtro activo paso bajo prototipo

Una vez tenemos la estructura del filtro pasivo pasamos a su implementación con transconductores. En principio utilizaremos OTAs ideales para luego pasar a su implementación con OTAs reales.

El circuito equivalente del OTA ideal que usaremos es el que se muestra en la Figura 8.21. Siguiendo el procedimiento de diseño descrito en el apartado 8.1.3, el filtro paso bajo activo queda tal y como se muestra en la Figura 8.22. Como podemos ver se ha tomado el filtro realizado con elementos pasivos del apartado anterior y se ha sustituido las bobinas por sus circuitos equivalentes con transconductores.

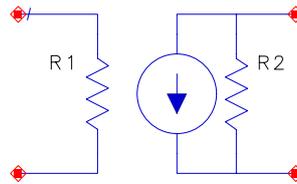


Figura 8.21. Circuito equivalente de OTA ideal utilizado inicialmente en las simulaciones.

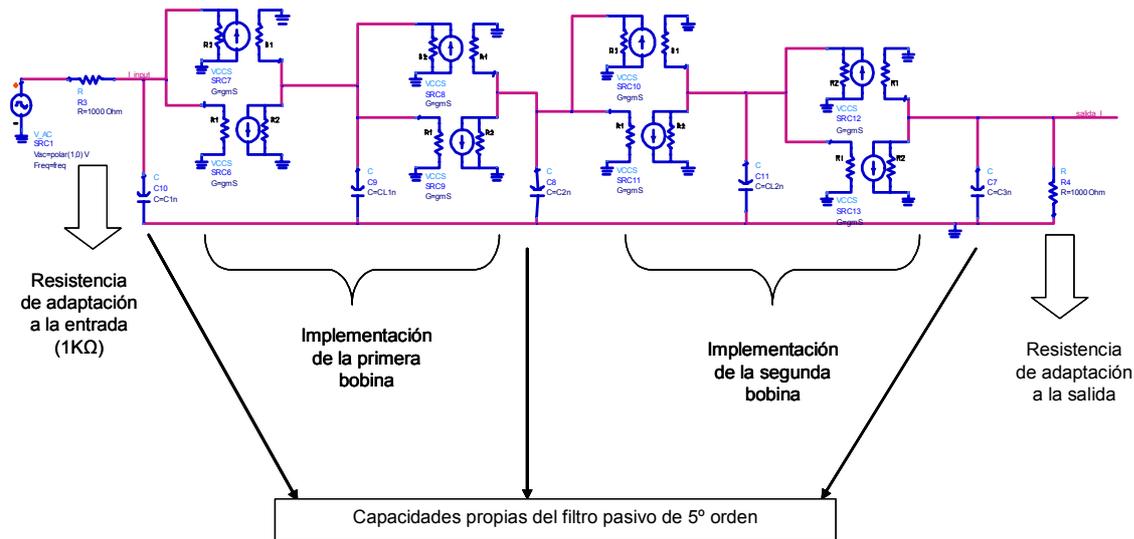


Figura 8.22. Filtro paso bajo activo realizado con OTAs ideales.

La respuesta del circuito, tanto en su versión pasiva como en su versión activa, se muestra en la Figura 8.23. Vemos que ambas respuestas se solapan perfectamente, manteniéndose los valores de ganancia y frecuencia de corte en los valores especificados.

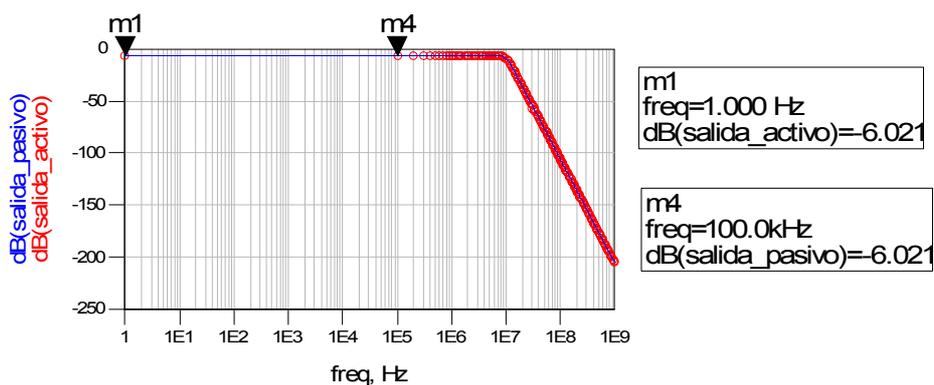


Figura 8.23. Respuesta del filtro en su versión pasiva y activa.

8.1.5.3. Transconductor de Nauta

El transconductor es el bloque más importante en el diseño de los filtros gm-C. Por ello resulta de crucial importancia el tener un OTA con las prestaciones adecuadas. Como vimos en el

apartado anterior, un transconductor es idealmente una fuente de corriente controlada por tensión con un ancho de banda infinito y con unas impedancias de entrada y salida infinita. Sin embargo, este tipo de especificaciones son imposibles de tener en un circuito real y, por tanto, tendremos que trabajar con especificaciones más moderadas.

Como norma general, la ganancia en DC (AV_{DC}) debe ser de al menos 40 dB y el ancho de banda debe ser suficiente para cubrir el rango de trabajo del filtro final [AND01].

Con respecto al valor de la g_m , su valor mínimo dependerá de la capacidad mínima disponible en la tecnología y de la inductancia mínima requerida. Por ejemplo, si la capacidad mínima de la tecnología es de 1 pF, para una inductancia de 15 μ H necesitaríamos una g_m mínima de 250 μ S.

$$g_m \geq \sqrt{\frac{C}{L}} \quad (8.17)$$

Una vez conocemos los valores de AV_{DC} y g_m , la r_o la podemos calcular usando la siguiente expresión:

$$r_o \geq \frac{AV_{DC}}{g_m} \quad (8.18)$$

En los últimos años se han desarrollado un elevado número de transconductores y tanto su diseño como sus circuitos se pueden encontrar en la literatura. En [SAN00] se hace un amplio repaso de las arquitecturas de transconductores basadas en tecnologías CMOS más utilizadas. El transconductor que hemos elegido para implementar nuestro filtro es el denominado de Nauta [NAU92]. Se trata de un circuito diferencial basado en el uso de inversores CMOS, por lo que este circuito es especialmente apropiado para aplicaciones de baja tensión de alimentación. Además el área necesaria es también bastante reducida.

Las características más importantes de este transconductor son las siguientes:

- El esquema del transconductor de Nauta se muestra en la Figura 8.24. Está formado por seis inversores. Los inversores I_1 e I_2 son los responsables de generar la transconductancia, mientras que el resto se encarga de garantizar estabilidad en modo común y proporcionar una resistencia de salida en modo diferencial alta.
- Este transconductor posee una arquitectura diferencial y, por tanto, es simétrico con respecto a los inversores que lo forman.

- El transconductor carece de nodos internos, excepto “gnd” y “V_{dd}”, lo cual abre la posibilidad de combinar las capacidades del transconductor con las propias del filtro. Esto permite la implementación de filtros a frecuencias altas, o bien, filtros de orden alto para operar a frecuencias bajas.
- Si definimos las transconductancias de los inversores como gm_i y las conductancias parásitas de salida como gd_i , las resistencias de salida en modo común (R_{cm}) y en modo diferencial (R_{dm}) serán respectivamente:

$$R_{cm} = \frac{1}{gd_1 + gd_5 + gd_6 + gm_5 + gm_6} \quad (8.19)$$

$$R_{dm} = \frac{1}{gd_1 + gd_5 + gd_6 + gm_6 - gm_5} \quad (8.20)$$

Si por simplicidad suponemos que tanto las transconductancias gm_i como gd_i son iguales a gm y a gd , respectivamente, las ganancias en modo común y en modo diferencial serán:

$$A_{cm} = \frac{gm}{3 \cdot gd + 2 \cdot gm} \quad (8.21)$$

$$A_o = \frac{gm}{3 \cdot gd} \quad (8.22)$$

Este resultado implica que el circuito es estable respecto al modo común (A_{cm} es menor que uno) y que el valor numérico de A_o dependerá de los valores de gm y gd . Para aplicaciones a frecuencias altas, los transistores deberán tener longitudes de canal pequeñas lo cual implica una A_o pequeña. En esos casos habría que aumentar la gm mediante el aumento de la tensión de polarización del inversor correspondiente (I_5 e I_4).

- Dado que todos los transistores trabajan en la región de saturación, la transconductancia resultante es una función lineal de la tensión de entrada. Es fácil demostrar que el circuito será lineal si se satisfacen las siguientes desigualdades:

$$\Delta V \leq V_{th}/2 \quad (8.23)$$

$$\Delta V \leq (V_{dd}/2) - V_{th} \quad (8.24)$$

donde ΔV es la excursión de la señal a la entrada/salida del transconductor y V_{th} es la tensión umbral de los transistores. Estas restricciones implican que el valor mínimo de V_{dd} es $3 \cdot V_{th}$ y, por tanto, el circuito puede funcionar con una tensión de alimentación mucho menor que la del chip.

- Por lo general los inversores de salida suelen tener el mismo tamaño que los de entrada. Sin embargo, esto es innecesario ya que la finalidad de los inversores de salida es, como acabamos de decir, la de proporcionar una resistencia de salida en modo diferencial alta y la de garantizar la estabilidad respecto al modo común mediante la minimización de la resistencia de salida en modo común. Para conseguir la estabilidad respecto al modo común basta con que la transconductancia de los inversores de entrada sea al menos el doble de los de la salida [AND01]. La relación entre la transconductancia de los inversores de salida y la de los de entrada suele ser de 0.6 en lugar de 0.5 para evitar que no se cumpla la condición de estabilidad respecto al modo común debido a las tolerancias en el proceso de fabricación. Entre las ventajas de reducir la transconductancia de salida se encuentra en primer lugar la reducción del consumo de potencia, que para el factor de 0.6 es de un 27%. Así mismo el área también será menor. La relación señal a ruido a la salida también se ve mejorada ya que al disminuir la corriente de los inversores de salida se producirá menos ruido. Por último, la linealidad del transconductor mejora ligeramente puesto que los transistores que dejarían primero la región de saturación son los de los inversores de salida y si reducimos su corriente aumentamos su linealidad.

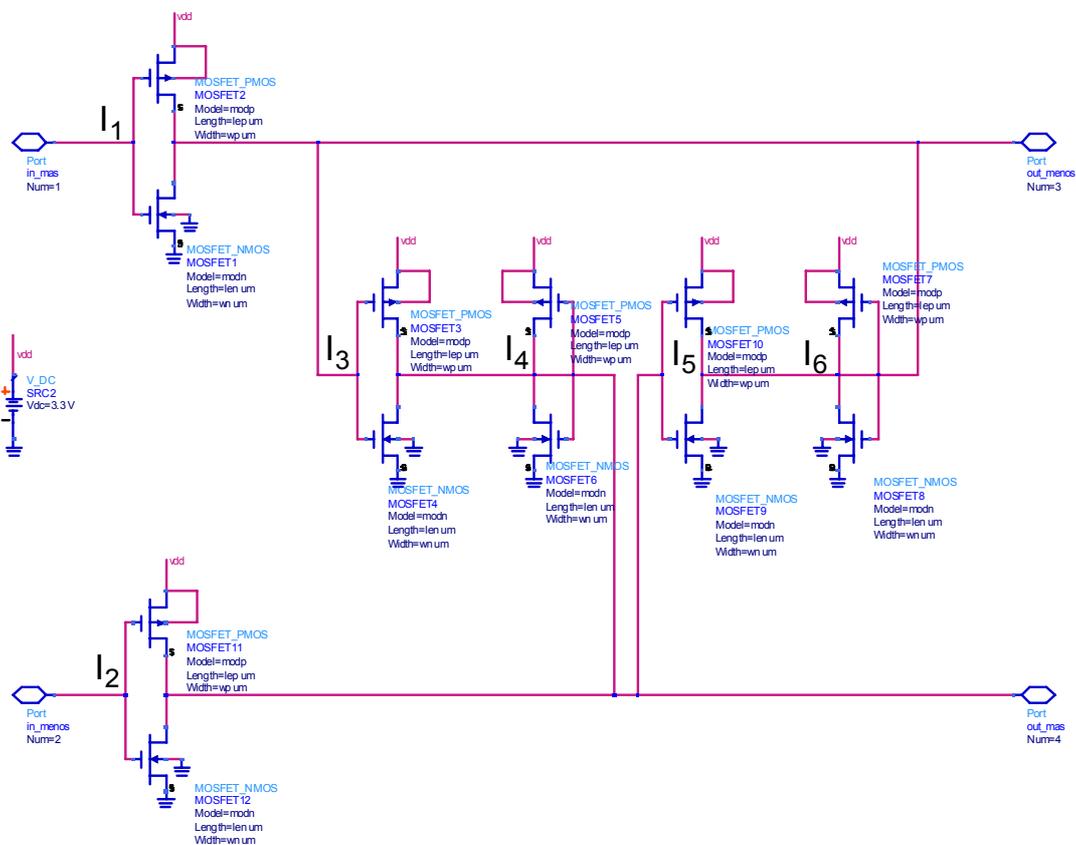


Figura 8.24. Transconductor de Nauta en ADS.

Para trabajar más cómodamente, en lugar de utilizar el circuito completo del transconductor de Nauta utilizaremos sólo su diagrama de bloques (ver Figura 8.25). En la Tabla 8.2 se muestran los parámetros característicos de este transconductor. La respuesta en frecuencia tanto en magnitud como en fase del circuito real y de su modelo usando los parámetros de la Tabla 8.2 se muestra en las figuras 8.26 y 8.27. Obsérvese la coincidencia de ambas respuestas.

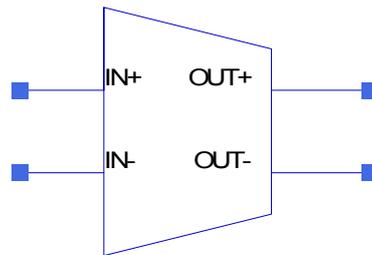


Figura 8.25. Símbolo del transconductor de Nauta.

Tabla 8.2. Parámetros del transconductor de Nauta diseñado

AV_{DC}	f_{3dB}	Margen de Fase	g_m	r_o	C_o	C_i
31.14 dB	6.31MHz	89°	449 μ S	69.35k Ω	0.36pF	0.32pF

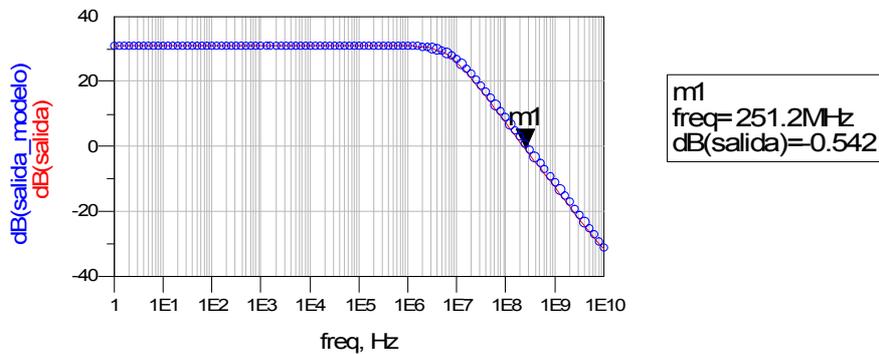


Figura 8.26. Respuesta en magnitud del transconductor de Nauta modelado mediante sus parámetros y el diseñado.

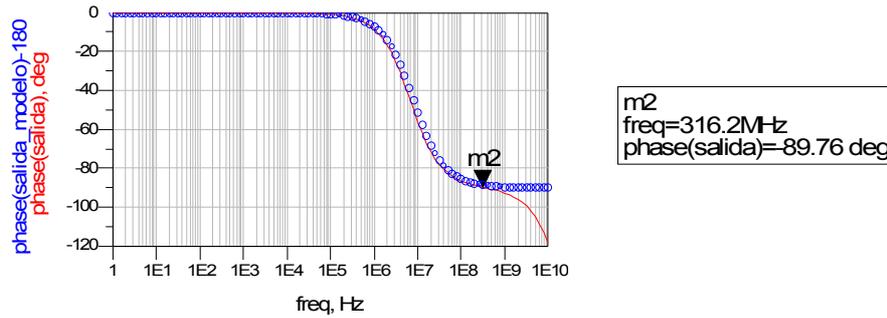


Figura 8.27. Respuesta en fase del transductor de Nauta modelado mediante sus parámetros y el diseñado.

8.1.5.4. Realización del filtro activo paso bajo con el transductor de Nauta

En este apartado lo único que tenemos que hacer es transformar el circuito ideal de la Figura 8.22 al circuito real de la Figura 8.28. A la hora de hacer esta transformación se deberá tener en cuenta las siguientes consideraciones:

- El valor de los condensadores que simulan las inductancias vienen dados por: $C = L \cdot gm^2$.
- Dado que los condensadores que nos salen son pequeños tenemos que tener en cuenta las capacidades parásitas del transductor:

$$C \Leftarrow C - 2C_i - 2C_o$$

$$C_{input} \Leftarrow C_{input} - 2C_i - 4C_o$$

$$C_{middle} \Leftarrow C_{middle} - 2C_i - 2C_o$$

$$C_{output} \Leftarrow C_{output} - 2C_i - 2C_o$$

- Las resistencias de adaptación de $1\text{ K}\Omega$ las hemos generado de forma interna,
- Hemos añadido dos transconductores en paralelo a la entrada con objeto de aumentar la ganancia en la banda de paso y no tener las pérdidas típicas de los filtros pasivos.

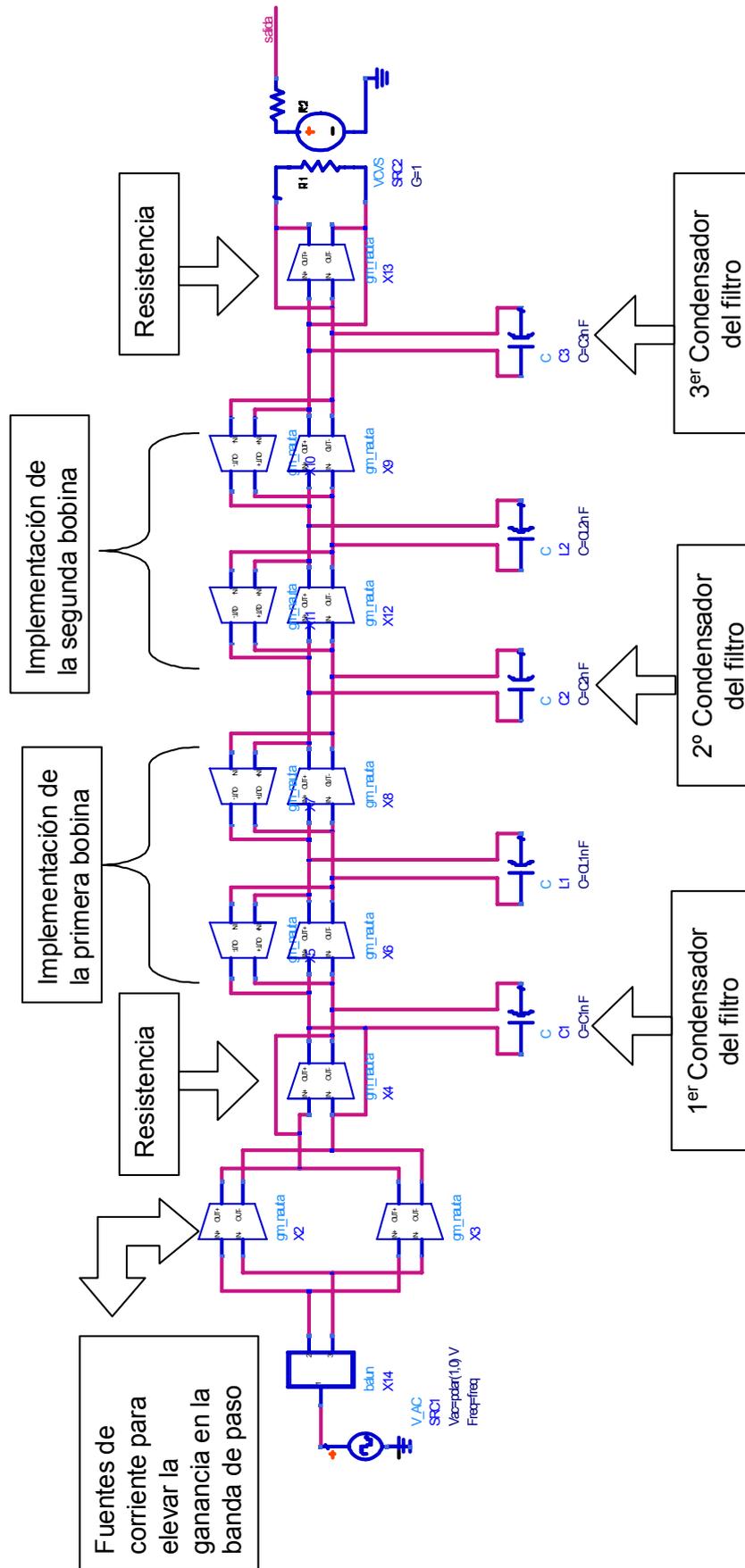


Figura 8.28. Filtro paso bajo activo realizado con OTAs reales.

Los resultados obtenidos se muestran en la Figura 8.29. Vemos que ambos filtros presentan una respuesta similar. La única diferencia estriba en la ganancia que en la versión activa es 5dB mayor gracias a la inclusión de los dos transconductores en paralelo a la entrada.

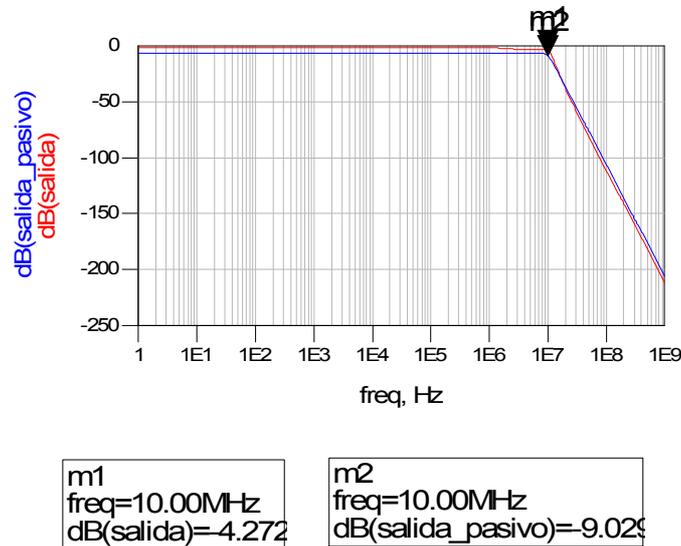


Figura 8.29. Simulaciones obtenidas del filtro paso bajo activo realizado con OTAs reales.

8.1.5.5. Realización del filtro polifásico activo

Llegados a este punto, ya sólo nos faltaría convertir el filtro paso bajo de partida en un filtro polifásico paso banda mediante la transformación $H(s) \rightarrow H(s - j\omega_{FI})$. Para ello, en primer lugar utilizaremos transconductores ideales y posteriormente haremos la implementación real del filtro usando los transconductores reales.

En la Figura 8.30 se muestra el filtro polifásico implementado mediante transconductores ideales. Como se comentó anteriormente, este circuito está compuesto por dos filtros paso bajo más los circuitos encargados de hacer la transformación $H(s) \rightarrow H(s - j\omega_{FI})$.

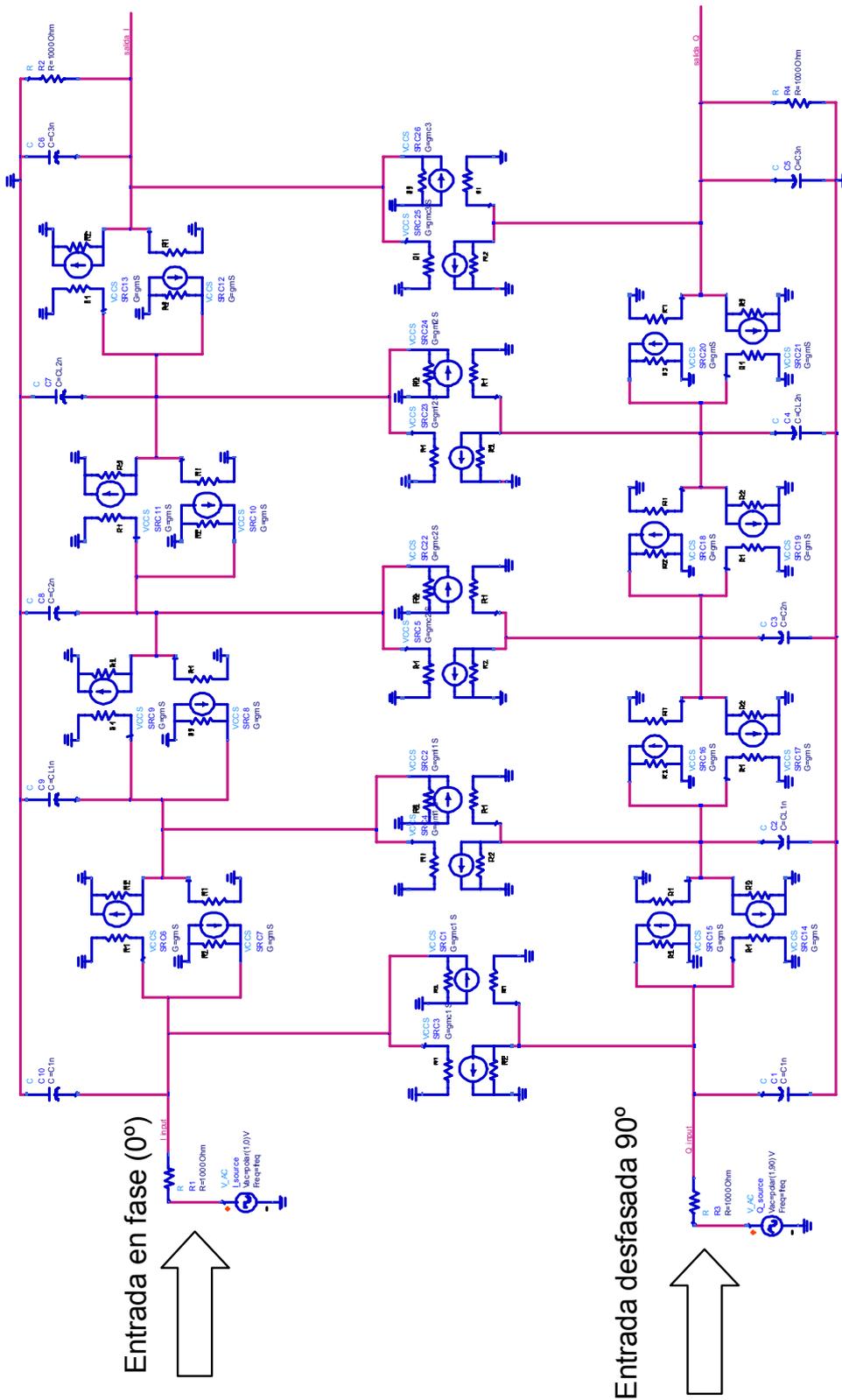


Figura 8.30. Filtro polifásico implementado mediante transconductores ideales.

En la Figura 8.31 se muestran los resultados que se obtienen con el circuito anterior para la salida en fase y en cuadratura. Vemos que idealmente este circuito tiene una ganancia máxima de -6.021 dB y que la frecuencia central del mismo es 20 MHz. También se observa que el ancho de banda de paso del filtro es 20 MHz y que en 40 MHz la ganancia está por debajo de -30 dB.

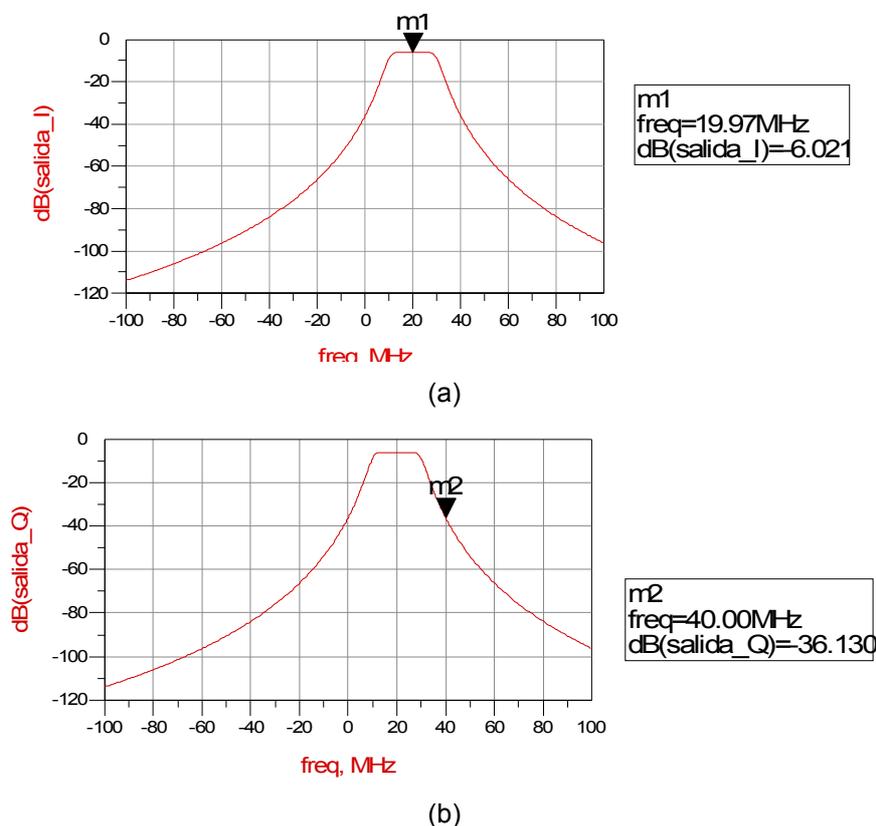


Figura 8.31. Resultados de la simulación del filtro polifásico implementado mediante transconductores ideales para la salida en fase (a) y en cuadratura (b).

La versión del filtro polifásico implementado mediante transconductores reales se muestra en la Figura 8.32. En este caso se han rediseñado los transconductores encargados de hacer la transformación $H(s) \rightarrow H(s - j\omega_{FI})$ para que tengan la transconductancia adecuada.

En la Figura 8.33 se observan las salidas en fase y en cuadratura que en este caso están ligeramente deformadas debido al uso de transconductores reales. En este caso el filtro está centrado a 21.78 MHz y el ancho de banda es de 18.23 MHz. La atenuación en 40 MHz es de 42.708 dB, (mayor que en el caso ideal). Obsérvese que las diferencias son mínimas y, por tanto, podemos decir que se siguen cumpliendo las especificaciones impuestas.

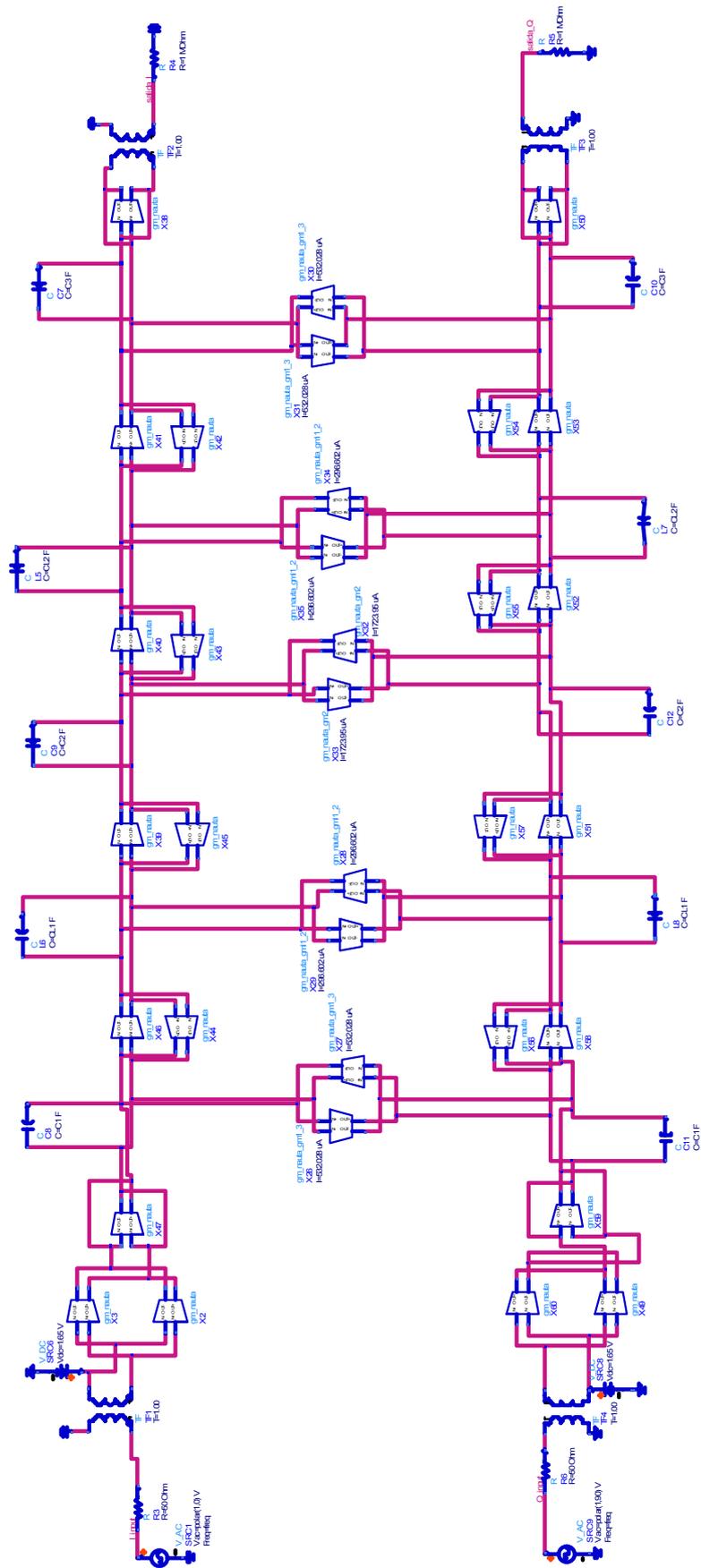


Figura 8.32. Filtro polifásico implementado mediante transconductores reales.

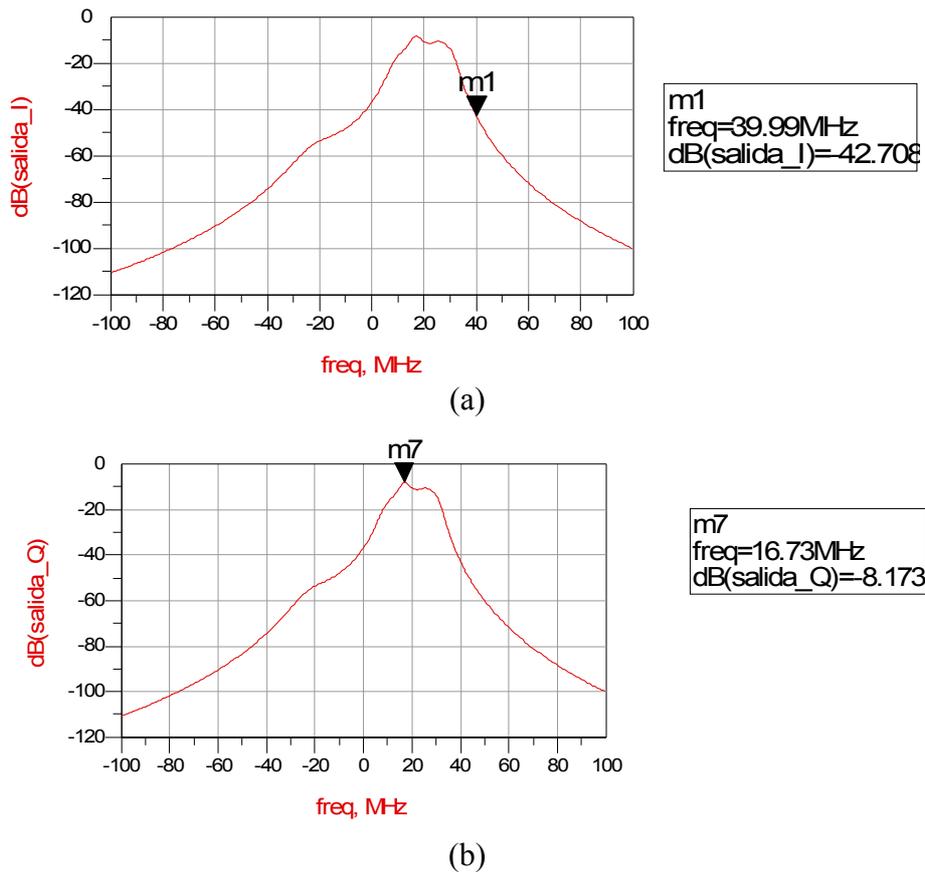


Figura 8.33. Resultados de la simulación del filtro polifásico implementado mediante transconductores reales para la salida en fase (a) y en cuadratura (b).

8.1.6. Conclusiones del diseño del filtro polifásico

En este apartado hemos visto como los filtros polifásicos (también llamados filtros complejos) permiten el rechazo de la frecuencia imagen a frecuencias bajas. Esto permite el uso de receptores de conversión directa con un aumento de la complejidad mínima si los comparamos con las arquitecturas Hartley y Weaver.

Con objeto de demostrar la viabilidad de la utilización de los filtros polifásicos para este fin, en este capítulo hemos implementado a nivel de esquemático un filtro para el receptor de IEEE 802.11a. Para ello primero se ha hecho el estudio teórico sobre los filtros, prestando especial atención a los filtros gm-C, los cuales están compuestos por amplificadores de transconductancia y condensadores. Tras haber realizado un estudio teórico de los filtros polifásicos se pasó a la implementación del mismo utilizando OTAs, describiendo detalladamente el proceso para transformar un filtro pasivo en un activo polifásico.

8.2. El amplificador de FI

En este apartado se desarrollará una etapa de amplificación basada en un amplificador operacional totalmente diferencial. Mediante la introducción del amplificador en la cadena de recepción no sólo se pretende eliminar las pérdidas en la conversión del sistema sino que incluso se proporcione ganancia al sistema total. Se comienza con el diseño de la etapa de entrada. Se sigue con el diseño de la etapa de CMFB (*Common Mode Feedback*) para terminar el diseño con la etapa de salida. Para finalizar se realiza el dibujo del *layout* y las correspondientes simulaciones *post-layout*.

8.2.1. Etapa de entrada del amplificador

La topología elegida para la realización del amplificador operacional es la mostrada en la Figura 8.34. Inicialmente se han evaluado las diversas topologías existentes en amplificadores operacionales [PIN03] pero se ha optado por esta estructura por presentar un bajo consumo, una ganancia aceptable y, lo más importante en este diseño, un buen ancho de banda. Como puede observarse en la Figura 8.34 la etapa de entrada no es más que un amplificador diferencial con cargas activas. El empleo de las cargas activas hace que se mejore notablemente las prestaciones del amplificador en cuanto a ganancia y linealidad frente a circuitos con cargas resistivas simples.

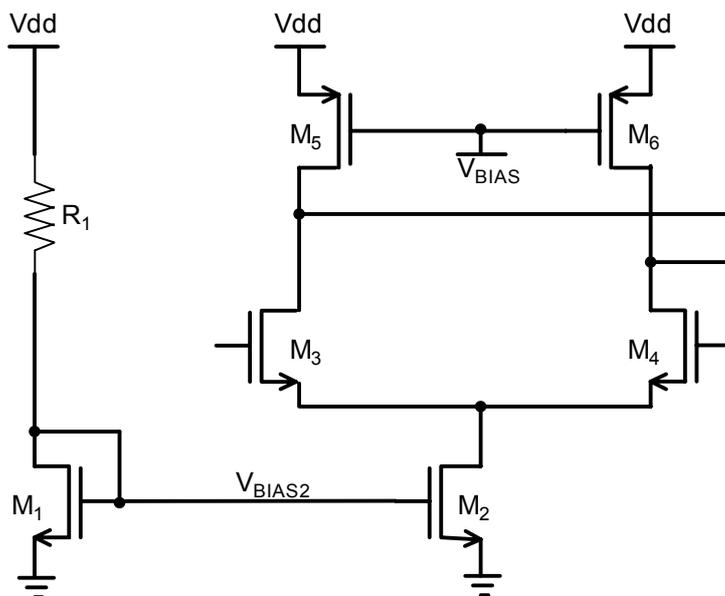


Figura 8.34. Etapa de entrada del amplificador.

Para la realización del diseño se debe tener en cuenta la polarización de cada uno de los transistores para garantizar que estos permanezcan siempre dentro de la región de saturación. La

máxima excursión de salida diferencial que se puede obtener con el circuito es de 3.3 V. En consecuencia, estableciendo una excursión máxima de salida en cada rama de 1.45 V quedan 1.85 V para polarizar los transistores. Teniendo en cuenta los requerimientos en cuanto a excursión y estableciendo una corriente de polarización 100 μ A se obtiene que los componentes del circuito queden dimensionados y con las polarizaciones mostradas en la Tabla 8.3.

Tabla 8.3. Dimensionado y polarización de los transistores de la etapa de entrada

Transistor	Tensión V_{DSAT} (V)	W (μ m)	L (μ m)
M₁	0.2	2	0.6
M₂	0.2	90	0.6
M₃ – M₄	0.65	14.8	2
M₅ – M₆	1	4.55	1

Los transistores deben de estar en saturación, por lo que la tensión de saturación mínima de los MOSFET viene dada a partir de la ecuación (8.25).

$$V_{DSAT} = V_{GS} - V_T \tag{8.25}$$

Sabiendo que se dispone de 1.85 V para la polarización del circuito, en la Figura 8.35 se muestra como se reparte la tensión entre los transistores.

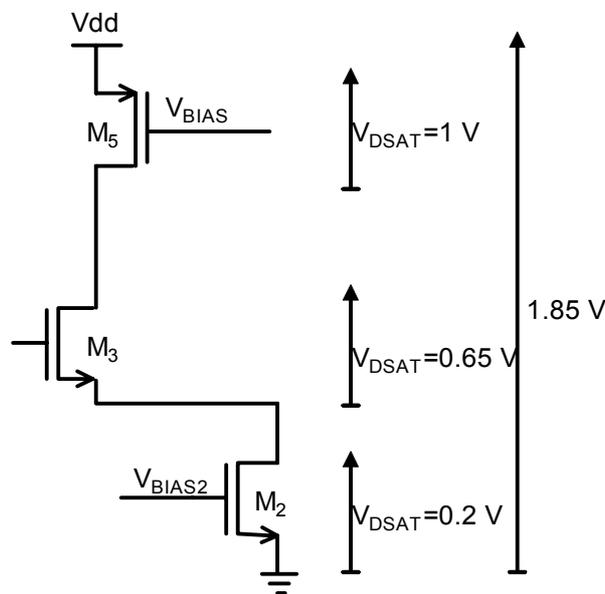


Figura 8.35. Polarización de los MOSFET.

Una vez distribuida la tensión para polarizar el circuito, a partir de la ecuación (8.25) se obtiene la tensión V_{GS} de cada uno de los transistores y teniendo en cuenta la ecuación de los

transistores MOSFET en la región de saturación (ecuación (8.26)) se puede dimensionar el transistor y obtener la relación de aspecto de los mismos.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad (8.26)$$

Una vez dimensionados los transistores para la corriente especificada, para completar el ajuste de la etapa de entrada sólo resta dimensionar correctamente la fuente de corriente del circuito. Este ajuste se consigue modificando la resistencia limitadora de corriente de la fuente. Para ello hay que tener en cuenta que la caída de tensión en la resistencia es de 2.4 V y que la corriente que la atraviesa es de 100 μ A. Se obtiene directamente que la resistencia deba tener un valor de 24 K Ω .

8.2.2. Diseño del CMFB

La etapa de CMFB es imprescindible en el diseño de un amplificador totalmente diferencial. En el caso de un amplificador asimétrico el nivel de polarización a la salida está fijado por el espejo de corriente. Pero en el caso del amplificador totalmente diferencial, como el mostrado en la Figura 8.34, esta tensión de polarización en la salida depende únicamente de la tensión y la corriente de polarización del circuito. Esta dependencia de la polarización del circuito implica que una pequeña variación de la polarización debido a los procesos de fabricación hace que se produzca un desajuste del modo común en la salida del circuito.

En la Figura 8.36 se muestra esquemáticamente el funcionamiento del CMFB. Como puede observarse el sistema presenta una red de realimentación que muestrea en todo momento la tensión de salida en modo común del amplificador y la compara con una tensión de referencia (V_{ref}) y en función de esa comparación se actúa sobre la fuente de corriente que polariza el circuito para conseguir mantener constante la tensión en modo común en la salida.

M_9 y el comparador de las señales esta constituido directamente por el amplificador diferencial. En este circuito, cuando se produce un aumento en el nivel del modo común en la salida del amplificador, aumenta la corriente por la rama de M_{12} y, en consecuencia, se produce una disminución de la corriente por la rama de M_{13} . Teniendo en cuenta que la tensión en M_{10} y M_{11} esta fijada por V_{REF} , para compensar la disminución de la corriente debe producirse una bajada de la tensión V_{BIAS} , que es la encargada de polarizar a los transistores M_5 y M_6 del amplificador, compensándose de esta forma el aumento del modo común.

Para el dimensionado de los transistores que forman parte del CMFB se procede de igual forma que en el caso de la etapa de entrada del amplificador. En la Tabla 8.4 se muestra tanto el dimensionado como el nivel de polarización de cada uno de los transistores.

Tabla 8.4. Dimensionado del CMFB

Transistor	Tensión V_{DSAT} (V)	W (μm)	L (μm)
M_7	0.2	8,55	0.6
M_8 - M_9	0.3	1.15	1
M_{10} - M_{11}	0.3	1.15	1
M_{12} - M_{13}	0.7	0.85	1

8.2.3. Diseño de la etapa de salida

Diseñadas ya la etapa de entrada del amplificador operacional y el circuito de realimentación del modo común, para completar el diseño del amplificador sólo resta diseñar la etapa de salida. Esta etapa debe presentar un buen rango dinámico así como un ancho de banda suficiente para no interferir en la señal de salida. Teniendo en cuenta las condiciones impuestas, la etapa de salida elegida para la realización del diseño es la mostrada en la Figura 8.38.

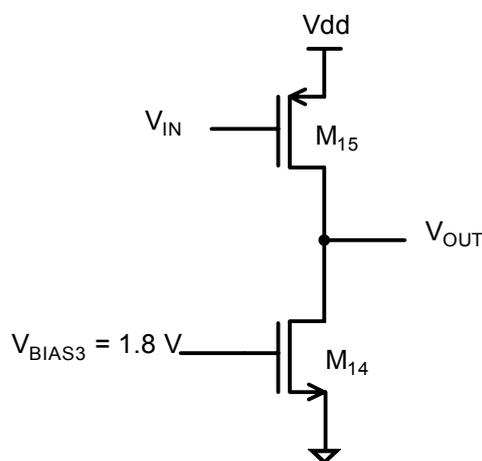


Figura 8.38. Etapa de salida del amplificador.

Al igual que en el caso del amplificador y el CMFB el dimensionado de los transistores que forman parte de la estructura se realiza atendiendo a la excursión de salida del circuito. De esta forma, en la Tabla 8.5 se muestra la polarización de cada uno de los transistores teniendo en cuenta que la corriente que atraviesa la etapa es de $200 \mu\text{A}$.

Tabla 8.5. Dimensionado de la etapa de salida

Transistor	Tensión V_{DSAT} (V)	W (μm)	L (μm)
M_{14}	1	5	0.35
M_{15}	1	20	0.35

8.2.4. Simulaciones a nivel de esquemático del amplificador

Una vez completado el proceso de diseño del amplificador debe comprobarse el correcto funcionamiento del mismo. De esta forma en la Figura 8.39 se muestra una simulación en AC del amplificador en lazo abierto.

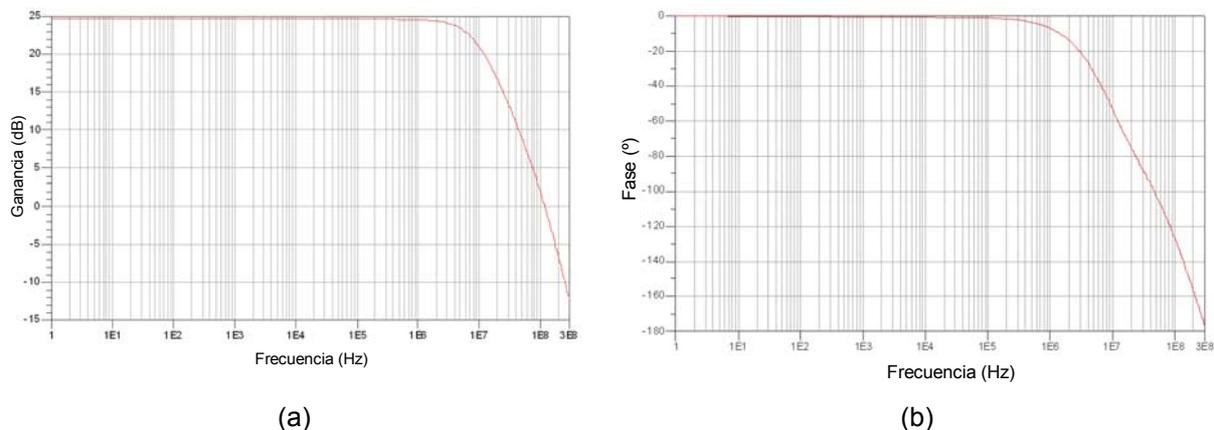


Figura 8.39. Simulación del amplificador completo en lazo abierto, ganancia en dB (a) y fase (b).

Como puede observarse en la Figura 8.39, el amplificador presenta una ganancia en lazo abierto de unos 24 dB y un margen de fase de 45° , lo que significa que no va a ser necesaria la compensación de posibles inestabilidades del amplificador. En la Figura 8.40 se muestra la respuesta del amplificador en lazo cerrado (el amplificador se ha realimentado con unas resistencias de $3 \text{ K}\Omega$.)

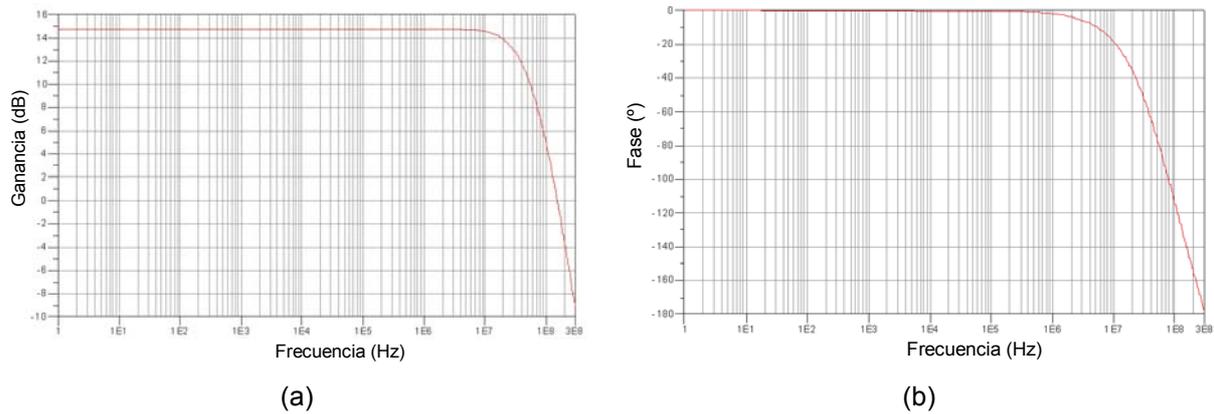


Figura 8.40. Respuesta del amplificador en lazo cerrado, ganancia en dB (a) y fase (b).

Como se desprende de la Figura 8.40, en lazo cerrado el amplificador presenta una ganancia de unos 14.8 dB y un margen de fase de unos 40° aproximadamente.

Una vez comprobada la respuesta en frecuencia del amplificador operacional tanto en lazo abierto como en lazo cerrado, en la Figura 8.41 se muestra la respuesta transitoria del amplificador. Para la realización de la simulación se ha introducido una señal senoidal con una frecuencia de 20 MHz y una amplitud de 1 mVp. A pesar de que la señal de entrada es muy pequeña se observa como a la salida del amplificador se obtiene una buena respuesta, consecuencia de la ganancia que presenta el circuito. Por otro lado una señal de entrada de 1 mVp es una señal de entrada grande para las potencias de entrada que se le van a introducir al amplificador, ya que la señal de entrada procede de la etapa de mezclador y tendrá una amplitud de unos pocos cientos de micro voltios.

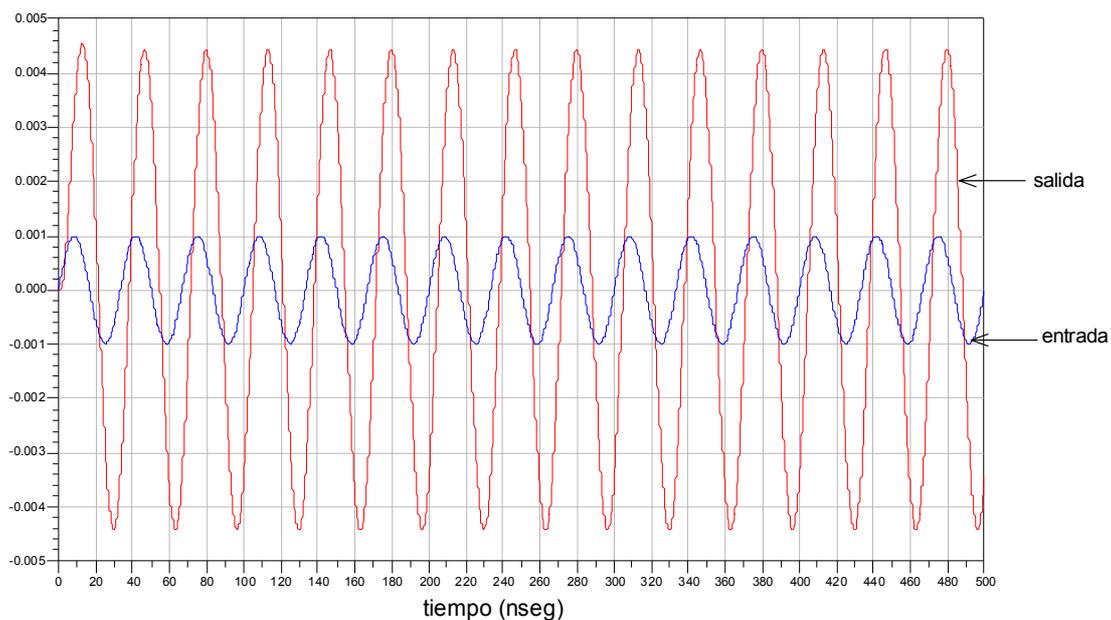


Figura 8.41. Respuesta transitoria del amplificador

8.2.5. Layout del amplificador

Una vez realizado el diseño y comprobado mediante simulaciones que es válido para la implementación, pasamos a la realización del *layout* del mismo. Este circuito presenta estructura diferencial y por tanto debemos tener especial cuidado en la realización del *layout* intentando que los componentes queden lo más próximos posible entre ellos para evitar diferencias grandes entre los diversos componentes. Este aspecto es, si cabe, más crucial en el diseño del *layout* del CMFB ya que es la parte encargada de la corrección de este tipo de fenómenos en el circuito. Una vez hechas estas consideraciones previas, en la Figura 8.42 se muestra una visión general del *layout* del amplificador. Nótese que la mayor parte del área esta ocupada por las estructuras de medida.

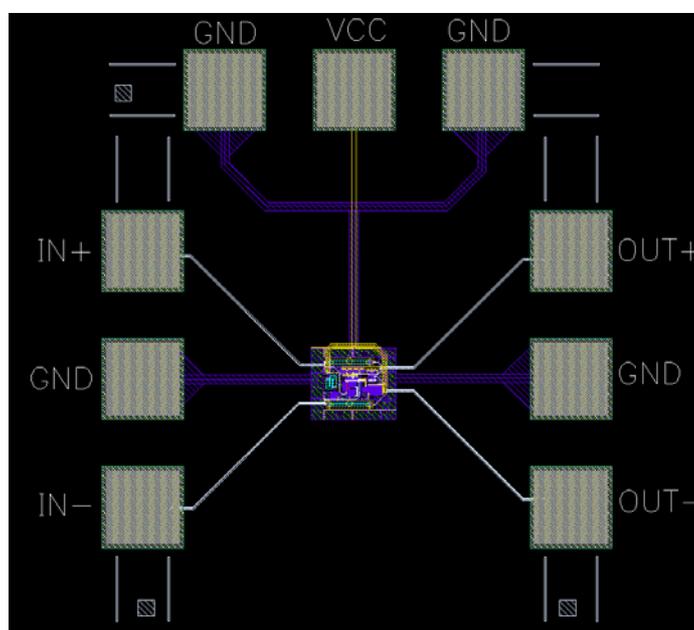


Figura 8.42. Vista general del *layout* del amplificador.

En la Figura 8.43 se muestra un detalle del núcleo del amplificador. Puede observarse en el centro el conjunto del CMFB y de la etapa de entrada del amplificador. A la derecha de los mismos se encuentra la etapa de salida del circuito y la referencia de tensión que establece el nivel de tensión de modo común. Finalmente, a la derecha puede observarse el espejo de corriente.

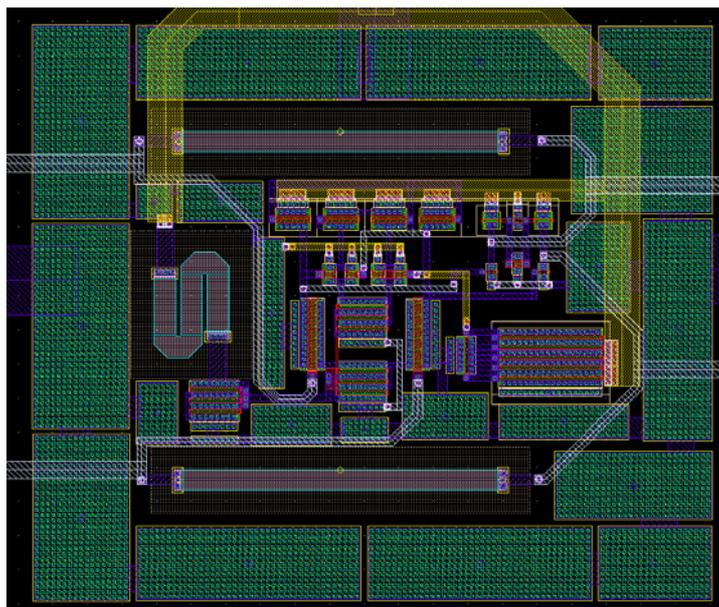


Figura 8.43. Detalle del núcleo del amplificador.

En las tablas 8.6 y 8.7 se pueden observar un resumen de las simulaciones *post-layout* del amplificador para lazo abierto y lazo cerrado.

Tabla 8.6. Resultados de las simulaciones *post-layout* del amplificador en lazo abierto

Ganancia	24.63 dB
Margen de Fase	45.78°
Ancho de banda a 3 dB	8.8 MHz
frecuencia de corte (0 dB)	119.7 MHz

Tabla 8.7. Resultados de las simulaciones *post-layout* del amplificador en lazo cerrado realimentado con una resistencia de 3 K Ω

Ganancia	14.8 dB
Margen de Fase	40.8°
Ancho de banda a 3 dB	40 MHz
frecuencia de corte (0 dB)	119.7 MHz

8.2.6. Conclusiones del diseño del amplificador operacional

En este apartado se ha realizado el diseño del amplificador operacional a nivel de *layout*. El diseño se ha realizado por partes. Primero se realizó el diseño de la etapa de entrada del amplificador operacional. Para corregir la tensión de *offset* de salida del amplificador se diseñó el CMFB. El diseño finalizó con la implementación de la etapa de salida. Tras realizar simulaciones a nivel de esquemático, se pasó al trazado del *layout* y a las simulaciones *post-layout*, simulándose el amplificador en lazo abierto y en lazo cerrado. Los resultados obtenidos para la ganancia y el ancho de banda para lazo cerrado son de 14.8 dB y 40 MHz respectivamente.

8.3. Conclusiones

Con el diseño del filtro polifásico y el amplificador de FI concluye el diseño y estudio de todos los bloques que conforman el receptor propuesto. En el siguiente capítulo se realizarán las simulaciones del sistema y se comprobará si los bloques diseñados pueden ser utilizados o no en el receptor.

Capítulo 9

Análisis final del sistema y conclusiones

En el presente capítulo se realiza la simulación del receptor completo utilizando las especificaciones obtenidas de cada elemento diseñado a lo largo de la tesis. A medida que avance el capítulo se irá comprobando si los elementos diseñados son adecuados para ser utilizados en el receptor.

La estructura del capítulo es la siguiente. En el primer apartado se recopilan las especificaciones de cada elemento diseñado y se exponen las simulaciones a realizar. En el siguiente apartado se realizan las simulaciones del sistema y se comprueba si los elementos diseñados se pueden utilizar para el receptor propuesto. El capítulo finaliza con un breve resumen y con las conclusiones y líneas futuras que abre esta investigación.

9.1. Resumen de las especificaciones de los elementos diseñados

A continuación se muestran las especificaciones de los elementos diseñados en la presente tesis, es decir, el LNA, los mezcladores, el sintetizador, el filtro polifásico y la etapa de amplificación de FI.

9.1.1. Especificaciones del LNA

Las especificaciones del LNA están sido recogidas del capítulo 4 y son especificaciones obtenidas de simulaciones *postlayout*. Se pueden ver en la Tabla 9.1 para los dos tipos de LNA diseñados, el cascode y el doble balanceado.

Tabla 9.1. Especificaciones de los LNA diseñados

Tipo de LNA	Ganancia (dB)	NF (dB)	VSWR1	VSWR2	IIP3 (dBm)	OIP3 (dBm)
Cascode	16.23	2.875	1.25	2.53	-4.37	11.86
Doble balanceado	15.91	3.13	1.35	1.93	-1.32	14.59

En la Tabla 9.2 se encuentran las especificaciones que se han puesto en los módulos de ADS que modelan el LNA, tanto para el cascode como para el doble balanceado. La ganancia del elemento **LNAGain** contiene las pérdidas introducidas por el filtro que modela su respuesta en frecuencia (**LNAFilter**)

Tabla 9.2. Especificaciones de los módulos **LNAGain** y **LNAFilter** para el LNA cascode y LNA balanceado

		LNA cascode	LNA doble balanceado
LNAGain	Ganancia	16.23 + 3 dB	15.91 + 3 dB
	Figura de ruido	2.875	3.13
	Linealidad (IIP3)	-4.37	-1.32
LNAFilter	Frecuencia central de la banda de paso	5.5 GHz	
	Ancho banda de paso	1 GHz	
	Atenuación banda de paso	3 dB	
	Ancho banda paso+banda de transición	2 GHz	
	Atenuación para banda eliminada	23 dB	

9.1.2. Especificaciones de los mezcladores

Las especificaciones de los mezcladores del capítulo 5 están obtenidas de simulaciones *post-layout* para el mezclador basado en la célula de Gilbert y el mezclador doblado, y son fruto de medidas experimentales en el caso del mezclador pasivo. Las mismas se pueden ver en la Tabla 9.3 para los tres tipos de mezclador diseñados.

Tabla 9.3. Especificaciones de los mezcladores diseñados

Tipo de mezclador	Ganancia (dB)	NF (dB)	VSWR OL	VSWR RF	IIP3 (dBm)
Gilbert	19	22	1.2	1.2	17
Doblado	31	21	1.2	1.2	25
Pasivo	-31 a -33.25	29.6	1.15	1.15	30

En la Tabla 9.4 se encuentran las especificaciones introducidas para las simulaciones con ADS que modelan al mezclador para los tres diseños.

Tabla 9.4. Especificaciones de los módulos **Mixer_Q/I** y **MixerLoss_I/Q** para los tres mezcladores diseñados

		Gilbert	Doblado	Pasivo
Mixer_I/Q	Tipo de conversión	FI = RF — OL		
	Ganancia de conversión	19 dB	31 dB	-33 dB
	Aislamiento OL/IF	> 18.6 dB		
	Aislamiento OL/RF	> 70 dB		
MixerLoss_I/Q	Ganancia	0 dB		
	Figura de ruido	22 dB	21 dB	29.6 dB
	Linealidad (IIP3)	17 dBm	25 dBm	30 dBm

9.1.3. Especificaciones del sintetizador

Las especificaciones del sintetizador están determinadas por el VCO cuyas medidas se presentan en la Tabla 9.5.

Tabla 9.5. Prestaciones del VCO

Frecuencia de oscilación	Vcontrol = 0 V	6399 MHz
	Vcontrol = 3.3 V	4693 MHz
Ruido de fase	Offset de 1 MHz	-87 dBc/Hz
	Offset de 5 MHz	-105 dBc/Hz
	Offset de 10 MHz	-117 dBc/Hz
Potencia de salida	-10 dBm	

A partir de la tabla anterior, los datos introducidos en ADS para especificar el módulo **N_Tones**, que modela el sintetizador, se muestran en la Tabla 9.6.

Tabla 9.6. Características del sintetizador (módulo de ADS denominado **N_Tones**)

Frecuencias a generar (MHz)	5160, 5180, 5200, 5220, 5240, 5260, 5280, 5300, 5725, 5745, 5765, 5785	
Potencia de salida (dBm)	-10	
Ruido de fase	Offset de 1 MHz	-87 dBc/Hz
	Offset de 5 MHz	-105 dBc/Hz
	Offset de 10 MHz	-117 dBc/Hz

9.1.4. Especificaciones del amplificador de frecuencia intermedia

Por otra parte, la ganancia del amplificador de FI es la del amplificador operacional diseñado en el capítulo 8 de la presente memoria, de modo que la ganancia de los módulos **IF_Amp_I** e **IF_Amp_Q** en la simulación es de 14.8 dB.

9.1.5. Especificaciones del filtro polifásico

Las características del filtro polifásico, obtenidas en el capítulo 8, son las de la Tabla 9.7:

Tabla 9.7. Características del filtro polifásico

Frecuencia central de la banda de paso	21.75 MHz
Ancho banda de paso	18.08 MHz
Atenuación banda de paso	-7.7 dB
Ancho banda paso+banda de transición	40 MHz
Atenuación para banda eliminada	-35 dB

Como se dijo en el capítulo 2, en la simulación del sistema el filtro polifásico se ha modelado, utilizando 2 filtros de Butterworth. Las especificaciones de dichos filtros **B1** y **B2** son las recogidas en la Tabla 9.8.

Tabla 9.8. Características de los filtros de Butterworth **B1** y **B2**

Frecuencia central de la banda de paso	21.75 MHz
Ancho banda de paso	18.08 MHz
Atenuación banda de paso	-7.7 dB
Ancho banda paso+banda de transición	40 MHz
Atenuación para banda eliminada	-35 dB

9.1.6. Simulaciones realizadas

Las simulaciones realizadas son, básicamente, las mismas que las del capítulo 2, pero esta vez con las especificaciones de los elementos ya diseñados. La primera es el cálculo del PER para una señal a la entrada de la antena cuya potencia sea igual a la sensibilidad mínima de entrada. Le sigue el cálculo del PER para la señal de potencia máxima a la entrada del receptor. El tercer tipo de simulación es el rechazo al canal adyacente (ACR) y la última el rechazo al canal no adyacente (NACR).

9.2. Simulación del sistema

Al haber diseñado varios tipos de LNA y de mezcladores, el número de simulaciones necesario es mayor que el del capítulo 2. En la simulación del sistema, las prestaciones del sintetizador, amplificador de FI y filtro polifásico son las mismas para todas las simulaciones. En cambio, las prestaciones del LNA y del mezclador cambian dependiendo del circuito empleado. Se han realizado simulaciones para todas las combinaciones de LNA y mezclador utilizados. Además, se ha tenido en cuenta el número de amplificadores de FI que hay que utilizar para cada caso, utilizando un amplificador de FI adicional en las simulaciones realizadas con el mezclador pasivo para conseguir una señal de un nivel aceptable en la salida del receptor.

9.2.1. Simulación del PER para la sensibilidad mínima de entrada

El esquema de simulación es el mismo que el utilizado en el capítulo 2 (ver Figura 2.20). Se han simulado 100 paquetes con un PSDU de 1000 bytes. Se ha impuesto que el nivel de señal que le llega a la antena es de -82 dBm, correspondiente a una tasa de bits de 6 Mbps. Los resultados del PER para todos los dispositivos para el canal de 5180 MHz se pueden ver en la Tabla 9.9 y es del 0%, es decir no se pierde ningún paquete.

Tabla 9.9. PER para mínima sensibilidad a la entrada

Tipo de LNA	Tipo de mezclador	Número de amplificadores de FI	PER para mínima sensibilidad a la entrada
Cascodo	Gilbert	1	0 %
	Doblado	1	0 %
	Pasivo	2	0 %
Doble Balanceado	Gilbert	1	0 %
	Doblado	1	0 %
	Pasivo	2	0 %

La Figura 9.1 muestra los espectros de salida del receptor utilizando el LNA cascado, el mezclador pasivo y dos etapas de amplificación de FI. En la Figura 9.1 (a) vemos la señal que le llega al LNA, que es de -82 dBm correspondiente al canal existente en 5785 MHz. En la Figura 9.1 (b) se observa la señal del sintetizador, la cual se encuentra a una frecuencia 5765 MHz. Dicha señal ya no es tan pura como la utilizada en el capítulo 2 debido al ruido de fase del mismo. En la Figura 9.1 (c) se observa la señal a la salida del mezclador, en la que tenemos el canal de entrada trasladado a 20 MHz. Finalmente, en la Figura 9.1 (d), se observa la señal en fase (I) filtrada, lista para ser procesada en la parte digital del receptor.

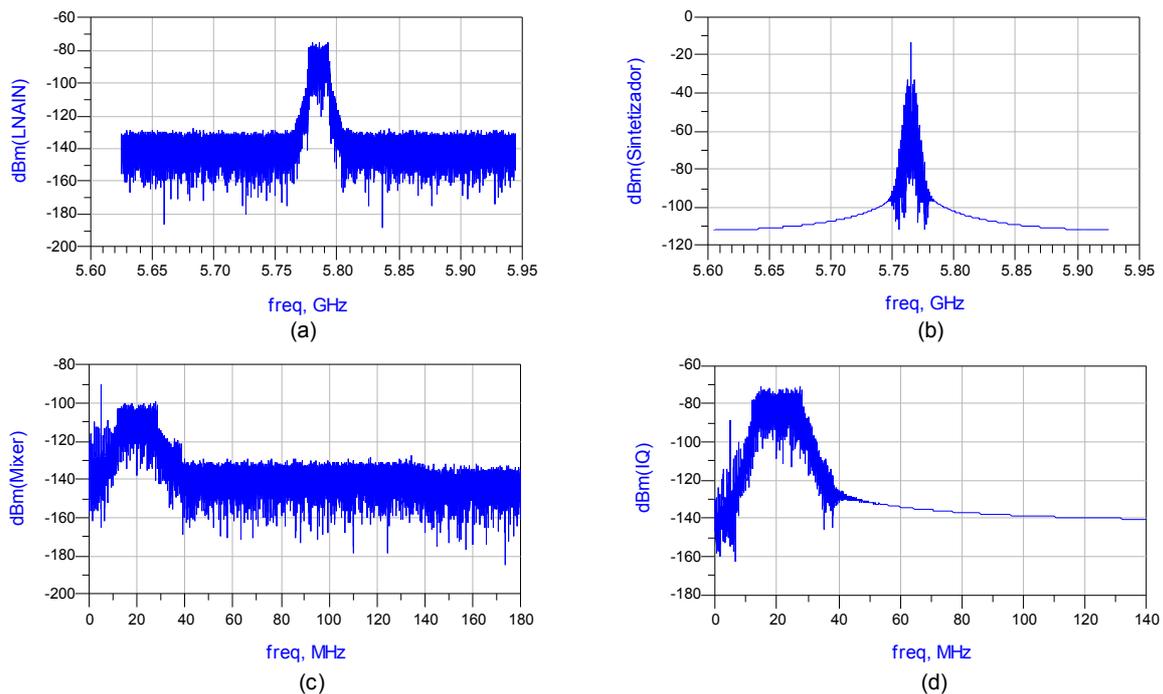


Figura 9.1. Resultados de la simulación para el cálculo de PER con el canal de 5785 MHz utilizando el LNA cascado, el mezclador pasivo y dos etapas de amplificación de FI.

9.2.2. Simulación del máximo nivel de la señal a la entrada del receptor

Para comprobar si el receptor cumple los requisitos del estándar referidos al máximo nivel de señal a la entrada del receptor, se ha realizado la simulación utilizando el mismo esquema que en el apartado anterior. En este caso para una PSDU de 1000 bytes se ha puesto una señal a la entrada de la antena de -30 dBm y se ha comprobado que el PER es siempre del 0%. Los resultados de la simulación se pueden ver en la Tabla 9.10.

Tabla 9.10. PER para máxima señal a la entrada

Tipo de LNA	Tipo de mezclador	Número de amplificadores de FI	PER para máxima señal a la entrada
Cascodo	Gilbert	1	0 %
	Doblado	1	0 %
	Pasivo	2	0 %
Doble Balanceado	Gilbert	1	0 %
	Doblado	1	0 %
	Pasivo	2	0 %

En la Figura 9.2 se observan los espectros de salida del receptor para el canal de 5180 MHz utilizando la siguiente combinación de componentes: LNA balanceado, mezclador doblado y una etapa de amplificación de FI. La Figura 9.2(a) muestra la señal que le llega al LNA con un nivel de potencia de -30 dBm. En la Figura 9.2(b) se observa la señal del oscilador local, la cual se encuentra a una frecuencia 5160 MHz. En la Figura 9.2 (c) se observa la señal a la salida del mezclador y en la Figura 9.2 (d) se muestra la señal en fase (I).

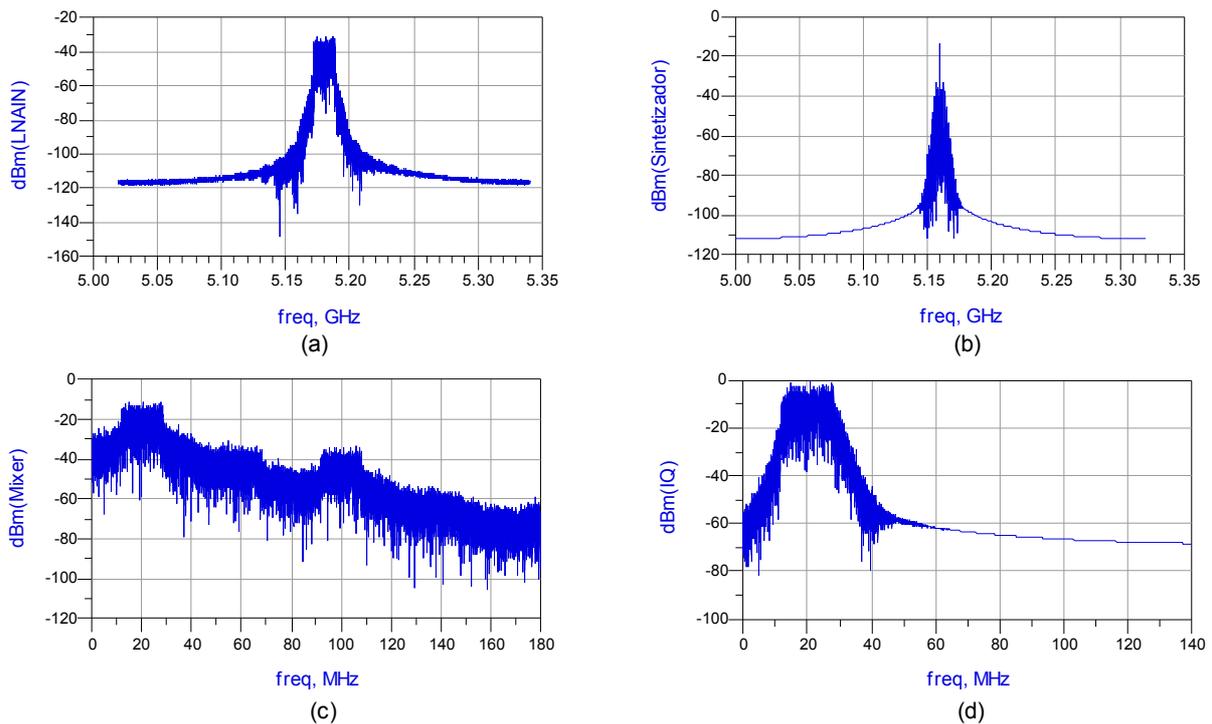


Figura 9.2. Resultados de la simulación para el cálculo de PER con el canal de 5180 MHz con una señal de -30 dBm a la entrada del receptor con el LNA balanceado y la el mezclador doblado.

9.2.3. Simulación del ACR

Para comprobar si el sistema cumple los requisitos correspondientes al ACR se ha utilizado el mismo esquema que en las simulaciones con el sistema ideal del capítulo 2 (ver Figura 2.24). Dicho esquema es similar a los utilizados en los apartados anteriores pero con la salvedad de que hay un generador de señal WLAN adicional para generar el canal adyacente que se suma al deseado. Se ha calculado el PER (para una PSDU de 1000 bytes) a la salida y se debe comprobar que es inferior al 10 %. Los resultados de la simulación se pueden observar en la Tabla 9.11.

Tabla 9.11. PER para el ACR

Tipo de LNA	Tipo de mezclador	Número de amplificadores de FI	PER para ACR
Cascodeo	Gilbert	1	0 %
	Doblado	1	0 %
	Pasivo	2	0 %
Doble balanceado	Gilbert	1	0 %
	Doblado	1	0 %
	Pasivo	2	0 %

En la Figura 9.3 se muestra la simulación para el canal deseado de 5320 MHz con una potencia de -79 dBm, correspondiente a una tasa de bits de 6 Mbps y el canal contiguo de 5300 MHz con una potencia 16 dB mayor que la del deseado. El resultado de la simulación para 100 paquetes se puede observar en la Figura 9.3.

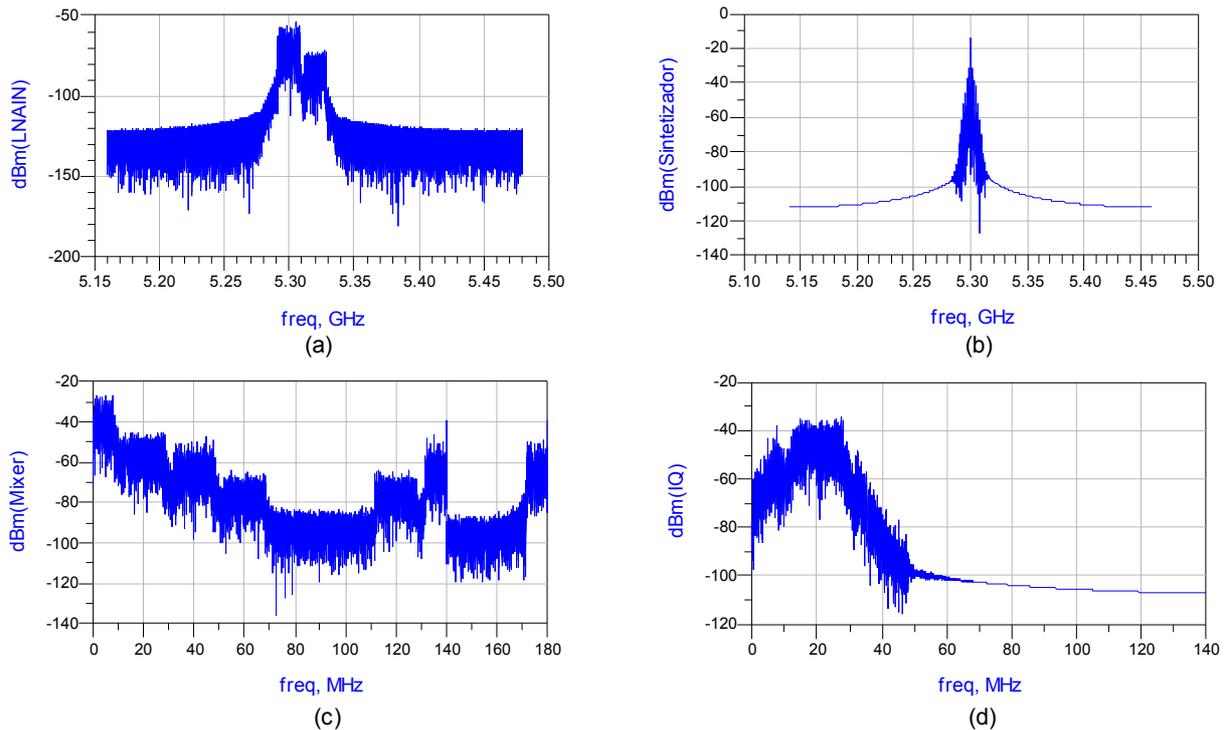


Figura 9.3. Resultados de la simulación para el cálculo de ACR para una tasa de bits de 6 Mbps, canal deseado de 5320 MHz y canal adyacente de 5300 MHz con el LNA cascode, célula de Gilbert y un amplificador de FI.

En Figura 9.3(a) se observa los dos canales a la entrada de la antena. La Figura 9.3(c) muestra los 2 canales a la salida del mezclador y la Figura 9.3(d) muestra el espectro de la señal I. El PER obtenido es del 0 %, cumpliendo las especificaciones del estándar.

9.2.4. Simulación del NACR

Para el caso del NACR se ha utilizado el mismo esquema de simulación que para el ACR, ya que el proceso es el mismo. Para la simulación se ha elegido el canal deseado de 5785 MHz con una potencia de -79 dBm, correspondiente a una tasa de bits de 6 Mbps, y el canal no adyacente de 5745 MHz con un potencia 32 dB mayor que la del deseado. Los resultados de las simulaciones para 100 paquetes se pueden observar en la Tabla 9.12. Se observa que se cumplen las especificaciones para los siguientes casos:

- LNA doble balanceado, mezclador basado en la célula de Gilbert y una etapa de FI.
- LNA doble balanceado, mezclador pasivo y dos etapas de FI.

Tabla 9.12. PER para NACR

Tipo de LNA	Tipo de mezclador	Número de amplificadores de FI	PER para NACR
Cascodo	Gilbert	1	99 %
	Doblado	1	99 %
	Pasivo	2	99 %
Doble Balanceado	Gilbert	1	0 %
	Doblado	1	22 %
	Pasivo	2	0 %

En Figura 9.4 se observan los resultados de la simulación para el cálculo de NACR para una tasa de bits de 6 Mbps, canal deseado 5785 MHz y canal interferente de 5745 MHz con el LNA balanceado, la célula de Gilbert y un amplificador de FI.

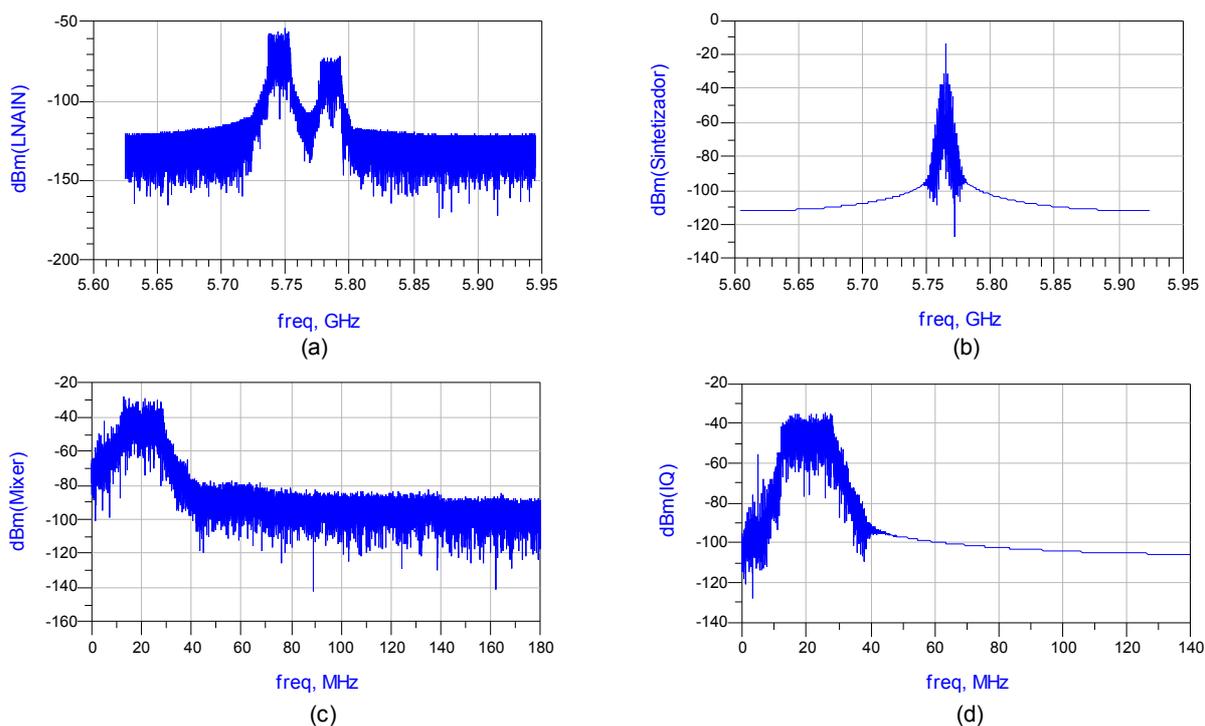


Figura 9.4. Resultados de la simulación para el cálculo de NACR para una tasa de bits de 6 Mbps, canal deseado 5785 MHz y canal interferente de 5745 MHz con el LNA balanceado, la célula de Gilbert y un amplificador de FI.

9.2.5. Conclusiones de la simulación del sistema

Mediante las simulaciones realizadas al sistema se ha comprobado que el receptor cumple las especificaciones de sensibilidad, máxima señal a la entrada y ACR pero no la de NACR.

En caso de la simulación del NACR, es decir cuando hay otro canal de mayor potencia cercano al deseado, el PER deja de ser del 0% en cuatro de los casos simulados (ver la Tabla 9.12). Esto es debido a que las componentes espectrales adicionales del VCO ocasionadas por el ruido de fase que posee, mostradas en la Figura 9.5, son mezcladas junto con la señal de salida del LNA. De esta manera se traslada a FI el canal no adyacente junto al deseado. Dicho efecto se comprueba gráficamente en la Figura 9.6, donde se ve que a la salida del mezclador el canal adyacente interferente anula completamente el deseado.

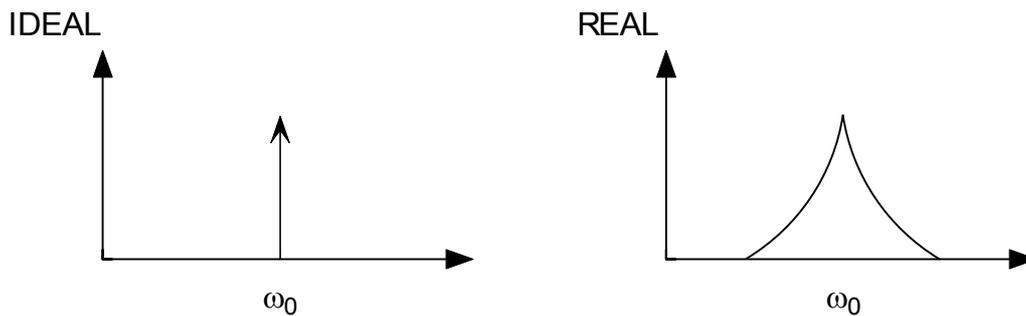


Figura 9.5. Espectro de salida del VCO ideal y real.

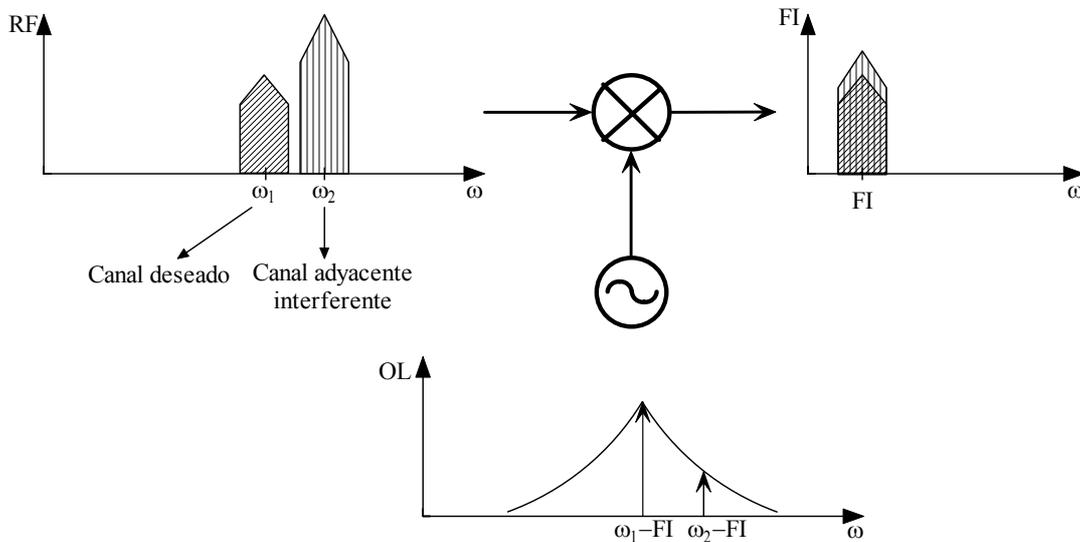


Figura 9.6. Efecto del canal adyacente a la salida del mezclador con un VCO con ruido de fase.

Dicho efecto se puede corregir mejorando el ruido de fase del VCO. Se han realizado simulaciones para estimar cual es el ruido de fase máximo que tiene que tener el VCO para que en la comprobación del NACR el PER sea del 0 % en todos los casos. Dicho ruido es el mostrado en la Tabla 9.13.

Tabla 9.13. Ruido de fase requerido del VCO para que se cumplan los requisitos de NACR y ACR.

Offset de 1 MHz	-115 dBc/Hz
Offset de 5 MHz	-120 dBc/Hz
Offset de 10 MHz	-132 dBc/Hz

Para conseguir un ruido de fase similar al de la Tabla 9.13, es necesario llevar a cabo alguna acción en el diseño del VCO, lo cual se plantea en el próximo apartado.

9.2.6. Mejora del VCO

La mejora del VCO se ha realizado utilizando dos procedimientos. El primero propone la mejora del factor de calidad de los elementos del tanque y el segundo plantea optimizar la corriente del circuito para mínimo ruido.

9.2.6.1. Mejora del factor de calidad del tanque

En los osciladores LC el ruido de fase depende, generalmente, del factor de calidad del tanque, mejorando a medida que el Q aumenta [RAZ98]. En nuestro diseño, el tanque está formado por una bobina, un condensador y dos varactores. La bobina se ha diseñado de modo que el factor de calidad, Q , a la frecuencia de interés sea óptimo [GON05]. En cambio, el diseño del varactor no se ha optimizado, simplemente se ha utilizado el proporcionado por la tecnología. En la nueva versión del *hitkit* de AMS, concretamente en la v3.60B de la tecnología S35D4, se ofrece un nuevo varactor de unión PN, el denominado JVAR. Con dicho varactor, además de conseguir una curva de tensión control-frecuencia de salida menos abrupta, se mejora el ruido de fase. Esto se debe principalmente a que posee un factor calidad mejor que el varactor MOS, tal como se puede observar en la Figura 9.7.

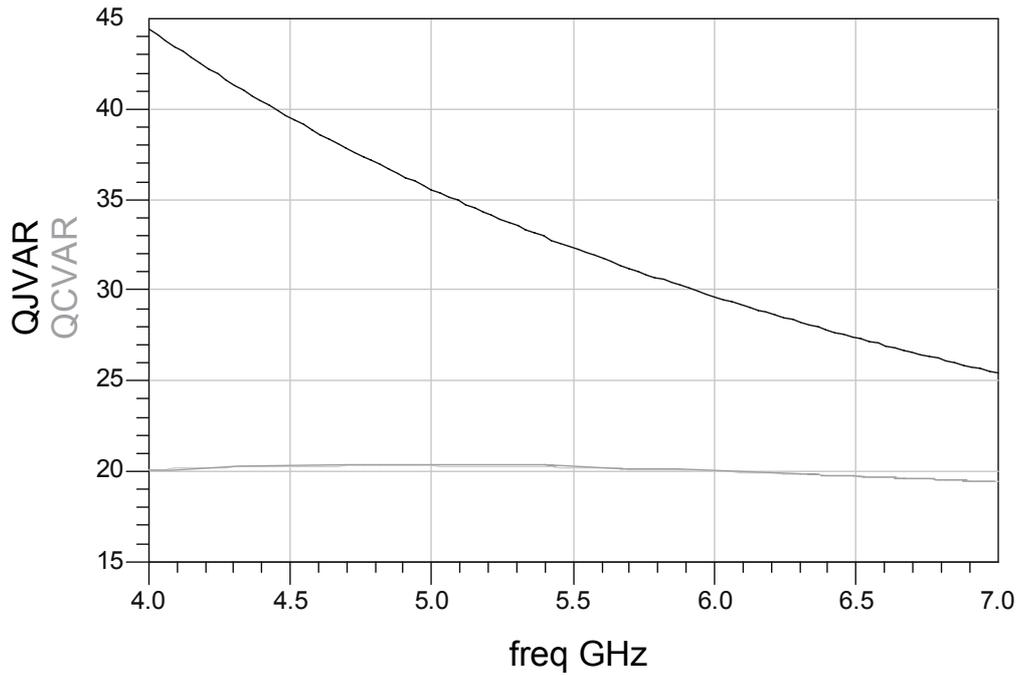


Figura 9.7. Factor de calidad del varactor MOS en trazo gris (CVAR) y del PN en trazo negro (JVAR).

Simplemente cambiando el CVAR por JVAR en el circuito se ha mejorado el ruido de fase del VCO tal como se ve en la Figura 9.8. Dicha mejora es máxima a 1 kHz, habiendo una diferencia de 19 dB entre ambos diseños. A partir de 50 kHz de offset no se produce mejora.

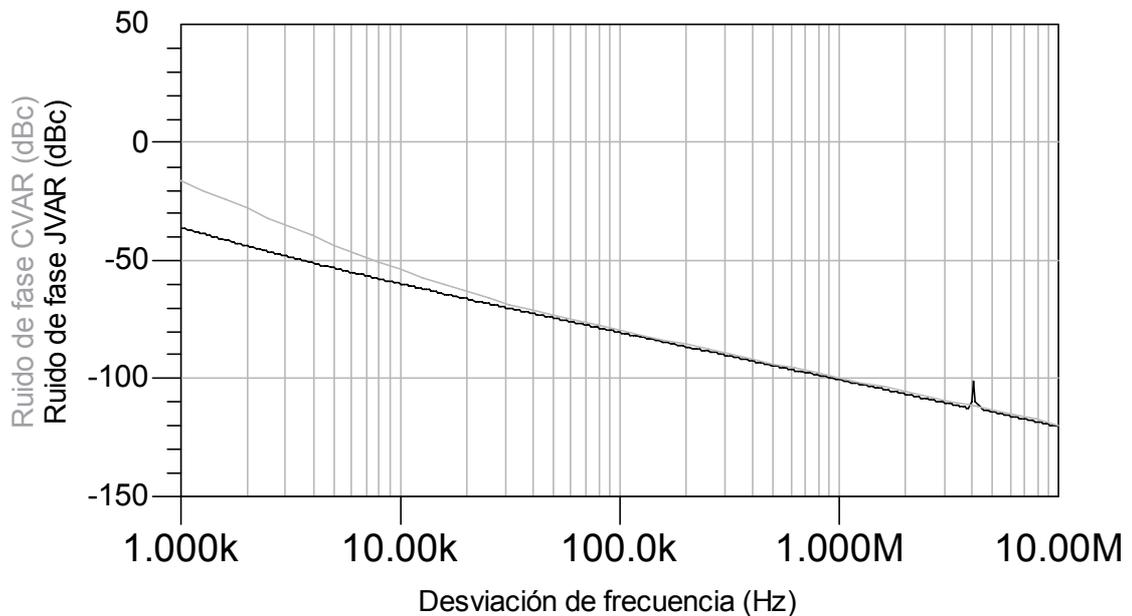


Figura 9.8. Ruido de fase con el varactor MOS en trazo gris (CVAR) y con el PN en trazo negro (JVAR).

9.2.6.2. Optimización de la corriente del circuito para mínimo ruido

En cualquier circuito de RF existe una relación entre los niveles de polarización de los transistores y el ruido, debiendo existir un compromiso entre ambos. Por ello, se ha realizado un estudio de las características de los transistores proporcionados por la tecnología, intentando obtener el punto de polarización de los transistores del circuito para mínimo ruido. Esto se ha realizado con un análisis de ruido en ADS a partir de una configuración muy sencilla, el par diferencial de la Figura 9.9. Para todos los tipos de transistores disponibles en la tecnología, se ha calculado la densidad de corriente dI (corriente por unidad de área) para mínimo ruido. Mediante simulaciones se ha comprobado que el transistor que mejor se comporta respecto a ruido es el NPN121.

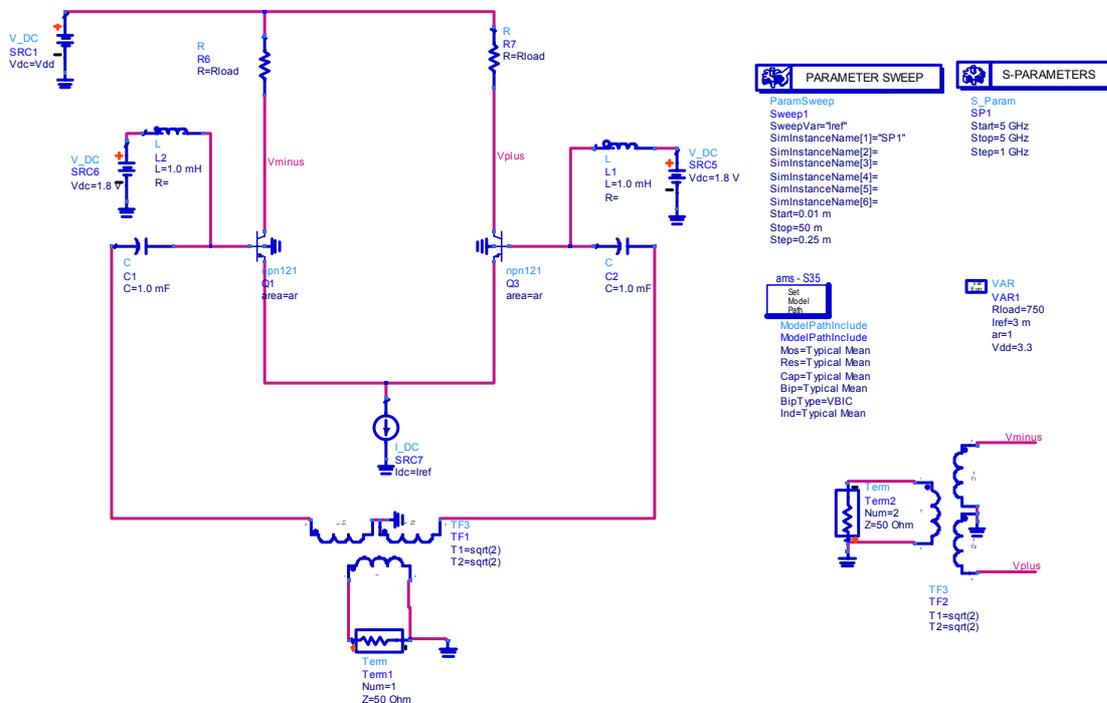


Figura 9.9. Esquemático para simular la dI para mínimo ruido.

Por simplicidad, se ha fijado el parámetro “Area” de los transistores a la unidad y se ha calculado la NF_{min} en función de la corriente de polarización del par diferencial. Los resultados de la simulación se pueden comprobar en la Figura 9.10, obteniendo una $dI=25\text{mA}/\text{Area}$ en modo diferencial por los dos transistores, es decir $dI=12.5\text{mA}/\text{Area}$ por transistor, para un NF_{min} de 23.94 dB.

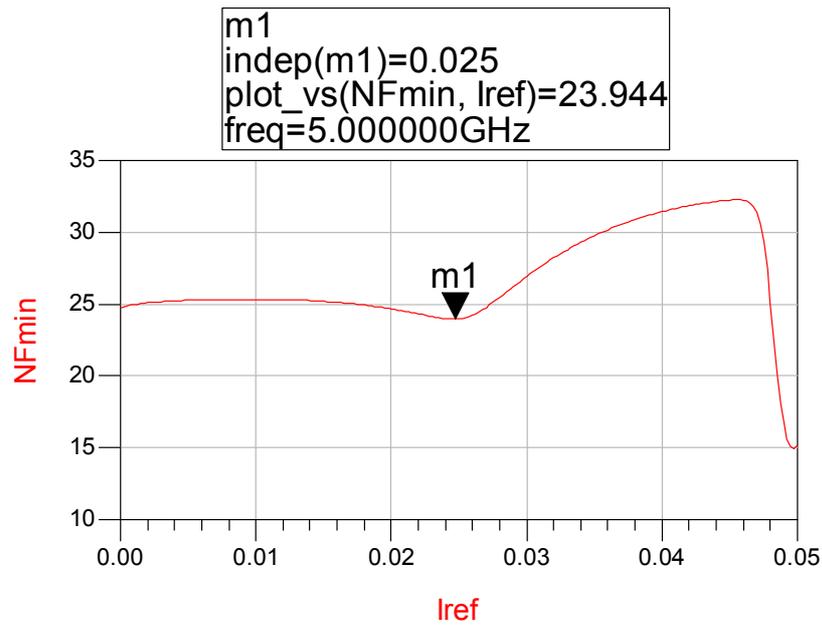


Figura 9.10. Resultados de la simulación para la obtención de la dI para mínimo ruido.

También se ha calculado la resistencia de carga para mínimo ruido. Utilizando los resultados anteriores ($I_{ref}=25\text{mA}$ y $Area=1$) hemos realizado un barrido de la resistencia de carga (R_{load}) para la obtención de mínimo ruido. El esquemático utilizado para dicha simulación es el de la Figura 9.11.

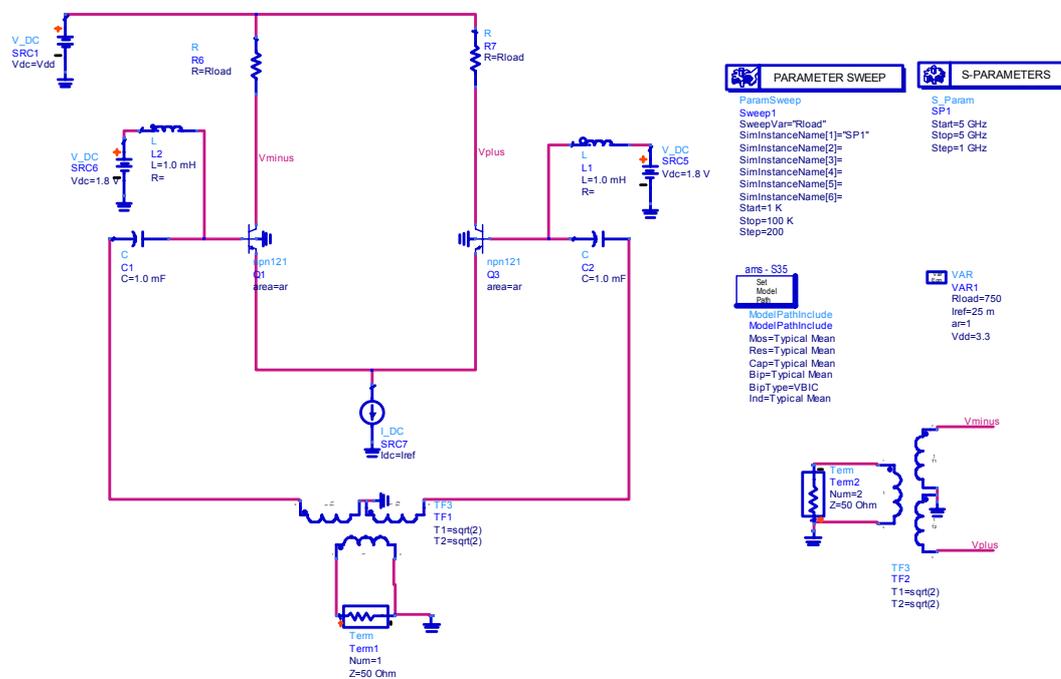


Figura 9.11. Esquemático para simular la Rload para mínimo ruido.

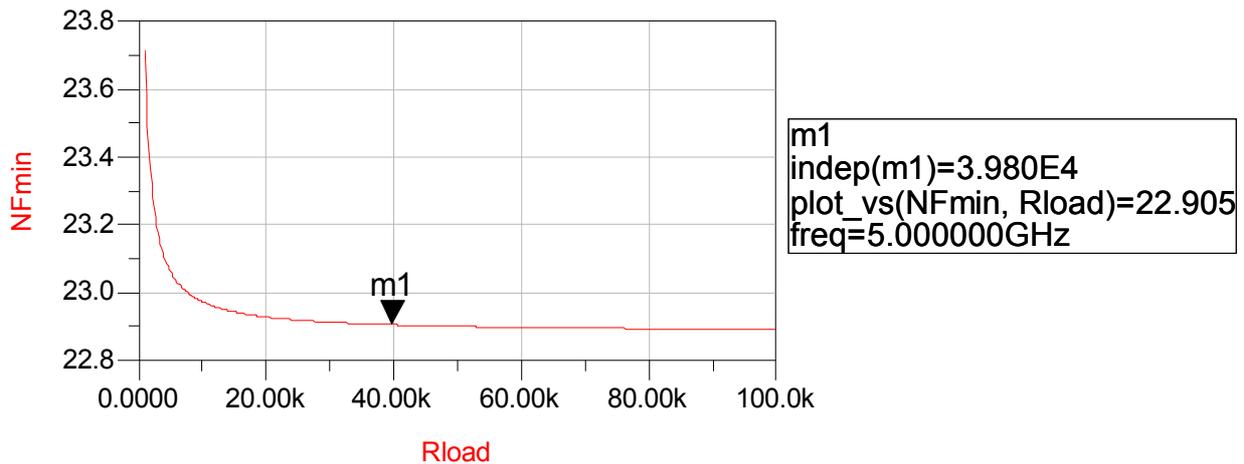


Figura 9.12. Resultados de la simulación para la obtención de la Rload para mínimo ruido.

Como se observa en los resultados de la simulación (ver Figura 9.12) para minimizar el ruido, el valor de Rload debe ser alto (mayor de 20 k Ω).

9.2.7. Resultados de la simulación del VCO mejorado

Con los datos obtenidos en el apartado 9.2.6, es decir, uso del tanque con varactor JVAR, densidad de corriente por transistor de $dI=25\text{mA}/\text{Area}$ y una Rload grande se ha vuelto a rediseñar el VCO a nivel esquemático. Se ha simulado el VCO y el ruido de fase ha mejorado tal y como se observa en la Figura 9.13.

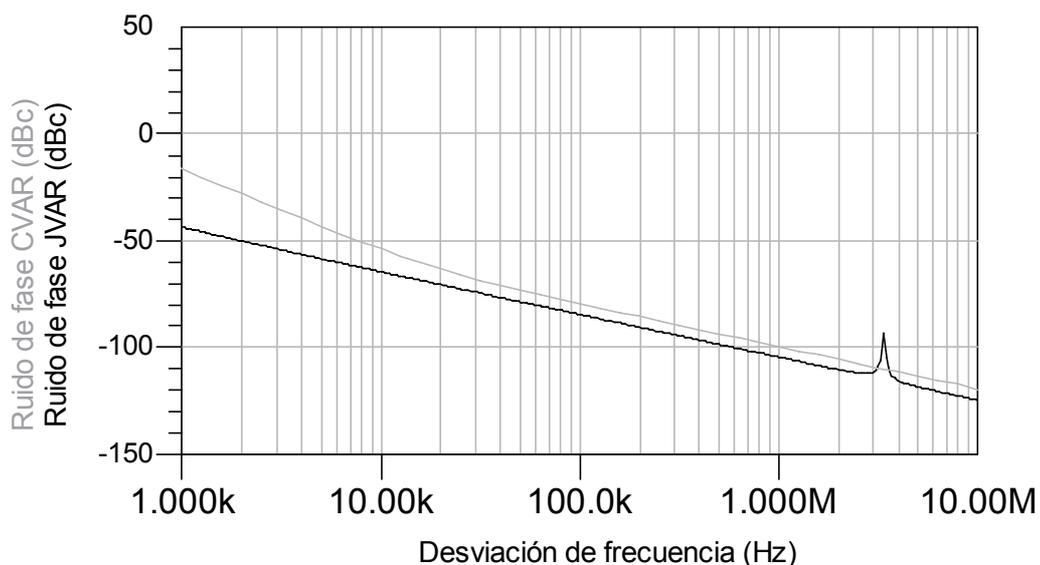


Figura 9.13. Ruido de fase del VCO original (en gris) y del VCO mejorado (en negro).

Para 1 kHz de offset el ruido de fase ha mejorado en 27 dB, mientras que a partir de 50 kHz ha mejorado en 5 dB.

La curva tensión de control-frecuencia de salida ya no es tan abrupta como en el VCO original (veáse la Figura 9.14). Esto se debe a que la variación de la capacidad del varactor utilizado en el nuevo VCO es lineal en un rango más amplio.

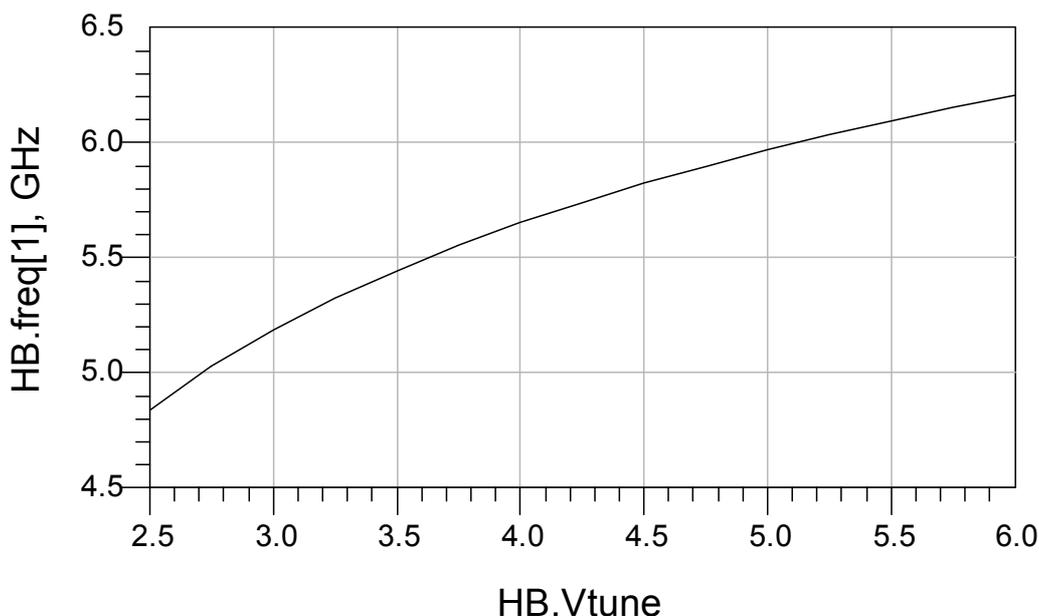


Figura 9.14. Curva tensión de control – frecuencia de salida para el VCO mejorado.

Si el VCO mejorado se hubiera fabricado y medido, su ruido de fase no sería el simulado, tal como ocurrió con el VCO original. Se ha estimado el ruido de fase real del nuevo VCO tomando los datos medidos del VCO original y traduciendo la mejora de 5 dB obtenida en las simulaciones en el VCO mejorado. De esta manera los datos utilizados para el ruido de fase utilizados son los de la Tabla 9.14.

Tabla 9.14. Características del sintetizador (módulo de ADS denominado **N_Tones**) para el VCO mejorado

		VCO original	VCO mejorado
Ruido de fase	Offset de 1 MHz	-87 dBc/Hz	-92 dBc/Hz
	Offset de 5 MHz	-105 dBc/Hz	-110 dBc/Hz
	Offset de 10 MHz	-117 dBc/Hz	-122 dBc/Hz

Con los datos del VCO mejorado se ha vuelto a simular el sistema completo. Desafortunadamente y como era de esperar, debido a que el ruido de fase del nuevo VCO no ha alcanzado

los valores de la Tabla 9.13, el PER para la simulación del NACR no ha cambiado de forma considerable.

De esta manera se concluye que la combinación de componentes que cumplen con las especificaciones del estándar IEEE 802.11a son las dos siguientes:

- El LNA doble balanceado, el mezclador basado en la célula de Gilbert y una etapa de FI.
- El LNA doble balanceado, el mezclador pasivo y dos etapas de FI.

9.3. Conclusiones

En esta tesis se ha realizado un estudio pormenorizado de un receptor para redes inalámbricas según el estándar IEEE 802.11a en una tecnología de bajo coste. Para ello, primero se realizó un estudio del estándar, prestando especial atención a la capa física del mismo. Se siguió con el estudio de distintas arquitecturas para el diseño del receptor eligiendo la de baja frecuencia intermedia por su sencillez de diseño y baja sensibilidad al ruido *flicker*. El problema de cómo rechazar la frecuencia imagen en esta arquitectura se optó por resolverlo utilizando un filtro polifásico después de la amplificación de baja frecuencia.

Para conseguir las especificaciones de los elementos a diseñar, se simuló el sistema con ADS, comprobando que el receptor cumplía todas las especificaciones del estándar. Este paso se realizó en el capítulo 2, donde se estableció el flujo de diseño general de receptor. Todo el estudio y elección, tanto de la arquitectura como de las especificaciones de los distintos bloques, ha estado justificado mediante simulaciones y medidas, todas acordes con las especificaciones del estándar. Una vez obtenidas las especificaciones de cada elemento se pasó a diseñar cada uno, comenzando con el LNA.

En primer lugar se estudiaron los fundamentos de diseño de los LNAs para posteriormente diseñar dos. Uno con configuración cascodo y otro igual que el anterior, pero con configuración balanceada, consiguiendo un mayor rechazo al modo común. Se dibujaron los *layouts* de ambos y mediante simulaciones *post-layout* se comprobó que cumplían las especificaciones impuestas.

Se siguió con el diseño del mezclador de frecuencias. Una vez hecho su correspondiente estudio teórico y clasificación de las diversas topologías, se pasó al diseño de un mezclador activo y otro pasivo. El mezclador activo diseñado fue el basado en la célula de Gilbert. Debido a

que tiene tres niveles de transistores, y para mejorar la linealidad del mismo, se diseñó también una variación del mismo, que es el mezclador doblado. Este último tiene dos niveles de transistores, mejorando de esta manera el rango dinámico con respecto al anterior. Se dibujaron los *layouts* de ambos y mediante simulaciones se comprobó que cumplían las especificaciones requeridas, obteniendo mejor prestación de linealidad en el doblado. Se diseñó también un mezclador pasivo. Este último se pudo fabricar y medir, comprobando la similitud entre la medida y la simulación.

El siguiente paso fue el diseño, medida y fabricación del VCO totalmente integrado, que es la parte más delicada del sintetizador. Se optó por la configuración de un oscilador LC, la cual es la que nos da un ruido de fase mínimo en comparación con otras estructuras. Se diseñó, fabricó y midió mostrando el proceso de diseño y medida. Se comprobó que la frecuencia de oscilación medida coincidía con la simulada, en cambio el ruido de fase medido era peor debido a parásitos no tenidos en cuenta en las simulaciones.

También se diseñaron, a nivel de transistores, los componentes más importantes del sintetizador: el detector de fase frecuencia, la bomba de carga, el filtro de bucle y el divisor rápido. Se verificó el funcionamiento del sintetizador con ADS. Para disminuir el tiempo de simulación, se modeló el divisor rápido y el VCO, comprobando que el sintetizador era estable y podía engancharse de un canal a otro.

Para finalizar el diseño de los bloques básicos, se diseñaron el filtro polifásico y el amplificador de FI. Del primero se hizo un estudio teórico y se explicó detalladamente el proceso de diseño. Su utilización en el rechazo de la frecuencia imagen es novedosa.

Para comprobar si los componentes diseñados se podían utilizar en el receptor se volvió a simular el sistema, pero esta vez con las prestaciones obtenidas tras los diseños. Se comprobó que las especificaciones de sensibilidad, máxima señal a la entrada y ACR se cumplían para todas las combinaciones de componentes mientras que la de NACR no la cumplía en todas, debido principalmente al ruido de fase del VCO, siendo necesario un rediseño del mismo. Para conseguir que todos los componentes diseñados pudiesen ser utilizados, se rediseñó el VCO, mejorando su ruido de fase. Dicha mejora no sirvió para que la simulación del NACR cumpliera las especificaciones del estándar para todas las combinaciones de componentes. A partir de estos resultados se concluyó que las combinaciones de componentes que cumplían con las especificaciones del estándar IEEE 802.11a eran:

- El LNA doble balanceado, el mezclador basado en la célula de Gilbert y una etapa de FI.
- El LNA doble balanceado, el mezclador pasivo y dos etapas de FI.

En la presente tesis se ha alcanzado el principal objetivo propuesto en el capítulo 1, que es el estudio y diseño de los distintos componentes que conforman la parte de RF de un receptor para redes inalámbricas según el estándar IEEE 802.11a, todo ello sobre una tecnología de bajo coste. Se ha abordado el diseño del receptor desde cero, comenzando con la elección de la arquitectura, el establecimiento inicial de las especificaciones de cada elemento de forma razonada hasta el diseño de los bloques que conforman el receptor. Se ha finalizado con la problemática encontrada en la comprobación del sistema, identificando los problemas y dando soluciones.

El receptor trabaja en la banda de 5 a 6 GHz y todos los circuitos se han diseñado utilizando una tecnología de Si de bajo coste con longitud de puerta mínima de 0.35 μm . Un aspecto a recalcar en la presente tesis es que casi todos los circuitos diseñados se encuentran al límite de las prestaciones de la tecnología.

Otro aspecto a destacar es que se han abordado diversas facetas de la rama de diseño de RF. Entre ellas se encuentran el análisis de sistema con el establecimiento justificado de las prestaciones de cada bloque y el diseño de circuitos de RF tales como LNAs, mezcladores, VCOs, filtros y amplificadores. El *layout* de los circuitos se ha dibujado teniendo en cuenta el uso de técnicas de RF como es el caso del centroide común, utilización de anillos de guarda o contactos a tierra. También se ha abordado y explicado el proceso de medida de circuitos (de RF) sobre oblea utilizando una estación de puntas y diversa instrumentación específica de RF.

9.4. Líneas abiertas

Las líneas abiertas por el presente trabajo son numerosas y variadas. A continuación enumeramos algunas de ellas:

- Fabricación y medida de los LNA, los mezcladores activos, el sintetizador completo, el amplificador operacional y el filtro polifásico.
- Unión de todos los bloques diseñados y realización del receptor completo, intentado poner en el circuito diferentes puntos de prueba a la salida de cada bloque fundamental.

- Mejora de las simulaciones del sistema incluyendo los efectos del canal de transmisión en el PER, las especificaciones de los convertidores ADC (número de bits, ruido, linealidad, etc.) y la parte de tratamiento digital en banda base.
- Con ayuda de la experiencia adquirida en el diseño del receptor, se podría desarrollar la parte de transmisión del módulo de RF, prestando especial atención a la implementación del amplificador de potencia y su influencia en el resto de la parte de RF.
- Aprovechando que están diseñados y fabricados varios bloques fundamentales de RF se podría estudiar el efecto del ruido a través del sustrato entre la parte digital y la de RF.

Bibliografía

[ADSAG] Advanced Design System, <http://eesof.tm.agilent.com/>.

[AGI02] Agilent S 8720E S Parameter Network Analyzer Manual, 2002.

[AGU99] Jaime Aguilera Pérez, “Diseño de componentes pasivos en tecnología CMOS para RF”, *Proyecto Final de Carrera*, Universidad de Navarra, Escuela Superior de Ingenieros, 1999.

[AHO04] R. Ahola, A. Aktas, J. Wilson, K. R. Rao, F. Jonsson, I. Hyyryläinen, A. Brolin, T. Hakala, A. Friman, T. Mäkinen, J. Hanze, M. Sandén, D. Wallner, Y. Guo, T. Lagerstam, L. Noguer, T. Knuutila, P. Olofsson and M. Ismail, “A Single-Chip CMOS Transceiver for 802.11a/b/g Wireless LANs”, *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, Dec. 2004.

[AMS05] 0.35 μm HBT BiCMOS Design Rules, Revision: 5.0, Austria Mikro System.

[AND00] P. Andreani, S. Mattisson, and B. Essink, “A CMOS gm-C polyphase filter with high image band rejection”, *26th European Solid-State Circuits Conference*, pp. 244–247, Sep. 2000.

[AND00bis] P. Andreani and S. Mattisson, “A CMOS gm-C IF Filter for Bluetooth”, *Proceedings of the IEEE Custom Integrated Circuit Conference 2000*, pp. 391 -394, May 2000.

[AND01] P. Andreani, S. Mattisson and B. Essink, “A CMOS gm-C Polyphase Filter with High Image Band Rejection”, *Proceedings on ESSCIRC 2001*, pp. 244-247, Sep. 2000.

[ARM02] J. Armstrong, “OFDM – Orthogonal Frequency Division Multiplexing”, *IEEE Signal Processing Society-Victorian Chapter Presentation*, May. 2002.

[BAN04] D. R. Banbury, N. Fayyaz, S. Safavi-Naeini, S. Niknesan, “A CMOS 5.5/2.4 GHz dual-band smart-antenna transceiver with a novel RF dual-band phase shifter for WLAN 802.11a/b/g”, *Digest of Radio Frequency Integrated Circuits (RFIC) Symposium*, pp.157-160, Jun. 2004.

[BEH03] A. R. Behzad, Z. Ming Shi, S. B. Anand, Li Lin, K. A. Carter, M. S. Kappes, T.H. (Eric) Lin, T. Nguyen, D. Yuan, S. Wu, Y. C. Wong, V. Fong and A. Rofougaran, "A 5-GHz Direct-Conversion CMOS Transceiver Utilizing Automatic Frequency Control for the IEEE 802.11a Wireless LAN Standard", *IEEE Journal of Solid-State Circuits*, vol. 38, no. 12, Dec. 2003.

[BHA05] J. Bhattacharjee, D. Mukherjee, E. Gebara, S. Nuttinck, J. Laskar, "A 5.8 GHz fully integrated low power low phase noise CMOS LC VCO for WLAN applications", *IEEE MTT-S Microwave Symposium Digest*, vol. 1, pp. 585-588, Jun. 2002.

[CHA02] H Lee, S. Chakraborty, A. Sutono, S. Yoo, D. Heo, J. Laskar, "Broadband highly integrated LTCC front-end module for IEEE 802.11a WLAN applications", *Microwave Symposium Digest, 2002 IEEE MTT-S International*, vol. 2, pp. 1045-1048, Jun. 2002.

[CHI02] Chia-Wei Wu, Ming-Chun Su, Pai-Shan Hsiao, Kuo-Pin Lan, Klaus Yung-Jane Hsu, "A Direct-Conversion CMOS Receiver for 5GHz Wireless LAN", *2002 Asia-Pacific Conference on ASIC*, pp. 311-314, Aug. 2002.

[COP00] Miles A. Copeland, Sorin P. Voinigescu, David Marchesan, Petre Popescu, Michael C. Maliepaard, "5-GHz SiGe HBT Monolithic Radio Transceiver with Tunable Filtering" *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, iss. 2, pp. 170 -181, Feb. 2000.

[CRA95]. Craninckx, M. Steyaert, "1.8-GHz CMOS low-phase-noise voltage-controlled oscillator with prescaler", *IEEE Journal of Solid-State Circuits*, vol. 30, iss. 12, pp 1474-1482, Dec. 1995.

[CSAGE] Circuit Sage, <http://www.circuitsage.com/filter/ladder.zip>.

[DAB05] Jerzy Dabrowski, Radio-Electronics TSEK 26, 4 P, "RF CMOS Transceiver Design", <http://www.ek.isy.liu.se/courses/tsek26/>, System Design, 2005.

[DAV83] Craig Davis, Tom Mills, Keith Mueller, "Digital PLL Synthesis", *National Semiconductor Application Note 335*, Apr. 1983.

- [ELL99] F. Ellinger, U. Lott, W. Bächtold, "A 5.2 GHz variable gain LNA MMIC for adaptive antenna combining", *IEEE Microwave Symposium Digest*, vol. 2, pp. 501-505, Jun. 1999.
- [EMI03] Ahmed A. Emira and Edgar Sánchez-Sinencio, "A Pseudo Differential Complex Filter for Bluetooth With Frequency Tuning" *IEEE Transactions On Circuits And Systems I: Analog and Digital Signal Processing*, vol. 50, no. 10, Oct. 2003.
- [ENC93] J. Encinas, "Phase Locked Loops", *Chapman & Hall*, 1993.
- [FAR02] B. McFarland, A. Shor, A. Tabatabaei, "A 2.4 & 5 GHz dual band 802.11 WLAN supporting data rates to 108 Mb/s", *Annual Technical Digest on Gallium Arsenide Integrated Circuit (GaAs IC) Symposium*, pp. 11-14, Oct. 2002.
- [FISHER] Tony Fisher's , LC Filter Design, <http://www-users.cs.york.ac.uk/~fisher/lcfilter/>.
- [GEI85] R. L. Geiger and E. Sánchez-Sinencio, "Active Filter Design Using Operational Transconductance Amplifiers: A Tutorial," *IEEE Circuits and Devices Magazine*, vol. 1, pp. 20-32, Mar. 1985.
- [GON05] A.Goñi Iturri, S.L.Khemchandani, J.del Pino, J.García, B.González Pérez, A.Hernández Ballester, "Design and modeling of an on-silicon spiral inductor library using improved EM simulations", *Microtechnologies for the New Millennium 2005, SPIE Europe*, May 2005.
- [GOT98] R. Götzfried, F. Beißwanger, S. Gerlach, A. Schüppen, H. Dietrich, U. Seiler, K. Bach, J. Albers, "RFIC's for Mobile Communication Systems Using SiGe Bipolar Technology", *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, no. 5, pp. 661-668, May 1998.
- [IEE802] "IEEE std 802.11a-1999. Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz band", 1999.
- [JAC98] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation, *IEEE Press*, 1998.

- [KAR03] Vincent Karam, "A Current Folded Down Conversion Mixer in 0.18 μ CMOS", *Carleton University*, 2003.
- [KEE96] W. O. Keese, "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loops", *National Semiconductor Application Note 1001*, May 1996.
- [KLE03] B.-U. Klepser, M. Punzenberger, T. Ruhlicke, M. Zannoth, "5-GHz and 2.4-GHz dual-band RF-transceiver for WLAN 802.11a/b/g applications", *Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 37 – 40, Jun. 2003.
- [KRA98] Alexander Krall, "A 2.4 GHz CMOS Frequency Synthesizer", *Integrated Circuits & Systems Laboratory UCLA*, 1998.
- [KRI02] V. Krizhanovskii, Nguyen Trung Kien; Sang-Gug Lee, "0.18 μ m CMOS LNA and Mixer for Mireless LAN Applications", *IEEE Microwave and Telecommunication Technology, 2002, 12th International Conference*, pp. 137-138, Sep. 2002.
- [KUGEL] T. Kugelstadt, "Active Filter Design Techniques" Texas Instruments SLOD006A, available at <http://www-s.ti.com/sc/psheets/sloa088/sloa088.pdf>.
- [LCPAS] Design an L-C Low pass or High pass Filter, http://www.wa4dsy.net/filter/hp_lp_filter.html.
- [LEE98] Thomas H. Lee, "The Design of CMOS Radio Frequency Integrated Circuits", *Cambridge University Press*, ISBN-0-521-63061-4, 1998.
- [LEE02] Thomas H. Lee, Hiram Samavati, H. R. Rategh, "5-GHz CMOS Wireless LANs", *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, iss. 1, pp. 268 -280, Jan. 2002.
- [LON90] S. L. Long, S.E. Butner, "Galium Arsenide Digital Circuit Design", McGraw-Hill. 1990.
- [MAE04] T. Maeda, H. Yano, T. Yamase, N. Yoshida, N. Matsuno, S. Hori, K. Numata, R. Walkington, T. Tokairin, Y. Takahashi, M. Fujii, H. Hida, "A direct-conversion CMOS transceiver for 4.9-5.95 GHz multi-standard WLANs", *Digest of Solid-State Circuits Conference, 2004, ISSCC. 2004*, vol. 1, pp. 90-515, Feb. 2004.

[MAXFR] <http://members.aol.com/maxfro/private/butter.html>.

[MEL01] J. Meléndez Lagunilla, “Diseño de un Terminal de Conversión Directa a Baja Frecuencia Intermedia para GPS en Tecnología CMOS”, *Tesis Doctoral, San Sebastián*, Noviembre, 2001.

[NAU92] B. Nauta. “A CMOS Transconductance-C Filter Technique for Very High Frequencies”, *IEEE Journal of Solid State Circuits*, vol. 27, no. 2, pp. 142-153, Feb. 1992.

[PER04] L. Perraud, M. Recouly, C. Pinatel, N. Sornin, J.-L. Bonnot, F. Benoist, M. Massei, and O. Gibrat, “A Direct-Conversion CMOS Transceiver for the 802.11a/b/g WLAN Standard Utilizing a Cartesian Feedback Transmitter”, *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, Dec. 2004.

[PIE03] B. Piernas, K. Nishikawa, T. Nakagawa, K. Araki, K., “A compact and low-phase-noise Ka-band pHEMT-based VCO”, *IEEE Transactions on Publication Microwave Theory and Techniques*, vol, 51, iss. 3, pp. 778 – 783, Mar. 2003.

[PIN02] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" *Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria*, 2002.

[PIN03] J. del Pino, "Analog Integrated Filter Design", *Internal Report, Fraunhofer Institute for Integrated Circuits*, 2003.

[PIP03] S. Pipilos, E. Metaxakis, A. Tzimas, S. Vlassis, S. Sgourenas, Y. Tsvividis, T. Varelas, “A single-chip transceiver for 802.11a and Hiperlan2 wireless LANs”, *Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 33-36, Jun. 2003.

[PRA99] Lluís Prat Viñas, “Circuitos y dispositivos electrónicos. Fundamentos de electrónica”, *Edicions UPC*, 1999.

[PRE99] H. Presting, U. König, “State and Applications of Si/SiGe High frequency and Optoelectronic Devices”, Daimler-Chrysler Research Center, disponible en <http://iaee.tuwien.ac.at/gme/hofg99/presting.htm>, 1999.

- [RAJ03] M. K. Raja, T. T. C. Boon, K. N. Kumar, Wong Sheng Jau, "A fully integrated variable gain 5.75-GHz LNA with on chip active balun for WLAN", *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 432-442, Jun. 2003.
- [RAZ98] Behzad Razavi, "RF Microelectronics", *Prentice Hall*, 1998.
- [RAZ00] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", *The McGraw-Hill Companies*, 2000.
- [RUN03] Informe "Run 2003" asociado al proyecto "Desarrollo de Circuitos Integrados para Redes Inalámbricas en la Banda de 5GHz", *Instituto de Microelectrónica Aplicada*, Nov. 2003.
- [RYY02] J. Ryyanen, K. Kivekas, J. Jussila, A. Parssinen, K. Halonen, "RF gain control in direct conversion receivers", *IEEE International Symposium on Circuits and Systems, ISCAS 2002*, vol. 4, pp. 117-120, May 2002.
- [SAA88] R. Saal, "Handbuch zum Filterentwurf – Handbook of Filter Design", Hüthig, 1988.
- [SAM00] Hiran Samavati, Thomas. H. Lee, Hamid R. Rategh, "A 5-GHz CMOS Wireless LAN Receiver Front End", *IEEE Journal of Solid-State Circuits*, vol. 35, no. 5, pp. 765-772, May 2000.
- [SAN00] E. Sánchez-Sinencio and J. Silva-Martinez, "CMOS transconductance amplifiers, architectures and active filters: a tutorial", *IEEE Proceedings on Circuits Devices Systems*, vol. 147, no. 1, Feb. 2000.
- [SAU03] Sau-Mou Wu, Ron-Yi Liu, Wei-Liang Chen, "A 5.8-GHz delta-sigma fractional-N frequency synthesizer for IEEE 802.11a applications", *Proceedings on 5th International Conference on ASIC*, vol. 2, pp. 1074-1077, Oct. 2003.
- [SEN02] J. del Pino, J. R. Sendra, A. Hernández, S.L. Khemchandani, J. Aguilera, B. González, J. García, and A. Nunez "Models and Tools for CMOS Integrated Inductors", *Analog Integrated Circuits and Signal Processing, Kluwer Academic Publishers*, vol.33, pp. 171–178, , 2002.
- [SCH01] R. Schaumann and M.E.V. Vlakenburg, "Design of Analog Filters" *Oxford University Press*, 2001.

- [SCH99] M. Schatzmayr, “Development of a SiGe BiCMOS process for ASIC Applications”, AMS, Austria Mikro Systeme International AG, disponible en <http://iaee.tuwien.ac.at/gme/hofg99/schatzmayr.htm>, 1999.
- [SED85] A. S. Sedra, W. M. Snelgrove, and R. Allen, “Complex analogue bandpass filters design by linear shifting real low-pass prototypes,” *IEEE Proceedings on Circuits and Systems*, pp. 1223–1226, 1985.
- [STR95] Ben G. Streetman, “Solid state electronic devices”, *Prentice Hall*, 1995.
- [SZE81] S. M. Sze, “Physics of Semiconductor Devices”, *John Wiley & Sons*, 1981.
- [TIM04] Agilent Technologies, “Timed Components”, September 2004.
- [TIN00] Ting-Ping Liu, Eric Westerwick, “5-GHz CMOS Radio Transceiver Front-End Chipset”, *IEEE Journal of Solid-State Circuits*, vol. 35, no. 12, pp. 1927-1933, Dec. 2000.
- [TSA05] M Tsai, Cho -D.; H. Wang, “A 5-GHz Low Phase Noise Differential Colpitts CMOS VCO”, *IEEE Microwave and Wireless Components Letters*, vol. 15, iss. 5, pp. 327-329, May 2005.
- [VAL05] M. Valla, G. Montagna, R. Castello, “A 72-mW CMOS 802.11a Direct Conversion Front-End With 3.5-dB NF and 200-kHz $1/f$ Noise Corner”, *IEEE Journal of Solid-State Circuits*, vol. 40, no. 4, pp. 970-977, Apr. 2005.
- [VAL93] Mac E. Van Valkenburg, Wendy M. Middleton, “Reference data for Engineers: Radio, Electronics Computer and Communications”, *Prentice Hall*, 1993.
- [VAS03] Iason Vassiliou, “A Digitally Calibrated 5.15GHz – 5.825GHz Transceiver for 802.11a Wireless LANs in 0.18 μ m”, *SVC Wireless*, Apr. 2003.
- [VAV04] K. Vavelidis, I. Vassiliou, T. Georgantas, A. Yamanaka, S. Kavadias, G. Kamoulakos, C. Kapnistis, Y. Kokolakis, A. Kyranas, P. Merakos, I. Bouras, S. Bouras, S. Plevridis, and N. Haralabidis, “A Dual-Band 5.15–5.35-GHz, 2.4–2.5-GHz 0.18- μ m CMOS Transceiver for 802.11a/b/g Wireless LAN”, *IEEE Journal of Solid-State Circuits*, vol. 39, no. 7, Jul. 2004.
- [WLA04] Agilent Technologies, “WLAN Design Guide”, September 2004.

[YUA99] J.S. Yuan, "SiGe, GaAs, and InP Heterojunction Bipolar Transistors," John Wiley & Sons, 1999.

[ZAR02] Masoud Zargari, David K. Su, C. Patrick Yue, Shahriar Rabii, David Weber, Brian J. Kaczynski, Srenik S. Metha, Kalwant Singh, Sunetra Mendis, Bruce A. Wooley, "A 5-GHz CMOS Transceiver for IEEE 802.11a Wireless Lan Systems", *IEEE Journal of Solid-State Circuits*, vol. 37, no. 12, pp 1688-1694, Dec. 2002.

[ZAR04] M. Zargari, M. Terrovitis, S.H. Jen, B.J. Kaczynski, MeeLan Lee, M.P. Mack, S.S. Mehta, S. Mendis, K. Onodera, H. Samavati, W.W. Si, K. Singh, A. Tabatabaei, D. Weber, D.K. Su, B.A. Wooley, "A single-chip dual-band tri-mode CMOS transceiver for IEEE 802.11a/b/g wireless LAN", *IEEE Journal of Solid-State Circuits*, vol. 39, iss. 12, pp. 2239-2249, Dec. 2004.

[ZHA03] P. Zhang, T. Nguyen, C. Lam, D. Gambetta, T. Soorapanth, B. Cheng, S. Hart, I. Sever, T. Bourdi, A. Tham and B. Razavi, "A 5-GHz Direct-Conversion CMOS Transceiver", *IEEE Journal of Solid-State Circuits*, vol. 38, no. 12, Dec. 2003.

[ZHO02] S. Zhongming, R. Rofougaran, "A single-chip and multi-mode 2.4/5GHz RF transceiver for IEEE 802.11 wireless LAN", *International Conference on Microwave and Millimeter Wave Technology, ICMMT 2002*, pp. 229-232, Aug. 2002.

Acrónimos

AC: Alternating Current

ACR: Adjacent Channel Rejection

ADC: Analog-to-Digital Converter

ADS. Advanced Design System©

AMS: Austria Mikro Systeme International

B: Ancho de banda

BER: Bit Error Rate

BiCMOS: Bipolar Complementary Metal Oxide Semiconductor

BPF: Band Pass Filter

BPSK: Binary Phase Shift Keying

BJT: Bipolar Junction Transistor

C/N: Carrier to Noise Ratio

CAD: Computer Aided Design

CCK: Complementary Code Keying

CDF: Component Description Format

CDMA: Code Division Multiple Access

CICyT: Comisión Interministerial de Ciencia y Tecnología

CMFB: Common Mode Feedback

CMOS: Complementary Metal Oxide Semiconductor

CNRR: Common Noise Rejection Ratio

CVD: Chemical Vapor Deposition

CW: Continuous Wave

DAC: Digital to Analog Converter

DC: Direct Current

DR: Dynamic Range

DUT: Device Under Test

FEC: Forward Error Correction

FDM: Frequency Division Multiplexing

FFT: Fast Fourier Transform

FI: Frecuencia intermedia

G: Ganancia

GBW: Gain Bandwidth Product

GI: Guard Interval

GP: Ganancia de potencia

GSG: Ground Signal Ground

HB: Harmonic Balance

HBT: Heterojunction Bipolar Transistor

HPF: High Pass Filter

I/Q: Inphase and Quadrature

IC: Integrated Circuit

ICI: Intercarrier Interferente

IEEE: Institute of Electrical and Electronics Engineers

IF: Intermediate Frequency

IFFT: Inverse Fast Fourier Transform

IIP3: Input IP3

IP3: Third-order Intercept Point

IM: Inter-Modulation

IM3: Third-order Inter-Modulation

ISI: Intersymbol Interferente

ISM: Industrial, Scientific and Medical Band

IUMA: Instituto Universitario de Microelectrónica Aplicada de Las Palmas de Gran Canaria

LAN: Local Area Network

LNA: Low Noise Amplifier

LPF: Low Pass Filter

MAC: Medium Access Control

Mbps: Mega bits per second

MCM: Multi Chip Module

MIC: Monolithic Integrated Circuit

MMIC: Monolithic Microwave Integrated Circuit

MOS: Metal Oxide Semiconductor

MOSFET: Metal-Oxide Semiconductor Field-Effect Transistor

NACR: Non Adjacent Channel Rejection

NF: Noise Figure

NF_{\min} : Minimum Noise Figure of device at this bias and frequency

OFDM: Ortogonal Frequency Division Multiplexing

OIP3: Output IP3

OL: Oscilador local

P_{1dB} : Punto de compresión a 1 dB

PAC: Periodic AC

PCB: Printed Circuit Board

PER: Packet Error Rate

PHY: Physical Layer

PLL: Phase Locked Loop

PN: Phase Noise

PSDU: Sublayer Service Data Units

PSS: Periodic Steady State Analysis

Q: Factor de calidad o Quadrature

QAM: Quaternary Amplitude Modulation

QPSK: Quaternary Phase Shift Keying

RBW: Resolution Bandwidth

RF: Radio Frecuencia

RFIC: Radio Frequency Integrated Circuit

SFDR: Spurious Free Dynamic Range

SGS: Signal Ground Signal

SIR: Signal to Interferer Ratio

SMA: SubMiniature Version A

SNR: Signal to Noise Ratio

SOI: Silicon on Insulator

SSB NF: Single Side-band Noise Figure

THD: Total Harmonic Distortion

UNII: Unlicensed National Information Infrastructure Band

VCO: Voltage Controlled Oscillator

VNA: Vector Network Analyzer

VSWR: Voltage Standing Wave Ratio

WLAN: Wireless Local Area Network

Publicaciones y aportaciones en congresos

Para finalizar, se adjuntan las diferentes publicaciones que han sido realizadas durante este trabajo de investigación. En total han sido cinco publicaciones, de las que una ha sido aportaciones a revistas especializadas, cuatro a congresos de ámbito internacional.

Revistas:

[1] S. L. Khemchandani, A. Goñi-Iturri, J. del Pino, B. González, J. García y A. Hernández, “A Synthesizer for WLAN with a Fully Integrated VCO in 0,35 μm SiGe Technology”, *Journal of Analog Integrated Circuits and Signal Processing*, Special issue. Aceptado, pendiente de publicación.

Congresos internacionales:

[2] R. Diaz, R. Pulido, A. Goñi Iturri, S. L. Khemchandani, B. Gonzalez and J. del Pino, “A Fully Integrated Mixer in CMOS 0.35 μm Technology for 802.11a WIFI Applications”, XIX Design of Circuits and Integrated Systems Conference, Páginas: 73-78. Bordeaux (Francia) November 24-26, 2004. Internacional. ISBN: 2-9522971-0-X.

[3] A. Goñi Iturri, S. L. Khemchandani, J. del Pino and A. Hernandez, “A 5 GHz SiGe VCO for WLAN Using Optimized Spiral Inductors”, XIX Design of Circuits and Integrated Systems Conference, Páginas: 603-607. Bordeaux (Francia) November 24-26, 2004. Internacional. ISBN: 2-9522971-0-X.

[4] S.L.Khemchandani, R.Pulido, A.G.Iturri, R.Diaz, A.Hernández, J.del Pino, “A fully integrated low-noise amplifier in SiGe 0.35 μm technology for 802.11a WIFI applications”, *Microtechnologies for the New Millennium 2005*, SPIE Europe, 9 a 11 de Mayo de 2005.

[5] S. L. Khemchandani, A. Goñi-Iturri, J. del Pino, B. González, J. García y A. Hernández, “A Synthesizer for WLAN with a Fully Integrated VCO in 0,35 μm SiGe Technology”, XX Design of Integrated Circuits and Systems Conference Portugal, Nov-2005, Internacional. ISBN – 972-99387-2-5.

Bordeaux, France
November 24-26, 2004

Call for Papers

DCIS 2004

XIX Conference on Design of Circuits and Integrated Systems

dcis2004@ixl.fr
www.dcis.org

The Conference aims at gathering the experts in the field of Microelectronics and at providing a forum to exchange ideas and information on industrial and research results.

The design of integrated circuits and systems as well as all related aspects are in the scope of the conference. Both Universities and Companies are invited to participate.

DCIS 2004 will take place at ENSEIRB, a graduate engineering school in Electronics, Computer Science and Telecommunications, located at Bordeaux 1 University campus.

ORGANIZED BY



**Proceedings of the XIX Conference on Design of
Circuits and Integrated Systems**

ISBN 2-9522971-0-X

© 2004 The authors

Special thanks to Angélique Tételin and Nicolas Moll

A Fully Integrated Mixer in CMOS 0.35 μm Technology for 802.11a WIFI Applications

R. Diaz, R. Pulido, A. Goni-Iturri, S. L. Khemchandani, B. Gonzalez, J. del Pino
 Institute for Applied Microelectronics of Las Palmas de Gran Canaria University, Spain.
 sunil@iuma.ulpgc.es

Abstract—In the last years, WIFI (Wireless Fidelity) market has shown an incredible growth, exceeding expectations. This paper presents a fully integrated passive mixer in CMOS 0.35 μm technology for the 5 GHz band, according to the IEEE 802.11a WIFI standard. To compensate the passive mixer attenuation, an operational amplifier is used. All passives devices are on chip, including integrated inductors which have been designed by electromagnetic simulations. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

Index Terms— Mixer, WIFI, IEEE 802.11a, CMOS, integrated inductors.

I. INTRODUCTION

Nowadays the market has been flooded by WIFI products. WIFI allows users to connect to the internet from their couch at home, a bed in a hotel room or a conference room at work without wires. Companies, universities, airports, coffee houses, hotels and some small towns are setting up wireless free access points to provide internet access for any visitor. WIFI enables computers to send and receive data indoors and out, anywhere within the range of a base station. It is several times faster than the fastest cable modem connection. In order to access to this services, the computer must have a WIFI certified radio device (a PC card or similar device). They operate in the 5 GHz band, which is far away from the 2.4 GHz band used in the WIFI 802.11b/g standard.

The WIFI 802.11a standard offers the advantages of higher data rates, far more available spectrum, less sharing with other uses such as cordless phones and Bluetooth radio, and an environment with much less noise and interference from other electronic devices.

The designed mixer is suitable to be used with 802.11a standard. The physical layer of 802.11a is based on orthogonal frequency-division multiplexing (OFDM), a modulation technique that uses multiple carriers to mitigate the effects of multipath [1], [2]. As indicated in Fig. 1, this standard supports multiple 20 MHz channels, with each channel being an OFDM modulated signal consisting of 52 carriers.

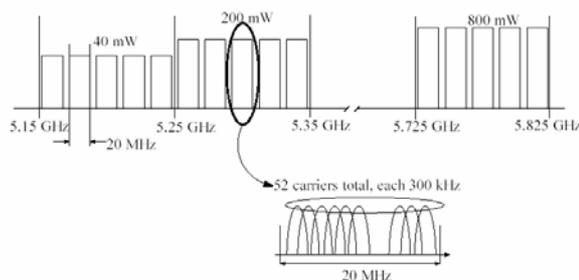


Fig. 1. Channel Allocation in IEEE 802.11a standard.

In order to obtain the mixer specifications we have analyzed various receiver architectures. We have selected a low IF architecture to build-up the analog receiver (see Fig 2). Thus only one phase locked-loop (PLL) and one mixer in the 5 GHz band should be designed. In a double conversion architecture we would need to design two different mixers and two different PLLs, one fixed at the higher possible frequency, and the other, at a lower frequency, which is in charge of channel selection. Both mixers are easier to design than the one proposed here, however the complete receiver would have more power consumption and bigger area. In general, the proposed direct conversion solution is cheaper than the double conversion architecture.

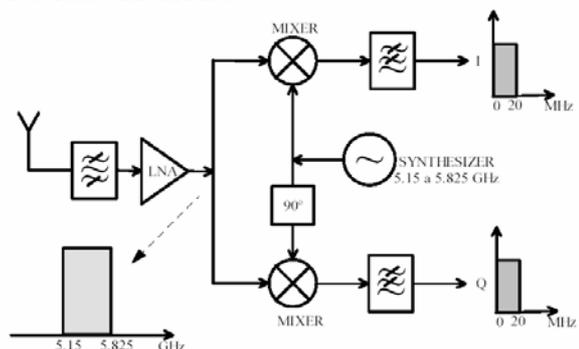


Fig. 2. Direct conversion receiver for IEEE 802.11a.

The organization of this paper is the following. In section II we explain the passive mixer topology. The next section is devoted to the mixer design. In order to compensate the mixer losses, an operational amplifier is introduced in section IV. In section V we show the results. Finally, a short summary is given in section VI.

II. MIXER TOPOLOGY

Mixers based directly on multiplication generally exhibit superior performance than those based on device non-linearities because they ideally generate only the desired intermodulation product. Also, because the inputs to a multiplier enter at separate ports, there can be a high degree of isolation among all three signals (RF, LO and IF) [3][4].

There are several multiplier-based mixer topologies reported in literature:

- Current mode mixers: simple-balanced and double-balanced (Gilbert).
- Potentiometric mixers.
- Passive double-balanced mixers.

Current mode mixers first converts an incoming RF voltage into a current through a transconductor, whose linearity and NF set a bound on the overall mixer linearity and NF. An alternative is to use a potentiometric mixer where its four MOSFETs operating in triode region and used as voltage-controlled resistances. This type of mixers exhibits good linearity and high noise figures due to the resistive thermal noise of the inputs FETs. Finally, passive double-balanced mixers switch the RF signal directly in the voltage domain. This kind of mixers operates at low-power but no gain is added.

A CMOS mixer employing a multiplying quad (M1-M4) is shown in the Fig. 3 [5]. The multiplying quad operates in the triode region, and thus MOSFETs M1-M4 can be seen as resistors.

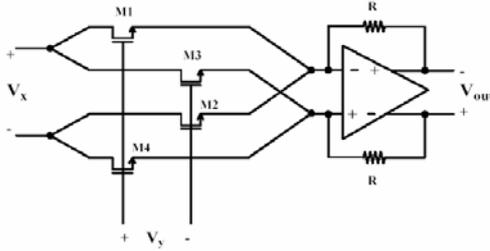


Fig. 3. CMOS potentiometric mixer schematic.

The negative output voltage of the mixer is given by:

$$V_{o-} = -R \cdot (I_{D1} + I_{D2}) \quad (1)$$

While the positive output voltage is:

$$V_{o+} = -R \cdot (I_{D3} + I_{D4}) \quad (2)$$

Thus, the total output voltage is given by:

$$V_{out} = V_{o+} - V_{o-} = -R \cdot (I_{D1} + I_{D2} - I_{D3} - I_{D4}) \quad (3)$$

When the MOSFETs are in the linear or triode region, the drain current is given by:

$$I_D = \mu \cdot C_{OX} \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \left(\frac{V_{DS}^2}{2} \right) \right] \quad (4)$$

Using Equation (4) and taking into account that the DC gate-source voltage of all MOSFETs is the same, the drain currents can be written as:

$$I_{D1} = \mu \cdot C_{OX1} \left[\left(V_{GS} + \frac{V_y}{2} - V_{T1} \right) \left(\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left(\frac{V_x}{2} \right)^2 \right] \quad (5)$$

$$I_{D2} = \mu \cdot C_{OX2} \left[\left(V_{GS} - \frac{V_y}{2} - V_{T2} \right) \left(\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left(\frac{V_x}{2} \right)^2 \right] \quad (6)$$

$$I_{D3} = \mu \cdot C_{OX3} \left[\left(V_{GS} - \frac{V_y}{2} - V_{T3} \right) \left(\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left(\frac{V_x}{2} \right)^2 \right] \quad (7)$$

$$I_{D4} = \mu \cdot C_{OX4} \left[\left(V_{GS} + \frac{V_y}{2} - V_{T4} \right) \left(\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left(\frac{V_x}{2} \right)^2 \right] \quad (8)$$

If $C_{OX1}=C_{OX2}=C_{OX3}=C_{OX4}$, then using equation (3) and equations (5-8) the output voltage of the mixer can be rewritten as:

$$V_{out} = R \cdot \mu \cdot C_{OX} \cdot \left(\frac{V_x}{2} \right) \cdot \left[\frac{V_y}{2} - V_{T1} + \frac{V_y}{2} + V_{T2} + \frac{V_y}{2} + V_{T3} + \frac{V_y}{2} - V_{T4} \right] \quad (9)$$

If $V_{T1} = (V_{T2} \text{ or } V_{T3})$ and $V_{T4} = (V_{T3} \text{ or } V_{T2})$, this equation can be rewritten as:

$$V_{out} = R \cdot \beta \cdot V_x \cdot V_y \quad (10)$$

Therefore, the output voltage is proportional to the multiplication of the input voltages. The gain of the mixer is $K_m = R \cdot \beta$.

III. MIXER DESIGN

In the mixer design, the first problem to solve is to find the DC voltages in order to bias the MOSFETs in the triode region. In addition, the noise figure (NF) must be as small as possible and the third order input intercept point (IIP3) must be as high as possible [6]. In Fig. 4 and 5 the relation between the DC biasing and the NF and IIP3 is shown. As it can be noticed the best combination of V_{drain} and V_{gate} is 2V and 3.2V respectively. These reference voltages were generated on chip.

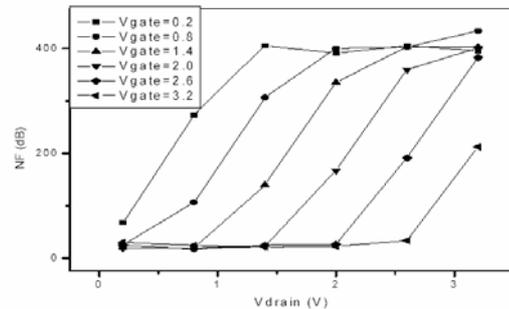


Fig. 4. NF for different values of V_{gate} and V_{drain} .

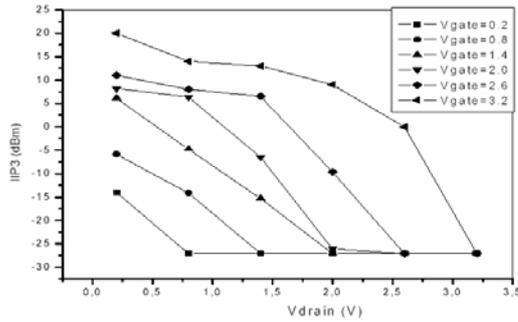


Fig. 5. IIP3 for different values of V_{gate} and V_{drain} .

Once biased the mixer, the MOSFETs must be correctly dimensioned. The transistors length has been fixed to the minimum allowed by the technology, $0.35\mu\text{m}$. With this length high frequency operation is achieved.

As shown in Fig. 6, the transistor width (W) has a strong influence on the mixer NF and IIP3. From this figure the best W can be found. In our case the chosen W value is $30\mu\text{m}$.

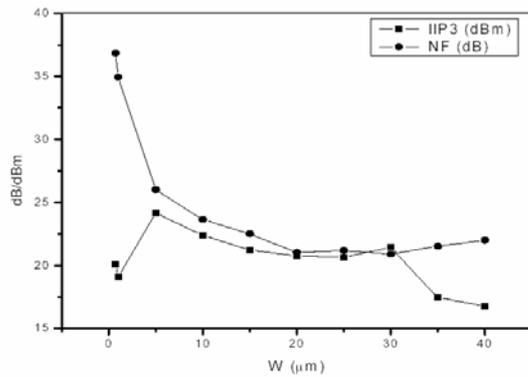


Fig. 6. Influence of W on IIP3 and NF.

As long as the mixer will be measured on-wafer both inputs should be matched to 50Ω . As it is shown in Fig. 7, LC impedance matching networks were used for this purpose.

Capacitors are available in all IC technologies, but the developed mixer is based on a AMS $0.35\mu\text{m}$ SiGe CMOS process, and silicon is a low resistivity substrate ($14\text{-}24\ \Omega\text{-cm}$). Therefore high quality integrated inductors are difficult to obtain, and those provided by the foundry should not satisfy the design requirements. So, a high quality spiral inductors set has been designed by *Momentum*©, from *Agilent Technologies*, electromagnetic simulations [7]. All of them are octagonal and fabricated with the top level metal.

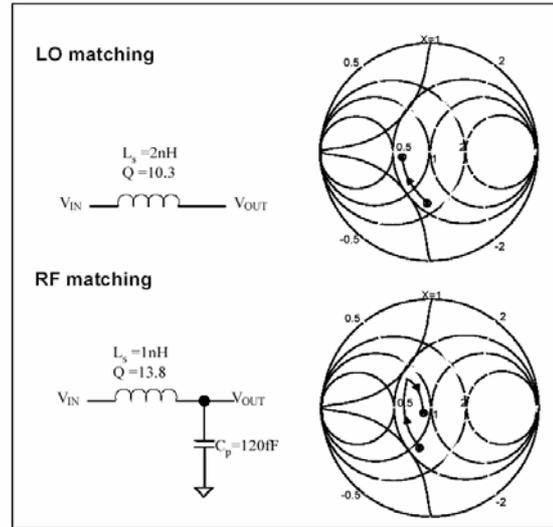


Fig. 7. Mixer inputs matching.

IV. AMPLIFIER DESIGN

A. Input Stage

In order to compensate the mixer losses, an operational amplifier is introduced. In analog integrated circuits it is preferable to process signals differentially because, among other advantages, it improves noise performance and reduces distortion. There are two reasons:

1. Voltages or currents that tend to corrupt the main signal, such as switching noise in the system, power supply ripple, or other extraneous signals, tend to appear in common mode for both positive and negative signal paths and cancel in differential processing.

2. Active devices cause nonlinearities. However, applying the signal differentially and taking the current differentially as well, we cancel the nonlinearity and we double the linear part of the signal for a 6-dB gain.

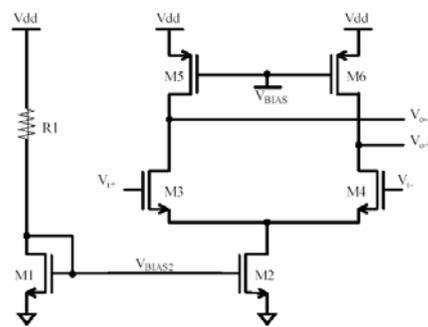


Fig. 8. Fully differential amplifier schematic.

Fig. 8 depicts a fully differential topology. This gm-cell was designed according to the following criterion. Input devices were given relatively small aspect ratios in order to maximise their $V_{dsat} = V_{GS} - V_T$, which completely determines the linearity. Hence, current source transistor (the one at the bottom) operates at the edge of saturation. The lengths of

the input devices are not the minimum allowable. Their lengths were increased to boost the output resistance. The PMOS transistors were sized a number of times larger than the NMOS to achieve adequate matching. Bias transistors constitute a current source/mirror and were sized to multiply the polarization current by the desired factor.

B. CMFB (Common Mode Feedback)

As explained above there are many advantages of fully differential circuits over their single-ended counterparts. However, differential circuits require common mode feedback (CMFB) in order to fix the average DC output voltage. Otherwise the average (or common-mode, CM) output voltage may be too low, pushing the input transistor into the linear region. It may also be too high, pushing the load transistors in the linear region. Keep in mind that all transistors must be kept in the saturation region in order to ensure high gain.

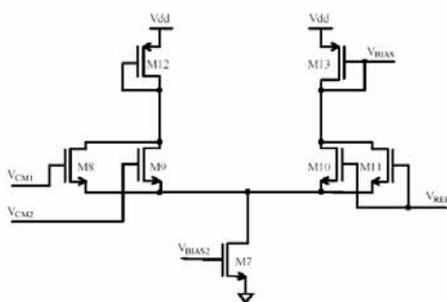


Fig. 9. CMFB schematic.

Regarding to the CMFB amplifier, some requirements must be satisfied. First, the Gain-Bandwidth (GBW) of the CMFB amplifier must be equal or larger than GBW of the differential amplifier in order to ensure stable biasing conditions for all frequencies of interest. Second, the common-mode DC output voltage must be well stabilized and predictable, i.e. independent of transistor matching, temperature, etc. Third, the differential amplifier still must provide a maximum output swing. And finally, the differential amplifier still must operate over a maximum common-mode input voltage.

A CMFB circuit which monolithically integrates the sensing and amplifier stages is shown in Fig. 9. It is simply a differential pair with diode connected loads. The differential input pair performs the comparison of the sensed output CM voltage with the reference input. Any difference between the levels is amplified and a correction voltage is applied to the PMOS current sources loading the gm-cell [8].

C. Output Stage

Fig. 10 shows the developed output stage. This stage presents a good output swing and enough bandwidth to accommodate the output signal [9].

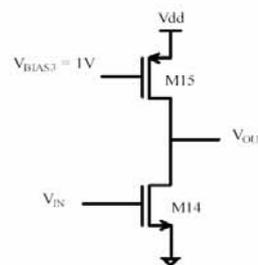


Fig. 10. Output Stage schematic.

V. RESULTS

The circuit photograph is shown in Fig. 11. The total chip area is 0.605 mm², mostly occupied by inductors. In order to test the correct circuit behaviour we have made layout extracted simulations.

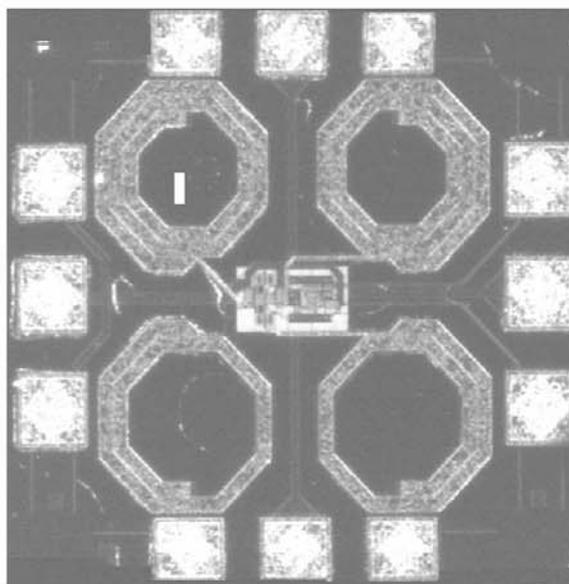


Fig. 11. Photograph of the developed mixer.

Fig. 12 shows the mixer simulated gain. It presents a maximum of 43dB at 5.0GHz. The simulated noise figure is plotted in Fig.13. At the output frequency, 20MHz, the NF is minimum (40dB).

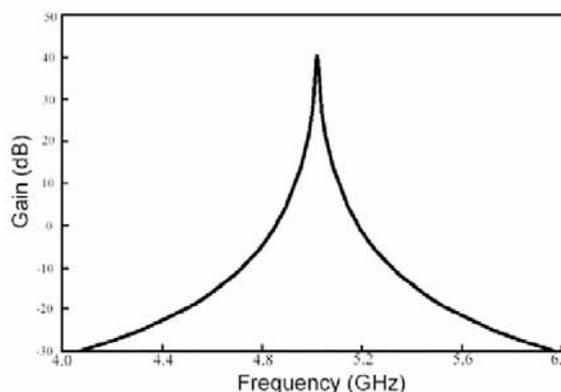


Fig. 12. Simulated gain profile.

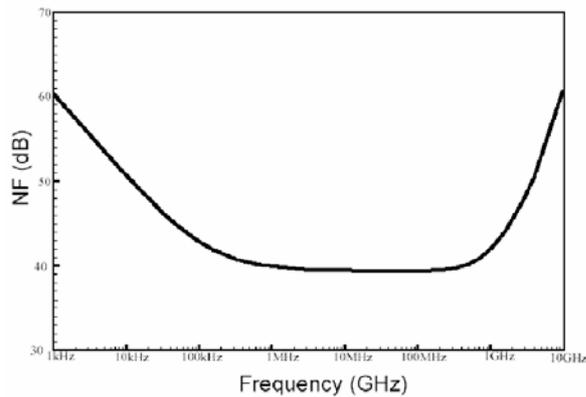


Fig. 13. Simulated noise figure profile.

We have inserted a 5.15 GHz tone signal in the mixer RF port (see RF signal in Fig. 14). At the mixer output port (see Output signal in Fig. 14) we can see this tone at 20 MHz, verifying, in this way, the mixer operation.

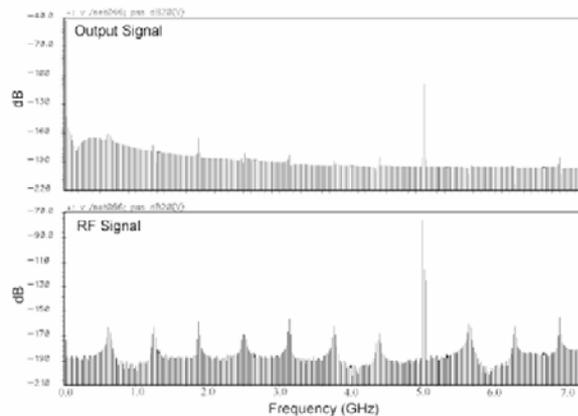


Fig. 14. Input and output spectrum.

The passive mixer simulated performance is summarised in Table I. The power consumption includes the operational amplifier and the voltage sources consumption.

TABLE I
FINAL RESULTS

<i>Parameters</i>	<i>Value</i>
Gain (dB)	43
NF SSB (dB)	45
IIP3 (dBm)	40
OIP3 (dBm)	83
Power consumption (mW)	3,4
Occupied area (mm ²)	0,605

VI. CONCLUSIONS

This work describes the design of a passive mixer for the 802.11a WIFI standard using a 0.35 μ m CMOS standard technology. To compensate the passive mixer attenuation, an operational amplifier was designed. Also a CMFB circuit was used to fix the average DC output voltage of the operational amplifier. All the circuit passive devices were

integrated on chip. The impedance matching network inductors have been custom designed and simulated with an electromagnetic simulator. With the proper mixer topology and design techniques we have designed a mixer suitable to be used in the 5 GHz band. This fully monolithic approach provides an extremely easy-to-use mixer, equivalent to a mixer module suitable for low IF architectures. The obtained specifications demonstrate that the mixer is valid for the WIFI 802.11a standard.

REFERENCES

- [1] "IEEE std 802.11a-1999. Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz band".
- [2] T. H. Meng, B. Mefarland, D. Su, J. Thomson, "Design and Implementation of an All-CMOS 802.11a Wireless Lan Chipset", *IEEE Communications Magazine*, pp. 163-168, August 2003.
- [3] Thomas H. Lee, "The Design of CMOS RF Integrated Circuits", Cambridge University Press, 1998.
- [4] A. Grebene, "Bipolar and MOS Analog Integrated Circuit Design", John Wiley and Sons, 1984.
- [5] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation, IEEE Press, 1998.
- [6] Behzad Razavi, "RF Microelectronics", Prentice Hall PTR, 1999.
- [7] Jan Van Hese, "Design and Simulation of Spiral Inductors on Silicon Substrates", Agilent Technologies.
- [8] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, 2000.
- [9] A. Fallu, "Design of an Integrated Full differential Operational Amplifier in a 0.35 μ m CMOS-AMS technology", Master Thesis, I.M.F. - Technische Universität Berlin, August 2000.

A 5 GHz SiGe VCO for WLAN Using Optimized Spiral Inductors

A. Goni-Iturri, S. L. Khemchandani, J. del Pino, A. Hernandez
Institute for Applied Microelectronics of Las Palmas de Gran Canaria University, Spain.
aiturri@iuma.ulpgc.es

Abstract—Since 1999, wireless LAN market has shown an incredible growth, exceeding expectations. In order to obtain low cost products silicon based technologies are preferred. Due to a low resistivity substrate, high quality integrated inductors are difficult to obtain. Using electromagnetic (EM) simulations, a set of inductors have been obtained with high quality factor to work in the 5 GHz band. As an application, an LC voltage controlled oscillator (VCO) according to IEEE 802.11a wireless LAN standard has been designed. The obtained phase noise is -113 dBc/Hz at 1 MHz offset. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

Index Terms— WLAN, IEEE 802.11a, SiGe, integrated inductors, electromagnetic simulator, phase noise, VCO.

I. INTRODUCTION

NOWDAYS the wireless LAN market has experimented a tremendous growth [1]. This is due to a confluence of factors including the adoption of industry standards and interoperability testing, the progressing of wireless LAN equipment to higher data rates, rapid decreases in product prices, and an industry shift toward mobility and use of laptops. The PHY layer of 802.11a is based on orthogonal frequency-division multiplexing (OFDM), a modulation technique that uses multiple carriers to mitigate the effects of multipath [2]. OFDM distributes the data over a large number of carriers that are spaced apart at precise frequencies. It is one of the most spectrally efficient data modulation techniques available [1].

Wireless applications typically require circuits having low power consumption, low phase noise, small size and low cost. These include mixers, low noise amplifiers (LNA), VCOs, etc. Silicon based technologies, like SiGe or BiCMOS, are good candidate for the implementation of these circuits. The main advantage of SiGe HBTs over III-V HBTs is that a standard Si production line can be used for device fabrication. This allows a low cost production with excellent reliability. Also, several receiver building blocks can be integrated on a single die.

Silicon is a low resistivity substrate and high quality integrated inductors are difficult to obtain. Inductors quality factor (Q) is limited by resistive losses in metal traces, induced currents in metal strips and substrate and by the

metal to substrate capacitance. The design of high Q inductors at these frequencies, having inductances from 0.1 to 10 nH, is a major requirement because the behaviour of RF devices relies on inductors quality.

A number of published works report research activities dealing with this problem, but most of them introduce

changes in the process technology or suggest post-processing techniques to increase the inductors quality factor [3], [4]. Both approaches increase the cost of the final product. The design of optimal inductors for the required frequency, 5GHz in this case, is the key in the design of high-quality receiver front-ends. Electromagnetic simulations will be run in this work with the aim of designing such inductors.

This paper describes the design of inductors with high Q in 0.35 μm SiGe technology using EM simulations. As an application we have designed a fully integrated VCO for IEEE 802.11a standard. All the elements of VCO tank are on chip. This work demonstrates that with proper design and layout techniques it is possible to design a VCO in the 5 GHz band using custom designed integrated inductors with a low cost silicon technology.

The organization of this paper is the following. In section II we describe the correct set up of the used EM simulator, in order to have into consideration all the parasitic effects. Section III is devoted to describe the guidelines followed in the inductors optimizing. A fully integrated VCO using 0.35 μm SiGe technology for the IEEE 802.11a standard is described in section IV. The next section is devoted to the VCO implementation and results. Finally, a short summary is given in section VII.

II. INTEGRATED INDUCTORS SIMULATIONS

A. Integrated Inductors

The most common way to design an integrated inductor on silicon is to layout a simple metallic spiral directly above the substrate. Some foundries offer a set of inductors not designed for a specific application. Therefore, sometimes the quality factor is not as high as the designer needs, or is not centred at the required frequency.

The receiver front-end in our application, the standard 802.11a, requires a number of high quality inductors with inductance values up to 10 nH at 5 GHz.

Manuscript received March 31, 2004.

Fig. 1 shows an example of the difference between a 2 nH square inductor provided by the foundry and one of the designed set. We have doubled the quality factor and shifted the maximum peak to the required frequency range.

B. 2.5-D EM Simulations

The results reported in this work are based on EM simulations. This kind of simulators allows optimizing flexibly the inductor layout structure. The inductor characteristics can be obtained by using a three-dimensional design tool or a two-dimensional one. The former is very time-consuming, although it simulates fully all the inductor parasitic effects [5]. In order to collect a large number of

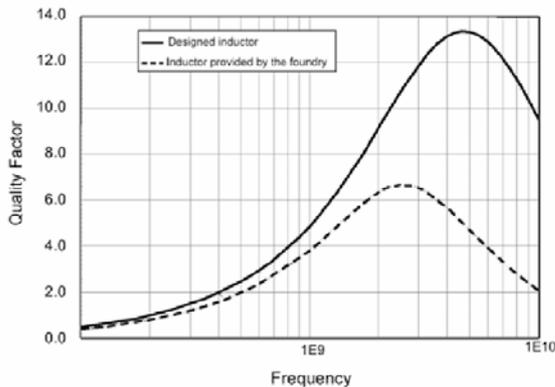


Fig. 1. Comparison between Qs for a 2 nH inductor.

inductors in the 5 GHz frequency range, simulations must be done as fast as possible.

Planar 2-D or so called 2.5-D simulators work quickly, and accept complex coil geometries [5]. We have used one of these simulators, the Advanced Design System planar EM simulator, Momentum©, from Agilent.

The quality factor of the inductor will be limited by the series resistance of the metal traces and the substrate losses. Our simulator requires an accurate setup of the process parameters, taking into account substrate and metallization characteristics [6].

Thick conductor can be simulated with Momentum in two different ways: zero thickness or finite thickness approach [7]. With the former a 3-D conductor is modeled like a sheet conductor using the Surface Impedance Model $Z_s(t, \sigma, \omega)$, where t is the real metal thickness, σ is the metal conductivity and ω is the angular frequency. Z_s takes thickness and frequency dependency (skin effect) of the conductor loss into account. With this approach low-frequency currents will run in entire cross section of the metallization, while high-frequency currents will run in simple skin depth (δ_s) surface layer (see Fig 2.a). δ_s is given by

$$\delta_s = \sqrt{\frac{2}{\omega \cdot \mu \cdot \sigma}} \tag{1}$$

where μ is the metal permeability.

However, with the finite thickness approach we consider thick conductors as two metallization layers, each one characterized by $Z_s(t/2, \sigma, \omega)$. Top and bottom layers will be separated by a t -thickness via characterized as perfect conductor. This way low-frequency currents will run in entire cross section of the metallization, and high-frequency currents will run in double skin depth surface layer (see Fig. 2.b).

Apart from the currents distribution, if we model conductors as a zero thickness layer, we don't define the substrate distances correctly. Momentum is based on the method of moments. This implies that all metal conductors are simulated as infinite thin sheets of metal. Although we set up the thickness of each strip, this is only used for loss calculations, not during the actual EM simulations [7]. So, the finite thickness approach will take into account the correct distances from the substrate, and parasitic capacitances between coil and substrate and between metal tracks will be correctly simulated. As a consequence, quality factor will be centered in the right frequency.

The used technology, Austrian Mikro Systems (AMS) SiGe 0.35 μm , provides four metal levels. Three of them are similar, with equal thickness and conductivity, and the top level metal, M4, is thicker and more conductive. As we will see in section III, the coils were designed using this top metal.

In order to simulate the coils with the correct distances to substrate, metal layers under M4 were defined following the finite thickness approach. M4 was defined as a zero thickness metal, since it is the top metal and there are no conductors above it. Simulations will run faster this way.

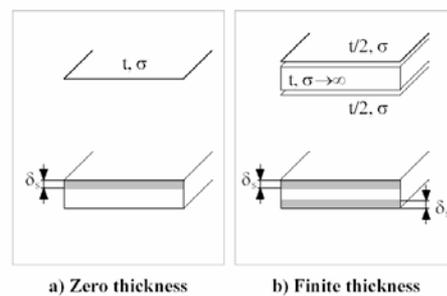


Fig. 2. Layer modeling and high frequency currents distribution.

III. OPTIMUM COIL DESIGN

The aim of this work is to find a large set of inductors with the maximum quality factor Q peak rounding frequencies of 5 GHz.

Spiral inductors with different geometry were simulated. In order to improve its behavior all the designed inductors share some common characteristics.

First of all, the spacing between the metal lines should be as small as possible. Increasing the spacing decreases the total inductance because of the decreasing of the mutual inductance. It also increases the series resistance and the total area. Therefore the spacing (s) will be fixed in 2 μm , the minimum allowed by the foundry.

It's well known that circular shape is the optimum for spiral coils and could bring Q at least 10% higher [8]. However, octagonal shapes were used, since the technology allows 45° routing.

The rest of geometrical parameters have been varied in the following boundaries:

- Spiral maximum radius (r): from 60 to 170 μm .
- Number of turns (n): from 1.5 to 6.5.
- Metal width (w): from 6 to 22 μm .

Some simulations were run to decide the best metal combination in the inductors. As we can see in Fig. 3, coils designed with a single metal (M4) and several shunted metals connected by vias throughout the whole metal length were simulated.

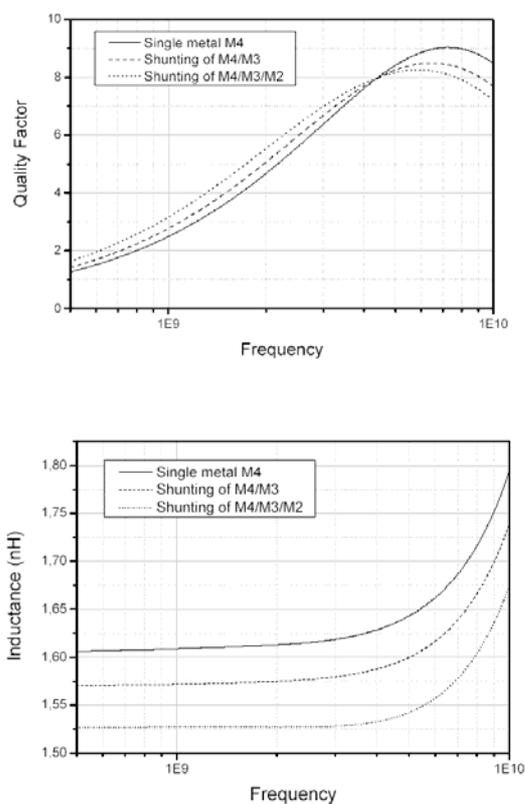


Fig. 3. Quality factor Q and inductance of one of the simulated coils for different metal combinations.

We concluded that in the 5 GHz range, the quality factor is better for the one single metal level implementation. Inductance, however, varies slightly if the metal structure is changed.

So, inductors will be designed with the top metal level, thick and conductive enough to present a low coil resistance, and far from substrate enough to work at high frequencies.

Following the guidelines described above, we designed a

number of high-performance inductors in the 5 GHz frequency range. A group of these inductors is presented in Table 1. It shows the geometrical parameters of each coil, and its inductance value and quality factor at 5 GHz.

In the next section, we choose among all the designed inductors the one which best fits to the VCO requirements.

IV. VCO DESIGN

As an application of the designed inductors, we have designed a VCO for IEEE 802.11a standard. As indicated in Fig. 4, this standard supports multiple 20 MHz channels, with each channel being an OFDM modulated signal consisting of 52 sub-carriers. Each sub-channel is 312 kHz

TABLE I
GEOMETRICAL PARAMETERS FOR HIGH Q INDUCTORS

	n	r (μm)	w (μm)	L (nH)	Q
L1	1.5	100	20	0.6	12
L2	1.5	130	18	1	12.5
L3	1.5	150	18	1.3	12.5
L4	2	120	16	1.3	11.9
L5	1.5	130	10	1.5	11
L6	2.5	130	18	2	10.5
L7	5.5	60	6	2.3	9.2
L8	4.5	90	10	3	9.4
L9	5	80	10	3	9.2
L10	5.5	100	13	3.1	9.3
L11	5.5	70	6	3.5	9.1
L12	3.5	90	6	3.5	9
L13	4.5	80	6	3.9	8.9
L14	4.5	90	6	4.9	8
L15	3.5	130	10	5.3	6.7
L16	5	90	6	5.6	7.3
L17	4.5	100	6	6.2	6.9
L18	5.5	100	6	7.6	5
L19	4.5	120	6	9.1	4.8
L20	6.5	100	6	9.8	5

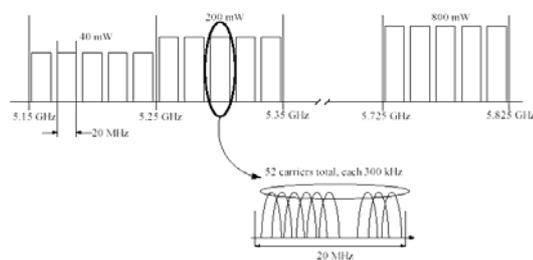


Fig. 4. Channel Allocation in IEEE 802.11a standard.

wide, giving raw data rates from 125 kb/s to 1.124 Mb/s per carrier depending on the modulation type employed (BPSK, QPSK, QAM or 64-QAM) and on the amount of error-correcting code overhead ($1/2$ or $3/4$ rate code).

Table 2 shows the valid operating channels for this standard. Using a direct conversion receiver, the VCO

frequency range must be from 5180 MHz to 5805 MHz (see Table 2).

The VCO is designed using SiGe HBTs as active devices. It is implemented as an LC oscillator topology, integrating all the components of the tank on-chip. The phase noise of LC-tuned oscillators is much better than other configurations because they use the band pass characteristic of the LC-tank to reduce the phase noise [9]. Other type of oscillators, like ring oscillators, suffer from switching effects, can introduce noise in the power supply, and have a worse phase noise than LC-tuned oscillators.

TABLE 2
VALID OPERATING CHANNEL NUMBERS BY REGULATORY DOMAIN AND BAND FOR 802.11a

Band (GHz)	Operating channel numbers (n_{ch})	Channel center frequency (MHz)
U-NII lower band (5.15-5.25)	36	5180
	40	5200
	44	5220
	48	5240
U-NII middle band (5.25-5.35)	52	5260
	56	5280
	60	5300
U-NII upper band (5.725-5.825)	64	5320
	149	5745
	153	5765
	157	5785
	161	5805

The chosen inductor for the VCO tank is L4 (see Table 1) because of its high quality factor at the working frequency and its associated low area. The inductor layout has been generated by an automatic generation tool, and a discrete element model was extracted to be used in simulations [10]. The designed inductor Q is shown in Fig. 5.

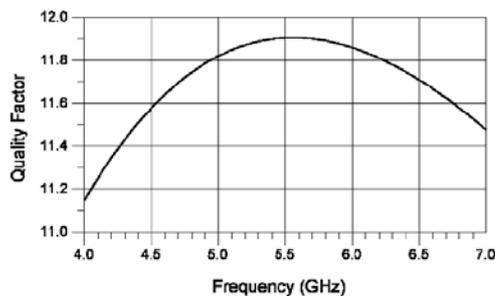


Fig. 5. Integrated inductor quality factor.

To compensate the tank losses we use a negative resistance amplifier. The VCO core uses a cross-coupled transistor pair to build-up the negative resistance. A differential topology provides a more stable frequency versus supply voltage characteristic and improves the immunity to load variations. From Fig. 6(a) the negative resistance, Z_{in} , is given by

$$Z_{in} = \frac{2}{gm} \left(\frac{\beta}{1-\beta} \right) \approx -\frac{2}{gm} \quad \text{for } \beta \gg 1 \quad (2)$$

where gm is the transconductance of the transistor and β is the base to collector current gain.

In addition, there is a buffer amplifier following the oscillator core to provide additional isolation from load variations and to boost the output power. A voltage applied to the TUNE pin connected to the varactor controls the VCO frequency.

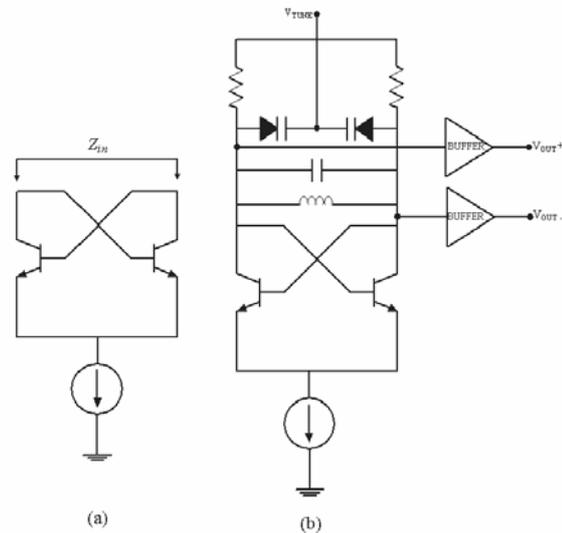


Fig. 6. (a) Negative impedance calculation for the cross-coupled pair. (b) VCO simplified schematic

V. VCO IMPLEMENTATION

VCO performance is influenced by random mismatches due to microscopic fluctuations in dimensions, doping, implant thickness and other parameters. A good differential pair behaviour depends on the base to emitter voltage matching. In order to minimize this mismatch we take into account the following rules:

- Place transistors in close proximity, keeping transistors layout as compact as possible.
- Orient transistors in the same direction.
- Differential pair devices should have the same boundary conditions. This is accomplished by adding dummy components.
- Place transistors well away from the power devices.
- Use common centroid to obtain the best common mode reject relation (CMRR) in the differential pair. This technique results in devices symmetrically placed about a common center in the layout (see Fig. 7).

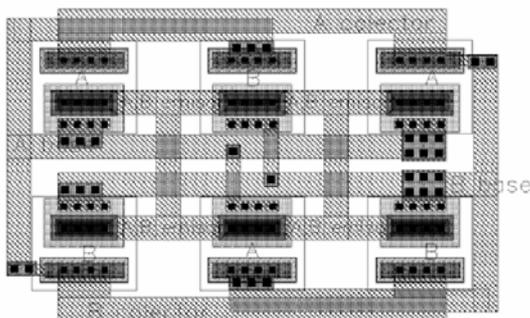


Fig. 7. Differential pair transistor in common centroid configuration.

A MOS varactor is used. Its operation is based on the gate to oxide tunable capacitance. In general, it presents a very good CMAX/CMIN ratio associated with a linear variation. It is implemented by simply connecting the drain and source terminals of an NMOS transistor. In order to match the varactors and reduce the area we use an inter-digit configuration [11].

To minimize the latch-up effect we add many substrate contacts to reduce the resistance of the ohmic regions. Latch-up occurs when there is a large substrate or well currents, and then a voltage drops across ohmic regions and causes parasitic BJTs to turn on and set up positive feedback. Excessive current flow may damage the microcircuit. Fig. 8 shows the VCO layout.

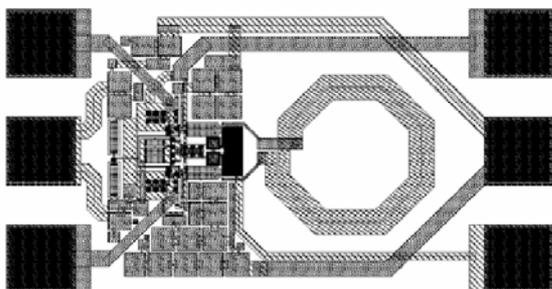


Fig. 8. VCO layout.

The simulated phase noise is shown in Fig. 9. We have achieved a -113 dBc/Hz at 1 MHz offset. The VCO power consumption is 116 mW. The achieved phase noise is suitable for the 802.11a standard requirements.

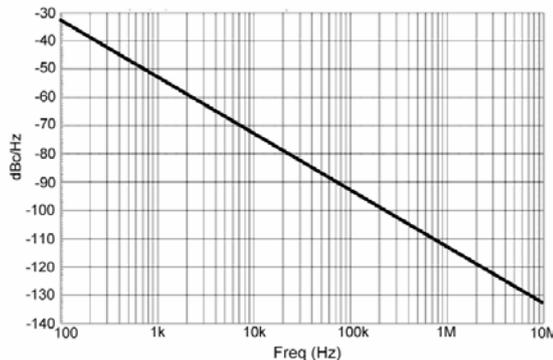


Fig. 9. VCO simulated phase noise.

Fig. 10 shows the tuning range. VCO frequency varies from 4.45 GHz to 6.2 GHz.

This wide tuning range is desirable to compensate for process variation. The total chip area is 0,424 mm².

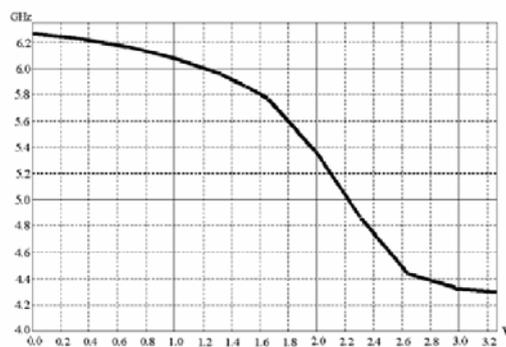


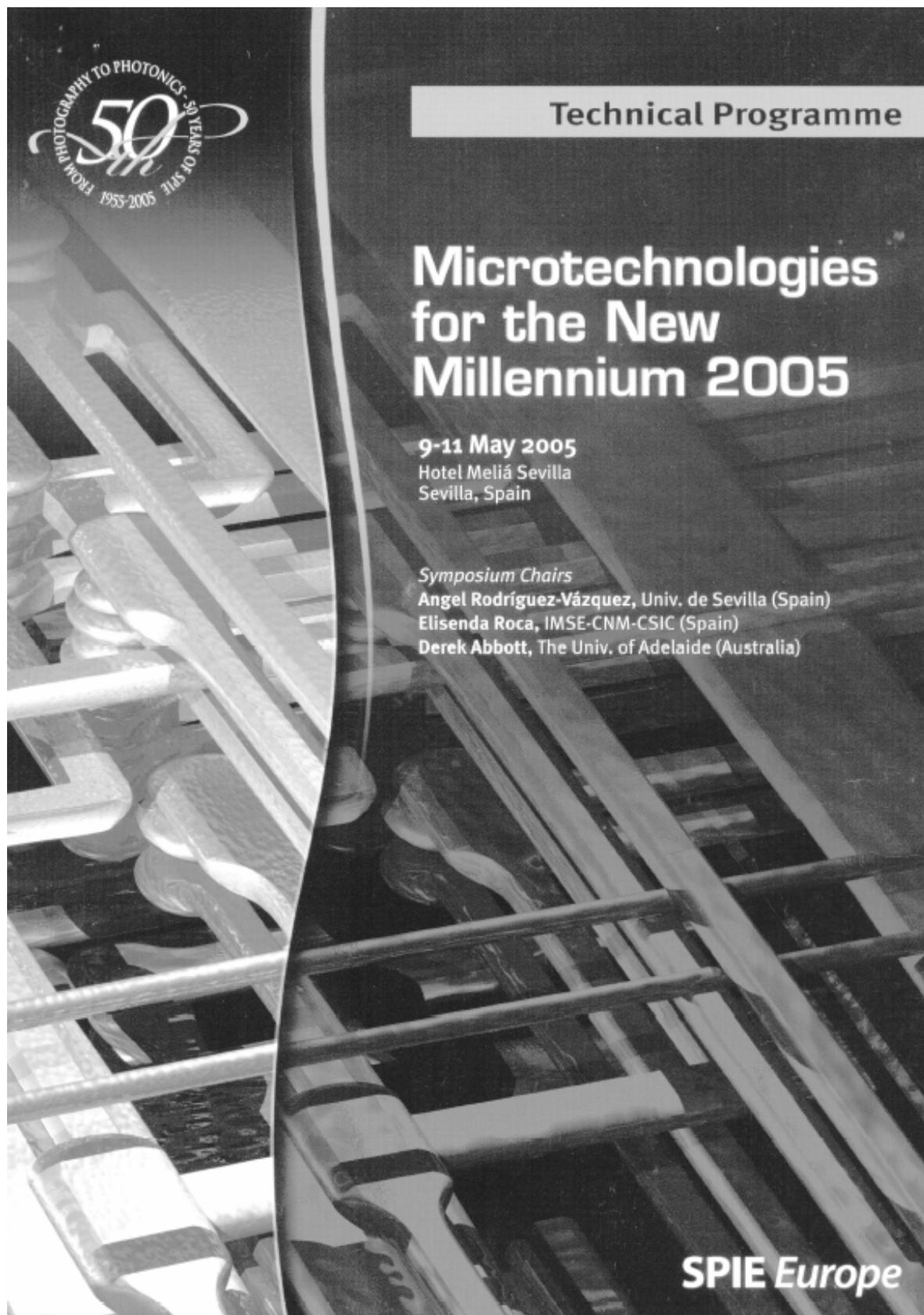
Fig. 10. VCO tuning range.

VI. CONCLUSION

We have studied, by EM simulations, the behaviour of octagonal inductors fabricated in a four metal SiGe 0.35 μm process. Using the top level metal and choosing the correct combination of the geometrical parameters, we have designed inductors with high Q from 0.6 to 10 nH range to work in the 5 GHz band. To test the inductor behaviour, we have designed a fully integrated VCO with on chip tank suitable for IEEE 802.11a WLAN standard. This fully monolithic approach provides an extremely easy-to-use VCO, equivalent to a VCO module suitable for direct conversion architectures. The obtained Q and occupied area fit with our VCO better than the inductors offered by the foundry. With the proper VCO topology and the appropriate layout techniques we have designed a VCO in a low cost technology suitable to be used in the 5 GHz band.

REFERENCES

- [1] T. H. Meng, B. McFarland, D. Su, J. Thomson, "Design and Implementation of an All-CMOS 802.11a Wireless Lan Chipset," *IEEE Communications Magazine*, pp. 163-168, Aug. 2003.
- [2] IEEE std 802.11a-1999, Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz band.



Technical Programme

Microtechnologies for the New Millennium 2005

9-11 May 2005

Hotel Meliá Sevilla
Sevilla, Spain

Symposium Chairs

Angel Rodríguez-Vázquez, Univ. de Sevilla (Spain)

Elisenda Roca, IMSE-CNM-CSIC (Spain)

Derek Abbott, The Univ. of Adelaide (Australia)

SPIE Europe

A fully integrated low-noise amplifier in SiGe 0.35 μm technology for 802.11a WIFI applications

R. Pulido, S. L. Khemchandani, A. Goni-Iturri, R. Diaz, A. Hernández and J. del Pino.
 Dep. Ingeniería Electrónica y Automática / Instituto Universitario de Microelectrónica Aplicada.
 Universidad de Las Palmas de Gran Canaria, Spain.

ABSTRACT

In the last years, WIFI market has shown an incredible growth, exceeding expectations. This paper presents the design of two fully integrated LNAs using a low cost SiGe 0.35 μm technology for the 5 GHz band, according to the IEEE 802.11a WIFI standard. One LNA has an asymmetric configuration and the other a balanced configuration. A comparison between the two LNAs has been made. All passives devices are on chip, including integrated inductors which have been designed by electromagnetic simulations. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

Keywords: Low Noise Amplifiers, Integrated Inductors, WIFI, IEEE 802.11a, SiGe, asymmetric configuration, balanced configuration, electromagnetic simulations.

1. INTRODUCTION

Nowadays the market has been flooded by WIFI (Wireless Fidelity) products. WIFI allows users to connect to the internet from their couch at home, a bed in a hotel room or a conference room at work without wires. Companies, universities, airports, coffee houses, hotels and some small towns are setting up wireless free access points to provide internet access for any visitor. WIFI enables computers to send and receive data indoors and out, anywhere within the range of a base station. It is several times faster than the fastest cable modem connection. In order to access to this services, the computer must have a WIFI certified radio device (a PC card or similar device). They operate in the 5 GHz band, which is far away from the 2.4 GHz band used in the WIFI 802.11b/g standard.

The WIFI 802.11a standard offers the advantages of higher data rates, far more available spectrum, less sharing with other uses such as cordless phones and Bluetooth radio, and an environment with much less noise and interference from other electronic devices.

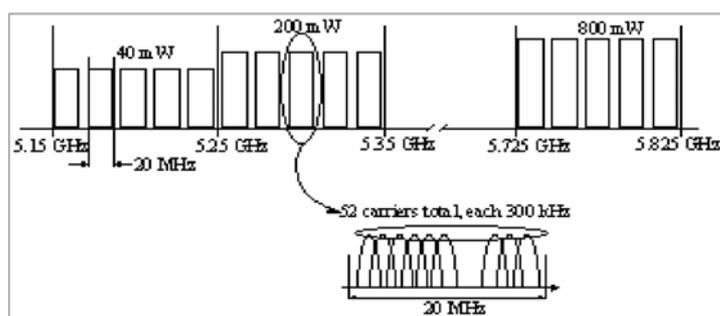


Figure 1. Channel Allocation in IEEE 802.11a standard.

The designed LNAs are suitable to be used with 802.11a standard. The physical layer of 802.11a is based on orthogonal frequency-division multiplexing (OFDM), a modulation technique that uses multiple carriers to mitigate the effects of multipath [1], [2]. As indicated in Figure 1, this standard supports multiple 20 MHz channels, with each channel being an OFDM modulated signal consisting of 52 carriers.

In order to obtain the LNAs specifications we have analyzed various receiver architectures. We have selected a low IF architecture to build-up the analog receiver (see Fig 2). In this case only one phase locked-loop (PLL) and one mixer in

the 5 GHz band should be designed. In a double conversion architecture we would need to design two different mixers and two different PLLs, one fixed at the higher possible frequency, and the other, at a lower frequency, which is in charge of channel selection. In general, the proposed direct conversion solution is cheaper than the double conversion architecture.

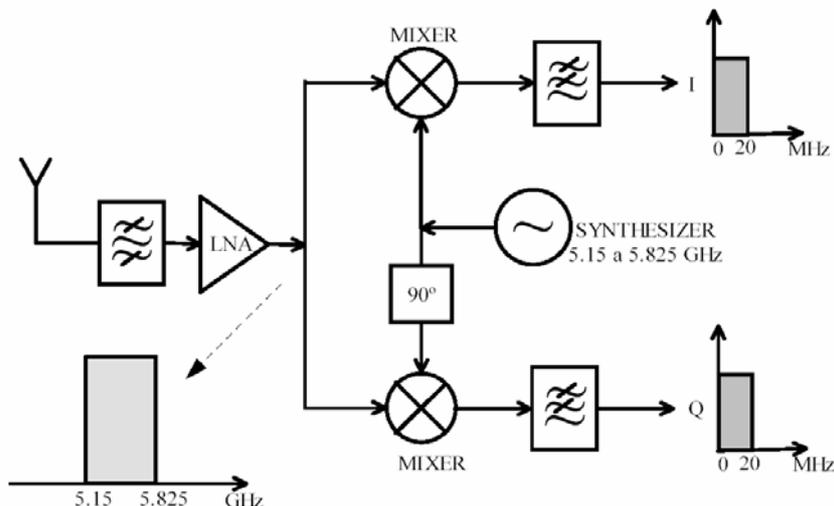


Figure 2. Direct conversion receiver for IEEE 802.11a.

The organization of this paper is the following. In section 2 we explain the LNA topology. The next section is devoted to the LNA design. In section 4 we show the LNA implementation and a comparison between the designed LNAs. Finally, a short summary is given in section 5.

2. LNA TOPOLOGY

To start the analysis of the designed LNAs, we begin with the description of the basic topologies. As shown in figures 3 and 4, there are four possibilities, two of them related as single-ended (common emitter and cascode) and the other two as differential (differential and balanced):

Common Emitter configuration

In figure 3(a) we can see the topology of this structure. It is characterized by its low power consumption. Its NF is usually high due to its high parasitic capacitances.

Cascode configuration (Single-ended)

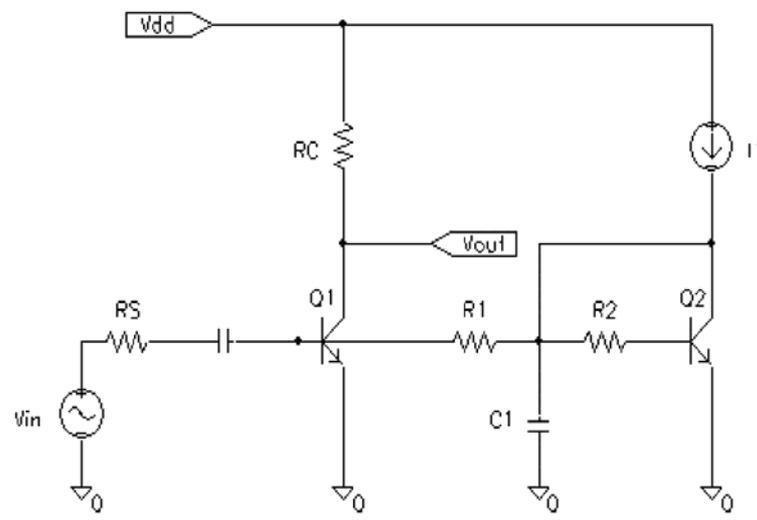
This configuration is shown in figure 3(b). With this topology the isolation between the input and the output is improved thanks to transistor Q2. The polarization circuit is composed by the Q3's network. The input impedance is matched with L_e and L_s . The output impedance is matched by the network composed by L_D and C_L .

Differential configuration

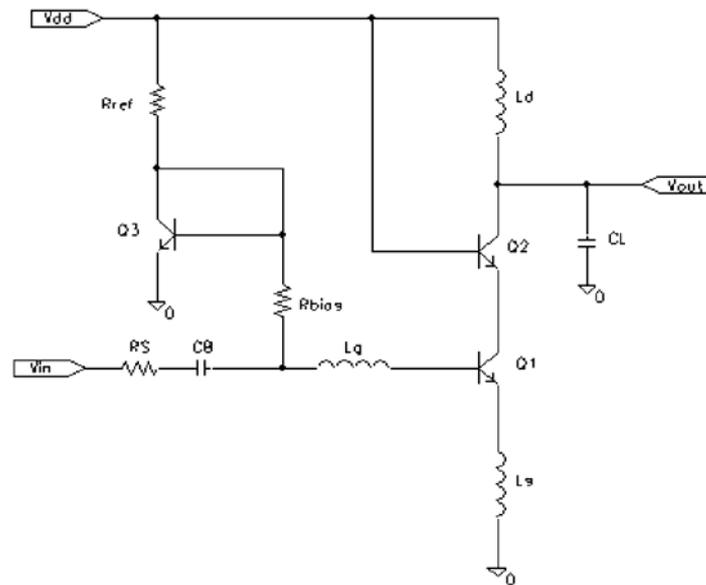
With this configuration (see figure 4(a)), we can obtain the common mode rejection (CMR). This configuration works with differential signals and it is composed by two cascode branches. It has the same advantages that the cascode configuration, besides the mentioned CMR. The power consumption is greater than the other configurations because it has two branches and a current source.

Balanced configuration

This structure is shown in figure 4(b). It has the same advantage that the differential configuration. The power consumption and the NF are smaller than the other configurations. This is because it has not any current source.



(a)



(b)

Figure 3. Single-ended configuration, (a) common emitter, (b) cascode.

Once we have studied the basic topologies, we consider implementing the best structures. In the single-ended case, the chosen structure was the “cascode configuration”. This is due to its high voltage gain and low NF and power consumption. For the differential case, following the same criterion the chosen structure was the “balanced configuration”. Also this structure has high linearity.

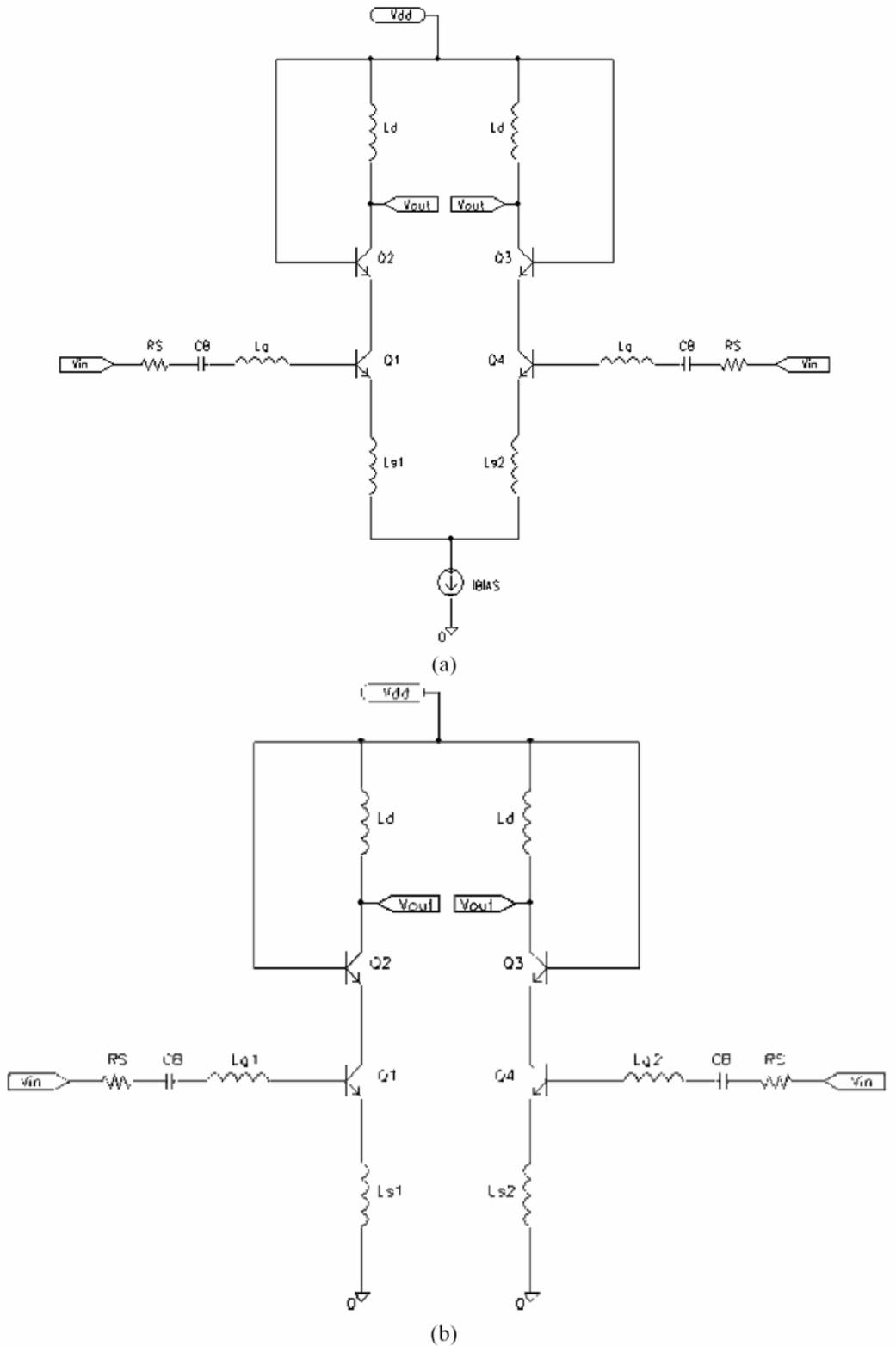


Figure 4. LNA in a differential configuration (a) and in a balanced configuration (b).

3. LNA DESIGN

Lets start with the asymmetric configuration. This is shown in figure 5. The circuit polarization is done with a voltage divider, and it is composed by the resistances R1, R2 and R3. The resistance R4 isolates the polarization from the amplification circuit, which is composed by the transistors Q1 and Q2. The input impedance is matched with Lb and Le. The capacitor C2 isolates the polarization from the amplification circuit. It realizes the same function than the resistance R4. Finally, with the net composed by L3 and C3 we match the output impedance to 50 Ω .

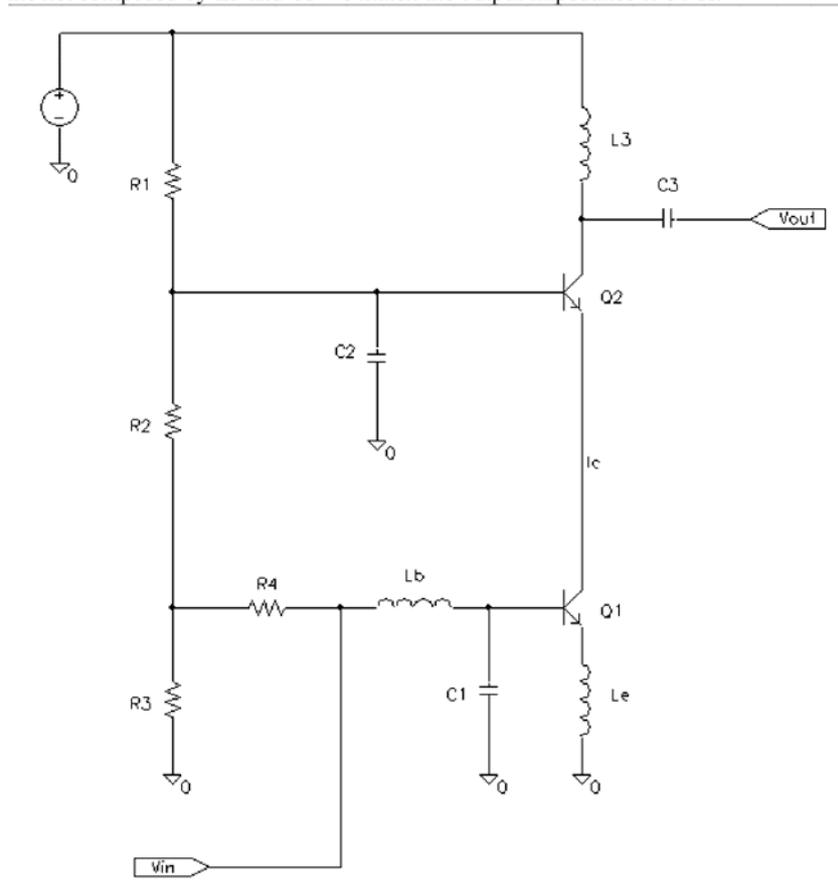


Figure 5. Simplified schematic for the single-ended LNA.

The balanced circuit is shown in figure 6. We can see that the two branches are cascode circuits. To transform the single-ended signal from the input antenna, we use a balun. Its transform relationship is $T = \sqrt{2}$. In the same way, to transform the differential output to single-ended, we use an output balun. This is necessary to drive the next stage, usually a mixer. The transform relationship for this device is the same, $T = \sqrt{2}$.

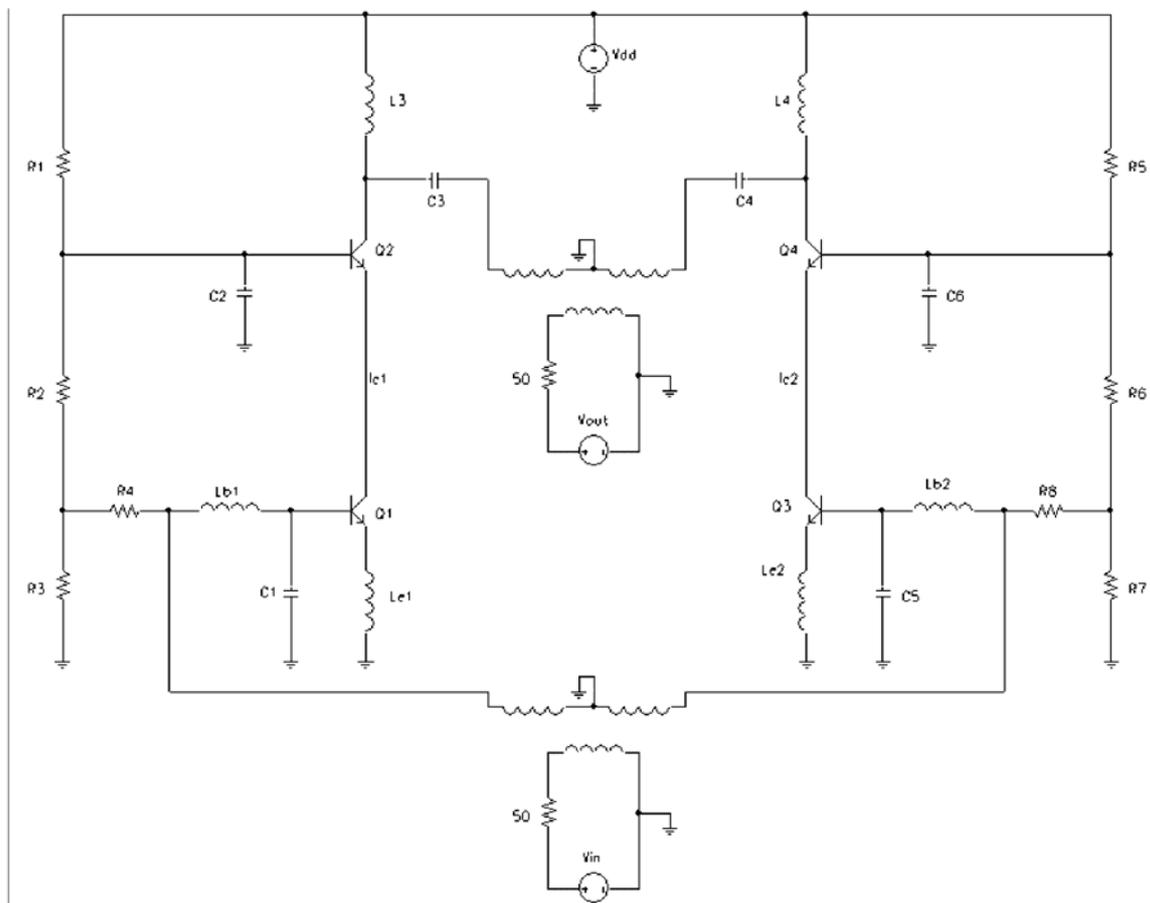


Figure 6. Simplified schematic of the balanced LNA.

4. LNA IMPLEMENTATION AND RESULTS

Figure 7 and 9 show the layout photograph of the two designs. It can be appreciated the use of spiral inductors [12]. Silicon is a low resistivity substrate and high quality integrated inductors are difficult to obtain. Inductors quality factor is limited by resistive losses in metal traces, induced currents in metal strips and substrate, and by metal to substrate capacitance.

The used technology has four metal levels. Three of them are similar and the top level metal is thicker and with greater conductivity than the others. Although the foundry offers a set of inductors, they are not designed for our specific application. Particularly, the quality factor is not as high as we need, or is not centered at the required frequency. For this purpose, we have used Momentum©, from Agilent Technologies, a fast 2.5-dimensional electromagnetic simulator. Spirals with different geometry were simulated and an inductor library for the 5 GHz band was designed [12]. With the designed inductors, we have achieved a high quality factor (from 10 to 12).

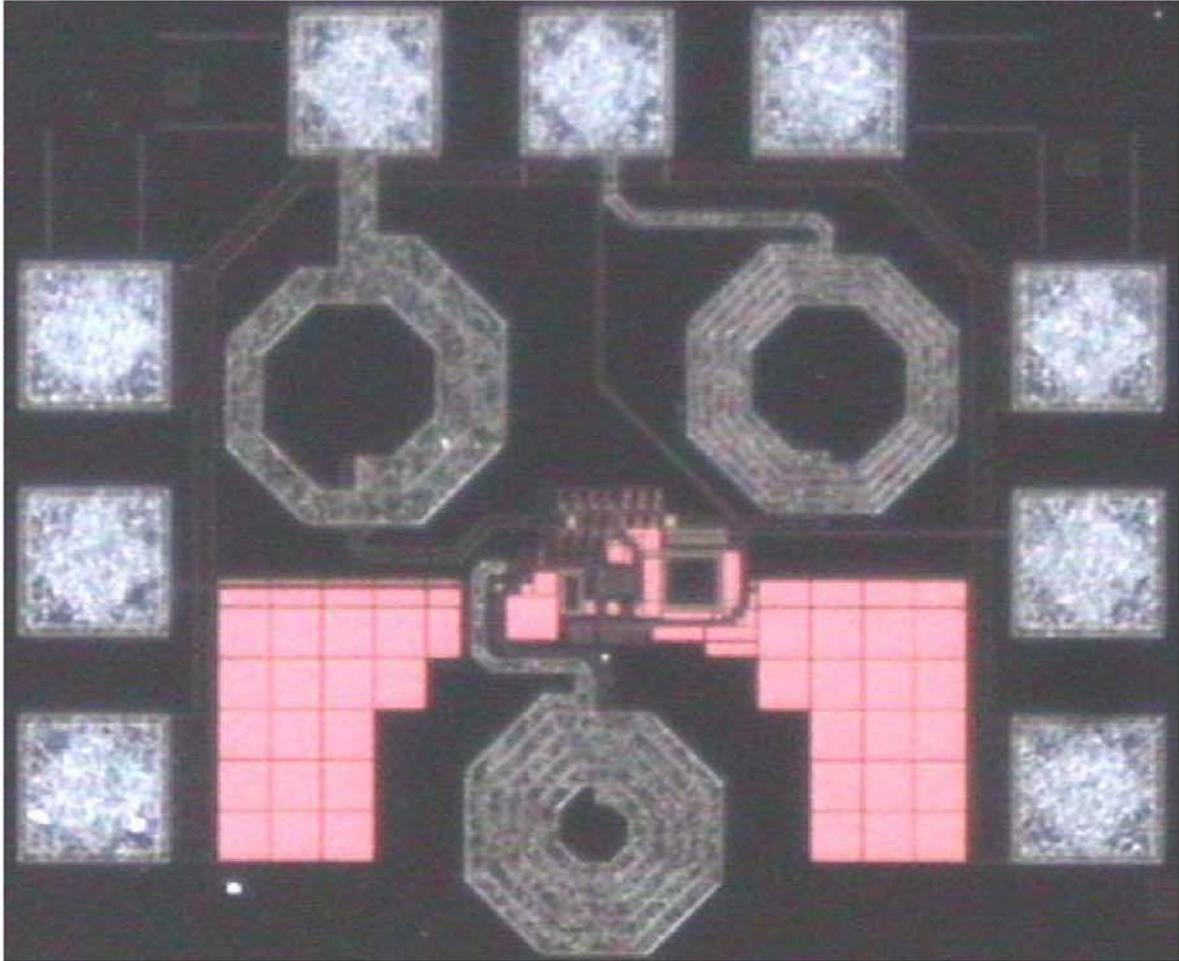


Figure 7. Single ended cascode LNA photography.

Table 1. Final results

	Cascode configuration	Balanced configuration
Gain	16.230 dB	15.910 dB
NF	2.875 dB	3.127 dB
VSWR1	1.25	1.35
VSWR2	2.53	1.93
S11	-41 dB	-32.81 dB
S12	-47 dB	-44 dB
S21	16.230 dB	15.910 dB
S22	-9.3 dB	-14.43 dB
IIP3	-4.373 dBm	-1.32 dBm
OIP3	11.857 dBm	14.59 dBm
Power consumption	9.82 mW	19.64 mW
Chip area	645 μm * 736 μm	767 μm * 932 μm

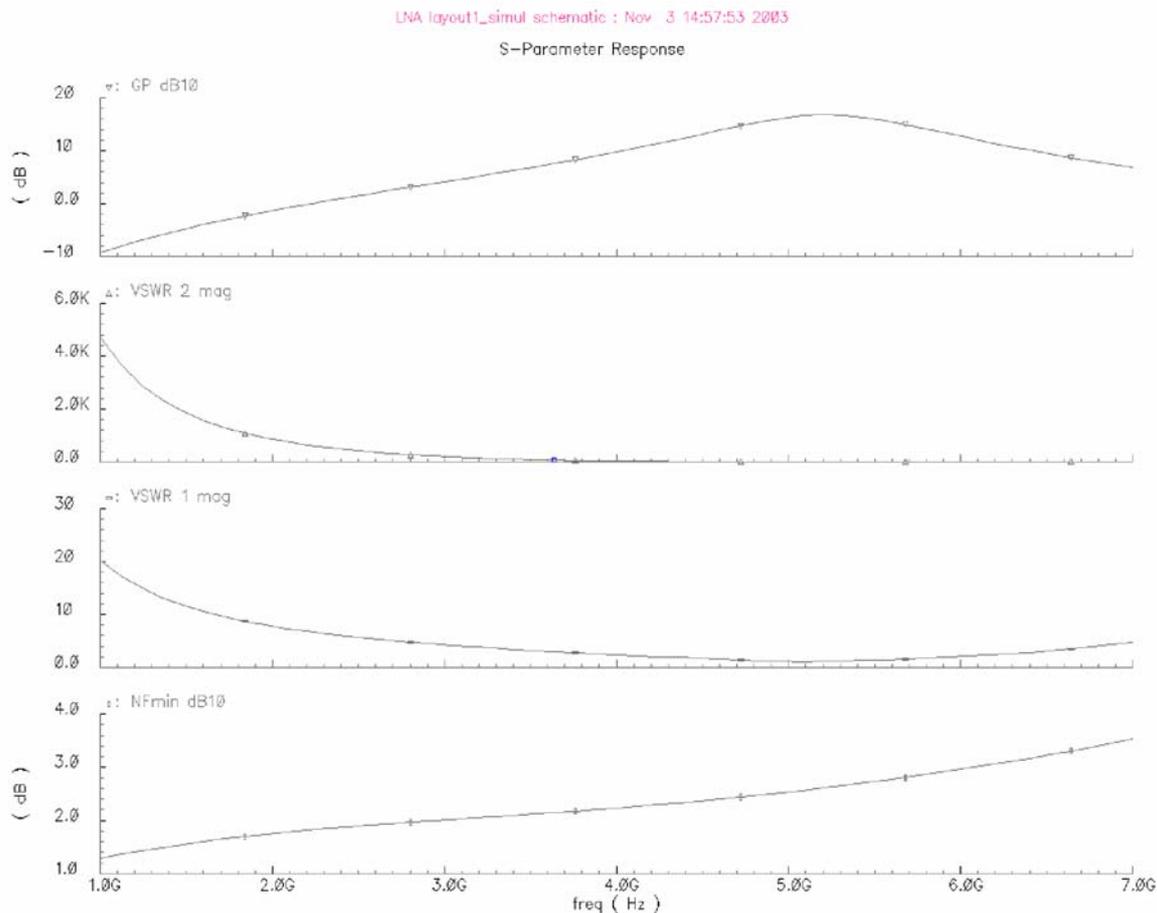


Figure 8. Postlayouts simulations from the cascode configuration.

Figure 8 and 10 show the post-layouts simulations results. These results are summarized in table 1. It can be appreciated the correct matching (VSWR 1 and VSWR 2) in both implementations at 5.5 GHz. In both cases, the isolation between the input and output ports is high. The balanced configuration is more linear (the IIP3 and OIP3 are bigger) although its power consumption is twice. Finally, the NF and gain are quite similar. This is due to both cases utilizes the same component values

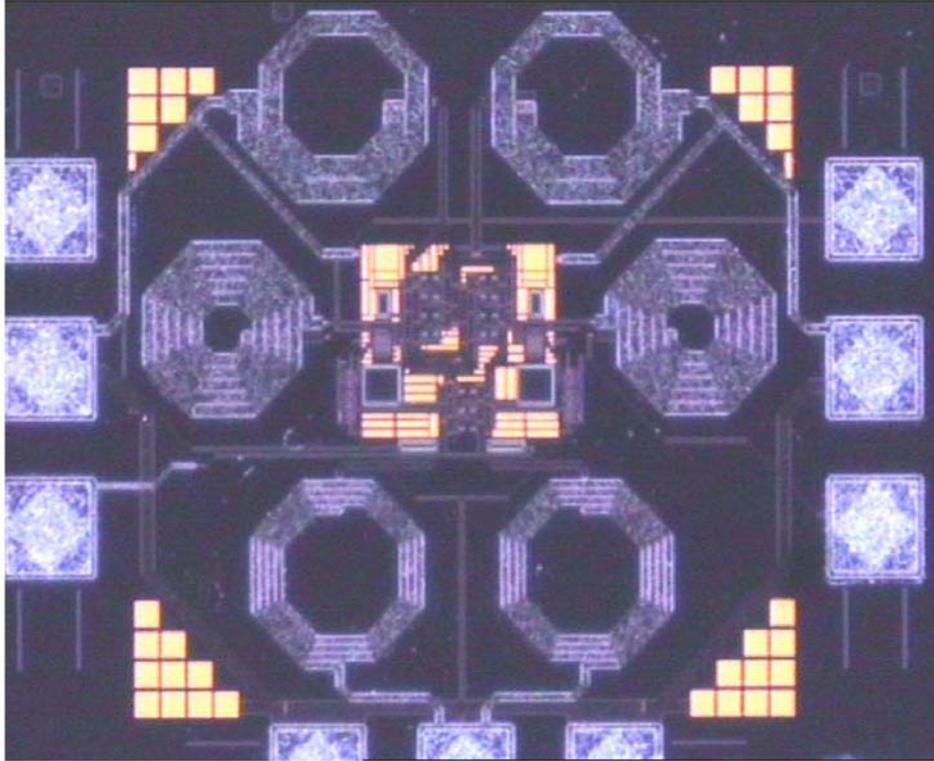


Figure 9. Balanced LNA photography.

5. CONCLUSIONS

In this paper we have reported the fundamental design aspects of LNAs with SiGe transistors and on chip inductors. A description of the LNA configuration was explained, emphasizing the influence of the design parameters in the gain, NF and IP3. Inductors have been custom designed and simulated with an electromagnetic simulator. The obtained quality factor and area of the designed inductors fits better with the designed LNAs, than the inductors offered by the foundry. Two LNAs were designed, one single ended, and other in a differential configuration, showing the feasibility of a low cost silicon technology for the design circuits in the 5 GHz band.

6. ACKNOWLEDGEMENT

This work is supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnología, TIC-2002-04323-C03-03).

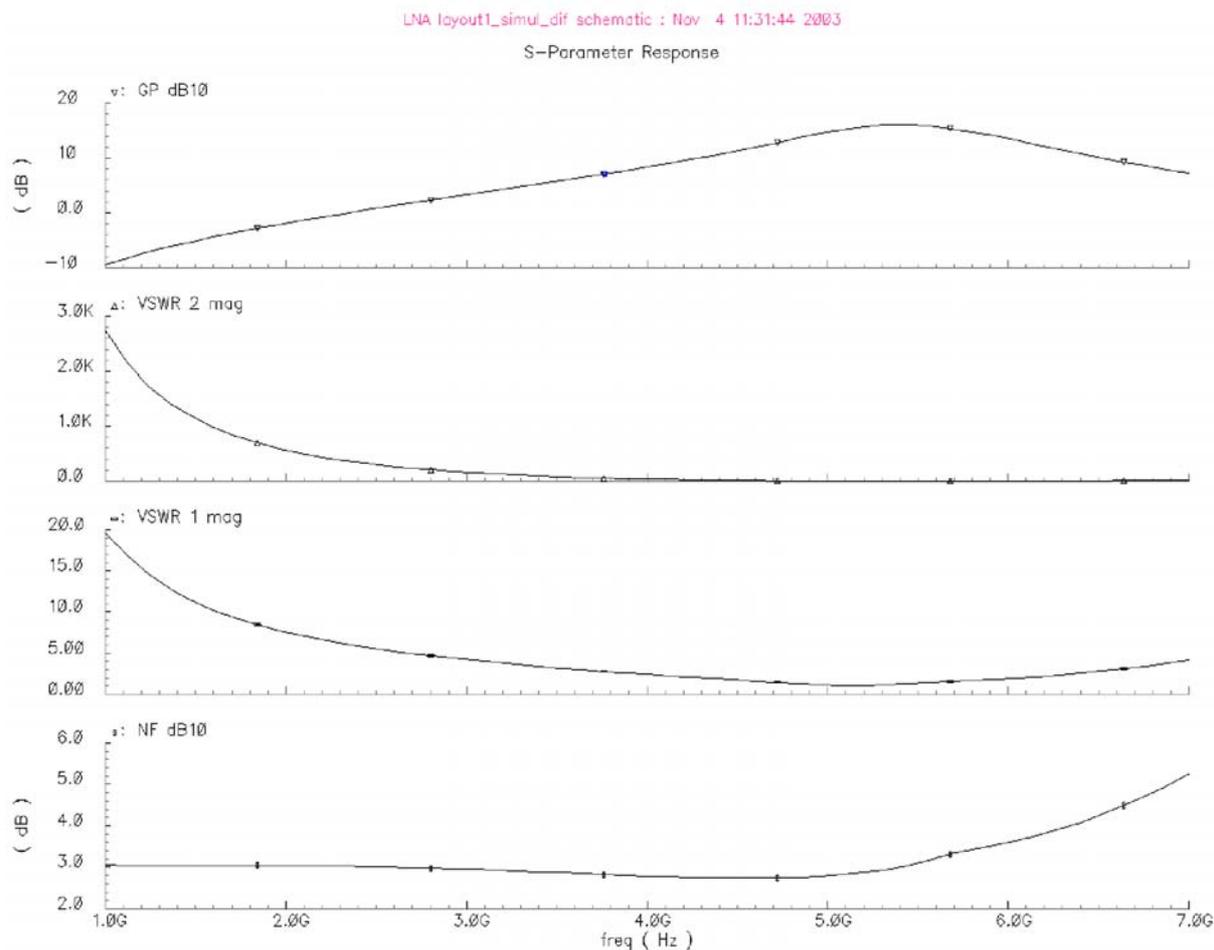


Figure 10. Postlayouts simulations from the balanced configuration.

7. REFERENCES

1. H. Kim, X. Li and M. Ali, "A 2.4 GHz CMOS Low Noise Amplifier using an Inter-stage Matching Inductor", 42nd Symposium on Circuits and Systems, vol. 2, pp. 1040-1043, Aug. 1999.
2. R. Götzfried, F. Beißwanger, S. Gerlach, A. Schüppen, H. Dietrich, U. Seiler, K. Bach and J. Albers, "RFIC's for Mobile Communication Systems Using SiGe Bipolar Technology", IEEE Transactions on Microwave Theory and Techniques, vol. 46, no. 5, pp. 661-668, May 1998.
3. A. Schüppen, H. Dietrich, D. Zerrweck, H. Ropp, K. Burger, N. Gellrich, J. Arndt, M. Lentmaier, B. Jehl, J. Imschweiler, W. Kraus, F. Voswinkel, T. Asbeck, H. Conzelmann, W. Arndt, R. Kirchmann, A. Voigt and K. Wörner, "Silicon Germanium IC's on the RF Market", Temic Semiconductors, available at: <http://gme.tuwien.ac.at/hofg99/schueppen.htm>, 1999.
4. Ali M. Niknejad, Analysis, Simulation, and Applications of Passive Devices on Conductive Substrates, Ph.D. Dissertation. University Of California at Berkeley. April 2000.
5. J. Craninckx, M. S. J. Steyaert, "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," IEEE Journal of Solid-State Circuits, vol. 32, no. 5, pp. 736-744, May. 1997.

6. J. del Pino, S. L. Khemchandani, A. Hernández, J. R. Sendra, J. García, B. González, A. Núñez, "A 1.575 GHz SiGe Low Noise Amplifiers for GPS Applications", XVI Design Circuits and Integrated Systems Conference, pp. 479-484, Porto (Portugal), Nov. 2001.
7. José R. Sendra, Javier del Pino, Antonio Hernández, Javier Hernández, Jaime Aguilera, Andrés García-Alonso, and Antonio Núñez, "Integrated Inductors Modeling and Tools for Automatic Selection and Layout Generation", Proc. IEEE International Symposium on Quality in Electronic Design, ISQED, San José, California (EEUU), March 2002.
8. C. P. Yue, C. Ryu, J. Lau, T. H. Lee and S. S. Wong, "A Physical Model for Planar Spiral Inductors on Silicon," in 1996 Int. Electron Dev. Meeting Dig. Tech. Papers, pp.155-158, Dec. 1996.
9. Thomas H. Lee, "The Design of CMOS RF Integrated Circuits", Cambridge University Press, 1998.
10. P. R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, 3rd edition, John Wiley and Sons, 1993.
11. R. Diaz, R. Pulido, A. Goñi Iturri, S. L. Khemchandani, B. Gonzalez and J. del Pino, "A Fully Integrated Mixer in CMOS 0.35 μm Technology for 802.11a WIFI Applications", XIX Design of Circuits and Integrated Systems Conference, Páginas: 73-78. Bordeaux (Francia) November 24-26, 2004. Internacional. ISBN: 2-9522971-0-X.
12. A. Goñi Iturri, S. L. Khemchandani, J. del Pino and A. Hernandez, "A 5 GHz SiGe VCO for WLAN Using Optimized Spiral Inductors", XIX Design of Circuits and Integrated Systems Conference, Páginas: 603-607. Bordeaux (Francia) November 24-26, 2004. Internacional. ISBN: 2-9522971-0-X

DCIS 2005

XX Conference on
Design of Circuits and Integrated Systems

Lisboa, Portugal
November, 23-25, 2005

www.dcis.org

ISBN 972-99387-2-5

A Synthesizer for WLAN with a Fully Integrated VCO in 0,35 μm SiGe Technology

S. L. Khemchandani, A. Goni-Iturri, J. del Pino Suarez, B. Gonzalez, J. Garcia and A. Hernandez.

Institute for Applied Microelectronics (IUMA)

Departamento de Ingenieria Electronica y Automatica de la Universidad de Las Palmas de Gran Canaria
sunil@iuma.ulpgc.es

Abstract—In the last years, wireless LAN market has shown an incredible growth, exceeding expectations. This paper presents a fully integrated LC voltage controlled oscillator in a low cost 0.35 μm SiGe technology for the 5 GHz band, according to the IEEE 802.11a wireless LAN standard. The tank inductor has been designed by electromagnetic simulations. In order to test the VCO performance, a synthesizer for IEEE 802.11a has been designed. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

Index Terms—WLAN, IEEE 802.11a, SiGe, integrated inductors, electromagnetic simulator, phase noise, VCO, synthesizer.

I. INTRODUCTION

SINCE 1999, the wireless LAN market has experimented a tremendous growth [1]. This is due to a confluence of factors including the adoption of industry standards and interoperability testing, the progressing of wireless LAN equipment to higher data rates, rapid decreases in product prices, and an industry shift toward mobility and use of laptops. The 5 GHz band offers the advantages of higher data rates, far more available spectrum, less sharing with other uses such as cordless phones and Bluetooth radio, and an environment with much less noise and interference from other electronic devices.

Wireless applications typically require circuits having low power consumption, low phase noise, small size and low cost. These include mixers, low noise amplifiers (LNA), voltage controlled oscillators (VCO), etc. Silicon based technologies, like SiGe or BiCMOS, are good candidate for the implementation of these circuits. The main advantage of SiGe HBTs over III-V HBTs is that a standard Si production line can be used for device fabrication. This allows a low cost production with excellent reliability. Also, several receiver building blocks can be integrated on a single die.

Due to low resistivity substrate, inductors with a high quality factor (Q) are not available. Series resistance of the metal traces and substrate losses basically limits the inductor Q [2][3].

This paper describes the design of a fully integrated VCO using 0.35 μm SiGe technology for the IEEE 802.11a standard. All the elements of VCO tank are on chip. In order to test the VCO performance, a synthesizer for IEEE 802.11a has been designed. This work demonstrates that

with the proper configuration and layout techniques it is possible to design a fully integrated the VCO at 5 GHz band with a low cost silicon technology.

The organization of this paper is the following. In section II we describe the IEEE 802.11a receiver block diagram, the synthesizer and the VCO specifications for this standard. Section III deals with the inductor design. VCO is described in section IV. The next section is devoted to the VCO implementation. In Section VI we show the results. Finally, a short summary is given in section VII.

II. IEEE 802.11A RECEIVER

The PHY layer of 801.11a is based on orthogonal frequency-division multiplexing (OFDM), a modulation technique that uses multiple carriers to mitigate the effects of multipath [4]. OFDM distributes the data over a large number of carriers that are spaced apart at precise frequencies. It is one of the most spectrally efficient data modulation techniques available [1].

As indicated in Fig 1, this standard supports multiple 20 MHz channels, with each channel being an OFDM modulated signal consisting of 52 carriers. Each channel is 312 kHz wide, giving raw data rates from 125 kb/s to 1.124 Mb/s per carrier depending on the modulation type employed (BPSK, QPSK, QAM or 64-QAM) and on the amount of error-correcting code overhead ($\frac{1}{2}$ or $\frac{3}{4}$ rate code).

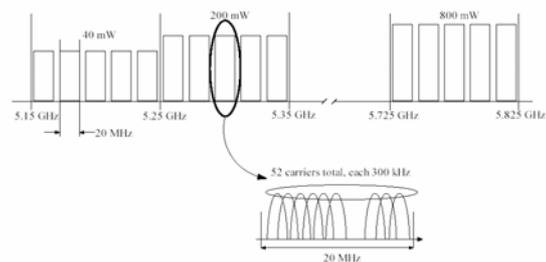


Fig 1. Channel Allocation in IEEE 802.11a standard.

Table I shows the valid operating channels for this standard. The relationship between the channel center frequency and the channel number (n_{ch}) is the following:

$$\text{Channel center frequency} = 5 \text{ GHz} + 5 \text{ MHz} \cdot n_{ch}$$

TABLE I
VALID OPERATING CHANNEL NUMBERS BY REGULATORY DOMAIN AND BAND FOR 802.11A.

Band (GHz)	Operating channel numbers (n_{ch})	Channel center frequency (MHz)
U-NII lower band (5.15-5.25)	36	5180
	40	5200
	44	5220
	48	5240
U-NII middle band (5.25-5.35)	52	5260
	56	5280
	60	5300
	64	5320
U-NII upper band (5.725-5.825)	149	5745
	153	5765
	157	5785
	161	5805

We have selected direct conversion architecture to build-up the analog receiver (see Fig 2). Thus only one phase locked-loop (PLL) in the 5 GHz band should be designed. In addition, it also avoids the need for an off-chip image reject filter. In a double conversion architecture we would need two different PLLs, one fixed at the higher possible frequency, and the other, at a lower frequency, which is in charge of channel selection. Both PLLs are easier to design than the one proposed here, however the complete receiver would have more power consumption and bigger area. On the other hand, the direct conversion architecture suffers from drawbacks such as local oscillator leakage (self-mixing effect) and frequency pulling that appears because the synthesizer operates at RF signal frequency. All in all the proposed direct conversion solution is cheaper than the double conversion architecture.

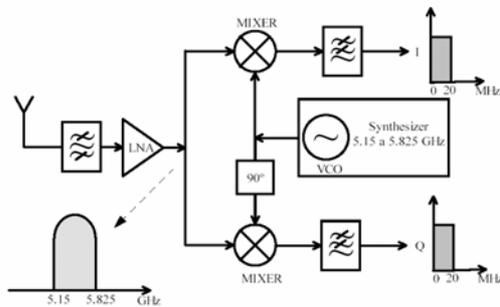


Fig 2. Direct conversion receiver for IEEE 802.11a.

The block diagram of the proposed synthesizer is shown in Fig 3. The VCO frequency range must be from 5180 MHz to 5805 MHz (see Table I). The Phase Frequency Detector (PFD) compares the output frequency (5180 to 5805 MHz), divided by the Programmable Divider and the Fast Divider, and the reference frequency f_R . The Charge Pump converts the PFD comparison in current pulses, which are filtered by the Loop Filter to generate the control voltage. This voltage drives the VCO to increase or decrease the output frequency so as to drive the PFD's average output towards zero [5].

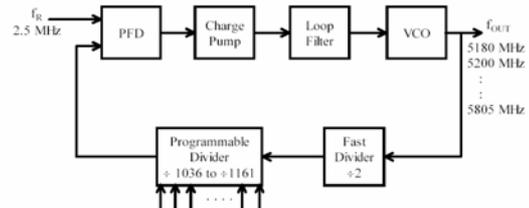


Fig 3. Synthesizer for IEEE 802.11a receiver.

III. VCO DESIGN

The VCO is designed using SiGe HBTs as active devices from a cheap commercially available process. These HBTs are npn bipolar transistors with a thin pseudomorphically grown $\text{Si}_{1-x}\text{Ge}_x$ alloy layer as the base. High Ge contents up to 50% can be incorporated, and the base may be as thin as 5 to 10 nm, which helps in decreasing the base transit time (τ_{BC}) and raises the cut-off frequency (f_T) of the transistor. τ_{BC} is a critical parameter in high-speed transistors. To keep its value small the collector doping (N_D) is high. The DC performance of a SiGe HBT is basically governed by the high current gain due to the suppressed hole re-injection because of emitter-base valence band offset. Due to the heterojunction, the collector current density is increased exponentially with the emitter-base band-gap difference, which is, in turn, proportional to the germanium content in the base.

The VCO is implemented as an LC oscillator topology, integrating all the components of the tank on-chip. The phase noise of LC-tuned oscillators is much better than other configurations because they use the band pass characteristic of the LC-tank to reduce the phase noise [6]. Other type of oscillators, like ring oscillators, suffer from switching effects, can introduce noise in the power supply, and have a worse phase noise than LC-tuned oscillators.

An LC-tuned oscillator is a feedback network as shown in Fig 4 (a). Oscillation will occur at the frequency at which the loop transfer function $\beta(s)A(s)$ is exactly one. This is known as the Barkhausen criterion. The oscillation frequency can easily be found, because the imaginary part of $\beta(s)A(s)$ has to be exactly zero. After calculations it results to be:

$$\omega_0 = \frac{1}{\sqrt{LC}}$$

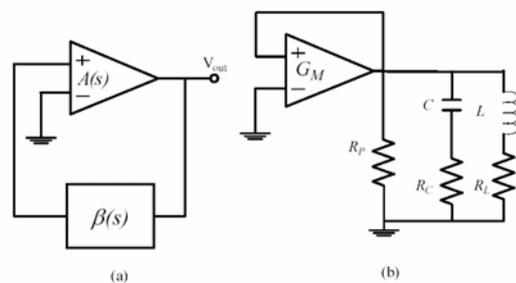


Fig 4. (a) General feedback network. (b) An LC-tuned oscillator as a feedback circuit.

The oscillator LC-tank is shown in Fig 4 (b). There are shown all the parasitic resistances. A series resistance R_C is

associated with the capacitor C , and a series resistance R_L is associated with the inductor L . The transconductor output resistance, and the parallel resistance across C and L , are represented by R_p . The negative resistance amplifier must be implemented using active elements, which introduces noise. Therefore, when designing amplifiers the number of active elements should be minimized. The VCO core uses a cross-coupled transistor pair to build-up the negative resistance. A differential topology provides a more stable frequency versus supply voltage characteristic and improves the immunity to load variations. From the Fig 5 (a) the negative resistance, Z_{in} , is given by:

$$Z_{in} = \frac{2}{gm} \left(\frac{\beta}{1-\beta} \right) \approx -\frac{2}{gm} \quad \text{for } \beta \gg 1$$

where gm is the transconductance of the transistor and β is the base to collector current gain.

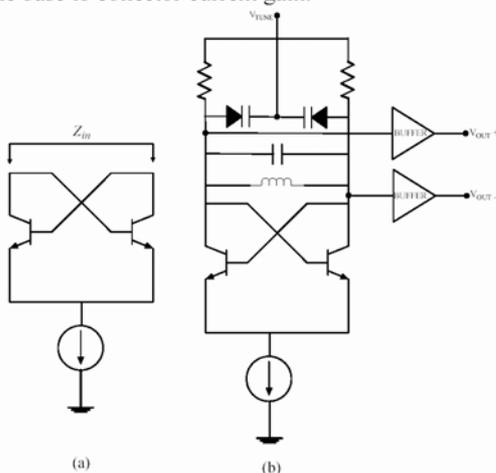


Fig 5. (a) Negative impedance calculation for the cross-coupled pair. (b) VCO simplified schematic

In addition, there is a buffer amplifier following the oscillator core to provide additional isolation from load variations and to boost the output power. A voltage applied to the TUNE pin, which is connected to the varactor, controls the VCO frequency.

IV. INDUCTOR DESIGN

The key element in the realization of a good on-chip LC-tank is the inductor. Capacitors are readily available in all IC technologies. But silicon is a low resistivity substrate and high quality integrated inductors are difficult to obtain. Inductors quality factor is limited by resistive losses in metal traces, induced currents in metal strips and substrate, and by metal to substrate capacitance [7].

A number of published works report research activities dealing with this problem, but most of them introduce changes in the process technology or suggest post-processing techniques to increase the inductors quality factor [8][9]. Both approaches increase the cost of the final product.

The technology provides four metal levels. Three of them are similar, with equal thickness and conductivity, and the top level metal is thicker and exhibits a greater

conductivity. Although the foundry offers a set of inductors, they are not designed for our specific application. Particularly, the quality factor is not as high as we need, or is not centred at the required frequency.

We have used *Momentum*©, from *Agilent Technologies*, a fast 2.5-dimensional design tool, accepting complex coil geometries. Three-dimensional tools are very time-consuming, although simulate fully all the parasitic effects in the inductor [3].

Spiral inductors with different geometry were simulated. In order to improve their behavior all the designed inductors share some common characteristics. The spacing between the metal lines should be as small as possible. Increasing the spacing decreases the total inductance because of the decreasing of the mutual inductance. It also increases the series resistance and the total area. Therefore the spacing was fixed to $2 \mu\text{m}$. It is well known that circular shape is the optimum for spiral coils and could bring Q at least 10% higher [11]. However, octagonal shapes were used, since the technology allows 45° routing.

Inductors were designed with the top metal level, thick and conductive enough to present a low coil resistance, and far enough from the substrate to work at high frequencies.

The chosen inductor has an external radius of $120 \mu\text{m}$, 2 turns, the metal width is $16 \mu\text{m}$, and the inductance value is 1.3 nH at 5 GHz. The inductor layout has been generated by an automatic generation tool [12]. A discrete element model was extracted to be used in simulations [7]. The designed inductor Q is shown in Fig 6.

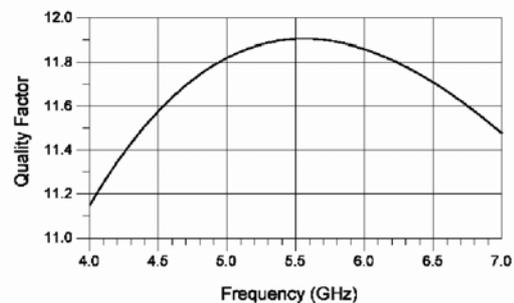


Fig 6. Integrated inductor quality factor.

V. VCO IMPLEMENTATION

VCO performance is influenced by random mismatches due to microscopic fluctuations in dimensions, doping, implant thickness and other parameters. A good differential pair behaviour depends on the base to emitter voltage matching.

In order to minimize this mismatch we take into account the following rules. We have placed transistors in close proximity, keeping transistors layout as compact as possible. We have oriented transistors in the same direction. Differential pair devices should have the same boundary conditions, this is accomplished by adding dummy components. We have placed transistors well away from the power devices. We have used common centroid to obtain the best common mode reject relation (CMRR) in the differential pair. This technique results in devices symmetrically placed about a common center in the layout.

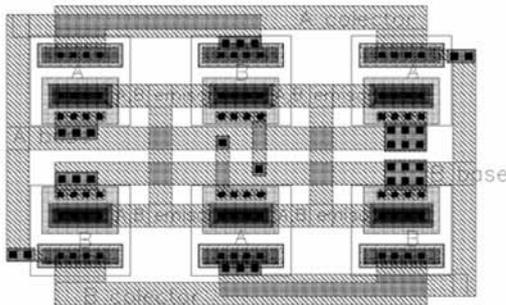


Fig 7. Differential pair transistor in common centroid configuration.

A MOS varactor is used. Its operation is based on the gate to oxide tunable capacitance. In general, it presents a very good CMAX/CMIN ratio associated with a linear variation. It is implemented by simply connecting the drain and source terminals of an NMOS transistor. In order to match the varactors and reduce the area we use an interdigit configuration [13].

To minimize the latch-up effect we add many substrate contacts to reduce the resistance of the ohmic regions. Latch-up occurs when there is a large substrate or well currents, then a voltage drops across ohmic regions and causes parasitic BJTs to turn on and set up positive feedback. Excessive current flow may damage the microcircuit. Fig 8 shows the VCO photograph. The total chip area is 0,424 mm².

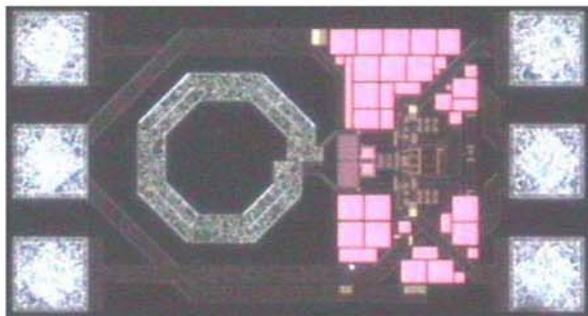


Fig 8. VCO photograph.

VI. RESULTS

The phase noise is shown in Fig 9. We have achieved a -113 dBc/Hz at 1 MHz offset. The achieved phase noise is suitable for the proposed receiver requirements.

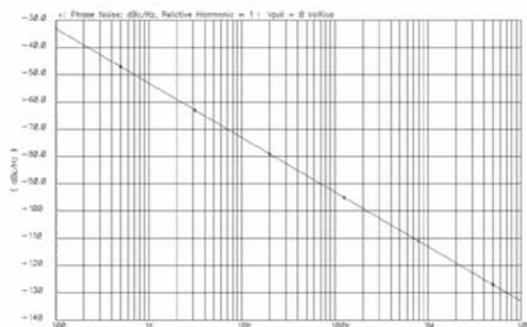


Fig 9. VCO simulated phase noise.

Fig 10 shows the VCO measured tuning range. VCO frequency varies from 4.7 GHz to 6.4 GHz.

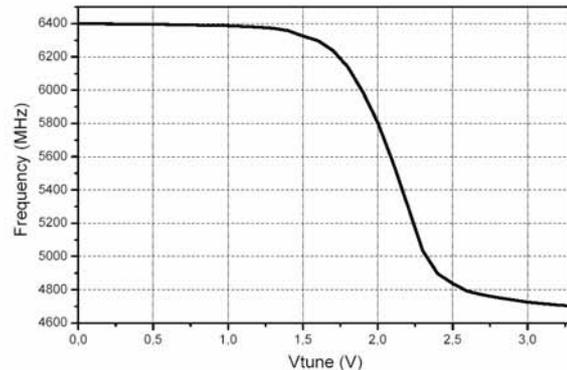


Fig 10. VCO tuning range.

To test the synthesizer behavior, we have made simulations with *Advanced Design System*© tool from *Agilent Technologies*, using the schematic shown in Fig 3. In order to reduce the simulation time, the simulations were made with modeled elements, with the exception of the VCO. We have set the phase noise characteristics of every element according to the results of individual simulations for every component. The utilized loop filter is a passive three-pole filter (see Fig 11). This comprises a second order filter section and a RC section, providing an extra pole to assist the attenuation of the sidebands at multiples of the comparison frequency that may appear.

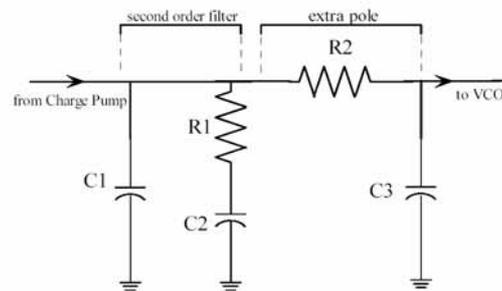


Fig 11. Passive three-pole loop filter.

The contribution of every element to the synthesizer phase noise and the total phase noise is shown in Fig 12. From 10 KHz to 10 MHz the total phase noise is determined by the VCO contribution.

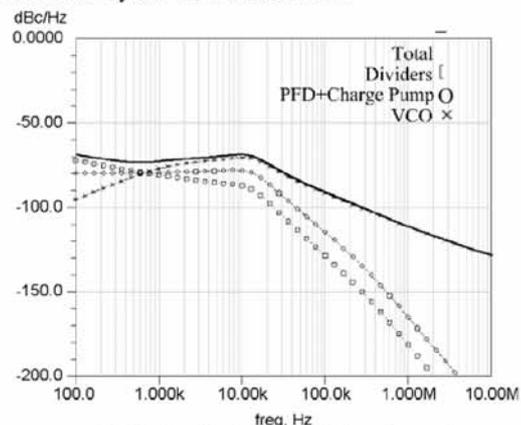


Fig 12. Contributions to synthesizer phase noise

The VCO free run phase noise, VCO phase noise loop contribution and total phase noise is shown in Fig 13. In the loop, below 10 kHz, the VCO phase noise contribution is reduced in comparison with the VCO free run phase noise.

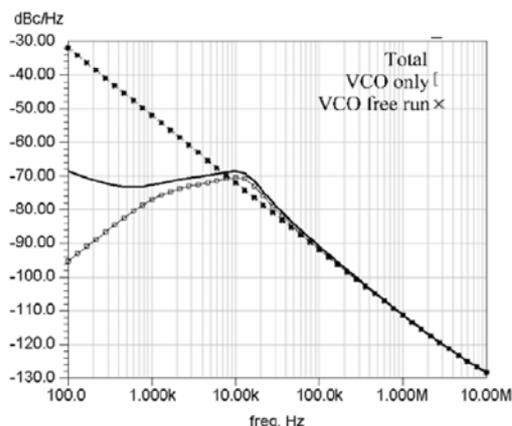


Fig 13. VCO phase noise and total phase noise.

We have simulated a hop from 5745 MHz to 5805 MHz. Fig 14 shows the synthesizer transient response. Initially, the synthesizer is running at 6240 MHz (Vtune=0 V). The synthesizer frequency is stabilized on 5745 MHz after 4.2 ms. A change in the divider (from 2298 to 2322) is applied at 5 ms to achieve the 5805 MHz frequency.

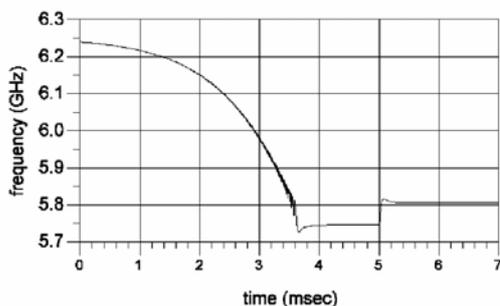


Fig 14. Transient response of the synthesizer for 5745 MHz to 5805 MHz hop.

VII. CONCLUSIONS

Using a low cost technology we have designed a fully integrated VCO with on chip tank in the 5 GHz band. This fully monolithic approach provides an extremely easy-to-use VCO, equivalent to a VCO module suitable for direct conversion architectures. The tank inductor has been custom designed and simulated with an electromagnetic simulator. The obtained Q and area fits better with our VCO than the inductors offered by the foundry. With the proper VCO topology and the appropriate layout techniques we have designed a VCO suitable to be used in the 5 GHz band. In order to test the VCO, a synthesizer according to IEEE 802.11.a standard has been designed. Simulations have been made to test the synthesizer behavior, showing the VCO phase noise contribution to the synthesizer.

VIII. ACKNOWLEDGEMENT

This work is supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnología, TIC-2002-04323-C03-03).

REFERENCES

- [1] T. H. Meng, B. McFarland, D. Su, J. Thomson, "Design and Implementation of an All-CMOS 802.11a Wireless Lan Chipset", *IEEE Communications Magazine*, pp. 163-168, August 2003.
- [2] Ali M. Niknejad, Analysis, Simulation, and Applications of Passive Devices on Conductive Substrates, Ph.D. Dissertation. University of California at Berkeley. April 2000.
- [3] J. Craninckx, M. S. J. Steyaert, "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 736-744, May 1997.
- [4] "IEEE std 802.11a-1999. Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz band".
- [5] Behzad Razavi, "RF Microelectronics", Prentice Hall PTR, 1999.
- [6] J. Craninckx, M. Steayert, "Low-Noise Voltage-Controlled Oscillators Using Enhanced LC-Tanks", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no.12, pp. 794-804, December 1995.
- [7] Thomas H. Lee, "The Design of CMOS RF Integrated Circuits", Cambridge University Press, 1998.
- [8] L.E. Larson, M. Case, S. Rosenbaum, D. Rensh, "Si/SiGe HBT Technology for Low Cost Monolithic Microwave Integrated Circuits," *Proc. 1996 International Solid State Circuits Conference*, pp. 80-81, 1996.
- [9] M. Ozgur, M.E. Zaghloul, and M. Gaitan, "High Q backside micromachined CMOS inductors," *Proc. 1999 IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 577-580, 1999.
- [10] Jan Van Hese, "Design and Simulation of Spiral Inductors on Silicon Substrates", Agilent Technologies.
- [11] S. Chaki, S. Aono, N. Andoh, Y. Sasaki, N. Tanino, O. Ishihara, "Experimental Study on Spiral Inductors", *Proceedings IEEE Microwave Symposium Digest MTT-S*, pp. 753-756, 1995.
- [12] José R. Sendra, Javier del Pino, Antonio Hernández, Javier Hernández, Jaime Aguilera, Andrés García-Alonso, and Antonio Núñez, "Integrated Inductors Modeling and Tools for Automatic Selection and Layout Generation", *Proc. IEEE International Symposium on Quality in Electronic Design, ISQED*, San José, California (EEUU), March 2002.
- [13] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation, IEEE Press, 1998.
- [14] A. Grebene, "Bipolar and MOS Analog Integrated Circuit Design", John Wiley and Sons, 1984.
- [15] P. R. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits", 3rd edition, John Wiley and Sons, 1993.