



UNIVERSIDAD DE LAS PALMAS  
DE GRAN CANARIA

Departamento de Ingeniería Electrónica y Automática

TESIS DOCTORAL

**APORTACIONES AL DISEÑO, SIMULACIÓN,  
CARACTERIZACIÓN Y MODELADO DE  
INDUCTORES INTEGRADOS SOBRE SILICIO**

Amaya Goñi Iturri

Las Palmas de Gran Canaria, Febrero de 2007



UNIVERSIDAD DE LAS PALMAS  
DE GRAN CANARIA

Departamento: Ingeniería Electrónica y Automática

Programa de Doctorado: Ingeniería de Telecomunicación Avanzada

**Título de la Tesis**

**Aportaciones al diseño, simulación,  
caracterización y modelado de inductores  
integrados sobre Silicio**

Tesis Doctoral presentada por D<sup>a</sup> Amaya Goñi Iturri

Dirigida por el Dr. D. Antonio Hernández Ballester

Codirigida por el Dr. D. Francisco Javier del Pino Suárez

**El Director,**

**El Codirector,**

**La Doctoranda,**

Las Palmas de Gran Canaria, a 2 de Febrero de 2007

## **Agradecimientos**

Ahora que por fin termino este trabajo de tesis doctoral me siento orgullosa por lo mucho que he aprendido y satisfecha con el trabajo que he realizado. Pero, al mismo tiempo, siento cierta angustia porque terminar esto supone cerrar una etapa de mi vida de más de cuatro años viviendo en Las Palmas. Así que se mezclan los sentimientos, y por un lado estoy muy contenta, pero por otro estoy triste. Por encima de estas sensaciones, estoy encantada con la gente que he encontrado aquí, y a todos ellos les tengo que dar las gracias:

En primer lugar, al Instituto Universitario de Microelectrónica Aplicada y al Departamento de Ingeniería Electrónica y Automática de la Universidad de Las Palmas de Gran Canaria, por darme la oportunidad de realizar este trabajo en sus instalaciones, y poner todos sus medios y herramientas a mi disposición.

Por supuesto, a mis directores de tesis, Javier del Pino y Toni Hernández; creo que he tenido la gran suerte de caer en sus manos. Todo este trabajo se lo debo a ellos, siempre disponibles para sentarse conmigo a pensar y hablar de lo que hiciera falta. Durante estos cuatro años he sentido su apoyo y respaldo, y esto sin duda me ha animado en todo momento y me ha hecho trabajar muy a gusto.

También estoy muy agradecida al resto del grupo: Benito, José Ramón, Roberto, Rubén, Margarita, Octavio..., todos han aportado mucho a este trabajo, de una forma u otra, y me han enseñado la importancia del trabajo en equipo. A Sunil, siempre dispuesto a echarme una mano con lo que sea. Muchísimas gracias a Luis Hernández, y esa manita de última hora como caída del cielo... A Javi García, sin su amistad, sus ánimos, sus consejos y esos desayunos esto no habría sido lo mismo.

A Mónica, mi compañera de fatigas. Estoy encantada de haber compartido todo esto con Efraín, con Carmen y contigo. Sin duda, tu amistad es el gran tesoro que me llevo de estos cuatro años. Muchísimas gracias por todo.

Muchas han sido las personas que me han ayudado desde Pamplona. A pesar de la distancia, he sentido en todo momento la fuerza y el ánimo incansable de mis padres, siempre apoyando mis decisiones, de mi hermano, Raquel, José Ignacio, Conchi, Jaime y Vivianne. Gracias también a mis chicas de la cuadrilla, y a los amigos de la universidad, hablar y estar con ellos siempre es una inyección de alegría y de moral. Me siento privilegiada de contar siempre con su apoyo, y con la distancia he aprendido a quererlos más si cabe.

Y por último, muchísimas gracias a Aritz, mi bastión. Este trabajo es tan suyo como mío.

## Resumen

El aumento en los últimos años de la demanda de equipos y sistemas de comunicación inalámbricos, ha lanzado a los grupos de investigación a la búsqueda de nuevas soluciones que permitan mayor integración y menor coste. Esto conduce al uso de tecnologías de circuitos integrados estándar de silicio: CMOS, BiCMOS y SiGe. Sin embargo, los componentes pasivos integrados sobre estas tecnologías representan un problema debido a su baja calidad y elevado consumo de área.

En el presente trabajo de investigación se estudia el diseño, caracterización, simulación y modelado de inductores de alta calidad integrados en la tecnología  $0.35\text{ }\mu\text{m}$  Silicio-Germanio de *Austrian Mikro Systeme* (AMS).

Tras repasar los principios de funcionamiento de un inductor y realizar un estudio de los fenómenos físicos que se dan en él, se describe el procedimiento empleado en la realización de las medidas experimentales y la metodología a seguir para eliminar los efectos parásitos que introducen las estructuras de medida que rodean el inductor. Para completar el proceso de caracterización, se desarrolla una nueva metodología de extracción del modelo equivalente del inductor a partir de los parámetros S obtenidos en las medidas.

Por otro lado se analiza en profundidad la conveniencia del uso de la herramienta de simulación electromagnética Momentum para el diseño de inductores. Tras explicar cuál es la configuración correcta, se estudian las distintas propuestas publicadas de simulación de bobinas y se establece una nueva manera que, como veremos, resulta la más apropiada.

Otra de las líneas más importantes en la investigación de inductores integrados es la búsqueda de un modelo paramétrico que pronostique el comportamiento del dispositivo sin necesidad de fabricarlo o simularlo. En esta tesis se expondrá el modelo utilizado, que

incluye una novedosa caracterización del sustrato que modela con precisión las pérdidas eléctricas en el mismo.

Este modelo paramétrico se empleará para generar una herramienta de selección de inductores llamada I-MODEL. Con ella el diseñador obtiene rápidamente las dimensiones y el modelo equivalente del inductor óptimo para un valor inductivo y una frecuencia determinadas. La herramienta ha permitido el desarrollo de una librería de inductores de altas prestaciones de valores comprendidos entre 0.5nH y 5nH para las frecuencias 0.85 GHz, 1.5 GHz, 1.8 GHz, 2.4 GHz y 5.6 GHz en la tecnología 0.35  $\mu$ m SiGe de AMS.

Por último, se estudian las nuevas estructuras inductivas que han ido apareciendo como alternativa a los inductores convencionales. Estudiaremos las ventajas y los inconvenientes que ofrecen los inductores apilados y tridimensionales, y la conveniencia de utilizarlos en determinadas aplicaciones.

# Tabla de contenidos

Capítulo 1 Inductores integrados planos .....	1
1.1 Introducción.....	1
1.2 Inductores integrados.....	2
1.2.1 Pérdidas en inductores integrados sobre silicio .....	3
1.2.2 Métodos para la mejora de la calidad.....	8
1.2.3 Estudio de la geometría del inductor .....	9
1.3 Objetivos del trabajo.....	11
1.4 Organización de la memoria.....	13
Capítulo 2 Sistema de medida y caracterización de inductores integrados.....	15
2.1 Introducción.....	15
2.2 Medida de dispositivos integrados sobre oblea .....	16
2.2.1 Sistema de medida .....	17
2.2.2 Configuraciones de medida .....	19
2.2.3 Estructuras de medida .....	21
2.2.4 Técnicas de desacoplo de medidas ( <i>de-embedding</i> ) .....	24
2.2.5 Validez de las medidas .....	30
2.3 Modelo equivalente clásico.....	32
2.4 Proceso de caracterización .....	33
2.4.1 Procedimientos clásicos.....	33
2.4.2 Nuevo método de extracción de parámetros.....	35
2.4.3 Variación de Q con respecto a los componentes extraídos.....	44
Capítulo 3 Simulación EM con Momentum.....	47
3.1 Introducción.....	47
3.2 Estudio de la tecnología.....	48
3.3 Configuración de Momentum .....	50
3.3.1 El método de los momentos .....	50
3.3.2 Modos de simulación .....	51
3.3.3 Consideraciones en la distribución de corrientes .....	52
3.3.4 Definición del sustrato .....	56
3.3.5 Mallado y convergencia .....	59
3.4 Simulación de inductores con Momentum.....	61
3.4.1 Simulación sin anillo de guarda .....	61

3.4.2	Simulación con anillo de guarda.....	65
3.5	Valoración de la herramienta.....	68
	 Capítulo 4 Modelo paramétrico .....	73
4.1	Introducción .....	73
4.2	Modelo paramétrico de la rama principal .....	74
4.2.1	Inductancia .....	74
4.2.2	Resistencia serie .....	80
4.2.3	Capacidad paralela .....	86
4.3	Modelo paramétrico de las ramas del sustrato .....	88
4.3.1	Capacidad del óxido.....	88
4.3.2	Resistencia y capacidad del sustrato.....	89
4.4	Valoración del modelo.....	100
	 Capítulo 5 Nuevo método para construir una librería de inductores.....	103
5.1	Introducción .....	103
5.2	Método clásico.....	103
5.3	Método alternativo .....	105
5.3.1	Algoritmo para diseñar inductancias con alto factor de calidad .....	106
5.3.2	Generación de la librería de inductores .....	107
5.3.3	Algoritmo de visualización de resultados .....	109
5.4	Herramienta desarrollada: I-MODEL.....	110
	 Capítulo 6 Nuevas estructuras inductivas .....	115
6.1	Introducción .....	115
6.2	Inductores apilados.....	116
6.3	Inductores 3-D.....	121
6.4	Estructuras para el aumento de la inductancia.....	127
	 Capítulo 7 Conclusiones y líneas futuras.....	131
7.1	Conclusiones.....	131
7.2	Líneas futuras .....	134
	 Referencias.....	135
	 Anexo A Resultados del método de extracción .....	145
A.1	Inductor L1 .....	146
A.2	Inductor L2.....	147
A.3	Inductor L3 .....	148

A.4 Inductor L4 .....	149
A.5 Inductor L5 .....	150
A.6 Inductor L6 .....	151
A.7 Inductor L7.....	152
A.8 Inductor L8 .....	153
A.9 Inductor L9 .....	154
A.10 Inductor L10.....	155
 Anexo B Flujo de diseño de la simulación de un inductor con Momentum .....	157
 Anexo C Resultados del modelo paramétrico.....	159
C.1 Inductor L1.....	160
C.2 Inductor L2 .....	161
C.3 Inductor L3 .....	162
C.4 Inductor L4 .....	163
C.5 Inductor L5 .....	164
C.6 Inductor L6 .....	165
C.7 Inductor L7.....	166
C.8 Inductor L8 .....	167
C.9 Inductor L9 .....	168
C.10 Inductor L10.....	169
 Anexo D Librería de inductores.....	171
D.1 0.85 GHz .....	172
D.2 0.85 GHz (2 metales).....	173
D.3 1.5 GHz .....	174
D.4 1.8 GHz.....	175
D.5 2.4 GHz.....	176
D.6 5.6 GHz.....	177
 Anexo E Trabajos publicados a partir de esta tesis .....	179



# **Capítulo 1 Inductores integrados planos**

## **1.1 Introducción**

Durante los últimos años, la tecnología necesaria para el desarrollo de las comunicaciones inalámbricas ha sufrido una evolución vertiginosa. Esto se refleja claramente en el progreso de sistemas de posicionamiento global (GPS: *Global Positioning System*), redes inalámbricas de área local (WLAN: *Wireless Local Area Networks*), o terminales de telefonía móvil, que además de las funciones básicas incorporan reproducción de música MP3, correo electrónico, agenda electrónica PDA, fotografía digital, navegación por Internet y hasta TV digital. La demanda de estos dispositivos es altísima, hasta tal punto que en países como Luxemburgo, Italia, Hong-Kong o Taiwán ya hay más de un teléfono móvil en uso por habitante [SoInfo5].

El mercado exige que los terminales de acceso a estas redes sin cables sean pequeños, baratos y de bajo consumo de potencia, y que se puedan producir de forma masiva. Esto se puede conseguir aumentando el nivel de integración de la circuitería que forma parte de estos dispositivos, lo cual conduce al uso de tecnologías estándar de silicio: CMOS, BiCMOS y SiGe. El funcionamiento de los circuitos MOS a alta frecuencia ( $>1$  GHz) ha mejorado tanto que el transceptor de radiofrecuencia (RF) completo, incluyendo el cabezal de RF y los circuitos para el procesamiento en banda-base, ya se puede integrar en un mismo chip.

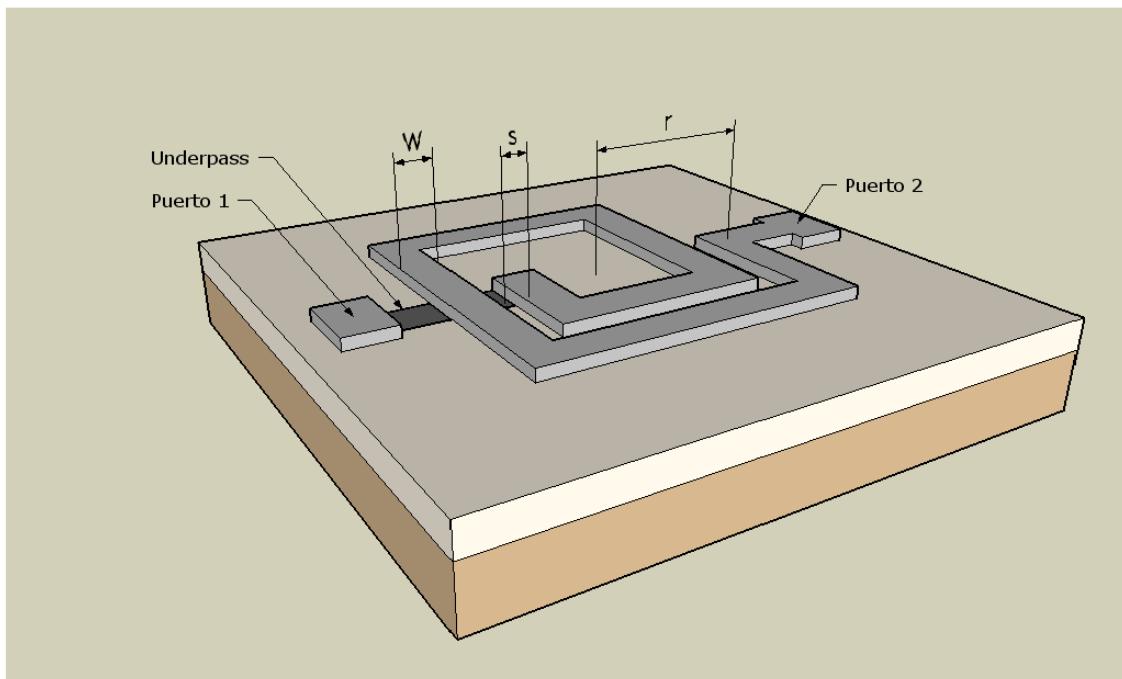
Sin embargo, integrar el cabezal de RF presenta muchos problemas debido a la baja calidad de los componentes pasivos integrados sobre silicio y la elevada área que ocupan. Estos elementos, en particular los inductores, son fundamentales en algunas partes del receptor de RF, ya que realizan tareas de adaptación de impedancias, implementación de tanques LC en osciladores, filtrado, o polarización de transistores en amplificadores de bajo ruido (LNA). Además, la calidad de los inductores integrados disminuye a medida

que aumenta la frecuencia de trabajo, que es lo que sucede con la aparición de nuevos estándares de comunicación como WLAN o UWB (*Ultra Wide Band*).

Teniendo en cuenta estas limitaciones, la principal motivación de este trabajo de investigación es la necesidad de inductores de alta calidad integrados sobre silicio, así como la búsqueda de modelos que estimen adecuadamente su funcionamiento.

## 1.2 Inductores integrados

Un inductor integrado se diseña comúnmente colocando una pista de metal enrollada de forma espiral sobre un sustrato determinado. Uno de los dos extremos de la espiral, que serán los terminales del inductor, queda en el interior de la misma, por lo que necesitaremos al menos dos niveles de metal para poder tener acceso a dicho terminal. A este fragmento de metal que permite sacar el puerto del interior del inductor se le denomina *underpass* o *cross-under*. Los parámetros geométricos que definen un inductor son el número de lados, el radio externo ( $r_{EXT}$ ), el ancho de la pista ( $w$ ), la separación entre las pistas ( $s$ ), y el número de vueltas ( $n$ ). En la Figura 1.1 se muestra el *layout* de una bobina espiral cuadrada simple, en donde se señalan estos parámetros y se puede apreciar la disposición del *underpass*.



**Figura 1.1 Layout de una bobina espiral cuadrada simple.**

El inductor, también llamado bobina, es un componente pasivo que almacena energía en forma de campo magnético. Las dos características que definen cómo desempeña esta función un inductor determinado son la inductancia y el factor de calidad. La inductancia,  $L$ , da una medida de la cantidad de energía que puede almacenar el campo magnético

creado en la bobina. El factor de calidad,  $Q$ , representa la relación que existe entre la energía almacenada por el dispositivo y la energía disipada. Es decir, representa una figura de mérito relacionada con la eficiencia en el almacenamiento de energía:

$$Q = 2 \cdot \pi \cdot \frac{E_{\text{almacenada}}}{E_{\text{disipada}}} \quad (1.1)$$

El factor de calidad puede ser calculado de diferentes maneras dependiendo del uso que se le vaya a dar al inductor, aunque todas están relacionadas entre sí [O98]. La definición más comúnmente empleada es la que viene dada por la relación entre la parte imaginaria y la real del parámetro  $Y_{11}$ , que es la admitancia que se ve desde el puerto 1 cuando el puerto 2 está conectado a tierra [AsKoF96].

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (1.2)$$

Conseguir un inductor integrado con un factor de calidad alto depende principalmente de la tecnología que se utilice para su integración. Si se trata de un sustrato de resistividad alta, como por ejemplo los cerámicos [SuPhL99], plásticos [GuZhL05], de cristal [YoKiH99] o de GaAs [WaZhZo4] se pueden conseguir bobinas de alta calidad. Otra forma de hacerlo es utilizar algún proceso de fabricación no estándar, como los que se emplean en los inductores toroidales [LiaAh99][LiSuNo4][PhiSeo6] [OrHiCo6] y solenoidales [GiSoLo3][YoKiH99][ChLiHo6]. En estos casos generalmente se añaden núcleos magnéticos sobre los que se hacen pasar metalizaciones de cobre o aluminio. Aunque los resultados son muy buenos, las técnicas para conseguir este tipo de inductores son muy complejas, y resultan demasiado caras para hacer viable su comercialización.

Por desgracia el silicio es muy conductor y se generan muchas pérdidas en el sustrato que, sumadas a las que se producen en los metales, hacen que la calidad de los inductores se deteriore notablemente. En el siguiente apartado se profundiza en los fenómenos físicos que dan origen a estas pérdidas y en su influencia sobre las prestaciones del inductor.

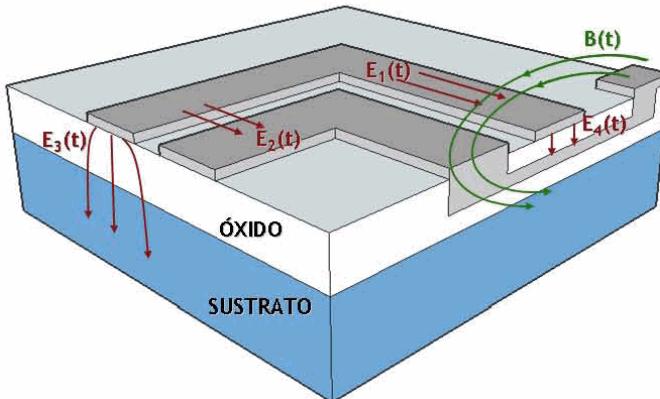
### 1.2.1 Pérdidas en inductores integrados sobre silicio

Lo primero que hay que estudiar para identificar las pérdidas que se producen en un inductor integrado sobre silicio, son los fenómenos físicos que se producen en él. La Figura 1.2 muestra los campos eléctricos y magnéticos que se generan en el inductor al aplicar una tensión variable en los extremos de la espiral.

- $B(t)$  es el campo magnético del inductor, que está originado por la corriente alterna que circula por la espiral y es el que genera el comportamiento inductivo del dispositivo. Además este campo atraviesa tanto el sustrato como

las pistas de la espira, induciendo en ambos las llamadas corrientes de torbellino que estudiaremos a continuación.

- $E_1(t)$  es el campo eléctrico en las pistas de la espiral. Produce la corriente de conducción, que genera pérdidas óhmicas debido a la resistividad del metal.
- $E_2(t)$  es el campo eléctrico entre las pistas de la espiral. Se genera por la diferencia de tensión entre los conductores de distintas vueltas, y da lugar a una capacidad parásita entre ellos debido al óxido de silicio que los rodea, que actúa como dieléctrico.
- $E_3(t)$  es el campo eléctrico entre la espiral y el sustrato, generado por la diferencia de tensión entre ambos. Produce el acoplamiento capacitivo entre la espiral y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$  es el campo eléctrico entre la espiral y el *underpass*. Genera una capacidad parásita asociada en paralelo a la bobina.



**Figura 1.2 Campos que se generan en un inductor integrado.**

Estos campos son el origen de las importantes pérdidas que se dan en un inductor y que degradan el factor de calidad. Se pueden agrupar en dos tipos: las que se generan en las pistas de metal y las que se generan en el sustrato.

### 1.2.1.1 Pérdidas en las pistas

Cuando por un conductor circula una corriente a frecuencias bajas, la distribución de esta corriente por la superficie del conductor es uniforme. El valor de la resistencia que presenta el conductor al paso de esta corriente se puede calcular fácilmente por medio de la expresión (1.3).

$$R = \rho \cdot \frac{l}{A} \quad (1.3)$$

donde  $\rho$  es la resistividad del conductor, y  $l$  y  $A$  su longitud y área respectivamente.

Sin embargo, a medida que la frecuencia aumenta se generan nuevos efectos más complejos que redistribuyen la corriente a lo largo del conductor.

Por un lado, el campo magnético inducido en el propio conductor genera una fuerza electromotriz que actúa sobre la corriente del conductor modificando la dirección de movimiento de la carga. Esto hace que la corriente circule por una sección cercana a los bordes del conductor, tal y como muestra la Figura 1.3 para el caso de un conductor cilíndrico. Al disminuir la superficie por la que circula el mismo flujo de intensidad la resistencia del conductor aumenta. A este efecto se le conoce como efecto pelicular (*skin effect*).



**Figura 1.3 Efecto pelicular en un conductor de sección circular.**

El parámetro que evalúa esta redistribución de corriente es la profundidad pelicular  $\delta$ , que se define como el espesor equivalente de un conductor hueco que tiene la misma resistencia a una frecuencia determinada. Como veremos en el Capítulo 4, cuantificar  $\delta$  de forma analítica no es tarea fácil, y en la literatura sólo se encuentran expresiones fiables para conductores de geometría circular como el de la Figura 1.3. En este caso la profundidad pelicular viene dada por (1.4).

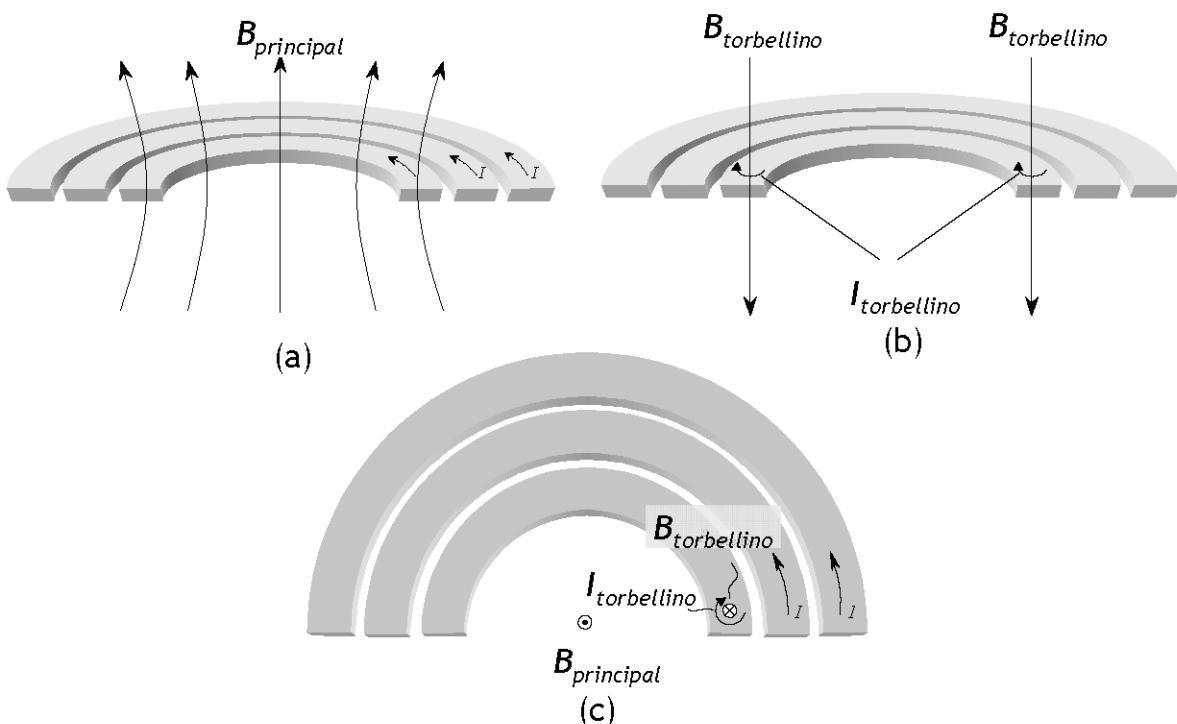
$$\delta = \sqrt{\frac{2}{\mu \cdot \sigma \cdot \omega}} \quad (1.4)$$

donde  $\mu$  es la permeabilidad magnética del material,  $\sigma$  la conductividad y  $\omega$  la frecuencia angular.

Cuando más adelante se hable del modelo paramétrico, veremos que no se conoce una expresión similar para conductores planos como en el caso de los inductores integrados. Por tanto, se recurre a expresiones semi-analíticas o empíricas que generalmente utilizan parámetros de ajuste.

Por otra parte el campo magnético variable ( $B(t)_{principal}$ ), que fluye en la bobina tal y como muestra la Figura 1.4 (a), puede atravesar sus vueltas interiores. De acuerdo con la ley de Faraday-Lenz, esto crea un nuevo campo eléctrico que a su vez origina bucles de corriente conocidos como corrientes de torbellino (*eddy currents*) (ver Figura 1.4 (b)). Estas nuevas corrientes a su vez generan un nuevo campo magnético ( $B(t)_{torbellino}$ ) en la misma dirección que  $B(t)_{principal}$  pero en sentido opuesto, tal y como muestra la Figura 1.4

(c). La magnitud del campo eléctrico inducido, y por tanto la de  $I_{torbellino}$ , es proporcional a la derivada del campo magnético principal con respecto al tiempo, por lo que este efecto será más significativo a altas frecuencias.



**Figura 1.4 Generación de corrientes de torbellino en las pistas interiores de un inductor plano.**

El efecto de las corrientes de torbellino, también denominado efecto de proximidad, adquiere más importancia cuando las vueltas de metal de un inductor dejan un agujero central pequeño. En estos casos gran parte del campo magnético de mayor magnitud (el máximo se da en el centro del inductor) atraviesa estas vueltas interiores, y las corrientes de torbellino son lo suficientemente importantes como para redistribuir el flujo de corriente. Así, en el lado interior de las vueltas centrales, la corriente principal y las de torbellino fluyen en el mismo sentido, con lo que la densidad de corriente es mayor. Por el contrario, en el lado exterior, ambas corrientes van en sentido contrario y por ello la densidad de corriente resultante es menor. Como resultado de este proceso, la corriente en las vueltas centrales se concentra en el lado interior del conductor produciendo un aumento de la resistencia serie asociada a dichas vueltas.

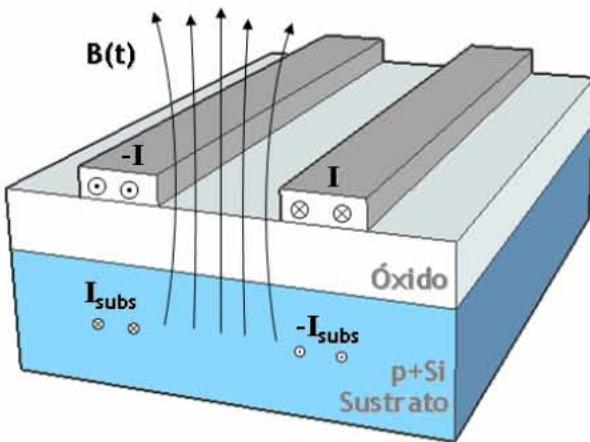
Craninekx analiza en [CraSt97] la aportación de cada vuelta de un inductor integrado a la resistencia total del mismo. En un principio se podría pensar que las vueltas exteriores son las que más resistencia tienen por ser más largas. Sin embargo, el aumento de la resistencia debido al efecto de las corrientes de torbellino a frecuencias altas hace que gran parte de las pérdidas resistivas totales del inductor se deba a las vueltas interiores.

Este efecto es difícil de predecir y modelar paramétricamente, por lo que, como veremos en apartados posteriores, muchos autores han propuesto diferentes soluciones para evitar su aparición.

### 1.2.1.2 Pérdidas en el sustrato

Las pérdidas que se generan en el sustrato se originan por dos campos diferentes.

Por un lado, en el sustrato aparecen nuevas corrientes generadas de la misma manera que las corrientes de torbellino en las pistas interiores del inductor, como ilustra la Figura 1.5. En ella podemos ver un corte transversal del inductor, incluyendo la parte de óxido y el propio sustrato. Tal y como fluye el campo magnético  $B(t)$  en el inductor, induce por la ley de Faraday-Lenz un campo eléctrico que fluye en una especie de bobina imaginaria en el interior del sustrato. Este campo eléctrico a su vez genera una corriente de torbellino  $I_{Subs}$  que se opone a la corriente del inductor ( $I$ ).



**Figura 1.5 Generación de corrientes de torbellino en el sustrato.**

Si el sustrato presenta una resistividad alta ( $>10 \Omega\cdot\text{cm}$ ), el campo eléctrico inducido en el sustrato y la corriente que éste genera serán pequeños [NguMe90]. Por lo tanto se podrán despreciar, y el factor de calidad del inductor vendrá dado principalmente por las pérdidas en las pistas de metal. Si por el contrario el sustrato es muy conductor, las corrientes de torbellino inducidas en el sustrato influirán en gran medida en el factor de calidad del inductor. Además de aumentar la resistencia, estas corrientes disminuirán la inductancia total del inductor. Como se explicó en el apartado anterior, ambos efectos serán más importantes conforme aumente la frecuencia. Veremos en el Capítulo 4 que este efecto es complicado de predecir y modelar, por lo que la mayoría de autores recurren a transformadores para hacerlo.

Por otro lado aparecen las pérdidas creadas debido a los efectos inducidos eléctricamente en el sustrato. Cuando se utiliza una tecnología convencional, en la capa de

óxido que se encuentra entre la espiral y el sustrato aparece una capacidad parásita. A esta hay que añadirle la que se crea en el propio sustrato. Junto con la inductancia que genera la espiral, estas capacidades originan una frecuencia de resonancia por encima de la cual el inductor deja de funcionar como tal para pasar a ser un condensador.

El campo eléctrico en el sustrato resistivo genera también pérdidas óhmicas que deterioran el factor de calidad. Más adelante veremos las soluciones a las que recurren los diseñadores para minimizar estas pérdidas. En el Capítulo 4 se verá también un nuevo modelo desarrollado para poder predecirlas con acierto.

### 1.2.2 Métodos para la mejora de la calidad

En 1990 Nguyen y Meyer propusieron el primer inductor integrado sobre silicio [NguMe90], con un factor de calidad inferior a 5. Las tecnologías empleadas ya habían evolucionado lo suficiente como para incluir varios metales y capas de óxido gruesas para aislar el sustrato de la espiral metálica. Esto, junto con el hecho de que se comenzaba a trabajar a frecuencias más altas, hizo que se pudieran conseguir bobinas con factores de calidad aceptables.

Desde entonces numerosos grupos se han dedicado al estudio de los inductores integrados sobre silicio. Uno de los temas en los que más hincapié se ha hecho es la búsqueda de nuevas técnicas de diseño para minimizar las pérdidas que, como acabamos de ver, degradan el factor de calidad.

Las soluciones que se proponen para reducir las pérdidas resistivas en la espiral metálica están relacionadas en su mayoría con modificaciones del *layout* del inductor:

- Utilizar inductores multinivel, con varios metales en paralelo, de forma que disminuye la resistencia total del conductor [AsKoF96][SoBuJ95]. Esto, sin embargo, lleva a utilizar metales cercanos al sustrato y por tanto aumenta las capacidades parásitas disminuyendo la frecuencia máxima de trabajo. Basándose en esta idea, las tecnologías que se emplean actualmente incluyen en el nivel más alejado del sustrato metales más gruesos pensados para el diseño de inductores de calidad.
- Para evitar la aparición de las corrientes de torbellino en las pistas interiores, algunos autores proponen modificar las vueltas internas del inductor, por ejemplo haciéndolas más estrechas que el resto [CraSt97][LoSaCoo]. Pero esto incrementa la resistencia en continua del inductor, con el consiguiente deterioro de Q.
- La solución más empleada y que nosotros utilizaremos, pasa por eliminar estas vueltas interiores de las bobinas, ya que apenas contribuyen al aumento

de la inductancia total y disminuyen notablemente la calidad del inductor [CraSt97].

Para minimizar las pérdidas que se generan en el sustrato muchos autores han presentado técnicas que modifican o incluso eliminan el silicio que queda por debajo del inductor. Otros se decantan por técnicas más convencionales y muy extendidas en la actualidad, como es el uso de apantallamiento en el sustrato:

- Se pueden reducir las pérdidas del sustrato de manera local colocando un pozo n polarizado bajo el inductor [KihoO97], introduciendo una capa gruesa de óxido enterrada en el sustrato [ErGrR98], bombardeándolo con protones [LuChCo1], o formando un silicio poroso [ChoYo97][YaFrB98], por nombrar algunos ejemplos.
- Un gran número de publicaciones se basan en el vaciado selectivo del sustrato bajo el inductor, de forma que prácticamente se eliminan las pérdidas generadas en él [ChAbG93][HiTaT96][SuZeT96][OzZaG99][PhNgBoo][HoYeYoo][LaZhLo2][WaZhZo4][TuChYo6]. Sin embargo, aunque la calidad del inductor mejora mucho, el uso de estas técnicas es inviable desde el punto de vista de su comercialización debido al elevado coste que conlleva.
- Muchos diseñadores utilizan el apantallamiento del sustrato (*Patterned Ground Shield*, PGS) para eliminar las pérdidas óhmicas debidas al campo eléctrico [YiChOo2][YueWo98][YueWooo][CaGrHo3][LeLeRo5]. Consiste en insertar un plano conectado a tierra entre la espira y el sustrato. Puede ser de metal o bien de algún polisilicio más resistivo que contenga la tecnología con la que se trabaje [YueWo98]. Aunque el factor de calidad puede aumentar hasta en un 30%, esta técnica conlleva un aumento considerable de la capacidad parásita a tierra, y por tanto una disminución considerable de la frecuencia de resonancia del inductor [BurReo3].

Puesto que cada vez se trabaja a frecuencias más altas, los esfuerzos de muchos investigadores han ido encaminados hacia el diseño de nuevas estructuras que presenten frecuencias de resonancia mayores. Así aparecen, por ejemplo, los inductores apilados [KouYaoo][ZoChRo1][RusTao3][YiPaLo3] o los tridimensionales [TaWuLo2], que pretenden maximizar la inductancia y al mismo tiempo reducir el área ocupada. Estas nuevas estructuras inductivas serán analizadas en detalle en el Capítulo 6.

### 1.2.3 Estudio de la geometría del inductor

Una vez que se han explicado los efectos parásitos que aparecen en un inductor, se puede analizar detalladamente cómo influye la geometría sobre su funcionamiento. La Tabla 1.1 recoge las tendencias del factor de calidad máximo ( $Q_{MAX}$ ), el valor de la

inductancia ( $L$ ), y la frecuencia de resonancia ( $f_{RES}$ ) cuando se varía uno de los parámetros geométricos (ver Figura 1.1) manteniendo el resto constante.

**Tabla 1.1 Influencia de la geometría del inductor sobre sus prestaciones**

	$Q_{MAX}$	$L$	$f_{RES}$
<b>radio externo (<math>r_{EXT}</math>)</b>	↑	↓	↑
<b>anchura de pista (w)</b>	↑	↑	↓
<b>espaciado entre pistas (s)</b>	↑	--	↓
<b>número de vueltas (n)</b>	↑	↓	↑

Al aumentar el radio externo del inductor, aumenta el área ocupada, y por tanto hay más pérdidas resistivas y disminuye el factor de calidad máximo. Lo mismo ocurre con la frecuencia de resonancia, que baja debido a que la capacidad parásita es proporcional al área ocupada. La inductancia aumenta ya que el hueco interior del inductor se hace mayor.

Si se mantienen todos los parámetros intactos y sólo se aumenta el ancho de la pista del inductor, la resistencia asociada a las pistas se reduce, y en consecuencia el factor de calidad máximo aumenta. La inductancia sin embargo disminuye porque el agujero central del inductor se cierra. Lo mismo ocurre con la frecuencia de resonancia, puesto que las capacidades parásitas se hacen mayores al aumentar el área de metal en la bobina.

El aumento del espaciado entre pistas no produce variaciones significativas en el factor de calidad máximo del inductor [Pin002][VanHeo01]. Sí influye en su inductancia, que disminuye al ser más débil la inductancia mutua entre pistas y disminuir el área encerrada. La frecuencia de resonancia aumenta ligeramente ya que los acoplamientos capacitivos entre pistas disminuyen si se aumenta la distancia entre ellas.

Cuando se añaden vueltas en un inductor se añade más metal, lo que implica que hay más resistencia y disminuye el factor de calidad. Además la capacidad parásita aumenta y por tanto la frecuencia de resonancia también disminuye. La inductancia sin embargo se incrementa porque con más metal se genera más acoplamiento inductivo.

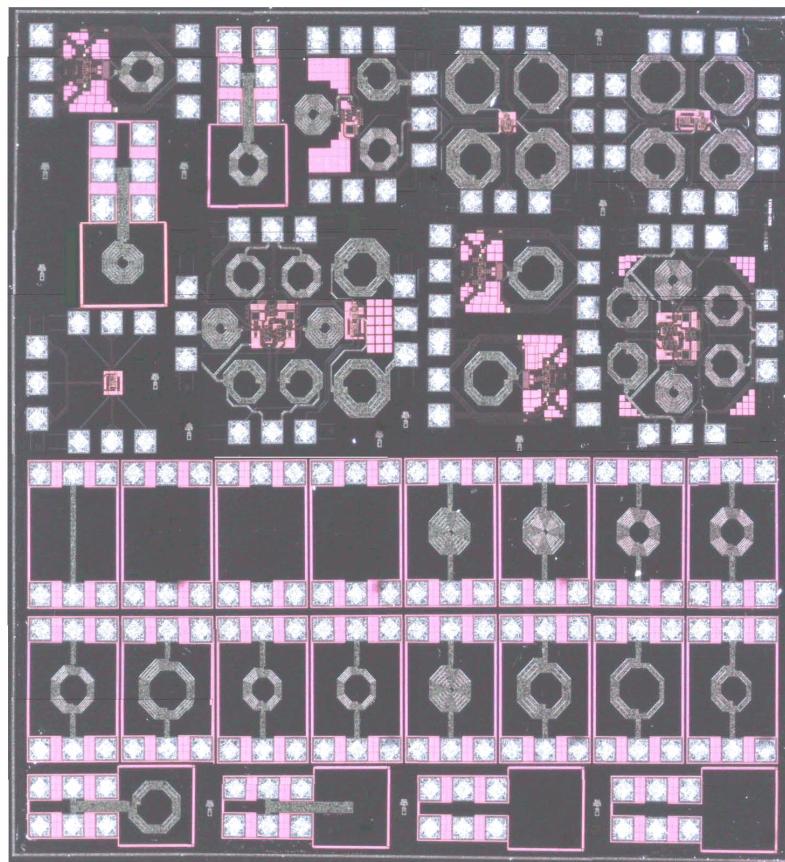
Con respecto al número de lados, aunque no se ha incluido en la Tabla 1.1, estudios anteriores sobre inductores integrados demuestran que la forma óptima de los mismos, desde el punto de vista del factor de calidad, es la geometría circular [ChAoA95]. Sin embargo, las tecnologías generalmente no permiten inductores circulares, por lo que se recurre a geometrías octogonales, en las que el factor de calidad es similar al anterior.

Al margen de los métodos para la mejora de la calidad que vimos en el apartado anterior, muchos autores tratan de optimizar Q eligiendo las dimensiones del inductor más apropiadas para cada aplicación. Esta selección se basa en la experiencia previa del diseñador, en los resultados de la simulación de la bobina utilizando simuladores electromagnéticos, y/o en el uso de modelos paramétricos que predigan el funcionamiento del inductor. Todos estos aspectos, igualmente importantes para el diseño de inductores integrados, se van a estudiar a lo largo de este trabajo.

### 1.3 Objetivos del trabajo

El objetivo principal de este trabajo es encontrar un método de selección del inductor integrado más apropiado para una aplicación determinada. Pero para llegar a esto hay que realizar una serie de pasos imprescindibles que marcan nuevos objetivos:

- Estudiar en profundidad el funcionamiento de los inductores integrados en tecnologías de bajo coste y analizar la conveniencia del uso de nuevas estructuras inductivas para las aplicaciones de circuitos de radiofrecuencia que nos ocupan.
- Establecer una metodología de trabajo para la caracterización de inductores integrados. Esto incluye entre otras tareas, sistematizar la medida de los inductores, establecer una técnica de desacople de medidas (*de-embedding*), y desarrollar un método de extracción del modelo equivalente del inductor a partir de los parámetros S obtenidos en la medida.
- Valorar el simulador electromagnético Momentum como herramienta de predicción de las prestaciones de un inductor. Establecer la configuración adecuada del simulador para que los resultados sean fiables.
- Encontrar un nuevo modelo paramétrico que permita predecir las prestaciones del inductor sin necesidad de fabricarlo o simularlo. Es decir, basándonos en el estudio de los efectos físicos que aparecen en el inductor, deducir un conjunto de expresiones que dependan de los parámetros geométricos y tecnológicos que determinen su factor de calidad y su inductancia.
- Implementar el modelo paramétrico dentro de una herramienta que, haciendo un barrido de las dimensiones geométricas del inductor, proporcione los mejores dispositivos para un valor inductivo y una frecuencia de trabajo determinadas.



**Figura 1.6 Fotografía del chip fabricado.**

**Tabla 1.2 Parámetros geométricos de los inductores fabricados**

	<b>n</b>	<b>r (μm)</b>	<b>w (μm)</b>
<b>L1</b>	1.5	100	20
<b>L2</b>	1.5	130	18
<b>L3</b>	2.5	130	18
<b>L4</b>	5.5	100	13
<b>L5</b>	3.5	90	6
<b>L6</b>	4.5	90	6
<b>L7</b>	3.5	130	10
<b>L8</b>	4.5	100	6
<b>L9</b>	5.5	100	6
<b>L10</b>	6.5	100	6

Para la consecución de estos objetivos utilizaremos principalmente las medidas de 10 inductores integrados en una tecnología SiGe 0.35  $\mu\text{m}$  de AMS [AuMiSy]. La Figura 1.6 muestra el chip fabricado completo, que incluye los inductores y las estructuras de medida necesarias para realizar el *de-embedding*.

La Tabla 1.2 recoge las dimensiones geométricas de las bobinas fabricadas. Todas son octogonales, y están fabricadas en el metal más alejado del sustrato que ofrece la tecnología. Como veremos más adelante, este metal está destinado al diseño de inductores, y por eso es más grueso y conductorivo que el resto. El espaciado entre pistas es para todas ellas el mínimo que permite la tecnología, 2  $\mu\text{m}$ , para así maximizar el valor de la inductancia.

Gran parte de los inductores fabricados se eligieron porque se emplearon en el diseño de los otros circuitos fabricados (amplificadores de bajo ruido, mezcladores y osciladores controlados por tensión). El resto de inductores se incluyeron para intentar cubrir las distintas dimensiones geométricas posibles del inductor.

## 1.4 Organización de la memoria

Después de este primer capítulo, en el que se han visto los principios de funcionamiento de los inductores integrados planos, comenzaremos el segundo capítulo con una revisión del método que se emplea para su medida sobre oblea. Veremos en qué consiste el sistema de medida empleado, cómo diseñar las estructuras de medida que rodean el inductor, y los procesos de *de-embedding* necesarios para eliminar los efectos parásitos que introducen estas estructuras. Por otro lado se explicará el modelo equivalente del inductor, y se presentará el nuevo método de caracterización, mediante el cual se extraerán los valores de los componentes del modelo equivalente a partir de los parámetros S obtenidos en la medida.

En el capítulo 3 analizaremos la herramienta de simulación electromagnética que se ha empleado en este trabajo: Momentum. Veremos cómo se deben configurar las distintas opciones que ofrece y cuál es la mejor manera de simular un inductor para conseguir resultados fiables.

El modelo paramétrico desarrollado se explica extensamente en el capítulo 4. En él se hace un repaso de las expresiones utilizadas por otros autores para cada uno de los componentes del circuito equivalente, haciendo hincapié en la nueva caracterización del sustrato con la que se modelan las pérdidas debidas al campo eléctrico.

Basándonos en el modelo paramétrico, se ha desarrollado una herramienta de selección del inductor óptimo para una aplicación concreta. En el capítulo 5 se explicarán las utilidades de este nuevo software, que hemos llamado I-MODEL. Además en este capítulo abordaremos el desarrollo de una librería de inductores de valores comprendidos

entre 0.5 nH y 6.5 nH para las frecuencias 0.85 GHz, 1.5 GHz, 1.8 GHz, 2.4 GHz y 5.4 GHz en la tecnología SiGe 0.35  $\mu$ m de AMS.

El capítulo 6 está destinado al análisis de las nuevas estructuras inductivas que han ido apareciendo como alternativa a los inductores convencionales. Estudiaremos las ventajas y los inconvenientes que ofrecen los inductores apilados y tridimensionales, y veremos en qué tipo de aplicaciones conviene su uso.

Finalmente, en el capítulo 7 se resumen las principales aportaciones y conclusiones, y las futuras líneas de investigación abiertas a partir de este trabajo.

# **Capítulo 2 Sistema de medida y caracterización de inductores integrados**

## **2.1 Introducción**

Para realizar cualquier estudio sobre inductores integrados se debe contar con resultados medidos fiables. Así se puede, por ejemplo, comprobar que un simulador electromagnético proporciona resultados precisos, o buscar un modelo paramétrico válido, como se verá más adelante. El objetivo de este capítulo es explicar este primer paso de nuestro estudio, que llamaremos caracterización de inductores integrados.

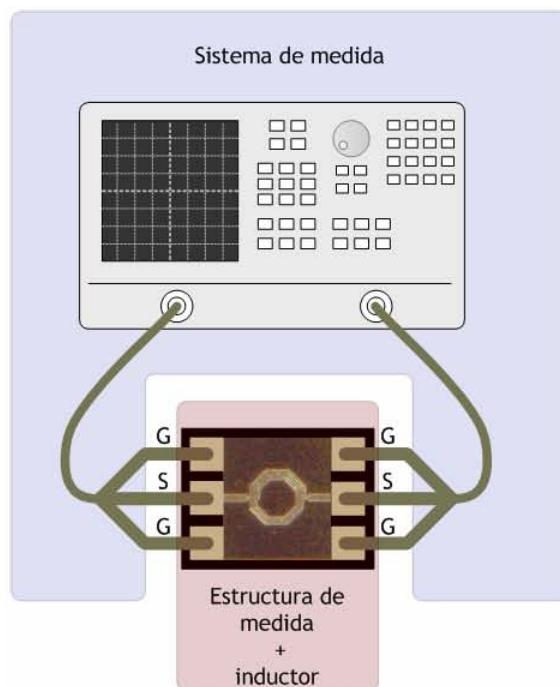
El proceso tiene dos fases diferenciadas: por un lado hay que medir los dispositivos sobre oblea (*on-wafer*), y por otro realizar la caracterización en sí, que consiste en determinar los componentes del modelo equivalente. Estableciendo de manera precisa los pasos que se deben dar en este proceso se garantiza que los resultados sean repetibles y precisos. Sin embargo, las publicaciones que describen la medida y el modelado de inductores integrados para aplicaciones de RF se centran en aspectos concretos, y son pocas las que detallan de forma metódica cada paso del proceso. Esto es debido a la dificultad que entraña la medida de pasivos sobre oblea, ya que aparecen multitud de efectos parásitos en el sistema de medida y en el propio chip que se deben cuantificar y considerar en el método utilizado.

En la primera parte del capítulo veremos el primer paso del proceso: la medida de los inductores integrados. Primero se describe el sistema de medida utilizado y la configuración de medida empleada. A continuación veremos en qué consiste la estructura de medida que rodea un inductor y la metodología de desacoplo empleada (*de-embedding*), con la cual se eliminan los efectos parásitos de dicha estructura de medida.

A partir de las medidas, el siguiente paso consiste en la obtención de los valores de los componentes que forman su circuito equivalente en parámetros concentrados. Este proceso dependerá del circuito equivalente elegido. Así pues, en la segunda parte del capítulo comenzaremos con la descripción del modelo clásico, que es el que comúnmente se ha utilizado en la caracterización de inductores integrados. Por último, se presentará la nueva metodología de caracterización propuesta, es decir, los pasos seguidos para extraer, a partir de las medidas, los valores de los elementos del modelo equivalente del inductor [GoPiGo7b].

## 2.2 Medida de dispositivos integrados sobre oblea

Como se ha dicho, la medida de dispositivos pasivos sobre oblea es un proceso delicado en el que aparecen incertidumbres que se deben cuantificar para que los resultados sean válidos. La Figura 2.1 muestra un esquema de los elementos principales que se emplean en la medida. De ellos se hablará en este apartado.



**Figura 2.1 Esquema del montaje empleado para la medida de inductores.**

Por un lado está el sistema de medida (apartado 2.2.1), que se compone de los aparatos, los cables y conectores, y las puntas de medida. Es importante conocer bien el manejo de todo esto por dos razones igualmente importantes: para conseguir buenos resultados, y para garantizar su mantenimiento. Una vez que se ha elegido y estudiado el sistema de medida, se debe determinar la configuración de medida más adecuada para nuestro dispositivo, como veremos en el apartado 2.2.2.

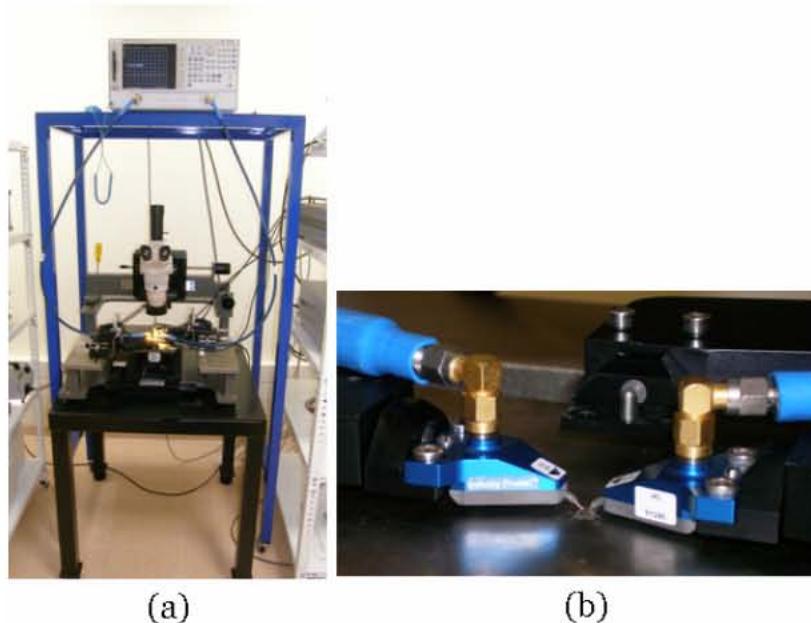
Como muestra la Figura 2.1, para conectar el sistema con el inductor que se desea medir, se utilizan unas estructuras de medida que rodean la bobina y se integran con ella en el proceso de fabricación. Veremos en el apartado 2.2.3 que estas estructuras introducen efectos parásitos, por lo que es muy importante diseñarlas adecuadamente para minimizarlos. Estos efectos se deben cuantificar y sustraer de las medidas con las técnicas de *de-embedding* que se explicarán en el apartado 2.2.4. Por último se analizará la validez de las medidas en el apartado 2.2.5.

### 2.2.1 Sistema de medida

Nuestro sistema de medida está basado en un analizador vectorial de redes (VNA), que caracterizará el dispositivo sometido a prueba (DUT: *Device Under Test*) por medio de sus parámetros S. En nuestro caso utilizaremos el Agilent 8720 ES Network Analyzer, que opera a frecuencias entre 50 MHz y 20 GHz.

Otro elemento fundamental en el sistema de medida son las puntas de medida. Son el único contacto entre el equipo de medida y el DUT, por tanto de su manejo depende en gran parte la validez de las medidas tomadas. En el laboratorio de medidas sobre oblea del IUMA se dispone de distintos tipos de puntas: ACP40 (*Air Coplanar Probes*) GSG 150  $\mu\text{m}$  e Infinity GSG 150  $\mu\text{m}$ , ambas de Cascade Microtech. Las puntas de medida constan de tres dedos con los que hacer el contacto tierra-señal-tierra (GSG, *ground-signal-ground*). La separación entre esos dedos, que en nuestro caso es de 150  $\mu\text{m}$ , será la que determine la distancia entre los *pads* de conexión de las estructuras de medida. En las medidas realizadas en esta tesis doctoral se han utilizado ambos tipos de puntas. Los resultados presentados en esta memoria corresponden a los obtenidos con el modelo *Infinity*, que se caracteriza porque los dedos dejan un cerco mínimo al apoyarlos sobre el *pad* de las estructuras de medida, lo que nos permite realizar muchas medidas antes de que el *pad* se estropee. Por otro lado estas puntas presentan una resistencia de contacto menor de 0.05  $\Omega$ , lo que supone una mejora con respecto a las ACP40.

Las puntas de medida se colocan en una estación de puntas Cascade Microtech SummitTM 9000, que proporciona la estabilidad necesaria para manejarlas con precisión. La conexión del VNA con dicha estación se realiza mediante cables semi-rígidos de 1,2 metros de longitud de la casa SHUNER, que se pueden utilizar hasta 18 GHz.

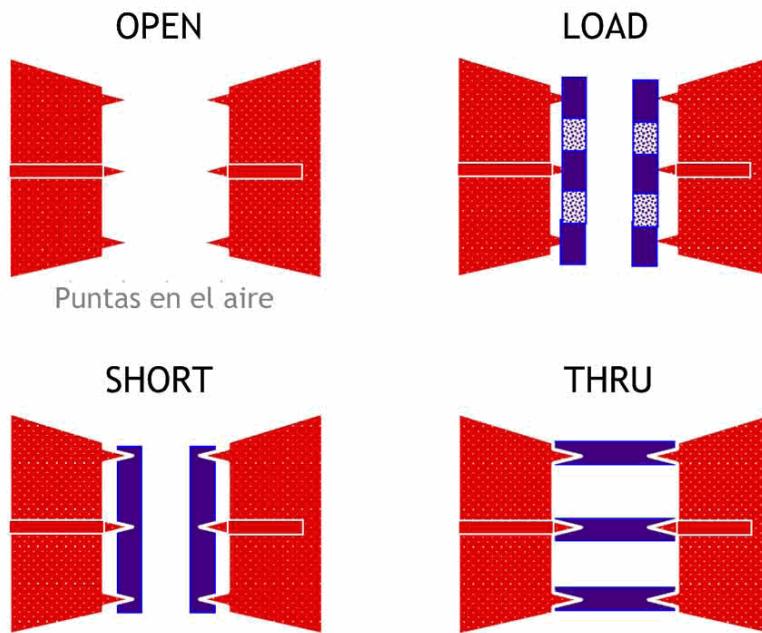


**Figura 2.2** VNA conectado a la estación de puntas (a) y puntas utilizadas para las medidas (b).

En la Figura 2.2 podemos ver el aspecto que tiene cada uno de los instrumentos explicados hasta ahora.

Antes de comenzar a medir se debe definir exactamente dónde termina el sistema de medida y comienza el DUT. A este punto se le llama plano de referencia del sistema. Los errores que introducen tanto el VNA como los cables de conexión hasta llegar a este plano de referencia deben ser restados antes de comenzar la medición. Esto es lo que se denomina calibrar el sistema de medida.

El VNA viene calibrado de fábrica, es decir, los errores que introduce internamente ya están compensados y su plano de referencia se marca en sus puertos de medida. Pero el sistema está formado por más componentes (cables, conectores y puntas de medida), y hay que eliminar los errores que introducen para situar el plano de referencia en la estructura de medida que rodea el inductor. Existen distintos métodos de calibración establecidos, y todos ellos son procedimientos complejos: SOLT (*Short-Open-Load-Thru*), TRL (*Through-Reflection-Load*) o LRM (*Load-Reflection-Match*). Para cada método de calibración se tienen que medir unas estructuras establecidas de resultados conocidos que dan nombre al método. Utilizar un método u otro depende del VNA y puntas de medida que se estén utilizando y del rango de frecuencias de trabajo. Para nuestro caso se recomienda utilizar la calibración SOLT, que es la que se emplea comúnmente [TechB94]. La Figura 2.3 muestra las puntas sobre las estructuras que se miden si se utiliza este método con puntas GSG, como en nuestro caso.



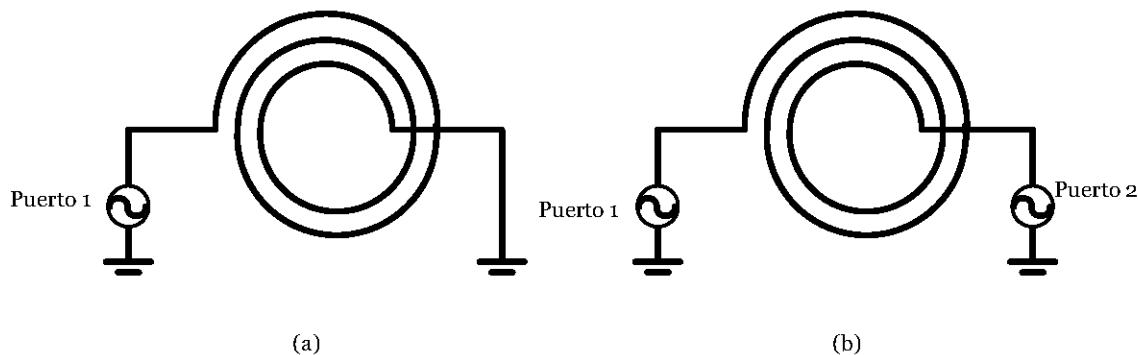
**Figura 2.3 Estructuras para la calibración SOLT para medidas sobre oblea.**

Estas estructuras están implementadas en un sustrato cerámico que se denomina sustrato estándar de calibración (ISS, *Impedance Standard Substrate*) imprescindible para la calibración. Previamente a calibrar el sistema, se debe haber introducido en el VNA el *kit* de calibración correspondiente, que contiene los resultados de las medidas exactas de las diferentes estructuras. De esta forma, cuando nosotros medimos las estructuras en el ISS, el VNA se encarga de comparar los valores del kit de calibración con los obtenidos con nuestras medidas y corrige la posible desviación entre ambos mediante un procedimiento interno que depende del método empleado [Sischo2]. Una vez hecho esto el sistema estará preparado para medir lo que queramos garantizando resultados fiables.

### 2.2.2 Configuraciones de medida

Una vez establecido y calibrado el sistema de medida, veremos la configuración más adecuada para medir inductores. Un inductor es un dispositivo de dos terminales y por tanto existen dos posibles configuraciones para la medida: con un solo puerto y con dos puertos (ver Figura 2.4).

La configuración con la que se debe realizar la medida se selecciona dependiendo de cómo van a ser conectados los inductores en el circuito de aplicación final. De esta forma, cuando uno de los puertos del inductor va a estar conectado directamente a tierra o a un punto del circuito final que en alterna pasa a ser tierra, éste deberá ser medido en la configuración de un puerto. Si no se da esta condición, el inductor tiene que ser medido en la de dos puertos.



**Figura 2.4** Configuraciones de uno (a) y dos puertos (b).

#### **2.2.2.1 Configuración de dos puertos**

Como se ha indicado anteriormente, mediremos un inductor de esta manera cuando ninguno de sus puertos va a ser conectado a una tierra de alterna en el circuito de aplicación final. Esta configuración nos permite caracterizar el inductor con el circuito equivalente  $\pi$  de dos puertos, como veremos en los apartados 2.3 y 2.4.

Cuando una bobina se va a usar en cualquiera de ambas configuraciones, será necesario tener los dos tipos de modelo. Afortunadamente, el de un puerto se puede extraer a partir de las medidas realizadas en la configuración de dos puertos. El procedimiento para llevar esto a cabo es el siguiente:

- 1.- Medir el inductor en la configuración de dos puertos.
  - 2.- Transformar los parámetros S de dos puertos en los de un puerto mediante las siguientes expresiones:

$$S_1 = S_{11} - \left( \frac{S_{21} \cdot S_{12}}{1 + S_{22}} \right) \quad (2.1)$$

$$S_2 = S_{22} - \left( \frac{S_{21} \cdot S_{12}}{1 + S_{11}} \right) \quad (2.2)$$

- 3.- Extraer los parámetros del modelo  $\pi$  de un puerto de la misma forma en que se extraen los de dos puertos.

#### **2.2.2.2 Configuración de un puerto**

Cuando se mide una bobina de esta manera se asume que va a ser usada en el circuito de aplicación final con uno de sus puertos conectado a tierra. Este procedimiento de medida es más rápido que el anterior, debido a que el proceso de calibración es más sencillo. Sin embargo, presenta el problema de que a partir de las medidas extraídas con

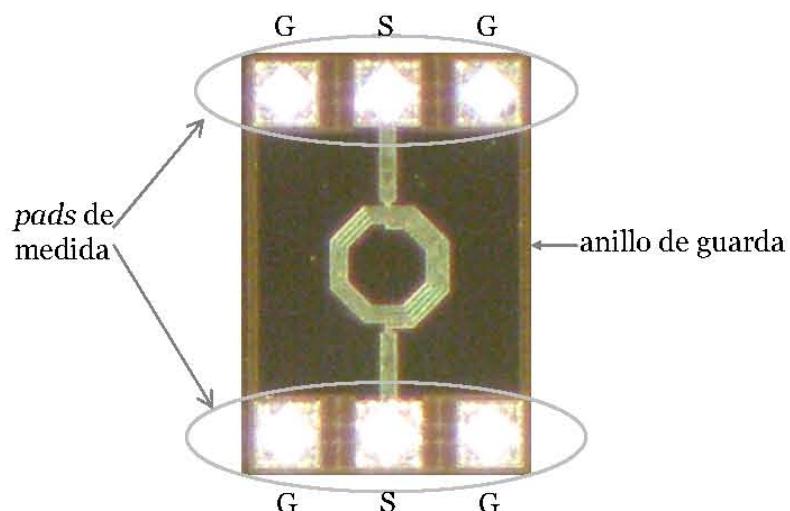
este procedimiento no se pueden extraer los parámetros de dos puertos. Esto se debe a que los parámetros de este modelo dependen tanto de la información contenida en  $S_{11}$  (o  $S_{22}$ ) como en  $S_{12}$  (o  $S_{21}$ ).

Nosotros utilizaremos la configuración de dos puertos, puesto que, como se ha dicho, se pueden obtener tanto los parámetros del modelo de dos puertos como los de uno solo.

### 2.2.3 Estructuras de medida

Ya que la medida de los inductores integrados se realiza sobre oblea, debemos diseñar una estructura que permita la interconexión entre las puntas de medida y el DUT. Estos elementos, denominados estructuras de medida, introducen nuevos efectos parásitos que no tienen nada que ver con los que introducen las estructuras de calibración, y por tanto no pueden ser eliminados en el proceso de calibración. Los efectos no deseados que introduce la estructura de medida se eliminan mediante técnicas de desacoplo de medidas (*de-embedding*) que se verán en el siguiente apartado.

El diseño de las estructuras de medida es muy importante, ya que se debe garantizar una caracterización fiable de cualquier dispositivo DUT que la emplee. Es decir, se debe diseñar de tal forma que la influencia de las estructuras sobre la medida se pueda eliminar en el *de-embedding*.



**Figura 2.5 Pads y anillo de guarda en una estructura de medida.**

Como se puede ver en la Figura 2.5, las estructuras de medida tienen dos partes:

- Los *pads*: para cada puerto de medida tenemos un *pad* de tipo señal (S), al que se conecta el terminal correspondiente del inductor, y dos de tipo tierra (G), que están unidos entre sí y unidos a los *pads* de tierra del otro puerto. Sobre ellos se apoyan las puntas de medida.

- El anillo de guarda: rodea el inductor, une los *pads* de tierra (G) de ambos puertos, y conecta la estructura de medida al sustrato para disminuir la influencia del acoplamiento entre puertos sobre la medida del inductor.

Como ya hemos dicho, las estructuras de medida añaden efectos parásitos, tanto por la influencia del sustrato como de las metalizaciones empleadas. Es importante identificarlos correctamente para poder sustraerlos después de la medida total que realicemos del conjunto estructura de medida más DUT. A continuación se enumeran y describen a grandes rasgos los distintos efectos que aparecen:

- Resistencia de contacto ( $Z_C$ )

La resistencia de contacto representa las perdidas óhmicas que se producen debido al contacto entre las puntas y la estructura de medida, y debido a la diferencia de metalización que hay entre el sustrato de calibración (ISS), que es oro, y el metal utilizado en nuestro dispositivo, que generalmente es aluminio o una aleación del mismo. Esta resistencia depende principalmente de la presión que se realice con las puntas sobre los *pads*, y del deslizamiento que se produzca. Para minimizar sus efectos y conseguir un buen contacto, algunos estudios recomiendan que este deslizamiento sea igual o mayor a 40  $\mu\text{m}$  [AguBeo3].

- Autoacoplamiento ( $Y_p$ )

Este efecto caracteriza la parte de señal que pasa del *pad* de señal al *pad* de tierra. Su influencia depende principalmente de la capacidad que se genera entre los *pads* y el sustrato, que a su vez depende de las dimensiones y estructura de los *pads* empleados. Como veremos más adelante, nosotros hemos empleado los *pads* que ofrece la fundidora, por lo que no se han hecho modificaciones para minimizar este efecto.

- Acoplamiento entre los dos puertos ( $Z_f$ )

Las señales entre los dos puertos de la estructura pueden llegar a acoplarse, produciéndose entonces unas pérdidas ( $Z_f$ ) entre los *pads* de ambos puertos. Este acoplamiento depende de varios factores: la capacidad a tierra de los *pads*, las características físicas del sustrato, la conexión a tierra del sustrato, y la distancia entre los dos puertos. Como veremos después, para minimizar el acoplamiento se ha actuado sobre los dos últimos factores, ya que los dos primeros vienen dados por los *pads* y por el proceso tecnológico empleado.

- Resistencia de las pistas de conexión ( $Z_i$ )

Para conectar los *pads* de señal con el dispositivo a medir se utilizan pistas metálicas por las que circula la señal. Dichas pistas de conexión generan unas pérdidas óhmicas en ambos puertos ( $Z_{i1}$  y  $Z_{i2}$ ).

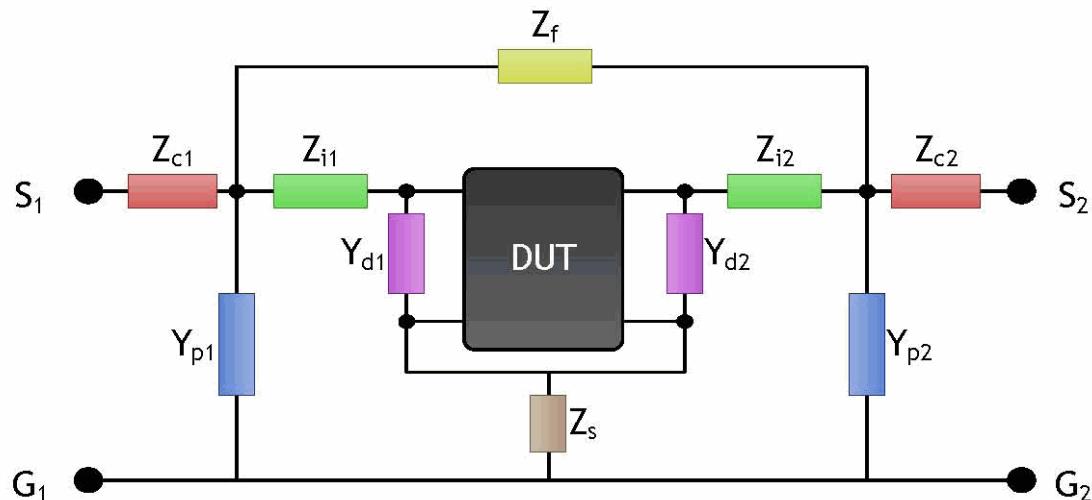
- Acoplamiento debido a las pistas de conexión ( $Y_d$ )

Junto con las pérdidas óhmicas en las pistas de conexión, se produce un acoplamiento entre el metal de las pistas de ambos puertos y tierra ( $Y_{d1}$  e  $Y_{d2}$ ). Este acoplamiento se considera muy pequeño para el caso de la caracterización de pasivos, por lo que se puede despreciar sin problemas [AguBeo3].

- Impedancia a tierra ( $Z_s$ )

Por último entre el DUT y el contacto a tierra del substrato aparece una impedancia  $Z_s$ . Los efectos del substrato tendrán influencia al introducir un inductor en un circuito, por lo que dicha  $Z_s$  se considerará parte del dispositivo a medir (DUT) y no como un efecto parásito a eliminar mediante técnicas de *de-embedding*.

En la Figura 2.6 aparece el modelo de impedancias equivalentes que recoge todos los efectos parásitos descritos.



**Figura 2.6 Modelo de impedancias de una estructura de medida.**

Una vez que se han estudiado los efectos parásitos que aparecen, se han diseñado las estructuras de medida tratando de minimizarlos. A continuación se presentan algunas de las pautas seguidas:

1. Los *pads* utilizados son los que ofrece la tecnología de fabricación. Son cuadrados y de 100  $\mu\text{m}$  de lado, lo cual garantiza un deslizamiento suficiente de la punta de medida para conseguir un contacto sólido entre la misma y el *pad*. Están formados por todas las capas disponibles en la tecnología, de forma que tenga consistencia suficiente para que la punta se deslice adecuadamente. De esta manera se minimiza la resistencia de contacto  $Z_c$ .
2. La distancia entre *pads* de señal viene dada por el área del DUT de mayor tamaño. En nuestro caso es de 400  $\mu\text{m}$ , suficiente para evitar un acoplamiento

de la señal a través del aire y minimizar el que se produce a través de la oblea [KouYao0][AguBeo3][ScBiRo4].

3. El anillo de guarda está formado por capas de metal 1, difusión, implante p+ y vías, de forma que están interconectadas entre sí y conectadas a tierra para mitigar así los efectos parásitos de acoplamiento entre puertos.

Teniendo en cuenta que las estructuras han sido diseñadas para que se pueda despreciar el acoplamiento entre puertos ( $Z_f$ ), que la capacidad que introducen las pistas de conexión ( $Y_d$ ) también son despreciables en la caracterización de pasivos, y que la impedancia a tierra ( $Z_s$ ) se considera parte del dispositivo a medir, el modelo de impedancias de la Figura 2.6 se reduce al que muestra la Figura 2.7:

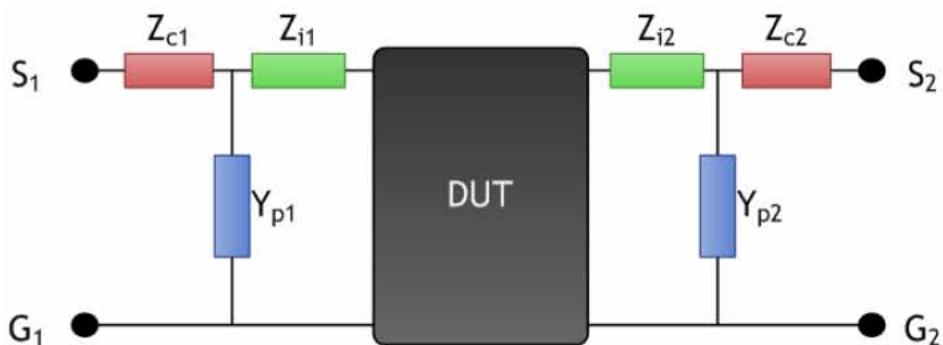


Figura 2.7 Modelo simplificado de impedancias de una estructura de medida.

#### 2.2.4 Técnicas de desacoplo de medidas (*de-embedding*)

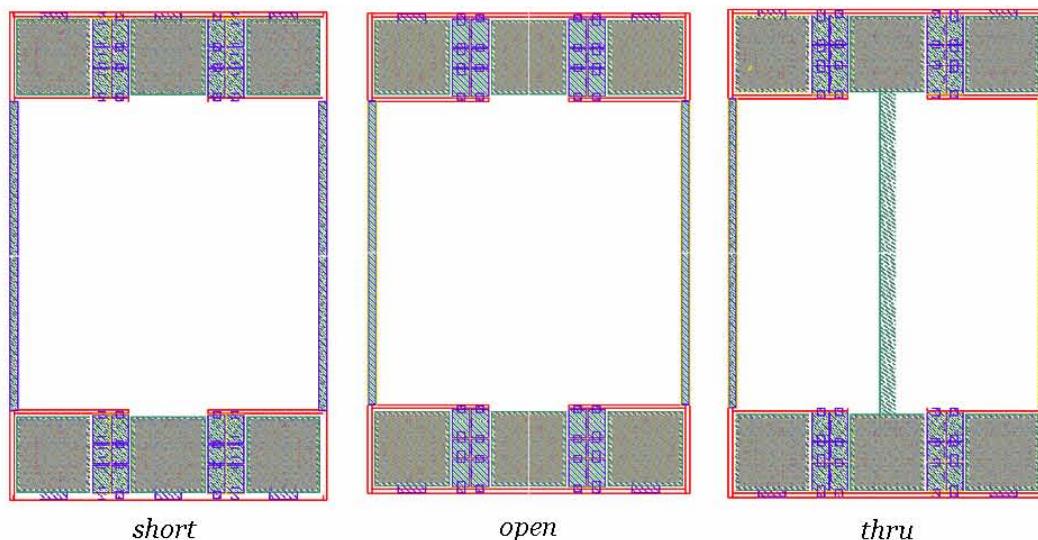
Como dijimos antes, el proceso de *de-embedding* se utiliza para mover el plano de referencia desde el punto fijo en la calibración (las puntas de medida) a los extremos del dispositivo que se quiere medir, es decir, para sustraer de la medida la influencia de la estructura de medida.

El primer paso para realizar dicho *de-embedding* es determinar los efectos parásitos que introducen las estructuras de medida y obtener un modelo de impedancias tal y como el que vimos en el apartado anterior.

Existen numerosos métodos de desacoplo de medidas con diferentes grados de precisión. Sin embargo, en la caracterización de elementos pasivos como los inductores integrados, se deben utilizar los métodos más precisos ya que cualquier variación en la impedancia afecta al valor del factor de calidad. Al igual que sucedía con la calibración del sistema de medida, para realizar el proceso de *de-embedding* se deben medir unas determinadas estructuras de medida solas, sin el inductor. Dependiendo del método empleado se medirán unas estructuras u otras.

Los métodos más comúnmente utilizados son el de los tres pasos de Cho y Burk [ChoBu91] y el de los cuatro pasos de Kolding [Koldi99][Koldioo]. Este último es el más complejo y preciso, ya que tiene en cuenta prácticamente todos los efectos parásitos que aparecen en las estructuras de medida. Más recientemente se han desarrollado nuevos procedimientos basados en los anteriores que utilizan estructuras de test con apantallamiento metálico (*shield-based*), que introducen menos efectos parásitos y reducen el proceso de *de-embedding* a un solo paso [Koldio3][TieHao3][KaiRio6].

En este trabajo hemos utilizado un método basado en el de los cuatro pasos de Kolding [Koldioo], ya que como hemos dicho es el más preciso que se conoce. El método, desarrollado para el caso de la medida de dispositivos pasivos, se describe en profundidad en [GuGaSo3]. Los efectos parásitos representados por el modelo de impedancias simplificado de la Figura 2.7 son eliminados mediante el diseño de tres estructuras de medida específicas que permiten aislar cada uno de esos efectos. Estas estructuras son: estructura *open*, *short* y *thru*. En la Figura 2.8 se muestra el *layout* de cada una de ellas.

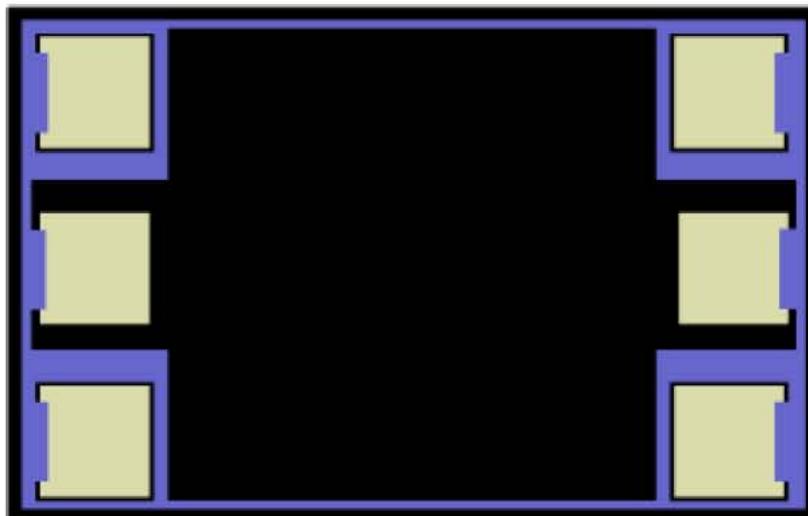


**Figura 2.8 Estructuras para la realización del *de-embedding*.**

A continuación se explica brevemente el diseño y la función de estas estructuras dentro del proceso de *de-embedding*.

#### 2.2.4.1 Estructura *short*

Esta estructura se diseña conectando el *pad* de señal (S) de ambos puertos con los de tierra (G). De esta forma, la señal queda cortocircuitada a tierra en cada uno de los puertos de medida. Un dibujo esquemático de esta estructura se muestra en la Figura 2.9, en la que se ve cómo los tres *pads* de cada puerto están cortocircuitados con el anillo de guarda.



**Figura 2.9** Esquema de la estructura *short*.

El objetivo de esta estructura es medir la impedancia de contacto  $Z_{c1}$  y  $Z_{c2}$ . Al estar cortocircuitado el *pad* de señal con los de tierra, el único valor de impedancia que se obtiene es el de la resistencia de contacto. El modelo de una estructura *short* se muestra en Figura 2.10.

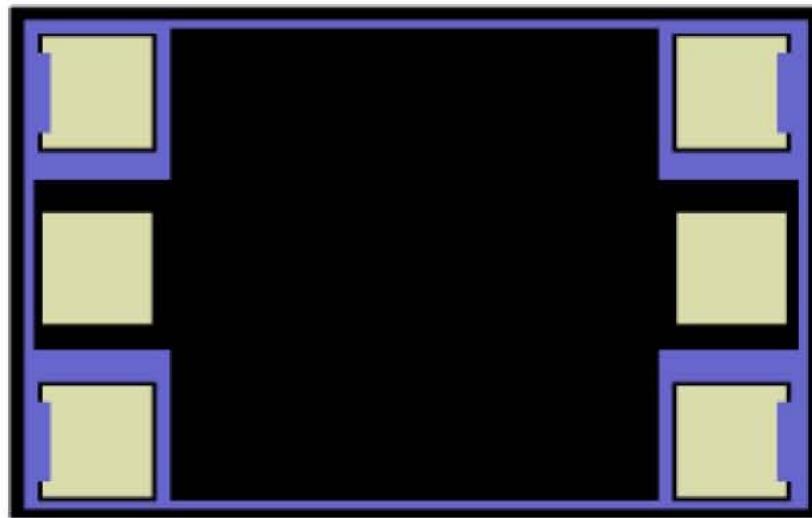


**Figura 2.10** Modelo de impedancias de la estructura *short*.

De esta forma se obtienen directamente los valores de  $Z_{c1}$  desde el puerto uno y  $Z_{c2}$  desde el puerto dos.

#### 2.2.4.2 Estructura *open*

La estructura *open* se diseña manteniendo aislados los *pads* de señal respecto a los de tierra en ambos puertos de medida. En la Figura 2.11 se muestra el dibujo esquemático de este tipo de estructuras, en el que se puede ver cómo, a diferencia de la estructura *short*, los *pads* de señal no están cortocircuitados con los de tierra.



**Figura 2.11 Esquema de la estructura *open*.**

Esta estructura se utiliza para determinar el valor del autoacoplamiento de cada puerto ( $Y_{p1}$  e  $Y_{p2}$ ). El modelo de impedancias de la medida de esta estructura se representa en Figura 2.12. Como se puede observar, dicho modelo incluye además de los valores de autoacoplamiento, los valores de las resistencias de contacto del puerto uno y dos.

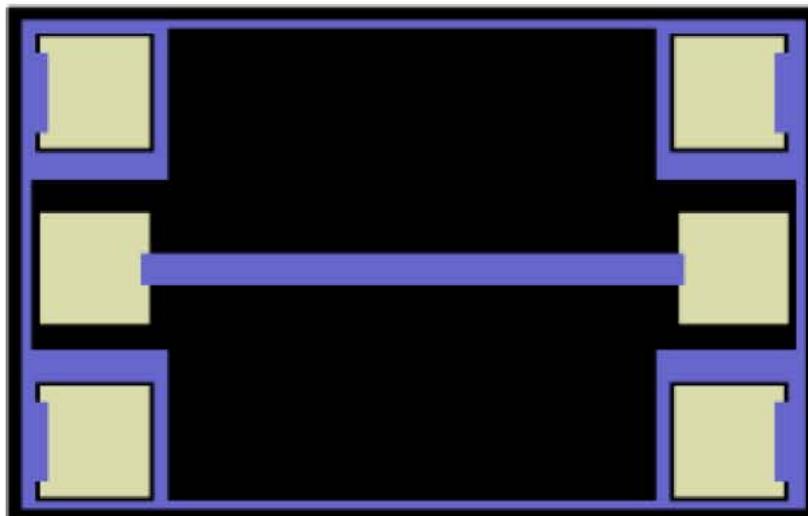


**Figura 2.12 Modelo de impedancias de la estructura *open*.**

Debido a la inclusión en la medida del valor de las resistencias de contacto ( $Z_{c1}$  y  $Z_{c2}$ ), para calcular los valores del autoacoplamiento habrá que restar la impedancia de la estructura *short* a la del *open*. De esta forma se obtendrán los valores de  $Y_{p1}$  e  $Y_{p2}$ .

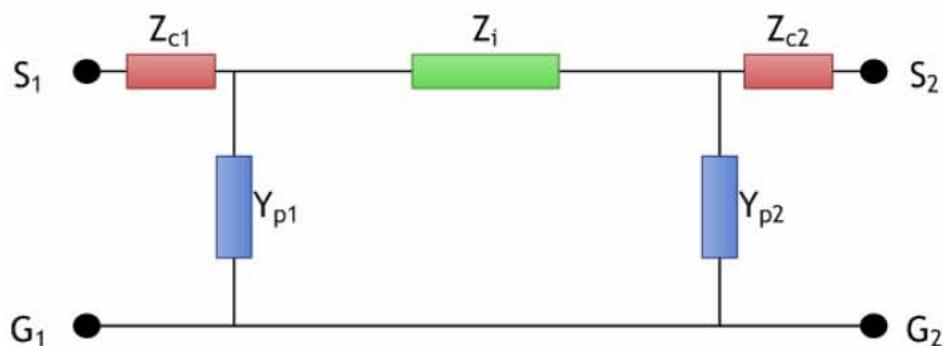
#### 2.2.4.3 Estructura *thru*

Esta estructura se diseña conectando los *pads* de señal de ambos puertos mediante una tira de metal de la misma anchura que la utilizada para conectar los *pads* de señal con los inductores. En la Figura 2.13 se muestra el dibujo esquemático de dicha conexión.



**Figura 2.13** Esquema de la estructura *thru*.

El objetivo del diseño de una estructura *thru* es el cálculo de la impedancia introducida por las conexiones antes citadas. Si se realiza la medida de esta estructura el resultado se puede modelar como se muestra en la Figura 2.14.



**Figura 2.14** Modelo de impedancias de la estructura *thru*.

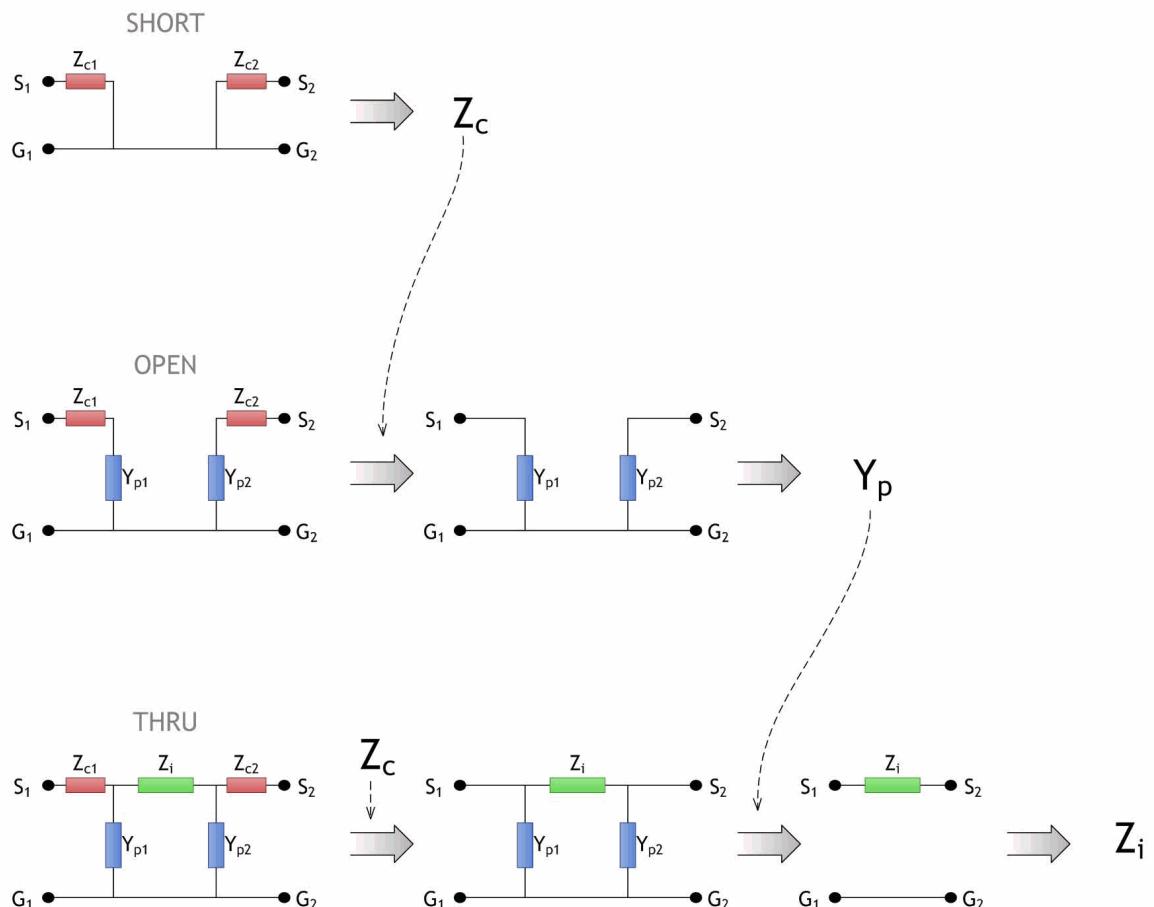
Como se observa en el modelo, la medida de esta estructura incluye además del valor de la resistencia de la línea de conexión ( $Z_i$ ), los valores de la resistencia de contacto ( $Z_{c1}$  y  $Z_{c2}$ ) y del autoacoplamiento ( $Y_{p1}$  e  $Y_{p2}$ ). Por lo tanto habrá que eliminar dichas impedancias del modelo de la estructura *thru*.

Primero se resta el resultado de la medida del *short* al de la medida del *thru*, de forma que el valor de  $Z_c$  es eliminado. A continuación se resta al resultado la medida del *open*, al que previamente se le ha eliminado el *short*. Así se elimina el valor de  $Y_p$ , y el resultado contiene únicamente el valor de la impedancia de las líneas de conexión  $Z_i$ .

Mediante este proceso se calcula el valor de impedancia de una línea de conexión que une los *pads* de señal de una estructura de medida de dos puertos. Como la longitud de las líneas de conexión depende del tamaño de cada inductor, su impedancia se calcula a partir

del dato de  $Z_i$  total, modificándolo según un factor de corrección dependiente de la longitud de la pista de conexión.

En la Figura 2.15 se muestra un resumen del proceso de *de-embedding* empleado en este trabajo.

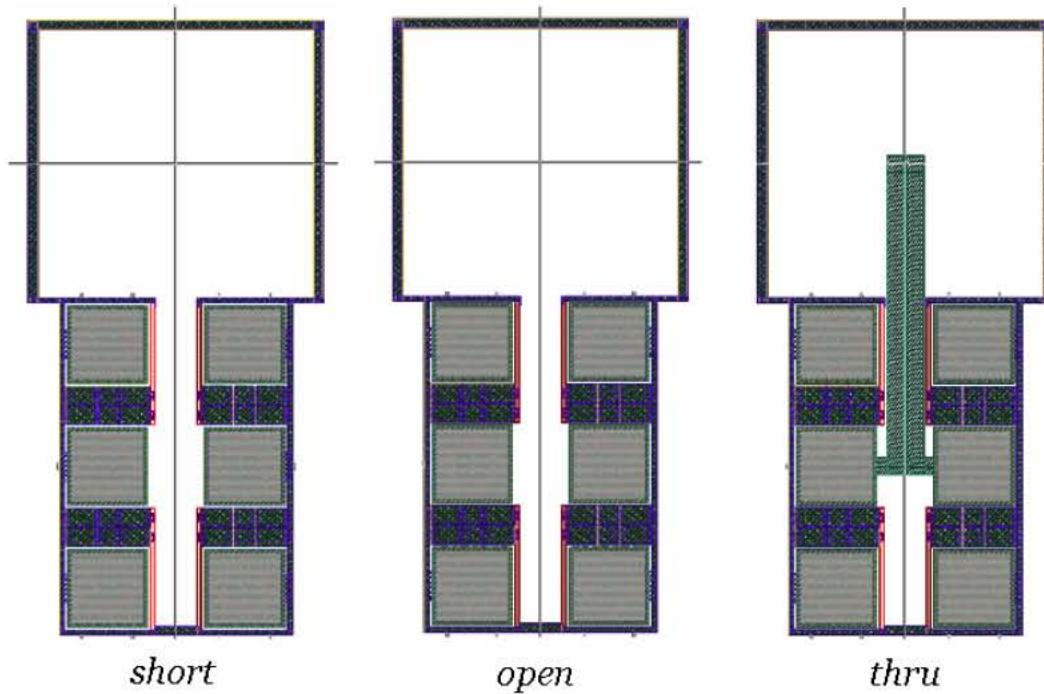


**Figura 2.15 Proceso de obtención de las impedancias parásitas.**

Una vez cuantificadas cada una de las impedancias principales que introduce la estructura de medida, se restan a la medida total mediante unas rutinas matemáticas implementadas con la ayuda del programa *IC-CAP* de *Agilent* [ICCAPo6][Gutie04].

Como se verá en el Capítulo 6, en algunos de los circuitos diseñados conviene que las bobinas tengan la salida de ambos puertos hacia el mismo lado. De esta forma evitaremos utilizar pistas de interconexión que pueden introducir capacidades y resistencias parásitas importantes. Para realizar el *de-embedding* de este tipo de bobinas no serían válidas las estructuras de medida que mostramos en la Figura 2.8. Para estos inductores se empleó el mismo método que se acaba de explicar, aplicado a nuevas estructuras de medida fabricadas basándose en las aportaciones de Tiemeijer y Havens en [TieHao3] (ver Figura 2.16). Aunque no es el objeto de este trabajo, se observó que el método de *de-embedding* para este tipo de inductores podría ser mejorado, ya que aparecen nuevos efectos parásitos asociados a la cercanía entre los pads de señal y a las líneas de

transmisión micro-strip utilizadas para conectar el DUT con la estructura de medida [HaTiGo2].

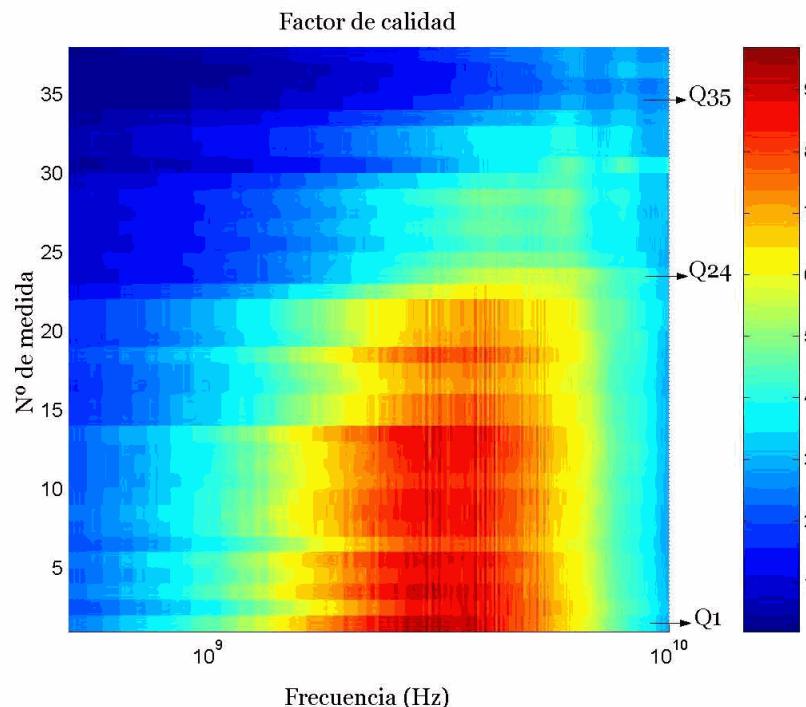


**Figura 2.16 Estructuras para la realización del *de-embedding* de bobinas con salidas hacia el mismo lado.**

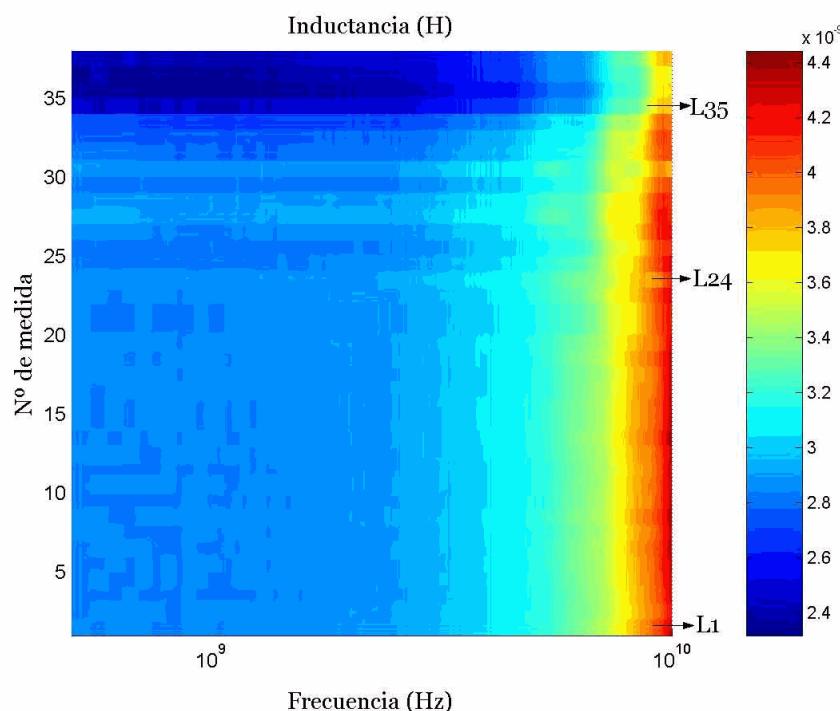
### 2.2.5 Validez de las medidas

Una vez definido el sistema que utilizaremos para caracterizar nuestros inductores, cabe preguntarse acerca de la fiabilidad del mismo. Al constar de muchos elementos, y realizarse la medida de forma manual aparecen muchos factores que pueden modificar el resultado de las medidas. De todos ellos los más significativos son los siguientes:

- Error introducido por el posicionamiento de las puntas de medida en los *pads*, que se realiza de forma manual.
- Error debido a las tolerancias de la referencia utilizada en la calibración inicial del sistema.
- Error introducido por el calentamiento de los equipos de medida.
- Error debido al desgaste de los componentes.
- Error debido a las tolerancias del proceso de fabricación.



**Figura 2.17 Degradación del factor de calidad con el número de medidas realizadas sobre la misma bobina ( $r_{EXT}=90 \mu\text{m}$ ,  $w=6 \mu\text{m}$  y  $n=3.5$  vueltas).**

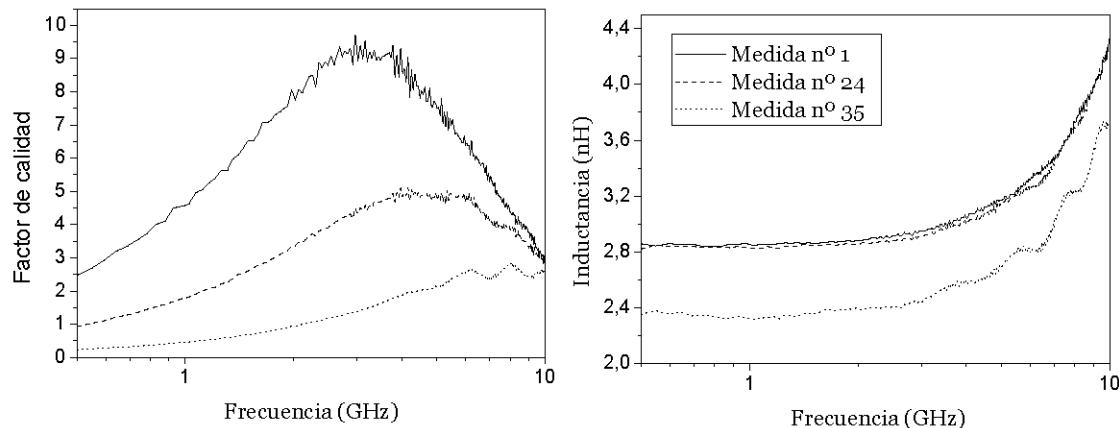


**Figura 2.18 Degradación de la inductancia con el número de medidas realizadas sobre la misma bobina ( $r_{EXT}=90 \mu\text{m}$ ,  $w=6 \mu\text{m}$  y  $n=3.5$  vueltas).**

Algunos ensayos realizados en otros trabajos [Gutie04] demuestran que los errores más importantes son los debidos al desgaste de los componentes (4.4% del error total) y los introducidos en el proceso de fabricación (95% del error total). Nosotros podemos

controlar el primero de ellos, teniendo en cuenta el número de veces que medimos un componente, y cambiando de chip cuando se considere elevado este número de medidas. Para estudiar el desgaste de los *pads* de conexión se realizaron más de 50 medidas sucesivas de un inductor determinado. Para cada medida se calculó la inductancia y el factor de calidad, comprobando que el sistema continuaba calibrado.

Los gráficos de la Figura 2.19 muestran la degradación de las curvas del factor de calidad y la inductancia de la bobina al ir aumentando el número de medidas. Vemos que esta degradación se refleja más claramente en el factor de calidad, que para la medida número 24 no sólo se ha degradado en cuanto a magnitud sino que se ha trasladado en frecuencia (ver Figura 2.19). Este deterioro no afecta tanto sin embargo a la medida de la inductancia, que apenas varía con el número de medidas. A la vista de los gráficos, nosotras tomaremos la precaución de no medir el mismo dispositivo más de diez veces. De esta forma se evita introducir errores añadidos debido al desgaste de los componentes.



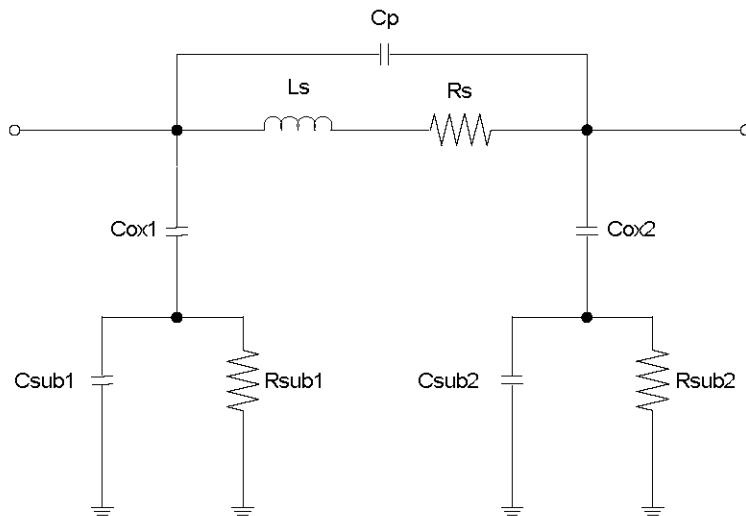
**Figura 2.19 Factor de calidad e inductancia tomados en la medida número 1, 24 y 35 del inductor.**

Puesto que no se posee ningún control sobre el proceso de fabricación de los dispositivos, y los errores que introduce el sistema de caracterización quedan enmascarados por las tolerancias de fabricación, consideraremos que el sistema es fiable.

## 2.3 Modelo equivalente clásico

Una vez que tenemos los parámetros S medidos, el siguiente paso es obtener un circuito equivalente del inductor que pueda ser incluido en herramientas de simulación como SPICE o ADS con el resto del circuito integrado diseñado. Por tanto debemos hallar los valores de los componentes del circuito equivalente, de forma que la respuesta de éste coincida con las medidas de las bobinas.

Para esto utilizaremos el modelo clásico, que está basado en los fenómenos físicos estudiados en el capítulo 1 (ver Figura 2.20).



**Figura 2.20 Modelo clásico de dos puertos para inductores espirales integrados.**

En serie con la inductancia deseada,  $L_s$ , aparece una resistencia,  $R_s$ , que modela las pérdidas óhmicas generadas por  $E_1(t)$  (ver Figura 1.2). El condensador  $C_p$  da cuenta del acoplamiento capacitivo generado por  $E_2(t)$  y  $E_4(t)$ . El resto de los elementos que aparecen en el circuito describen los efectos del sustrato. En particular, los condensadores  $C_{ox1}$  y  $C_{ox2}$  modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que  $C_{sub1}$  y  $C_{sub2}$  dan cuenta de la capacidad del sustrato. Por último  $R_{sub1}$  y  $R_{sub2}$  modelan las pérdidas óhmicas en el sustrato.

El circuito equivalente de la Figura 2.20 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de  $C_{ox1}$ ,  $C_{sub1}$  y  $R_{sub1}$  ligeramente diferentes a los de  $C_{ox2}$ ,  $C_{sub2}$  y  $R_{sub2}$ .

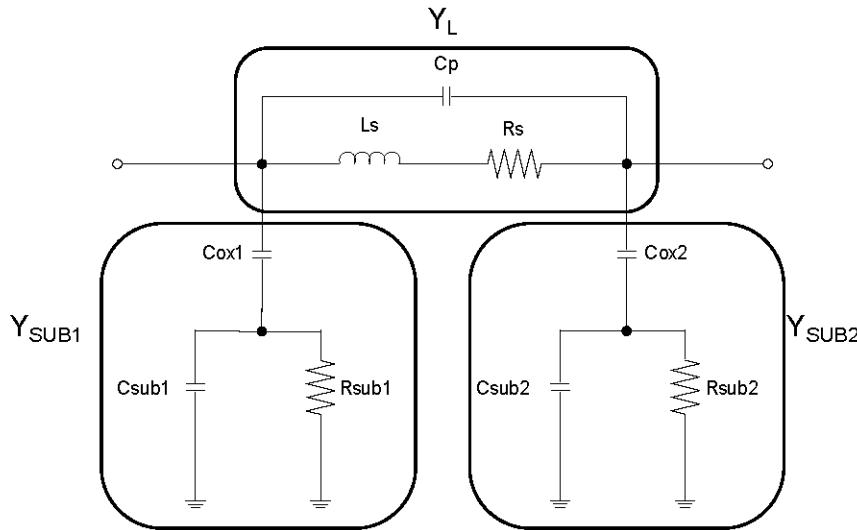
## 2.4 Proceso de caracterización

Para el diseñador de RF es muy útil contar con un método rápido y robusto para extraer los parámetros del modelo equivalente a partir de las medidas. En este apartado repasaremos el método clásico empleado por la mayoría de autores y explicaremos la nueva propuesta que se ha desarrollado en este trabajo.

### 2.4.1 Procedimientos clásicos

El primer paso para caracterizar la bobina será la transformación de los parámetros  $S(\omega_i)$  en parámetros  $Y(\omega_i)$ . Esto es necesario porque el circuito mostrado en la Figura 2.21

se puede considerar como la conexión de tres elementos de dos puertos definidos por sus admitancias:  $Y_L$ ,  $Y_{SUB1}$ , e  $Y_{SUB2}$  [YuRyL96].



**Figura 2.21 Admitancias en el modelo de dos puertos para inductores espirales integrados.**

La matriz de admitancias de un elemento de dos puertos se expresa por:

$$Y_\pi = \begin{bmatrix} Y_{\pi 11} & Y_{\pi 12} \\ Y_{\pi 21} & Y_{\pi 22} \end{bmatrix} \quad (2.3)$$

El conocimiento de  $Y_\pi$  permite caracterizar el circuito de la Figura 2.21 ya que las admitancias que constituyen la red  $\pi$  vienen dadas por las siguientes expresiones:

$$Y_L = -Y_{\pi 12} = -Y_{\pi 21} \quad (2.4)$$

$$Y_{SUB1} = Y_{\pi 11} + Y_{\pi 12} \quad (2.5)$$

$$Y_{SUB2} = Y_{\pi 22} + Y_{\pi 21} \quad (2.6)$$

Estas ecuaciones son importantes porque nos permiten separar la admittance  $Y_L$ , que incluye sólo tres elementos ( $L_s$ ,  $R_s$ , y  $C_p$ ) de  $Y_{SUB1}$  e  $Y_{SUB2}$  que están asociados al resto de parámetros desconocidos ( $C_{OX1}$ ,  $C_{SUB1}$  y  $R_{SUB1}$ ) y ( $C_{OX2}$ ,  $C_{SUB2}$  y  $R_{SUB2}$ ).

El método más sencillo para la extracción de los valores de los elementos circuitiales que modelan la bobina pasa por un proceso de ajuste aplicado a las admitancias  $Y_L$ ,  $Y_{SUB1}$  e  $Y_{SUB2}$  individualmente. En particular, el procedimiento de ajuste aplicado a  $Y_L$  determina los valores de  $L_s$ ,  $R_s$ , y  $C_p$ , como aquellos valores que minimizan la cantidad:

$$\sum_i \sqrt{|Y_L(\omega_i) - Y'_L(L, R_s, C_p, \omega_i)|^2} \quad (2.7)$$

donde  $Y_L(\omega)$  es la admitancia dada por la ecuación 2.4 e  $Y_L'(L_S, R_S, C_P, \omega_i)$  es la admitancia evaluada a partir del circuito equivalente de la Figura 2.21. El resto de elementos del circuito equivalente se extraen de forma similar.

Uno de los principales inconvenientes de este proceso de caracterización es que es difícil conseguir ajustar los valores extraídos a las medidas para un rango amplio de frecuencias. Para conseguirlo, muchos autores utilizan complicados algoritmos iterativos de optimización que requieren mucho tiempo de cálculo y conllevan a menudo problemas de convergencia [ZheLi03][ZhaMao03][MaDePo06][WaMeFo04][GaoYu06].

Por otro lado, al emplear un ajuste por mínimos cuadrados no se tiene una visión física de cómo se relacionan las medidas del inductor con los elementos del circuito equivalente. Esto puede llevar a dar valores de componentes que, si bien hacen que el circuito equivalente se ajuste correctamente a las medidas, no tengan significado físico alguno. Esto podría representar un problema importante si queremos obtener un modelo paramétrico del inductor. Como veremos en el capítulo 4, con este modelo se obtienen expresiones cerradas que dependen de los parámetros geométricos y tecnológicos de la bobina para cada componente del circuito equivalente. Por lo tanto es importante extraer adecuadamente los parámetros de las medidas, para así contar con valores de referencia que tengan sentido físico con los que poder evaluar los obtenidos con el modelo paramétrico.

Nosotros hemos ideado una nueva metodología de caracterización que solventa estas dificultades si se observan determinadas condiciones.

#### 2.4.2 Nuevo método de extracción de parámetros

Partiremos de las expresiones para el cálculo de las admitancias a partir de los elementos que forman el circuito equivalente de la bobina:

$$Y_L = \left[ \frac{R_S}{R_S^2 + \omega^2 \cdot L_S^2} \right] + j \cdot \left[ -\frac{\omega \cdot L_S}{R_S^2 + \omega^2 \cdot L_S^2} + \omega \cdot C_P \right] \quad (2.8)$$

$$Y_{SUB1} = \left( \frac{1}{j \cdot \omega \cdot C_{OX1}} + \frac{1}{j \cdot \omega \cdot C_{SUB1} + \frac{1}{R_{SUB1}}} \right)^{-1} \quad (2.9)$$

$$Y_{SUB2} = \left( \frac{1}{j \cdot \omega \cdot C_{OX2}} + \frac{1}{j \cdot \omega \cdot C_{SUB2} + \frac{1}{R_{SUB2}}} \right)^{-1} \quad (2.10)$$

Comenzaremos con los elementos de la rama principal  $Y_L$ . Teniendo en cuenta que valores típicos de  $R_S$  y  $L_S$  son, respectivamente, unidades o decenas de ohmios y unidades de nanohenrios, la ecuación (2.8) se puede simplificar suponiendo que  $R_S^2 \ll \omega^2 \cdot L_S^2$  para el intervalo de frecuencias en que trabajamos:

$$Y_L = \left[ \frac{R_S}{\omega^2 \cdot L_S^2} \right] + j \cdot \left[ -\frac{1}{\omega \cdot L_S} + \omega \cdot C_P \right] \quad (2.11)$$

Como veremos más adelante en este apartado, la capacidad  $C_P$  afecta al funcionamiento del inductor a frecuencias altas, por tanto podemos obtener el valor de  $L_S$  a partir de la parte imaginaria de  $Y_L$  a frecuencias bajas:

$$L_S = \left[ -\frac{1}{\omega \cdot \text{imag}(Y_L)} \right]_{BajaFrecuencia} \quad (2.12)$$

Una vez conocido  $L_S$  es fácil obtener los otros dos elementos de la rama principal,  $R_S$  y  $C_P$ , despejando en las partes real e imaginaria de  $Y_L$  respectivamente:

$$R_S = \left| \text{real}(Y_L) \cdot \omega^2 \cdot L_S^2 \right|_{BajaFrecuencia} \quad (2.13)$$

$$C_P = \left[ \frac{\frac{1}{\omega \cdot L_S} + \text{imag}(Y_L)}{\omega} \right]_{AltaFrecuencia} \quad (2.14)$$

Para obtener los elementos de la rama a tierra de entrada partiremos de la expresión de  $Z_{SUB1}$ , que obtendremos invirtiendo (2.9). Teniendo en cuenta que  $C_{SUB}$  es del orden de fF, y  $R_{SUB}$  es menor de 1 KΩ, podemos asumir que el resultado de  $\omega^2 \cdot C_{SUB}^2 \cdot R_{SUB}^2$  es considerablemente menor que la unidad. Por tanto podemos obtener  $R_{SUB1}$  evaluando su parte real a frecuencias bajas:

$$Z_{SUB1} = \frac{R_{SUB1}}{1 + \omega^2 \cdot C_{SUB1}^2 \cdot R_{SUB1}^2} - j \cdot \left( \frac{1}{\omega \cdot C_{OX1}} + \frac{\omega \cdot C_{SUB1} \cdot R_{SUB1}^2}{1 + \omega^2 \cdot C_{SUB1}^2 \cdot R_{SUB1}^2} \right) \quad (2.15)$$

$$R_{SUB1} = \text{real}(Z_{SUB1})_{BajaFrecuencia} \quad (2.16)$$

Por tanto sólo nos queda despejar  $C_{OX1}$  y  $C_{SUB1}$  de la parte imaginaria de  $Z_{SUB1}$ . Para calcular la capacidad del óxido utilizaremos la expresión paramétrica de un capacitor plano paralelo sencillo. Trabajos anteriores [Pinoo2] demuestran que esta expresión estima correctamente el valor de  $C_{OX1}$  extraído de las medidas. Por tanto será:

$$C_{OX1} = \epsilon_O \cdot \epsilon_{OX} \cdot \frac{A}{t_{OX}} \quad (2.17)$$

donde  $\epsilon_0 \cdot \epsilon_{OX}$  es la permitividad del óxido,  $A$  es el área ocupada por el inductor y  $t_{OX}$  es el grosor de la capa de óxido que hay entre el metal y el silicio.

Como ya se sabe, la impedancia que presenta el sustrato es la suma de la de  $C_{OX1}$  y el paralelo de  $R_{SUB1}$  y  $C_{SUB1}$ . Si a la expresión completa (2.15) le quitamos la impedancia que presenta  $C_{OX1}$  obtendremos otra expresión que llamaremos  $Z_{SUB1}'$  de la que es fácil obtener  $C_{SUB1}$ :

$$Z_{SUB1} = Z_{C_{OX1}} + Z_{SUB1}' \quad (2.18)$$

$$Z_{SUB1}' = Z_{SUB1} + \frac{j}{\omega \cdot C_{OX1}} \quad (2.19)$$

$$Y_{SUB1}' = \frac{1}{R_{SUB1}} + j \cdot \omega \cdot C_{SUB1} \quad (2.20)$$

$$C_{SUB1} = \left[ \frac{\text{imag}(Y_{SUB1}')}{\omega} \right]_{\text{Alta Frecuencia}} \quad (2.21)$$

Todos los cálculos se volverían a repetir para obtener los componentes de la otra rama a tierra de la bobina,  $C_{OX2}$ ,  $R_{SUB2}$  y  $C_{SUB2}$ . Los resultados no son exactamente los mismos debido al *underpass*. Esto afecta principalmente a  $C_{OX2}$ , que aumenta ligeramente debido a la capacidad que añade esta pista de metal, tal y como muestra la ecuación (2.22):

$$C_{OX2} = C_{OX1} + \epsilon_0 \cdot \epsilon_{OX} \cdot \frac{A_{UND}}{t_{OX\_UND}} \quad (2.22)$$

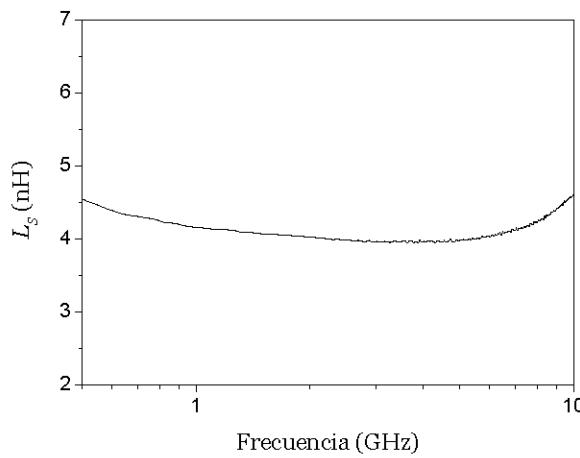
donde  $A_{UND}$  es el área del *underpass* y  $t_{OX\_UND}$  la distancia del mismo al sustrato. Utilizando este nuevo valor de la capacidad del óxido y  $Z_{SUB2}$  extraída de las medidas podemos hallar  $R_{SUB2}$  y  $C_{SUB2}$  con las ecuaciones (2.16) y (2.21) respectivamente.

Con las ecuaciones (2.12), (2.13), (2.14), (2.16), (2.17) y (2.21) ya tendríamos los valores de los distintos componentes del modelo equivalente, pero en función de la frecuencia (excepto para el caso de  $C_{OX}$ ). Algunos autores llegan a ecuaciones similares a las obtenidas hasta ahora, y extraen los valores de los componentes mediante aproximaciones lineales [NikMe98][DiLaBo5][KaGiSo5][HuJiBo6]. Sin embargo la solución hallada así depende mucho del rango de frecuencias elegido para hacer el ajuste lineal, que incluso puede variar de una bobina a otra.

Nosotros determinaremos a qué frecuencia se escoge el valor de cada elemento estudiando su influencia en el funcionamiento global del inductor.

Comenzamos con  $L_s$  y  $R_s$ . Ambos parámetros determinan la subida de la curva del factor de calidad y su pico máximo. De estos dos elementos es  $R_s$  el que tiene más

influencia, puesto que  $L_S$  varía muy poco con respecto a la frecuencia. Esto lo podemos ver en la Figura 2.22 para el caso de una de las bobinas fabricadas en la tecnología de  $0.35\text{ }\mu\text{m}$  de AMS. Tiene un radio externo de  $90\text{ }\mu\text{m}$ , 4.5 vueltas y  $6\text{ }\mu\text{m}$  de ancho de pista.

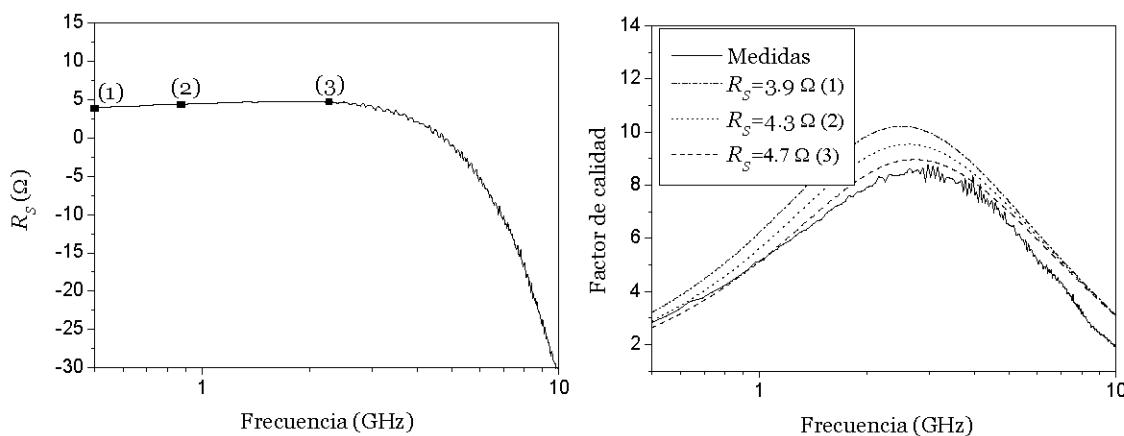


**Figura 2.22 Inductancia extraída de las medidas según la ecuación (2.12).**

Aunque la expresión (2.12) se ha conseguido simplificando a baja frecuencia, para evaluar  $L_S$  tomaremos el valor en la zona constante de la curva, ya que la inductancia apenas varía con la frecuencia.

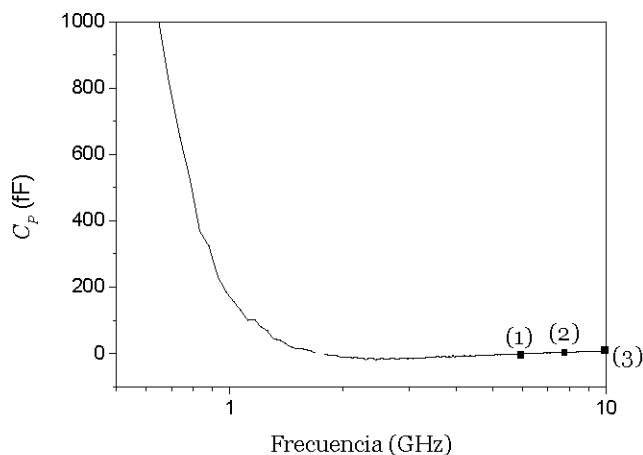
La Figura 2.23 muestra cómo varía el factor de calidad conforme variamos el valor de la resistencia  $R_S$ . La línea continua representa la curva medida, y las otras tres son las curvas obtenidas con el circuito equivalente extraído para distintos valores de la resistencia serie. Como vemos, pequeñas variaciones de  $0.4\text{ }\Omega$  en su valor modifican sustancialmente el funcionamiento de la bobina.

Vemos que el valor que mejor estima tanto el valor de  $Q$  máximo como la frecuencia al que éste se da es el máximo de  $R_S$ , por lo que será el que tomaremos en nuestro método de extracción de los parámetros.

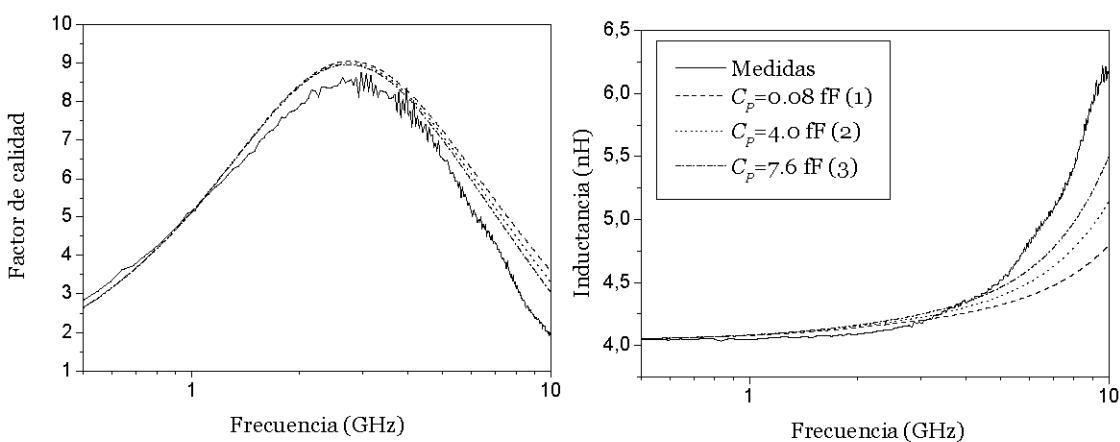


**Figura 2.23 Variación del factor de calidad en función de la resistencia  $R_S$  extraída.**

El valor de  $C_P$ , como ya dijimos antes, afecta en el funcionamiento del inductor a alta frecuencia, de manera que influye en el último tramo de frecuencias de la curva de Q. Por tanto para hallar su valor utilizaremos en la ecuación 2.14 la frecuencia que hace que la curva del factor de calidad del modelo extraído corte el eje de Q=0 en la misma frecuencia que la medida. Es decir, evaluaremos  $C_P$  a frecuencias altas y de forma que la curva extraída tenga la misma frecuencia de resonancia ( $f_{RES}$ ) que la medida. En la Figura 2.25 se puede ver que conforme la frecuencia de evaluación de  $C_P$  se acerca a  $f_{RES}$  el resultado mejora. Sin embargo, para algunos de los inductores fabricados y medidos la frecuencia de resonancia es mayor de 10 GHz, que es el valor máximo medido con nuestro VNA. Esto significa que para predecir exactamente la frecuencia de resonancia de un inductor con este método de extracción, se debe disponer de datos medidos hasta, como mínimo,  $f_{RES}$ . Si no es así, como ocurre en el inductor que se está empleando como ejemplo, se tomará el valor de la capacidad en la frecuencia máxima de medida, que en nuestro caso es 10 GHz.



**Figura 2.24 Capacidad  $C_P$  extraída de las medidas según la ecuación (2.14).**

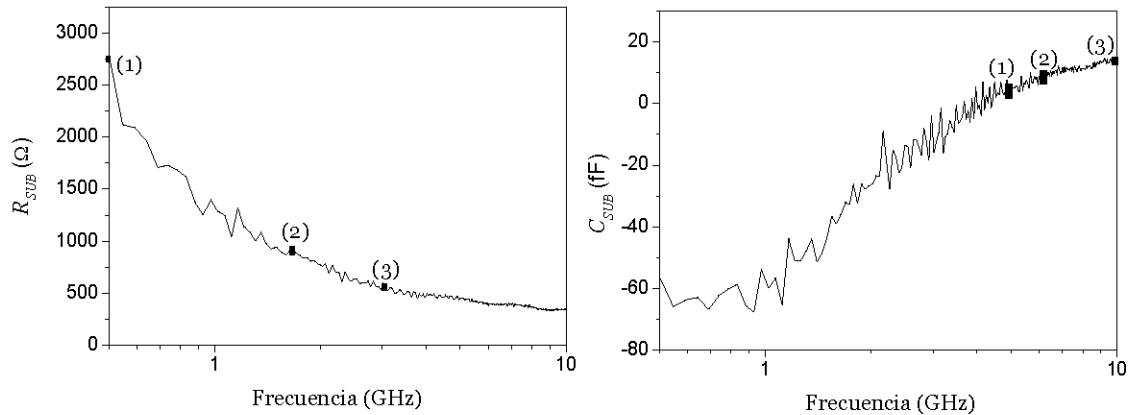


**Figura 2.25 Variación de Q y L en función de la capacidad  $C_P$  extraída.**

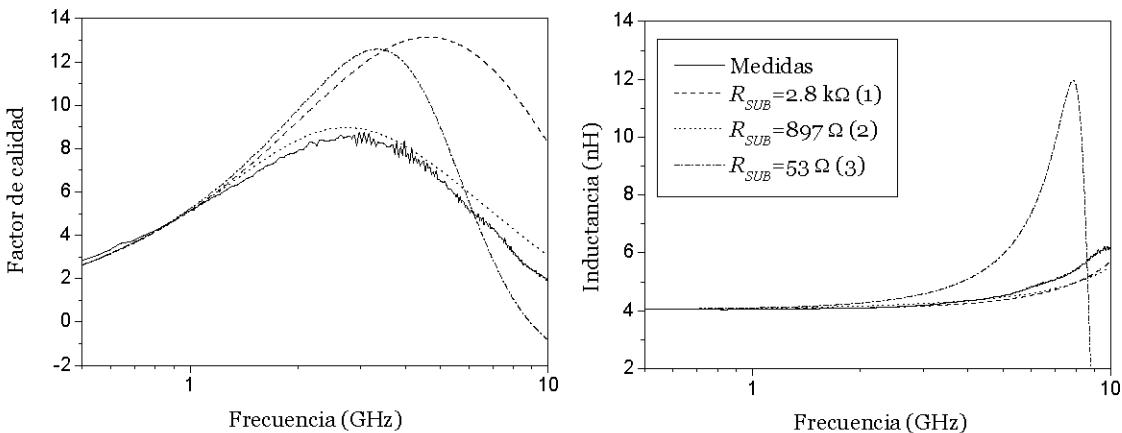
Por último quedan la resistencia y la capacidad del sustrato. La Figura 2.26 muestra la variación de los elementos extraídos con la frecuencia según las ecuaciones (2.16) y (2.21). Como dijimos, la resistencia debe evaluarse a frecuencias bajas y la capacidad a

frecuencias altas. El valor de  $R_{SUB}$ , sin embargo, varía mucho en el rango cercano a la frecuencia nula, reduciéndose a menos de la mitad antes de alcanzar 1 GHz para el caso de la bobina que utilizamos de ejemplo. Vemos en la Figura 2.27 que esta variación cambia completamente el perfil del factor de calidad, ya que determina su pendiente de bajada. Tomaremos como referencia su valor en continua, el valor a la frecuencia a la que el factor de calidad se hace máximo y el valor intermedio entre ambas. Vemos que este último, que todavía cumple los requisitos para llegar a la ecuación (2.16), es el que mejores resultados proporciona, y por tanto es el que se utilizará en nuestro método de extracción.

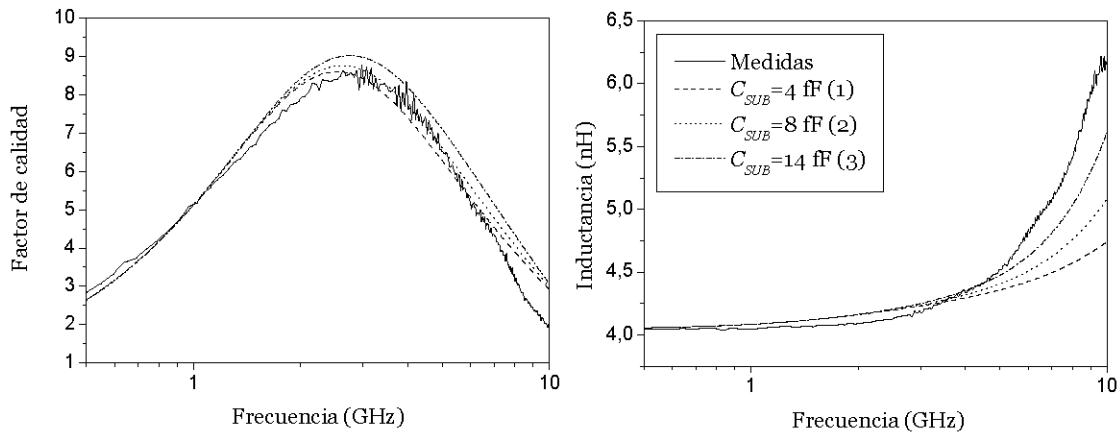
Como ocurría con  $C_P$ ,  $C_{SUB}$  influye principalmente en la frecuencia de resonancia de la bobina, y casi no modifica el factor de calidad (ver Figura 2.28). Procederemos como ya hicimos con la otra capacidad, tomando para evaluar  $C_{SUB}$  la frecuencia a la que el modelo extraído resuena a la vez que la medida. Como nos ocurrió entonces, no se consigue exactamente que resuenen a la vez debido a que para la bobina de ejemplo  $f_{RES}$  es mayor de 10 GHz.



**Figura 2.26**  $R_{SUB}$  y  $C_{SUB}$  extraídas de las medidas según las ecuaciones (2.16) y (2.21).



**Figura 2.27** Variación de Q y L en función de la resistencia  $R_{SUB}$  extraída.



**Figura 2.28 Variación de Q y L en función de la capacidad  $C_{SUB}$  extraída.**

La Tabla 2.1 recoge de forma resumida las frecuencias a las que se deben evaluar los distintos componentes para la correcta extracción del circuito equivalente.

**Tabla 2.1 Resumen del proceso de elección de frecuencias**

Componente	Frecuencia de cálculo
$L_S$	frecuencia baja (constante)
$R_S$	frecuencia de $R_S(f)_{MAX}$
$C_P$	frecuencia de resonancia ( $f_{RES}$ )
$C_{OX}$	valor constante
$R_{SUB}$	frecuencia de $Q_{MAX}/2$
$C_{SUB}$	frecuencia de resonancia ( $f_{RES}$ )

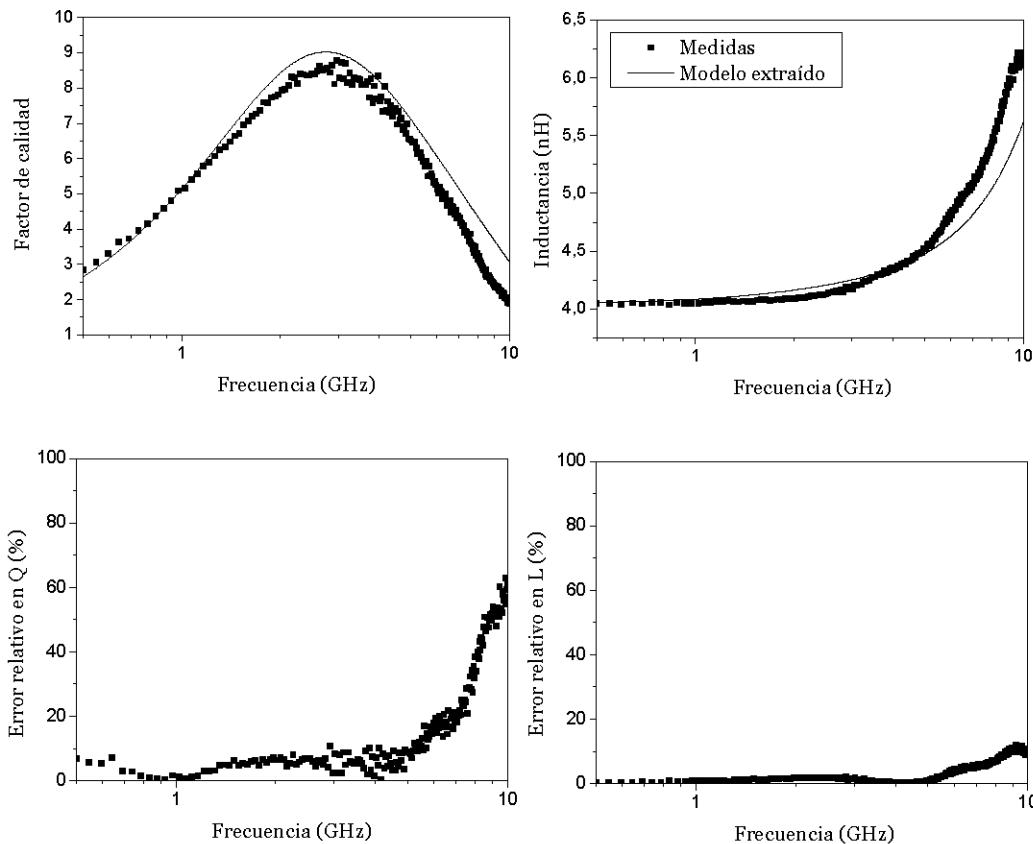
La Tabla 2.2 recoge los valores extraídos con el nuevo método para el caso de la bobina que hemos usado como ejemplo, y la Figura 2.29 compara las curvas medida y extraída. En el caso del factor de calidad, el error relativo que se produce es menor al 10% en la mayor parte del rango de frecuencias. Sólo es mayor para puntos por encima de 6 GHz, y como ya se ha dicho anteriormente, esto es debido a que la frecuencia de resonancia en este caso no está dentro del rango de medida del VNA, lo que impide extraer las capacidades parásitas con exactitud. En el caso de la inductancia, el error sólo supera el 5% para frecuencias cercanas a la frecuencia de resonancia.

**Tabla 2.2 Parámetros extraídos para L6**

$L_S$ (nH)	$R_S$ ( $\Omega$ )	$C_P$ (fF)	$C_{OX}$ (fF)	$R_{SUB}$ ( $\Omega$ )	$C_{SUB}$ (fF)
3.9	4.6	8.9	75.5	898	12.8

En el Anexo A se pueden ver los resultados del método para las 10 bobinas fabricadas (ver Tabla 1.2 en Capítulo 1). Si nos quedamos con las que tienen frecuencia de resonancia cercana a los 10 GHz observamos el mismo comportamiento que vimos en la Figura 2.29 para el caso de L6. Para comprobarlo se han tenido en cuenta cuatro parámetros básicos en los que se puede descomponer la curva del factor de calidad, de forma que la caracterizan y definen completamente:

- su valor a frecuencia muy baja (0.5 GHz) ( $Q_{DC}$ ),
- su valor de pico ( $Q_{MAX}$ ),
- la frecuencia a la cual se obtiene  $Q_{MAX}$  ( $f_{QMAX}$ ),
- y la frecuencia de resonancia ( $f_{RES}$ ).

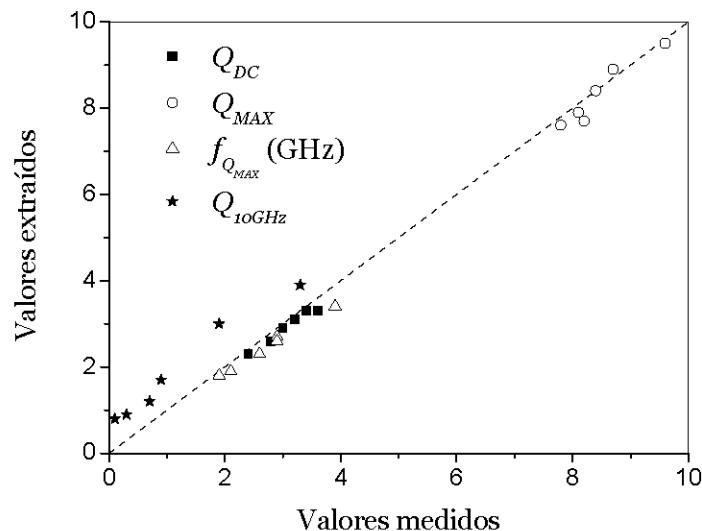


**Figura 2.29 Factor de calidad e inductancia medida y extraída con el nuevo método, y errores relativos cometidos en la extracción para la bobina L6.**

En la Figura 2.30 se comparan los valores de estos cuatro factores obtenidos directamente de las curvas medidas, con los obtenidos de las curvas generadas a partir del modelo extraído con el nuevo método de caracterización. En nuestro caso, sustituiremos la frecuencia de resonancia por el valor del factor de calidad a 10 GHz ( $Q_{10GHz}$ ), puesto que todas las bobinas medidas resuenan a frecuencias superiores, como ya se comentó anteriormente. La Tabla 2.3 recoge el rango de parámetros geométricos que abarcan las bobinas representadas en la Figura 2.30.

**Tabla 2.3 Parámetros geométricos de las bobinas de la Figura 2.30**

$r_{EXT}$ (μm)	w (μm)	n	s (μm)
90-130	6-10	3.5-6.5	2



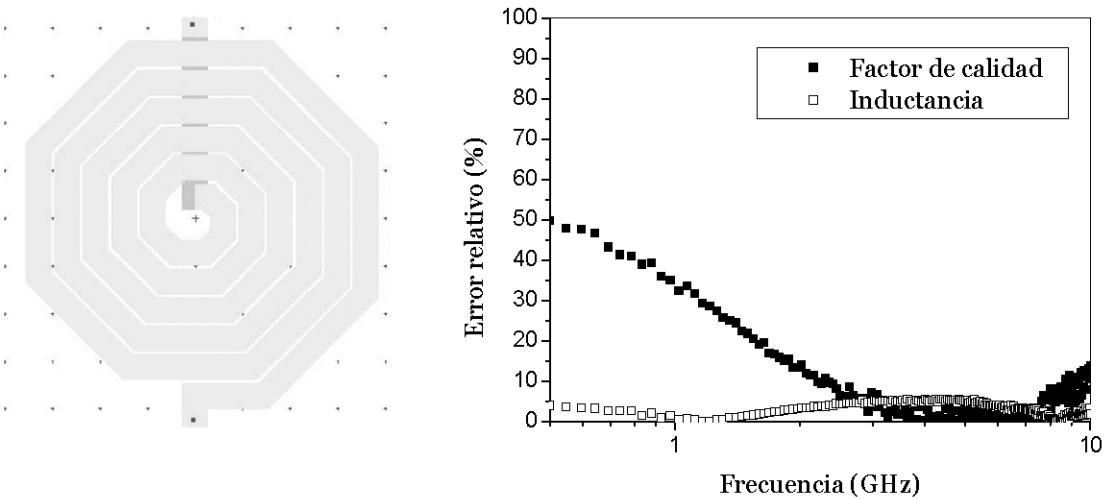
**Figura 2.30 Comparación de los valores medidos y extraídos con el método propuesto para L5, L6, L7, L8, L9 y L10 (ver Anexo A).**

Puede verse que el error relativo que se comete en la estimación de  $Q_{DC}$  y  $Q_{MAX}$  es menor del 10% para todas las bobinas. Este error aumenta ligeramente si nos fijamos en  $f_{Q_{MAX}}$ , alcanzando el 12% para el peor caso. Para  $Q_{10GHz}$  el error crece todavía más, aunque ya vimos que esto se solucionaría si dispusiéramos de datos medidos a frecuencias más altas.

La Figura 2.30 incluye 6 de las 10 bobinas fabricadas. En el Anexo A podemos comprobar que 3 de las 4 no incluidas en la gráfica (L1, L2 y L3) presentan una frecuencia de resonancia muy superior a los 10 GHz máximos de los que poseemos datos medidos. Estos resultados no se han incluido porque, como hemos visto, para estos casos las capacidades del modelo equivalente están mal calculadas.

Aparte de esto, se puede observar que para estas mismas bobinas el error que se comete en frecuencias muy bajas es mayor que para las que representamos en la Figura 2.30. Esto es debido a que son bobinas con anchos de pista mayores, de 18 o 20  $\mu\text{m}$ , y por tanto comienzan a aparecer en la bobina efectos de segundo orden como por ejemplo el efecto pelicular. Estos hacen que se redistribuya la corriente por la pista y cambian el valor de la resistencia con la frecuencia. Aunque en algún caso alcanza valores del 40%, hay que tener en cuenta que el error es relativo, y está siendo calculado para valores de  $Q$  muy pequeños (ver L1 en Anexo A). Por tanto consideraremos que el método de extracción sigue siendo válido para bobinas de pistas anchas.

La cuarta bobina ( $L_4$ ) tampoco ha sido incluida en la gráfica anterior. En este caso, como se puede observar en la Figura 2.31, el factor de calidad extraído difiere del medido en toda la pendiente de subida de la curva. Mirando el *layout* vemos que se trata de una bobina con vueltas hasta el centro de la espira, lo que conlleva un fuerte efecto *eddy* en su funcionamiento tal y como vimos en el capítulo introductorio. Para bobinas de este tipo el método de extracción no funciona porque el modelo equivalente elegido no incluye componentes dependientes de la frecuencia. Habría que buscar otro modelo equivalente que incluya nuevos elementos que recojan la variación de la resistencia  $R_S$  con la frecuencia. En cualquier caso las bobinas con metal hasta el centro de la espira no son recomendables debido a que la influencia del efecto *eddy* degrada considerablemente su calidad [LoSaCoo].



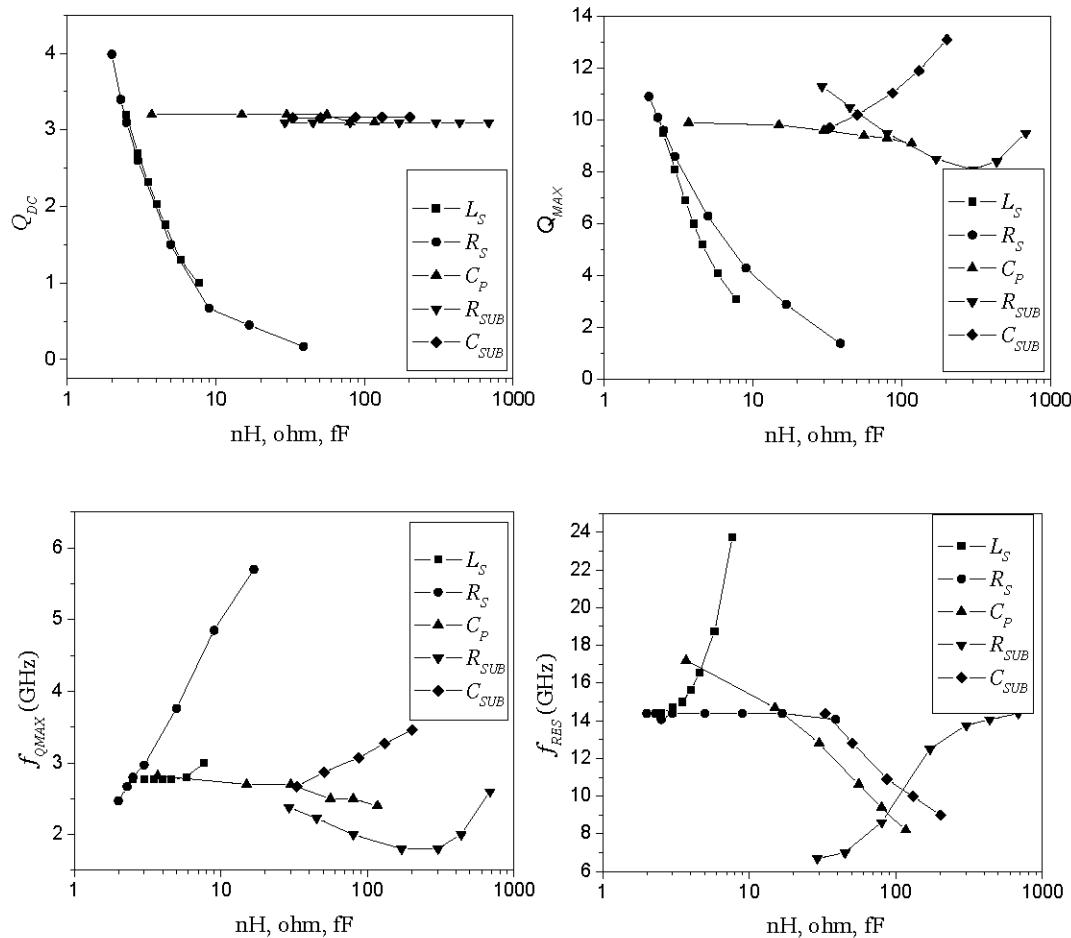
**Figura 2.31** *Layout* de  $L_4$  y errores relativos cometidos con la extracción de parámetros en el factor de calidad y en la inductancia.

#### 2.4.3 Variación de $Q$ con respecto a los componentes extraídos

En este apartado se recoge, a modo de resumen, la influencia de cada uno de los componentes del modelo equivalente en el factor de calidad del inductor. Esto viene muy

bien para entender el significado de cada uno de los elementos del circuito, como veremos más adelante en el capítulo 4 cuando se hable del modelo paramétrico.

Como hemos visto, cada elemento del circuito equivalente influye de una manera diferente en cada tramo de la curva de Q. Esto queda recogido de manera esquemática en los gráficos de la Figura 2.32, en los que se ve la variación de cada uno de los parámetros anteriores según el valor de los componentes del modelo equivalente.



**Figura 2.32 Influencia de los elementos del circuito equivalente en Q. Resultados para una bobina de  $r_{EXT}=130 \mu m$ ,  $n=3.5$  vueltas,  $w=18 \mu m$  y  $s=2 \mu m$ .**

Como se puede ver, tanto  $Q_{DC}$  como  $Q_{MAX}$  dependen principalmente de  $R_S$  y de  $L_S$ , por lo que podemos decir que la inductancia y las pérdidas resistivas en las pistas son las que determinan la pendiente de subida del factor de calidad. Vemos también como  $f_{QMAX}$  viene marcada por  $R_S$  (pendiente de subida) y que  $R_{SUB}$  tiene mucha relevancia en la bajada de la curva. Como vimos, las capacidades  $C_P$  y  $C_{SUB}$  tienen gran influencia en  $f_{RES}$ , peso que comparten en gran medida con las pérdidas resistivas asociadas al sustrato.

En este capítulo se ha visto en qué consiste el proceso de medida y caracterización de un inductor integrado. Por un lado se ha descrito el sistema de medida utilizado, las

estructuras de medida diseñadas, y la técnica empleada para el proceso de *de-embedding*. A partir de los parámetros S obtenidos, hemos visto cómo se extraen generalmente los valores de los componentes del modelo equivalente del inductor, y se ha presentado el nuevo método desarrollado [GoPiGo7b], que se ha verificado con las medidas de los inductores fabricados. El siguiente paso en nuestro estudio será la búsqueda de nuevos métodos para conocer el funcionamiento de los inductores sin necesidad de fabricarlos y medirlos. El más empleado de estos métodos es la simulación electromagnética, que se analiza en profundidad en el siguiente capítulo.

# **Capítulo 3 Simulación EM con Momentum**

## **3.1 Introducción**

Hasta hace no mucho tiempo, la única manera de conocer las prestaciones exactas de un inductor era fabricarlo y medirlo posteriormente. Así, para conseguir una librería de inductores de la que echar mano para el diseño de los circuitos, se debían fabricar y medir previamente todas las bobinas pertenecientes a la librería. Esto conlleva un gasto enorme de dinero y tiempo, y además no asegura que las bobinas fabricadas satisfagan los requisitos del diseñador.

Una posible solución sería contar con expresiones analíticas que predigan la respuesta del inductor en función, por ejemplo, de sus características geométricas y de los datos de la tecnología. Sin embargo no es fácil encontrar ecuaciones que tengan en cuenta todos los efectos que aparecen en las bobinas, y esta tarea, como veremos, sigue siendo objeto de numerosos estudios hoy en día. Este tema se tratará en profundidad en el capítulo siguiente, donde propondremos un modelo paramétrico como solución.

Otro modo de conocer la respuesta de un inductor sin necesidad de fabricarlo es utilizar simuladores electromagnéticos (EM). Estas herramientas, para ser realmente útiles, deben proporcionar resultados fiables en un tiempo no muy elevado, y tienen que ofrecer cierta flexibilidad permitiendo la simulación de estructuras más o menos complejas. Todo esto depende principalmente de la técnica numérica que se emplee para resolver el problema EM y el algoritmo que se utilice para implementar dicha técnica. Si clasificamos los simuladores EM según el coste computacional, se tiene que los simuladores tridimensionales (3-D) necesitan muchos más recursos que los planares. Esto se debe a que emplean generalmente el método de los elementos finitos (como HFSS™ de Ansoft), teniéndose en cuenta todos los posibles efectos EM que aparecen en la estructura que se simula. Por otro lado, los simuladores planares 2.5-D emplean normalmente el

método de los momentos (como Momentum<sup>TM</sup> de Agilent), que requiere menos recursos computacionales pero sólo permite definir conductores bidimensionales. Esto implica que los resultados sólo proporcionan campos y corrientes en los planos definidos en el *layout* [RobLuo1].

De entre todos ellos, en este trabajo se ha utilizado *Momentum*, que es el simulador electromagnético planar de *Advanced Design System* (ADS) de *Agilent Technologies*, en sus versiones 2002-C, 2003-A y 2004-A.

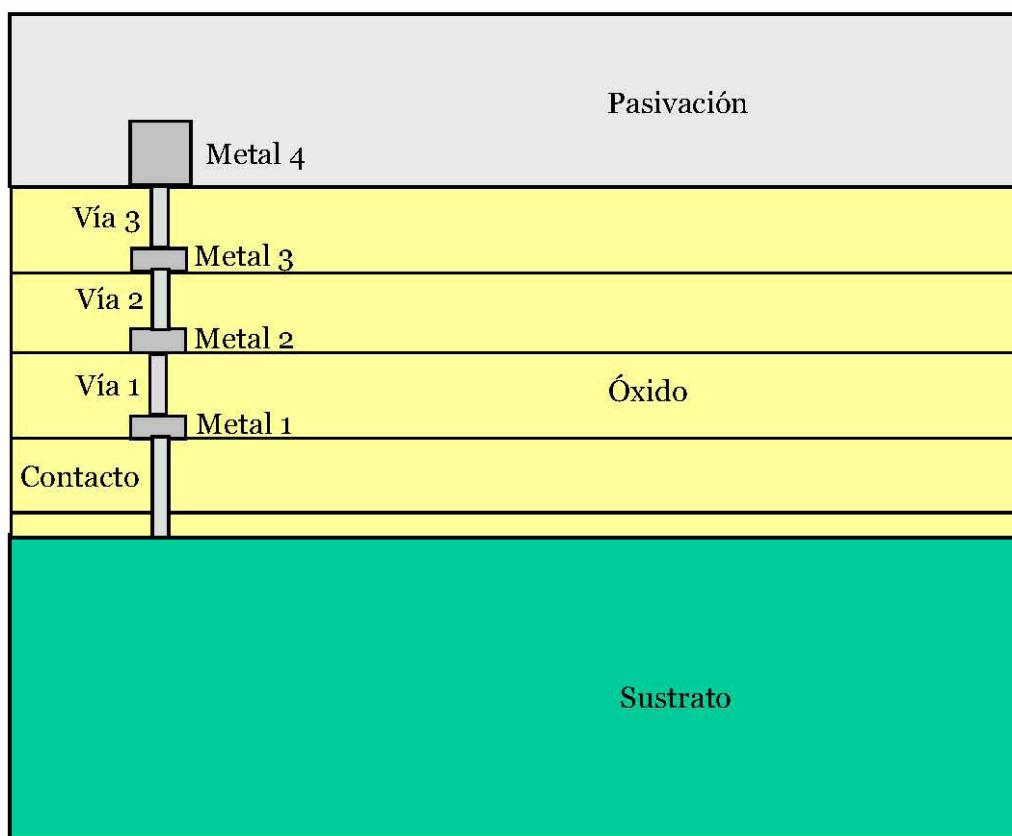
En este capítulo conoceremos a fondo las funciones principales del programa, centrándonos en aquéllas que determinan la correcta simulación de los inductores. Como veremos, una de estas funciones es la configuración de las capas que componen el sustrato. Por tanto antes de nada describiremos brevemente qué elementos ofrece la tecnología en la que vamos a fabricar nuestros inductores.

## 3.2 Estudio de la tecnología

Como ya se ha comentado anteriormente, hemos elegido la tecnología de 0.35  $\mu\text{m}$  SiGe-BiCMOS (S35D4M5) de *Austria Micro Systems* (AMS) [AuMiSy], ya que ofrece buenas prestaciones con un coste no muy elevado.

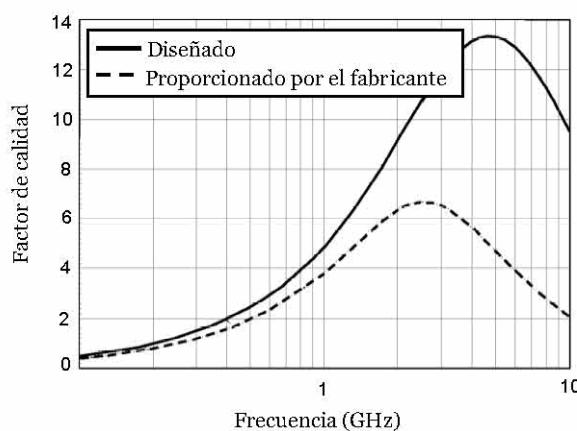
En la Figura 3.1 podemos ver un esquema del corte transversal del sustrato correspondiente a esta tecnología. Puesto que estamos tratando el diseño de bobinas nos interesan las capas metálicas. Como podemos ver, contamos con cuatro niveles de metal, de los cuales los tres inferiores tienen un grosor y una conductividad similares, y el cuarto es más grueso y más conductor que el resto. Esto, junto con el hecho de que es el nivel superior y por tanto genera una capacidad parásita con el sustrato menor, hace que este metal sea el más adecuado para el diseño de bobinas.

La propia fundidora proporciona un *kit* de diseño que contiene, entre otras cosas, librerías de pasivos. En el caso de los inductores, sólo unos cuantos ofrecen buenas prestaciones a frecuencias por encima de los 5 GHz. Además todos ellos son cuadrados, que como es sabido no es la geometría que optimiza el funcionamiento del inductor [LiSoKo2]. Así, cuando el diseñador necesita una bobina para un circuito determinado, puede que no encuentre ninguna apropiada entre las que ofrece el *kit*, bien porque no tienen el valor de la inductancia o factor de calidad que requiere, o bien porque este no está centrado en el rango de frecuencias que interesa.



**Figura 3.1 Esquema del corte transversal de la tecnología AMS 0.35  $\mu\text{m}$ .**

Un ejemplo de esto puede verse en la Figura 3.2. En este caso necesitábamos un inductor de 2 nH para trabajar a una frecuencia de 5 GHz. Como podemos ver, el inductor que nosotros diseñamos mejora claramente las prestaciones del más apropiado de entre los que ofrece el *kit* de diseño.



**Figura 3.2 Comparación del Q de dos inductores de 2 nH.**

Por tanto conviene generar nuevas librerías con bobinas optimizadas para ofrecer alto factor de calidad para un rango amplio de inductancias y frecuencias de trabajo. Para ello, como se ha dicho en la introducción, utilizaremos el simulador EM Momentum.

## 3.3 Configuración de Momentum

### 3.3.1 El método de los momentos

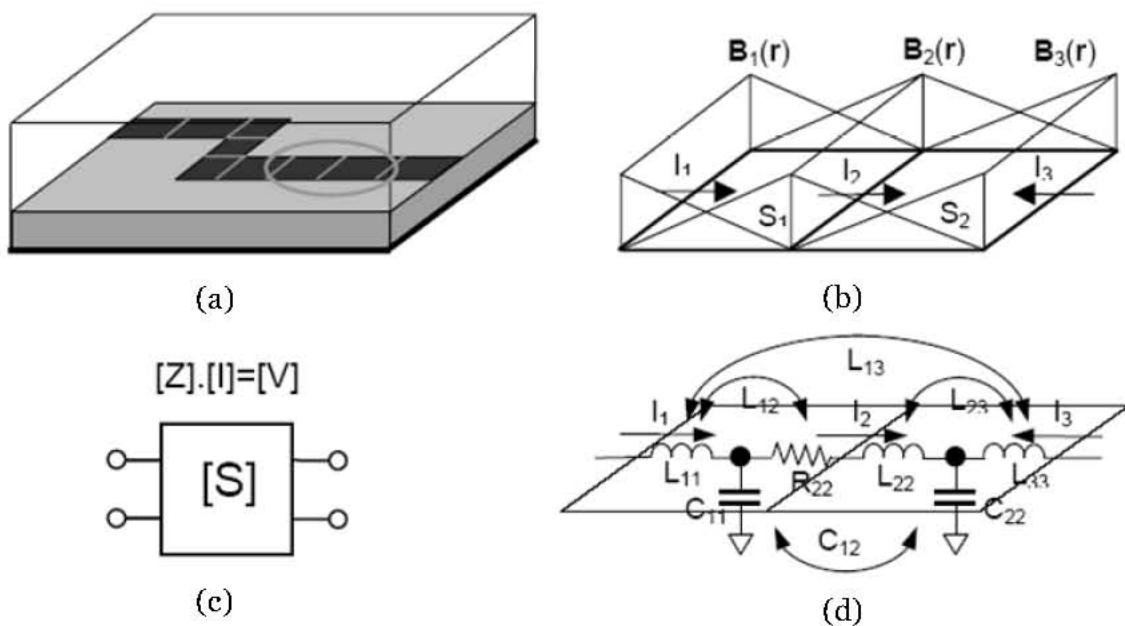
Como ya dijimos antes, Momentum está basado en el método de los momentos MOM (*Method Of Moments*) [Momeno4].

En general, la técnica del MOM comienza planteando la formulación integral de las ecuaciones de Maxwell sobre la distribución de corrientes en las pistas metálicas [Bohan03]. Esta ecuación integral se resuelve discretizando la distribución de corrientes en las superficies de metalización. El sustrato se caracteriza mediante la función de Green, incluyendo los efectos electromagnéticos en el material (silicio en nuestro caso). De esta forma, se tienen en cuenta las capacidades con el sustrato semiconductor así como las corrientes de torbellino (*eddy*) inducidas.

En la Figura 3.3 se ilustra este método [VanHeo1]. La estructura metálica se descompone en una pila de capas con lados infinitos y en patrones de metalización finitos. A estos últimos se les aplica un mallado utilizando celdas rectangulares, triangulares o poligonales en general (ver Figura 3.3 (a)). A partir de este punto se transforman las ecuaciones de Maxwell en ecuaciones integrales mediante la imposición de las condiciones de contorno de estas estructuras. Utilizando las funciones *rooftop* definidas sobre cada celda del mallado, se modelan las corrientes superficiales de las pistas metálicas, tal y como se ilustra en la Figura 3.3 (b).

Mediante la aplicación del procedimiento de test de Galerkin se imponen las condiciones de contorno. Con este paso se obtiene una ecuación de matrices de impedancia como la indicada en la Figura 3.3 (c).

En la Figura 3.3 (d) se muestra una posible interpretación de esta ecuación en términos de un modelo de circuito equivalente. En el mismo, los nodos se corresponden con cada una de las celdas del mallado, conteniendo la carga de cada una. Se utiliza un condensador a tierra en cada nodo para modelar el acoplamiento eléctrico asociado en cada celda. Los nodos se interconectan entre sí mediante ramas que transmiten el flujo de corriente entre celdas. En cada una de estas ramas se utiliza un inductor para representar el acoplamiento magnético asociado a las corrientes y una resistencia para representar las pérdidas en el conductor.



**Figura 3.3 Descripción del método de los momentos en la discretización de las corrientes superficiales y su representación con un modelo de circuito equivalente.**

### 3.3.2 Modos de simulación

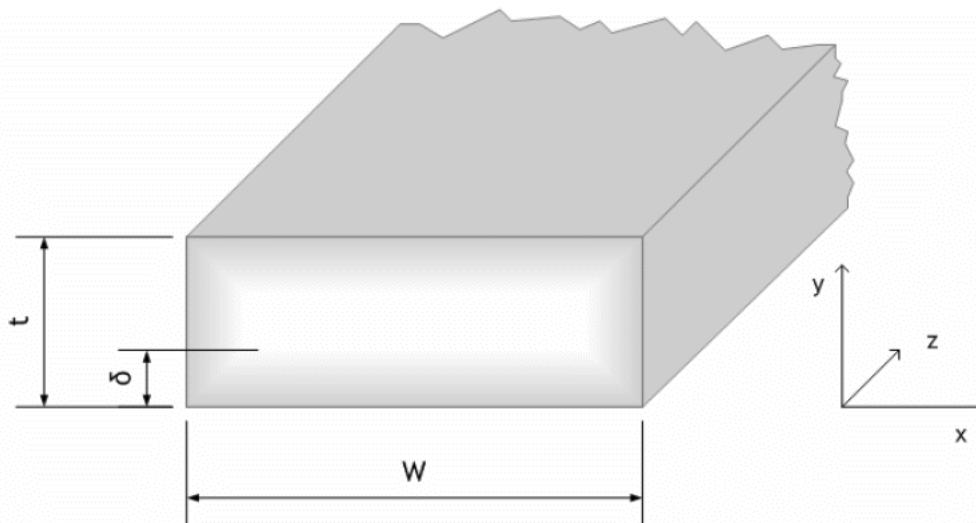
Desde la versión 1.5 de ADS, Momentum incluye un modo de simulación especial para radiofrecuencia además del ya conocido simulador de microondas. Por ello, el modo de microondas se conoce como “Momentum” propiamente dicho y el modo de radiofrecuencia “Momentum RF”. Este último modo proporciona simulaciones electromagnéticas más precisas y más rápidas para los diseños que trabajen en esta banda, proporcionando soluciones más estables. Sin embargo, a medida que la frecuencia de trabajo aumenta alejándose del rango especificado (aumento de la radiación) este modo de simulación va perdiendo efectividad.

Momentum RF utiliza la aproximación cuasi estática de las funciones de Green, lo que supone una reducción del tiempo de CPU (*Central Processing Unit*) necesario en comparación con el modo de onda completa. Además proporciona una serie de algoritmos para la reducción del mallado que se traduce en una reducción del coste computacional para diseños complejos [Momeno4].

Se define circuito eléctricamente pequeño para una frecuencia dada aquel cuya dimensión física es menor que la mitad de la longitud de onda para esa frecuencia. Los inductores integrados sobre sustrato de silicio son siempre pequeños en comparación con la longitud de onda a la frecuencia máxima de interés. Por tanto, puesto que Momentum RF está indicado para circuitos eléctricamente pequeños y geométricamente complejos, este será el modo de simulación escogido.

### 3.3.3 Consideraciones en la distribución de corrientes

Como es sabido, la distribución de corrientes en un conductor metálico no siempre resulta uniforme a lo largo de toda su sección transversal, sino que se redistribuye al aumentar la frecuencia. Este efecto queda reflejado en la Figura 3.4, donde vemos cómo las corrientes en el conductor se concentran en los laterales del mismo. Como vemos, la redistribución de corriente afecta a todo el volumen.



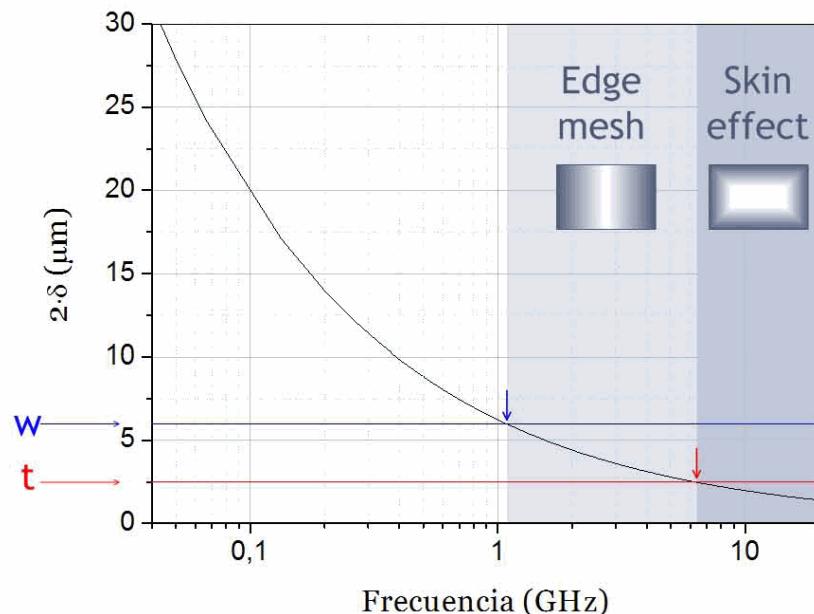
**Figura 3.4 Distribución de corriente en una pista rectangular al aumentar la frecuencia.**

Se define la profundidad de penetración  $\delta$  (*skin depth*) como la profundidad a la cual la amplitud del campo electromagnético cae un factor de  $1/e$  con respecto al valor existente en la superficie del conductor. Como se vio en la introducción, este parámetro depende de las propiedades del metal y es inversamente proporcional a la frecuencia a la que se trabaja, como se puede ver en la ecuación (1.4).

Cuando la frecuencia sea lo suficientemente alta como para que tanto el grosor como el ancho de la pista metálica sean mayores que el doble de la profundidad de penetración la distribución de corrientes será tal y como muestra la Figura 3.4.

Ya que Momentum es un simulador bidimensional, para tener en cuenta este fenómeno correctamente, lo divide en dos distintos [Bohan03]: uno relacionado con el plano XZ, es decir, con la anchura de la pista ( $w$ ), y otro con el plano YZ, es decir, con la profundidad del metal ( $t$ ). Al primero lo denomina efecto de borde (*edge effect*), y al segundo efecto pelicular (*skin effect*). De esta forma, aparece el denominado efecto de borde cuando la corriente se concentra en las caras laterales de la pista metálica y se habla de efecto pelicular cuando la concentración de corriente aumenta hacia los bordes superior e inferior (ver Figura 3.4). Como veremos a continuación, cada uno queda resuelto de una manera diferente, de modo que el simulador tiene en cuenta ambos a pesar de ser una herramienta bidimensional.

Puesto que todas las bobinas que utilizamos en este trabajo tienen un ancho de pista mayor que la profundidad del metal ( $w>t$ ), al aumentar la frecuencia siempre aparecerá antes el efecto de borde que el efecto pelicular (entendidos estos tal y como los interpreta el simulador). Esto queda reflejado en la Figura 3.5 para el caso de una bobina de 6  $\mu\text{m}$  de anchura, que es lo mínimo que tendrán los inductores de la librería generada en este trabajo.

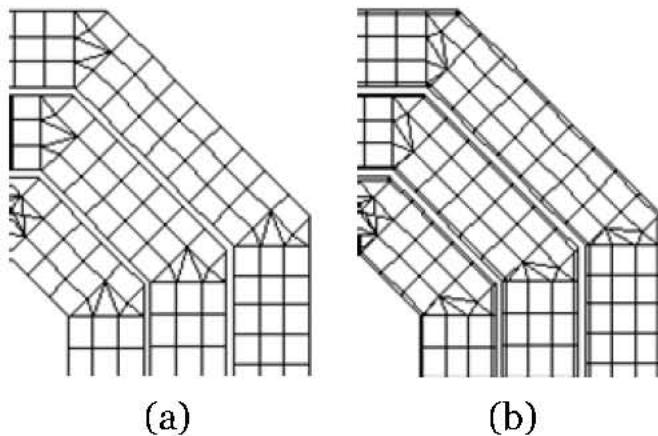


**Figura 3.5 Aparición de los efectos de borde y pelicular con la frecuencia.**

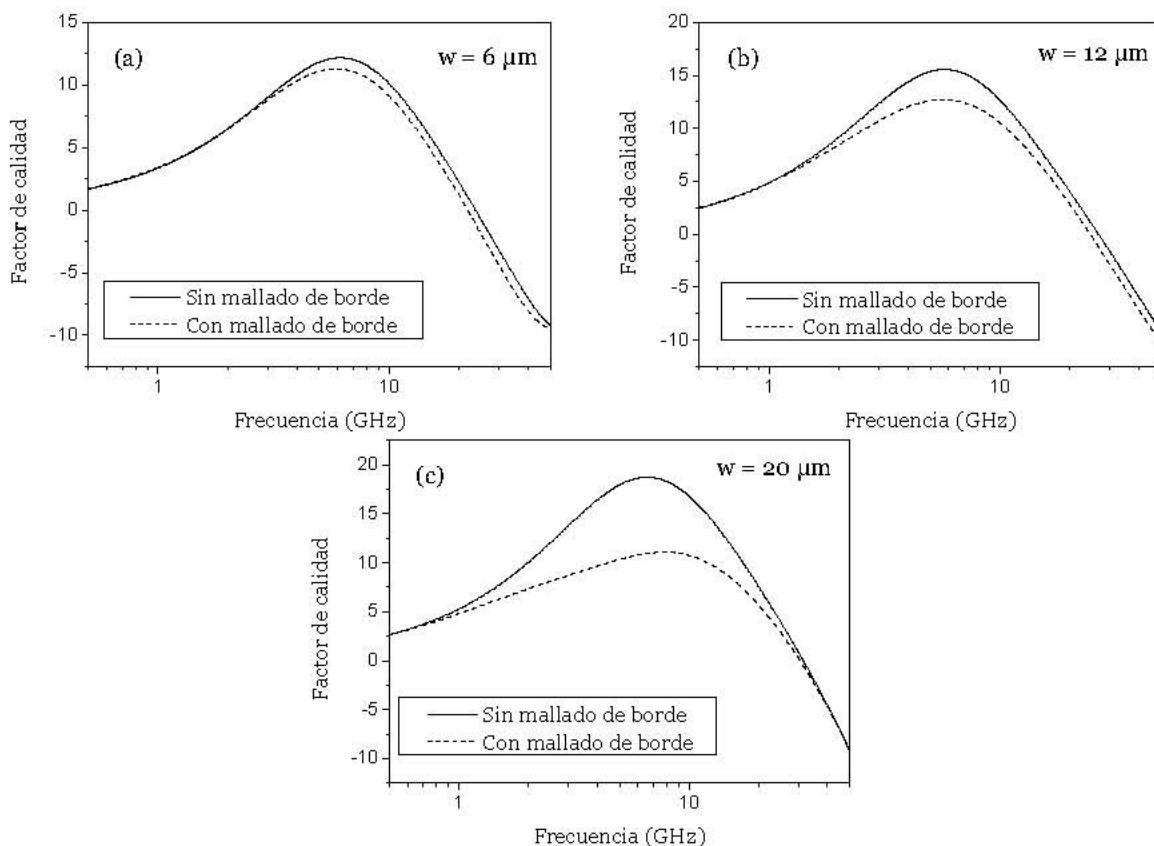
### 3.3.3.1 Efecto de borde o efecto edge

Momentum ofrece un mallado especial para poder simular de manera más precisa la distribución de corrientes en los laterales de un conductor, siendo recomendable su uso si el efecto de borde es significativo. Para ello proporciona una opción en la interfaz de diseño que genera un mallado más denso en los laterales, y un mallado menos denso en el interior. En la Figura 3.6 se muestra un ejemplo de distribución de celdas que realiza el simulador para el caso de seleccionar (b) o no (a) la opción *edge mesh*. Se trata de una bobina octogonal con densidad de mallado de 200 celdas por longitud de onda.

La Figura 3.7 muestra el factor de calidad que resulta de la simulación de varias bobinas para ambos casos, teniendo en cuenta el efecto de borde y sin tenerlo. Los tres inductores son octogonales, tienen un radio externo de 100  $\mu\text{m}$ , dos vueltas y media, y una separación entre pistas de 2  $\mu\text{m}$ . La única diferencia entre ellos es el ancho de pista, que es de 6, 12 y 20  $\mu\text{m}$  para (a), (b) y (c) respectivamente.



**Figura 3.6 Ejemplo de mallado sin (a) y con (b) la opción de *edge mesh* en Momentum.**



**Figura 3.7 Influencia del efecto de borde en el factor de calidad simulado para bobinas de distinto ancho de pista.**

Con la redistribución de corrientes aumenta la resistencia de la pista y por tanto disminuye el factor de calidad. Como es lógico, la diferencia entre ambas curvas para cada bobina es mayor para las de pistas más anchas, puesto que la redistribución de corrientes será más notable. Por otro lado, tal y como vimos en la Figura 3.5, al aumentar  $w$  los efectos aparecen a frecuencias más bajas, como se constata también en las gráficas.

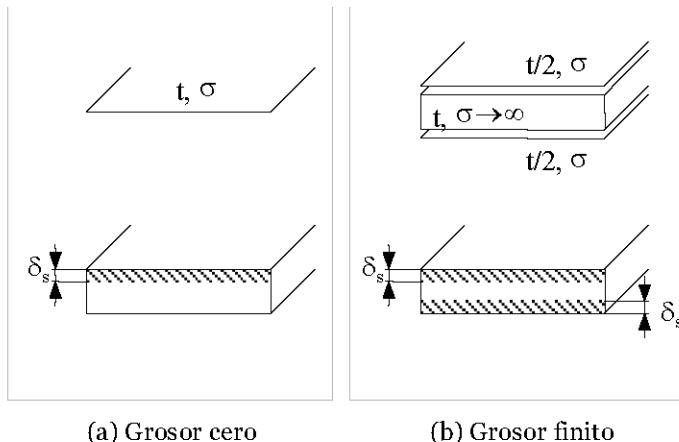
Visto esto, en todas las simulaciones seleccionaremos la opción *edge mesh* con el fin de obtener resultados más parecidos al funcionamiento real de un inductor.

### 3.3.3.2 Aproximaciones en el grosor del metal. Efecto skin

Momentum, al ser un simulador basado en el método de los momentos, considera una capa de metal como un conductor infinitamente delgado. El parámetro  $t$ , que es el grosor del metal, sólo se tiene en cuenta para calcular las pérdidas en el conductor, pero no en la simulación EM real [Momeno4][Harr93].

Para tratar de dar solución a este problema, un conductor con un grosor finito puede ser simulado en Momentum de dos formas distintas: con una aproximación de grosor cero (*sheet approach*) o con una aproximación de grosor finito (*thick approach*) [Perez96] [Wilsoo2][TrGrRo4].

Con la primera forma un conductor 3D es modelado como un conductor plano usando el modelo de impedancia de superficie  $Z_s(t, \sigma, \omega)$ , donde  $t$  es el grosor real del metal,  $\sigma$  es la conductividad del metal y  $\omega$  es la frecuencia angular (ver Figura 3.8 (a)). La impedancia de superficie  $Z_s$  tiene en cuenta el grosor y la dependencia con la frecuencia de las pérdidas del conductor (efecto *skin*). Las corrientes en baja frecuencia se propagarán en toda la sección del metal. En alta frecuencia aparece el efecto pelicular que provoca que las corrientes se distribuyan en la superficie del conductor. Teniendo en cuenta este fenómeno, la presente aproximación considera que las corrientes sólo se propagarán en una parte de la superficie de la pista ( $\delta_s$ ), como se indica en la Figura 3.8 (a).



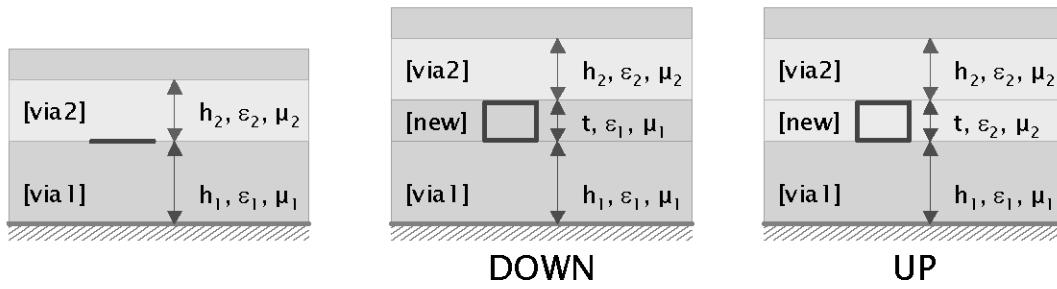
**Figura 3.8 Modelado de conductores y distribución de corrientes a alta frecuencia.**

Con la aproximación de grosor finito se considera un conductor grueso como dos capas de metalización, cada una caracterizada por  $Z_s(t/2, \sigma, \omega)$ . Ambas capas son separadas por una vía definida como conductor perfecto y de grosor  $t$  como muestra la Figura 3.8 (b). De esta forma, las corrientes en baja frecuencia se propagarán en toda la

sección de la capa de metalización, y las corrientes en alta frecuencia se propagarán en una doble capa superficial (ver Figura 3.8 (b)).

Aparte de las diferencias en cuanto a la distribución de las corrientes, si los conductores se modelan como una capa de espesor nulo, las distancias de los metales al sustrato no se definen de manera correcta. Esto se debe a que no se tiene en cuenta el grosor del metal en la pila de capas que componen el sustrato [GoKhPo5]. Por tanto, la aproximación de grosor finito tendrá en cuenta correctamente las distancias al sustrato semiconductor, ya que introducimos una vía con el grosor real entre las dos capas del mismo metal. De esta forma serán correctamente simuladas las capacidades parásitas entre la espira y el sustrato y entre las propias pistas de metal. Como consecuencia, el factor de calidad estará centrado en la frecuencia correcta.

Versiones anteriores de Momentum sólo modelaban conductores de grosor cero. Si el usuario quería utilizar la otra opción, se debían incluir manualmente en el archivo del sustrato las dos capas de metal de grosor  $t/2$  separadas por una vía de grosor  $t$ . Sin embargo, en las versiones actuales el simulador incluye lo que llama una expansión tridimensional del metal, que se puede realizar automáticamente. Esta expansión se puede realizar hacia abajo (*down*) o hacia arriba (*up*), tal y como muestra la Figura 3.9. En el primer caso la capa de dieléctrico insertada entre las dos capas de metal tiene las propiedades de la vía que está inmediatamente por debajo del metal. En el otro caso la capa adoptará las propiedades de la vía que está por encima del metal.



**Figura 3.9 Expansión 3D automática para conductores de grosor finito.**

### 3.3.4 Definición del sustrato

Como se ha visto en este capítulo, Momentum es un simulador bidimensional. Esto implica que la pila de capas que componen el sustrato no se dibuja directamente en el *layout*, sino que se define mediante un archivo de texto. En él se especifica de manera ordenada el número de capas que forman el sustrato, así como su grosor y propiedades eléctricas.

En Momentum la definición de este medio se lleva a cabo describiendo, por un lado, las *capas de sustrato* y, por otro, las *capas de metalización*, tal y como se denominan dentro del simulador. Las primeras definen el medio dieléctrico, planos de tierra,

cubiertas, aire u otros materiales, y las segundas son las capas conductoras que se encuentran entre las de sustrato. De esta forma, a cada capa de *layout* trazada en el entorno de diseño del simulador se le asigna una de las de metalización, de manera que las capas del *layout* dibujadas en el circuito quedan posicionadas correctamente dentro del sustrato.

### 3.3.4.1 Capas de sustrato

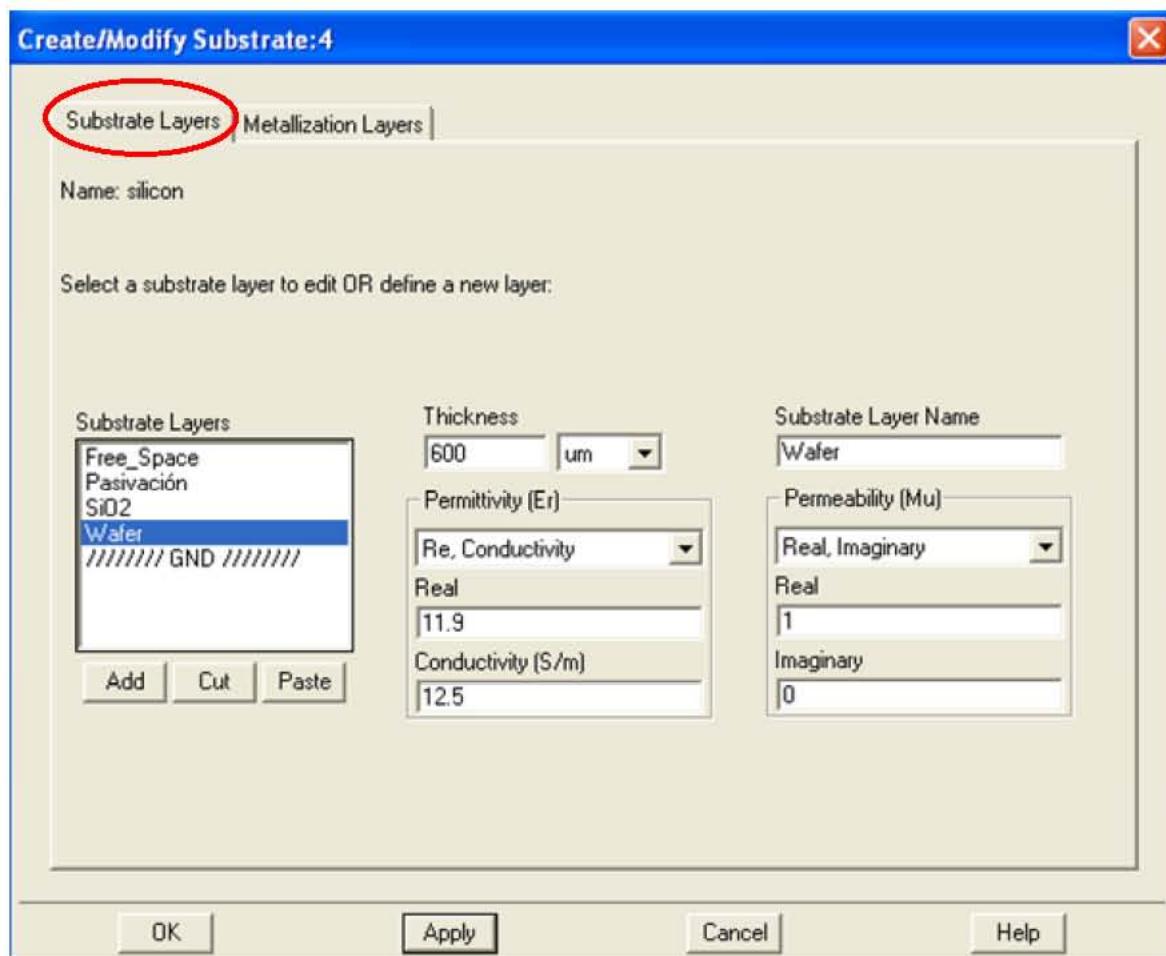
En cualquier sustrato que se defina en Momentum deben aparecer dentro de las *capas de sustrato* dos capas básicas:

- GND, que en nuestro caso constituye el plano inferior del sustrato. Se define como *closed boundary*, y puede representar el plano de tierra u otros límites cerrados. Su grosor es nulo.
- Espacio libre (*Free\_Space*), que representa el plano superior en la definición del sustrato. Se define en el programa como *open boundary*, y sirve para representar una capa de grosor infinito, como el aire.

El resto de las capas son propias de la tecnología que se utilice, y en nuestro caso serán las siguientes:

- Sustrato semiconductor de silicio (*wafer*), dopado tipo P, poco resistivo ( $\rho \sim 19 \Omega \cdot \text{cm}$ ) y con un grosor mayor de 700  $\mu\text{m}$ .
- Dióxido de silicio, que se deposita entre las capas de metalización y tiene grosor finito.
- Pasivación, que es depositada en último término para proteger la superficie del circuito de posibles contaminantes que puedan empeorar el funcionamiento del circuito [WesEs88].

En la Figura 3.10 se puede apreciar el cuadro donde se introducen los parámetros característicos de las capas de sustrato. Se trata de un ejemplo de un sustrato de silicio genérico, donde aparecen las cinco capas que acabamos de ver.

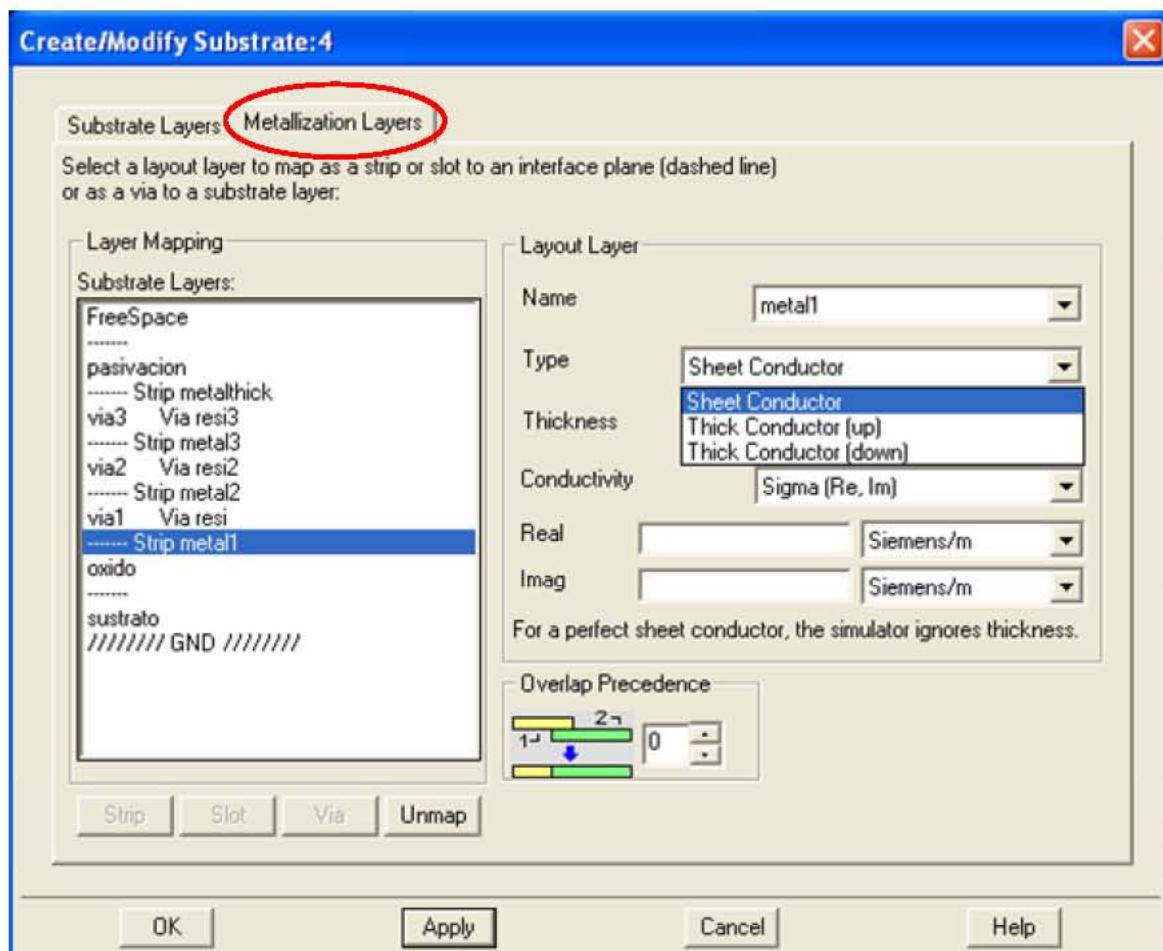


**Figura 3.10** Ventana de diálogo donde se definen las capas de sustrato.

### 3.3.4.2 Capas de metalización

Como dijimos, en esta parte se definen todas las capas conductoras, es decir, tanto los metales que contenga la tecnología como las vías que los unen. Como puede verse en la Figura 3.11, en nuestro caso se especificarán el grosor y conductividad de los cuatro metales y las vías que vimos en el corte de la Figura 3.1. Además para cada uno de los cuatro metales, debemos elegir el tipo de conductor que emplearemos (*sheet, thick conductor up o thick conductor down*), tal y como se explicó en el apartado 3.3.3.2.

Una vez dibujado el *layout* del circuito que se quiere simular, y definido el sustrato tal y como hemos visto, se utilizarán las opciones del programa para asignar las distintas capas del *layout* del inductor a las distintas capas de metalización que se quieran emplear.



**Figura 3.11 Ventana de diálogo donde se definen las capas de metalización.**

### 3.3.5 Mallado y convergencia

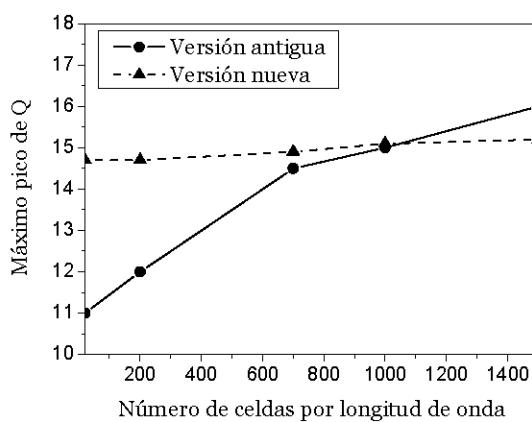
Como ya se comentó en apartados anteriores, uno de los pasos más importantes en el método de los momentos es el mallado. Para el caso de los inductores, los dos parámetros de Momentum más importantes en lo que concierne al tema son el mallado en los bordes (*Edge Mesh*), y la densidad del mallado (*Mesh Density*), que se mide según el número de celdas por longitud de onda (*cells/wavelength*). Del primero ya se habló en el punto 3.3.3.1, así que en este apartado nos ocuparemos del segundo.

Como es lógico, al aumentar la densidad de mallado obtendríamos resultados más precisos, ya que con más celdas el cálculo de las corrientes es más detallado. Sin embargo cabe esperar que exista un límite, de modo que llegue un punto que por más que se aumente el número de celdas por longitud de onda el resultado no mejore. Así, utilizar un número superior a este límite no merecería la pena, puesto que aumentaría el tiempo de simulación sin obtener mejora en las simulaciones.

Se realizaron muchas pruebas de simulación de inductores utilizando las versiones 2003A y anteriores de Momentum, y se encontró que esta convergencia en los resultados

al ir aumentando la densidad de mallado solamente se daba para el valor de la inductancia. Sin embargo, el factor de calidad máximo seguía mejorando conforme aumentábamos el número de celdas, sin llegar a desembocar en un valor constante.

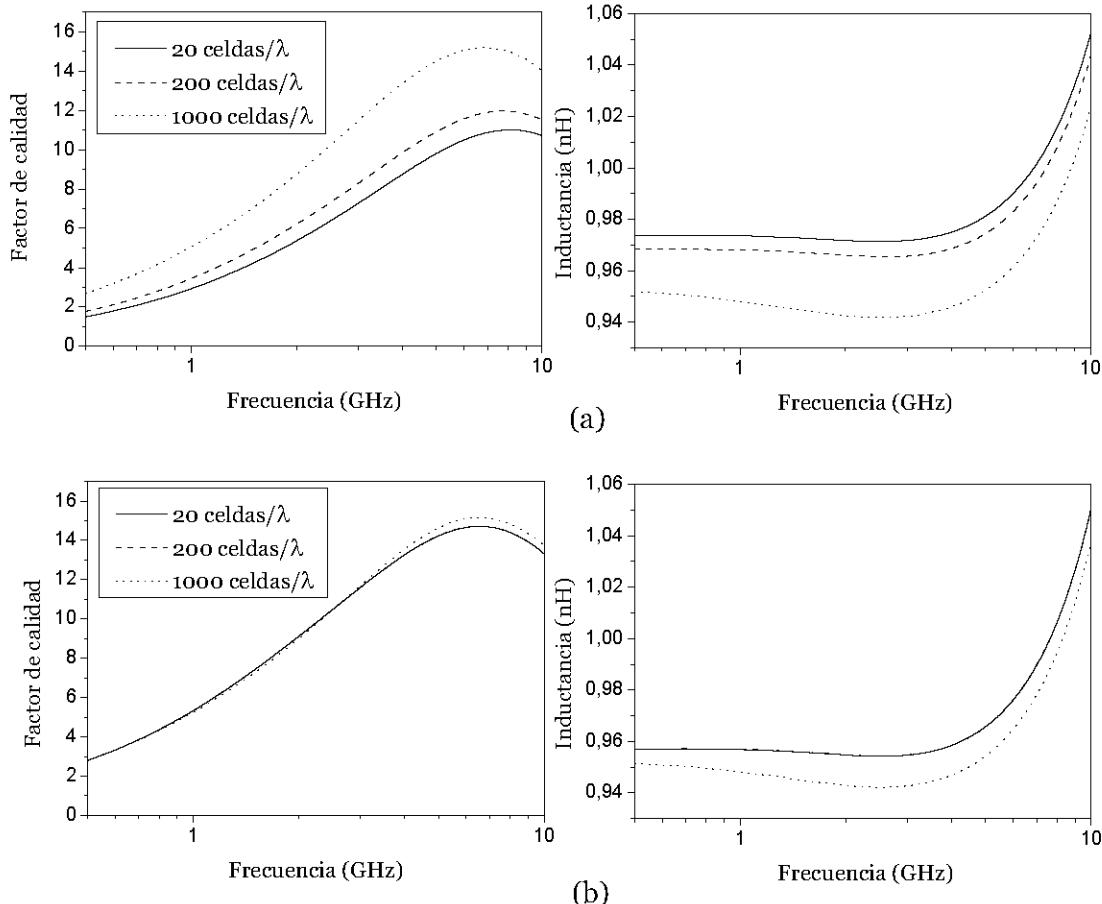
Con la versión 2003C y posteriores este problema se solventó, como queda reflejado en la Figura 3.12. Aquí se puede ver el funcionamiento de un inductor de  $130\text{ }\mu\text{m}$  de radio externo, una vuelta y media, y  $18\text{ }\mu\text{m}$  de ancho de pista. Con la versión antigua el pico máximo del factor de calidad aumentaba conforme aumentaba la densidad. Con la nueva sin embargo, el valor por defecto, que es 20 celdas por longitud de onda, es suficiente para asegurar resultados precisos.



**Figura 3.12 Comparación del comportamiento de las dos versiones utilizadas con respecto a la densidad de mallado.**

La Figura 3.13 muestra el factor de calidad y la inductancia simulados del inductor que vimos antes, para tres densidades de mallado diferentes: 20 (línea continua), 200 (línea a trazos) y 1000 (línea de puntos) celdas/ $\lambda$ . Vemos que el valor de la inductancia apenas varía al utilizar la versión 2003A (a) o la 2004A (b). Por el contrario, el factor de calidad cambia considerablemente al refinar el mallado con la versión antigua, no sólo en lo que respecta a su valor máximo sino también a la frecuencia a la que este se da.

Por lo tanto en nuestras simulaciones utilizaremos el número de celdas por longitud de onda que viene dado por defecto (20 celdas/ $\lambda$ ), que como muestran las pruebas realizadas es suficiente para garantizar unos resultados correctos.



**Figura 3.13 Prestaciones de uno de los inductores diseñados para densidades de mallado diferentes, usando la versión antigua de Momentum (2003A)(a) y la nueva (2004A) (b).**

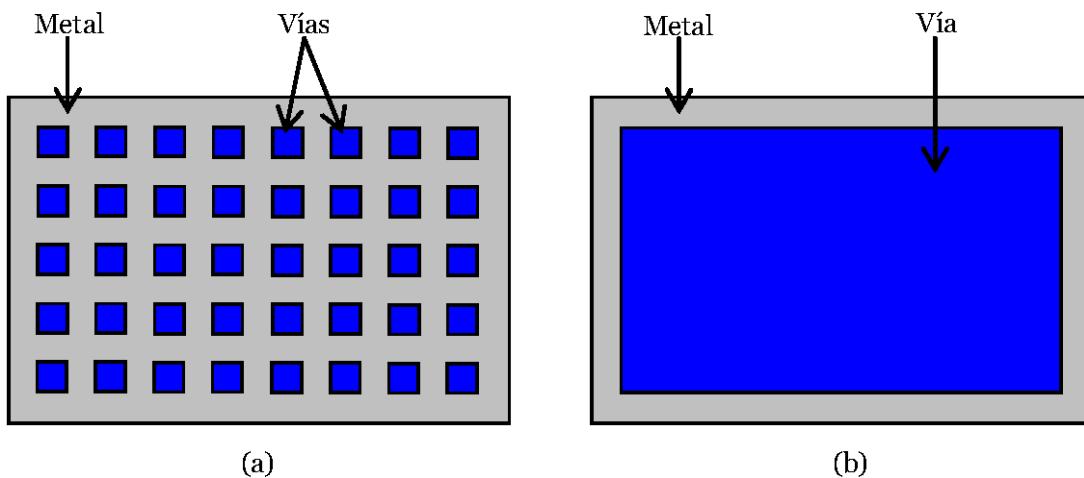
## 3.4 Simulación de inductores con Momentum

En el apartado anterior se han realizado algunas consideraciones generales de la herramienta, necesarias de cara a la simulación de cualquier dispositivo en Momentum. En este punto se particularizará en los inductores integrados, haciendo hincapié en algunos aspectos importantes para realizar las simulaciones correctamente.

### 3.4.1 Simulación sin anillo de guarda

Dibujar un inductor espiral con las opciones que ofrecen los simuladores electromagnéticos como Momentum no es tarea sencilla. Para facilitar las cosas, utilizaremos un generador automático de *layouts* para inductores [PiSeHo2] implementado en Cadence [Cadence], y una vez generado el dibujo de la bobina lo importaremos al entorno de diseño de Momentum.

Para comprobar la eficacia del simulador, se comparan los parámetros S resultantes de la simulación con los obtenidos del proceso de *de-embedding* aplicado a las medidas del inductor tal y como se explicó en el capítulo 2. Por tanto, la manera más sencilla de simular un inductor será trazando solamente la espiral en sí, sin ningún tipo de estructura que le rodee, puesto que los efectos de esta se habrán eliminado en el proceso de desacoplamiento de medidas. Una vez que se dibujan las capas de *layout*, se les asignan las capas de metalización correspondientes. Con respecto a las vías de interconexión entre metales, cabe destacar que según las reglas de diseño de la tecnología AMS 0.35 µm [AuMiSy], sólo es posible tener vías distribuidas, en las que tanto el área de estos contactos como la distancia entre ellos son valores fijos (ver Figura 3.14 (a)). Sin embargo Momentum presenta problemas de cómputo con estas vías, debido a que son muchos contactos de dimensiones muy pequeñas ( $0.5 \times 0.5 \mu\text{m}^2$  cada uno). Por lo tanto se utilizarán para la simulación vías continuas (ver Figura 3.14 (b)), que facilitan el proceso de mallado y no producen variaciones significativas en los resultados [Pinoo2][Aguilo2].



**Figura 3.14 Vías distribuidas (a) y vía continua (b) a lo largo de una pista.**

Sólo falta insertar los puertos de entrada y salida del inductor, que deberán estar conectados a la capa de metalización pertinente. Utilizaremos los puertos del tipo *single*, que son los que Momentum emplea por defecto. La Figura 3.15 muestra la vista final del inductor en el entorno de diseño del simulador.

Como vimos en el apartado anterior, las capas conductoras se pueden definir en el sustrato de formas diferentes (grosor cero o grosor finito). Con el objeto de comprobar cuál es la aproximación más adecuada para el caso de los inductores, se realizaron simulaciones con todas las posibilidades y se compararon con los valores medidos de las bobinas fabricadas. La Figura 3.16 muestra las comparaciones para L3 y L8 (ver capítulo 1), cuyos parámetros geométricos se recogen de nuevo en la Tabla 3.1. Los cuadrados representan las medidas, la línea continua la simulación con grosor cero en los metales, la línea discontinua la simulación con el grosor finito pero establecido manualmente, y las

líneas de puntos y la de trazos y puntos la expansión automática del grosor hacia arriba y hacia abajo respectivamente.

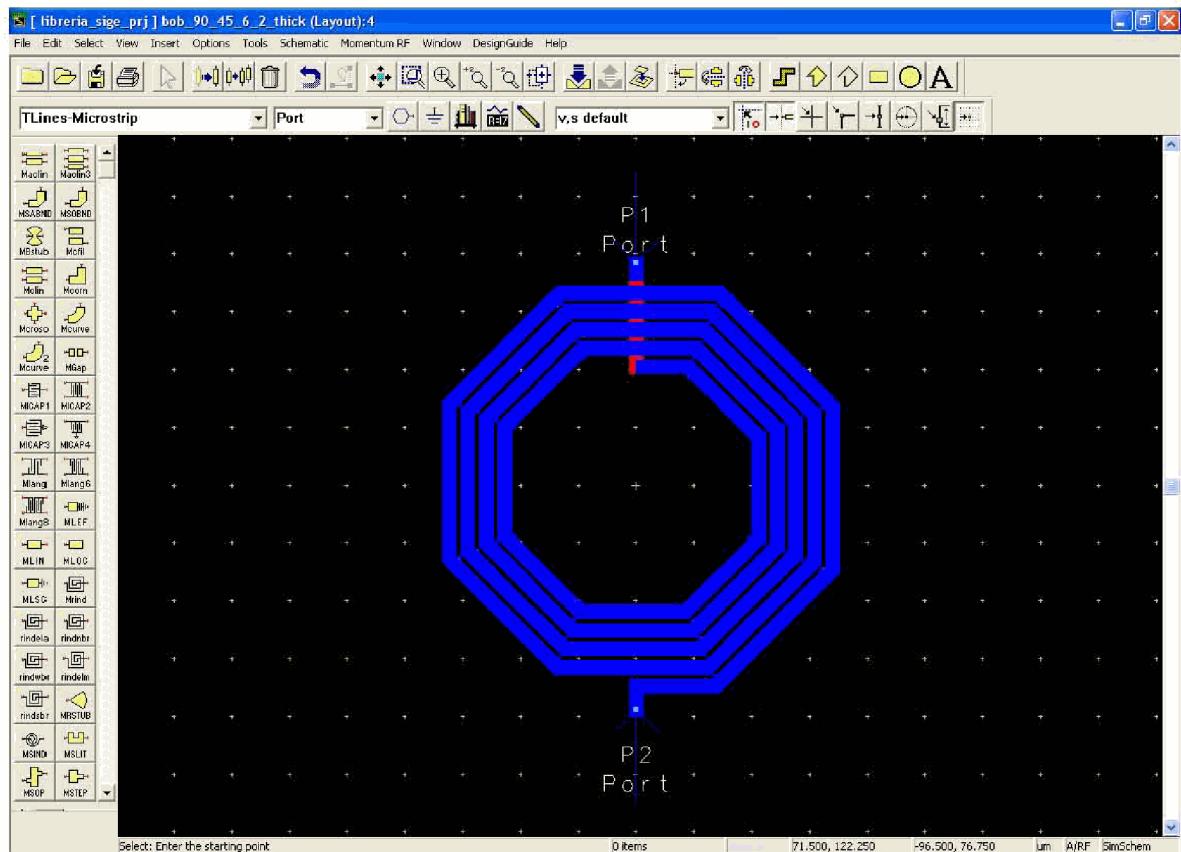


Figura 3.15 Vista de un inductor en el modo *layout* del programa.

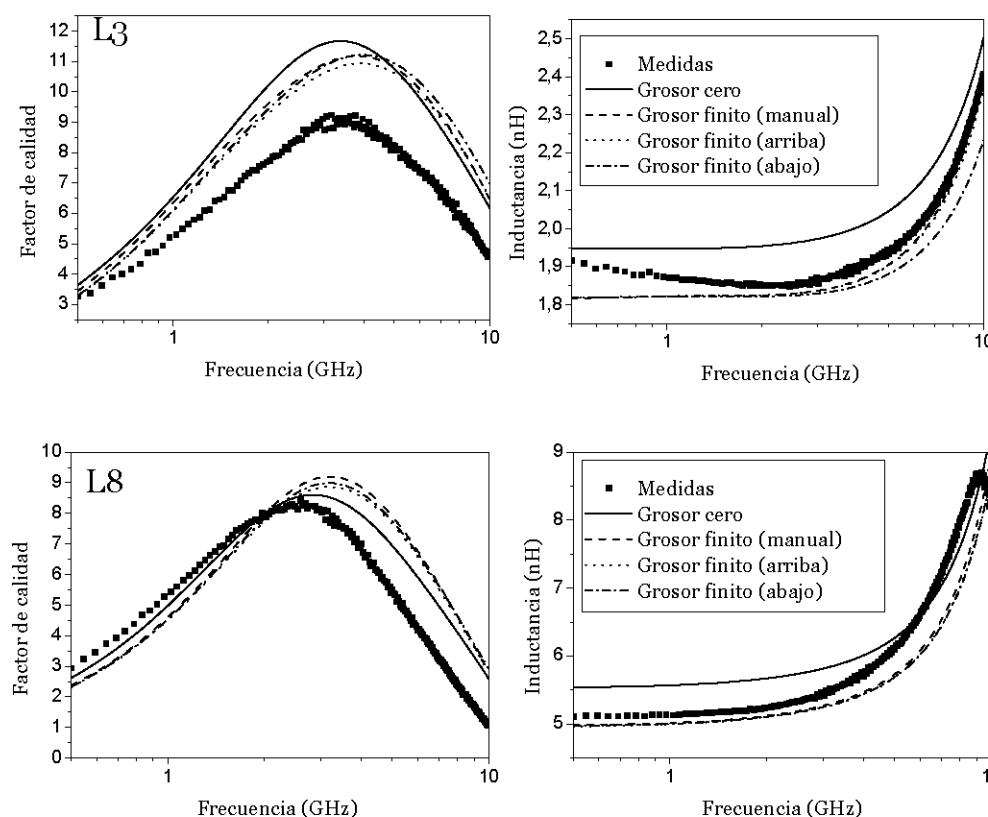
Tabla 3.1 Parámetros geométricos de los inductores

	$n$	$r$ ( $\mu\text{m}$ )	$w$ ( $\mu\text{m}$ )
<b>L3</b>	2.5	130	18
<b>L8</b>	4.5	100	6

Como cabía esperar, todas las simulaciones de grosor finito dan resultados similares. Por comodidad, utilizaremos la expansión automática cuando tengamos que realizar este tipo de simulación. Además elegiremos la opción de expansión hacia abajo (ver Figura 3.9), puesto que como vimos en el capítulo 1 las bobinas que diseñamos en este trabajo utilizan el metal más alejado del sustrato.

Podemos ver que en los dos casos la inductancia simulada es más parecida a la medida en el caso de modelar los metales con grosor finito, aunque en ambos casos la predicción es buena.

En cuanto al factor de calidad, vemos que las simulaciones cometen un error mucho mayor que en el caso de la inductancia. El manual de usuario de Momentum [Momeno4] recomienda modelar los metales según la aproximación de grosor finito en el caso de que la relación entre el ancho de la pista de la bobina y el grosor del metal sea mayor que 5, que es el caso de L3, por ejemplo. Sin embargo los resultados muestran que la mejora que esto implica en cuanto al factor de calidad es escasa, y en ambos casos se sobreestima. Ya que el simulador resulta más fiable en cuanto a inductancia para el modelo de grosor finito, estableceremos esta configuración para la simulación de inductores independientemente de su geometría.

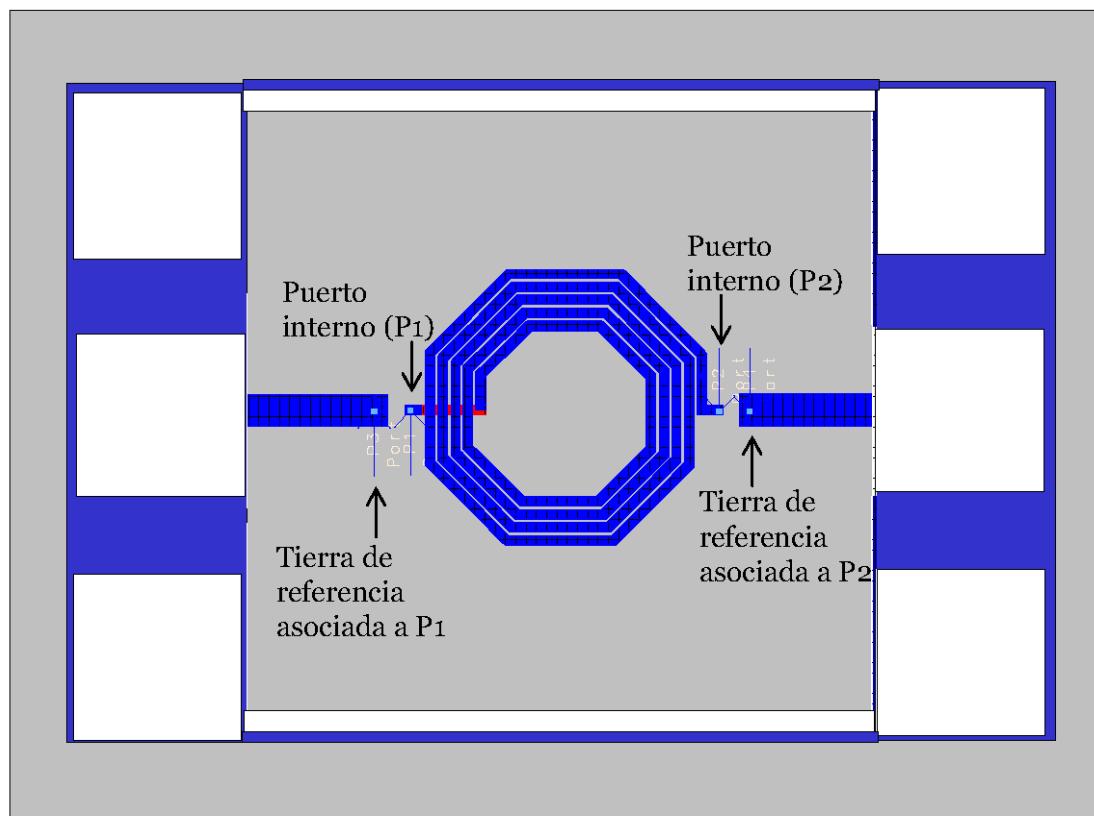


**Figura 3.16 Factor de calidad e inductancia medido y simulado para L3 y L8.**

Simulando los inductores como se ha explicado en este apartado, la herramienta considera que el plano de tierra en el sistema es la capa de metal infinita más cercana definida en el sustrato. En nuestro caso será la capa que está situada debajo del sustrato de silicio, denominada GND tal y como vimos en el apartado 3.3.4.1. Sin embargo ésta no es la posición de la tierra de referencia real cuando se mide un inductor sobre oblea. Como se vio en el capítulo 2, en el laboratorio se utilizan puntas coplanares GSG, y por tanto el plano de tierra se sitúa en los *pads* de tierra de la estructura de medida que rodea el inductor. Por ello es necesario simular los inductores con un anillo de guarda, de modo que contemos con el mismo sistema de medida que de simulación.

### 3.4.2 Simulación con anillo de guarda

En la literatura existen pocas descripciones detalladas de cómo se simula un inductor con anillo de guarda en Momentum. En este apartado se analizan las pautas de diseño que recomiendan las dos publicaciones más interesantes que hacen referencia al tema [VanHeo1][ScBiRo5]. Los resultados que proporciona la herramienta siguiendo esas pautas se compararán con las medidas y veremos que es necesario modificar la estructura de simulación para obtener resultados más fiables.



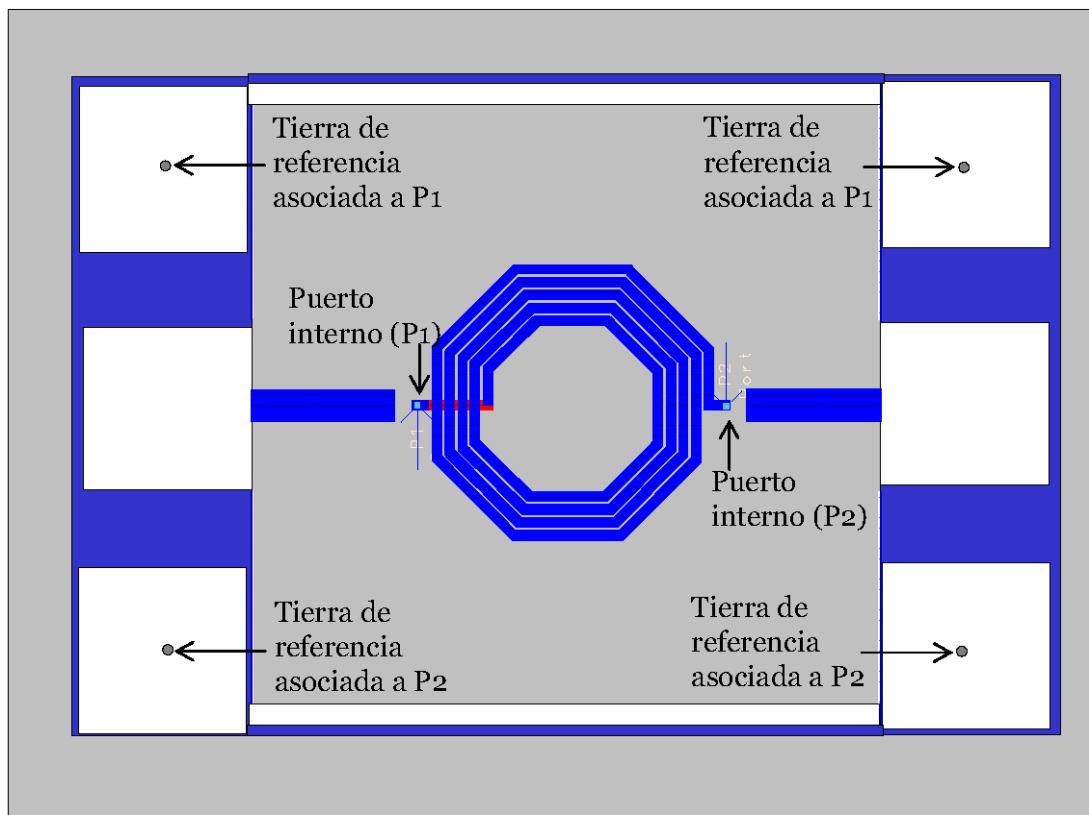
**Figura 3.17 Layout del inductor para la simulación según [VanHeo1].**

La primera referencia consultada [VanHeo1] se encuentra entre los artículos y seminarios que ofrece la casa *Agilent*, que comercializa la herramienta. En ella se describe cómo el inductor debe simularse rodeado de un anillo de guarda metálico que está conectado al sustrato de silicio mediante vías. En los extremos del inductor, que está situado en el centro del anillo, se colocan un tipo de puertos especiales, que se denominan *puertos internos (internal ports)*. A cada puerto interno se le asocia uno de los llamados *puertos de referencia a tierra (ground reference ports)*, que se conectan al anillo de guarda y deben situarse cerca de los puertos internos correspondientes. De esta forma, Momentum interpreta que el plano de tierra es aquel al que se han conectado las referencias a tierra.

Las bobinas fabricadas se模拟aron siguiendo estas indicaciones, de manera que el anillo que las rodea tiene las mismas dimensiones que el que se utilizó en el chip

fabricado. A las capas de metalización que contenía el sustrato que se definió previamente se le debe añadir, si no se hizo en un principio, la vía de contacto que une el primer nivel de metal con el sustrato de silicio. Al igual que ocurre con el resto de vías, nosotros dibujaremos esta capa continua (capa de color azul en el anillo de guarda de la Figura 3.17), aunque en el chip de fabricación es distribuida (ver Figura 3.14). De esta manera se evitarán problemas de convergencia y se agilizarán las simulaciones. La Figura 3.17 muestra el aspecto del *layout* final simulado de esta manera.

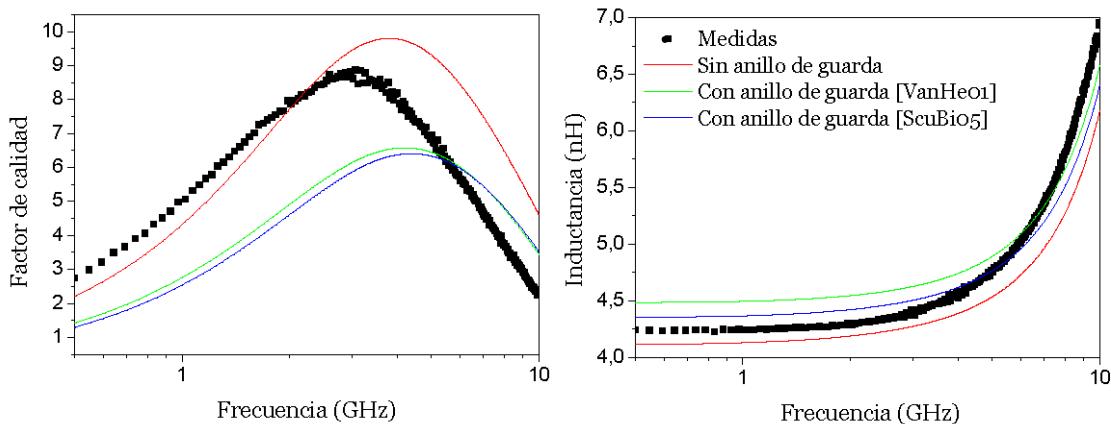
La segunda referencia consultada [ScBiRo5] presenta otra configuración para simular un inductor, más parecida a la disposición real de medida. En ella Scuderi y otros describen una estructura basada en [VanHeo1], pero utilizan un anillo de guarda como el que se ha utilizado en la fabricación del chip, es decir, con los *pads* de tierra y de señal incluidos. Al igual que antes, se colocan los puertos internos en ambos extremos de la bobina, pero esta vez se utilizan dos puertos de referencia a tierra por cada uno de ellos, situados en los *pads* de tierra correspondientes. La estructura simulada se muestra en la Figura 3.18.



**Figura 3.18 Layout del inductor para la simulación según [ScBiRo5].**

La Figura 3.19 muestra la comparación de los resultados medidos y simulados según las configuraciones vistas hasta ahora para el inductor L7, que tiene un radio externo de 90  $\mu\text{m}$ , 6  $\mu\text{m}$  de ancho de pista y 4.5 vueltas. Como puede verse los resultados de las simulaciones realizadas siguiendo las recomendaciones de [VanHeo1] y [ScBiRo5] distan mucho de las medidas, sobre todo en lo que se refiere al factor de calidad. La influencia del

anillo de guarda que rodea la bobina es grande y disminuye sustancialmente el valor de Q. Vemos también que en el caso de incluir los puertos de referencia a tierra en los *pads* correspondientes se mejora ligeramente el resultado de la inductancia simulada con respecto a poner sólo una referencia de tierra.

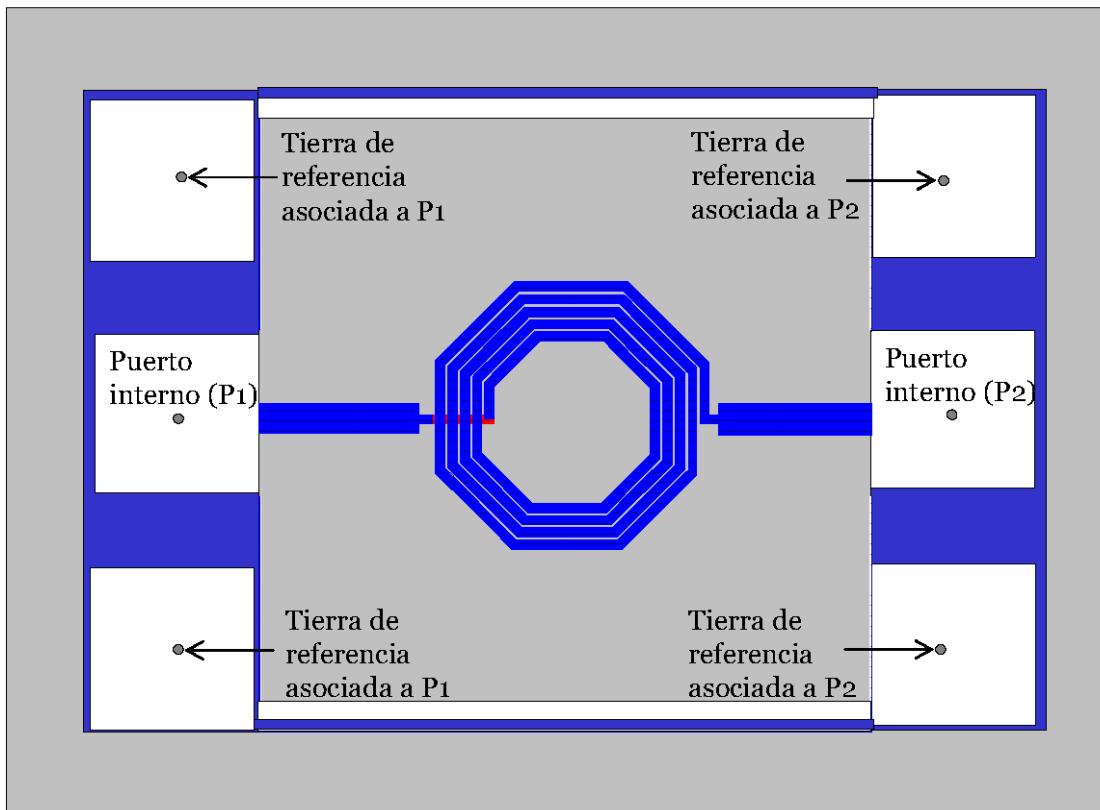


**Figura 3.19 Factor de calidad e inductancia medido y simulado según las configuraciones propuestas en la literatura para el inductor L7.**

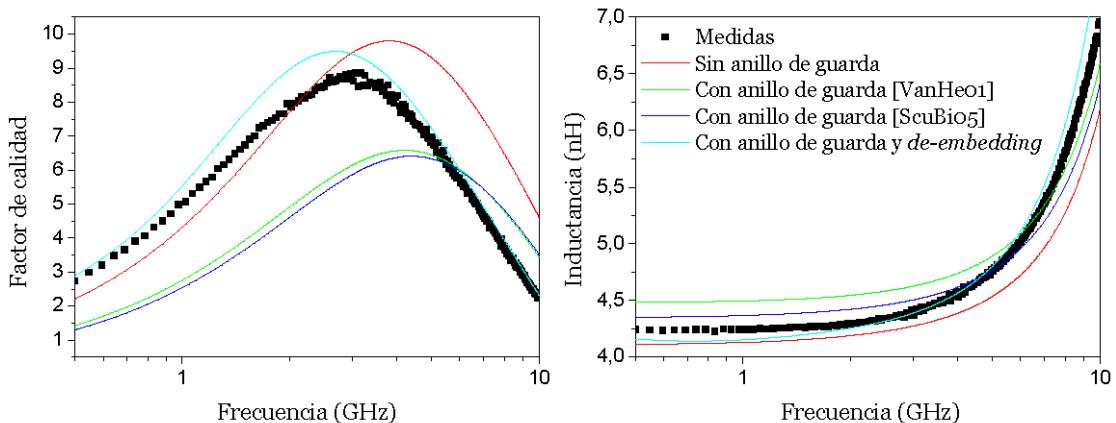
Hemos visto que con el anillo de guarda conseguimos una configuración de simulación similar a la de medida, puesto que las tierras de referencia se colocan adecuadamente. Sin embargo el anillo influye sobre el inductor, y su factor de calidad simulado disminuye alejándose mucho del valor medido. La solución que aquí se propone es utilizar un anillo de guarda donde posicionar las tierras de referencia como hasta ahora, y conectarlo al inductor. Es decir, simularemos exactamente la misma estructura que se fabrica: el inductor con el anillo de guarda, tal y como hemos hecho hasta ahora, pero uniendo los extremos del inductor a los *pads* de señal. Por tanto trasladaremos los puertos internos hasta el centro de dichos *pads*, tal y como se ve en la Figura 3.20. El hecho de que todo, bobina y anillo de guarda, esté unido obliga a realizar un *de-embedding* posterior a la simulación, por lo que además del inductor se deben simular también las tres estructuras de medida correspondientes que vimos en el capítulo 2 (*open*, *short*, y *thru*).

Los resultados, después de realizar el *de-embedding*, se muestran junto con el resto de simulaciones vistas hasta ahora en la Figura 3.21. Vemos que el factor de calidad obtenido, aunque sigue sobreestimando en las frecuencias centrales, sigue ahora el perfil de la curva medida. La inductancia también se predice con precisión, y disminuye ligeramente el error con respecto al que se producía en las configuraciones anteriores.

Se puede afirmar que el método de simulación propuesto es el que se debe utilizar en el caso de simular los inductores con anillo de guarda. En el siguiente apartado se evaluará de manera cuantitativa la fiabilidad de sus resultados y la conveniencia de utilizarlo o no frente a las simulaciones sin anillo de guarda.



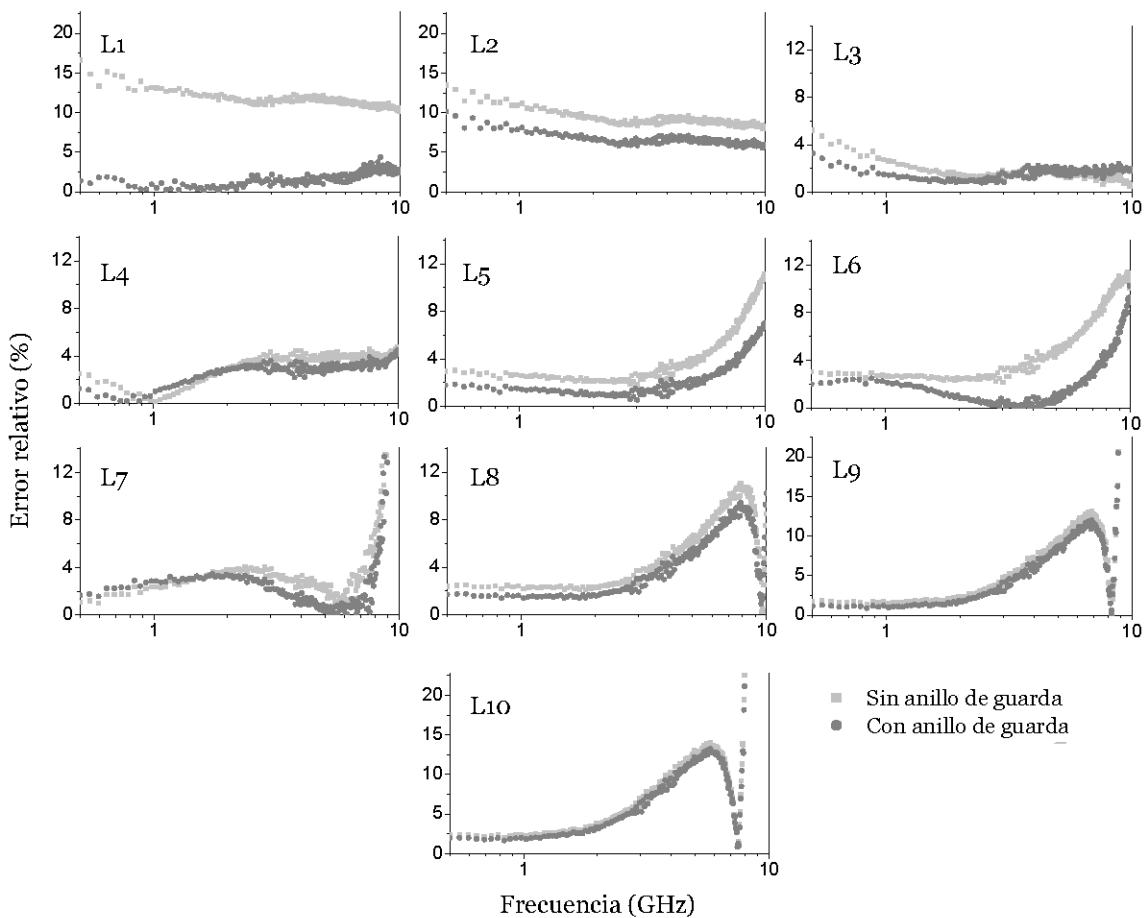
**Figura 3.20 Layout del inductor para la nueva simulación propuesta.**



**Figura 3.21 Comparación entre los resultados anteriores y los obtenidos con la nueva propuesta de simulación para el inductor L7.**

### 3.5 Valoración de la herramienta

Para comprobar la fiabilidad de la herramienta y determinar cómo es preferible simular los inductores (con anillo de guarda o sin él), se comparan las medidas realizadas sobre las 10 bobinas estándar fabricadas con ambas configuraciones de simulación.

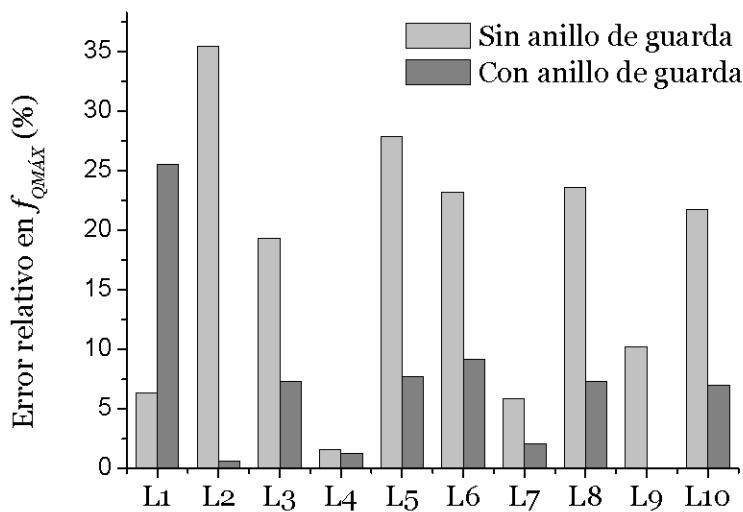


**Figura 3.22 Error relativo que comete Momentum en el cálculo de la inductancia al simular sin anillo de guarda y con él.**

La Figura 3.22 muestra las curvas del error relativo que se comete en el cálculo de la inductancia frente a la frecuencia. Se observa cómo las simulaciones con el anillo de guarda son más fiables que las simulaciones sin él para todos los casos, aunque la diferencia entre ambas curvas es mínima para la mayoría de los inductores. Vemos que el error se mantiene por debajo del 5% para frecuencias anteriores a la de resonancia, que es donde se emplea el inductor. Aunque puede parecer que el error aumenta para las simulaciones sin anillo de guarda de L1 y L2, esto es debido a que son valores inductivos muy pequeños (inferiores a 1 nH). En ambos casos los errores de casi el 15% suponen tan sólo diferencias entre medidas y simulación de 0.1 nH, lo que, en la práctica, no es apreciable.

Cuando el diseñador busca una bobina para un dispositivo concreto, lo más importante es que tenga el valor de inductancia necesario y que a ser posible la curva del factor de calidad esté centrada en la frecuencia de trabajo requerida, de forma que el máximo Q se dé precisamente a dicha frecuencia. Por lo tanto necesitamos que el simulador nos proporcione un valor inductivo correcto y una frecuencia de máximo factor de calidad acertada. En la Figura 3.23 vemos el diagrama de barras del error que comete el simulador al predecir la frecuencia de Q máximo de las diez bobinas fabricadas. Se

observa que el desplazamiento en frecuencia de la curva del factor de calidad es mucho menor si las bobinas se simulan con el anillo de guarda y se hace el posterior *de-embedding*. En este caso el error que se comete en la frecuencia de máximo factor de calidad es inferior al 10% para el 90% de los inductores, lo que implica desplazamientos de tan sólo 200 MHz. Para el caso de simulaciones sin anillo de guarda este valor es mayor de 500 MHz para la mitad de los inductores fabricados.

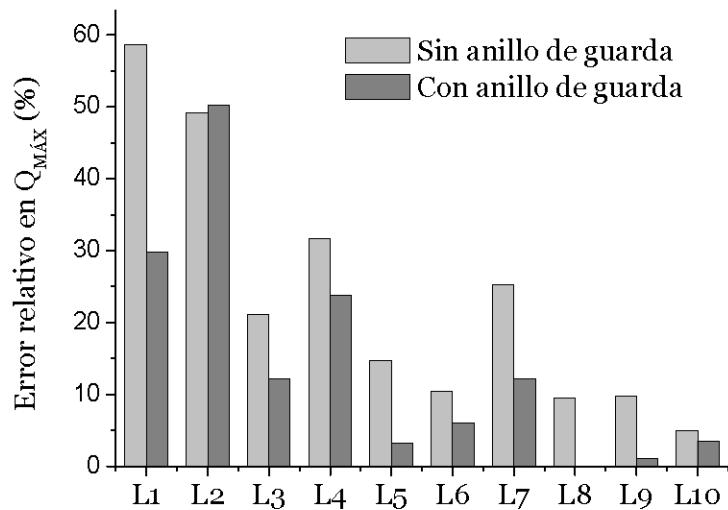


**Figura 3.23 Diagrama de barras del error relativo en la estimación de la frecuencia del factor de calidad máximo.**

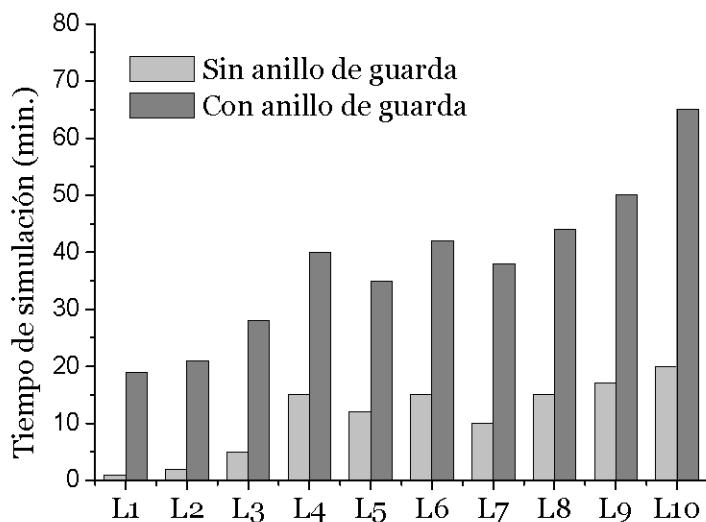
La Figura 3.24 evalúa los errores relativos cometidos en el cálculo del factor de calidad máximo. Vemos que, de nuevo, el error disminuye para las simulaciones con anillo de guarda, aunque encontramos que el error es considerable para inductores de pistas anchas ( $\geq 18 \mu\text{m}$ ), como L1, L2 y L3, o inductores que tienen un número de vueltas tal que apenas existe agujero central en el *layout*, como L4 (ver Figura 2.31). Esto nos lleva a pensar que el simulador no tiene en cuenta totalmente efectos de segundo orden como el efecto pelicular o las corrientes de torbellino, que son más importantes en bobinas con esas características.

Otro factor importante que se debe evaluar es el tiempo de simulación de cada inductor empleando un método u otro. La Figura 3.25 recoge el tiempo de CPU de las simulaciones realizadas (hasta 10 GHz) en un Pentium 4 que en el periodo de simulación no está dedicado a ninguna otra tarea. Vemos que, lógicamente, añadir una estructura de medida al inductor ralentiza sustancialmente la simulación. Al tiempo indicado en la figura se le debe añadir el de simulación de las estructuras de medida, que duran unos 10 minutos cada una para las dimensiones que se han utilizado en este trabajo. Sin embargo sólo es necesario simularlas una vez si se utiliza el mismo anillo de guarda para todos los inductores, que es lo habitual. En cualquier caso ninguna simulación sobrepasa la hora y media, lo que se puede considerar muy poco tiempo si se compara con el que necesita una

herramienta tridimensional, que además requiere más memoria RAM. Para ser exactos, debería añadirse también el tiempo que lleva realizar el *de-embedding*, que es despreciable frente al de simulación.



**Figura 3.24 Diagrama de barras del error relativo en la estimación del factor de calidad máximo.**



**Figura 3.25 Diagrama de barras del tiempo total de simulación.**

A la vista de los resultados vistos en el estudio de la herramienta, podemos concluir que la manera más precisa de simular con Momentum un inductor se consigue utilizando un anillo de guarda tal y como aquí se ha explicado. Así se predice de manera fiable el funcionamiento del inductor, obteniendo el mismo valor inductivo que el medido y un factor de calidad que sigue la misma curva que la medida, y por tanto está centrado en la misma frecuencia. La simulación sin anillo de guarda también estima con precisión la

inductancia, pero sobreestima el factor de calidad trasladándolo a frecuencias más altas. Con ambas maneras de simular se cometen errores importantes en la estimación de Q de inductores en los que efectos como el pelicular o las corrientes de torbellino son significativos, es decir, inductores de pista ancha o con un hueco interior muy pequeño.

Dado que se requiere un tiempo de simulación relativamente bajo y que se generan resultados fiables para la mayor parte de los inductores, se recomienda la simulación de bobinas con toda la estructura de medida, tal y como se ha explicado en este capítulo. En el Anexo B se resume el flujo de diseño completo de la simulación de un inductor con Momentum.

De este estudio se puede también deducir que colocar la tierra en el fondo del sustrato o colocarla correctamente en el anillo de guarda no genera resultados tan diferentes como cabría esperar. Esta idea volverá a retomarse en el Capítulo 4, donde se generará un nuevo modelo paramétrico para las pérdidas eléctricas en el sustrato.

# Capítulo 4 Modelo paramétrico

## 4.1 Introducción

Como ya se ha comentado en capítulos anteriores, el modelado de inductores integrados es un área de investigación de alto interés para el diseño de circuitos de radiofrecuencia.

Algunos de los modelos encontrados en la literatura presentan un error muy bajo con respecto a los datos medidos, pero o bien están extraídos directamente de las medidas [KaGiSo5][RoBhBo5][DiLaBo5][HuJiBo6], o se basan en ajustes de las medidas a las ecuaciones que rigen el modelo equivalente [GilSho3].

A nosotros nos interesa obtener un modelo escalable, en el que los valores de los componentes vengan dados por expresiones analíticas cerradas que dependan de los parámetros del *layout* y de la tecnología. Como ya se dijo en el capítulo anterior, la obtención de este modelo sería una herramienta de incalculable valor a la hora de diseñar circuitos integrados de RF, ya que podríamos predecir las prestaciones del inductor sin necesidad de fabricarlo o simularlo. Por tanto este tipo de modelos reduciría el número de prototipos necesarios para obtener el producto final, con lo que el coste del producto disminuiría considerablemente. La contrapartida será un error mayor que el de los modelos citados anteriormente. Habrá que valorar qué valores de error se pueden asumir en cada caso.

La mayor parte de los trabajos publicados hacen hincapié en el modelado de la rama principal del circuito equivalente, especialmente en las pérdidas resistivas, que deben incluir efectos de segundo orden muy difíciles de modelar. Algunos autores ya han hecho trabajos relevantes sobre el tema, y en este capítulo veremos que existen muchas aproximaciones para el cálculo de  $R_S$ . Sin embargo no se puede decir lo mismo de las pérdidas en el sustrato debidas a la penetración del campo eléctrico ( $C_{SUB}$  y  $R_{SUB}$ ). Esta falta de expresiones precisas que estimen dichas pérdidas se debe en parte a que muchos

diseñadores utilizan el llamado *Patterned Ground Shield* (PGS) para minimizarlas [YiChOo2][YueWo98][YueWooo][CaGrHo3][LeLeRo5]. Como se dijo en la introducción, esta técnica consiste en introducir una capa conductiva conectada a tierra, situada entre la bobina y el sustrato, de manera que se impide que el campo eléctrico penetre en el sustrato y genere pérdidas. Sin embargo el uso de esta técnica es apropiado para trabajar a frecuencias relativamente bajas, ya que conlleva un aumento considerable de la capacidad parásita a tierra, y por tanto una disminución considerable de la frecuencia de resonancia del inductor [Lee98][BurReo3].

En este capítulo se repasarán las expresiones utilizadas para los componentes de la rama principal del modelo, y se introducirá el nuevo modelo analítico de las pérdidas eléctricas en el sustrato [GoPiGo7a]. Todas las expresiones se validarán comparando los resultados con los valores extraídos de las medidas tal y como se explicó en el proceso de caracterización del Capítulo 2.

El modelo paramétrico aquí presentado servirá para generar un algoritmo con el que encontrar instantáneamente aquellas estructuras que presenten una inductancia determinada a una frecuencia dada y que ofrezcan un factor de calidad óptimo, como se verá en el Capítulo 5.

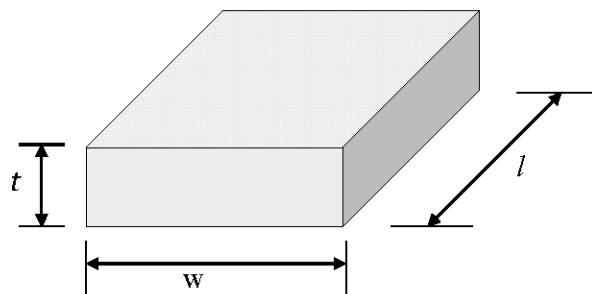
## 4.2 Modelo paramétrico de la rama principal

### 4.2.1 Inductancia

Toda la teoría sobre el cálculo de la inductancia está basada en los conceptos de inductancia propia e inductancia mutua. Fue Grover el primero que publicó, en 1962, una colección de fórmulas y tablas para su cálculo [Grove62]. En primer lugar determinó que la inductancia de una pista de metal con una sección transversal rectangular (ver Figura 4.1) viene dada por la siguiente relación:

$$L(nH) = 0.0002 \cdot l \cdot \left[ \ln\left(\frac{2 \cdot l}{w+t}\right) + 0.50049 + \frac{w+t}{3 \cdot l} \right] \quad (4.1)$$

donde  $l$  es la longitud total de la pista,  $w$  su anchura y  $t$  su espesor, todas ellas expresadas en  $\mu\text{m}$ . Esta expresión es válida en el caso de que la permeabilidad magnética sea 1, y no tiene en cuenta la variación con la frecuencia, es decir, se trata de la inductancia en continua.



**Figura 4.1 Parámetros geométricos de una pista de metal.**

La inductancia mutua entre dos circuitos 1 y 2,  $M_{12}$ , se define como la relación entre el flujo creado por un circuito que atraviesa el otro,  $\phi_{12}$ , y la corriente que circula por él ( $I_1$ ):

$$M_{12} = \frac{d\phi_{12}}{dI_1} \quad (4.2)$$

En general, la inductancia mutua entre dos conductores alineados en paralelo puede calcularse haciendo uso de la siguiente expresión empírica:

$$M_{12}(nH) = 2 \cdot l \cdot K \cdot 10^{-4} \quad (4.3)$$

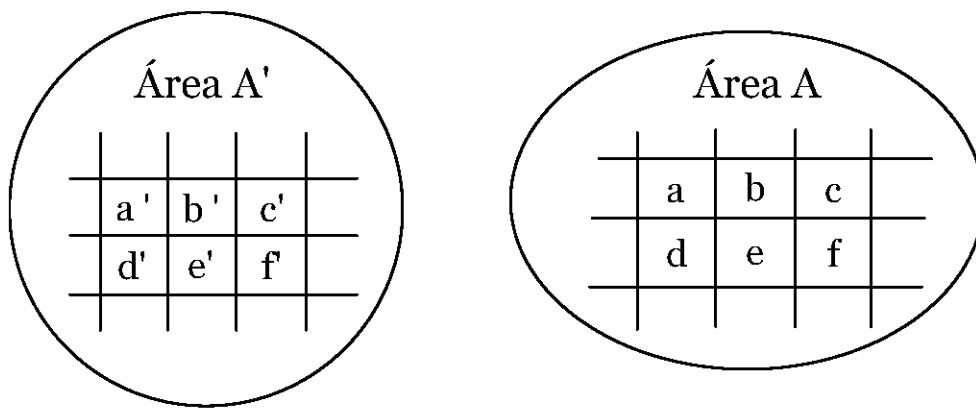
donde,  $l$  es la longitud de los segmentos y  $K$  es una constante dependiente de la geometría dada por:

$$K = \ln \left\{ \left( \frac{l}{GMD} \right) + \left[ 1 + \left( \frac{l^2}{GMD^2} \right) \right]^{1/2} \right\} - \left[ 1 + \frac{GMD^2}{l^2} \right]^{1/2} + \left[ \frac{GMD}{l} \right] \quad (4.4)$$

GMD (*Geometric Mean Distance*) es la distancia media geométrica entre las áreas de los conductores, que es aproximadamente igual a la distancia entre ellos. La GMD de dos superficies se puede obtener de forma precisa dividiendo las áreas en elementos diferenciales y calculando la distancia media geométrica entre estos elementos. Por ejemplo, para las dos áreas representadas en la Figura 4.2, la distancia media geométrica se calcula como:

$$GMD = \sqrt[n+m]{D_{aa'} \cdot D_{ab'} \cdot D_{ac'} \cdots D_{ba'} \cdot D_{bb'} \cdot D_{bc'} \cdots} \quad (4.5)$$

donde  $n$  y  $m$  son, respectivamente, el número de elementos diferenciales del área A' y A.  $D_{ij'}$  es la distancia del elemento  $i$ , que pertenece a la superficie A, al elemento  $j'$ , que pertenece a la superficie A'.

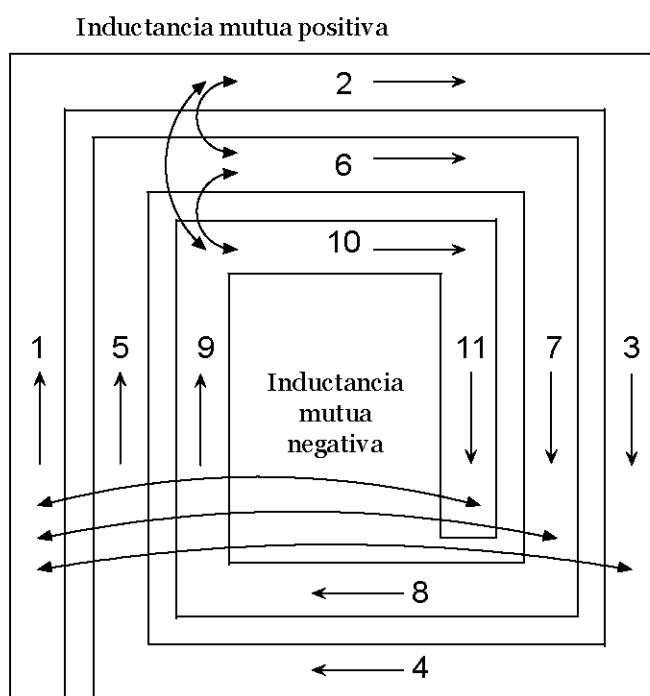


**Figura 4.2 Esquema para calcular el GMD entre dos áreas.**

Basándose en las fórmulas de Grover, Greenhouse desarrolló en 1974 un algoritmo para calcular la inductancia de espirales rectangulares planas [Green74]. Su método se basa en que la inductancia total de la espiral se consigue según la siguiente expresión:

$$L_{Total} = \sum L_{propia} + \sum M_+ - \sum M_- \quad (4.6)$$

La inductancia total propia es la suma de todas las inductancias propias de cada segmento, y la inductancia total mutua es la suma de todas las inductancias mutuas que incrementan el flujo magnético total (inductancias mutuas positivas  $M_+$ ) menos la de aquéllas que afectan de forma negativa al flujo magnético total (inductancias mutuas negativas  $M_-$ ).



**Figura 4.3 Componentes positivas y negativas de las inductancias mutuas en una espira rectangular.**

Por ejemplo, para la espiral rectangular de la Figura 4.3, el cálculo de la inductancia comenzaría con la determinación de las inductancias propias de cada segmento así como las inductancias mutuas, tanto positivas como negativas, que aparecen entre los segmentos de la espiral. Las inductancias mutuas positivas son aquéllas que aparecen entre segmentos situados en el mismo lado de la espiral, por donde la corriente va en el mismo sentido. Las inductancias mutuas negativas aparecen entre segmentos situados en lados opuestos de la misma, por donde la corriente circula en sentidos opuestos.

Para pistas de metal con una sección transversal rectangular, que es el caso de los circuitos integrados, la inductancia propia de un segmento viene dada por la expresión (4.1) y la inductancia mutua entre pistas viene dada por (4.3). Para una espira cuadrada, la función K viene dada por:

$$K(l, d, w) = \ln \left( \frac{l}{GMD(d, w)} + \sqrt{1 + \frac{l^2}{GMD^2(d, w)}} \right) - \sqrt{1 + \frac{GMD^2(d, w)}{l^2} + \frac{GMD(d, w)}{l}} \quad (4.7)$$

donde  $l$  es la longitud de los segmentos,  $d$  es la distancia entre los segmentos (desde el centro de uno al centro del otro) y  $w$  es la anchura de las pistas. La GMD de dos líneas es:

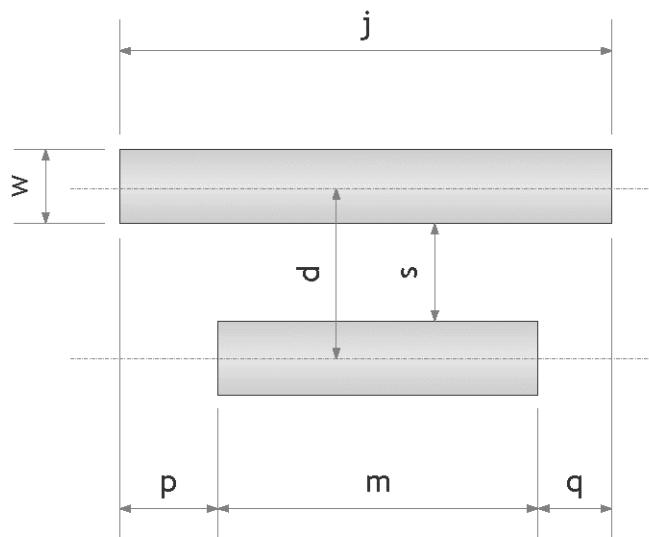
$$\ln GMD(d, w) = \ln d - \left[ \frac{1}{12 \cdot \left(\frac{d}{w}\right)^2} + \frac{1}{60 \cdot \left(\frac{d}{w}\right)^4} + \frac{1}{168 \cdot \left(\frac{d}{w}\right)^6} + \frac{1}{360 \cdot \left(\frac{d}{w}\right)^8} + \frac{1}{660 \cdot \left(\frac{d}{w}\right)^{10}} + \dots \right] \quad (4.8)$$

Para pistas de metal con longitudes diferentes, como se muestra en la Figura 4.4, la inductancia mutua es:

$$2 \cdot M_{m,j} = [M(m+p, d, w) + M(m+q, d, w) - M(p, d, w) + M(q, d, w)] \quad (4.9)$$

Aplicando la expresión (4.6) se obtiene la inductancia total de una espira rectangular con  $n$  vueltas completas y  $z$  segmentos.

$$L_{tot} = \sum_{i=1}^z L_{prop_i} + 2 \cdot \left[ \sum_{j=1}^n \left( \sum_{i=1}^{z-4} M_{i,i+4j} - \sum_{i=1}^{z-2} M_{i,i+2j} \right) \right] \quad (4.10)$$



**Figura 4.4 Inductancia mutua entre dos segmentos *m, j* de metal.**

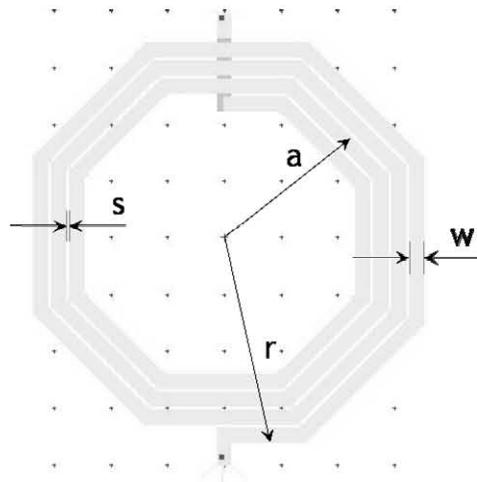
Como se puede observar, el método de Greenhouse necesita de la implementación del mismo en un programa de ordenador ya que el cálculo requiere un coste computacional elevado. Además, para geometrías que no sean la cuadrada, el método debe ser modificado [Nikneoo][StIvDo4].

Con objeto de salvar estas dificultades, a lo largo de los años se han propuesto una serie de expresiones para el cálculo de la inductancia de inductores espirales de forma rápida [Lee98][CrKiC96][MoHeB99]. La propuesta de Crols [CrKiC96] depende solamente de la geometría de la bobina, y no tiene en cuenta la tecnología sobre la que se fabrica y Mohan [MoHeB99] utiliza al menos tres valores empíricos como coeficientes de ajuste. Lee [Lee98], basándose en los trabajos realizados por Wheeler [Wheel28], propone la siguiente expresión:

$$L \approx \frac{K_e \cdot \mu_0 \cdot n^2 \cdot a^2}{22 \cdot r - 14 \cdot a} \quad (4.11)$$

donde  $K_e$  es una constante empírica para bobinas espirales que depende de la tecnología y varía entre 28 y 32 aproximadamente;  $\mu_0 = 4 \cdot \pi \cdot 10^{-7}$  H/m es la permeabilidad del vacío;  $n$  es el número de vueltas de la espiral;  $a$  es el radio medio de la espiral y  $r$  es el radio máximo de la espiral (ver Figura 4.5).

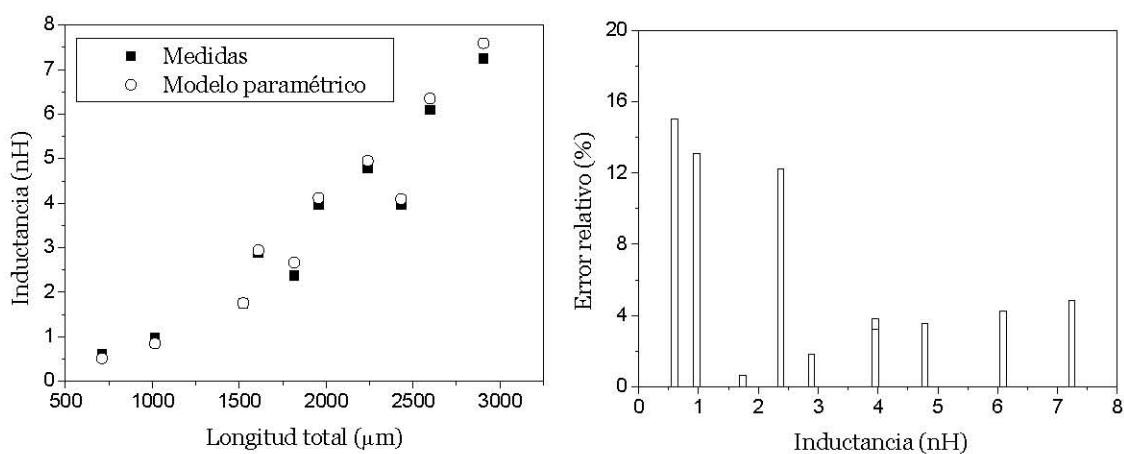
El valor de  $K_e$  se obtiene mediante el ajuste de los datos correspondientes a todos los inductores fabricados. Así, para la tecnología que nos ocupa, el valor resultante es de 31,6.



**Figura 4.5 Representación del *layout* de una bobina integrada.**

En la Figura 4.6 (a) se muestra una comparativa entre la inductancia estimada con (4.11) y las medidas para las diez bobinas fabricadas. La Figura 4.6 (b) muestra el error relativo cometido. En la mayoría de casos no sobrepasa el 5%, excepto para tres bobinas de valor inductivo bajo: dos de ellas presentan inductancias menores de 1 nH, por lo que el error cuantificado así puede representar una diferencia de 0.1 nH entre el resultado medido y calculado, que es insignificante desde el punto de vista del diseño. La tercera es una bobina atípica, con vueltas hasta el centro de la espira, poco utilizada en los circuitos convencionales debido a su bajo factor de calidad. La diferencia entre el valor medido y calculado es de 0.3 nH.

En el último apartado de este capítulo se evaluará el error de forma cuantitativa teniendo en cuenta el funcionamiento global de la bobina, es decir, comparando las curvas de inductancia y factor de calidad frente a la frecuencia.



**Figura 4.6 (a) Ajuste para  $L_s$  en función de la longitud total de la bobina. (b) Error relativo en tanto por ciento cometido con respecto a las medidas.**

### 4.2.2 Resistencia serie

Como hemos visto en el capítulo de introducción, la pérdida resistiva en las pistas del inductor es uno de los factores clave en la degradación del factor de calidad. Como puede verse en (4.12), estas pérdidas aumentan con la longitud de la espira ( $l$ ) y son inversamente proporcionales al grosor de la pista de metal ( $t$ ), a su anchura ( $w$ ) y a la conductividad del metal ( $\sigma$ ).

$$R_S = \frac{l}{w \cdot \sigma \cdot t} \quad (4.12)$$

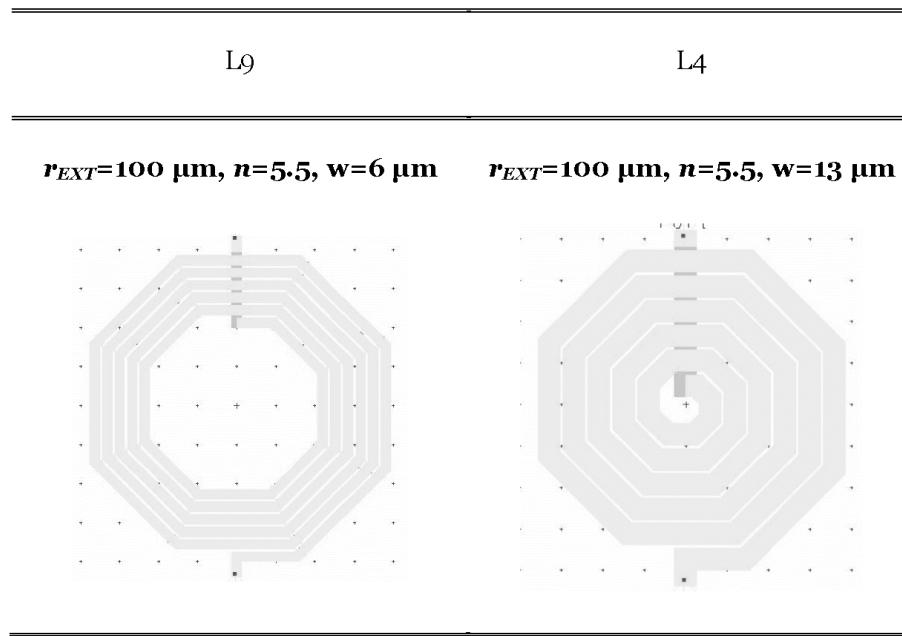
Puesto que el grosor viene dado por el proceso de fabricación escogido, una posible medida para minimizar las pérdidas sería utilizar espiras con varios niveles de metal en paralelo [SoBuJ95]. Sin embargo esto aumentaría considerablemente las capacidades parásitas, por lo que la medida no sería recomendable para trabajar a frecuencias altas. Además, las tecnologías que se emplean actualmente incluyen en el nivel más alejado del sustrato metales más gruesos pensados para el diseño de inductores de calidad. Otra solución pasa por diseñar bobinas con pistas muy anchas, pero así las capacidades parásitas son mayores, y con el aumento de la frecuencia aparecen otros efectos asociados al campo magnético que modifican las predicciones de (4.12) y dependen de la anchura de la pista.

El más conocido de estos efectos es el efecto pelicular, que depende de la frecuencia, de las propiedades del conductor y de su estructura geométrica. Como vimos en la introducción, consiste en que al aumentar la frecuencia la corriente fluye por los laterales del conductor en lugar de ocupar todo su volumen. La sección por la que circula la corriente viene dada por la profundidad de penetración  $\delta$ , que para el caso de un conductor circular viene dada por (1.4).

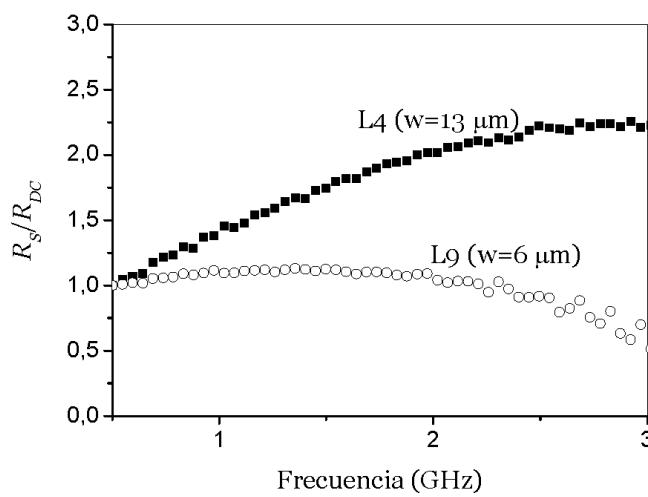
El desarrollo de soluciones analíticas que den cuenta de las pérdidas resistivas debidas al efecto pelicular no es tarea fácil para el caso de conductores rectangulares. A esto se suma el hecho de que no es el único efecto parásito que aparece en el inductor a altas frecuencias. Como vimos en la introducción, Craninckx [CraSt97] demostró mediante simulaciones que en bobinas con un agujero central pequeño las vueltas interiores contribuían más a la resistencia serie total que las exteriores. Esto es debido a las corrientes de torbellino (*eddy currents*) que se generan en la parte central de la bobina. Como vimos en la Figura 1.4, cuando el inductor tiene vueltas de metal hasta el centro del área encerrada, gran parte del campo magnético no pasa por el agujero central, sino que fluye a través de los metales que conforman esas vueltas interiores. Este campo magnético variará con el tiempo tal y como lo hace la corriente inyectada en la bobina, por lo tanto creará un campo eléctrico que a su vez generará corrientes de *eddy* circulares en esa parte del inductor. Estas corrientes crean una redistribución de la corriente en las vueltas interiores, de manera que en la cara interna de la pista se suman a la corriente original y

en la externa se oponen. Esta cadena de efectos se traduce en un incremento importante de la resistencia total del inductor, y por tanto una disminución de su factor de calidad.

**Tabla 4.1 Geometría de las bobinas de la Figura 4.7**



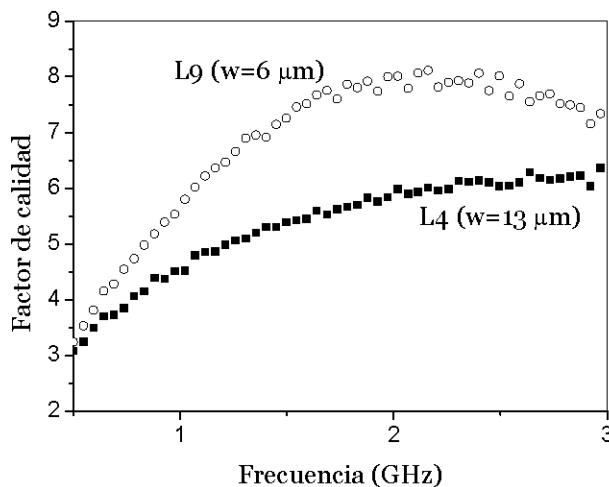
En la Figura 4.7 vemos la diferencia entre las resistencias extraídas de dos bobinas (L9 y L4). Como se refleja en la Tabla 4.1, las dos tienen el mismo radio externo y el mismo número de vueltas, pero una tiene un ancho de pista de  $6 \mu\text{m}$ , y la otra de  $13 \mu\text{m}$ . Como muestran los *layouts* en la tabla, la diferencia de ancho de pista implica que la primera bobina tenga un agujero central grande y la segunda contenga vueltas hasta el centro, por lo que la resistencia estará influenciada por las corrientes de torbellino.



**Figura 4.7 Resistencia normalizada extraída de las medidas para dos bobinas que se diferencian únicamente en el ancho de la pista.**

Tal y como se estudió en el Capítulo 2, la resistencia serie determina el funcionamiento de la bobina en el primer tramo de frecuencias, hasta que se alcanza el

factor de calidad máximo. En la Figura 4.7 se han representado las resistencias hasta 3 GHz porque para ambas bobinas es el tramo de frecuencias de subida del factor de calidad, donde la resistencia serie influye más. Vemos que la resistencia de L9 es prácticamente constante, y sin embargo la de L4 aumenta considerablemente. Conforme a lo que vimos en el estudio del método de extracción, un pequeño aumento de la resistencia  $R_s$  conlleva una disminución importante de la calidad de la bobina, tal y como muestra la Figura 4.8.



**Figura 4.8 Factor de calidad de los inductores L4 y L9.**

Las vueltas interiores en inductores como L4 contribuyen muy poco al aumento de la inductancia. Hemos visto que además de esto implican un deterioro en la calidad debido a las corrientes de torbellino que se generan. Por tanto en la búsqueda de inductores de alta calidad una buena opción es diseñarlos con un agujero central grande. Esto es lo que se procuró en el diseño de las bobinas estándar fabricadas para este trabajo. De entre todas ellas, L4 es la única cuyo funcionamiento viene marcado por el efecto *eddy* en las pistas.

Aparte de las pérdidas en el metal, la variación temporal del campo magnético produce también corrientes de torbellino en el sustrato (ver Figura 1.5). Si éste es muy conductor, estas corrientes se convierten en la mayor fuente de pérdidas resistivas de la bobina a alta frecuencia, haciendo despreciables los efectos parásitos explicados hasta ahora (efecto pelicular y corrientes de torbellino en el metal). Algunos autores han conseguido modelar con buenos resultados este efecto añadiendo al modelo clásico transformadores y algún factor empírico de ajuste [MeFrPo2][OoiXu04][ZhKhJ04] [ZhHaToo]. Por suerte, el sustrato utilizado en nuestro trabajo es poco resistivo ( $>10 \Omega \cdot \text{cm}$ ), y por consiguiente se pueden despreciar las pérdidas asociadas a la generación de corrientes *eddy* en el sustrato.

Por tanto, para modelar nuestra resistencia serie con el proceso tecnológico utilizado, tenemos que tener en cuenta el efecto pelicular y el que producen las corrientes de torbellino en las pistas. Como hemos dicho antes, éste último será pequeño debido a cómo

se han diseñado las bobinas. De cualquier modo, ambos efectos son difíciles de separar, y para modelarlos se utilizan expresiones de la resistencia que dependan de la frecuencia. Son muchísimos los trabajos publicados que tratan este tema, ya que es uno de los puntos claves del modelado de inductores. Encontramos que un buen número de autores recurren a expresiones con factores empíricos, basadas en el ajuste de datos experimentales que funcionan sólo para la tecnología o el tipo de inductores que ellos utilizan [PeKaW88] [ChoYoo4][Hsu05][TaYuWo5]. Otros emplean expresiones basadas en el cálculo de primer orden del acople eléctrico y magnético que se produce entre los distintos tramos de metal [KuhIbo1][SiLoCo2][TonTso5]. Y otros muchos modifican el modelo equivalente clásico añadiendo nuevos componentes de forma que no sea necesaria la dependencia con la frecuencia de los mismos [GilSho3][CaGrHo3][RoBhBo5][GaoYuo6][GuoTao6].

Tal y como vimos en la Figura 4.7, para bobinas de pista estrecha como L6 bastaría con utilizar como valor paramétrico de la resistencia serie el valor en continua dado por (4.12), puesto que se puede considerar constante en frecuencia. Sin embargo no ocurre lo mismo con bobinas de pista ancha, en las que el efecto pelicular se hace importante a frecuencias relativamente bajas. Aunque algunos autores no la tienen en cuenta [YueWooo], nosotros trataremos de utilizar una expresión que recoja esta dependencia del ancho de pista. Eo y Eisenstadt desarrollaron en 1993 un modelo empírico para el efecto pelicular en pistas metálicas con grosor del mismo orden que la profundidad de penetración [EoEis93]. En su trabajo plantean el uso de una  $\delta_{EF}$  efectiva bidimensional que tiene en cuenta la redistribución de corriente tanto en el grosor de la pista como en el ancho:

$$\delta_{EF} = \delta_x + \delta_y = \delta_x \cdot \left(1 + \frac{t}{w}\right) = \delta \cdot \left[1 - \exp\left(-\frac{t}{\delta}\right)\right] \cdot \left(1 + \frac{t}{w}\right) \quad (4.13)$$

Basándose en esta idea, del Pino en [Pinoo2], desarrolló una expresión de dos dimensiones para la resistencia de un conductor rectangular separando las variables en la expresión de la densidad de corriente:

$$R_S = \frac{l}{2 \cdot \sigma \cdot \delta_{2D}^2} \cdot \frac{\left(\operatorname{senh} \frac{w}{\delta_{2D}} \cdot \operatorname{sen} \frac{t}{\delta_{2D}} + \operatorname{senh} \frac{t}{\delta_{2D}} \cdot \operatorname{sen} \frac{w}{\delta_{2D}}\right)}{\left(\cosh \frac{t}{\delta_{2D}} - \cos \frac{t}{\delta_{2D}}\right) \cdot \left(\cosh \frac{w}{\delta_{2D}} - \cos \frac{w}{\delta_{2D}}\right)} \quad (4.14)$$

donde  $\delta_{2D} = \sqrt{2} \cdot \delta$ , y  $\delta$  viene dado por (1.4).

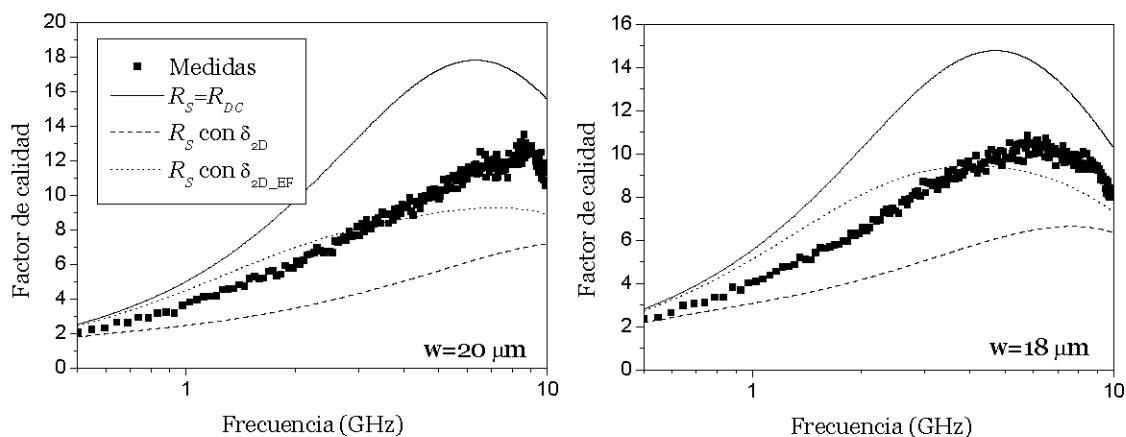
En la Figura 4.9 vemos la comparación entre el factor de calidad medido de dos bobinas con pistas anchas (L1 y L2 en Tabla 4.2) y el obtenido paramétricamente con diferentes modelos de  $R_S$ .

**Tabla 4.2 Parámetros geométricos de L1 y L2**

Inductor	$r_{EXT}$ ( $\mu\text{m}$ )	w ( $\mu\text{m}$ )	n
L1	100	20	1.5
L2	130	18	1.5

Al contrario de lo que ocurre para bobinas estrechas, una resistencia constante de valor  $R_{DC}$  no sirve para predecir las prestaciones de la bobina, ya que subestima las pérdidas metálicas, y por tanto sobreestima el factor de calidad. El modelo dado por (4.14) sigue la misma forma que la curva medida, y predice aproximadamente la frecuencia a la que se obtiene el máximo factor de calidad, lo cual es muy importante para el diseñador de RF. Sin embargo la resistencia es sobreestimada y el factor de calidad queda por debajo del medido.

Suponiendo que el resto de los elementos del circuito equivalente están correctamente estimados, el modelo paramétrico dado por (4.14) podría bastar para predecir el funcionamiento de la bobina. Sólo habría que tener en cuenta que en el caso de bobinas con pista ancha el factor de calidad está subestimado, que siempre es mejor que sobreestimarlo. Sin embargo, ya que este modelo va a ser la base para un algoritmo que genere la bobina óptima para una determinada aplicación, lo refinaremos utilizando una profundidad de penetración efectiva ( $\delta_{2D\_EF}$ ) que resulta ser el doble de  $\delta_{2D}$ . En la Figura 4.9 vemos que la diferencia entre el modelo y las medidas disminuyen con la nueva expresión.

**Figura 4.9 Comparación del factor de calidad medido y hallado paramétricamente con diferentes modelos del efecto pelicular para bobinas de pista ancha.**

Así pues, la expresión dada por (4.14) incorporando una profundidad de penetración efectiva ( $\delta_{2D\_EF}$ ) representa una buena solución para el modelado de la resistencia serie de inductores, y será la que se utilice en la herramienta que se presentará en el Capítulo 5. Para bobinas de pista estrecha, el valor que se obtiene es el de la resistencia en continua,

que como vimos es suficiente para predecir correctamente el factor de calidad. Por otro lado, para bobinas de pista ancha ( $w > 15 \mu\text{m}$  aproximadamente) la nueva expresión introduce una variación en frecuencia que predice de manera fiable el aumento de resistencia y por tanto la disminución del factor de calidad, como vimos en la Figura 4.9.

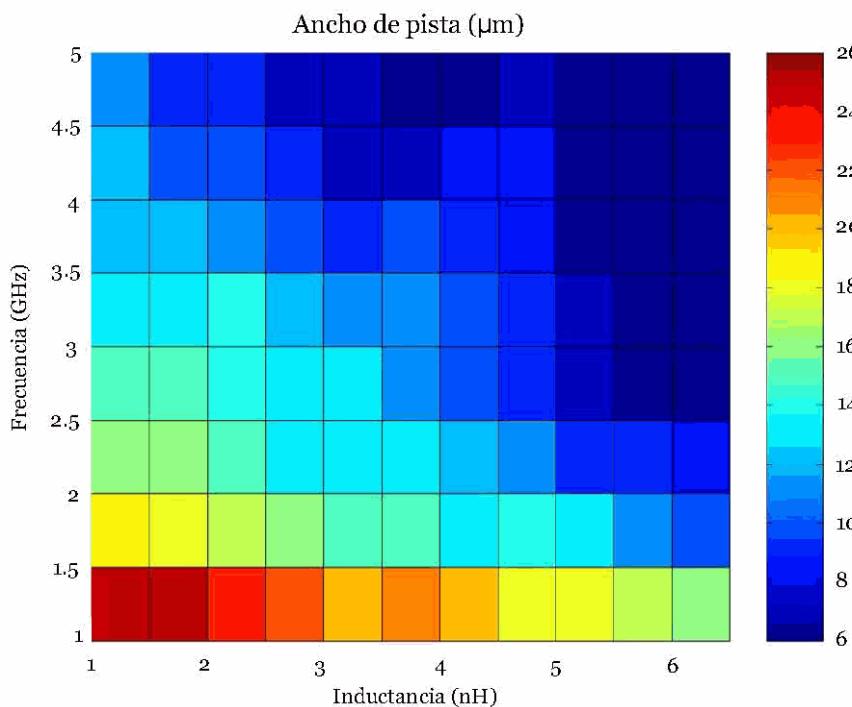
Puesto que el modelado paramétrico de la resistencia serie de inductores de pista ancha es uno de los problemas que se han encontrado en esta parte del trabajo, sería interesante analizar en qué casos se utilizan estos inductores en el diseño de circuitos de RF. Como se vio en el Capítulo 1, al aumentar el ancho de pista del inductor manteniendo el resto de parámetros geométricos constantes, el factor de calidad aumenta ya que disminuye la resistencia en continua. Por otro lado disminuye la inductancia de la bobina debido a que el área central encerrada se hace menor, y disminuye la frecuencia de resonancia porque las capacidades parásitas aumentan. Según esto, las bobinas de pista ancha son más apropiadas cuando se requieren valores inductivos pequeños y cuando se trabaja a frecuencias bajas.

**Tabla 4.3 Parámetros geométricos de las bobinas simuladas**

<b>r<sub>EXT</sub> (μm)</b>	<b>w (μm)</b>	<b>n</b>	<b>s (μm)</b>
50-200	6-40	1.5-10.5	2

Para corroborar este análisis, se han simulado con Momentum más de 200 inductores con diferentes parámetros geométricos, como se ve en la Tabla 4.3. Una vez analizados los resultados de la simulación, las bobinas se han clasificado según el valor de inductancia que tienen y la frecuencia a la que su factor de calidad alcanza el máximo. De esta forma, si se necesita un inductor para una aplicación determinada, se puede buscar el que mayor factor de calidad alcance a la frecuencia a la que se va a trabajar entre todos los que tengan la inductancia requerida.

La Figura 4.10 muestra el ancho de pista del inductor más apropiado entre los simulados para una inductancia y una frecuencia dados. Vemos que las bobinas con pistas de más de  $15 \mu\text{m}$  de anchura, que es aproximadamente el valor a partir del cual la resistencia en continua no modela bien el valor  $R_s$  para todo el rango de frecuencias, sólo son óptimas para frecuencias entorno a 1 GHz. Es decir, a frecuencias a las que efectos de segundo orden como el efecto pelicular todavía no son importantes. Por tanto la resistencia no habrá aumentado lo suficiente para que el error que se comete al utilizar  $R_{DC}$  en el modelo paramétrico sea significativo.



**Figura 4.10 Ancho de pista del inductor óptimo entre los simulados para las distintas inductancias y frecuencias de trabajo.**

Después de lo expuesto en este apartado, llegamos a la conclusión de que cuando se quiera modelar paramétricamente un inductor del que no se conocen sus prestaciones, se utilizará para la resistencia serie una expresión que tenga en cuenta la variación con la frecuencia, como la dada por (4.14). Esto es lo que ocurre cuando se utiliza una herramienta como la que veremos en el siguiente capítulo, que proporciona la respuesta del inductor cuando se le pasan al programa sus parámetros geométricos. Sin embargo, hemos comprobado que si se escoge el inductor con la geometría más apropiada para una aplicación determinada, éste será de pista ancha sólo cuando se trabaje a frecuencias bajas. Por tanto se podrá utilizar  $R_{DC}$ , que también modela correctamente la resistencia serie de inductores de pista estrecha.

#### 4.2.3 Capacidad paralela

Como ya vimos anteriormente, la capacidad  $C_P$  modela el acoplamiento capacitivo entre las pistas de metal y el *crossunder*. Por lo tanto la modelaremos como un condensador plano paralelo sencillo [Lee98][YueWooo], que, por otro lado, es la ecuación de modelado más extendida:

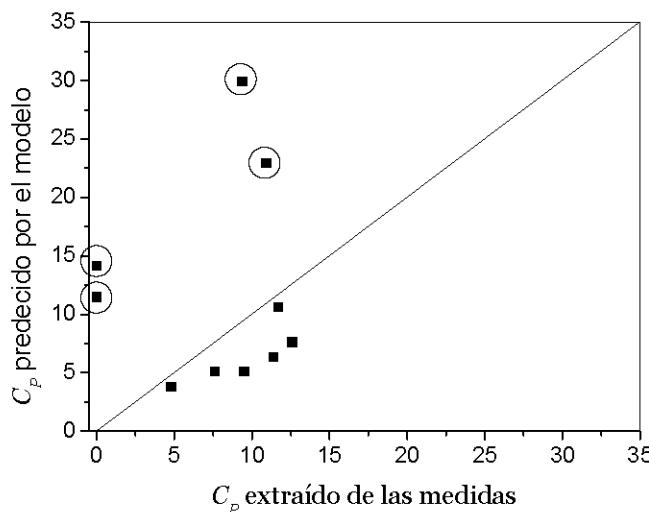
$$C_P = n_u \cdot w^2 \cdot \frac{\epsilon}{t_{ox\_M3M4}} \quad (4.15)$$

donde  $n_u$  es el número de intersecciones entre las pistas de la espiral y el *underpass*,  $\varepsilon$  es la permitividad del material, y  $t_{ox\_M3M4}$  es el grosor del óxido que hay entre el *crossunder* y la espiral.

La Figura 4.11 muestra la capacidad modelada frente a la extraída de las medidas según el método presentado en el capítulo 2 para las 10 bobinas fabricadas en 0.35  $\mu\text{m}$ . Vemos que el error que comete la estimación es muy grande para la mayor parte de los inductores. Como ya explicamos al desarrollar el método, para extraer adecuadamente las capacidades, sobre todo en el caso de  $C_P$ , es necesario contar con medidas más allá de la frecuencia de resonancia del inductor. En el caso de  $C_{SUB}$  esto no representa un problema puesto que el valor se estabiliza a partir de una frecuencia inferior a la frecuencia de resonancia. Por desgracia parte de las bobinas de las que se dispone en este trabajo resuenan a frecuencias muy superiores a 10 GHz, por lo que asumimos que los valores de  $C_P$  extraídos de las medidas están subestimados. Este es el caso de las cuatro primeras bobinas del anexo A (L1-L4), que están representadas por los cuatro puntos estimados con mayor error, encerrados en una circunferencia en la Figura 4.11.

En el mismo anexo A se puede comprobar que las otras seis bobinas (L5-L10) también resuenan a una frecuencia mayor que 10 GHz, pero no tan alejada como en el caso anterior. Teniendo en cuenta que la  $C_P$  real será ligeramente superior que la que vemos en la Figura 4.11 extraída de las medidas, se puede deducir que la fórmula paramétrica dada por (4.15) subestima el valor real.

Si volvemos a la Figura 2.30, vemos que  $C_P$  únicamente influye en la determinación de la frecuencia de resonancia, por lo que podríamos concluir que nuestro modelo paramétrico va a predecirla de forma errónea. Sin embargo vemos también que no es el único elemento que la determina, sino que  $L_S$ ,  $R_{SUB}$  y  $C_{SUB}$  tienen también gran importancia.



**Figura 4.11 Comparación de los valores de  $C_P$  extraídos de las medidas y estimados por el modelo.**

## 4.3 Modelo paramétrico de las ramas del sustrato

### 4.3.1 Capacidad del óxido

Cuando se aplica una señal a las pistas que componen el inductor integrado aparece, entre otros elementos, una diferencia de tensión entre la espiral y el sustrato. Esta diferencia de tensión genera un campo eléctrico que atraviesa el óxido y penetra en el sustrato de forma que aparece un acoplamiento capacitivo entre la espiral y el sustrato. Esta capacidad depende principalmente del área de metal de la espiral compartida con el sustrato, la distancia entre la espiral y el sustrato y las características del dieléctrico.

Se podrían utilizar expresiones complejas como las que se recogen en [Barke88] para el caso de conductores rectangulares. Sin embargo en [Pinoo2] se demuestra que la siguiente expresión, aunque sencilla, modela con exactitud la capacidad parásita del óxido en inductores integrados:

$$C_{OX} = w \cdot l \cdot \frac{\epsilon}{t_{ox}} \quad (4.16)$$

donde  $t_{ox}$  es la distancia entre el metal y el sustrato.

Esta capacidad influye mucho en el funcionamiento global de la bobina, ya que es la de más alto valor de las tres capacidades que forman el modelo equivalente del inductor. El desplazamiento de la curva del factor de calidad en frecuencia depende en gran medida de  $C_{OX}$ . Para el puerto correspondiente al *underpass* se puede refinar la expresión (4.16) asociándole en paralelo la capacidad que añade dicha tira de metal:

$$C_{OX\_UND} = w \cdot l_{UND} \cdot \frac{\epsilon}{t_{ox\_UND}} \quad (4.17)$$

donde  $l_{UND}$  es la longitud del *underpass* y  $t_{ox\_UND}$  la distancia entre él y el sustrato.

Como vimos en el Capítulo 2, en nuestro método de caracterización de bobinas utilizamos directamente la fórmula paramétrica (4.16) para el cálculo de  $C_{OX}$ . De esta forma se simplificaba el proceso de extracción de  $R_{SUB}$  y  $C_{SUB}$ . Por lo tanto en este apartado no tiene sentido comparar valores extraídos de la medida y calculados paramétricamente.

### 4.3.2 Resistencia y capacidad del sustrato

#### 4.3.2.1 Modelo clásico

Como ya dijimos en la introducción, algunos diseñadores no tienen que preocuparse acerca del modelo de la resistencia y capacidad del sustrato, puesto que utilizan el *patterned ground shield* aunque ello suponga serias limitaciones sobre la respuesta de los circuitos a altas frecuencias. Los que no lo hacen modelan  $R_{SUB}$  y  $C_{SUB}$  según las siguientes expresiones [YuRyL96][Lee98][SiYeGo1][LeShD05]:

$$R_{SUB} \approx \frac{2}{l \cdot w \cdot G_{SUB0}} \quad (4.18)$$

$$C_{SUB} \approx \frac{l \cdot w \cdot C_{SUB0}}{2} \quad (4.19)$$

Vemos que  $R_{SUB}$  y  $C_{SUB}$  son proporcionales al área metálica ocupada por el inductor, que se calcula mediante el producto de la longitud de la espira,  $l$ , y el ancho de la pista,  $w$ . El factor 2 se utiliza porque se asume que los efectos parásitos del sustrato se distribuyen de igual manera en los dos puertos de la bobina.

$G_{SUB0}$  y  $C_{SUB0}$  son constantes de ajuste que representan la conductancia y capacidad por unidad de área del sustrato de silicio. Dependen del nivel de dopado del mismo, y su valor se obtiene mediante ajuste de las medidas de inductores fabricados en la misma tecnología.

Para comprobar la validez de estas expresiones utilizaremos las bobinas de la tecnología SiGe 0.35  $\mu\text{m}$ , con las que ya hemos ido trabajando a lo largo de esta tesis. Utilizaremos también un chip de 40 bobinas fabricadas anteriormente en la tecnología BiCMOS 0.8  $\mu\text{m}$  de AMS [PiSeH02][SePiH03], que ofrece dos niveles de metal y presenta una profundidad de sustrato mucho menor que la anterior ( $t_{SUB\_0.35} \approx 7 \cdot t_{SUB\_0.8}$ ). La Tabla 4.4 resume las características geométricas de las bobinas usadas.

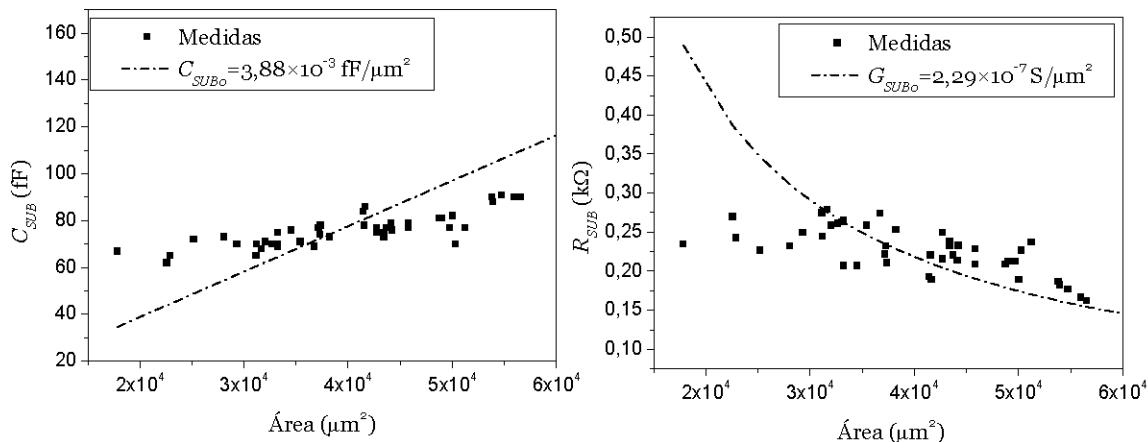
Las bobinas pertenecientes al grupo A ocupan un rango de áreas que alcanza los  $6 \cdot 10^4 \mu\text{m}^2$ . Sin embargo las del B, que son menores, son más pequeñas y no superan áreas de  $3 \cdot 10^4 \mu\text{m}^2$ , por lo que utilizaremos resultados simulados con *Momentum* [Momeno4] para completar el mismo rango.

En las Figuras 4.12 y 4.13 podemos ver los valores de  $C_{SUB}$  y  $R_{SUB}$  medidos frente a los obtenidos mediante las expresiones (4.18) y (4.19) para el caso de las bobinas fabricadas en la tecnología de 0.8  $\mu\text{m}$  (grupo A) y 0.35  $\mu\text{m}$  (grupo B) respectivamente.

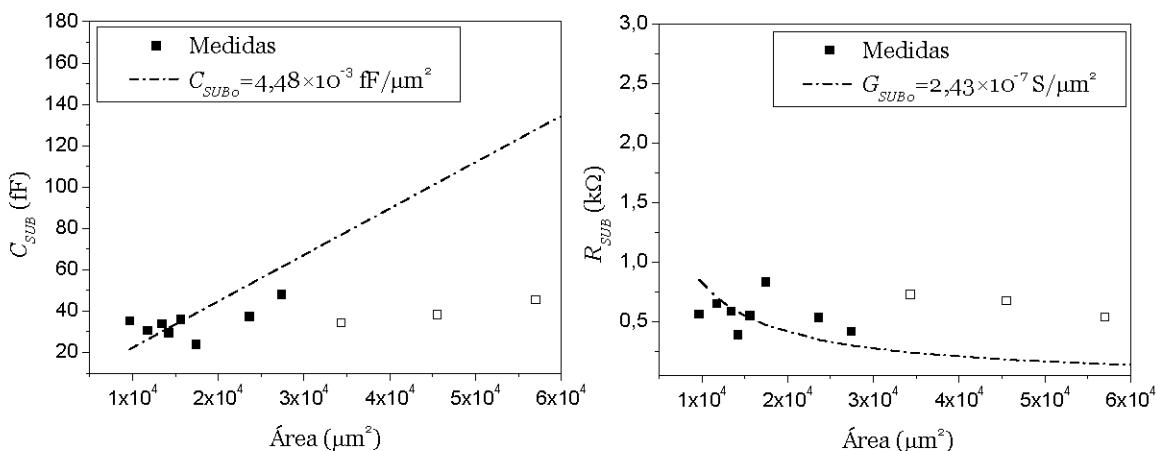
**Tabla 4.4 Parámetros geométricos de los inductores bajo test**

Tecnología	Longitud de canal mínima	$r_{EXT}$ ( $\mu\text{m}$ )	w ( $\mu\text{m}$ )	n	s ( $\mu\text{m}$ )
A	0.8 $\mu\text{m}$	60-144	6-26	1.5-6.5	1.8
B	0.35 $\mu\text{m}$	90-130	6-20	1.5-6.5	2

Podemos ver que en el primer caso el modelo falla para inductores con área menor de  $3 \cdot 10^4 \mu\text{m}^2$ , donde se subestima la capacidad y se sobreestima la resistencia. Para las bobinas de 0.35  $\mu\text{m}$  sin embargo ocurre lo contrario: el modelo predice bien las pérdidas para bobinas de área pequeña, pero sobreestima la capacidad y subestima la resistencia para áreas mayores.



**Figura 4.12 Valores de  $C_{SUB}$  y  $R_{SUB}$  medidas (cuadrados) y modeladas usando las constantes de ajuste  $C_{SUBO}$  y  $G_{SUBO}$  (línea discontinua) para las bobinas del sustrato A (ver Tabla 4.4).**



**Figura 4.13 Valores de  $C_{SUB}$  y  $R_{SUB}$  medidas (cuadrados) y simulados (cuadrados huecos) y modelados usando las constantes de ajuste  $C_{SUBO}$  y  $G_{SUBO}$  (línea de puntos y trazos) para las bobinas del sustrato B (ver Tabla 4.4).**

A la vista de estos resultados podemos decir que el modelo dado por las ecuaciones (4.18) y (4.19) funciona sólo para un rango determinado de áreas, y que este rango dependerá de la tecnología. Esto es debido en parte a que las constantes  $C_{SUB0}$  y  $G_{SUB0}$  se extraen de las medidas de las bobinas. Así, si la mayoría de bobinas fabricadas tienen un área determinada, el modelo funcionará mejor para inductores de ese tamaño, que es lo que ocurre para el caso de las bobinas pequeñas de la tecnología de 0.35  $\mu\text{m}$ .

Además de esto, para poder calcular constantes de ajuste es necesario fabricar y medir muchas bobinas, que es precisamente lo que queremos evitar con la búsqueda de un modelo paramétrico.

Ya que los valores de  $C_{SUB0}$  y  $G_{SUB0}$  dependen del dopado del sustrato, y se supone que son constantes para un determinado proceso de fabricación [Lee98], una posible solución sería aproximarlos con las siguientes expresiones:

$$C_{SUB0} \approx \frac{\epsilon_{SUB}}{t_{SUB}} \quad (4.20)$$

$$G_{SUB0} \approx \frac{1}{\rho_{SUB} \cdot t_{SUB}} \quad (4.21)$$

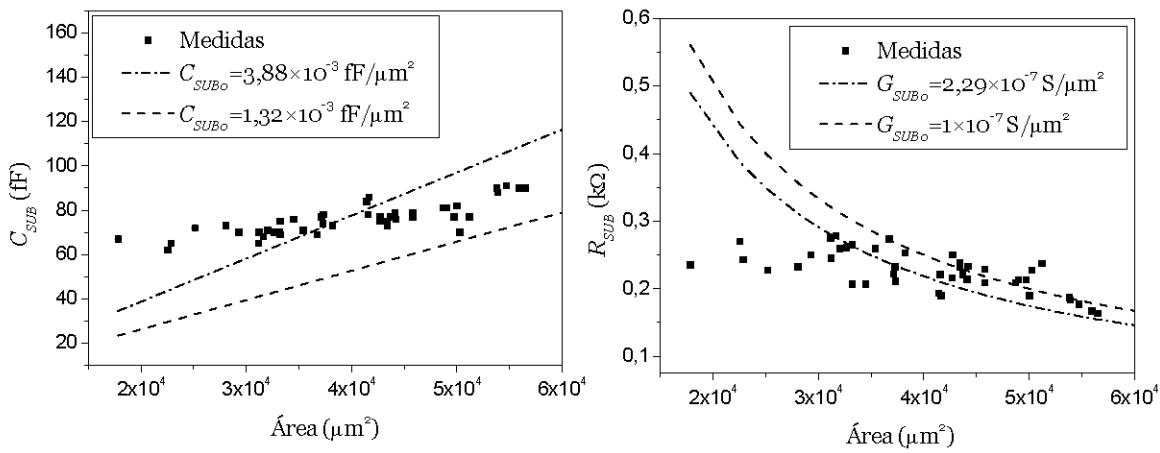
donde  $\epsilon_{SUB}$ ,  $\rho_{SUB}$  y  $t_{SUB}$  son la permitividad eléctrica, resistividad y profundidad del sustrato respectivamente.

Sin embargo los resultados no mejoran como se ve en las Figuras 4.14 y 4.15. En ellas hemos añadido a los resultados anteriores el nuevo modelo, resultado de sustituir las constantes de ajuste en (4.18) y (4.19) por las nuevas expresiones (4.20) y (4.21). Para ambos sustratos la diferencia entre los valores extraídos de las medidas (cuadrados) y los del nuevo modelo (línea de trazos discontinuos) aumenta con respecto a la que había con el modelo anterior (línea discontinua de puntos y trazos). Esta diferencia se acentúa para las bobinas de menor área, especialmente para las fabricadas en 0.35  $\mu\text{m}$ .

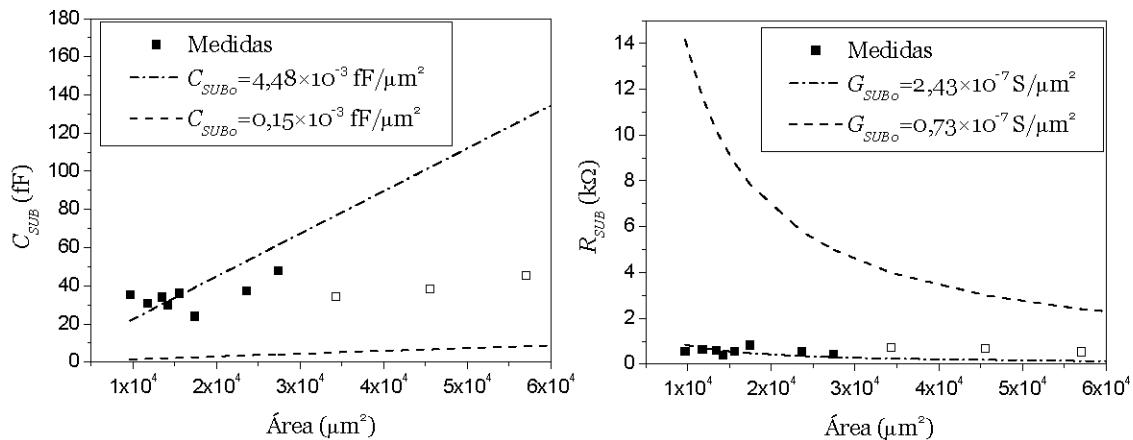
Por tanto es necesario encontrar nuevas expresiones analíticas basadas en el funcionamiento físico del inductor para modelar las pérdidas debidas al campo eléctrico en el sustrato.

#### 4.3.2.2 Nuevo modelo de las pérdidas eléctricas en el sustrato

El modelo que proponemos aquí está basado en el hecho de que las líneas de campo eléctrico en el sustrato no quedan confinadas sólo en el área bajo la bobina, sino que fluyen extendiéndose más allá de dicha área. Cuanto más pequeña sea la bobina, más importancia tendrá este efecto en sus prestaciones, siempre dependiendo de las propiedades del sustrato.



**Figura 4.14** A la Figura 4.12 le hemos añadido en línea discontinua el nuevo modelo, que calcula  $C_{SUB_0}$  y  $G_{SUB_0}$  mediante las expresiones (4.20) y (4.21).

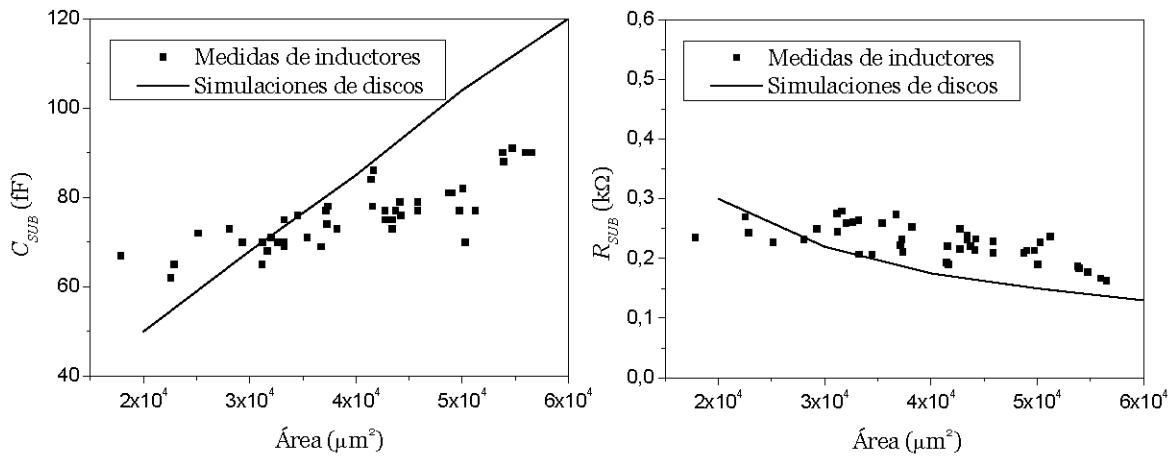


**Figura 4.15** A la Figura 4.13 le hemos añadido en línea discontinua el nuevo modelo, que calcula  $C_{SUB_0}$  y  $G_{SUB_0}$  mediante las expresiones (4.20) y (4.21).

Para realizar nuestro análisis hemos hecho algunas consideraciones prácticas que permiten simplificar el problema y llegar a una solución cerrada:

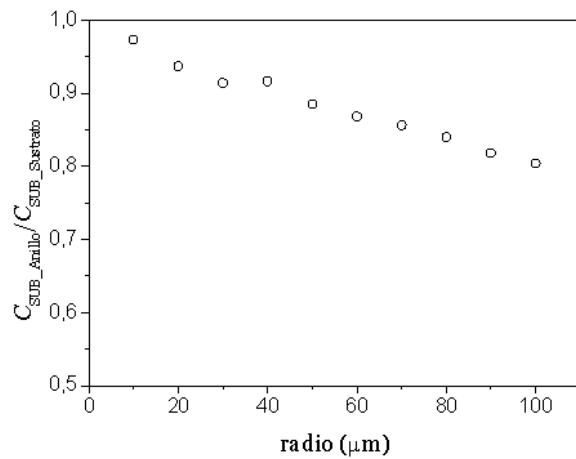
1. No tendremos en cuenta el campo eléctrico en el óxido, sino que nos centraremos en el campo confinado en el sustrato de silicio. Esto equivale a despreciar el grosor del primero,  $t_{OX}$ , frente al segundo,  $t_{SUB}$ .
2. Consideraremos que el inductor se comporta de la misma manera que un disco de metal con el mismo área que la espira metálica de la bobina ( $w \cdot l$ ). Para estudiar el problema sería más apropiado utilizar un disco metálico con un agujero central. Sin embargo el análisis se complicaría mucho, y es complicado obtener expresiones analíticas cerradas para este caso. Para validar nuestra suposición hemos realizado simulaciones de Momentum<sup>©</sup> (ver Figura 4.16). Los resultados muestran que la suposición de que el funcionamiento del inductor se puede aproximar al de un disco es buena para la resistencia  $R_{SUB}$ , aunque comienza a fallar para áreas mayores de  $4.5 \cdot 10^4$

$\mu\text{m}^2$  (radio del disco equivalente alrededor de 100  $\mu\text{m}$ ) en el caso de la capacidad  $C_{SUB}$ . Esto lo tendremos en cuenta más tarde, cuando analicemos los resultados del nuevo modelo.



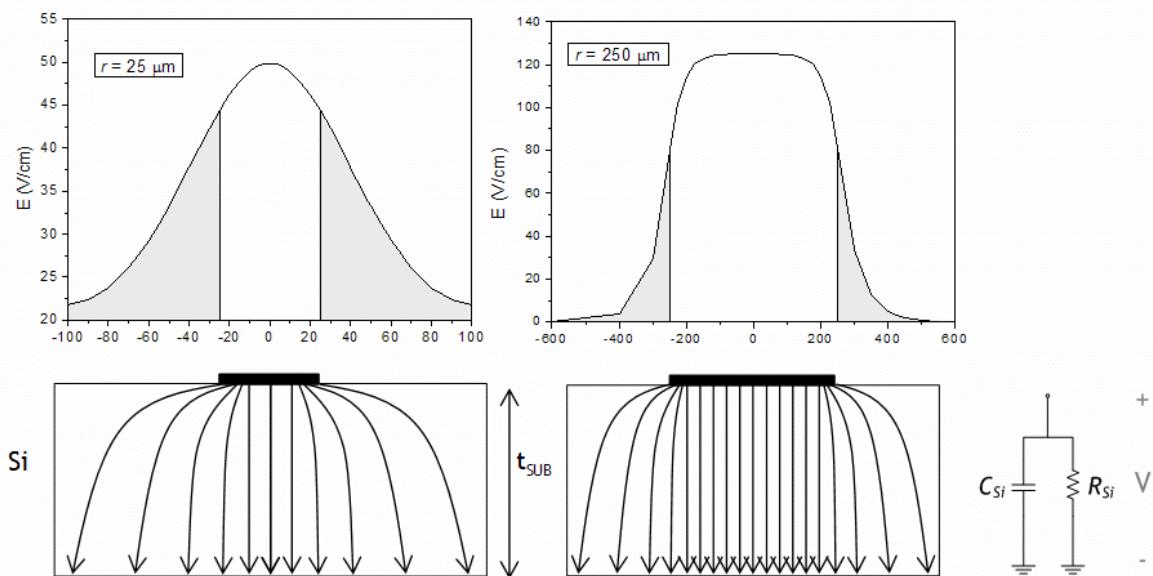
**Figura 4.16**  $C_{SUB}$  y  $R_{SUB}$  extraídos de las medidas de inductores (cuadrados) y extraídos de las simulaciones de discos con Momentum $\circledcirc$  (línea continua) en 0.8  $\mu\text{m}$ .

3. Como se vio en el capítulo 2, los inductores están medidos con puntas coplanares, por lo tanto, el plano de tierra en el *set-up* de medida está situado en el anillo de guarda que rodea al inductor. Sin embargo, el funcionamiento del inductor es similar si se coloca el plano de tierra en la parte inferior del sustrato, siempre y cuando el anillo de guarda esté situado a la distancia adecuada de la bobina. Esto ya quedó demostrado en el Capítulo 3, cuando se vieron las distintas maneras de simular un inductor con Momentum. De todas formas, para verificar de nuevo esta propuesta hemos utilizado la herramienta de simulación numérica tridimensional *Taurus-device* $\circledcirc$  [Tauruo4]. Simulamos discos metálicos con diferentes radios colocados sobre un sustrato de silicio con ambas disposiciones del plano de tierra y calculamos la capacidad del sustrato para cada caso. Los resultados se muestran en la Figura 4.17, que representa la relación entre la capacidad calculada con la tierra en el anillo de guarda ( $C_{SUB\_Anillo}$ ) y la calculada con la tierra en la parte inferior del sustrato ( $C_{SUB\_Sustrato}$ ). Como puede verse, esta relación es cercana a 1 para el rango de radios que nosotros empleamos. Se puede afirmar que existe un anillo de guarda con el que la relación entre capacidades indicada se approxima a la unidad con errores muy pequeños o nulos. En nuestro caso hay que tener en cuenta que para las simulaciones de los discos con distintos radios se ha utilizado el mismo anillo de guarda, que es igual al utilizado con las estructuras fabricadas. Así, si las dimensiones del anillo se ajustaran para cada inductor fabricado la relación  $C_{SUB\_Anillo}/C_{SUB\_Sustrato}$  se aproximaría todavía más a la unidad.



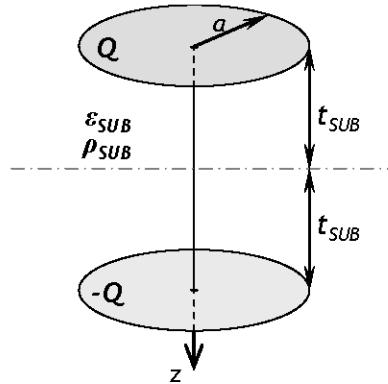
**Figura 4.17 Influencia de la posición del plano de tierra en  $C_{\text{SUB}}$ .**

De nuevo hemos utilizado simulaciones de *Taurus-device*© para comprobar cómo se distribuiría el campo eléctrico en el sustrato teniendo en cuenta las simplificaciones enumeradas. Simulamos discos metálicos con diferentes diámetros, todos de  $2.6 \mu\text{m}$  de grosor, colocados sobre un sustrato de conductividad  $14.79 \cdot 10^6 \text{ S/m}$  y polarizados con 1 V de tensión para ver el campo que generan. La Figura 4.18 muestra la magnitud del campo eléctrico conforme nos alejamos del centro del disco para una profundidad de sustrato dada de  $80 \mu\text{m}$ . La región sombreada indica la magnitud de campo que queda fuera del área bajo el disco. Como ya dijimos, la contribución de esta parte del campo sobre el total es más importante para discos pequeños que para grandes, como se puede ver en la figura para el caso de discos de  $25$  y  $250 \mu\text{m}$ .



**Figura 4.18 Campo eléctrico generado bajo discos metálicos de distintos tamaños a una profundidad de sustrato determinada.**

Por tanto el problema queda reducido a un disco metálico plano, de radio  $a$ , colocado encima de un sustrato de grosor  $t_{SUB}$  conectado a tierra. El disco está polarizado con una tensión  $V$ , y el sustrato se considera longitudinal y transversalmente infinito para simplificar el problema.



**Figura 4.19 Método de las imágenes para el cálculo de la capacidad del sustrato.**

Si empleamos el método de las imágenes [LorCo86] nuestro sistema queda reducido a lo que vemos en la Figura 4.19: dos discos planos separados por una distancia de  $2 \cdot t_{SUB}$  y con cargas iguales pero de sentido contrario. Para aplicar el método de una forma rigurosa, ambos discos deberían estar rodeados por aire. Sin embargo, cuando trabajamos con inductores en RF la mayoría del campo eléctrico queda confinado dentro del sustrato. Por lo tanto podemos asumir que el error que se producirá será despreciable si consideramos que todo el espacio que envuelve a los discos es semiconductor. Asumiremos también que la densidad de carga en los discos,  $\sigma$ , es constante. Por tanto el campo eléctrico en el centro del disco en la dirección vertical conforme penetrarmos en el sustrato vendrá dado por la expresión (4.22):

$$E \approx \frac{\sigma}{2 \cdot \epsilon_{SUB}} \cdot \left[ 2 - \frac{z}{\sqrt{z^2 + a^2}} - \frac{2 \cdot t_{SUB} - z}{\sqrt{(2 \cdot t_{SUB} - z)^2 + a^2}} \right] \quad (4.22)$$

donde  $E$  es el campo eléctrico,  $z$  es la profundidad del sustrato desde el centro del disco superior (ver Figura 4.19), y  $\sigma$  es la densidad de carga absoluta de los discos.

Integrando el campo eléctrico a lo largo de  $z$  se calcula la diferencia de potencial que se genera en el sustrato:

$$V \cong \int_0^{t_{SUB}} E \cdot dz = \frac{\sigma}{2 \cdot \epsilon_{SUB}} \cdot \left[ 2 \cdot t_{SUB} + a - \sqrt{4 \cdot t_{SUB}^2 + a^2} \right] \quad (4.23)$$

Por tanto la capacidad del sustrato viene dada por (4.24):

$$C_{SUB} = \frac{Q}{V} \approx \frac{\sigma \cdot \pi \cdot a^2}{V} \quad (4.24)$$

$$C_{SUB} \approx \frac{2 \cdot \varepsilon_{SUB} \cdot \pi \cdot a^2}{2 \cdot t_{SUB} + a - \sqrt{4 \cdot t_{SUB}^2 + a^2}}$$

Finalmente, sustituiremos el área del disco,  $\pi \cdot a^2$ , por el área real del inductor, que viene dada por  $w \cdot l$ :

$$C_{SUB} \approx \frac{2 \cdot \varepsilon_{SUB} \cdot w \cdot l}{2 \cdot t_{SUB} + \sqrt{\frac{w \cdot l}{\pi}} - \sqrt{4 \cdot t_{SUB}^2 + \frac{w \cdot l}{\pi}}} \quad (4.25)$$

donde se ha incluido la expresión apropiada para el radio del disco  $a = \sqrt{w \cdot l / \pi}$ .

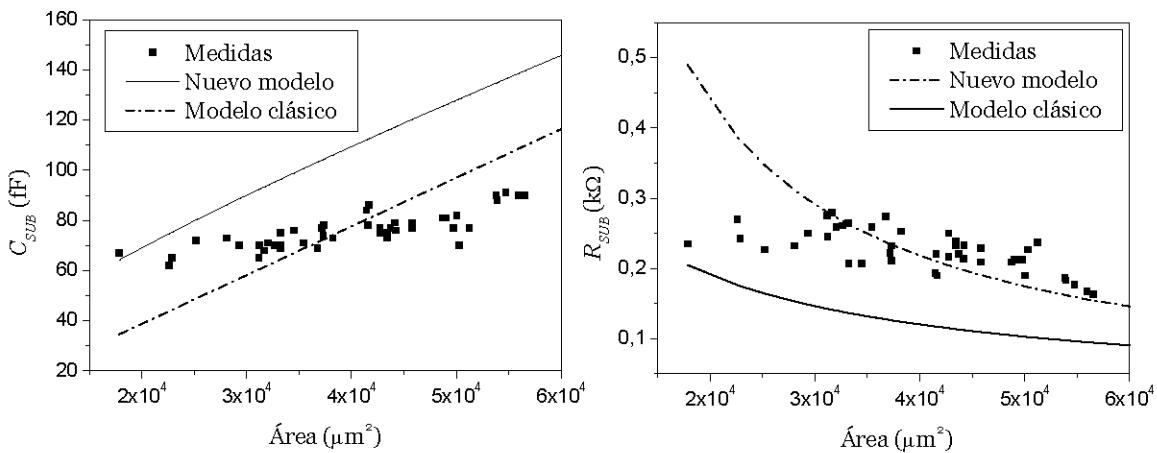
Una vez calculada  $C_{SUB}$  y teniendo en cuenta de nuevo que la mayor parte del campo  $E$  está confinado dentro del sustrato, podemos hallar  $R_{SUB}$  de una manera sencilla mediante la constante de relajación del medio,  $\tau = \rho_{SUB} \cdot \varepsilon_{SUB}$  [Fogie90]:

$$R_{SUB} = \frac{\tau}{C_{SUB}} \quad (4.26)$$

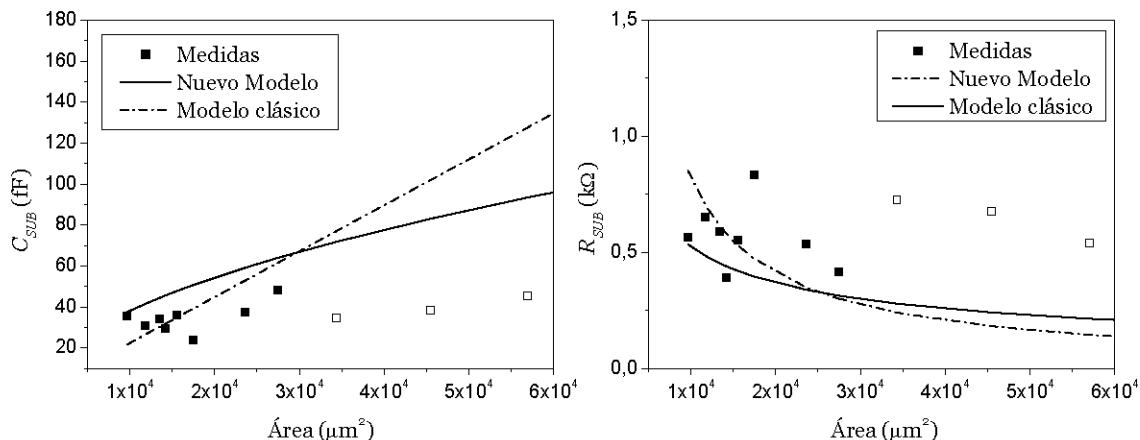
Para verificar el funcionamiento del nuevo modelo, realizamos de nuevo las comparaciones que vimos con el modelo clásico. Las Figuras 4.20 y 4.21 muestran los valores de  $C_{SUB}$  y  $R_{SUB}$  extraídos de las medidas (cuadrados) y los obtenidos con las nuevas expresiones (4.25) y (4.26) (línea continua) para bobinas en los sustratos A y B (ver Tabla 4.4). Hemos añadido también el resultado del modelo clásico que mejor funcionaba hasta ahora, que incluía parámetros de ajuste ( $C_{SUB0}$  y  $G_{SUB0}$ ) y que ya vimos en las Figuras 4.12 y 4.13.

Con respecto a las bobinas de la tecnología de  $0.8 \mu\text{m}$ , la Figura 4.20 muestra que el modelo funciona mejor para bobinas pequeñas, ya que para bobinas grandes el error crece considerablemente, sobre todo en la capacidad. Algo parecido sucede para las bobinas del sustrato más grueso, las de  $0.35 \mu\text{m}$ , aunque esta vez las diferencias entre ambos modelos son menos importantes. Esto es debido en parte a uno de los supuestos de los que partimos al hacer el análisis previo. Como dijimos, el modelo no es fiable para áreas mayores de  $4.5 \cdot 10^4 \mu\text{m}^2$ , ya que a partir de ese rango las medidas de los inductores y las simulaciones de los discos metálicos comienzan a diferir (ver Figura 4.16). Esto sin embargo no representa un problema importante, ya que hoy en día el diseñador de circuitos de RF (como LNAs, VCOs, mezcladores o amplificadores distribuidos) evita utilizar bobinas con área mayor que  $4 \cdot 10^4 \mu\text{m}^2$ , ya que aumentarían mucho el coste final del producto.

Por tanto podemos decir que el nuevo modelo mejora ligeramente el anterior para el rango de bobinas que se utilizan hoy en día, y además lo hace sin utilizar ninguna constante empírica de ajuste, cumpliendo así el objetivo planteado en un principio.



**Figura 4.20**  $C_{SUB}$  y  $R_{SUB}$  para las bobinas del sustrato A (Tabla 4.4). El modelo clásico es el dado por (4.18) y (4.19), con  $C_{SUB0}=3.88 \cdot 10^{-3}$  fF/ $\mu\text{m}^2$  y  $G_{SUB0}=2.29 \cdot 10^{-7}$  S/ $\mu\text{m}^2$ .



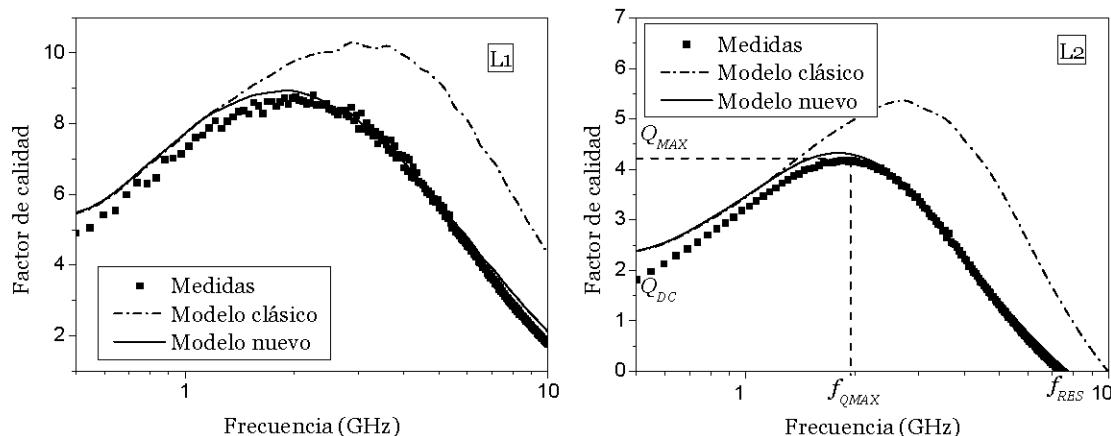
**Figura 4.21**  $C_{SUB}$  y  $R_{SUB}$  para las bobinas del sustrato B (Tabla 4.4). El modelo clásico es el dado por (4.18) y (4.19), con  $C_{SUB0}=4.48 \cdot 10^{-3}$  fF/ $\mu\text{m}^2$  y  $G_{SUB0}=2.43 \cdot 10^{-7}$  S/ $\mu\text{m}^2$ .

Ahora veremos la influencia del nuevo modelo en el funcionamiento global de la bobina. Las Figuras 4.22 y 4.23 muestran el factor de calidad medido y modelado de cuatro inductores diferentes. La primera corresponde a inductores fabricados en la tecnología de 0.8  $\mu\text{m}$ , y la segunda a la de 0.35  $\mu\text{m}$ . La Tabla 4.5 recoge sus parámetros geométricos. Las curvas modeladas del factor de calidad se han calculado a partir de los valores paramétricos de los elementos del circuito equivalente, que se han ido explicando a lo largo de este capítulo. La única diferencia entre los dos modelos es la manera de calcular  $C_{SUB}$  y  $R_{SUB}$ , el resto de los elementos son exactamente iguales para ambos. Como vimos en el apartado 4.2.2, en las bobinas con pista ancha se sigue cometiendo un error al modelar la resistencia serie. Por lo tanto para esta parte utilizaremos bobinas de pista estrecha, que garantizan que  $R_s$  está parametrizada correctamente.

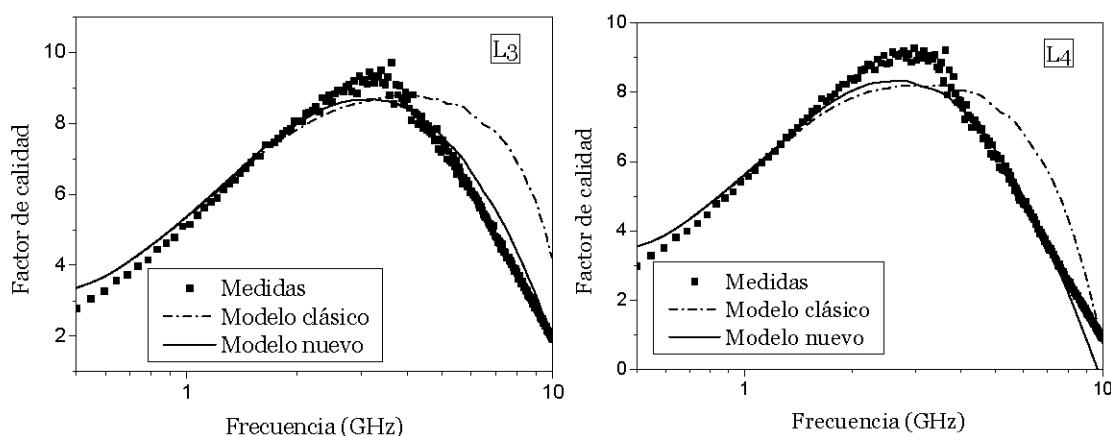
**Tabla 4.5 Parámetros geométricos de las bobinas de las Figuras 4.22 y 4.23**

Inductor	Tecnología	$r_{EXT}$ ( $\mu\text{m}$ )	w ( $\mu\text{m}$ )	n	L(nH)
L1	A	90	8	5.5	1.2
L2	A	144	26	1.5	4.6
L3	B	90	6	4.5	3.2
L4	B	100	6	4.5	4.3

Aunque el nuevo modelo se acerca más al factor de calidad medido para las bobinas de ambos sustratos, vemos que la diferencia entre ambos modelos es menos significativa para las bobinas del grupo B. Esto ya lo habíamos comentado cuando vimos las Figuras 4.12 y 4.13. Como ya explicamos, se debe a que para esta tecnología los parámetros de ajuste  $C_{SUBO}$  y  $G_{SUBO}$  fueron calculados a partir de 10 bobinas con áreas similares.



**Figura 4.22 Influencia del nuevo modelo en el factor de calidad para bobinas fabricadas en la tecnología de 0.8  $\mu\text{m}$ .**

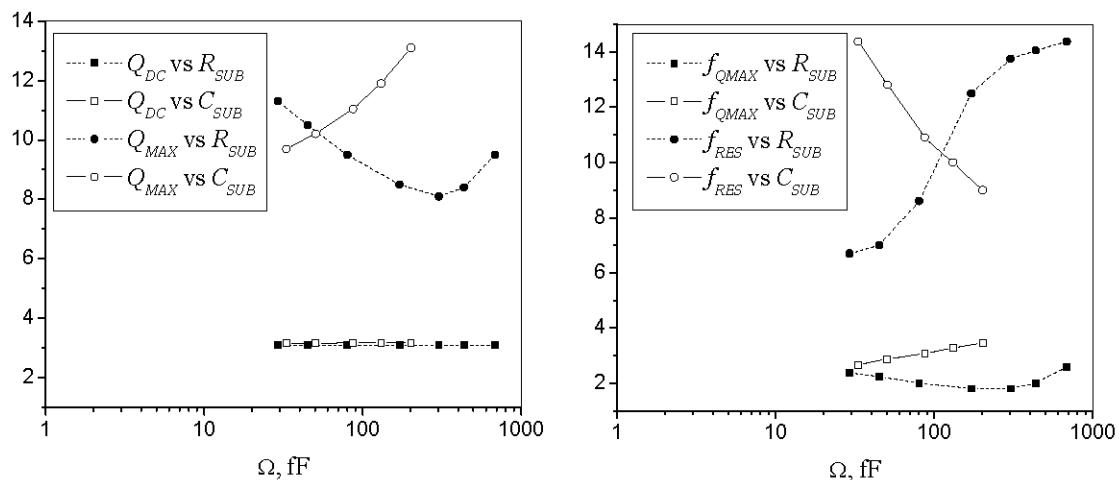


**Figura 4.23 Influencia del nuevo modelo en el factor de calidad para bobinas fabricadas en la tecnología de 0.35  $\mu\text{m}$ .**

Como ya hicimos en el capítulo 2 al describir la caracterización de los inductores, estudiaremos ahora la influencia del nuevo modelo en los cuatro parámetros con los que podemos determinar una curva Q. Están dibujados en la Figura 4.22, y son los siguientes:

- el valor de  $Q$  a frecuencias bajas (0.5 GHz) ( $Q_{DC}$ ),
- el valor de pico de  $Q$  ( $Q_{MAX}$ ),
- la frecuencia a la cual se obtiene  $Q_{MAX}$  ( $f_{QMAX}$ ),
- y la frecuencia de resonancia ( $f_{RES}$ ).

En la Figura 4.24 podemos ver el peso de  $C_{SUB}$  y  $R_{SUB}$  en cada uno de estos cuatro parámetros clave. Como cabía esperar las pérdidas del sustrato no influyen en el valor de  $Q_{DC}$ , ya que éste depende de la inductancia y resistencia en serie de la rama principal (ver Figura 2.30). Sin embargo su importancia crece conforme aumenta la frecuencia:  $f_{QMAX}$  y sobre todo  $Q_{MAX}$  dependen de  $C_{SUB}$  y  $R_{SUB}$ , aunque la rama principal sigue influyendo en sus valores, y por último  $f_{RES}$  depende únicamente de las pérdidas del sustrato [LeShDo05].

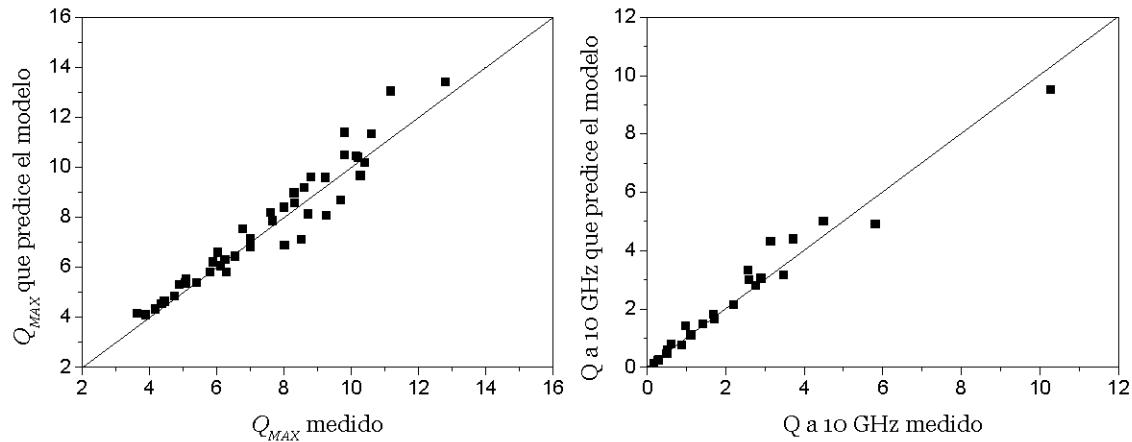


**Figura 4.24 Influencia de  $C_{SUB}$  y  $R_{SUB}$  sobre los parámetros que definen el factor de calidad para una bobina de  $n=3.5 \mu\text{m}$ ,  $r_{EXT}=130 \mu\text{m}$  y  $w=18 \mu\text{m}$  fabricada en una tecnología de  $0.35 \mu\text{m}$ . Las frecuencias están medidas en GHz.**

La Figura 4.25 muestra la comparación de los valores de  $Q_{MAX}$  y  $Q$  a 10 GHz medidos y estimados por el modelo. Los otros dos parámetros,  $Q_{DC}$  y  $f_{QMAX}$ , no se han incluido porque no dependen tanto de las pérdidas del sustrato como acabamos de ver. En la figura se recogen medidas de cuarenta inductores fabricados en la tecnología de  $0.8 \mu\text{m}$  y siete en  $0.35 \mu\text{m}$ . Una buena parte de los inductores presentaban frecuencias de resonancia más altas de 10 GHz, que es la máxima frecuencia que medimos con nuestro VNA. Es por esto que en lugar de utilizar  $f_{RES}$  como parámetro significativo utilizamos el valor del factor de calidad en 10 GHz, que nos da una medida aproximada.

Como vemos, el modelo estima muy bien los factores que definen el factor de calidad. Introduce un error relativo máximo del 6% en el caso de  $Q_{MAX}$  y alrededor del 12% para  $Q_{10GHz}$ .

Podemos concluir que la nueva caracterización del sustrato mejora los resultados anteriores sin incluir constantes de ajuste. Por lo tanto disponemos de un modelo paramétrico escalable que estima correctamente el funcionamiento de la bobina sin necesidad de fabricación ni simulación previa [GoPiGo7a].



**Figura 4.25 Comparación de los valores de  $Q_{MAX}$  y  $Q$  a 10 GHz medidos y estimados por el nuevo modelo.**

## 4.4 Valoración del modelo

A continuación resumimos aquí el análisis hecho en este capítulo para cada elemento, valorando la bondad del modelo utilizado y las posibles líneas de mejora:

- Asumimos que  $L_s$  se modela correctamente con (4.11), puesto que los resultados en la inductancia presentan un error relativo bajo. Además, como se ha dicho antes, es la expresión comúnmente utilizada por la mayor parte de los autores.
- Se ha utilizado un modelo para  $R_s$  que no tiene en cuenta los efectos de las corrientes de torbellino ni en el sustrato, puesto que es de resistividad alta, ni en las pistas, ya que las bobinas están diseñadas para tener factor de calidad alto (agujero central grande). Sí se tiene en cuenta el efecto pelicular, que tiene relevancia en las bobinas de pistas anchas. Para las que tienen pistas estrechas se puede utilizar el valor de la resistencia en continua, ya que el efecto pelicular apenas hace aumentar la resistencia. Como hemos visto, no es fácil obtener expresiones en función de la frecuencia que modelen correctamente las pérdidas resistivas en el metal. Nosotros hemos utilizado una expresión que incluye una profundidad de penetración bidimensional con

un factor empírico. Aunque los resultados no son óptimos, hemos visto que las bobinas de pista ancha son adecuadas para aplicaciones en baja frecuencia, para las que la resistencia todavía no ha aumentado mucho por el efecto pelicular. Por lo tanto podremos utilizar la resistencia  $R_{DC}$  en el modelo empírico, tal y como hacemos para las bobinas de pista estrecha.

- En cuanto a  $C_P$ , hemos visto que es difícil determinar si (4.15) la estima adecuadamente. Sin embargo se ha deducido de los resultados que la expresión paramétrica podría estar subestimando el valor de la capacidad. En cualquier caso seguiremos utilizándola, puesto que  $C_P$  es el elemento que menos influencia tiene en el funcionamiento global de la bobina.
- Para  $C_{OX}$  hemos utilizado la expresión sencilla del capacitor plano-paralelo que utilizan la mayor parte de los autores, y que avalan estudios anteriores [Pinoo2].
- Por último, el modelado de las pérdidas eléctricas en el sustrato ( $R_{SUB}$  y  $C_{SUB}$ ) es la principal aportación del capítulo [GoPiGo7a]. Hemos visto que el nuevo modelo mejora sustancialmente los resultados anteriores y evita el uso de parámetros de ajuste.

En el Anexo C están recogidos los resultados de la comparación de los datos medidos y estimados con el modelo paramétrico para las 10 bobinas fabricadas en la tecnología SiGe 0.35  $\mu\text{m}$ . En general podemos concluir que el modelo es válido para desarrollar una herramienta de selección de inductores óptimos como veremos en el siguiente capítulo. Los mayores errores que se cometen se dan en inductores con pistas anchas centrados en frecuencias altas, y como hemos visto, son debidos al modelado de la resistencia  $R_S$  a esas frecuencias. Por tanto queda pendiente seguir con su estudio en profundidad, de manera que se deduzcan expresiones acertadas sin factores empíricos y así se pueda mejorar dicha herramienta.



# Capítulo 5 Nuevo método para construir una librería de inductores

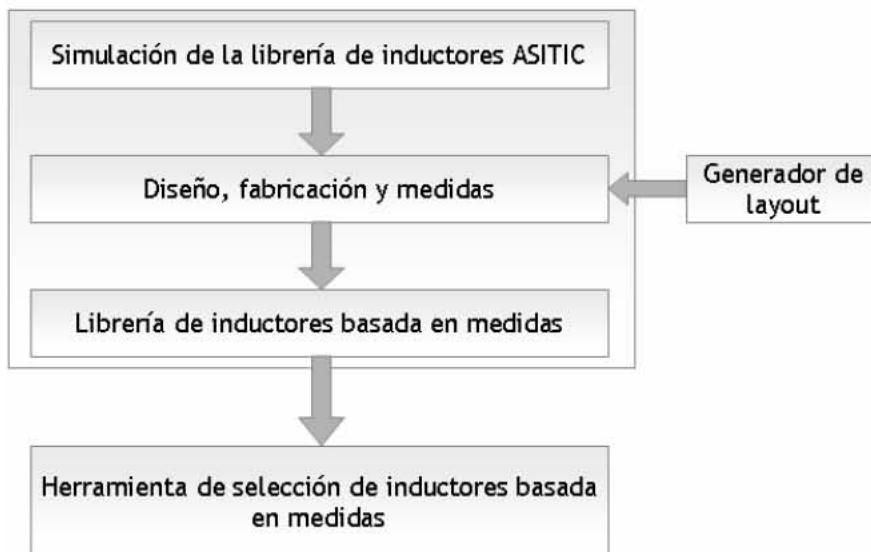
## 5.1 Introducción

Como se explicó en el Capítulo 1, es difícil conseguir bobinas integradas en silicio de factor de calidad alto debido a las numerosas pérdidas que aparecen en el sustrato. Vimos en el Capítulo 3 al hablar de la tecnología que los fabricantes generalmente ofrecen un número de inductores con unas características determinadas. Pero muchas veces sus prestaciones no son las idóneas para una aplicación concreta debido a que la bobina no está optimizada para la frecuencia de trabajo que necesitamos, o bien no alcanza el factor de calidad preciso. Por ejemplo en el caso de la tecnología que nos ocupa, SiGe 0.35  $\mu\text{m}$  de AMS, los inductores que ofrece son todos cuadrados y, como vimos, esa no es la geometría adecuada para optimizar el factor de calidad.

Por lo tanto, es conveniente que el diseñador de circuitos RF cuente con un conjunto de bobinas optimizadas para los distintos valores de inductancia y las diferentes frecuencias de trabajo. En este capítulo repasaremos el método tradicional para generar tal librería de bobinas y presentaremos una nueva aportación de este trabajo: la forma de hacerlo basada en el nuevo modelo paramétrico (Capítulo 4).

## 5.2 Método clásico

La Figura 5.1 muestra el flujo de diseño de uno de los métodos típicos para generar una librería de inductores.



**Figura 5.1 Flujo de diseño de un método tradicional para generar una librería de inductores.**

Como vemos, se parte de la simulación de muchas bobinas con un simulador rápido como por ejemplo ASITIC [NikMe98]. El tiempo de simulación de este tipo de herramientas es mínimo si lo comparamos con un simulador electromagnético, pero no ofrece como solución el funcionamiento en frecuencia del inductor, sino sus prestaciones para una determinada frecuencia [RobLuo01]. Lo utilizaremos para seleccionar el grupo de bobinas que formarán parte de la librería aun sin conocer de manera precisa las prestaciones de las mismas.

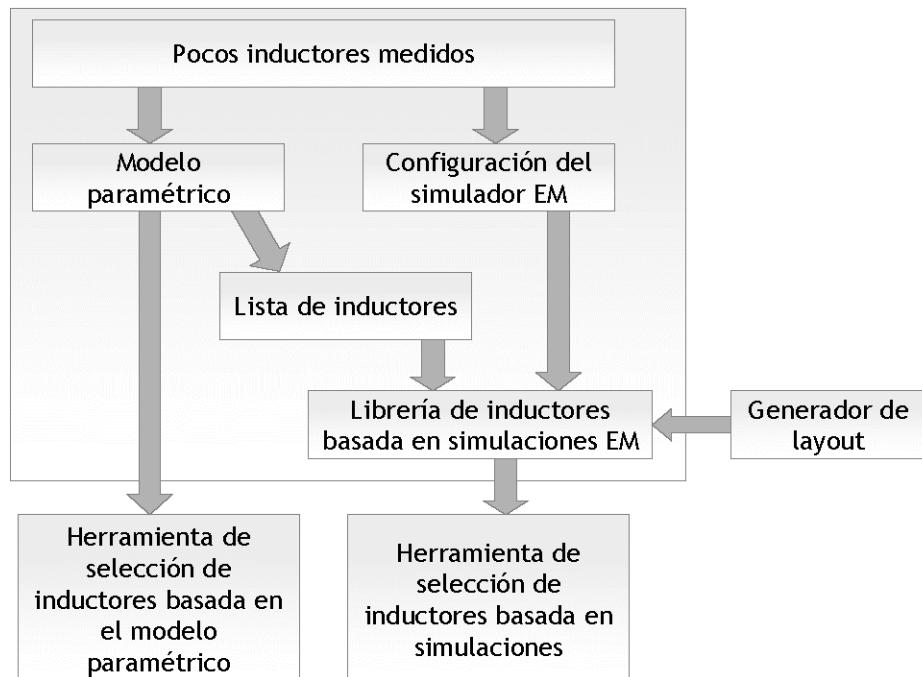
A continuación se debe trazar los *layouts*, para lo que se puede utilizar, si está disponible, un generador automático [PiSeHo02] que facilite la tarea, fabricar, y medir cada bobina de las seleccionadas. Toda la información obtenida se puede organizar creando una base de datos y una herramienta que seleccione la bobina más apropiada para unos parámetros de entrada introducidos por el diseñador.

Este es, sin duda, un método muy robusto y fiable, ya que está basado en las medidas realizadas, y el diseñador de RF sabe de antemano las prestaciones exactas del inductor que ha seleccionado para su circuito. En trabajos anteriores se ha utilizado para generar librerías en otras tecnologías [Pinoo02]. Sin embargo es un método que requiere una gran cantidad de tiempo y consume muchos recursos económicos, ya que se debe fabricar muchas bobinas para que la librería sea amplia y variada. Por otro lado, puede ser que la bobina óptima para una aplicación concreta no se encuentre entre las fabricadas. Es decir, el método no asegura la mejor bobina para un diseño particular, si no la más adecuada de entre las que constituyen la librería.

Por tanto, se justifica la búsqueda de un método alternativo que supere estos inconvenientes y que garantice la bobina óptima para una inductancia y frecuencia dadas de una forma rápida y barata.

### 5.3 Método alternativo

La Figura 5.2 muestra un diagrama de bloques del nuevo método introducido. Este método se sustenta en unos pocos inductores medidos, lo cual reduce tanto el coste de tiempo como de dinero. Con dichas medidas será posible ajustar diversos parámetros en el simulador EM Momentum para que sea más preciso, que es lo que ya se hizo en el Capítulo 3.



**Figura 5.2 Nuevo método seguido para la obtención de la librería de inductores.**

Al mismo tiempo, utilizaremos el modelo paramétrico presentado en el capítulo anterior para generar un algoritmo que permita definir la geometría de los inductores con mejores prestaciones para diferentes frecuencias e inductancias. Si el modelo se considera lo suficientemente fiable, con él ya se podría desarrollar una herramienta de selección de inductores. Si, por el contrario, las simulaciones EM se consideran más fiables, una vez generada la lista de inductores, la simularemos con Momentum para corroborar los resultados estimados. Así podremos compensar posibles errores cometidos por la estimación paramétrica, ya que el modelo no se ha testado con todas las geometrías posibles. Esto es lo que hicimos en trabajos anteriores con otras tecnologías [MePiGo5]: todavía no contábamos con el nuevo modelo paramétrico, y el antiguo resultaba menos fiable que las simulaciones de Momentum.

Como se ha visto en el Capítulo 4, la nueva caracterización del sustrato mejora la estimación del modelo paramétrico. Predice correctamente el funcionamiento de los inductores, aunque comete cierto error en el caso de las bobinas de pistas anchas. Vimos que a pesar de esto la curva modelada tiene la misma forma que la medida, y la frecuencia a la que se da el pico máximo de Q se estima correctamente. Además la predicción de Q es

para estos casos más pesimista que la medida, por lo que el diseñador se encontrará con una bobina de más calidad que la esperada en el peor de los casos. Se vio también que el modelo no funciona para bobinas con marcado efecto *eddy* en las pistas interiores, es decir, inductores con agujero central pequeño. En cualquier caso, si este efecto estuviera correctamente modelado, estas bobinas raramente serían elegidas por el algoritmo de selección de inductores óptimos debido a que las corrientes de torbellino provocan una disminución importante del factor de calidad. Como los inductores cuyas prestaciones están determinadas por el efecto *eddy* no están bien modelados, podría pasar que la herramienta proporcionara un inductor con vueltas hasta el centro erróneamente. Para evitarlo, se ha incluido en el algoritmo una condición limitadora que excluye inductores de este tipo. Se trata de no permitir que la herramienta proporcione bobinas con una relación entre radio externo e interno mayor de un determinado valor, que fijaremos en 3 basándonos en trabajos anteriores [CeSaMo4]. De esta forma garantizaremos un hueco lo suficientemente amplio para que no aparezca efecto *eddy* muy marcado en las pistas interiores del inductor.

Todo esto conduce a pensar que se puede confiar en el modelo paramétrico desarrollado, y por tanto se puede generar una herramienta de selección de inductores basada en él, como muestra el diagrama de la Figura 5.2.

A continuación se explican en detalle los distintos algoritmos que se han generado a partir del modelo paramétrico para buscar las bobinas de mejores prestaciones, generar las librerías de inductores, y visualizar los resultados. Todos ellos se han implementado en MATLAB.

### 5.3.1 Algoritmo para diseñar inductancias con alto factor de calidad

Una vez desarrollado el modelo paramétrico se implementa en una función que llamaremos “*Representa\_inductor*” cuyas entradas son los parámetros tecnológicos y geométricos del inductor (radio exterior, número de vueltas, ancho y separación de pistas) y la frecuencia de operación a la que se desea conocer la inductancia y el factor de calidad. Como salidas tendremos la inductancia y el factor de calidad en función de la frecuencia. A partir de esta función se ha diseñado un programa que llamaremos “*Buscador\_maximo\_Q*” que genera el listado de bobinas que formarán la librería.

Se trata de determinar la geometría de la bobina que maximiza el factor de calidad para una inductancia y frecuencia determinada. Para ello, una vez fijados estos valores, se realiza un barrido por los distintos parámetros geométricos en busca del inductor que arroje el mayor factor de calidad en la frecuencia fijada con la inductancia deseada. Dicho algoritmo consta de los siguientes pasos:

1. El usuario determina los valores de inductancia y de frecuencia a la que se desea obtener el máximo valor de  $Q$ . Además se debe indicar la tolerancia permitida en el cálculo del valor inductivo.
2. Una vez fijados los anteriores valores, se realiza una búsqueda por todas las combinaciones de anchura de pista ( $w$ ), número de vueltas ( $n$ ) y radio exterior ( $r_{EXT}$ ) que generen la inductancia deseada y un valor superior al mínimo factor de calidad fijado. Los parámetros geométricos se varían entre un valor máximo y un mínimo ya fijados. La separación entre pistas ( $s$ ) se fijará al valor mínimo que permita la tecnología como ya se explicó en el Capítulo 1.
3. Para cada combinación de  $w$ ,  $n$  y  $r_{EXT}$  generada, se almacena en una matriz los valores geométricos y los de  $Q$  y  $L$  obtenidos.
4. Finalmente, se busca en la matriz aquel inductor con máximo factor de calidad para la inductancia dada.

### 5.3.2 Generación de la librería de inductores

A partir del buscador de inductores de máximo  $Q$  del apartado anterior (*Buscador\_maximo\_Q*) ha sido posible generar la lista de bobinas que forman la librería. De esta forma, para las frecuencias de 0.85 GHz, 1.5 GHz, 1.8 GHz, 2.4 GHz y 5.6 GHz, que corresponden con diferentes estándares (ISM, GSM, GPS, Bluetooth, DCS-1800), se ha obtenido los parámetros geométricos de los inductores con máximo factor de calidad con inductancias comprendidas entre los 0.5 nH y 6.5 nH con saltos de 0.5 nH.

Las especificaciones geométricas de los inductores son:

- Radio exterior ( $r$ ): entre 25 y 200  $\mu\text{m}$ .
- Número de vueltas ( $n$ ): entre 1.5 y 10.5 vueltas.
- Espaciado entre pistas ( $s$ ): 2  $\mu\text{m}$ .
- Anchura de pistas ( $w$ ): entre 5 y 30  $\mu\text{m}$ .

En este caso hemos limitado la geometría de las bobinas conforme a criterios empíricos para que, por ejemplo, el algoritmo no devuelva bobinas muy grandes. Estos límites se establecen por el usuario, y podrían ampliarse o limitarse sin ningún problema en el caso de que fuera necesario. Además, como se comentó antes, hay una limitación adicional añadida para que el generador no proporcione inductores con efecto *eddy* importante: la relación entre el radio externo y el interno no debe ser mayor de 3 [CeSaMo4], para así evitar inductores con agujero central pequeño.

Para el cálculo de la inductancia exterior se ha permitido un error máximo de  $\pm 0.2$  nH. En el Anexo D figuran las tablas con los resultados ofrecidos por el programa, mostrándose los parámetros geométricos y el valor del factor de calidad obtenido para

cada inductancia y frecuencia de trabajo. Dada una frecuencia, se puede observar que para inductancias pequeñas las bobinas deben tener pocas vueltas y unas pistas anchas. A medida que se requiere más inductancia, debe aumentar el número de vueltas de las bobinas (aumento de la inductancia mutua entre pistas) y reducir su ancho (mayor área encerrada).

En la Tabla 5.1 aparece un resumen de los parámetros obtenidos para cada rango de bobinas (de 0.5 a 6.5 nH) para cada frecuencia. Como se puede apreciar, a medida que aumenta la frecuencia de trabajo, el radio máximo y la anchura mínima van disminuyendo. Esto es así puesto que, tal y como se explicó en el capítulo 1, al reducir el ancho de las pistas y/o reducir el radio exterior la frecuencia de resonancia aumenta, permitiéndose alcanzar los máximos valores en el factor de calidad en puntos de mayor frecuencia.

**Tabla 5.1 Resumen de parámetros de la librería de inductores**

Frecuencia (GHz)	0.85	1.5	1.8	2.4	5.6
$Q_{\text{Medio}}$	6.5	8.0	8.4	9.0	9.8
$r_{\text{Mín}} (\mu\text{m})$	110	95	90	85	55
$r_{\text{Máx}} (\mu\text{m})$	190	140	125	110	115
$n_{\text{Mín}}$	1.5	1.5	1.5	1.5	2.5
$n_{\text{Máx}}$	4.5	5.5	5.5	5.5	5.5
$w_{\text{Mín}} (\mu\text{m})$	18	10	8	5	5
$w_{\text{Máx}} (\mu\text{m})$	26	19	16	16	9

A la frecuencia mínima para la que se ha generado la librería (0.85 GHz) se observa que los factores de calidad son más bajos que en el resto y las bobinas consumen más superficie. Vimos en el Capítulo 1 que el uso de varios metales en paralelo en la espiral de una bobina suponía un aumento en el factor de calidad en baja frecuencia sin una gran reducción en la inductancia. Teniendo en cuenta esta afirmación, se ha introducido en el modelo paramétrico y en el algoritmo de búsqueda de inductores óptimos la opción de utilizar bobinas formadas por los dos metales superiores de la tecnología dispuestos en paralelo (metal 4 y metal 3 en la Figura 3.1).

Este nuevo algoritmo, llamado “*Buscador\_maximo\_Q\_2M*”, asume las nuevas distancias y parámetros que se emplean. No se ha podido comprobar su eficacia con resultados medidos debido a que las bobinas en las que se basa este trabajo están fabricadas en el metal superior. Si se compara con las simulaciones de Momentum, vemos

que el modelo predice correctamente la inductancia y la frecuencia del factor de calidad máximo, aunque sobreestima  $Q_{MAX}$ . Como vimos en el Capítulo 3, las simulaciones cometen también cierto error con este valor, así que es imposible determinar si el error lo introduce el simulador o el modelo con doble metal en la espiral. Aun así asumiremos que el modelo paramétrico funciona también para bobinas con metales en paralelo. En el Anexo D se encuentra la nueva lista de bobinas para la frecuencia de 0.85 GHz, complementando la librería de inductores final. La Tabla 5.2 muestra un resumen de los parámetros obtenidos para estas bobinas. Se puede apreciar que se obtienen inductores con mayor factor de calidad que en el caso de utilizar exclusivamente el metal superior, y que el radio máximo empleado disminuye ligeramente, lo cual implica ahorro de área. En cualquier caso, para la tecnología que empleamos esta diferencia en el uso de uno o dos metales no es tan apreciable como en otras, ya que el metal 3 es mucho menos grueso y conductor que el metal 4. Otras tecnologías cuentan con un metal 3 con grosor y conductividad similares a la del 4, y por tanto esta opción es mucho más útil que en nuestro caso.

**Tabla 5.2 Resumen de parámetros para el caso de inductores con dos metales en paralelo a 0.85 GHz**

<b>Q<sub>Medio</sub></b>	<b>r<sub>Mín</sub> (μm)</b>	<b>r<sub>Máx</sub> (μm)</b>	<b>n<sub>Mín</sub></b>	<b>n<sub>Máx</sub></b>	<b>w<sub>Mín</sub> (μm)</b>	<b>w<sub>Máx</sub> (μm)</b>
8.9	120	170	1.5	4.5	16	30

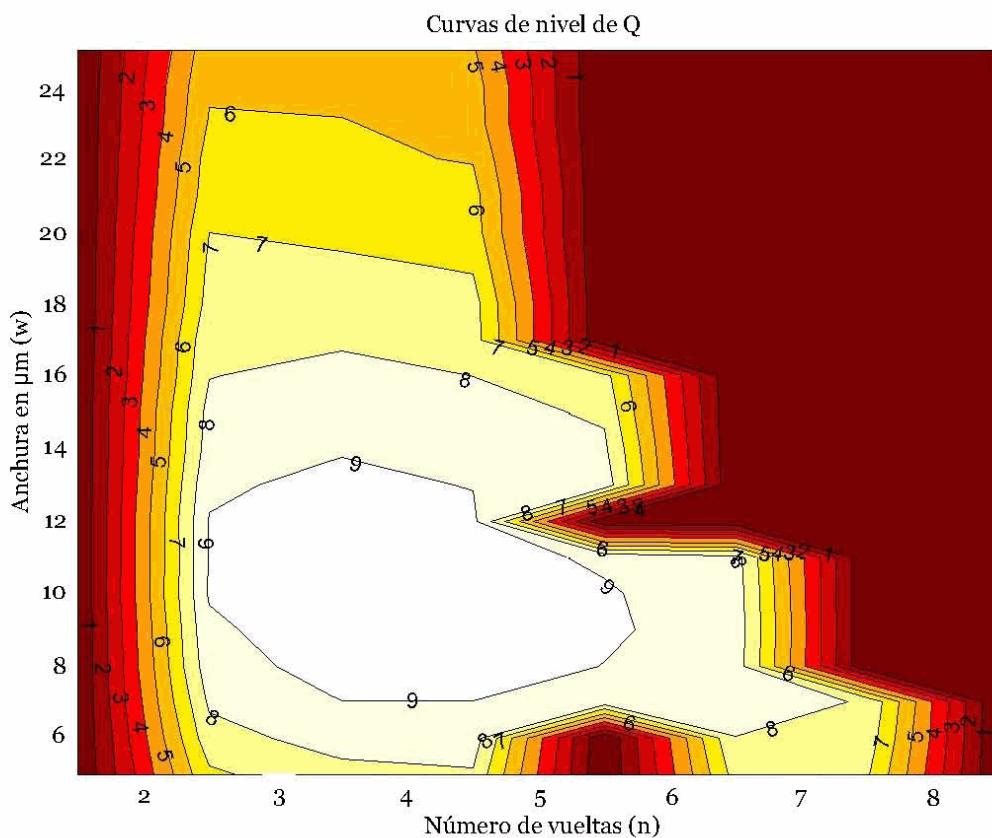
### 5.3.3 Algoritmo de visualización de resultados

Como complemento al algoritmo del buscador de inductancias con máximo  $Q$  (“*Buscador\_maximo\_Q*” y “*Buscador\_maximo\_Q\_2M*”), se ha desarrollado otro programa llamado “*Visualizador\_2D-3D*” que visualice en pantalla gráficos en 2D y 3D del factor de calidad, inductancia y radio en función del número de vueltas y ancho de pista de todas las bobinas obtenidas con un valor inductivo dado a una frecuencia de trabajo concreta. Los parámetros de entrada del mencionado algoritmo son:

- Inductancia deseada.
- Tolerancia en el cálculo del valor inductivo anterior.
- Frecuencia de trabajo.

A partir de todos los parámetros anteriores, se hace un barrido con los posibles valores de  $w$ ,  $n$  y  $r$  entre unos límites fijados. Si una combinación de estos parámetros cumple con los requisitos estipulados, se recogen y almacenan en una serie de variables que posteriormente serán dispuestas gráficamente. Por ejemplo, en la Figura 5.3 se puede ver la representación de las curvas de nivel del factor de calidad de todas las bobinas con una inductancia de 3.5 nH (tolerancia de  $\pm 0.2$  nH) a una frecuencia de 2.4 GHz en función

del ancho de pista ( $w$ ) y el número de vueltas ( $n$ ). Como se observa, en este caso para maximizar el  $Q$  convendría utilizar un ancho de pista de 7 a 12  $\mu\text{m}$  y un número de vueltas entre 3.5 y 5.5.



**Figura 5.3 Curvas de nivel del factor de calidad para todas las bobinas con valor inductivo de 3.5 nH a 2.4 GHz.**

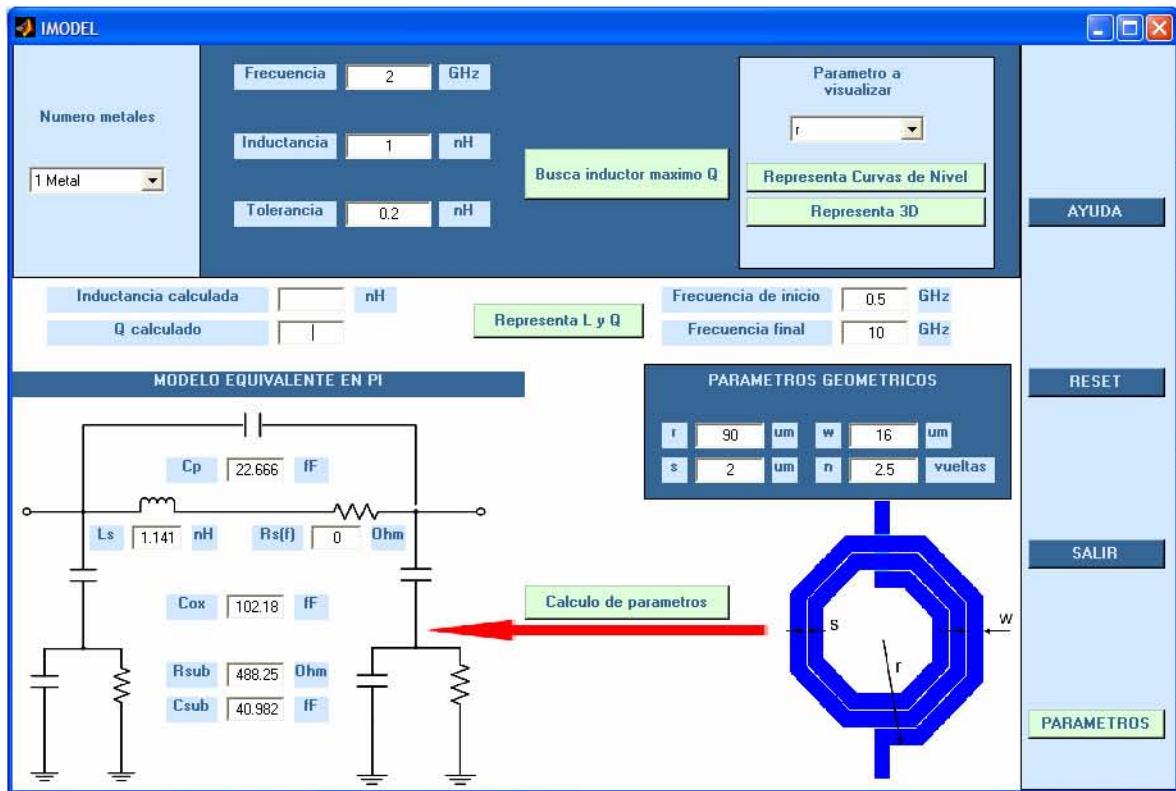
## 5.4 Herramienta desarrollada: I-MODEL

A partir de las funciones descritas en el apartado anterior, y de otras nuevas, se han desarrollado una herramienta de gran utilidad para el diseñador de circuitos RF: el software I-MODEL soportado por MATLAB. Como se verá, es escalable para cualquier tecnología ya que se puede modificar fácilmente el archivo con los datos del proceso tecnológico. Nosotros lo hemos utilizado con varios procesos, aunque todos los ejemplos utilizados aquí corresponden a la tecnología SiGe 0.35  $\mu\text{m}$  de AMS, que es de la que hemos ido hablando a lo largo de todo el trabajo.

El programa generado está basado en el modelo paramétrico desarrollado en el capítulo 4. La pantalla principal de la interfaz gráfica se muestra en la Figura 5.4. A través de la misma, el usuario puede conocer el valor de los elementos del circuito equivalente de un inductor conociendo sus parámetros geométricos. Por otro lado, se puede obtener la

geometría de la bobina con mayor factor de calidad a la frecuencia de operación y con la inductancia deseada. Además de los parámetros de esta bobina, el programa genera un fichero de texto con las características de todas las bobinas que satisfacen los requisitos impuestos.

Con la opción “Número metales” es posible elegir si el modelo paramétrico debe estar basado en inductores fabricados en un solo metal o con dos de ellos en paralelo.

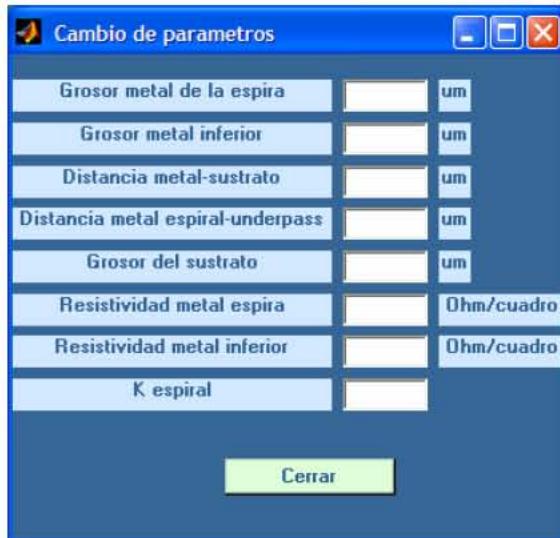


**Figura 5.4 Pantalla principal del programa I-MODEL.**

Este programa es escalable, y permite definir los parámetros tecnológicos sobre los que se plantea el diseño del inductor. Así, a través del botón “Parámetros” se accede a otra pantalla (ver Figura 5.5) donde es posible modificar los parámetros de la tecnología. Dichos parámetros son:

- Grosor del metal superior de la espira.
- Grosor del metal inferior, que puede actuar sólo como *underpass* o estar en paralelo con el metal superior en toda la espira.
- Distancia entre ambos metales.
- Distancia del metal/es de la espira al sustrato semiconductor.
- Grosor del sustrato semiconductor.
- Resistividad del metal superior de la espira.

- Resistividad del metal inferior de la espira.
- Constante empírica del modelo paramétrico  $K_e$  (ver ecuación 4.11).

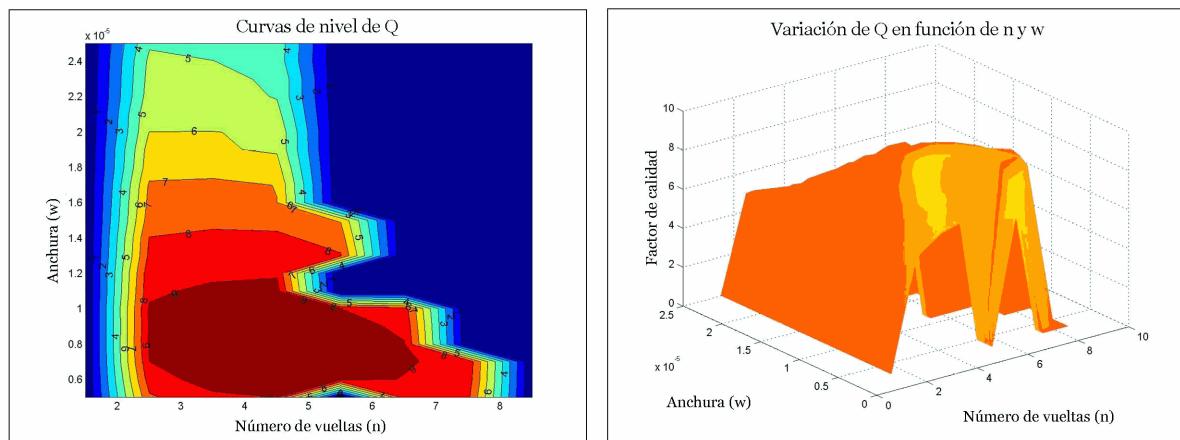


**Figura 5.5** Pantalla que permite cambiar los parámetros de la tecnología y del modelo paramétrico.

I-MODEL permite obtener las curvas de nivel o una visualización en 3D de los parámetros obtenidos a partir de la inductancia y frecuencia introducidos en la interfaz gráfica. Dichos parámetros son:

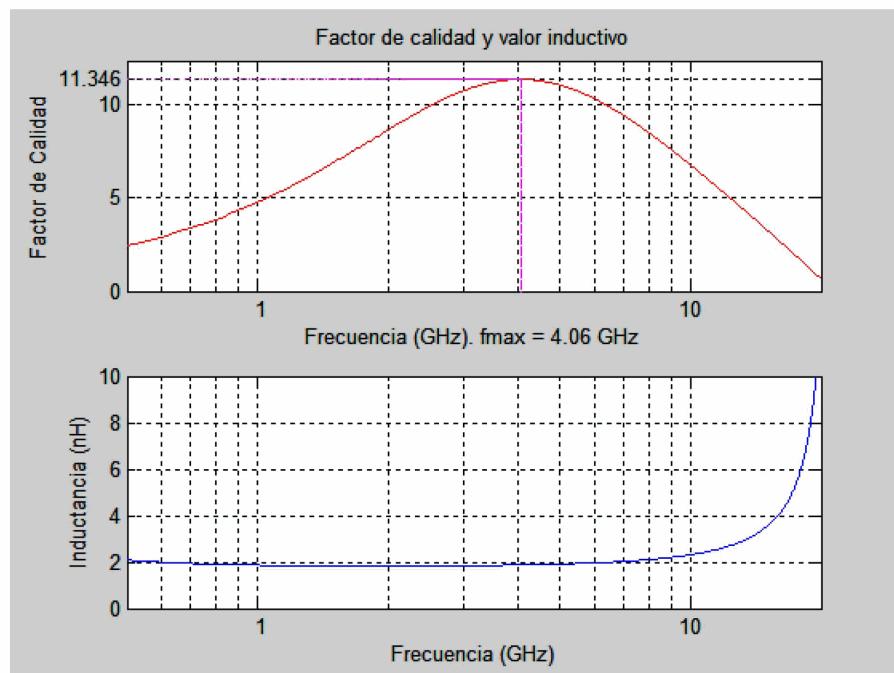
- Factor de calidad  $Q$ , en función del número de vueltas y el ancho de pista.
- Inductancia  $L$ , en función del número de vueltas y el ancho de pista.
- Radio exterior  $r$ , en función del número de vueltas y el ancho de pista.
- Número de vueltas  $n$ , en función del radio exterior y el ancho de pista.
- Ancho de pista  $w$ , en función del número de vueltas y el radio exterior.

En la Figura 5.6 se muestra un ejemplo similar al que ya vimos en la Figura 5.3. Se trata de los gráficos que proporciona la herramienta para el caso de necesitar un inductor de 3 nH para trabajar a una frecuencia de 3 GHz. De la lista de inductores de 3 nH que el programa genera tras realizar el barrido, se pueden obtener, por ejemplo, las curvas de nivel y la representación tridimensional de cómo varía el factor de calidad en función del número de vueltas y el ancho de pista.



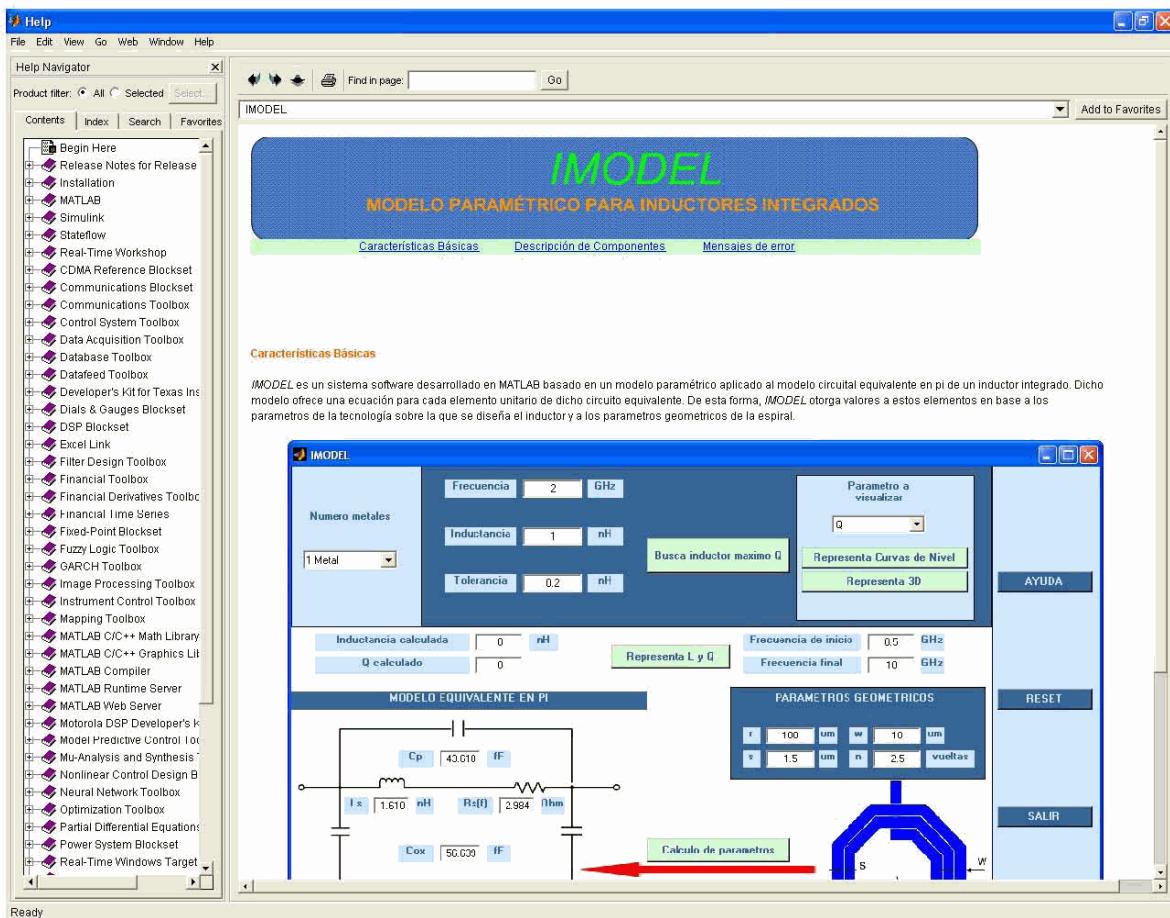
**Figura 5.6 Ejemplos de los gráficos 2D y 3D que se pueden obtener con la herramienta I-MODEL.**

Se puede obtener también una representación gráfica del factor de calidad y de la inductancia de la bobina cuyos parámetros estén especificados en la interfaz. La representación se hace en función de la frecuencia mínima y máxima dada por el usuario. En dicha gráfica se indica el valor máximo del factor de calidad y la frecuencia a la que se alcanza. Estos valores, junto con los obtenidos a la frecuencia deseada, son mostrados a través del cuadro de comandos de MATLAB. En la Figura 5.7 se muestra el ejemplo para un inductor de  $r=100 \mu\text{m}$ ,  $n=2.5$  vueltas,  $w=10 \mu\text{m}$  y  $s=2 \mu\text{m}$  en el barrido de frecuencias comprendido entre 0.5 y 20 GHz.



**Figura 5.7 Gráfica ejemplo del factor de calidad e inductancia de una bobina para el barrido de frecuencias de 0.5 a 20 GHz.**

Por último, utilizando el botón de “Ayuda” de la interfaz se puede acceder a una guía básica sobre el funcionamiento del programa. Esta ayuda ha sido realizada en código html y se integra dentro de la interfaz propia del programa MATLAB. Con esta guía se puede navegar a través de las distintas pantallas conociendo el uso de cada uno de los componentes del programa, así como los posibles mensajes de error que puedan surgir. En la Figura 5.8 se muestra la pantalla principal de esta ayuda.



**Figura 5.8 Pantalla principal de ayuda del programa I-MODEL.**

Hemos visto en este capítulo un nuevo método para obtener librerías de inductores óptimos a partir del modelo paramétrico que se vio en el capítulo anterior. Además se han desarrollado una serie de herramientas de gran utilidad para el diseñador de circuitos para RF, que puede obtener rápidamente el inductor óptimo para una aplicación concreta, así como su modelo equivalente. Esto simplifica su trabajo, ya que con herramientas como I-MODEL evita una serie de pasos que debía dar previamente, como la fabricación y medida de muchos inductores o su simulación para conocer su funcionamiento y así poder elegir el más adecuado para un determinado circuito.

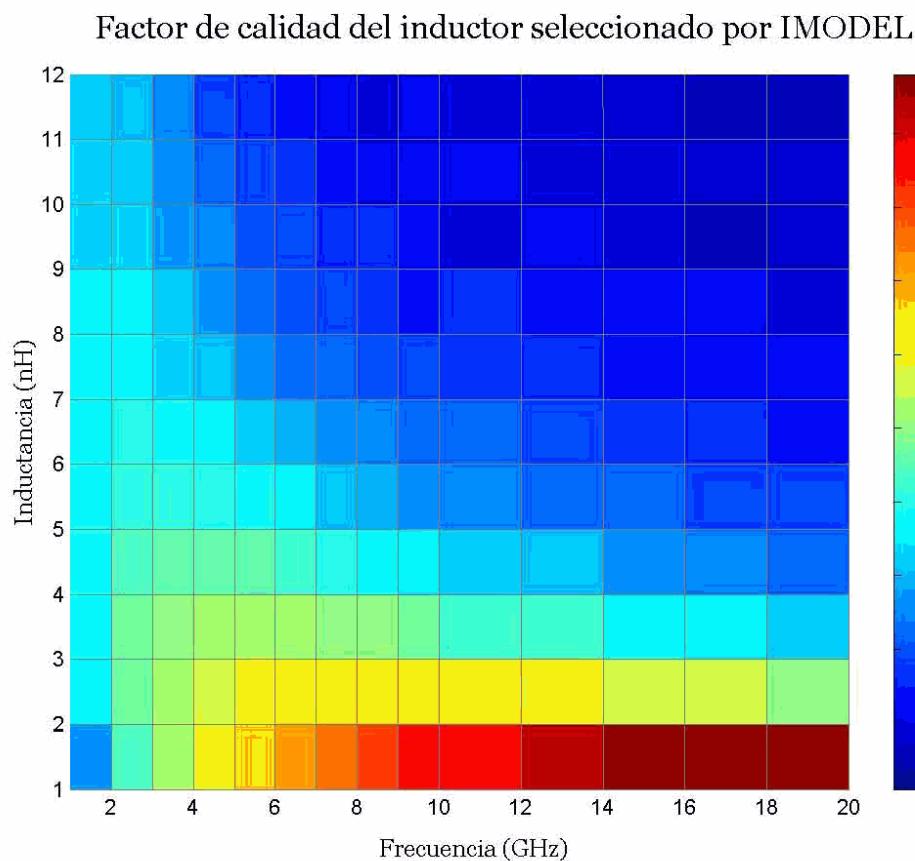
# **Capítulo 6    Nuevas estructuras inductivas**

## **6.1    Introducción**

Hemos visto en el Capítulo 5 que con la tecnología disponible (SiGe 0.35  $\mu\text{m}$  de AMS) se pueden diseñar inductores estándar con buenos factores de calidad. Para ello, desarrollamos una herramienta denominada I-MODEL que, entre otras funciones, busca el inductor más adecuado para un valor inductivo y una frecuencia de trabajo dados. Sin embargo, conforme vamos aumentando los requerimientos en cuanto a frecuencia e inductancia, el factor de calidad del inductor óptimo que devuelve la herramienta disminuye considerablemente. Esto se refleja en el mapa de color de la Figura 6.1, que muestra que a partir de 6 nH es difícil conseguir bobinas con factor de calidad superior a 4 a frecuencias de trabajo mayores de 6 GHz.

Por contra, para algunas aplicaciones recientes es más importante reducir el área del inductor aunque sea a costa de disminuir el factor de calidad [NyThMo2] [OhLeeo4][DiLaBo4][SaIoVo5][Leeo6][LoPlRo6].

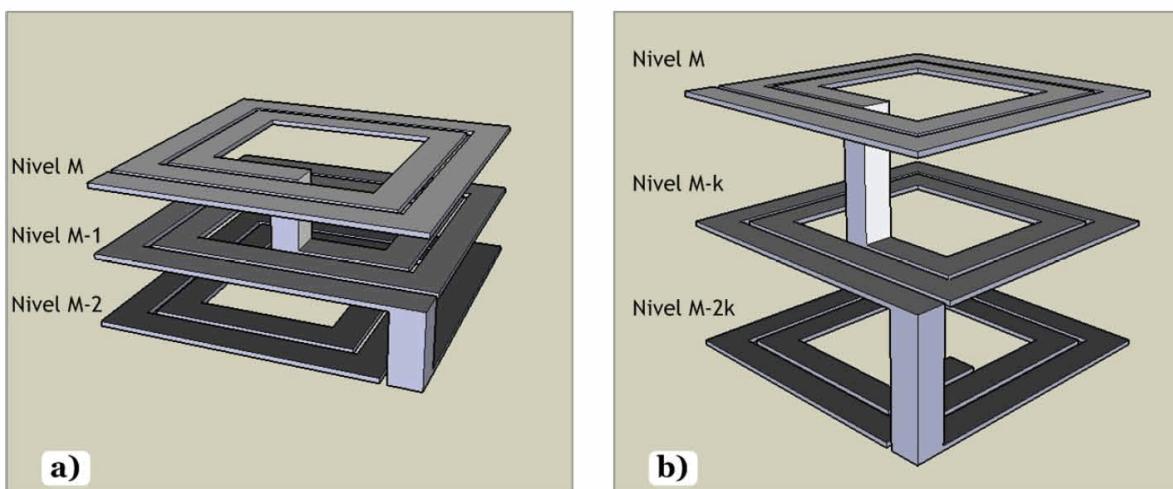
Todo esto conduce a que una de las líneas de investigación más importantes en el diseño de inductores sea la búsqueda de nuevas topologías que den solución a estos problemas [ZoChRo1][TaWuLo2][AgMeBo2][WanLi06]. En este capítulo analizaremos algunas estructuras propuestas en la literatura, realizadas en el contexto del presente trabajo de investigación.



**Figura 6.1 Representación del factor de calidad del inductor óptimo a medida que varía la inductancia y la frecuencia de trabajo requeridas.**

## 6.2 Inductores apilados

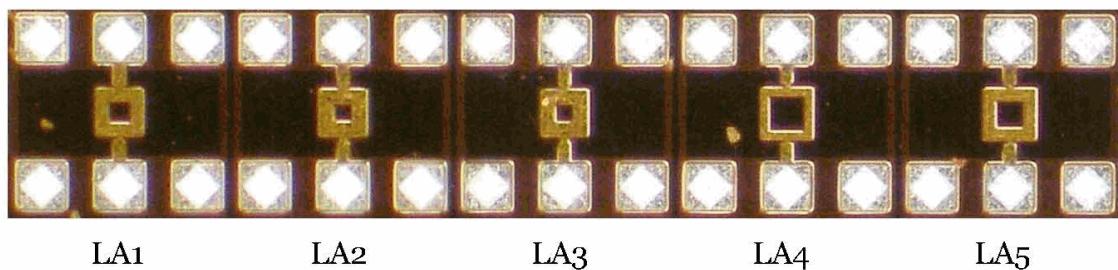
Una de las soluciones que se proponen en la literatura son las estructuras apiladas (*stacked inductors*). La idea fue introducida en primer lugar por Geen en tecnologías de GaAs [GeGrA89], y posteriormente estudiada por Soyuer [SoBuJ95] y Merrill [MeLeY95] en aplicaciones CMOS. Como muestra la Figura 6.2 (a), se trata de unir en serie dos o más bobinas idénticas fabricadas una sobre otra en distintos niveles de metal. Puesto que los inductores son iguales, la inductancia de cada uno de ellos por separado será la misma y estará generada por el acoplamiento lateral entre las distintas vueltas de la bobina. Además aparece ahora un acoplamiento mutuo vertical entre ambas que aumenta considerablemente la inductancia por unidad de área. Cuantos más niveles de metal apilemos en el inductor, mayor es este incremento de la inductancia [KouYao]. Sin embargo, la frecuencia de resonancia del inductor apilado disminuye con respecto a la bobina estándar, debido a los efectos capacitivos adicionales entre las bobinas de distintos niveles.



**Figura 6.2 Estructura de inductores apilados convencionales (a) y modificados (b).**

Utilizando metales no consecutivos (ver Figura 6.2 (b)) se consigue disminuir esta capacidad adicional, de forma que la frecuencia de resonancia aumenta con respecto a la que se tiene apilando metales consecutivos [ZoChRo1]. Los estudios realizados sobre la influencia del grosor del óxido ( $t_{OXM}$ ) entre metales apilados [BurReo3] revelan que al aumentar  $t_{OXM}$  el factor de calidad máximo aumenta ligeramente y se desplaza hacia frecuencias mayores, al igual que la frecuencia de resonancia del inductor.

Para verificar el funcionamiento de estas estructuras apiladas, se fabricaron cinco inductores cuadrados en la misma tecnología utilizada para las bobinas estándar de las que se ha hablado en capítulos anteriores. Se diseñaron cumpliendo los requisitos necesarios para ser utilizados en los amplificadores de banda ancha que se verán en el Anexo E. Por sencillez, todas se diseñaron con geometría cuadrada. En la Figura 6.3 se observa la fotografía de la parte del chip que los contiene, y la Tabla 6.1 recoge sus principales parámetros geométricos.



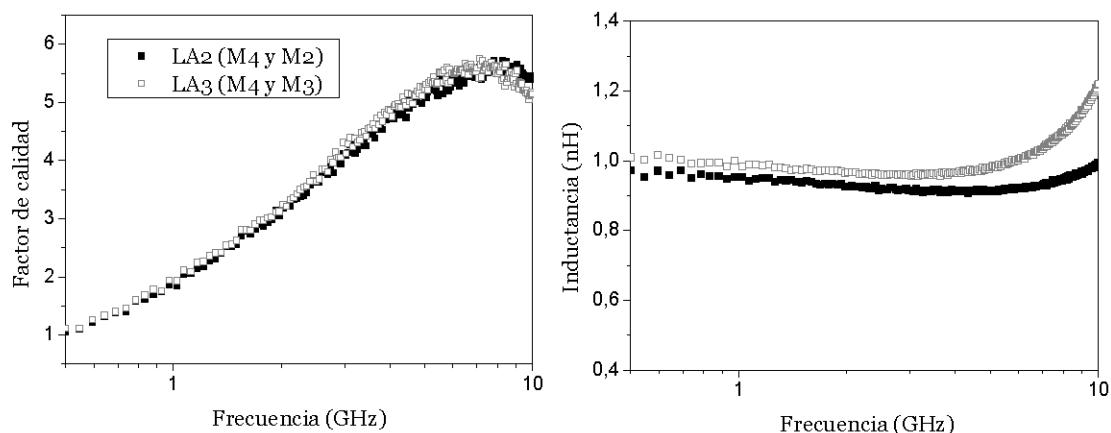
**Figura 6.3 Microfotografía de los inductores apilados fabricados.**

En la Figura 6.4 se comparan las prestaciones de LA2 y LA3, que sólo se diferencian en los metales utilizados. La distancia entre ellos viene dada por la tecnología empleada y en nuestro caso es  $1 \mu\text{m}$  entre los metales M4 y M3, y  $2.64 \mu\text{m}$  entre M4 y M2. Vemos que la inductancia permanece más o menos constante debido a que las dimensiones en el plano de la espiral son casi dos órdenes de magnitud mayores que las del plano vertical ( $90 \mu\text{m}$  frente a  $2.64 \mu\text{m}$ ). Por desgracia, el VNA utilizado para medir los dispositivos no

alcanza a recoger el rango de frecuencia en el que se aprecia el desplazamiento de la curva del factor de calidad hacia frecuencias mayores. Aún así viendo la curva de la inductancia de la Figura 6.4 se intuye que la frecuencia de resonancia aumenta al separar más los metales. Las simulaciones con Momentum predicen que pasa de 19 a 29 GHz, es decir, la bobina podría utilizarse hasta un rango de 10 GHz más alto.

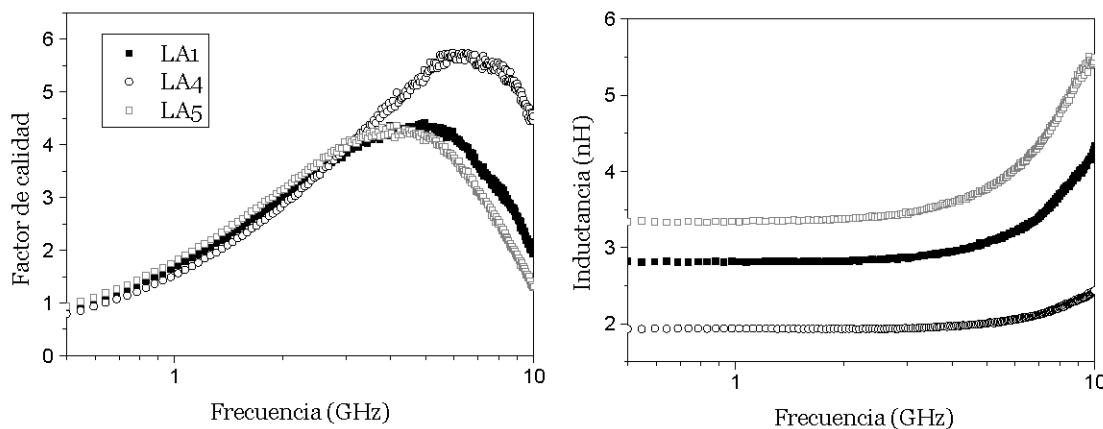
**Tabla 6.1 Geometría de los inductores apilados fabricados**

Inductor	$d_{EXT}$	w	s	n	Metales
<b>LA1</b>	90 $\mu\text{m}$	6 $\mu\text{m}$	2 $\mu\text{m}$	3	M4 y M2
<b>LA2</b>	90 $\mu\text{m}$	12 $\mu\text{m}$	2 $\mu\text{m}$	2	M4 y M2
<b>LA3</b>	90 $\mu\text{m}$	12 $\mu\text{m}$	2 $\mu\text{m}$	2	M4 y M3
<b>LA4</b>	100 $\mu\text{m}$	6 $\mu\text{m}$	2 $\mu\text{m}$	2	M4 y M2
<b>LA5</b>	100 $\mu\text{m}$	6 $\mu\text{m}$	2 $\mu\text{m}$	3	M4 y M2



**Figura 6.4 Factor de calidad e inductancia de los inductores apilados LA2 y LA3.**

En la Figura 6.5 se recoge el funcionamiento del resto de inductores apilados fabricados. Lógicamente, presentan más inductancia las bobinas con más vueltas (LA1 y LA5) y con mayor diámetro externo si tienen el resto de parámetros iguales. Por otro lado, si el inductor tiene menos vueltas (LA4), tendrá menos resistencia y por tanto el factor de calidad será mayor. Lo mismo ocurre con la frecuencia de resonancia, que se traslada a frecuencias mayores debido a que con menos vueltas la capacidad entre ambos niveles disminuye. Estos inductores fueron diseñados para aplicaciones en las que no se requerían valores inductivos muy altos, y por esto no se fabricaron bobinas con más de dos niveles de metal apilados. Además eso implicaría un empeoramiento del factor de calidad y una disminución de la frecuencia de resonancia.



**Figura 6.5 Factor de calidad e inductancia de los inductores apilados LA1, LA4 y LA5.**

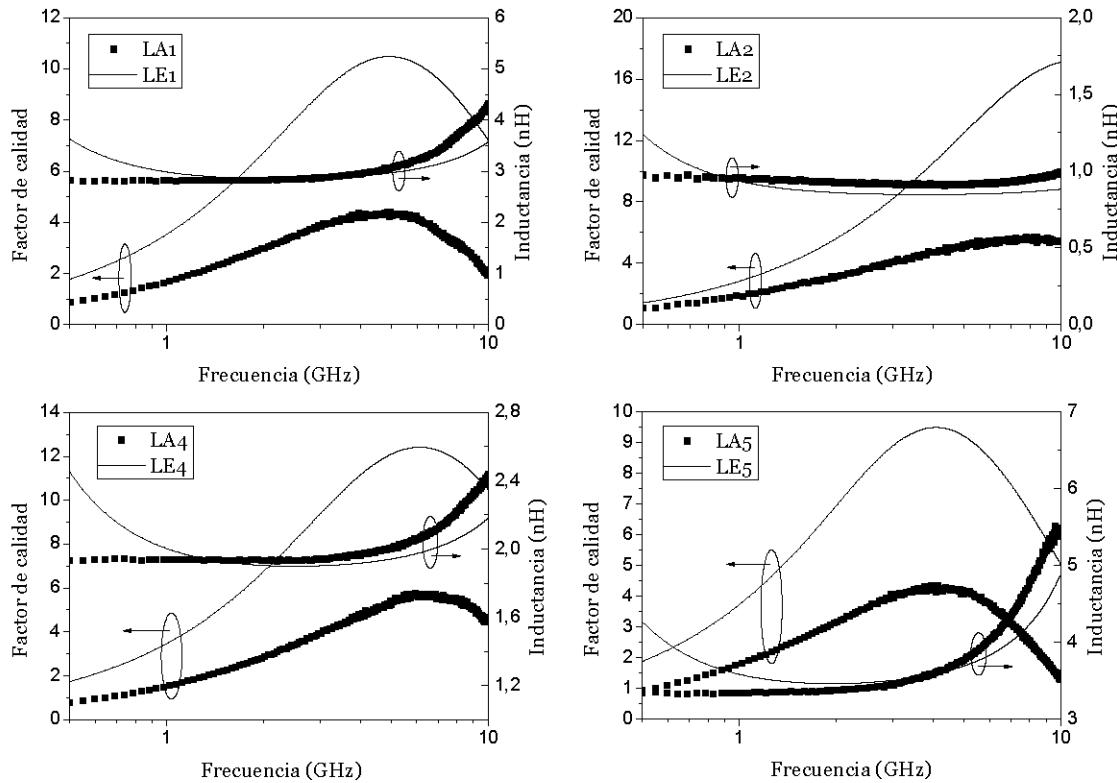
A continuación analizaremos el funcionamiento de las bobinas apiladas frente a las estándar. Para ello buscaremos con el programa I-MODEL (ver capítulo 5) los inductores más adecuados para una supuesta aplicación para la que las bobinas apiladas fabricadas son idóneas. Es decir, en las figuras 6.4 y 6.5 vemos las prestaciones de cada bobina, que se recogen en la Tabla 6.2. El valor de la inductancia y la frecuencia de Q máximo serán los datos de entrada de I-MODEL, que nos devolverá la geometría de la bobina estándar óptima para esos requisitos.

**Tabla 6.2 Prestaciones de los inductores apilados**

Inductor	$L$ (nH)	$Q_{MÁX}$	$f_{QMÁX}$ (GHz)
<b>LA1</b>	3.0	4.4	4.9
<b>LA2</b>	0.9	5.7	7.8
<b>LA4</b>	2.0	5.7	5.9
<b>LA5</b>	3.6	4.4	4.1

En la Figura 6.6 se compara el funcionamiento de los inductores apilados fabricados (LA) y los obtenidos con el software (LE). La curva de las bobinas estándar es la que genera I-MODEL, que se obtiene con el modelo paramétrico. Aunque tal y como vimos en el capítulo 4 el modelo puede cometer cierto error, el factor de calidad en la frecuencia de trabajo es considerablemente mayor para las bobinas estándar. Como se refleja en la Tabla 6.3, esta mejora se va atenuando conforme el valor inductivo que se requiere aumenta. Algo similar ocurre con el área ocupada: el ahorro de espacio que suponen las bobinas apiladas es menor para valores inductivos pequeños. Así, para la bobina de 0.9 nH (LA2 y LE2), el factor de calidad mejora en 10 puntos con la estructura estándar, lo que supone casi triplicarlo. Por otro lado, ocupa un 49% de área más, que significa que la bobina apilada ahorra 4000  $\mu\text{m}^2$  de silicio. Sin embargo para 3.6 nH (LA5 y LE5) el aumento del

factor de calidad de la bobina estándar se suaviza (mejora 5 puntos), y pasa a ocupar un 69% de área más que la estructura apilada, que supone  $6900 \mu\text{m}^2$  de ahorro.



**Figura 6.6 Factor de calidad e inductancia para inductores estándar y apilados.**

**Tabla 6.3 Comparación de prestaciones de inductores estándar y apilados**

Inductor	$Q_{MÁX}$	área ( $\mu\text{m}^2$ )	Inductor	$Q_{MÁX}$	área ( $\mu\text{m}^2$ )
<b>LA1</b>	4.4	90x90	<b>LE1</b>	10.5	130x130
<b>LA2</b>	5.7	90x90	<b>LE2</b>	16	110x110
<b>LA4</b>	5.7	100x100	<b>LE4</b>	12.4	130x130
<b>LA5</b>	4.4	100x100	<b>LE5</b>	9.5	130x130

A la vista de estos resultados, podemos decir que la bondad de los inductores apilados depende de las especificaciones del circuito donde se van a emplear. Se debe llegar a un compromiso entre calidad necesaria y área ocupada. Como hemos dicho en la introducción, hay circuitos para los que no se requieren bobinas con factor de calidad alto, sino que lo más importante es el ahorro de espacio. Para estos casos los inductores apilados son sin duda una buena solución. Sin embargo, si la inductancia necesaria es baja, y se requieren inductores de buena calidad se puede encontrar con la ayuda de una

herramienta como I-MODEL una bobina estándar que cumpla los requisitos sin ocupar un área excesiva.

Por otro lado, para inductancias mayores y frecuencias de trabajo altas el factor de calidad de las bobinas estándar baja considerablemente, tal y como vimos en la Figura 6.1. Para estas aplicaciones las bobinas apiladas de nuevo serían una buena solución.

### 6.3 Inductores 3-D

Acabamos de ver que los inductores apilados ahorran área de silicio con respecto a los convencionales, aunque esto implica reducir la frecuencia de resonancia de la bobina. En un intento por mantener las ventajas de las estructuras apiladas pero aumentando  $f_{RES}$  y consiguiendo buen factor de calidad, Tang y otros diseñaron en 2002 los denominados inductores 3-D (*miniature 3-D inductor*) [TaWuLo2]. Se trata de unir en serie al menos dos bobinas apiladas, de forma que cada una de ellas tiene sólo una vuelta en cada capa de metal. Por ejemplo, supongamos que tenemos dos inductores apilados de una sola vuelta y diferente diámetro, y uno de ellos abarca desde el metal 4 hasta el metal 1, y el otro desde el metal 1 hasta el metal 3. Entonces para conseguir la estructura 3-D basta con unir ambas bobinas apiladas en el metal 1, tal y como muestra la Figura 6.7.

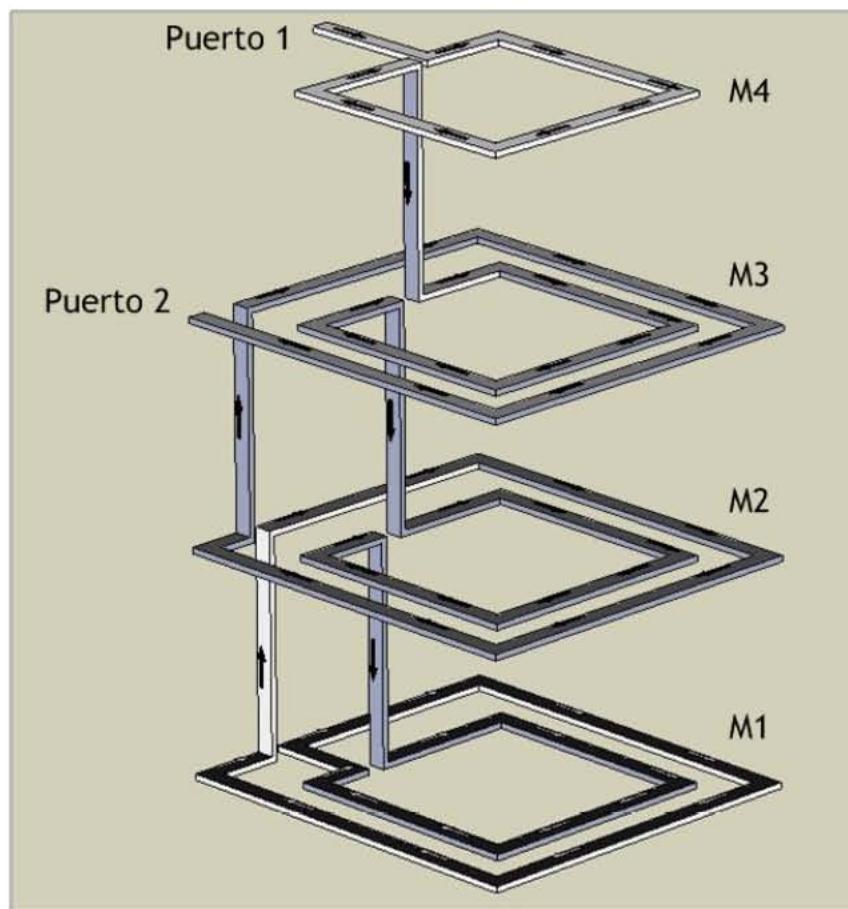
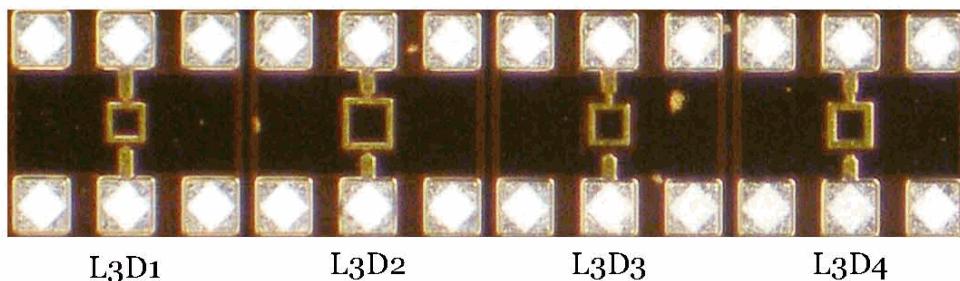


Figura 6.7 Estructura de un inductor 3-D formado por dos inductores apilados.

Como hicimos en el caso de los apilados, se fabricaron cuatro inductores cuadrados 3-D para verificar su funcionamiento y compararlo con las otras estructuras. En la Figura 6.8 se puede ver la fotografía de la parte del chip que los contiene, y en la Tabla 6.4 se recogen sus parámetros geométricos principales y el número de bobinas apiladas que los forman.



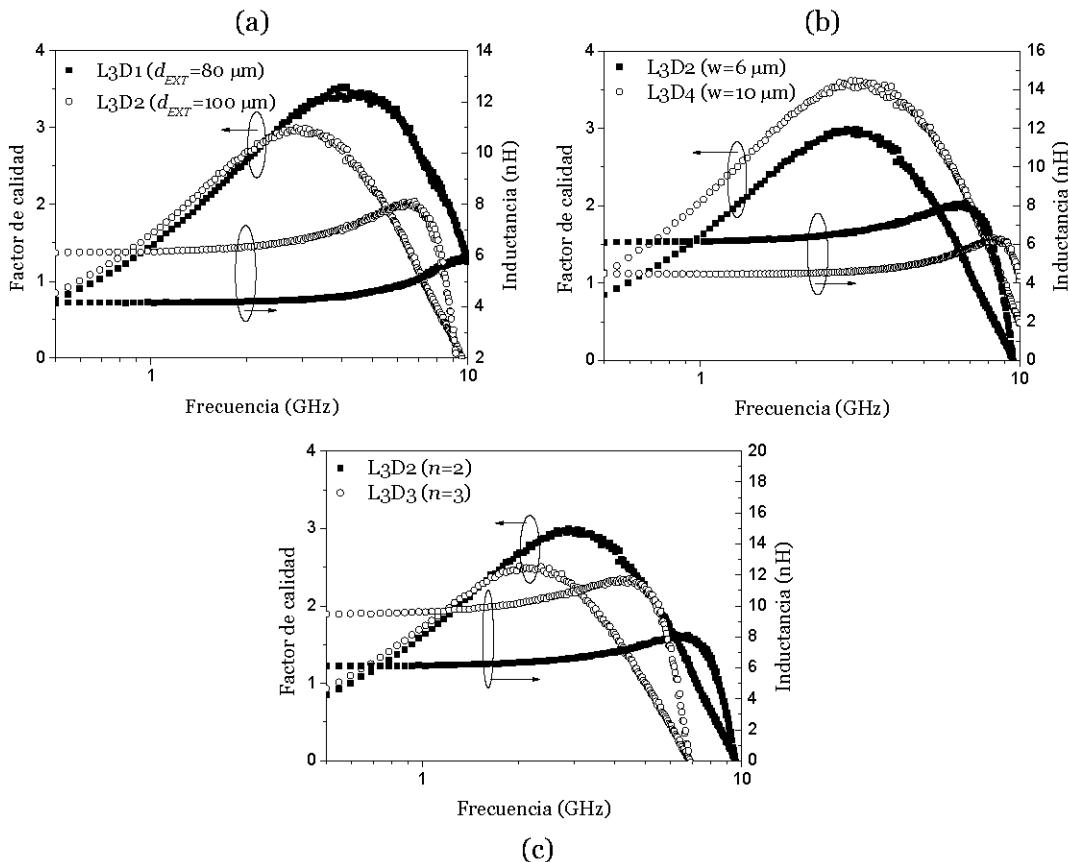
**Figura 6.8 Microfotografía de los inductores 3-D fabricados.**

**Tabla 6.4 Geometría de los inductores 3-D fabricados**

Inductor	$d_{EXT}$	w	s	nºapilados
L3D1	80 $\mu\text{m}$	6 $\mu\text{m}$	2 $\mu\text{m}$	2
L3D2	100 $\mu\text{m}$	6 $\mu\text{m}$	2 $\mu\text{m}$	2
L3D3	100 $\mu\text{m}$	6 $\mu\text{m}$	2 $\mu\text{m}$	3
L3D4	100 $\mu\text{m}$	10 $\mu\text{m}$	2 $\mu\text{m}$	2

La Figura 6.9 (a) compara las prestaciones de dos inductores 3-D cuya única diferencia es el diámetro externo. Vemos que cuanto mayor sea, mayor será el agujero central del inductor y por tanto el flujo magnético que circule, es decir, la inductancia. Pero esto también conlleva menor factor de calidad y menor frecuencia de resonancia. Si se aumenta el ancho de la pista (Figura 6.9 (b)) la resistencia disminuye y por tanto el factor de calidad aumenta. La inductancia sin embargo disminuirá, ya que reducimos el agujero interno del inductor. Por último, al aumentar el número de bobinas apiladas que unimos para formar la 3-D, la inductancia lógicamente aumenta considerablemente aunque esto supone una disminución del factor de calidad (Figura 6.9 (c)).

Al igual que hicimos con los inductores apilados, vamos a comparar las estructuras 3-D con bobinas estándar optimizadas obtenidas con la herramienta I-MODEL. Tomaremos como entrada al programa la inductancia y la frecuencia del factor de calidad máximo de los inductores 3-D, que pueden verse en la Figura 6.9 y se resumen en la Tabla 6.5. Se puede comprobar que estos inductores fueron diseñados de forma que se abarcan rangos de inductancia más altos que los obtenidos con las bobinas apiladas.

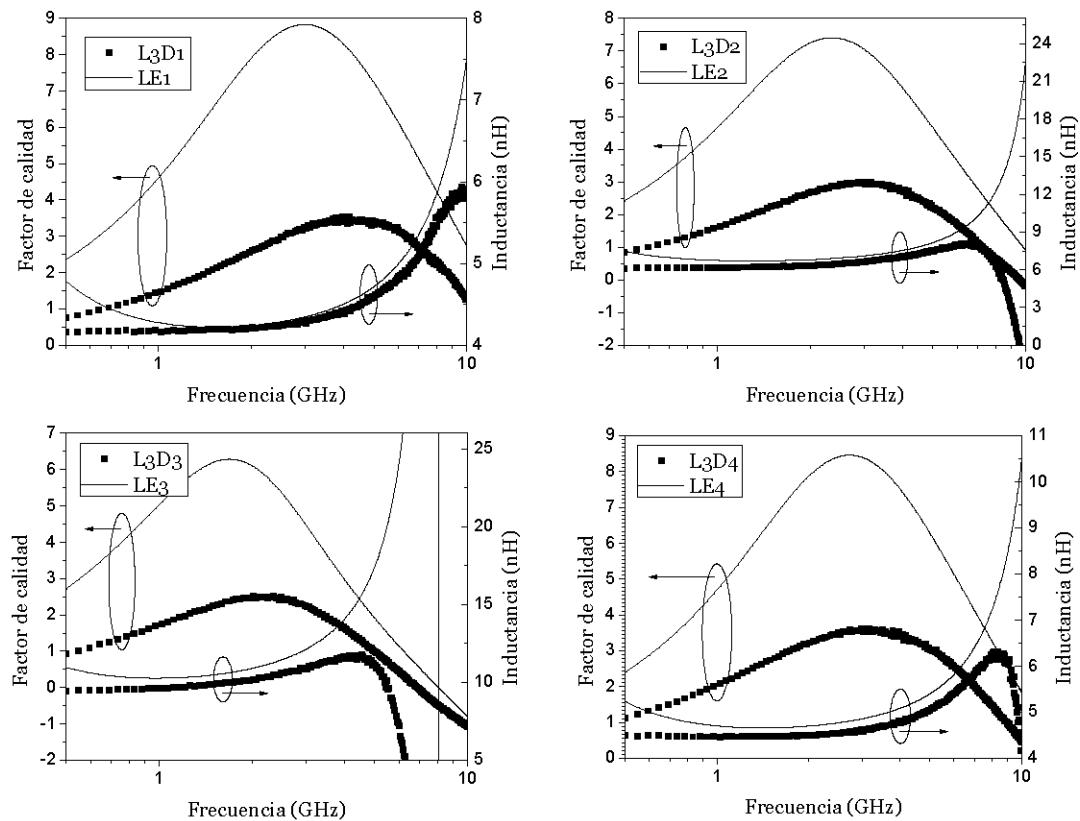


**Figura 6.9 Funcionamiento de los inductores 3-D al variar los parámetros geométricos.**

**Tabla 6.5 Prestaciones de los inductores 3-D**

Inductor	$L$ (nH)	$Q_{MÁX}$	$f_{QMÁX}$ (GHz)
<b>L<sub>3D1</sub></b>	4.4	3.5	3.9
<b>L<sub>3D2</sub></b>	6.6	3.0	2.9
<b>L<sub>3D3</sub></b>	10.2	2.5	2.0
<b>L<sub>3D4</sub></b>	4.6	3.6	3.0

En la Figura 6.10 vemos los resultados de la comparación, que se recogen también en la Tabla 6.6. Observando las gráficas se puede llegar a las mismas conclusiones que ya desarrollamos en el apartado de los inductores apilados. Tal y como predecía la Figura 6.1, al ser valores inductivos mayores las bobinas estándar no alcanzan factores de calidad tan altos como ocurría antes. Sin embargo siguen siendo considerablemente mayores que los que ofrecen los inductores 3-D. En cambio estos últimos ocupan desde el 22 hasta el 39% de área de los convencionales, lo que supone un ahorro de silicio de hasta 22500  $\mu\text{m}^2$ .



**Figura 6.10 Factor de calidad e inductancia para inductores estándar y 3-D.**

**Tabla 6.6 Comparación de prestaciones de inductores estándar y 3-D**

Inductor	$Q_{MÁX}$	área ( $\mu\text{m}^2$ )	Inductor	$Q_{MÁX}$	área ( $\mu\text{m}^2$ )
<b>L3D1</b>	3.5	80x80	<b>LE1</b>	8.3	170x170
<b>L3D2</b>	3.0	100x100	<b>LE2</b>	7.1	180x180
<b>L3D3</b>	2.5	100x100	<b>LE4</b>	6	180x180
<b>L3D4</b>	3.6	100x100	<b>LE5</b>	8.4	160x160

Tang y otros [TaWuLo2] comparan los inductores 3-D con inductores estándar, no sólo con la misma inductancia, sino también con el mismo factor de calidad a la frecuencia de trabajo. Sin embargo, estas comparaciones pueden no ser apropiadas pues, en este caso el ahorro de área sería aún mayor, como puede verse en la Tabla 6.7. Esto es debido a que estamos forzando al inductor a tener un  $Q$  bajo, y una de las formas de conseguirlo es ampliando el área ocupada. En el mismo trabajo aseguran que las estructuras 3-D, además de ocupar menos área, aportan mayor calidad, pero queda demostrado (ver Figura 6.10) que esto no es cierto siempre y cuando se diseñen los inductores óptimos para cada aplicación específica.

**Tabla 6.7 Tamaño de inductores estándar con la misma inductancia y factor de calidad que las estructuras 3-D fabricadas**

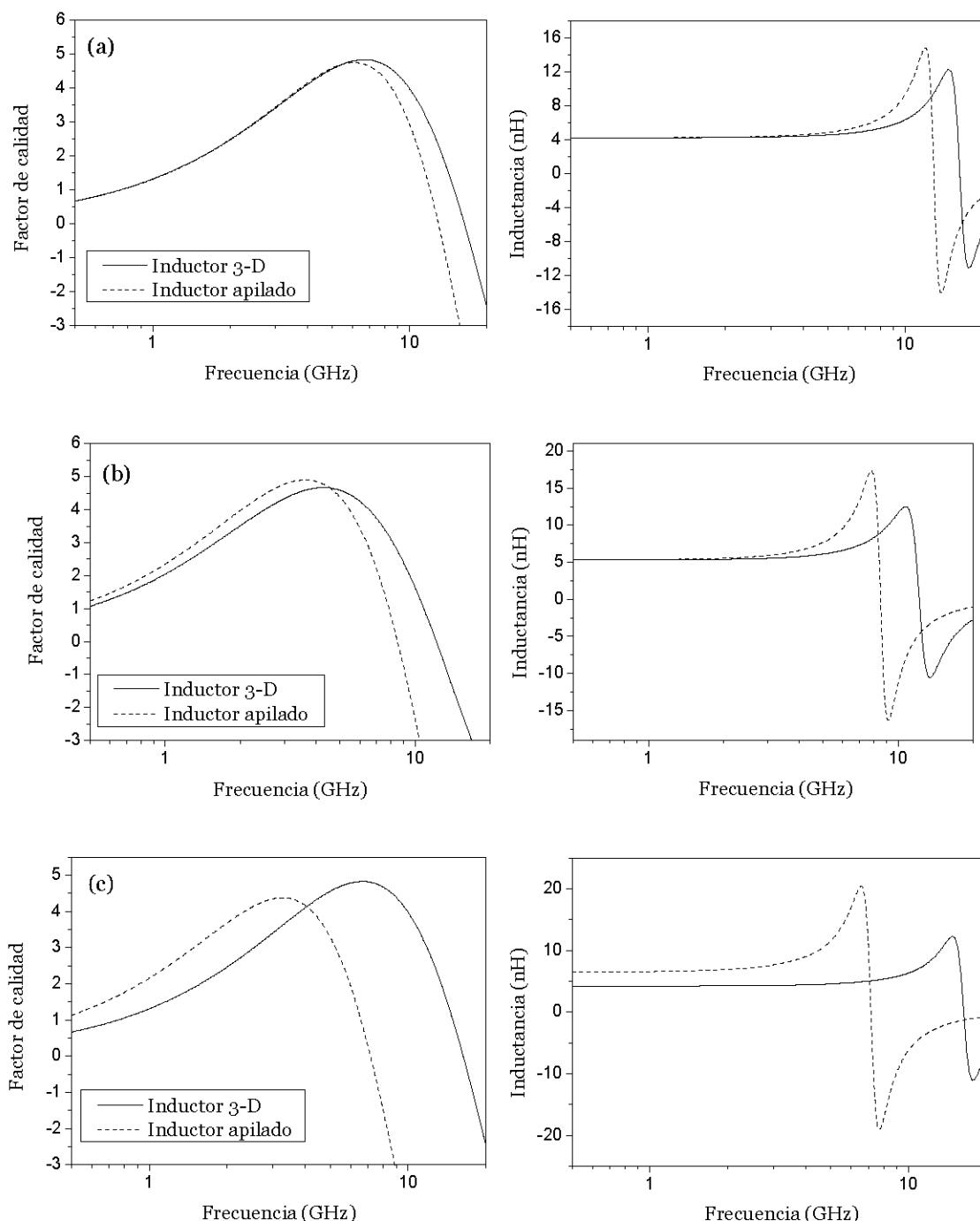
<b>Inductor</b>	<b>área (<math>\mu\text{m}^2</math>)</b>
<b>LE1</b>	260x260
<b>LE2</b>	310x310
<b>LE4</b>	350x350
<b>LE5</b>	290x290

Para comparar adecuadamente las prestaciones de las estructuras apiladas y 3-D deberíamos contar con una de cada clase de forma que ambas ocuparan la misma área y tuvieran el mismo valor inductivo. Entre las bobinas fabricadas no encontramos dos que cumplan estos requisitos, así que hemos recurrido a las simulaciones de Momentum.

Comparamos varios inductores 3-D formados por dos bobinas apiladas que contienen los cuatro metales que ofrece la tecnología (ver Figura 6.7) con otros apilados con dos vueltas por metal que también utilizan los cuatro metales. Todos son cuadrados con diámetros externos entre 80 y 120  $\mu\text{m}$ , anchos de pista de 6 a 14  $\mu\text{m}$  y separación entre pistas de 2  $\mu\text{m}$ . Para que los inductores 3-D y los apilados sean exactamente iguales, en el metal 4 de las bobinas apiladas se ha dado solamente una vuelta.

Los resultados simulados se muestran en la Figura 6.11. Tal y como se concluye en [TaWuLo2], la frecuencia de resonancia aumenta considerablemente con la estructura 3-D, de manera directamente proporcional al tamaño del inductor y sin que esto suponga un deterioro significativo del factor de calidad.

Después de este análisis de las bobinas 3-D llegamos a las mismas conclusiones que ya vimos para las bobinas apiladas: no se puede afirmar categóricamente que unas estructuras son mejores que otras, sino que se debe analizar cuidadosamente la aplicación para la que se va a utilizar el inductor. Para una inductancia y una frecuencia de trabajo dadas hay que sopesar qué es más importante, si el ahorro de área ocupada o el factor de calidad necesario.



**Figura 6.11 Comparación del funcionamiento simulado de un inductor 3-D y otro apilado con los siguientes diámetros externos y anchos de pista: (a) 80  $\mu\text{m}$  y 6  $\mu\text{m}$ , (b) 104  $\mu\text{m}$  y 10  $\mu\text{m}$ , y (c) 120  $\mu\text{m}$  y 14  $\mu\text{m}$ .**

La Tabla 6.8 resume los resultados vistos del análisis de estructuras apiladas y 3-D frente a los inductores convencionales para la tecnología empleada (SiGe 0.35  $\mu\text{m}$  de AMS) [GoPiKo07]. Dependiendo de cuál sea el requerimiento principal de la aplicación, será mejor utilizar unos u otros: Si lo más importante es tener un inductor de buena calidad, y estamos trabajando en un rango de frecuencias hasta 10 GHz, lo más probable es que un inductor convencional bien diseñado sea más apropiado que otra estructura. Si

lo que prima es el ahorro de área, o necesitamos valores inductivos muy altos ( $>9\text{nH}$  aproximadamente según la Figura 6.1) y trabajar a frecuencias también altas, lo mejor es utilizar una bobina apilada o 3-D. Elegir una u otra dependerá de la frecuencia de resonancia necesaria, que es siempre superior en el caso de las estructuras 3-D.

**Tabla 6.8 Elección del inductor adecuado según las necesidades de la aplicación**

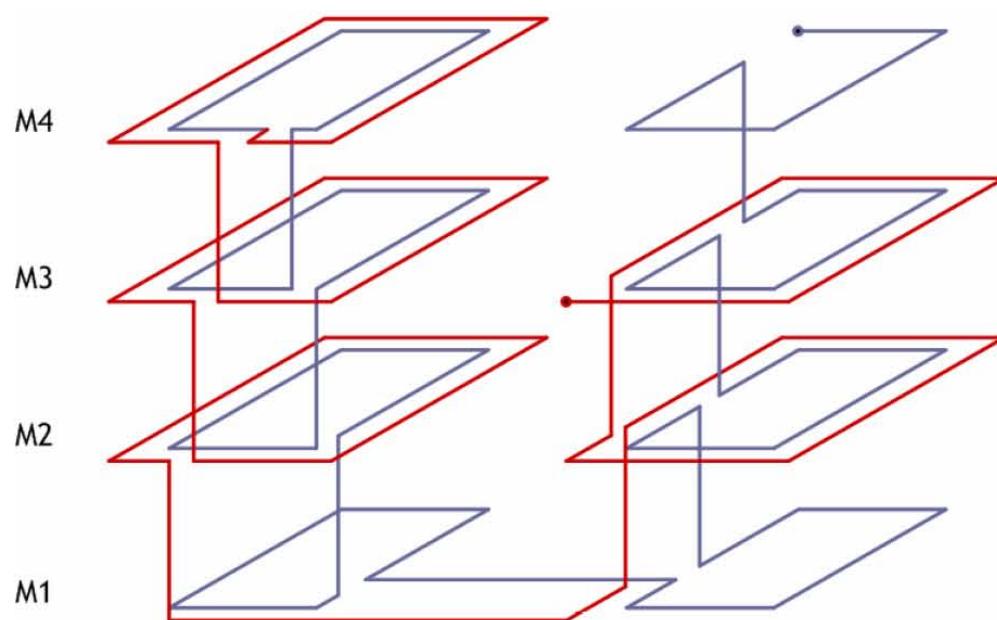
Requisito principal	Inductor recomendado
Factor de calidad máximo	Estándar
Ahorro de área	Apilado/3-D
Inductancia o frecuencia muy altas	Apilado/3-D
Frecuencia de resonancia muy alta	3-D

## 6.4 Estructuras para el aumento de la inductancia

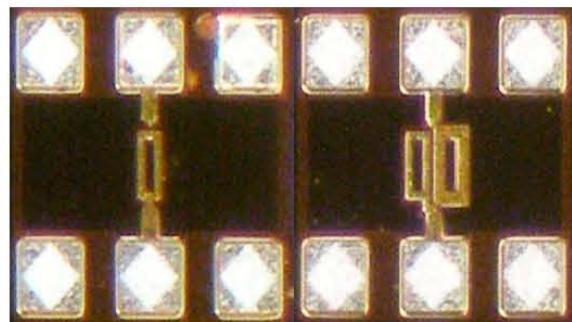
Si todavía quisiéramos aumentar más la inductancia de las bobinas, deberíamos diseñar inductores 3-D formados por muchas bobinas apiladas. Pero de esta manera se necesitaría mucha área y bajarían tanto el factor de calidad como la frecuencia de resonancia. Para conseguir aumentar  $L$  sin que ello suponga disminuir demasiado  $Q$  y  $f_{RES}$  se ha diseñado mediante simulación y fabricado una nueva estructura que se presenta en este apartado.

Se trata de dos bobinas 3-D rectangulares unidas en serie en el metal 1 por las bobinas apiladas internas, tal y como muestra la Figura 6.12. El objetivo es hacer compartir el flujo magnético generado por las bobinas, de forma que la inductancia total sea mayor que la suma de la de cada una de ellas por separado. Para comprobarlo se ha fabricado también una de estas bobinas alargadas en solitario. La fotografía de la Figura 6.13 muestra la parte del chip que contiene ambas estructuras.

En la Figura 6.14 se muestran los resultados medidos y simulados con Momentum de la estructura fabricada. Además, en la Figura 6.15 se añaden los resultados de dos de las que solamente se simularon. Los parámetros geométricos de las tres estructuras se recogen en la Tabla 6.9.



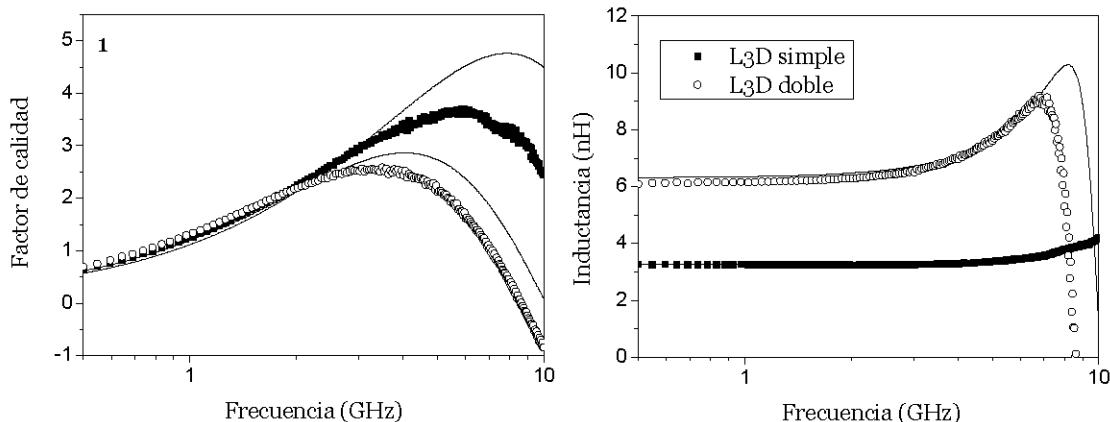
**Figura 6.12 Esquema de la estructura fabricada para el aumento de la inductancia.**



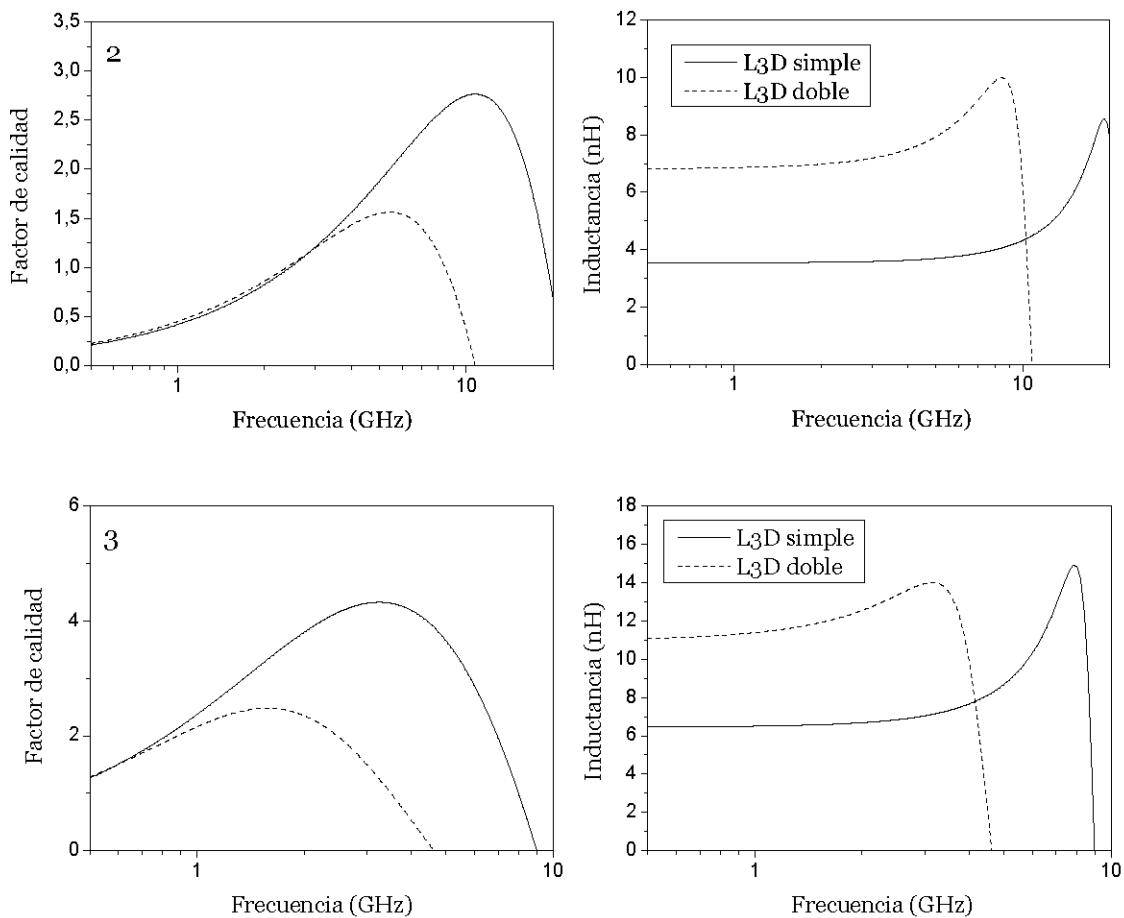
**Figura 6.13 Microfotografía de las nuevas estructuras fabricadas.**

**Tabla 6.9 Geometría de los inductores de la Figura 6.15**

Inductor	Dimensiones simple ( $\mu\text{m}^2$ )	w ( $\mu\text{m}$ )
1	48x100	6
2	28x100	6
3	104x157	12



**Figura 6.14 Resultados medidas (puntos) y simulados (línea) del inductor 1 de la Tabla 6.9.**



**Figura 6.15 Resultados simulados de los inductores 2 y 3 de la Tabla 6.9.**

Al igual que se ha deducido en estudios anteriores para inductores convencionales fabricados en otras tecnologías [Pinoo02], vemos que para todos los casos el aumento en la inductancia no es mayor que el que conseguiríamos uniendo en serie dos inductores 3-D independientes. Además debido a que la nueva estructura ocupa más área, el factor de calidad máximo disminuye, y aumentan las capacidades parásitas, por lo que baja también

la frecuencia de resonancia. Por otro lado, para frecuencias bajas el factor de calidad de ambos inductores, aunque bajo, es el mismo, por lo que estas estructuras podrían tener aplicación en este rango de frecuencias. Esto cambia a medida que la estructura se hace mayor, ya que el factor de calidad de la doble disminuye mucho con respecto a la simple, por lo que en estos casos se recomienda unir dos bobinas sencillas antes que utilizar la estructura diseñada.

En este capítulo se ha analizado el funcionamiento de nuevas estructuras inductivas, como los inductores apilados y los inductores 3-D. Hemos visto que su bondad depende de los requerimientos principales de la aplicación. Si se cuenta con una herramienta adecuada, siempre encontraremos un inductor convencional de mejor calidad que uno apilado o 3-D [GoPiKo7]. Sin embargo, si la calidad no es importante y se necesita ahorrar área, siempre será mejor utilizar una de las últimas. Por último, se ha diseñado una nueva estructura basada en la 3-D para aumentar más la inductancia sin aumentar demasiado el área ocupada. Los resultados no son los esperados y por tanto, para la mayor parte de los casos es más apropiado utilizar las bobinas que se han visto hasta el momento.

# Capítulo 7 Conclusiones y líneas futuras

En este capítulo recogeremos las conclusiones y aportaciones que hemos ido obteniendo en esta tesis y se propondrán unas cuantas líneas futuras con las que se debería continuar este trabajo de investigación.

## 7.1 Conclusiones

Las conclusiones parciales del trabajo realizado se han ido indicando en cada uno de los capítulos. Presentaremos aquí un resumen de todas ellas.

En el capítulo 1 hemos visto el importante papel que juegan hoy en día los inductores integrados en el diseño de dispositivos de RF integrados sobre silicio. Se ha hecho un repaso de los fenómenos físicos que se generan en el inductor, que son los responsables de las pérdidas en el silicio, y por tanto del bajo factor de calidad de los inductores. Tras analizar las soluciones que se presentan para minimizar estas pérdidas, se ha llegado a la conclusión de que la mayor parte de ellas emplean técnicas no convencionales muy costosas y, por tanto, inviables desde el punto de vista de la comercialización. Esto conduce a pensar que es fundamental que el diseñador cuente con herramientas que le permitan diseñar un inductor convencional óptimo para cada aplicación.

En el segundo capítulo hemos desarrollado el procedimiento de medida de un inductor:

- Se ha descrito el sistema de medida, se han visto unas pautas de diseño de las estructuras de medida para minimizar los efectos parásitos que introducen, y se ha descrito paso a paso el método de *de-embedding* utilizado.
- Por último se ha presentado un nuevo método rápido y automatizado de caracterización para extraer un modelo equivalente del inductor a partir de los

parámetros S obtenidos en la medida. Al contrario que los procedimientos que se encuentran en la literatura, el nuevo método no utiliza algoritmos iterativos de optimización ni está basado en ajustes. A partir de las ecuaciones del modelo equivalente se obtienen expresiones dependientes de la frecuencia para cada uno de sus componentes. La frecuencia de evaluación de cada uno de ellos se determina estudiando la influencia que tienen sobre el factor de calidad y la inductancia de la bobina. El método se ha probado con inductores fabricados en un proceso de SiGe de 0.35  $\mu\text{m}$ , y los resultados verifican su fiabilidad.

En el capítulo 3 se ha estudiado en profundidad el simulador electromagnético Momentum aplicado a la simulación de inductores.

- Ante la falta de información publicada, hemos visto cómo se debe configurar la herramienta para obtener unos resultados fiables: el tipo de mallado que se necesita, cómo definir las diferentes capas que componen el sustrato, y qué aproximación se debe utilizar para simular correctamente el grosor de los conductores.
- Además, se ha hecho un estudio de las posibilidades de simulación de un inductor en Momentum. Tras comprobar que siguiendo las pocas pautas de diseño publicadas no se obtienen resultados óptimos, concluimos y demostramos que el mejor modo de simular un inductor es utilizando la misma estructura exactamente que se va a fabricar. Esto conlleva simular por otro lado las estructuras de medida y realizar un *de-embedding* posterior de los parámetros S obtenidos mediante simulación.

El capítulo 4 está dedicado a la búsqueda de un modelo paramétrico del inductor. Esto consiste en conseguir un conjunto de expresiones con las que se obtenga el valor de cada uno de los componentes del modelo equivalente del inductor a partir de los parámetros tecnológicos y geométricos del mismo. Esto permitiría predecir cuáles son las prestaciones de la bobina sin necesidad de fabricarla ni simularla.

- Por un lado se han revisado las expresiones correspondientes a los componentes de la rama principal del modelo equivalente. Hemos visto que el modelado de la resistencia serie, que recoge las pérdidas óhmicas de la espiral, y sobre la que se centran generalmente las publicaciones, puede no ser tan importante para la tecnología que nos ocupa si utilizamos el inductor más apropiado para cada aplicación.
- Por otro lado hemos presentado un nuevo modelo para caracterizar las pérdidas eléctricas que se producen en el sustrato. La bondad del modelo, que no utiliza parámetro de ajuste alguno, se ha verificado con inductores integrados en procesos de SiGe de 0.35  $\mu\text{m}$  y BiCMOS de 0.8  $\mu\text{m}$ . Los

resultados muestran que el nuevo modelo mejora las predicciones de los publicados hasta ahora, que utilizaban parámetros empíricos de ajuste.

Los resultados obtenidos en el capítulo 4 se han utilizado en el capítulo 5 para desarrollar un nuevo método de diseño de una librería de inductores.

- Se ha descrito este nuevo método, que está basado en el modelo paramétrico desarrollado. Se implementan una serie de algoritmos que realizan barridos anidados por los parámetros geométricos del inductor calculando sus prestaciones. De los barridos se extraen los inductores que cumplen los parámetros de entrada del programa: tener la inductancia requerida a la frecuencia de trabajo. De entre todos ellos el algoritmo devolverá el que mejor factor de calidad presente a dicha frecuencia.
- Utilizando este algoritmo se han generado librerías de inductores de altas prestaciones para la tecnología SiGe 0.35 µm de la empresa AMS. Los valores de inductancia están comprendidos entre 0.5 y 6.5 nH, a las frecuencias 0.85 GHz, 1.5 GHz, 1.8 GHz, 2.4 GHz y 5.6 GHz.
- Los algoritmos desarrollados se han utilizado para generar una herramienta de gran utilidad para el diseñador de RF. Se ha implementado en MATLAB el llamado I-MODEL, un software cuya principal función es seleccionar el inductor más apropiado para un valor inductivo y frecuencia determinados. El programa devuelve los parámetros geométricos de dicho inductor, así como las curvas de sus prestaciones y el modelo equivalente.

Por último, en el capítulo 6 se analizan nuevas estructuras inductivas como los inductores apilados o los 3-D.

- Hemos visto que si se cuenta con una herramienta apropiada, como por ejemplo I-MODEL, siempre se puede encontrar un inductor convencional de mejor calidad que el apilado o el 3-D. Ahora bien, si el requisito principal del diseñador es el ahorro de área, estas estructuras pueden ser una buena solución, ya que ofrecen inductancias altas en poco espacio.
- Finalmente se ha estudiado una nueva estructura basada en las anteriores fabricada para ver si se conseguía aumentar más la inductancia sin aumentar demasiado el área ocupada. Hemos visto que generalmente es más apropiado utilizar las estructuras que se han visto hasta el momento ya que los resultados no son los esperados.

A la vista de las conclusiones obtenidas, se puede decir que los objetivos que describíamos al principio de esta memoria han sido satisfechos.

## 7.2 Líneas futuras

Las líneas de investigación abiertas a raíz de este trabajo son muchas debido a los diferentes aspectos que atañen al diseño, simulación, caracterización y modelado de inductores integrados sobre tecnologías de bajo coste. A continuación enumeramos algunas de ellas:

- Analizar a fondo la influencia del anillo de guarda del inductor en sus prestaciones: estudiar cómo varía el factor de calidad y la inductancia según la geometría, tamaño, y el número de capas que lo forman, y determinar cuál es la estructura más apropiada.
- Modificar el método de desacoplo de medidas (*de-embedding*) para el caso de los inductores que tienen las salidas al mismo lado.
- Comprobar que el método de caracterización obtenido es válido para otras tecnologías basadas en silicio.
- Repetir el estudio realizado con Momentum con una herramienta de simulación electromagnética tridimensional, como HFSS o Sonnet. Valorar la conveniencia de su uso en comparación con las herramientas de 2.5-D.
- Continuar el trabajo de modelado de  $R_s$ , de forma que se consigan expresiones adecuadas para predecir el efecto pelicular en inductores de pistas anchas.
- Utilizar las estrategias de modelado para otras tecnologías basadas en silicio, pero de resistividad baja ( $< 10 \Omega\cdot\text{cm}$ ). En este caso habrá que incluir en el modelado de  $R_s$  el efecto de las corrientes de torbellino generadas en el sustrato.
- Seguir con la búsqueda de nuevas estructuras inductivas en tecnologías de bajo coste, para mejorar las prestaciones de los inductores a altas frecuencias.

# Referencias

- [AguBe03] J. Aguilera, and R. Berenguer, *Design and test of integrated inductors for RF applications*, Kluwer Academic Publishers, 2003.
- [Aguilo02] J. Aguilera, "Effect of the Via Geometry on the Q Factor of Integrated Shunted Inductors", *Microwave Engineering*, pp. 35-37, Junio 2002.
- [AgMeBo02] J. Aguilera, J. Meléndez, R. Berenguer, J. R. Sendra, A. Hernández, and J. del Pino, "A novel geometry for circular series connected multilevel inductors for CMOS RF integrated circuits," *IEEE Trans. Electron Devices*, vol. 49, pp. 1084-1086, June 2002.
- [AsKoF96] K. B. Ashby, I. A. Koullias, W. C. Finley, J. J. Bastek, and S. Moinian, "High Q inductors for wireless applications in a complementary silicon bipolar process," *IEEE J. Solid-State Circuits*, vol. 31, pp. 4-9, Jan. 1996.
- [AuMiSy] <http://www.austriamicrosystems.com>
- [Barke88] E. Barke, "Line-to-ground capacitance calculation for VLSI: a comparison," *IEEE Trans. Computer-Aided Design*, vol. 7, no. 2, pp. 295-298, Feb. 1988.
- [Bohano03] K. Bohannan, "ADS Momentum, A Half-Day Seminar", *Agilent Technologies*, Abril 2003.
- [BurReo03] J. N. Burghartz and B. Rejaei, "On the design of RF spiral inductors on silicon," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 718-729, Mar. 2003.
- [Cadence] <http://www.cadence.com>
- [CaGrHo03] Y. Cao, R. A. Groves, X. Huang, N. D. Zamdmmer, J. Plouchart, R. A. Wachnik, T. King, C. Hu, "Frequency-independent equivalent circuit model for on-chip spiral inductors," *IEEE Journal of Solid-State-Circuits*, vol. 38, no. 3, pp. 419-426, March 2003.
- [CeSaMo04] I. Cendoya, N. Sainz, J. Mendizabal, R. Berenguer, U. Alvarado, and A. García-Alonso, "Study of the proximity effect in high Q inductors with CMOS 0.18  $\mu\text{m}$  technology," in *Proc. XIX Conference on Design of Circuits and Integrated Systems*, 2004, pp. 524-527.
- [ChAoA95] S. Chaki, S. Aono, N. Andoh, Y. Sasaki, N. Tanino, and O. Ishihara, "Experimental study on spiral inductors", in *Proc. IEEE MTT-S Int. Microwave Symp. Digest*, 1995, vol. 2, pp. 753-756.

- [ChAbG93] J. Y.-C. Chang, A. A. Abidi, and M. Gaitan, "Large suspended inductors on silicon and their use in a 2- $\mu$ m CMOS RF amplifier," *IEEE Electron Device Lett.*, vol. 14, pp. 246–248, May 1993.
- [ChLiHo06] M.-H. Chang, K.-H. Lin, J.-W. Huang, and A.-K. Chu, "On-chip solenoid inductors with high quality factor for high frequency magnetic integrated circuits," *IEEE Microw. Wireless Compon. Lett.*, vol. 16, pp. 203-205, April 2006.
- [ChoBu91] H. Cho and D. E. Burk, "A three-step method for the de-embedding of high-frequency S-parameters measurements," *IEEE Trans. Electron Devices*, vol. 38, issue 6, pp. 1371-1375, June 1991.
- [ChoYoo04] Y. Choi and J. Yoon, "Experimental analysis of the effect of metal thickness on the quality factor in integrated spiral inductors for RF ICs," *IEEE Electron Device Letters*, vol. 25, no. 2, pp. 76-79, Feb. 2004.
- [ChoYo97] N. Choong-Mo, and K. Young-Se, "High-performance planar inductor on thick oxidized porous silicon (OPS) substrate," *IEEE Microwave Guided Wave Lett.*, vol. 7, pp. 236-238, Aug. 1997.
- [CraSt97] J. Craninckx, M.S. J. Steyaert, "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 736-744, 1997.
- [CrKiC96] J. Crols, P. Kinget, J. Craninckx, M. Steyaert, "An Analytical Model of Planar Inductors on Lowly Doped Silicon Substrates for High Frequency Analog Design up to 3 GHz", *Symposium on VLSI Circuits Digest of Technical Papers*, 1996.
- [DiLaBo4] T. Dickson, M.-A. LaCroix, S. Boret, D. Gloria, R. Beerkens, and S.P. Voinigescu, "Si-based inductors and transformers for 30-100 GHz applications," in *Proc. IEEE MTT-S Int. Microwave Symp. Digest*, 2004, vol. 1, pp. 205-208.
- [DiLaBo5] T. O. Dickson, M. LaCroix, S. Boret, D. Gloria, R. Beerkens and S. P. Voinigescu, "30-100-GHz inductors and transformers for millimetre-wave (Bi)CMOS integrated circuits," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 1, pp. 123-133, Jan. 2005.
- [EoEis93] Y. Eo, W.R. Eisenstadt, "High-speed VLSI interconnect modeling based on S-parameter measurements," *IEEE Trans. on Components, Hybrids and Manufacturing Technology*, vol. 16, pp. 555-562, Agosto 1993.
- [ErGrR98] H. B. Erzgraber, T. Grabolla, H. H. Richter, P. Schley, and A. Wolff, "A novel buried oxide isolation for monolithic RF inductors on silicon," in *Proc. IEDM*, 1998, pp. 535-539.
- [Fogie90] M. Fogiel, *The Electromagnetics Problem Solver*, REA, New Jersey, 1990, pp. 275-276.
- [GaoYuo06] W. Gao, and Z. Yu, "Scalable compact circuit model and synthesis for RF CMOS spiral inductors," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 3, pp. 1055-1064, March 2006.
- [GeGrA89] M. W. Geen, G. J. Green, R. G. Arnold, J. A. Jenkins, R. H. Jansen, "Miniature multilayer spiral inductors for GaAs MMICs," in *Proc. GaAs IC Symposium*, 1989, pp. 303-306.
- [GilSho03] J. Gil and H. Shin, "A simple wide-band on-chip inductor model for silicon based RF ICs," *IEEE Trans. Microw. Theory Tech.*, vol. 551, no. 9, pp. 2023-2028, Sep. 2003.

- [GiSoLo03] J. Gil, S.-S. Song, H. Lee, and H. Shin, "A 119.2 dBc/Hz at 1 MHz, 1.5 mW, fully integrated, 2.5-GHz, CMOS VCO using helical inductors," *IEEE Microw. Wireless Compon. Lett.*, vol. 13, pp. 457-459, Nov. 2003.
- [GoKhPo05] A. Goñi, S. L. Khemchandani, J. del Pino, J. García, B. González, and A. Hernández, "Design and modelling of an on silicon spiral inductor library using improved EM simulations", in *Proc. of the SPIE VLSI Circuits and Systems II*, 2005, vol. 5837, pp. 534-541.
- [GoPiGo07a] A. Goñi, J. del Pino, B. González, and A. Hernández, "An analytical model of electric substrate losses for planar spiral inductors on silicon," *IEEE Trans. Electron Devices*, vol. 54, scheduled to be published on March 2007.
- [GoPiGo07b] A. Goñi, J. del Pino, J. García, and A. Hernández, "A comprehensive parameter extraction method for on-chip spiral inductor analytical model of electric substrate losses for planar spiral inductors modelling," *Journal of Electronic Testing.*, Artículo en revisión.
- [GoPiKo07] A. Goñi, J. del Pino, S. L. Khemchandani, J. García, B. González, and A. Hernández, "A study of stacked and miniature three-dimensional inductor performance for RF IC design", accepted for the *SPIE VLSI Circuits and Systems II*, 2007.
- [Green74] H.M. Greenhouse, "Design of planar rectangular microelectronic inductors", *IEEE Trans. on Parts, Hybrids and Packaging*, vol. PHP-10, pp. 101-109, Jun. 1974.
- [Grove62] F. W. Grover, *Inductance calculations, working formulas and tables*, Princeton, Van Nostrand, New York, 1962.
- [GuoTao06] J. Guo and T. Tan, "A broadband and scalable model for on-chip inductors incorporating substrate and conductor loss effects," *IEEE Trans. Electron Devices*, vol. 53, no. 3, pp. 413-421, Mar. 2006.
- [GuGaSo03] I. Gutierrez, J. Garcia, N. Sainz, J.R. Sendra, J. de No, and A. Hernandez, "PN junction integrated varactors for RF applications at different standard frequencies," in *Proc. IEEE Conf. IV Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, April 2003, pp. 118-121.
- [Gutie04] I. Gutierrez, "Varactores integrados de alto factor de calidad en tecnología estándar 0,8  $\mu$ m SiGe para aplicaciones en RF", Tesis Doctoral, Universidad de Navarra, San Sebastián, Mayo 2004.
- [GuZhLo05] L. H. Guo, Q. X. Zhang, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong, "High-performance inductors on plastic substrate" *IEEE Trans. Electron Devices Lett.*, vol. 26, pp. 619-621, Sept. 2005
- [Harri93] R.F. Harrington, *Field Computation by Moment Methods*, New York, IEEE Press, 1993.
- [HaTiGo02] R. J. Havens, L. F. Tiemeijer and L. Gambus, "Impact of probe configuration and calibration techniques on quality factor determination of GHz level on-wafer inductors," in *Proc. ICMTS 2002*, pp. 19-24.
- [HiTaT96] D. Hisamoto, S. Tanaka, T. Tanimoto, Y. Nakamura, and S. Kimura, "Silicon RF devices fabricated by ULSI processes featuring 0.1-/spl mu/m SOI-CMOS and suspended inductors," in *Dig. Tech. Papers Symp. VLSI Technology*, 1996, pp. 104-105.
- [Hsuo05] H. M. Hsu, "Effective series-resistance model of spiral inductors," *Microwave and Optical Technology Letters*, vol. 46, no. 2, pp. 107-109, July 2005.

- [HoYeYoo] J. Hongrui, W. Ye, J.-L. A. Yeh, and N. C. Tien, "On-chip spiral inductors suspended over deep copper-lined cavities," *IEEE Trans. Microwave Theory Tech.*, vol. 48, pp. 2415–2423, Dec. 2000.
- [HuJiBo06] F. Huang, N. Jiang, E. Bian, "Characteristic-function approach to parameter extraction for asymmetric equivalent circuit of on-chip spiral inductors," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 1, pp. 115-119, Jan. 2006.
- [ICCAPo6] *Agilent 85190A IC-CAP 2006, User's guide*, Agilent Technologies, 2006.
- [KaGiS05] M. Kang, J. Gil and H. Shin, "A simple parameter extraction method of spiral on-chip inductors," *IEEE Trans. Electron Devices*, vol. 52, no. 9, pp. 1976-1981, Sep. 2005.
- [KaiRio06] T. Kaija and E. O. Ristolainen, "An improved model for ground-shielded CMOS test fixtures," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 1, pp. 82-87, Jan. 2006.
- [KihoO97] K. Kihong, and K. K. O, "Characteristics of an integrated spiral inductor with an underlying n-well," *IEEE Trans. Electron Devices*, vol. 44, pp. 1565-1567, Sept. 1997.
- [Koldioo] T.E. Kolding "A four-step method for de-embedding gigahertz on-wafer CMOS measurements," *IEEE Trans. Electron Devices*, vol. 47, no 4, April 2000.
- [Koldi03] T. E. Kolding, "Simple noise deembedding technique for on-wafer shield-based test fixtures," *IEEE Trans. Microw. Theory Tech.*, vol. 51, no. 1, pp. 11-15, Jan. 2003.
- [Koldi99] T.E. Kolding, "A study of layout strategies for lowering RF CMOS device tolerances," in *Proc. 29<sup>th</sup>. Eur. Microwave Conf.*, pp. 209-212, October 1999.
- [KouYao0] Y. K. Koutsoyannopoulos, and Y. Papananos, "Systematic analysis and modelling of integrated inductors and transformers in RF IC design," *IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing*, vol 47, no.8, pp. 699-713, August 2000.
- [KuhIbo1] W. B. Kuhn and N. M. Ibrahim, "Analysis of current crowding effects in multiturn spiral inductors," *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 11, pp. 31-38, Jan. 2001.
- [LaZhLo2] H. Lakdawala, X. Zhu, H. Luo, S. Santhanam, L. R. Carley, and G. K. Fedder, "Micromachined high-Q inductors in a 0.18-/spl mu/m copper interconnect low-k dielectric CMOS process," *IEEE J. Solid-State Circuits*, vol. 37, pp. 394–403, Mar. 2002.
- [Lee98] Thomas H. Lee, *The Design of CMOS RF Integrated Circuits*, Cambridge University Press, 1998.
- [Lee06] J. Lee, "High-speed circuit designs for transmitters in broadband data links," *IEEE Journal of Solid-State-Circuits*, vol. 41, no. 5, pp. 1004-1015, May 2006.
- [LeLeRo5] J. Lee, S. Lee, P. Roblin and S. Bibyk, "Experimental analysis of spiral integrated inductors on low cost integrated circuit processes," in *Proc. 2005 IEEE SoutheastCon.*, pp.116-120.
- [LeShDo5] C. Lee, T. Sheng, J. Der-Son and C. Kao, "A simple systematic spiral inductor design with perfected Q improvement for CMOS RFIC application," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 2, pp. 523-528, Feb. 2005.

- [LiaAh99] T. M. Liakopoulos, and C. H. Ahn, "3-D microfabricated toroidal planar inductors with different magnetic core shemes for MEMs and power electronic applications," *IEEE Trans. Magnetics*, vol. 35, issue 5, part 2, pp. 3679-3681, Sept. 1999.
- [LiSoKo02] F. Ling, J. Song, T. Kamgaing, Y. Yang, W. Blood, M. Petras, and T. Myers, "Systematic analysis of inductors on silicon using EM simulations," *Electronic Components and Technology Conference*, 2002.
- [LiSuNo04] W. Y. Liu, J. Suryanarayanan, J. Nath, S. Mohammadi, L. P. B. Katehi, and M. B. Steer, "Toroidal inductors for radio-frequency integrated circuits," *IEEE Trans. Microw. Theory Tech.*, vol. 52, pp. 646-654, Feb. 2004.
- [LorCo86] Paul Lorrain y Dale R. Corson, *Campos y ondas electromagnéticos*, Selecciones Científicas, Madrid, 1986.
- [LoPIRo06] T. Lovitt, C. Plett, and J. Rogers, "A 0.13  $\mu\text{m}$  CMOS Delay Cell for 40 Gb/s FFE Equalization," in *Proc of IEEE ISCAS 2006*, pp. 5680-5683.
- [LoSaCoo] J. M. López-Villegas, J. Samitier , C. Cané, P. Losantos and J. Bausells, "Improvement of the quality factor of RF integrated inductors by layout optimization," *IEEE Trans. on Microwave Theory and Techniques*, vol. 48, no. 1, pp. 76-83, Jan. 2000.
- [LuChCo01] L. L. L. Lurng Shehng, L. Chungpin, L. C.-L. L. Chung-Len Lee, H. Tzuen-His, D. D. -L. D. Duan-Lee Tang, D. T. D. Ting Shien, and Y. Tsing-Tyan, "Isolation on Si wafers by MeV proton bombardment for RF integrated circuits," *IEEE Trans. Electron Devices*, vol. 48, pp. 928-934, May 2001.
- [MaDePo06] S. Mandal, A. De, A. Patra, and S. Sural, "A wide-band lumped element compact CAD model of Si-based planar spiral inductor for RFIC design," in *Proc. Int. Conf. on VLSI Design*, Jan. 2006
- [MeFrPo02] D. Melendy, P. Francis, C. Pichler, K. Hwang, G. Srinivasan, and A. Weisshaar, "A new wide-band compact model for spiral inductors in RFICs," *IEEE Electron Device Letters*, vol. 23, no. 5, pp. 273-275, May. 2002.
- [MeLeY95] R. B. Merrill, T. W. Lee, H. You, R. Rasmussen, and L. A. Moberly, "Optimization of high Q integrated inductors for multi-level metal CMOS," in *Proc. IEDM*, 1995, pp. 38.7.1-38.7.4.
- [MePiGo05] O. Medina, J. del Pino, A. Goni-Iturri, S. L. Khemchandani, J. García, A. Hernandez, "A Method to Build-up an Integrated Inductor Library", in *Proc. XX Conf. on Design of Circuits and Integrated Systems*, 2005.
- [MoHeB99] S.S. Mohan, M. Hershenson, S.P. Boyd, T.H. Lee, "Simple Accurate Expressions for Planar Spiral Inductances," *IEEE Journal Of Solid State Circuits*, vol. 34, no. 10, October 1999.
- [Momeno04] *Momentum User's Manual*, 2004A ed., Agilent Technologies, Sept. 2004.
- [NguMe90] N. M. Nguyen, and R. G. Meyer, "Si IC-compatible inductors and LC passive filters," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1028-1031, Aug. 1990.
- [NikMe98] A. M. Niknejad and R. G. Meyer, "Analysis, design and optimization of spiral inductors and transformers for RF ICs," *IEEE Journal of Solid State Circuits*, vol. 33, no. 10, pp. 1470-1480, October 1998.
- [Nikneoo] A. M. Niknejad, "Analysis, design and optimization of spiral inductors and transformers for RF ICs," *Ph. D. Dissertation in Electrical Engineering*, University of California at Berkeley, 2000.

- [NyThMo2] J. L. Ny, B. Thudi, and J. McKenna, "A 1.9 GHz low noise amplifier," *EECS 522 Analog Integ. Circuit Project*, Winter 2002, pp. 1-6.
- [O98] K. O, "Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies," *IEEE J. Solid-State Circuits*, vol. 33, no.8, pp. 1249-1252, August 1998.
- [OhLee04] Y. H. Oh and S. G. Lee, "An inductance enhancement technique and its application to a shunt-peaked 2.5 Gb/s transimpedance amplifier design," *IEEE Trans. Circuits and Systems II: Express Briefs*, vol. 51, issue 11, pp. 624-628, Nov. 2004.
- [OoiXu04] B. Ooi and D. Xu, "A novel equivalent circuit model for two-layered spiral inductor with eddy-current effect in the substrate," *Microwave and Optical Technology Letters*, vol. 40, no. 6, pp. 484-487, March 2004.
- [OrHiCo06] B. Orlando, R. Hida, R. Cuchet, M. Audoin, B. Viala, D. Pellissier-Tanon, X. Gagnard, and P. Ancey, "Low-resistance integrated toroidal inductor for power management," *IEEE Trans. Magnetics*, vol. 42, pp. 3374-3376, Oct. 2006.
- [OzZaG99] M. Ozgur, M. E. Zaghloul, and M. Gaitan, "High Q backside micromachined CMOS inductors," in *Proc. IEEE Int. Symp. Circuits and Systems*, 1999, pp. 577-580.
- [PeKaW88] Pettenpaul, H. Kapusta, A. Weisgerber, H. Mampe, J. Luginsland, I. Wolff, "CAD models of lumped elements on GaAs up to 18 GHz", *IEEE Trans. on Microwave Theory and Techniques*, vol. 36, no. 2, pp. 294-304, February 1988.
- [Perez96] A. Perez, "Modeling Finite Conductor Thickness", *HPEESOFF support news*, Mayo 1996.
- [PhNgBoo] N. P. Pham, K. T. Ng, M. Bartek, P. M. Sarro, B. Rejaei, and J. N. Burghartz, "A micromachining post-process module for RF silicon technology," in *IEDM Tech. Dig.*, 2000, pp. 481-484.
- [PhiSe06] M. D. Phillips, and R. K. Settaluri, "A novel toroidal inductor structure with through-hole vias in ground plane," *IEEE Trans. Microw. Theory Tech.*, vol. 54, pp. 1325-1330, April 2006.
- [Pin002] F. J. del Pino, "Modelado y aplicaciones de inductores integrados en tecnologías de silicio", Tesis Doctoral, Universidad de Las Palmas de Gran Canaria, Abril 2002.
- [PiSeHo02] J. Pino, J R Sendra, A Hernández, SL Khemchandani, J Aguilera, B González, J García, and A Nunez, "Models and tools for CMOS integrated inductors," *Analog Integrated Circuits and Signal Processing*, vol. 33, pp. 171-178, 2002.
- [Razav99] B. Razavi, *RF Microelectronics*, Prentice Hall PTR, 1999.
- [RoBhB05] F. Rotella, B. Bhattacharya, V. Blaschke, M. Matloubian, A. Brotman, Y. Cheng, R. Divecha, D. Howard, K. Lampaert, P. Miliozzi, M. Racanelli, P. Singh and P. Zampardi, "A broad-band lumped element analytic model incorporating skin effect and substrate loss for inductors and inductor like components for silicon technology and RFIC design," *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1429-1441, Jul. 2005.
- [RobLu01] I. D. Robertson, and S. Lucyszyn, *RFIC and MMIC design and technology*, London, IEE Circuits, devices and systems series 13, The Institution of Electrical Engineers, 2001, pp. 154-171.

- [RusTa03] S. C. Rustagi, and C.-G. Tan, "Equivalent circuit models for stacked spiral inductors," in *Proc. of IEEE ISCAS 2003*, vol.1, pp. 789-792.
- [SaIoVo5] M. A. T. Sanduleanu, R. Ionita, A. Vladimirescu, "A 34 GHz/1V prescaler in 90nm CMOS SOI," in *Proc. of IEEE ESSCIRC 2005*, pp. 109-112.
- [ScBiRo4] A. Scuderi, T. Biondi, E. Ragonese, and G. Palmisano, "A lumped scalable model for silicon integrated spiral inductors," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 51, issue 6, pp. 1203-1209, June 2004.
- [ScBiRo5] A. Scuderi, T. Biondi, E. Ragonese, and G. Palmisano, "Inductance calculation of thick-metal inductors," *Research in Microelectronics and Electronics*, vol. 1, pp. 193-196, July 2005.
- [SePiHo3] J. R. Sendra, J. Pino, A. Hernández, B. González, J. García, A. García-Alonso and A. Nunez, "Integrated inductors modeling for library development and layout generation," *Analog Integrated Circuits and Signal Processing*, vol. 35, pp. 121-132, 2003.
- [SiLoCo2] J. Sieiro, J. M. López-Villegas, J. Cabanillas, J. A. Osorio and J. Samitier, "A physical frequency-dependent compact model for RF integrated inductors," *IEEE Trans. on Microwave Theory and Techniques*, vol. 50, no. 1, pp. 384-392, Jan. 2002.
- [Sischko2] F. Sischka, Characterization Handbook: VNA Standard Calibration Techniques and Verification, pp. 1-22, 2002.
- [SiYeGo1] C. B. Sia, K. S. Yeo, W. L. Goh, T. N. Swe, J. G. Ma, M. A. Do, J. S. Lin and L. Chan, "A simple and scalable model for spiral inductors on silicon," in *Proc. 2001 Int. Conf. Modeling and Simulation of Microsystems*, pp. 358-361.
- [SoBuJ95] M. Soyuer, J. N. Burghartz, K. A. Jenkins, S. Ponnappalli, J. F. Ewen, and W. E. Pence, "Multilevel monolithic inductors in silicon technology," *Electronics letters*, vol. 31, no. 5, pp. 359-360 , March 1995.
- [SoInfo5] Informe Sociedad de la Información España 2005, <http://www.telefonica.es/sociedaddelainformacion>.
- [StIvDo4] G. Stojanovi, L. Ivanov and M. Damjanovi, "Compact form of expressions for inductance calculation of meander inductors," *Serbian Journal of Electrical Engineering*, vol. 1, no. 3, pp. 57-68, Nov. 2004.
- [SuPhL99] A. Sutono, A. Pham, J. Laskar, and W.R. Smith, "Development of three dimensional ceramic-based MCM inductors for hybrid RF/microwave applications," in *Proc. IEEE RFIC Symposium*, 1999, pp. 175-178.
- [SuZeT96] Y. Sun, H. van Zejl, J. L. Tauritz, and R. G. F. Baets, "Suspended membrane inductors and capacitors for application in silicon MMIC's," in *Dig. Papers IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp.*, 1996, pp. 99-102.
- [Tauruo4] Synopsys, "Taurus-Medici Industry-standard device simulation tool", Taurus Device User Guide, 2004.
- [TaWuLo2] C. C. Tang, C. H. Wu, and S. I. Liu, "Miniature 3-D inductors in standard CMOS process," *IEEE Journal of Solid-State-Circuits*, vol. 37, no. 4, pp. 471-480, April 2002.
- [TaYuWo5] N. A. Talwalkar, C. P. Yue and S. S. Wong, "Analysis and synthesis of on-chip spiral inductors", *IEEE Trans. Electron Devices*, vol. 52, no. 2, pp. 176-182, Feb. 2005.

- [TechB94] “A guide to better Vector Network Analyzer calibrations for probe-tip measurements,” Technical Brief, *Cascade Microtech*, 1994.
- [TieHao03] L. F. Tiemeijer and R. J. Havens, “A calibrated lumped-element deembedding technique for on-wafer RF characterization of high-quality inductors and high-speed transistors,” *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 822-829, Mar. 2003.
- [TonTs05] K. Y. Tong and C. Tsui, “A physical analytical model of multilayer on-chip inductors,” *IEEE Trans. Microwave Theory Tech.*, vol. 53, no. 4, pp. 1143-1149, April 2005.
- [TrGrRo04] Y. Tretiakov, R. Groves, J. Rascoe, C. Mathis, and B. Foley, “Improved modelling accuracy of thick metal passive SiGe/BiCMOS components for UWB using ADS momentum,” in *Proc. IEEE Radio Frequency Integrated Circuits Symposium 2004*, pp. 461–464.
- [TuChYo06] H.-L. Tu, I.-S. Chen, P.-C. Yeh, and H.-K. Chiou, “High performance spiral inductor on deep-trench-mesh silicon substrate,” *IEEE Microw. Wireless Compon. Lett.*, vol. 16, pp. 654-656, Dec 2006.
- [VanHeo01] J. Van Hese, “Accurate Modeling of Spiral Inductors on Silicon for Wireless RF IC Designs”, *Agilent Technologies*, November 2001.
- [WaMeFo04] A. C. Watson, D. Melendy, P. Francis, K. Hwang, and S. Weisshaar, “A comprehensive compact-modeling methodology for spiral inductors in silicon-based RFICs,” *IEEE Trans. Microwave Theory Tech.*, vol. 52, no. 3, pp. 849-857, March 2004.
- [WanLio06] Y.-Y. Wang, and Z.-F. Li, “Group-cross symmetrical inductor (GCSI): A new inductor structure with higher self-resonance frequency and Q factor,” *IEEE Trans. Magnetics*, vol. 42, pp. 1681-1686, June 2006.
- [WaZhZo04] X-N. Wang, X-L. Zhao, Y. Zhou, X-H. Dai, and B-C. Cai, “Fabrication and performance of a novel suspended RF spiral inductor,” *IEEE Trans. Electron Devices*, vol. 51, pp. 814-816, May 2004.
- [WesEs88] N. Weste, and K. Eshraghian, *Principles of CMOS VLSI Design: a Systems Perspective*, pp. 74, 1988.
- [Wilsoo02] M. P. Wilson, “Modelling of Integrated VCO Resonators Using Momentum”, Tality, Reino Unido, disponible en <http://eesof.tm.agilent.com/pdf/tality.pdf>, 2002.
- [YaFrB98] X. Ya-Hong, M. R. Frei, A. J. Becker, C. A. King, D. Kossives, L. T. Gomez, and S. K. Theiss, “An approach for fabricating high-performance inductors on low-resistivity substrates,” *IEEE J. Solid-State Circuits*, vol. 33, pp. 1433-1438, Sept. 1998.
- [YiChOo02] S-M Yim, T. Chen, and K. K. O, “The effects of a ground shield on the characteristics and performance of spiral inductors,” *IEEE Journal of Solid State Circuits*, vol. 37, no. 2, pp. 237-244, Feb. 2002.
- [YiPaLo03] W.Y. Yin, S.J. Pan, L.W. Li, and Y.B. Gan, “Modelling on-chip circular double-spiral stacked inductors for RFICs,” in *Proc. IEE Microw. Antennas Propag.*, 2003, vol. 150, no. 6, pp. 463-469.
- [YoKiH99] J.-B. Yoon, B.-K. Kim, C.-H. Han, E. Yoon, and C.-K. Kim, “Surface micromachined solenoid on-Si and on-glass inductors for RF applications,” *IEEE Trans. Electron Devices Lett.*, vol. 20, pp. 487-489, Sept. 1999.
- [YueWoo00] C. P. Yue and S. S. Wong, “Physical modeling of spiral inductors on silicon,” *IEEE Trans. Electron Devices*, vol. 47, no. 3, pp. 560-568, Mar. 2000.

- [YueWo98] C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," *IEEE Journal of Solid State Circuits*, vol. 33, no. 5, pp. 743-752, May 1998.
- [YuRyL96] C. P. Yue, C. Ryu, J. Lau, T. H. Lee, and S. S. Wong, "A physical model for planar spiral inductors on silicon," in *Proc. IEEE Int. Electron Devices Meeting*, San Francisco, CA, 1996.
- [ZhaMao03] J. Zhao, and J. Mao, "Parameter extraction and modelling for planar spiral inductor on Si-SiO<sub>2</sub> substrates by DDM for conformal modules," *IEEE Trans. Microwave Theory Tech.*, vol. 51, no. 6, pp. 1763-1766, June 2003.
- [ZheLio03] C. Zhen, and G. Lihui, "Application of the genetic algorithm in modeling RF on-chip inductors," *IEEE Trans. Microwave Theory Tech.*, vol. 51, no. 2, pp. 342-346, Feb. 2003.
- [ZhHaToo] J. Zheng, Y. Hahm, V. K. Tripathi and A. Weisshaar, "CAD-oriented equivalent-circuit modelling of on-chip interconnects on lossy silicon substrate," *IEEE Trans. Microwave Theory Tech.*, vol. 48, no. 9, pp. 1443-1451, Sept. 2000.
- [ZhKhJo04] Y. Zhong, E. Khoo, and F. Jeung, "Characterization and analysis of the effects of silicon-substrate thickness on inductor performance," *Microwave and Optical Technology Letters*, vol. 41, no. 1, pp. 70-73, April 2004.
- [ZoChRo01] A. Zolfaghari, A. Chan, and B. Razavi, "Stacked inductors and transformers in CMOS technology," *IEEE Journal of Solid-State-Circuits*, vol. 36, no. 4, pp. 620-628, April 2001.



# **Anexo A Resultados del método de extracción**

En este anexo se recogen las comparaciones entre las medidas de todas las bobinas fabricadas y los resultados del nuevo método de caracterización de los inductores desarrollado en el capítulo 2. Para cada inductor se presenta su *layout*, la tabla que recoge los componentes del modelo equivalente extraídos, y las curvas del factor de calidad y la inductancia medidas y extraídas, así como el error relativo del método.

## A.1 Inductor L1

Tabla A. I Parámetros geométricos y extraídos de L1.

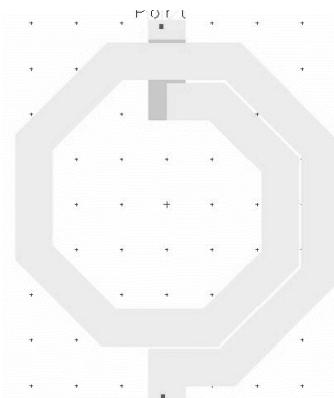
	$r_{EXT}$ ( $\mu\text{m}$ )	100
	$n$	1.5
	$w$ ( $\mu\text{m}$ )	20
	$L_s$ (nH)	0.62
	$R_s$ ( $\Omega$ )	1.5
	$C_p$ (fF)	0
	$C_{ox}$ (fF)	102.1
	$R_{sub}$ ( $\Omega$ )	418.2
	$C_{sub}$ (fF)	23.3

Figura A. 1 Layout del inductor L1.

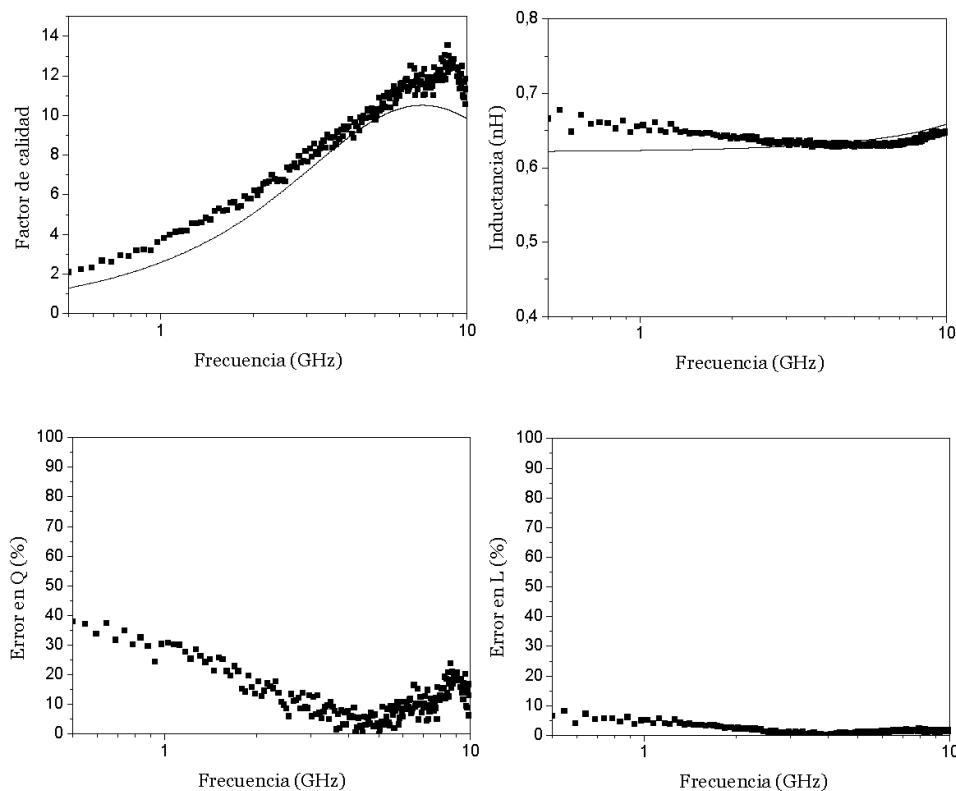


Figura A. 2 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

## A.2 Inductor L2

Tabla A. II Parámetros geométricos y extraídos de L2.

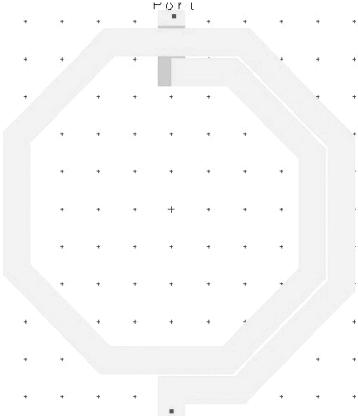
	$r_{EXT}$ ( $\mu\text{m}$ )	130
	$n$	1.5
	$w$ ( $\mu\text{m}$ )	18
	$L_S$ (nH)	1.0
	$R_S$ ( $\Omega$ )	2.0
	$C_P$ (fF)	0
	$C_{OX}$ (fF)	123.5
	$R_{SUB}$ ( $\Omega$ )	390.2
	$C_{SUB}$ (fF)	32.0

Figura A. 3 Layout del inductor L2.

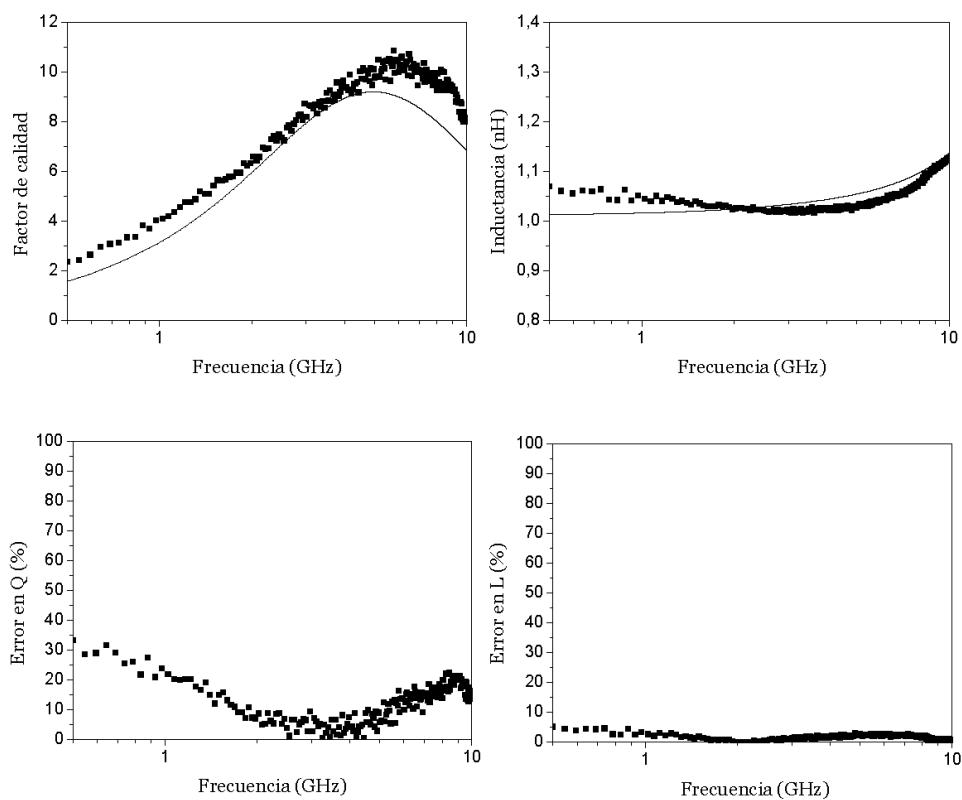


Figura A. 4 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

### A.3 Inductor L3

Tabla A. III Parámetros geométricos y extraídos de L3.

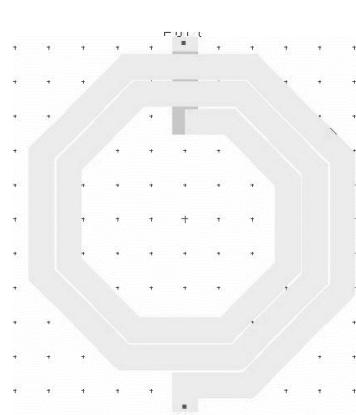
	$r_{EXT}$ ( $\mu\text{m}$ )	130
	$n$	2.5
	$w$ ( $\mu\text{m}$ )	18
	$L_S$ (nH)	1.8
	$R_S$ ( $\Omega$ )	2.5
	$C_P$ (fF)	7.2
	$C_{OX}$ (fF)	187.8
	$R_{SUB}$ ( $\Omega$ )	392.4
	$C_{SUB}$ (fF)	27.0

Figura A. 5 Layout del inductor L3.

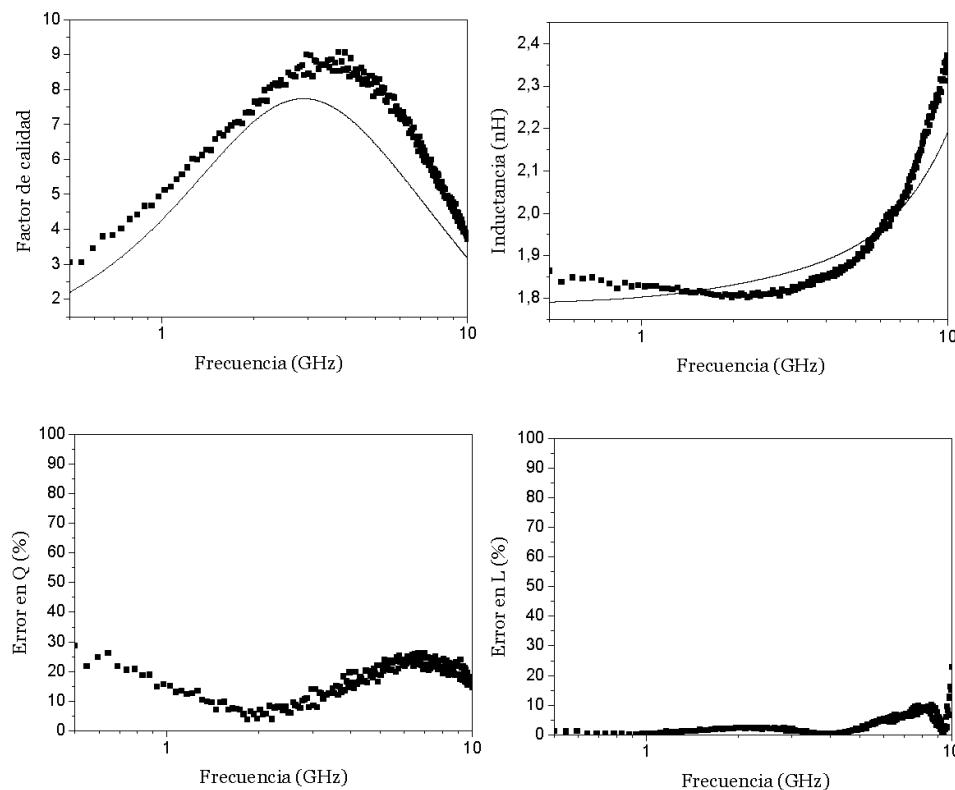


Figura A. 6 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

## A.4 Inductor L4

Tabla A. IV Parámetros geométricos y extraídos de L4.

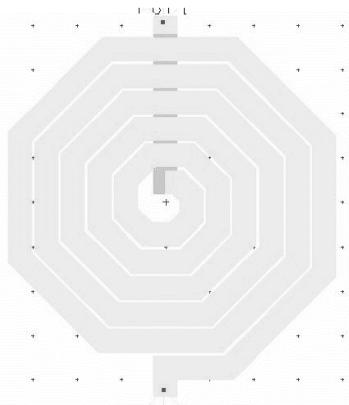
	$r_{EXT}$ ( $\mu\text{m}$ )	100
$n$	5.5	
$w$ ( $\mu\text{m}$ )	13	
$L_S$ (nH)	2.5	
$R_S$ ( $\Omega$ )	5.0	
$C_P$ (fF)	4.2	
$C_{ox}$ (fF)	168.7	
$R_{SUB}$ ( $\Omega$ )	577.3	
$C_{SUB}$ (fF)	17.7	

Figura A. 7 Layout del inductor L4.

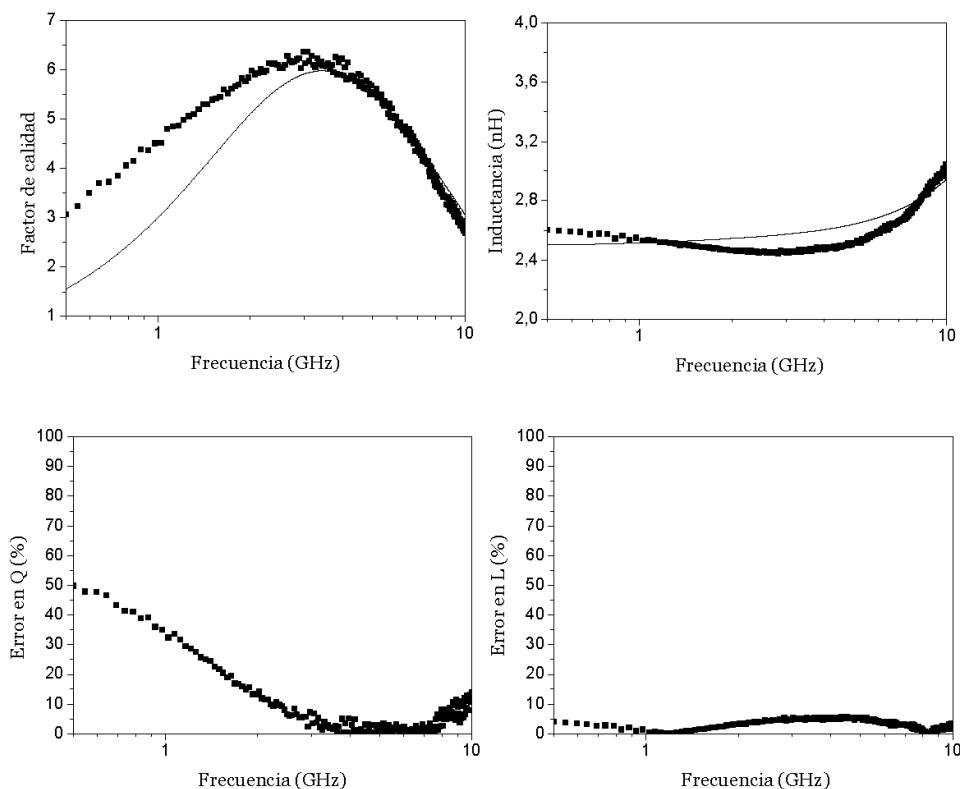


Figura A. 8 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

## A.5 Inductor L5

Tabla A. V Parámetros geométricos y extraídos de L5.

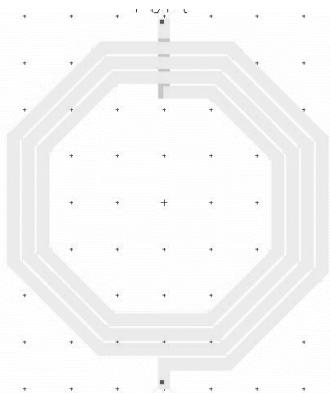


Figura A. 9 Layout del inductor L5.

$r_{EXT}$ ( $\mu\text{m}$ )	90
$n$	3.5
$w$ ( $\mu\text{m}$ )	6
$L_S$ (nH)	2.9
$R_S$ ( $\Omega$ )	4.0
$C_P$ (fF)	4.8
$C_{OX}$ (fF)	62.0
$R_{SUB}$ ( $\Omega$ )	728.5
$C_{SUB}$ (fF)	8.8

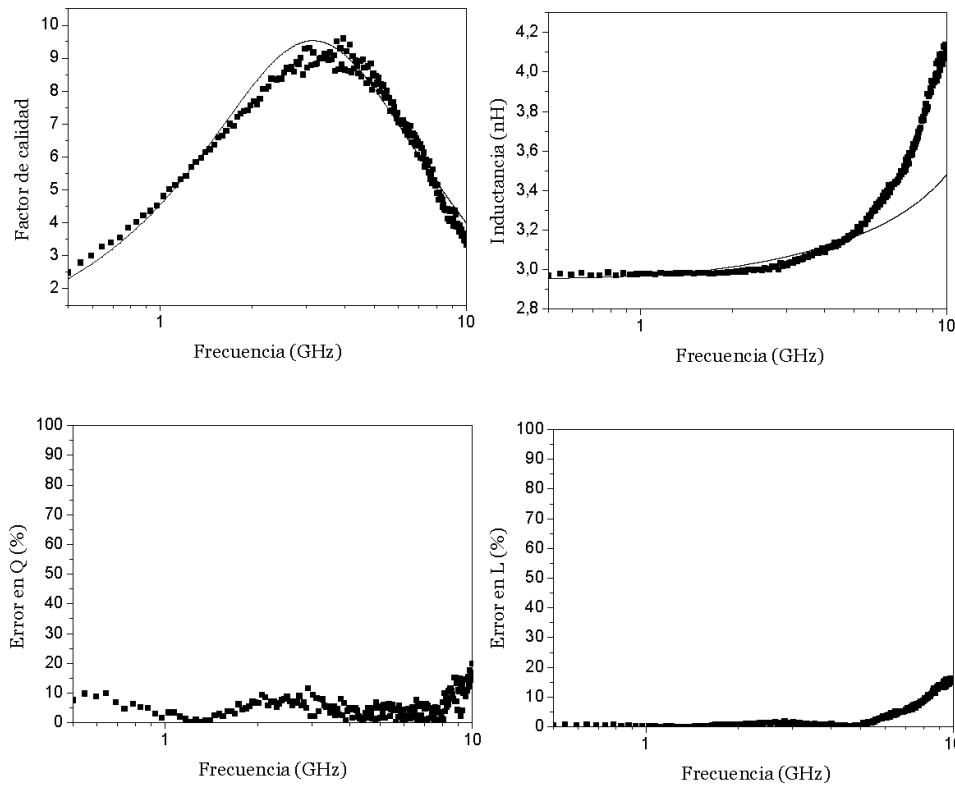


Figura A. 10 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

## A.6 Inductor L6

Tabla A. VI Parámetros geométricos y extraídos de L6.

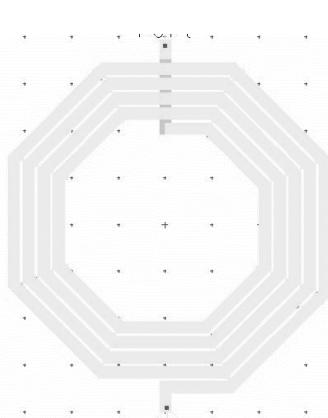


Figura A. 11 Layout del inductor L6.

$r_{EXT}$ ( $\mu\text{m}$ )	90
$n$	4.5
$w$ ( $\mu\text{m}$ )	6
$L_S$ ( $\text{nH}$ )	4.0
$R_S$ ( $\Omega$ )	4.8
$C_P$ ( $\text{fF}$ )	7.6
$C_{ox}$ ( $\text{fF}$ )	75.6
$R_{SUB}$ ( $\Omega$ )	897.8
$C_{SUB}$ ( $\text{fF}$ )	12.7

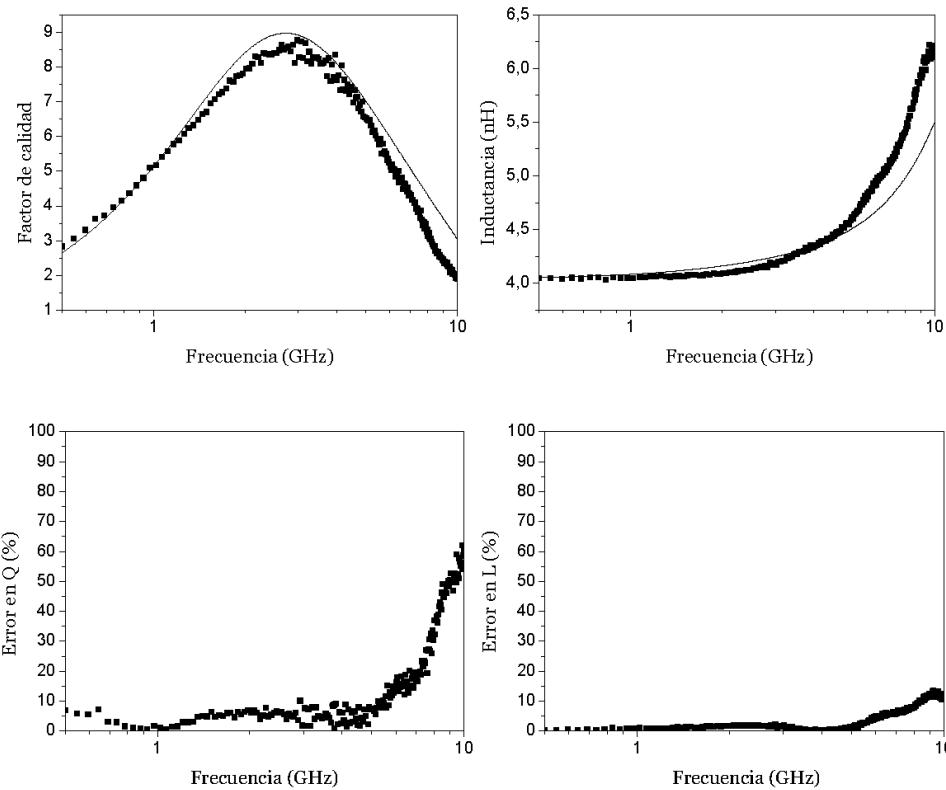


Figura A. 12 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

## A.7 Inductor L7

Tabla A. VII Parámetros geométricos y extraídos de L7.

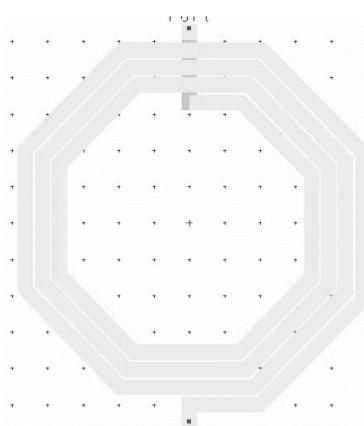


Figura A. 13 Layout del inductor L7.

$r_{EXT}$ ( $\mu\text{m}$ )	130
$n$	3.5
$w$ ( $\mu\text{m}$ )	10
$L_s$ (nH)	4.5
$R_s$ ( $\Omega$ )	5.1
$C_p$ (fF)	6.5
$C_{ox}$ (fF)	148.4
$R_{sub}$ ( $\Omega$ )	571.6
$C_{sub}$ (fF)	25.1

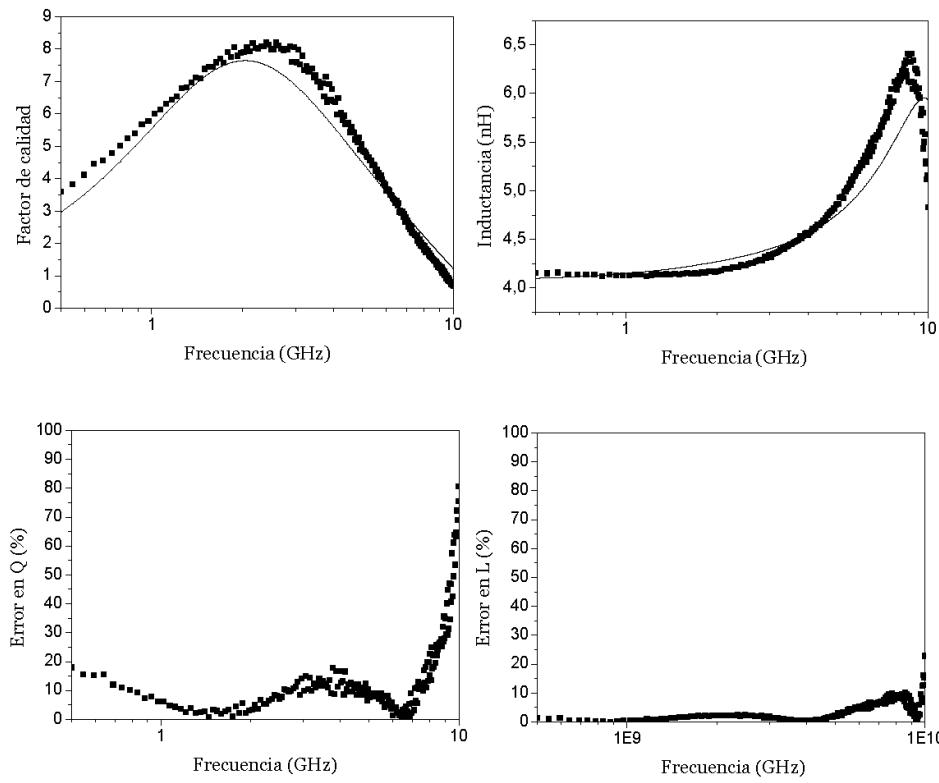


Figura A. 14 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

## A.8 Inductor L8

Tabla A. VIII Parámetros geométricos y extraídos de L8.

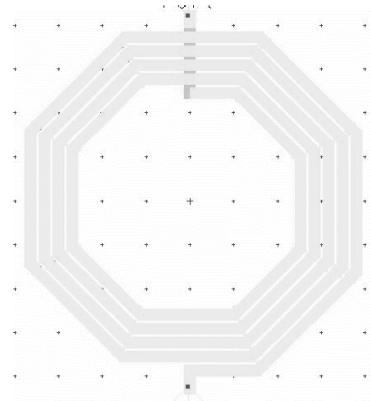
	$r_{EXT}$ ( $\mu\text{m}$ )	100
$n$	4.5	
$w$ ( $\mu\text{m}$ )	6	
$L_S$ (nH)	4.9	
$R_S$ ( $\Omega$ )	5.2	
$C_P$ (fF)	9.5	
$C_{ox}$ (fF)	85.8	
$R_{SUB}$ ( $\Omega$ )	773.7	
$C_{SUB}$ (fF)	15.9	

Figura A. 15 Layout del inductor L8.

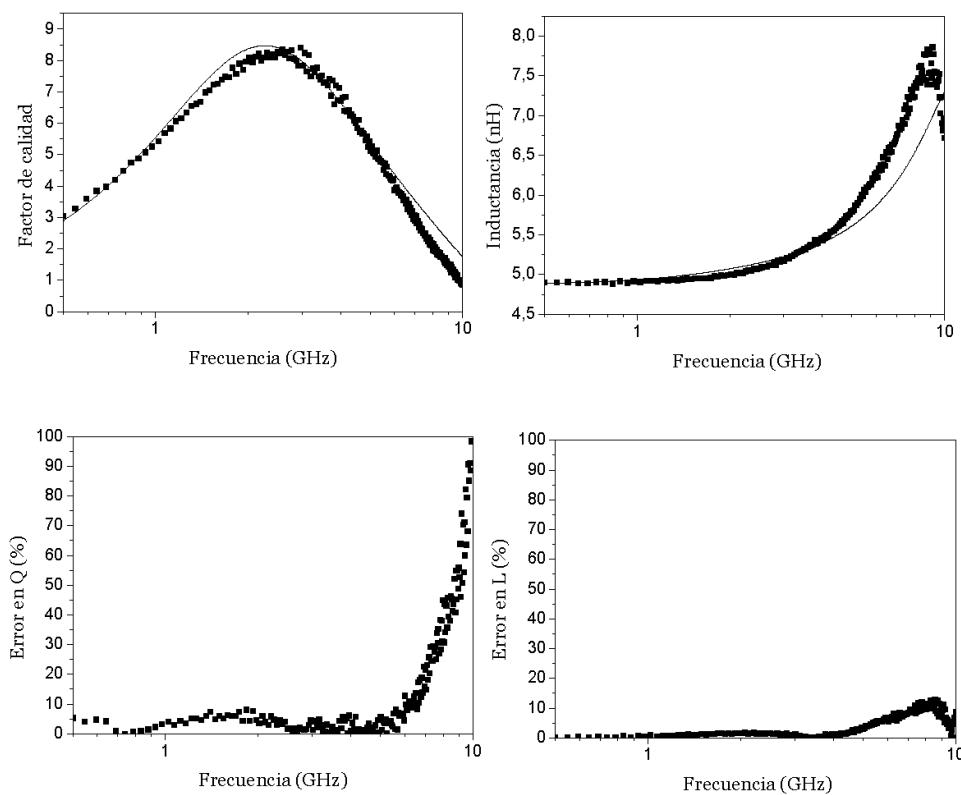


Figura A. 16 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

## A.9 Inductor L9

Tabla A. IX Parámetros geométricos y extraídos de L9.

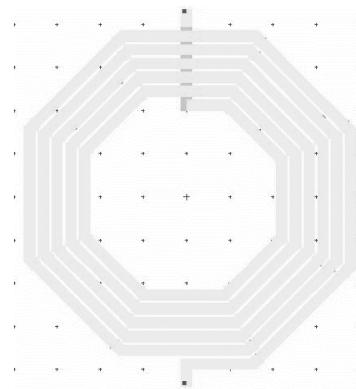
	$r_{EXT}$ ( $\mu\text{m}$ )	100
	$n$	5.5
	$w$ ( $\mu\text{m}$ )	6
	$L_S$ (nH)	6.2
	$R_S$ ( $\Omega$ )	6.1
	$C_P$ (fF)	11.4
	$C_{ox}$ (fF)	99.8
	$R_{SUB}$ ( $\Omega$ )	834.6
	$C_{SUB}$ (fF)	15.9

Figura A. 17 Layout del inductor L9.

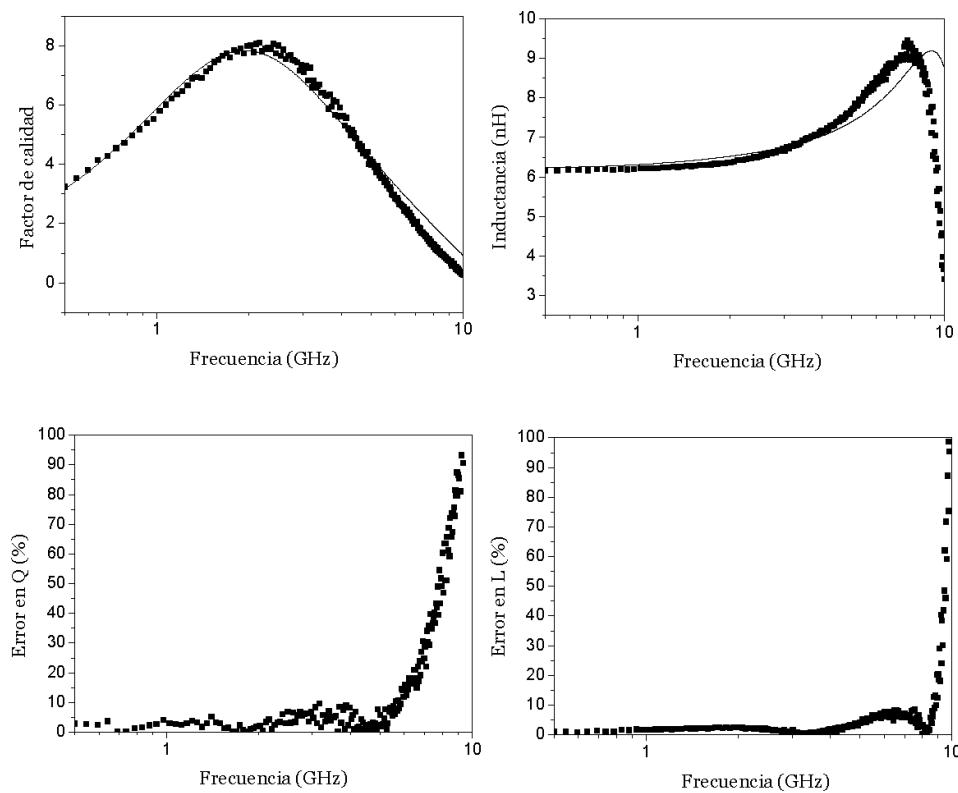


Figura A. 18 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.

## A.10 Inductor L10

Tabla A. X Parámetros geométricos y extraídos de L10.

	$r_{EXT}$ ( $\mu\text{m}$ )	100
$n$	$w$ ( $\mu\text{m}$ )	6.5
$L_S$ (nH)	$R_S$ ( $\Omega$ )	6
$C_P$ (fF)	$C_{ox}$ (fF)	7.4
$R_{SUB}$ ( $\Omega$ )	$C_{SUB}$ (fF)	6.8
		12.6
		112.0
		994.5
		16.7

Figura A. 19 Layout del inductor L10.

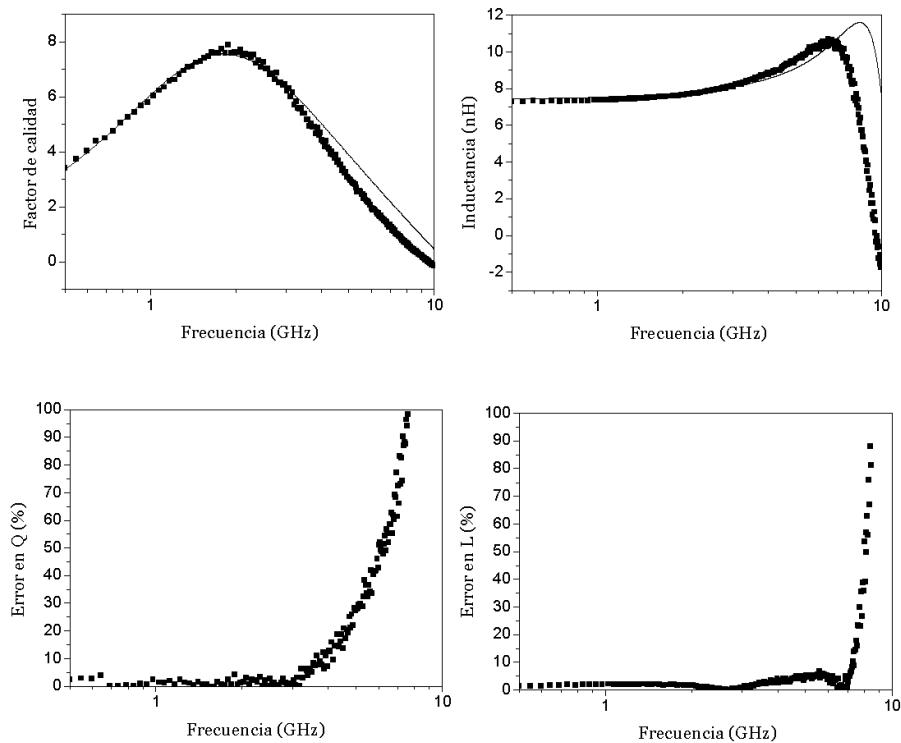


Figura A. 20 Curvas Q y L medidas y extraídas y error relativo cometido en la extracción.



# **Anexo B Flujo de diseño de la simulación de un inductor con Momentum**

En este anexo se resumen de manera esquemática los pasos necesarios que se deben dar para la correcta simulación de inductores en Momentum. En el capítulo 2 vimos que la manera más eficiente de realizar estas simulaciones pasa por reproducir la estructura fabricada en el editor de *layouts* de la herramienta. Es decir, se debe simular el inductor con la estructura de medida que la rodea. De esta manera se podrán colocar correctamente los planos de referencia a tierra en los *pads* correspondientes del anillo de guarda. Esto obliga a realizar el *de-embedding* después de la simulación, habiendo simulado previamente las tres estructuras de medida por separado.

En cualquier caso, la mayoría de los pasos enumerados aquí son comunes a cualquier forma de simulación, sea con anillo de guarda o sin él.

**1.- Definición del sustrato**

- Capas de sustrato: comunes a cualquier dispositivo.
- Capas de metalización: con ellas se mapean las capas que se dibujen en el layout.

**2.- *Layout* del dispositivo**

- Se puede importar de una herramienta de generación automática de simulación o dibujar en el entorno de diseño propio de Momentum.
- Se debe incluir la estructura de medida que rodea el inductor, con el anillo de guarda y los *pads* de señal y tierra.

**3.- Colocación de los puertos**

- Se coloca un puerto de tipo *interno* en el centro de cada uno de los dos *pads* de señal .
- Se colocan dos puertos del tipo *tierra de referencia* por cada puerto interno en los *pads* de tierra correspondientes.

**4.- Definición del mallado**

- Se dejan los valores que establece por defecto el programa, que son suficientes para garantizar buenos resultados.
- Se selecciona la opción *edge mesh*, que permitirá un mallado más fino en los bordes de las capas de *layout*.

**5.- Simulación**

- Se selecciona el modo Momentum RF.
- Se introduce el rango frecuencial de simulación y el tipo de análisis de resolución que se desea.

**6.- Tratamiento de resultados**

- Se realiza el *de-embedding* utilizando los resultados de las simulaciones de las tres estructuras de medida por separado.

# **Anexo C Resultados del modelo paramétrico**

En este anexo se recogen las comparaciones entre las medidas de todas las bobinas fabricadas y las predicciones del modelo paramétrico desarrollado en el capítulo 4. Para cada inductor se presenta su *layout*, la tabla que recoge los componentes del modelo paramétrico, y las curvas del factor de calidad y la inductancia medidas y estimadas, así como el error relativo que comete el modelo paramétrico.

Como ya se explicó en el capítulo 4, para el caso de la resistencia en serie del modelo ( $R_s$ ) hemos utilizado una expresión que varía en frecuencia. En las tablas se ha recogido el valor en continua.

## C.1 Inductor L1

Tabla C. I Parámetros geométricos y modelados de L1.

	$r_{EXT}$ ( $\mu\text{m}$ )	100
	$n$	1.5
	$w$ ( $\mu\text{m}$ )	20
	$L_s$ (nH)	0.5
	$R_s$ ( $\Omega$ )	0.8
	$C_p$ (fF)	21.2
	$C_{ox}$ (fF)	102.1
	$R_{sub}$ ( $\Omega$ )	582.6
	$C_{sub}$ (fF)	34.3

Figura C. 1 Layout del inductor L1.

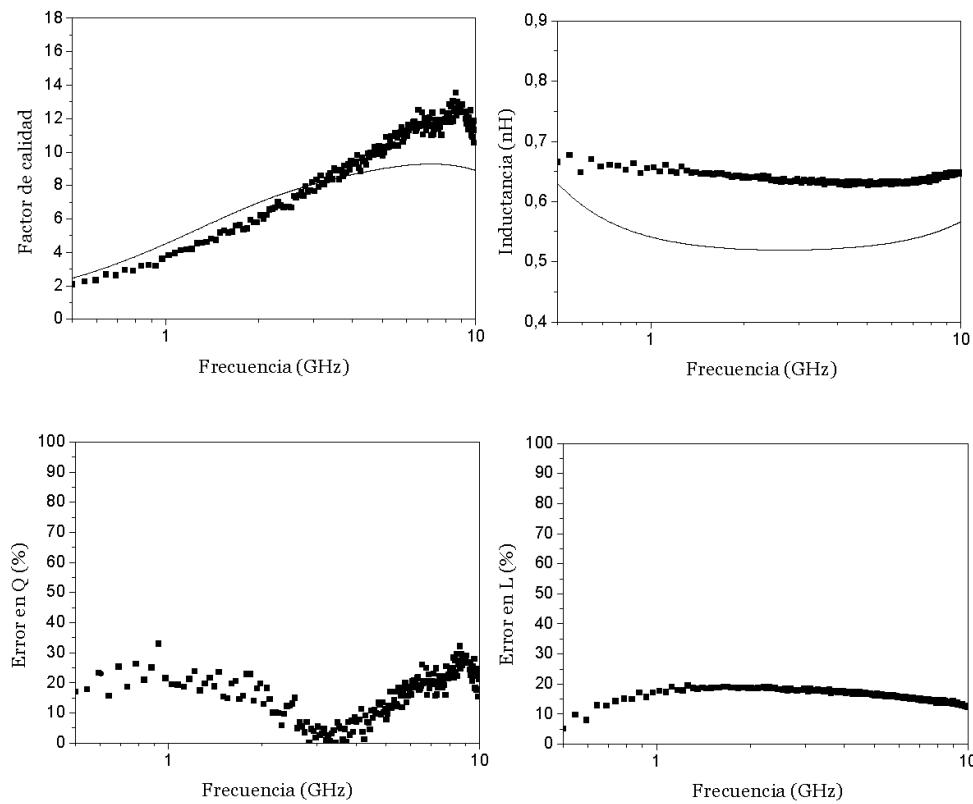


Figura C. 2 Curvas Q y L medidas y modeladas y error relativo cometido en el modelado.

## C.2 Inductor L2

Tabla C. II Parámetros geométricos y modelados de L2.

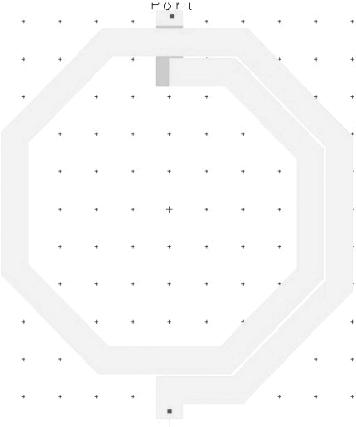
	$r_{EXT}$ ( $\mu\text{m}$ )	130
	$n$	1.5
	$w$ ( $\mu\text{m}$ )	18
	$L_s$ (nH)	0.9
	$R_s$ ( $\Omega$ )	1.1
	$C_p$ (fF)	17.2
	$C_{ox}$ (fF)	123.5
	$R_{sub}$ ( $\Omega$ )	604.5
	$C_{sub}$ (fF)	33.1

Figura C. 3 Layout del inductor L2.

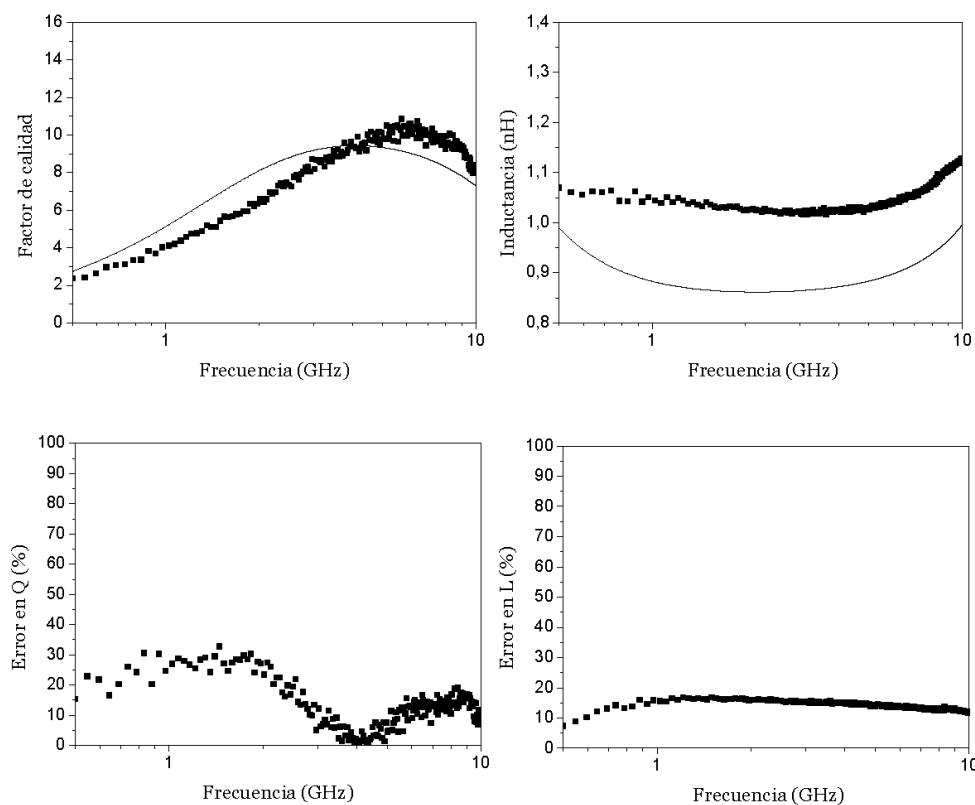


Figura C. 4 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.

### C.3 Inductor L3

Tabla C. III Parámetros geométricos y modelados de L3.

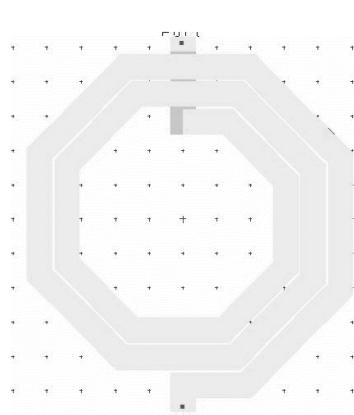
	$r_{EXT}$ ( $\mu\text{m}$ )	130
	$n$	2.5
	$w$ ( $\mu\text{m}$ )	18
	$L_S$ (nH)	1.7
	$R_S$ ( $\Omega$ )	1.6
	$C_P$ (fF)	28.6
	$C_{OX}$ (fF)	187.8
	$R_{SUB}$ ( $\Omega$ )	397.2
	$C_{SUB}$ (fF)	50.4

Figura C. 5 Layout del inductor L3.

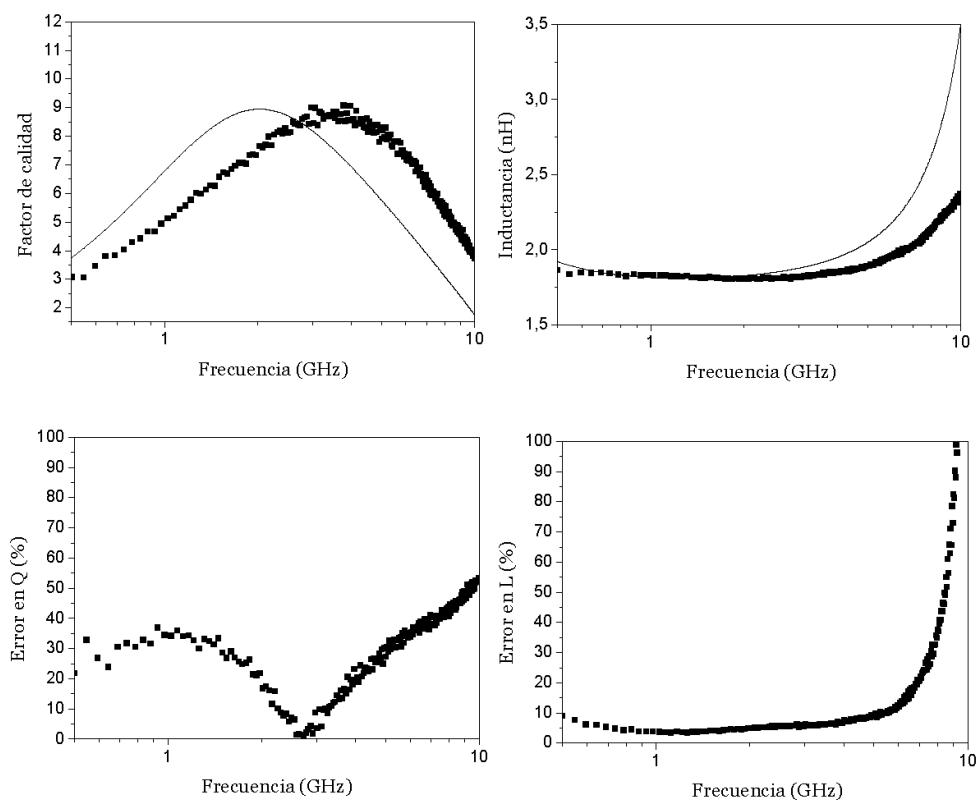


Figura C. 6 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.

## C.4 Inductor L4

Tabla C. IV Parámetros geométricos y modelados de L4.

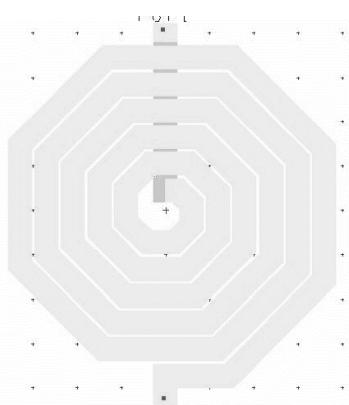
	$r_{EXT}$ ( $\mu\text{m}$ )	100
$n$	5.5	
$w$ ( $\mu\text{m}$ )	13	
$L_S$ (nH)	2.6	
$R_S$ ( $\Omega$ )	2.9	
$C_P$ (fF)	32.9	
$C_{OX}$ (fF)	168.7	
$R_{SUB}$ ( $\Omega$ )	347.4	
$C_{SUB}$ (fF)	57.6	

Figura C. 7 Layout del inductor L4.

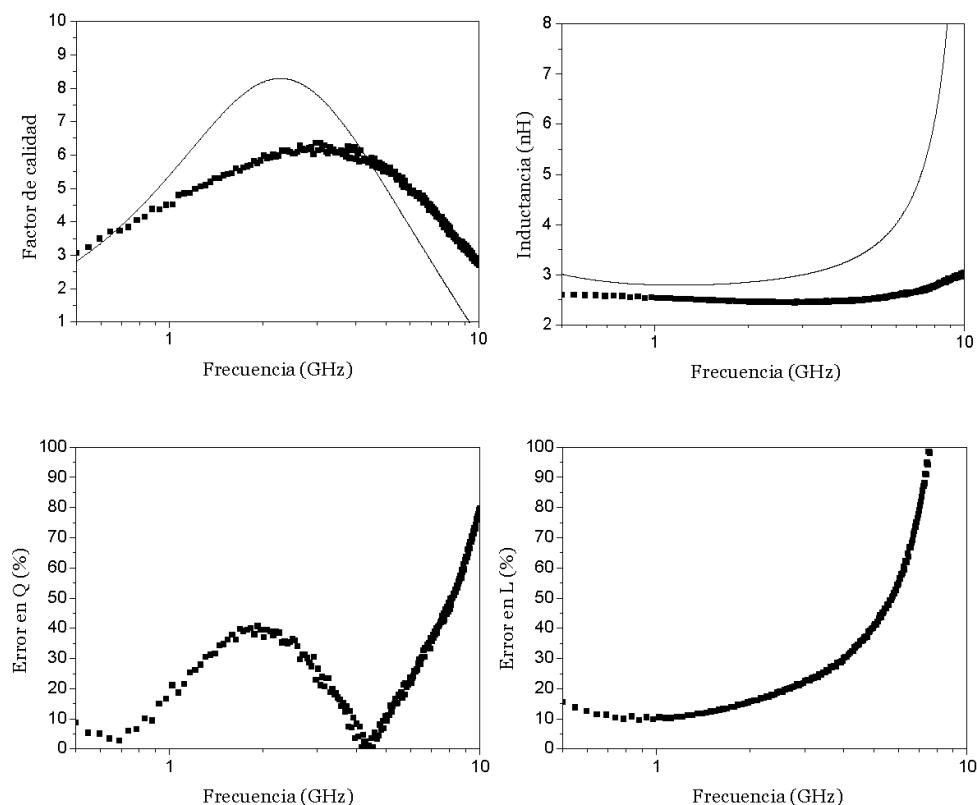


Figura C. 8 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.

## C.5 Inductor L5

Tabla C. V Parámetros geométricos y modelados de L5.

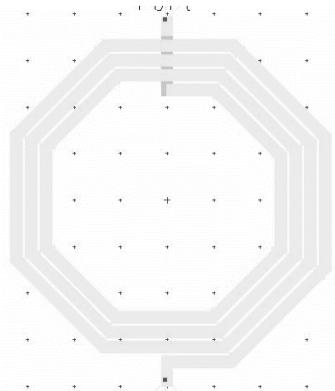


Figura C. 9 Layout del inductor L5.

$r_{EXT}$ ( $\mu\text{m}$ )	90
$n$	3.5
$w$ ( $\mu\text{m}$ )	6
$L_S$ (nH)	3.0
$R_s$ ( $\Omega$ )	4.7
$C_P$ (fF)	4.5
$C_{ox}$ (fF)	62.0
$R_{SUB}$ ( $\Omega$ )	826.0
$C_{SUB}$ (fF)	24.2

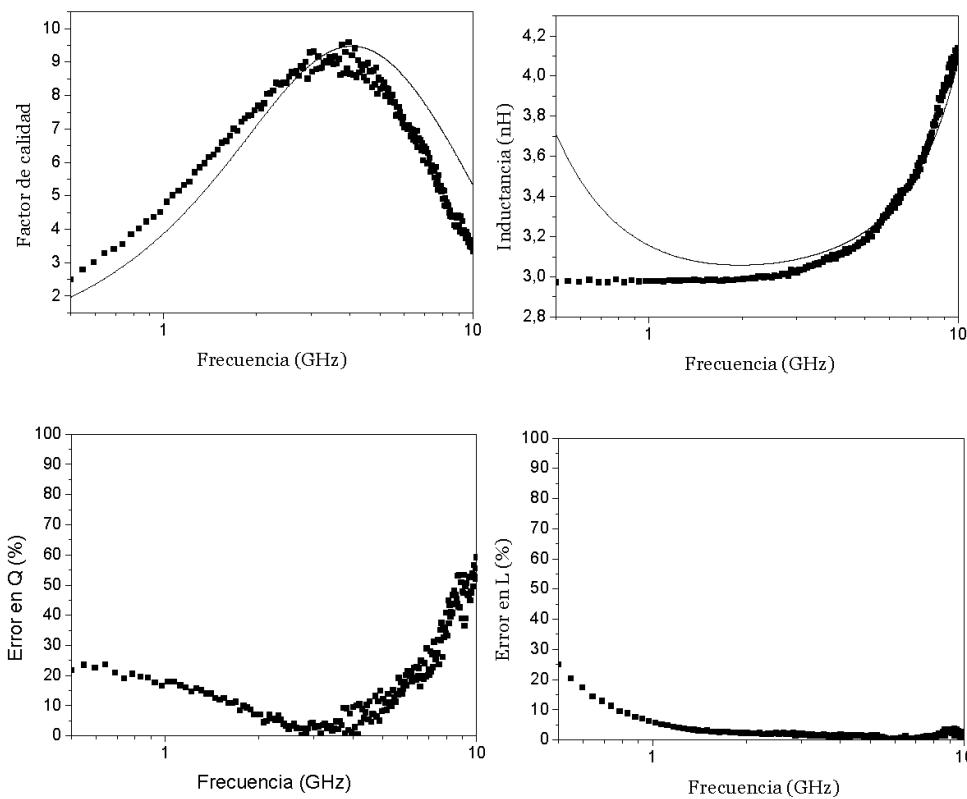


Figura C. 10 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.

## C.6 Inductor L6

Tabla C. VI Parámetros geométricos y modelados de L6.

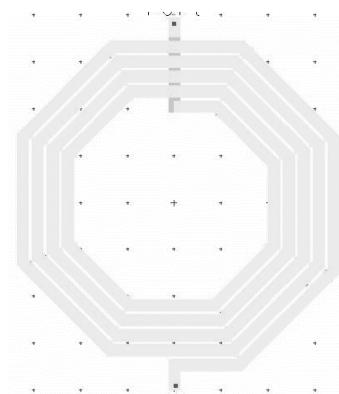


Figura C. 11 *Layout* del inductor L6.

$r_{EXT}$ ( $\mu\text{m}$ )	90
$n$	4.5
$w$ ( $\mu\text{m}$ )	6
$L_s$ (nH)	4.1
$R_s$ ( $\Omega$ )	5.7
$C_p$ (fF)	5.7
$C_{ox}$ (fF)	75.6
$R_{SUB}$ ( $\Omega$ )	678.1
$C_{SUB}$ (fF)	29.5

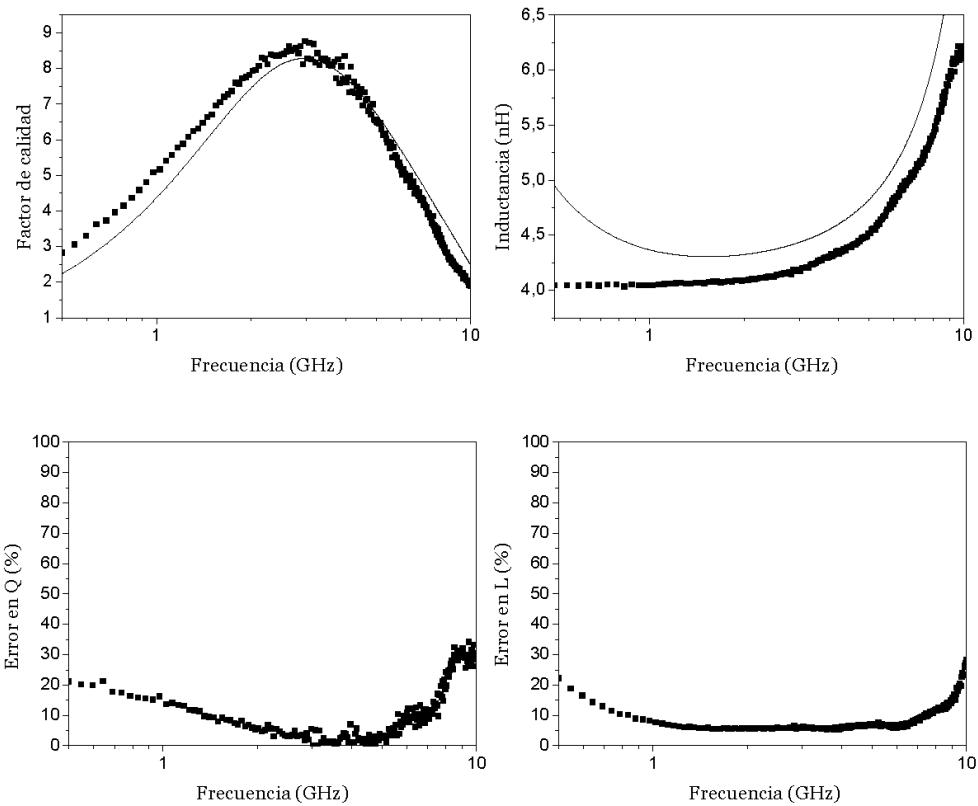


Figura C. 12 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.

## C.7 Inductor L7

Tabla C. VII Parámetros geométricos y modelados de L7.

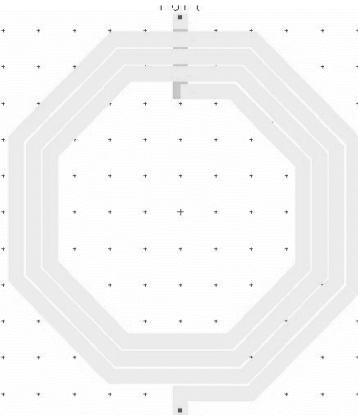
	$r_{EXT}$ ( $\mu\text{m}$ )	130
	$n$	3.5
	$w$ ( $\mu\text{m}$ )	10
	$L_s$ (nH)	4.0
	$R_s$ ( $\Omega$ )	4.1
	$C_p$ (fF)	12.4
	$C_{ox}$ (fF)	148.4
	$R_{sub}$ ( $\Omega$ )	492.0
	$C_{sub}$ (fF)	40.7

Figura C. 13 Layout del inductor L7.

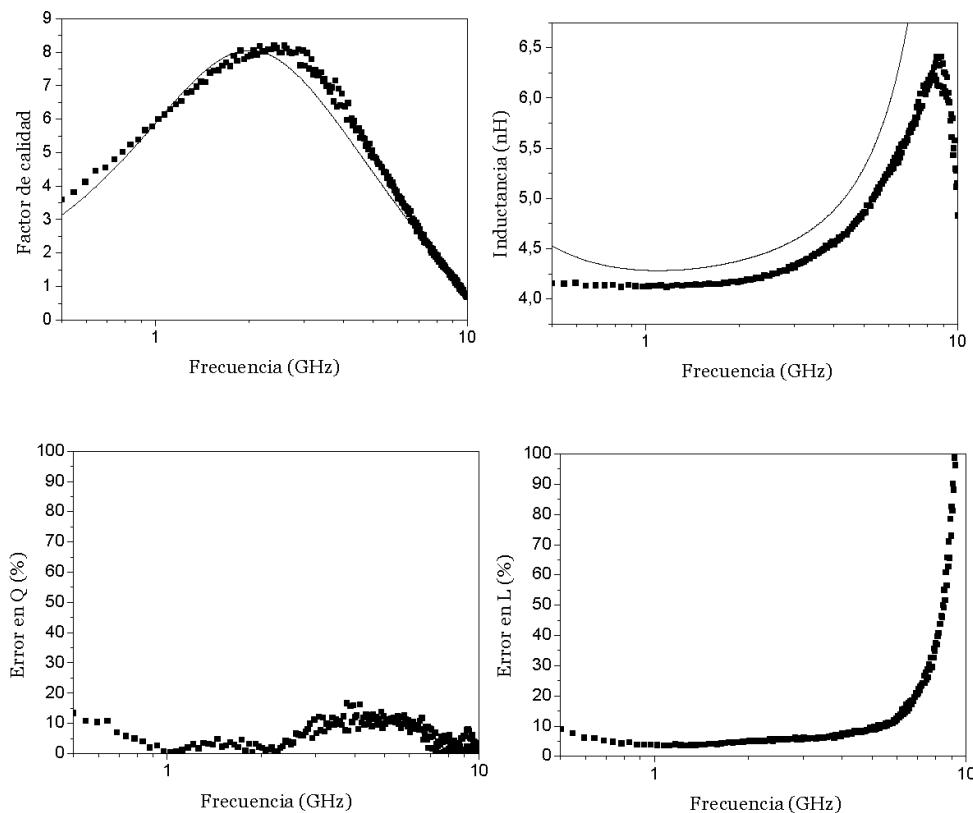


Figura C. 14 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.

## C.8 Inductor L8

Tabla C. VIII Parámetros geométricos y modelados de L8.

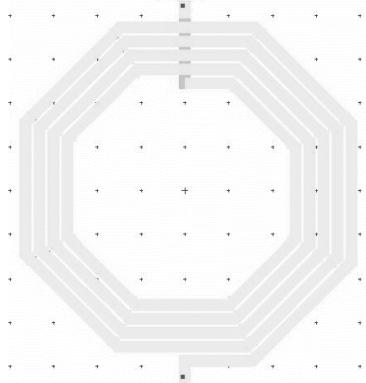
	$r_{EXT}$ ( $\mu\text{m}$ )	100
$n$	4.5	
$w$ ( $\mu\text{m}$ )	6	
$L_S$ (nH)	4.9	
$R_S$ ( $\Omega$ )	6.5	
$C_P$ (fF)	5.7	
$C_{ox}$ (fF)	148.4	
$R_{SUB}$ ( $\Omega$ )	659.2	
$C_{SUB}$ (fF)	30.3	

Figura C. 15 Layout del inductor L8.

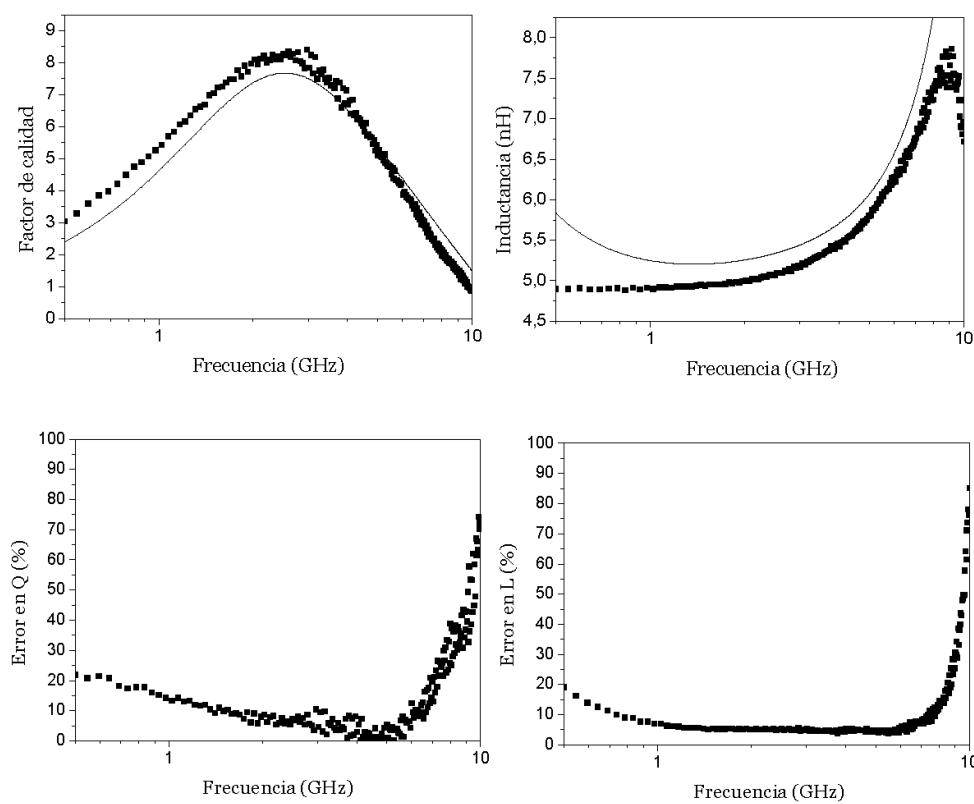


Figura C. 16 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.

## C.9 Inductor L9

Tabla C. IX Parámetros geométricos y modelados de L9.

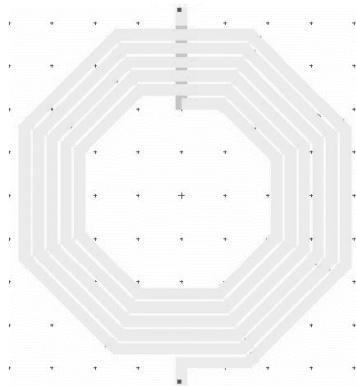


Figura C. 17 *Layout* del inductor L9.

$r_{EXT}$ ( $\mu\text{m}$ )	100
$n$	5.5
$w$ ( $\mu\text{m}$ )	6
$L_S$ (nH)	6.6
$R_S$ ( $\Omega$ )	7.5
$C_P$ (fF)	7.0
$C_{ox}$ (fF)	99.8
$R_{SUB}$ ( $\Omega$ )	567.0
$C_{SUB}$ (fF)	35.3

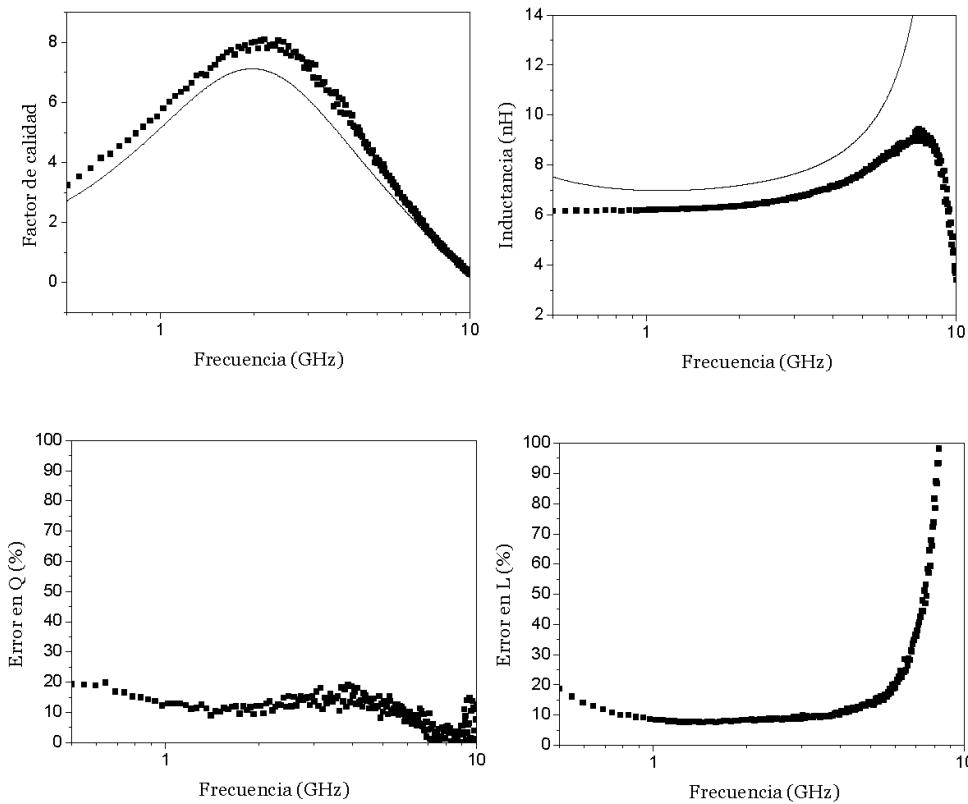


Figura C. 18 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.

## C.10 Inductor L10

Tabla C. X Parámetros geométricos y modelados de L10.

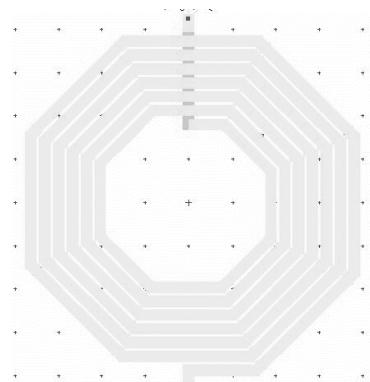
	$r_{EXT}$ ( $\mu\text{m}$ )	100
	$n$	6.5
	$w$ ( $\mu\text{m}$ )	6
	$L_S$ (nH)	7.9
	$R_S$ ( $\Omega$ )	8.5
	$C_P$ (fF)	8.3
	$C_{OX}$ (fF)	112.0
	$R_{SUB}$ ( $\Omega$ )	505.7
	$C_{SUB}$ (fF)	39.6

Figura C. 19 Layout del inductor L10.

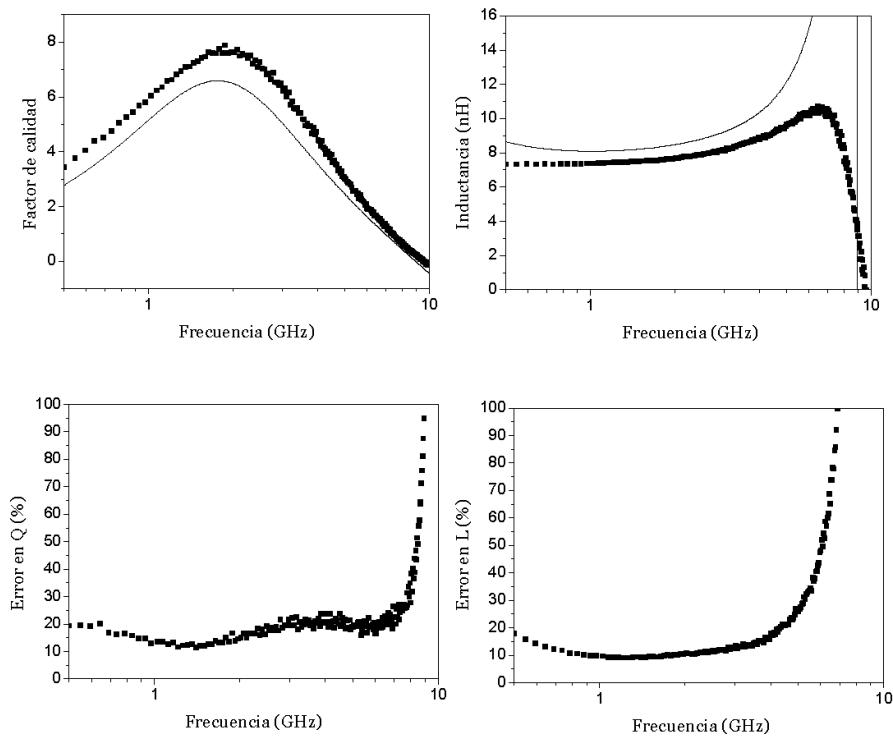


Figura C. 20 Curvas Q y L medidas y extraídas y error relativo cometido en el modelado.



## **Anexo D Librería de inductores**

En este anexo se recogen los listados de inductores generados con la herramienta I-MODEL que se vio en el capítulo 5. Para cada frecuencia de trabajo se ha generado una tabla que contiene la lista de inductores óptimos para los diferentes valores inductivos hasta 6.5 nH.

## D.1 0.85 GHz

**Tabla D. I Inductores de la librería para 0.85 GHz**

L (nH)	L <sub>MOD</sub> (nH)	Q <sub>MOD</sub>	r <sub>EXT</sub> (μm)	n	w (μm)
0.5	0.69	4.1	110	1.5	23
1	1.20	5.0	165	1.5	26
1.5	1.64	5.7	130	2.5	24
2	2.15	6.3	150	2.5	24
2.5	2.69	6.7	170	2.5	24
3	3.19	6.9	185	2.5	23
3.5	3.64	7.0	150	3.5	20
4	4.15	7.2	160	3.5	20
4.5	4.68	7.2	170	3.5	20
5	4.96	7.2	175	3.5	20
5.5	5.42	7.2	180	3.5	19
6	5.80	7.2	190	3.5	20
6.5	6.38	7.1	165	4.5	18

## D.2 0.85 GHz (2 metales)

**Tabla D. II Inductores de la librería para 0.85 GHz con 2 metales en paralelo**

L (nH)	L <sub>MOD</sub> (nH)	Q <sub>MOD</sub>	r <sub>EXT</sub> (μm)	n	w (μm)
0.5	0.69	7.3	125	1.5	30
1	1.16	8.5	120	2.5	28
1.5	1.68	9.2	140	2.5	27
2	2.19	9.4	160	2.5	27
2.5	2.65	9.5	145	3.5	25
3	3.01	9.6	150	3.5	24
3.5	3.31	9.5	150	3.5	22
4	3.80	9.4	160	3.5	22
4.5	4.32	9.1	170	3.5	22
5	4.83	8.9	150	4.5	19
5.5	5.33	8.7	160	4.5	20
6	5.80	8.5	150	4.5	16
6.5	6.31	8.3	160	4.5	17

## D.3 1.5 GHz

**Tabla D. III Inductores de la librería para 1.5 GHz**

L (nH)	L <sub>MOD</sub> (nH)	Q <sub>MOD</sub>	r <sub>EXT</sub> (μm)	n	w (μm)
0.5	0.69	6.1	105	1.5	19
1	1.19	7.3	95	2.5	17
1.5	1.63	8.1	115	2.5	18
2	2.19	8.5	130	2.5	16
2.5	2.61	8.5	115	3.5	16
3	3.02	8.6	120	3.5	15
3.5	3.46	8.6	125	3.5	14
4	3.93	8.5	130	3.5	13
4.5	4.31	8.3	140	3.5	14
5	4.82	8.2	120	4.5	12
5.5	5.57	7.9	120	4.5	10
6	6.04	7.8	125	4.5	10
6.5	6.36	7.6	115	5.5	10

## D.4 1.8 GHz

**Tabla D. IV Inductores de la librería para 1.8 GHz**

L (nH)	L <sub>MOD</sub> (nH)	Q <sub>MOD</sub>	r <sub>EXT</sub> (μm)	n	w (μm)
0.5	0.69	6.8	100	1.5	16
1	1.18	8.2	90	2.5	15
1.5	1.64	8.9	110	2.5	16
2	2.14	9.1	125	2.5	15
2.5	2.61	9.1	105	3.5	13
3	2.87	9.1	110	3.5	13
3.5	3.33	9.0	115	3.5	12
4	3.80	8.7	120	3.5	11
4.5	4.36	8.5	110	4.5	11
5	4.81	8.3	115	4.5	11
5.5	5.58	8.0	115	4.5	9
6	6.00	7.8	115	4.5	8
6.5	6.42	7.6	105	5.5	8

## D.5 2.4 GHz

**Tabla D. V Inductores de la librería para 2.4 GHz**

L (nH)	L <sub>MOD</sub> (nH)	Q <sub>MOD</sub>	r <sub>EXT</sub> (μm)	n	w (μm)
0.5	0.69	8.2	100	1.5	16
1	1.18	9.6	85	2.5	13
1.5	1.59	10.1	100	2.5	13
2	1.88	10.1	110	2.5	13
2.5	2.30	10.0	95	3.5	12
3	2.93	9.7	100	3.5	10
3.5	3.42	9.3	90	4.5	9
4	3.85	9.0	95	4.5	9
4.5	4.30	8.7	100	4.5	9
5	5.10	8.3	100	4.5	7
5.5	5.53	8.0	100	4.5	6
6	5.87	7.9	90	5.5	6
6.5	6.59	7.5	90	5.5	5

## D.6 5.6 GHz

**Tabla D. VI Inductores de la librería para 5.6 GHz**

L (nH)	L <sub>MOD</sub> (nH)	Q <sub>MOD</sub>	r <sub>EXT</sub> (μm)	n	w (μm)
0.5	0.68	13.5	55	2.5	9
1	1.02	14.0	65	2.5	8
1.5	1.31	13.6	75	2.5	8
2	1.87	12.5	65	3.5	6
2.5	2.36	11.5	70	3.5	5
3	2.87	10.6	65	4.5	5
3.5	3.36	9.7	70	4.5	5
4	3.88	8.8	75	4.5	5
4.5	4.32	8.0	70	5.5	5
5	5.03	7.0	85	4.5	5
5.5	5.51	6.3	115	3.5	5
6	6.03	5.9	80	5.5	5
6.5	6.34	5.6	95	4.5	5



# Anexo E Trabajos publicados a partir de esta tesis

En este anexo se recopilan las publicaciones que se han derivado a partir de este trabajo de tesis.

En primer lugar se adjuntan los artículos que están relacionados con el diseño de inductores en sí, que recogen las aportaciones que se han ido desarrollando en los distintos capítulos de este documento:

1. A. Goñi, J. del Pino, J. García, and A. Hernández, “A comprehensive parameter extraction method for on-chip spiral inductor modelling,” *Journal of Electronic Testing*. Artículo en revisión.
2. A. Goñi, S. L. Khemchandani, J. del Pino, J. García, B. González, and A. Hernández, “Design and modelling of an on silicon spiral inductor library using improved EM simulations”, in *Proc. of the SPIE VLSI Circuits and Systems II*, 2005, vol. 5837, pp. 534-541.
3. A. Goñi, J. del Pino, B. González, and A. Hernández, “An analytical model of electric substrate losses for planar spiral inductors on silicon,” *IEEE Trans. Electron Devices*, vol. 54, scheduled to be published on March 2007.
4. O. Medina, J. del Pino, A. Goñi, S. L. Khemchandani, J. García, A. Hernandez, “A Method to Build-up an Integrated Inductor Library”, in *Proc. XX Conf. on Design of Circuits and Integrated Systems*, 2005.
5. A. Goñi, J. del Pino, S. L. Khemchandani, J. García, B. González, and A. Hernández, “A study of stacked and miniature three-dimensional inductor performance for RF IC design”, accepted for the *SPIE VLSI Circuits and Systems II*, 2007.

Así mismo, se adjuntan también las publicaciones acerca de algunos de los circuitos que se han implementado utilizando los inductores diseñados en este trabajo:

1. [PuKhGo5] R. Pulido, S. L. Khemchandani, A. Goñi, R. Díaz, A. Hernández, and J. del Pino, "A fully integrated low-noise amplifier in SiGe 0.35 μm technology for 802.11a WIFI applications," in *Proc. of the SPIE VLSI Circuits and Systems II*, 2005, vol. 5837, pp. 1064-1074.
2. [DiPuGo4] R. Díaz, R. Pulido, A. Goñi, S. L. Khemchandani, B. González and J. del Pino, "A fully integrated mixer in CMOS 0.35 μm technology for 802.11a WIFI applications," in *Proc. XIX Conference on Design of Circuits and Integrated Systems*, 2004, pp. 603-607.
3. [GoKhPo4] A. Goñi, S. L. Khemchandani, J. del Pino and A. Hernández, "A 5 GHz SiGe VCO for WLAN using optimized spiral inductors" in *Proc. XIX Conference on Design of Circuits and Integrated Systems*, 2004, pp. 73-78.
4. [KhGoPo5] S. L. Khemchandani, A. Goñi, J. del Pino, B. González, J. García and A. Hernández, "A synthesizer for WLAN with a fully integrated VCO in 0.35 μm SiGe technology," in *Proc. XX Conference on Design of Circuits and Integrated Systems*, 2005.
5. [GaPuPo6] H. García, R. Pulido, J. del Pino, S. L. Khemchandani, A. Goñi, and A. Hernández, "A 3-10 GHz SiGe LNA for ultrawideband applications," in *Proc. XXI Conference on Design of Circuits and Integrated Systems*, 2006.
6. [MaDiPo6] G. Martín, R. Díaz, J. del Pino, S. L. Khemchandani, A. Goñi, and A. Hernández, "Design of a fully integrated DC to 8.5 GHz distributed amplifier in CMOS 0.35 μm," in *Proc. XXI Conference on Design of Circuits and Integrated Systems*, 2006.

Desde el punto de vista de los inductores empleados, los circuitos diseñados se pueden dividir en dos grupos diferentes: los que requieren bobinas con factor de calidad alto para una frecuencia de trabajo concreta (bobinas con factor de calidad de banda estrecha), y los que necesitan inductores con un factor de calidad que abarque un rango de frecuencias amplio aunque el valor no sea tan alto (bobinas con factor de calidad de banda ancha).

Los cuatro primeros trabajos de la lista anterior, que estarían incluidos en el primer grupo, fueron diseñados para implementar un receptor de conversión directa para un sistema de comunicación inalámbrica para el estándar IEEE 802.11a, que opera en la banda de 5 GHz. En [PuKhGo5] se implementan dos topologías diferentes para el LNA: cascodo (amplificador asimétrico) y balanceado (amplificador diferencial). En [DiPuGo4] se diseña un mezclador pasivo CMOS que incluye un puente multiplicador y una etapa de amplificación compuesta por un amplificador operacional totalmente diferencial. En ambos los inductores forman parte de las redes de adaptación de impedancias. En

[GoKhPo4] y [KhGoPo5] se implementa un VCO con una topología LC, por lo que será el inductor del tanque el que determine las pérdidas del oscilador.

Las otras dos publicaciones abordan el diseño de circuitos para el estándar *Ultra Wide Band* (UWB), y por eso necesitan de inductores con factor de calidad de banda ancha. En [GaPuPo6] se implementa un amplificador de bajo ruido similar al anterior, pero incluyendo modificaciones en la red de impedancia de entrada para conseguir que trabaje en la banda de 3 a 10 GHz. El último trabajo [MaDiPo6] aborda el diseño de un amplificador distribuido. Dado que utiliza un gran número de inductores, su diseño es fundamental para el funcionamiento del dispositivo. Por esto se han hecho rediseños posteriores a la publicación en donde se utilizan nuevas estructuras como las apiladas.

# A Comprehensive Parameter Extraction Method for On-Chip Spiral Inductor Modeling

AMAYA GOÑI, JAVIER DEL PINO, JAVIER GARCIA AND ANTONIO HERNANDEZ

Institute for Applied Microelectronics (IUMA), University of Las Palmas de Gran Canaria, Spain

[aiturri@iuma.ulpgc.es](mailto:aiturri@iuma.ulpgc.es)

**Abstract**—A fast automated procedure to extract the inductor equivalent model parameters is proposed. The method, which does not employ any fitting or optimization algorithm, is based on the inductor  $\pi$ -model  $Y$ -parameter equations. By simplifying them, frequency-dependent expressions for the model components are derived. Finally, a study of the parameters influence on the inductor quality factor and inductance allows selecting the frequencies at which the parameters are evaluated. The method has been verified across inductors fabricated in a SiGe 0.35  $\mu\text{m}$  foundry process. The extracted models show excellent agreement with the measured data sets over the frequency range up to 10 GHz.

**Index Terms**—RFIC, on-chip inductor, equivalent-circuit model, parameter extraction.

## I. INTRODUCTION

RADIO frequency (RF) and mixed-signal integrated on silicon circuits have spread through every facet of modern life. However, silicon is a low resistive substrate, and high performance integrated passive components such as inductors are difficult to achieve. The performance of voltage controlled oscillators (VCOs) [1], [2], low noise amplifiers (LNAs) [3], matching networks and distributed amplifiers depends strongly on the inductor quality [4]. Several studies have sought to improve the inductor quality factor, mainly by introducing unconventional processing or post-processing techniques. Published examples include glass substrates [5], suspended spiral inductors [6] or toroidal inductors that confines flux [7]. However all these approaches involve high fabrication cost and are not suitable for large-volume production. Therefore on-chip spiral coils have became critical components in RF circuit design [8].

One of the main issues about inductors is the need for accurate equivalent models that can be included in the circuit simulation along with the entire RF IC design. In order to employ these models for time-domain circuit simulation in circuit simulators such as SPICE or ADS, the model components should be frequency-independent.

It would be very useful for the RFIC designer achieving a

fast way to derive the equivalent inductor model of any measured coil. However getting a broad-band frequency reliable model is not an easy task.

One of the most commonly used compact spiral inductor model is the two port circuit shown in Figure 1 [9], [10]. The magnetic field caused by the ac current flowing in the metal traces is responsible for the device inductive behavior, represented by the inductor  $L_S$ . Serially connected to it, the resistor  $R_S$  models the ohmic losses in the metal traces. The capacitor  $C_P$  takes into account the capacitive matching due to the electrical field between the spiral tracks, and the electric field between the spiral and the cross-under. The rest of the elements in the circuit incorporate the substrate effects. Thus, capacitors  $C_{OX}$  model the oxide capacitance between the coil and the substrate, while  $C_{SUB}$  and  $R_{SUB}$  are the substrate capacitances and resistances respectively.

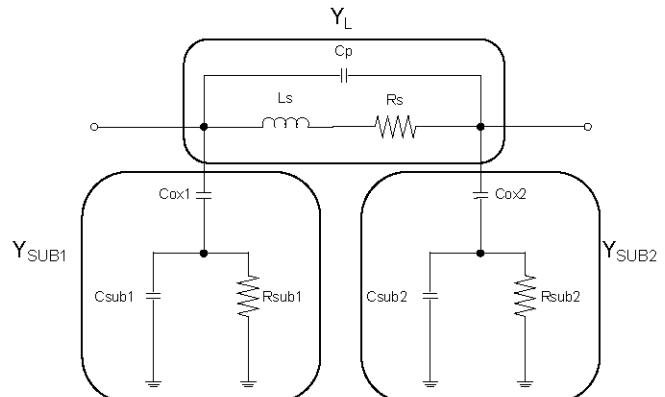


Figure 1 Two port  $\pi$ -equivalent circuit model for on-chip spiral inductor.

In this paper an analytical approach to extract model parameters from measured  $S$ -parameters is described. Section II is devoted to review typical methods used so far in inductance characterization. The theoretical analysis and the new procedure are developed in Section III. Then, the process is validated with a number of inductors fabricated in a 0.35  $\mu\text{m}$  SiGe technology. Finally, some conclusions about this work are given in Section V.

This work has been partially supported by the Spanish MEC and MCyT under projects TEC-2005-08091-C03-03 and FIT-330100-2006-43.

## II. CLASSICAL METHOD

As it can be seen in Figure 1, the equivalent circuit model could be defined through three admittance branches:  $Y_L$ ,  $Y_{SUB1}$  and  $Y_{SUB2}$ . So, the translation of measured  $S(\omega)$  parameters into  $Y(\omega)$  ones will be the first step in any characterization process. The two-port admittance matrix obtained is shown in (1):

$$Y_\pi = \begin{bmatrix} Y_{\pi 11} & Y_{\pi 12} \\ Y_{\pi 21} & Y_{\pi 22} \end{bmatrix} \quad (1)$$

$Y_L$ ,  $Y_{SUB1}$  and  $Y_{SUB2}$  can be easily derived from (1):

$$Y_L = -Y_{\pi 12} = -Y_{\pi 21} \quad (2)$$

$$Y_{SUB1} = Y_{\pi 11} + Y_{\pi 12} \quad (3)$$

$$Y_{SUB2} = Y_{\pi 22} + Y_{\pi 21} \quad (4)$$

Equations (2), (3) and (4) allow isolating the series admittance  $Y_L$  from the shunt branches  $Y_{SUB1}$  and  $Y_{SUB2}$ . This way the extraction procedure can be reduced to a fitting process, consisting of minimizing the result of the subtraction given in (5):

$$\sum_i \sqrt{\left| Y_L(\omega_i) - Y'_L(L_S, R_S, C_P, \omega_i) \right|^2} \quad (5)$$

where  $Y_L(\omega_i)$  is given by (2), and  $Y'_L(L_S, R_S, C_P, \omega_i)$  is the admittance directly evaluated from the circuit shown in Figure 1. The process is repeated with  $Y_{SUB}$  to obtain  $C_{OX}$ ,  $R_{SUB}$  and  $C_{SUB}$ .

However, fitting the measured data over a broad-band frequency range is a difficult task. Some research works try to overcome it by solving matrix eigenvalue equations over more complex equivalent circuits [11], although most of them make use of optimization iterative algorithms [12]-[15]. This kind of solutions is very time-consuming, may suffer from convergence problems, and sometimes provide extracted parameters with no physical meaning at all. Therefore a faster and robust automated method is desirable to extract the parameters from inductor measurements.

## III. NEW EXTRACTION PROCEDURE

### A. Theoretical analysis

We shall start with the admittance  $Y_L$  evaluated from the lumped elements in the equivalent circuit shown in Figure 1. The series branch consists of a series combination of an inductor and a resistor together with a parallel-connected capacitor. By separating the real and imaginary parts it can be written as:

$$Y_L = \left[ \frac{R_S}{R_S^2 + \omega^2 \cdot L_S^2} \right] + j \cdot \left[ -\frac{\omega \cdot L_S}{R_S^2 + \omega^2 \cdot L_S^2} + \omega \cdot C_P \right] \quad (6)$$

It is known that the  $R_S$  value is, for the inductors we usually

employ, smaller than  $20 \Omega$ . On the other hand  $L_S$  is not higher than  $20 \text{ nH}$ . Therefore (6) can be simplified by considering that  $R_S^2 \ll \omega^2 \cdot L_S^2$  in the frequency range we work at.

$$Y_L = \frac{R_S}{\omega^2 \cdot L_S^2} + j \cdot \left[ -\frac{1}{\omega \cdot L_S} + \omega \cdot C_P \right] \quad (7)$$

As we will show later in this work, the relevance of the capacitance  $C_P$  is limited to the inductor behavior at high frequency. So it can be neglected at low frequencies, and  $L_S$  can be derived from the imaginary part of (7):

$$L_S = \left[ -\frac{1}{\omega \cdot \text{imag}(Y_L)} \right]_{\text{Low Frequency}} \quad (8)$$

Once the inductance  $L_S$  is known,  $R_S$  and  $C_P$  can be directly calculated from the real and imaginary parts of (7) respectively:

$$R_S = \left[ \text{real}(Y_L) \cdot \omega^2 \cdot L_S^2 \right]_{\text{Low Frequency}} \quad (9)$$

$$C_P = \left[ \frac{\frac{1}{\omega \cdot L_S} + \text{imag}(Y_L)}{\omega} \right]_{\text{High Frequency}} \quad (10)$$

The same procedure is followed for  $Y_{SUBi}$ , where  $i$  refers to 1 or 2, and denotes the  $Y_{SUB1}$  and  $Y_{SUB2}$  branches, respectively. The impedance  $Z_{SUBi}$  can be derived easily from (11). The result, after separating real and imaginary parts, is given in (12).

$$Y_{SUBi} = \left( \frac{1}{j \cdot \omega \cdot C_{OX}} + \frac{1}{j \cdot \omega \cdot C_{SUBi} + \frac{1}{R_{SUBi}}} \right)^{-1} \quad (11)$$

$$Z_{SUBi} = \frac{R_{SUBi}}{1 + \omega^2 \cdot C_{SUBi}^2 \cdot R_{SUBi}^2} - j \cdot \left( \frac{1}{\omega \cdot C_{OX}} + \frac{\omega \cdot C_{SUBi} \cdot R_{SUBi}^2}{1 + \omega^2 \cdot C_{SUBi}^2 \cdot R_{SUBi}^2} \right) \quad (12)$$

Having into account that  $C_{SUB}$  is typically measured in fF and  $R_{SUB}$  is not bigger than  $1 \text{ K}\Omega$ , we can consider that the result of  $\omega^2 \cdot C_{SUB}^2 \cdot R_{SUB}^2$  is considerably lower than the unit. Therefore  $R_{SUB}$  can be obtained from the real part of  $Z_{SUB}$  evaluated at low frequencies:

$$R_{SUBi} = \text{real}(Z_{SUBi})_{\text{Low Frequency}} \quad (13)$$

The only step left is deriving  $C_{OX}$  and  $C_{SUB}$  from the imaginary part of (12). In order to rest complexity to the problem, we shall calculate the oxide capacitance by the physical expression of a simple capacitor. Previous works [16], [17] verify that the parametric model given by (14) estimates correctly the capacitance  $C_{OX}$ .

$$C_{OXi} = \varepsilon_O \cdot \varepsilon_{OX} \cdot \frac{A}{t_{OX}} \quad (14)$$

where  $\varepsilon_O \cdot \varepsilon_{OX}$  is the oxide permittivity,  $A$  is the area occupied by the coil, and  $t_{OX}$  is the oxide layer thickness situated between the spiral and the silicon substrate.

The substrate branch consists of the series combination of  $C_{OX}$  and the shunt-connected elements  $R_{SUB}$  and  $C_{SUB}$ . So, if the  $C_{OX}$  impedance is subtracted from  $Z_{SUB}$  we will obtain a new expression,  $Z_{SUB}'$ :

$$Z_{SUBi}' = Z_{COXi} + Z_{SUBi}' \quad (15)$$

$$Z_{SUBi}' = Z_{SUBi} + \frac{j}{\omega \cdot C_{OXi}} \quad (16)$$

On the other hand it is known that the admittance  $Y_{SUB}'$  is given by (17), so  $C_{SUB}$  can be finally calculated by inverting (16) and substituting it on (18).

$$Y_{SUBi}' = \frac{1}{R_{SUBi}} + j \cdot \omega \cdot C_{SUBi} \quad (17)$$

$$C_{SUBi} = \left[ \frac{\text{imag}(Y_{SUBi}')}{\omega} \right]_{\text{High Frequency}} \quad (18)$$

Results derived by means of equations (8), (9), (10), (13), (14) and (18) are plotted in Figure 2, 3 and 4 for a 4.5-turn spiral inductor fabricated in a SiGe 0.35  $\mu\text{m}$  technology. The external radius is 90  $\mu\text{m}$  and the metal tracks are 6  $\mu\text{m}$  width.

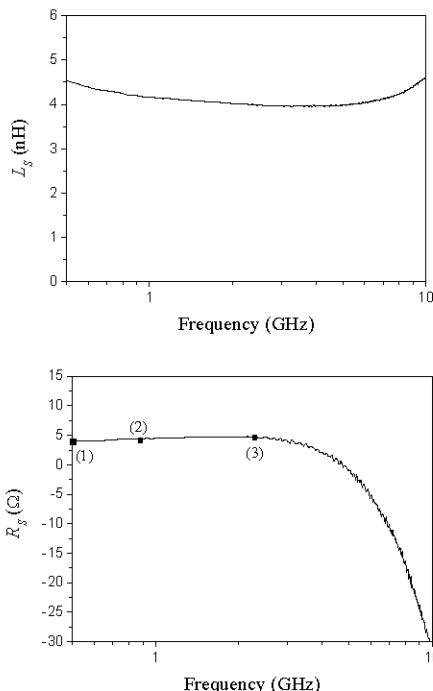


Figure 2 Extracted  $L_S$  and  $R_S$  from the measurements by means of (8) and (9).

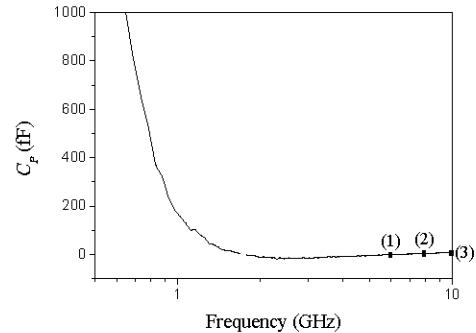


Figure 3 Extracted  $C_p$  from the measurements by means of (10).

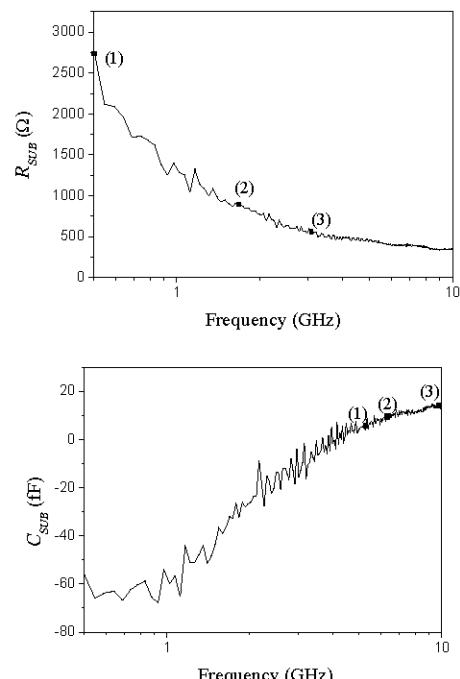


Figure 4 Extracted  $R_{SUB}$  and  $C_{SUB}$  from the measurements by means of equations (13) and (18).

As it is illustrated in Figures 2, 3 and 4, expressions of the lumped elements of the equivalent model shown in Figure 1 have been derived. However, all of them (excepting for  $C_{OX}$ ) depend on frequency, and we are looking for a frequency-independent circuit as explained in the introduction. So, determining the proper frequencies at which the components should be calculated will be the next step in our method.

#### B. Frequency selection

Once the above expressions have been obtained, a number of authors use linear fittings to extract the lumped components [18]-[20]. However, the final solution depends strongly on the frequency range chosen for the fit, and even it may be necessary to study it for each coil separately.

We will choose the specific frequencies to evaluate the components by analyzing their influence on the final quality factor and inductance.

$L_S$  and  $R_S$  will be the first elements to be studied. It is known that both of them determine the slope up to the peak in

the quality factor curve. As shown in Figure 2, the former hardly depends on frequency. It has been verified that changing the  $L_S$  value into the limits given by the curve in Figure 2 involves no significant changes in the quality factor. Therefore, it will be evaluated at any frequency at which the curve remains stable.

The situation for  $R_S$  is completely different because a minimum change in it modifies considerably the Q curve, as it is shown in Figure 5. Apart from the measured curve (solid line), three more lines represent the extracted Q for three different resistances values marked in Figure 2: at DC (dashed and dotted line), the peak value (dashed line) and at an intermediate frequency (dotted line). As shown in the plot, the best result is the one given for the maximum  $R_S$ , so this will be the one used in our extraction method.

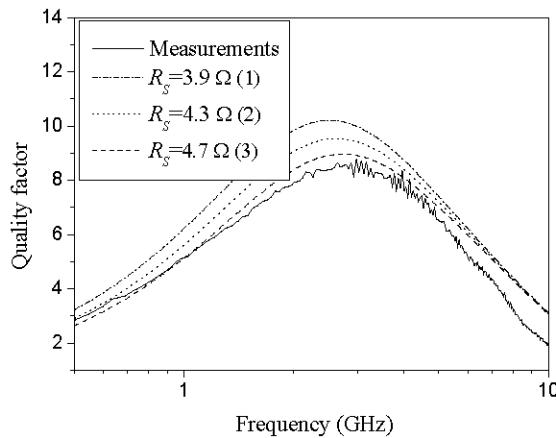


Figure 5 Measured and extracted quality factor for three different  $R_S$  values (see markers in Figure 2).

Equation (10) was obtained by evaluating (7) at high frequencies, so we will employ frequencies close to 10 GHz to calculate  $C_P$ . As stated before, the capacitance  $C_P$  is the least influential element among all that take part in the inductor equivalent model. Figure 6 shows that it only modifies the coil resonant frequency ( $f_{RES}$ ). Therefore we shall employ the capacitance value that makes the extracted resonant frequency match the measured one.

We can see that both extracted and measured inductance lines fit better as the  $C_P$  evaluation frequency gets closer to 10 GHz. However, we only cover measure data up to 10 GHz, and the resonant frequency is higher for the coil on test. Anyway we will assume that the best solution is given for  $C_P$  evaluated exactly at  $f_{RES}$ . In case  $f_{RES}$  is higher than the maximum measured frequency, the  $C_P$  value will be set at the highest available frequency.

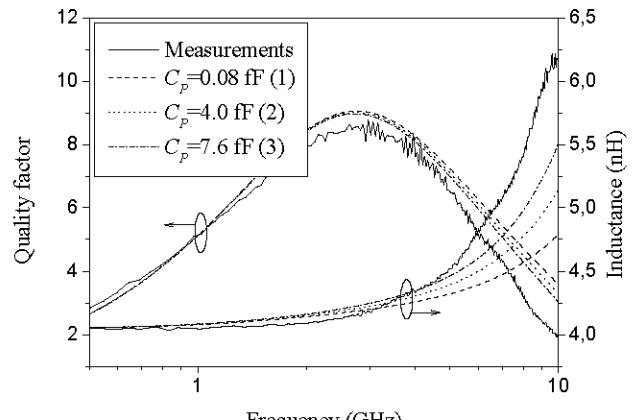


Figure 6 Measured and extracted quality factor and inductance for three different  $C_P$  values (see markers in Figure 3).

As seen in (13),  $R_{SUB}$  should be evaluated at low frequencies. However Figure 4 shows that the resistance drops considerably near the zero frequency, even going down to a half its DC value before reaching 1 GHz for our test coil. Figure 7 illustrates that this variation changes completely the quality factor shape, since  $R_{SUB}$  determines the slope down in the curve. In this plot the inductance has not been included because  $R_{SUB}$  has very little relevance on it.

The three reference values to study  $R_{SUB}$  weight have been marked in Figure 4: at zero frequency, at the frequency of maximum quality factor, and at the central point between them. It is observed that the last one involves the best agreement between measured and extracted Q, and satisfies the constraint we assumed to obtain (13). So, this one will be the established value in our method.

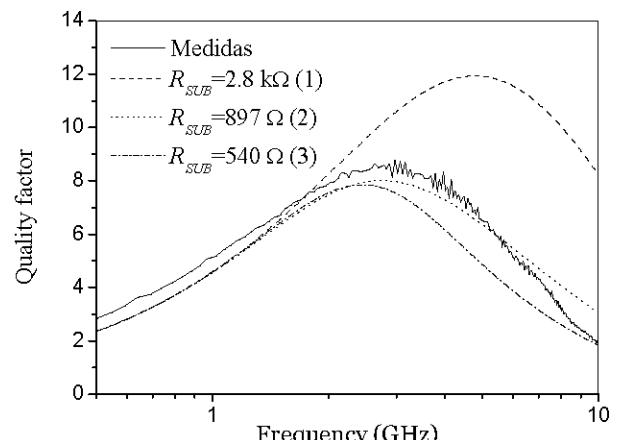


Figure 7 Measured and extracted quality factor for three different resistance  $R_{SUB}$  values (see markers in Figure 4).

As said before, the capacitances in the equivalent model determine mainly the inductor behavior at high frequencies. Figure 8 confirms that  $C_{SUB}$  modifies only the resonant frequency, and results improve when the frequency at which  $C_{SUB}$  is calculated gets closer to  $f_{RES}$ . Therefore we will repeat the rule established for  $C_P$  and evaluate both capacitances at the same frequency.

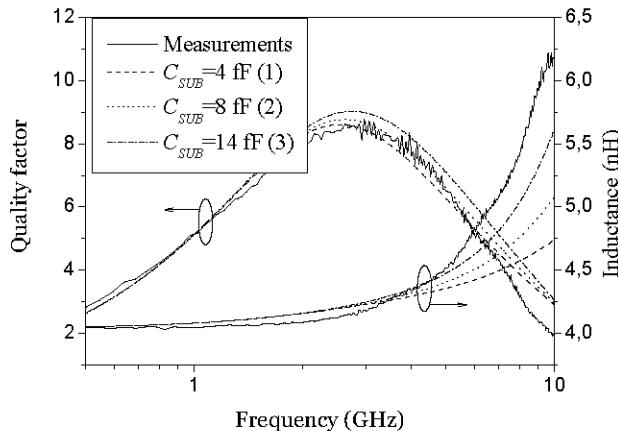


Figure 8 Measured and extracted quality factor and inductance for three different capacitance  $C_{SUB}$  values (see markers in Figure 4).

The last part of the method is summarized in Table I, which shows the selected frequencies for the proper parameter extraction from the shapes shown in Figure 2, 3 and 4.

TABLE I  
PROCESS REVIEW

Component	Evaluation frequency
$L_S$	low frequency (constant)
$R_S$	frequency at $R_S(f_{MAX})$
$C_P$	resonant frequency ( $f_{RES}$ )
$C_{OX}$	constant value
$R_{SUB}$	frequency at $Q_{MAX}/2$
$C_{SUB}$	resonant frequency ( $f_{RES}$ )

#### IV. EXPERIMENTAL RESULTS

In order to validate this method, results of extraction have been compared with measurements of six inductors fabricated on a 0.35- $\mu\text{m}$  SiGe foundry process. The test inductor geometries are summarized in Table II, where  $r_{EXT}$  is the inductor external radius,  $w$  the metal width and  $n$  the number of turns. The spacing between metal tracks of different turns,  $s$ , is fixed to the minimum allowed by the technology in order to minimize the occupied area and maximize the inductance value.

TABLE II  
TEST INDUCTOR GEOMETRIC PARAMETERS

$r_{EXT}$ ( $\mu\text{m}$ )	$w$ ( $\mu\text{m}$ )	$n$	$s$ ( $\mu\text{m}$ )
90-130	6-10	3.5-6.5	2

The measurement system used for the inductor characterization consists of the HP8720ES Vector Network Analyzer and the Summit 9001 Probe Station. To calibrate the measurement system, the short-open-load-through (SOLT) method was applied. Finally, the four-steps de-embedding method [21] was followed to remove the parasitic effects

introduced by the measurement structures.

Figure 9 shows measured and extracted performance of two of the test inductors. The lines show very good agreement in both the quality factor and the inductance. The calculated relative errors illustrated in Figure 10 remain lower than 5% and 10% for L and Q respectively in most of the frequency range. Although the error grows at very high frequencies, this increase is due to the parameter  $C_P$ . As explained before, the capacitance extraction may be underestimated when the frequency at which Q is zero is higher than 10 GHz, as in the inductors shown in Figure 9.

The extracted parameters for the two represented coils are summarized in Table III. We have considered a symmetric model to minimize the number of components.

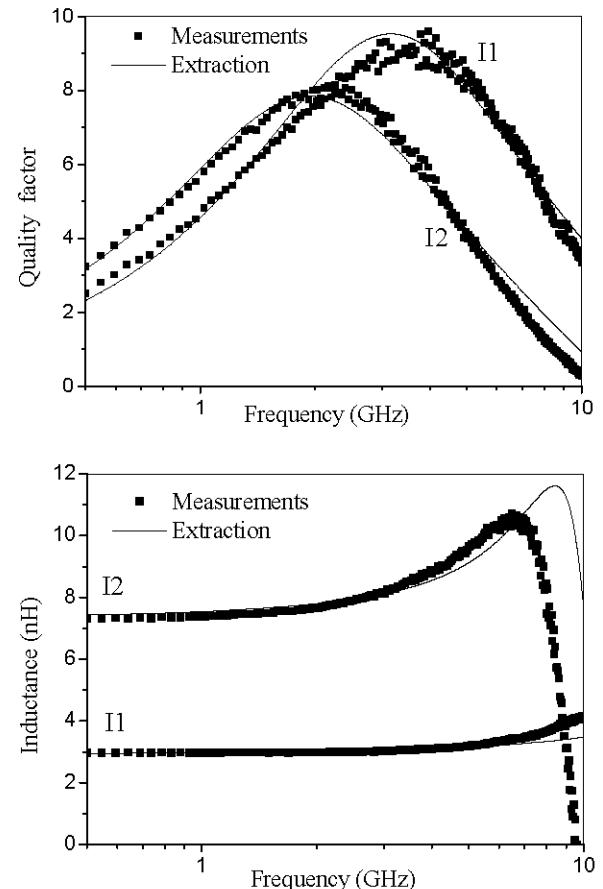


Figure 9 Measured and extracted quality factor and inductance for two different coils I1 ( $r_{EXT}=90 \mu\text{m}$ ,  $w=6 \mu\text{m}$  and  $n=3.5$ ) and I2 ( $r_{EXT}=100 \mu\text{m}$ ,  $w=6 \mu\text{m}$  and  $n=5.5$ ).

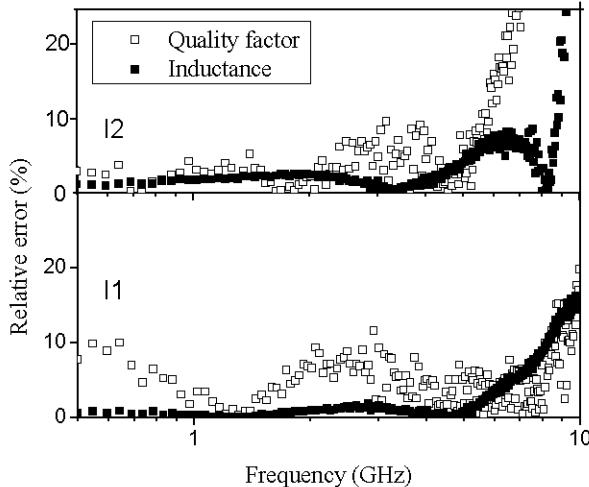


Figure 10 Relative errors between the measured and extracted data vs. frequency for the coils shown in Figure 9.

TABLE III  
SUMMARY OF EXTRACTED PARAMETERS

Inductor	I1	I2
$L_S$ (nH)	2.9	6.1
$R_S$ ( $\Omega$ )	3.8	5.8
$C_P$ (fF)	6.4	12.1
$C_{ox}$ (fF)	62	99.8
$R_{SUB}$ ( $\Omega$ )	728	834
$C_{SUB}$ (fF)	8.8	15.9

The quality factor shape versus frequency can be decomposed and described by four critical factors, which are:

- the Q value at zero frequency ( $Q_{DC}$ ),
- the peak Q value ( $Q_{MAX}$ ),
- the frequency at which we obtain  $Q_{MAX}$  ( $f_{QMAX}$ ),
- and the resonant frequency ( $f_{RES}$ ).

In order to summarize the efficiency of the extraction method for all the fabricated coils, the four key factors enumerated above have been evaluated. Most of the coils present resonant frequencies higher than 10 GHz, which is the maximum measured frequency. Therefore, the quality factor value at 10 GHz ( $Q_{10G}$ ) is evaluated instead of  $f_{RES}$ .

Results are summed up in Figure 11, where extracted parameters  $Q_{DC}$ ,  $Q_{MAX}$ ,  $f_{QMAX}$  and  $Q_{10GHz}$  are represented versus the measured ones.

It can be seen that the relative errors for both  $Q_{DC}$  and  $Q_{MAX}$  are lower than 10% for every coil. This value increases slightly for  $f_{QMAX}$  going up to 12% for the worst coil. The error grows up for  $Q_{10GHz}$ , as shown in Figure 10. It is worth noting that this issue could be solved if we had measured data over  $f_{RES}$  or coils designed to work at lower frequencies.

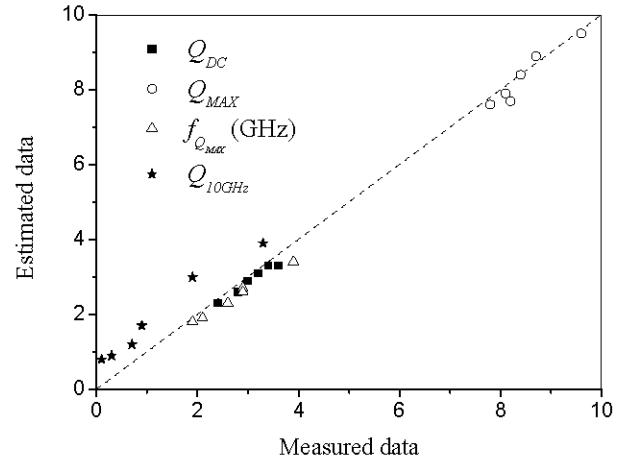


Figure 11 Measured and extracted with the new method parameters of the quality factor curve.

## V. CONCLUSION

In this work a comprehensive method to extract inductor model parameters has been developed. The procedure is based on the inductor  $\pi$ -model  $Y$ -parameter equations, which are analyzed and simplified to derive frequency-dependent functions for every model component. The final value of each parameter is set by means of studying their influence on the inductor behavior, without neither complex iterative optimization algorithms nor linear regression fittings. The method has been validated by comparison with measurements of inductors fabricated in a 0.35  $\mu$ m technology. Results show a good agreement over a broad-band frequency up to 10 GHz.

## REFERENCES

- [1] J. Craninckx and M. S. J. Steyaert, "A 1.8 GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors," *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 736-744, May 1997.
- [2] A. M. Niknejad, J. L. Tham and R. G. Meyer, "Fully-integrated low phase noise bipolar differential VCOs at 2.2 and 4.4 GHz," in *Proc. IEEE Eur. Solid-State Circuits Conf.*, 1999, pp. 198-201.
- [3] D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS low-noise amplifier," *IEEE J. Solid-State Circuits*, vol. 32, pp. 745-759, May 1997.
- [4] H. Samavati, H. R. Rategh, and T. H. Lee, "A 5 GHz CMOS wireless LAN receiver front-end," *IEEE J. Solid-State Circuits*, vol. 35, pp. 765-772, May 2000.
- [5] J. B. Yoon, C. H. Han, E. Yoon and C. K. Kim, "Monolithic high-Q overhang inductors fabricated in silicon and glass substrates," in *Tech. Dig. IEEE Int. Electron Devices Meeting*, 1999, pp. 753-756.
- [6] Xi-Ning Wang, Xiao-Lin Zhao, Yong Zhou, Xu-Han Dai, and Bing-Chu Cai, "Fabrication and performance of a novel suspended RF spiral inductor," *IEEE Trans. Electron Devices*, vol. 51, no. 5, pp. 814-816 May 2004.
- [7] W. Y. Liu, J. Suryanarayanan, J. Nath, S. Mohammadi, L. P. B. Katehi, and M. B. Steer, "Toroidal inductors for radio-frequency integrated circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 52, no. 2, pp. 646-654, February 2004.
- [8] J. N. Burghartz and B. Rejaei, "On the design of RF spiral inductors on silicon," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 718-729, March 2003.
- [9] J. R. Long and M. A. Copeland, "The modeling, design, and characterization of monolithic inductors for silicon RF ICs," *IEEE J. Solid-State Circuits*, vol. 32, pp. 357-368, Mar. 1997.

- [10] C. P. Yue and S. S. Wong, "Physical modeling of spiral inductors on silicon," *IEEE Trans. Electron Devices*, vol. 47, no. 3, pp. 560-568, Mar. 2000.
- [11] A. C. Watson, D. Melendy, P. Francis, K. Hwang, and S. Weisshaar, "A comprehensive compact-modeling methodology for spiral inductors in silicon-based RFICs," *IEEE Trans. Microwave Theory Tech.*, vol. 52, no. 3, pp. 849-857, March 2004.
- [12] C. Zhen, and G. Lihui, "Application of the genetic algorithm in modeling RF on-chip inductors," *IEEE Trans. Microwave Theory Tech.*, vol. 51, no. 2, pp. 342-346, Feb. 2003.
- [13] J. Zhao, and J. Mao, "Parameter extraction and modeling for planar spiral inductor on Si-SiO<sub>2</sub> substrates by DDM for conformal modules," *IEEE Trans. Microwave Theory Tech.*, vol. 51, no. 6, pp. 1763-1766, June 2003.
- [14] S. Mandal, A. De, A. Patra, and S. Sural, "A wide-band lumped element compact CAD model of Si-based planar spiral inductor for RFIC design," in *Proc. Int. Conf. on VLSI Design*, Jan. 2006.
- [15] W. Gao, and Z. Yu, "Scalable compact circuit model and synthesis for RF CMOS spiral inductors," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 3, pp. 1055-1064, March 2006.
- [16] J. Pino, J. R. Sendra, A. Hernández, SL Khemchandani, J. Aguilera, B. González, J. García, and A. Núñez, "Models and tools for CMOS integrated inductors," *Analog Integrated Circuits and Signal Processing*, vol. 33, pp. 171-178, 2002.
- [17] J. Chen, and J. J. Liou, "Improved and physics-based model for symmetrical spiral inductors," *IEEE Trans. Electron Devices*, vol. 53, no. 6, pp. 1300-1309, June 2006.
- [18] T. O. Dickson, M. LaCroix, S. Boret, D. Gloria, R. Beerkens and S. P. Voinigescu, "30-100-GHz inductors and transformers for millimetre-wave (Bi)CMOS integrated circuits," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 1, pp. 123-133, Jan. 2005.
- [19] M. Kang, J. Gil and H. Shin, "A simple parameter extraction method of spiral on-chip inductors," *IEEE Trans. Electron Devices*, vol. 52, no. 9, pp. 1976-1981, Sep. 2005.
- [20] F. Huang, N. Jiang, E. Bian, "Characteristic-function approach to parameter extraction for asymmetric equivalent circuit of on-chip spiral inductors," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 1, pp. 115-119, Jan. 2006.
- [21] T.E. Kolding "A four-step method for de-embedding gigahertz on-wafer CMOS measurements," *IEEE Trans. Electron Devices*, vol. 47, no 4, April 2000.

**Amaya Goni** Amaya Gofii Iturri was born in Pamplona, Navarra, Spain, in 1977. She received her MS degree in Telecommunication Engineering from the Public University of Navarra, Spain in 2002. Since then she researches with the Institute for Applied Microelectronics (IUMA), involved in the Microelectronic Technology Division (TME) in the University of Las Palmas de Gran Canaria (ULPGC). Her current research interests include high-frequency integrated circuits for telecommunications, with particular attention to the design, characterization and modelling of silicon integrated inductors.

**Javier del Pino** was born in Canary Islands, Spain. He received the B.S. and M.S. degrees in Telecommunications Engineering, in 1996 and 1997, respectively both from the University of Las Palmas de Gran Canaria, Spain, and the Ph.D. degree in 2002 from the same University. Since 1994 he has been with the Microelectronic Technologic Division of the Institute for Applied Microelectronics IUMA, at the University of Las Palmas de Gran Canaria and in 1998 he joined the University of Las Palmas de Gran Canaria where he has been an Associate Professor from 1998 to 2005, and a Professor since 2005. In 2000 and 2002 he was an Invited Researcher in the Centro de Estudios e Investigaciones Técnicas de Guipúzcoa, Spain, and in the Fraunhofer Institute for Integrated Circuits, Germany, respectively. His research interests include high-frequency integrated circuits for telecommunications, with particular attention to the design, characterization and modelling of silicon integrated inductors. He has authored or co-authored more than 50 papers in international journals and conferences and leads research projects funded by public institutions and local companies

**Javier García** obtained his Ms. Physics degree (specialized in Electronics) in 1993 from the University of Santiago de Compostela, Spain, and PhD degree in 2001 from the University of Las Palmas de Gran Canaria, Spain. Since 1994 he researches with the Institute for Applied Microelectronics (IUMA).

He was assistant professor from the Department of Electronic Engineering and Control in the ULPGC, 1998-2003. Since 2003, he is Associated Professor from the Department of Electronic Engineering and Control in the ULPGC. His research interests include high-frequency integrated circuits for telecommunications, with particular attention to the design, characterization and modelling of integrated inductors and varactors.

**Antonio Hernández** received the doctorate in Telecommunication Engineering in 1992 from the University of Las Palmas de Gran Canaria, Spain. He is founder member of IUMA, Institute for Applied Microelectronics of the University of Las Palmas de Gran Canaria, where he is Professor. His current research interests include modeling of active and passive devices for microwave and very high-speed applications, and RF integrated circuits.

# Design and modelling of an on silicon spiral inductor library using improved EM simulations

A. Goni-Iturri, S. L. Khemchandani, F. J. del Pino, J. García, B. González, A. Hernández  
Dep. Ingeniería Electrónica y Automática / Instituto Universitario de Microelectrónica Aplicada.  
Universidad de Las Palmas de Gran Canaria, Spain.

## ABSTRACT

This paper deals with the design and modeling of integrated spiral inductors for RF applications by means of a general purpose Electromagnetic (EM) simulator. These tools allow optimizing flexibly the inductor layout structure. The inductor performance can be obtained by using a three-dimensional design tool or a two-dimensional one. Planar 2-D or so called 2.5-Ds simulators are faster and accept complex coil geometries. We have used one of these simulators, the Advanced Design System planar EM simulator, Momentum, from Agilent©.

The inductor quality factor ( $Q$ ) is limited, among other phenomena, by the series resistance of the metal traces and the substrate losses. Therefore the simulator requires an accurate set up of the process and simulator parameters and a correct algorithm to model metal thickness to rely on simulation results. In this paper we analyze and compare these different approaches.

A high-quality factor inductor library on a  $0.35\text{ }\mu\text{m}$  SiGe technology at 5 GHz is also designed in this work using the proper simulator set up. Nine of the inductors have been fabricated and measured to test the simulator reliability. Measurements taken over a frequency range from 500 MHz to 10GHz show a good agreement with 2.5-EM simulations.

**Keywords:** Electromagnetic simulations, inductance, on-chip spiral inductor, quality factor.

## 1. INTRODUCTION

Recently, silicon-based technologies have become increasingly attractive for use in RF circuit applications because they satisfy the new personal communication equipment requirements: low-cost, small size, low power consumption and low noise level systems, among others. However, silicon is a low resistive substrate, and high performance integrated passive components are difficult to achieve. The performance of voltage controlled oscillators (VCOs), low noise amplifiers (LNAs) and matching networks depends strongly on the inductor quality; therefore the high- $Q$  inductor is a critical component in RF circuit design.

Standard integrated inductors in RF ICs suffer from their poor quality factors ( $Q$ ) due to the substrate loss of the conductive substrate and the ohmnic loss of the thin metal strips. Several phenomena degrades the performance at high frequencies including skin effect, proximity effect, electric field penetration into substrate, and substrate eddy current losses [1][2]. Several studies have sought to improve the  $Q$  value, mainly by introducing advances in processing technology or suggesting post-processing techniques. Published examples include a patterned ground shield layer to protect from substrate losses [3], etching substrates [4], suspended spiral inductors [5] or toroidal inductors that confines flux [6]. It is worth noting that all these approaches increase the cost of the final product.

Not long ago the inductor design process was longer and more expensive than now. Some inaccurate simulations were run to prove the new structure behaviour, and without having reliable results, a big number of them were fabricated. Once the inductors were measured, its real performance was known, and the designer could select those required for the different applications. The most important drawback of this process is the waste of money because of the big amount of non-used fabricated coils. However, nowadays the design flow has changed considerably. Designers have powerful electromagnetic simulators that take into account most of parasitic effects. For that reason simulation results are reliable and only those coils the designer is interested in are fabricated. These tools involve saving money and time in the first step of the design process.

As said before, designing optimal inductors for the required frequency is the key in the design of high-quality receiver front-ends. In this work a set of high  $Q$  inductors will be designed, simulated, fabricated and measured using a 0.35  $\mu\text{m}$  SiGe technology for the IEEE 802.11a standard, which makes use of the 5 GHz band.

This paper is organized as follows. Section 2 is devoted to describe the guidelines followed in the inductors design. In Section 3 we describe the EM simulations, including a brief explanation about Momentum, and the improvements in meshing and modelling thick conductors. In Section 4 we show the results and finally some conclusions are given in section 5.

## 2. OPTIMUM INDUCTOR DESIGN

The receiver front-end in our application, the standard 802.11a, needs a number of high quality inductors with inductance values up to 10 nH at 5 GHz. Usually, the set of inductors offered by the foundries are not designed for a specific application. For that reason, sometimes the quality factor is not as high as the designer needs, or is not centered at the required frequency. Therefore designing new coils satisfying our requirements is an essential and a rather complex task, even though the structure looks simple.

The most common way to design an integrated inductor on silicon is to layout a simple metallic spiral directly on the substrate. At least two metal levels must be available, because an underpass is required to give access to one of the inductor's port. The challenge is to choose, for a given technology with a fixed metal layer thickness, the optimum combination of the number of turns ( $n$ ), the metal width ( $w$ ), the spacing between tracks ( $s$ ) and the external radio ( $r$ ) to arrive at a specific inductance and optimum  $Q$  for the desired frequency. This task is disturbed by the eddy current effects in the metal turns, current crowding and skin effect in the metal conductor. Furthermore, the inductor occupied area should be minimum for cost reasons.

Spiral inductors with different geometry were simulated. In order to improve its behavior all the designed inductors share some common characteristics. First of all, the spacing between the metal lines should be as small as possible. Increasing the spacing decreases the total inductance because of the decreasing of the mutual inductance. It also increases the series resistance and the total area. Therefore the spacing  $s$  was fixed in 2  $\mu\text{m}$ , the minimum allowed by the foundry.

It is well known that circular shape is the optimum for spiral coils and could bring  $Q$  at least 10% higher than square ones [7]. However, octagonal shapes were used, since the technology allows 45° routing. The rest of geometrical parameters were varied as follows:  $r$  from 60 to 170  $\mu\text{m}$ ,  $n$  from 1.5 to 6.5 and  $w$  from 6 to 22  $\mu\text{m}$ .

The used technology, Austrian Mikro Systems (AMS) SiGe 0.35  $\mu\text{m}$ , provides four metal levels. Three of them are similar, with equal thickness and conductivity, and the top metal level is thicker and more conductive. Some simulations were run to decide the best metal combination in the inductors. Results showed that the quality factor is higher for inductors designed with the top metal level. So, inductors were designed with this top metal level, thick and conductive enough to present a low coil resistance, and far from substrate enough to work at high frequencies.

## 3. EM SIMULATIONS

Around 200 inductors were designed following the guidelines described in the previous section. Each spiral layout was previously generated by the Automatic Layout Generator Tool presented in [8], and then exported to the electromagnetic simulator in a gds file. As said in the introduction, EM simulations are essential in the inductors design flow, because these results determine the inductor set that will be fabricated.

### 3.1. Momentum simulator

EM simulators allow optimising flexibly the inductor layout structure. Inductors can be simulated using a three-dimensional design tool or a two-dimensional one. The former is very time-consuming, although it simulates fully all

the inductor parasitic effects [1]. In order to collect a large number of inductors in the 5 GHz frequency range, simulations must be done as fast as possible. For that reason we have used one of the planar 2-D (or 2.5-D) simulators, which also admit complex coil geometry, the Advanced Design System planar EM simulator, Momentum, from Agilent<sup>©</sup> [9].

In the present study we show the results obtained using the previous version, ADS 2003A and the new one, ADS 2004A. This one employs a new approach to model thick metal and an updated simulation engine. We will test these improvements, and compare results with on wafer measurements.

### 3.2. Meshing and convergence

Since Momentum is a simulator based on the method of moments [10], a mesh is required in order to simulate the design effectively. A mesh is a pattern of triangles and rectangles applied to a design in order to break it down into small cells. Momentum computes the current within each cell and identifies any coupling effects in the circuit during simulation. From these calculations, S-parameters are then derived for the circuit, an inductor in this case.

As far as inductors are concerned, the two important mesh parameters are the *Edge Mesh* and the *Number of Cells per Wavelength*. The former must be enabled to take into account the proper currents distribution at high frequencies and the latter is used to determine the density of the mesh. Versions 2003A and 2004A suggest 20 cells/ $\lambda$  as a default number. In order to ensure accurate results this number could be increased, since the more cells, the better the current sinusoid is represented. Logically, there should be a limit, and results should not change when the number of cells rises above that value. Furthermore, there is no point in using a number higher than that limit because it would increase the simulation time with no improvement in the results.

However, the old version results converged only for the inductance value. For the case of the quality factor, the more cells per wavelength we set, the higher simulated  $Q$  became.

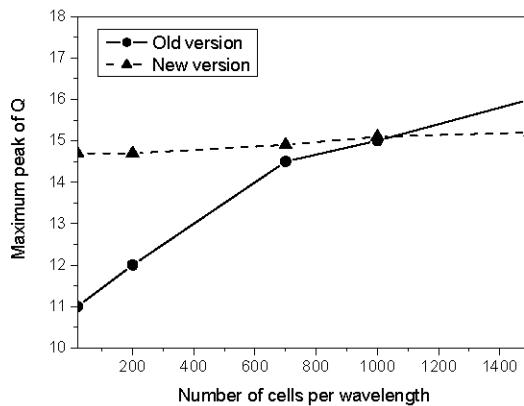


Figure 1: Comparison between both versions convergence for one of the designed inductors.

Figure 1 illustrates this behaviour for an inductor characterized by  $r=130 \mu\text{m}$ ,  $n=1.5$  and  $w=18 \mu\text{m}$ . We can see that the maximum value of  $Q$  with the old version grows significantly when the number of cells/ $\lambda$  is increased. However the default value, 20 cells/ $\lambda$ , is enough to assure accurate results using the new version.

Results of quality factor and inductance for the coil described above are drawn in Figure 2 for three different mesh densities: 20 cells/ $\lambda$  (solid line), 200 cells/ $\lambda$  (dashed line), and 1000 cells/ $\lambda$  (dotted line). Inductance value changes slightly using both ADS 2003A (higher graphs) and ADS 2004A (lower graphs), but  $Q$  varies considerably with the previous version. On the other hand it is interesting to note that simulated  $Q$  presents the maximum peak at different

frequencies: 6.5 GHz using the current edition and around 8.2 GHz with the old one, which changed the result depending on the mesh.

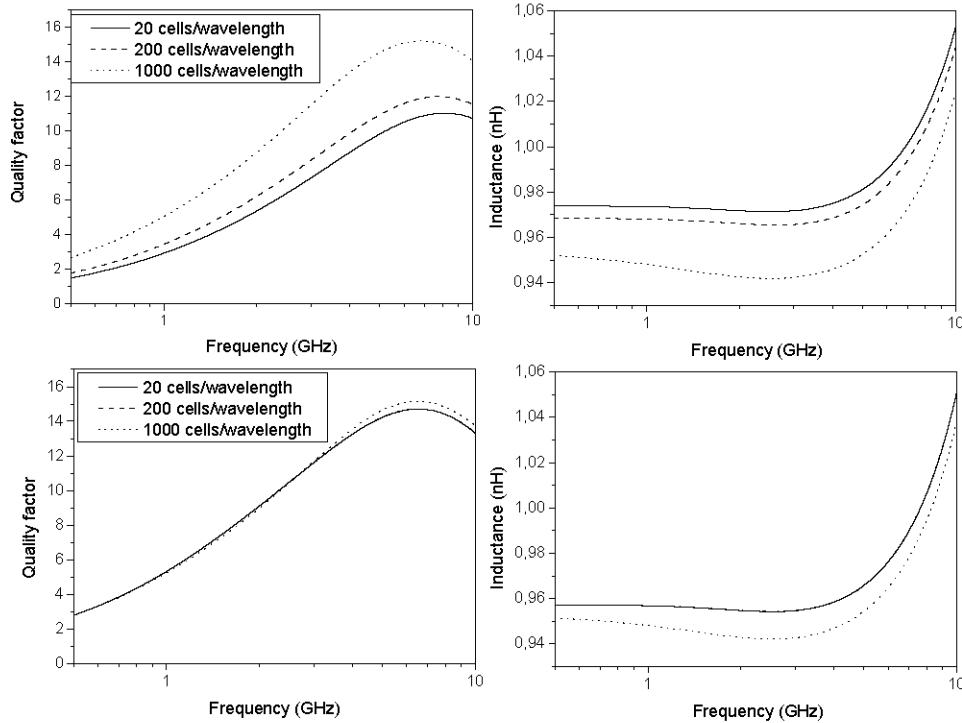


Figure 2: Performance of one of the coils designed for different mesh densities, using old (upper) and new (lower) versions.

### 3.3. Thick conductor modelling

As said before, the inductor quality factor will be limited by the series resistance of the metal traces and the substrate losses. Our simulator requires an accurate set-up of the process parameters and the substrate and metallization characteristics [11].

Thick conductor can be simulated with Momentum in two different ways: zero thickness or finite thickness approach [9]. With the former a 3D conductor is modelled like a sheet conductor using the Surface Impedance Model  $Z_s(t, \sigma, \omega)$ , where  $t$  is the real metal thickness,  $\sigma$  is the metal conductivity and  $\omega$  is the angular frequency.  $Z_s$  takes thickness and frequency dependency (skin effect) of the conductor loss into account. With this approach low-frequency currents will run in entire cross section of the metallization, while high-frequency currents will run in simple skin depth ( $\delta_s$ ) surface layer and will be concentrated on one side of the finite thickness conductor (see Figure 3.a).  $\delta_s$  is given by

$$\delta_s = \sqrt{\frac{2}{\omega \cdot \mu \cdot \sigma}} \quad (1)$$

where  $\mu$  is the metal permeability.

However, with the finite thickness approach we consider thick conductors as two metallization layers, each one characterized by  $Z_s(t/2, \sigma, \omega)$ . Top and bottom layers will be separated by a  $t$ -thickness via. This way low-frequency currents will run in entire cross section of the metallization, and high-frequency currents will run in double skin depth surface layer, with equal distribution on both sides of the conductor (see Figure 3.b).

Typically, when the width/height aspect ratio is bigger than a factor of 5, the effect of accounting for the finite thickness of the conductors will need to be allowed for in Momentum simulations [9].

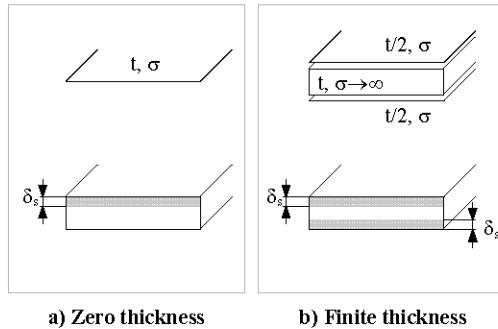


Figure 3: Layer modelling and high frequency currents distribution.

Apart from the currents distribution, if we model conductors as a zero thickness layer, we do not define the substrate distances correctly. All metal conductors are simulated as infinite thin sheets of metal because of the method of moments [10]. Although we set up the thickness of each strip, this is only used for loss calculations, not during the actual EM simulations [9]. So, the finite thickness approach will take into account the correct distances from the substrate, and parasitic capacitance between coil and substrate and between metal tracks will be correctly simulated. As a consequence, quality factor will be centred at the right frequency.

Preceding Momentum edition only modelled zero thickness conductors. If the user wanted to define a finite thickness metal, he had to include manually the two different  $t/2$ -thickness layers separated by a  $t$ -thickness via in the substrate definition. Current version includes a 3D metal expansion feature that develops the process automatically (see figure 4). This expansion can be done *up* or *down*. In the former the extra dielectric layer inserted has the dielectric properties of the layer above the metal layer, and in the latter, this new layer has the material properties of the layer below it.

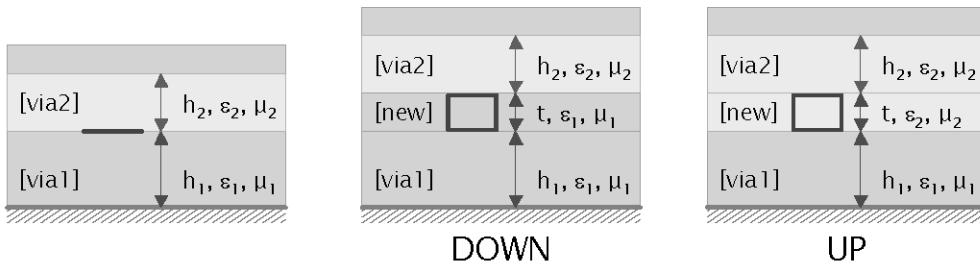


Figure 4: Automatic 3-D expansion for thick conductors.

#### 4. RESULTS

Sixteen inductors of the designed and simulated library were fabricated in an AMS SiGe 0.35  $\mu\text{m}$  standard process. Nine of them were standard spiral inductors, chosen taking into account different geometrical parameters and inductance range up to 10 nH. The layout of the rest of the coils was specially modified to test different structures, and these results are not included in this work.

The measurement system used for the characterization of the inductors consists of the HP8720ES Vector Network Analyzer and the Summit 9001 Probe Station. To calibrate the measurement system, the short-open-load-through (SOLT) method was used. Finally, the four-steps de-embedding method [12] was followed to remove the parasitic effects introduced by the measurement structures.

Figure 5 shows the final layout of the fabricated chip, which occupies a total area of 12.34 mm<sup>2</sup>. Apart from the inductors and the measurement structures (upper area of the chip), it is composed of other devices such as VCOs, LNAs and mixers. For each coil, the inductance and  $Q$  for the frequency range between 0.5-10 GHz was measured. Table I shows the geometrical parameters and the measured results at 5 GHz.

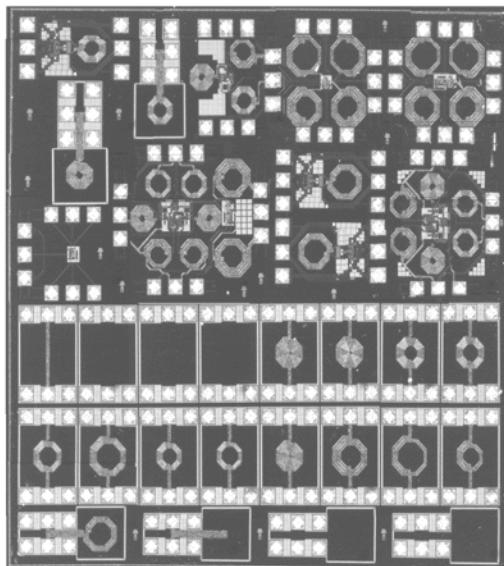


Figure 5: Fabricated chip final layout.

TABLE I  
Geometrical Parameters For High  $Q$  Inductors

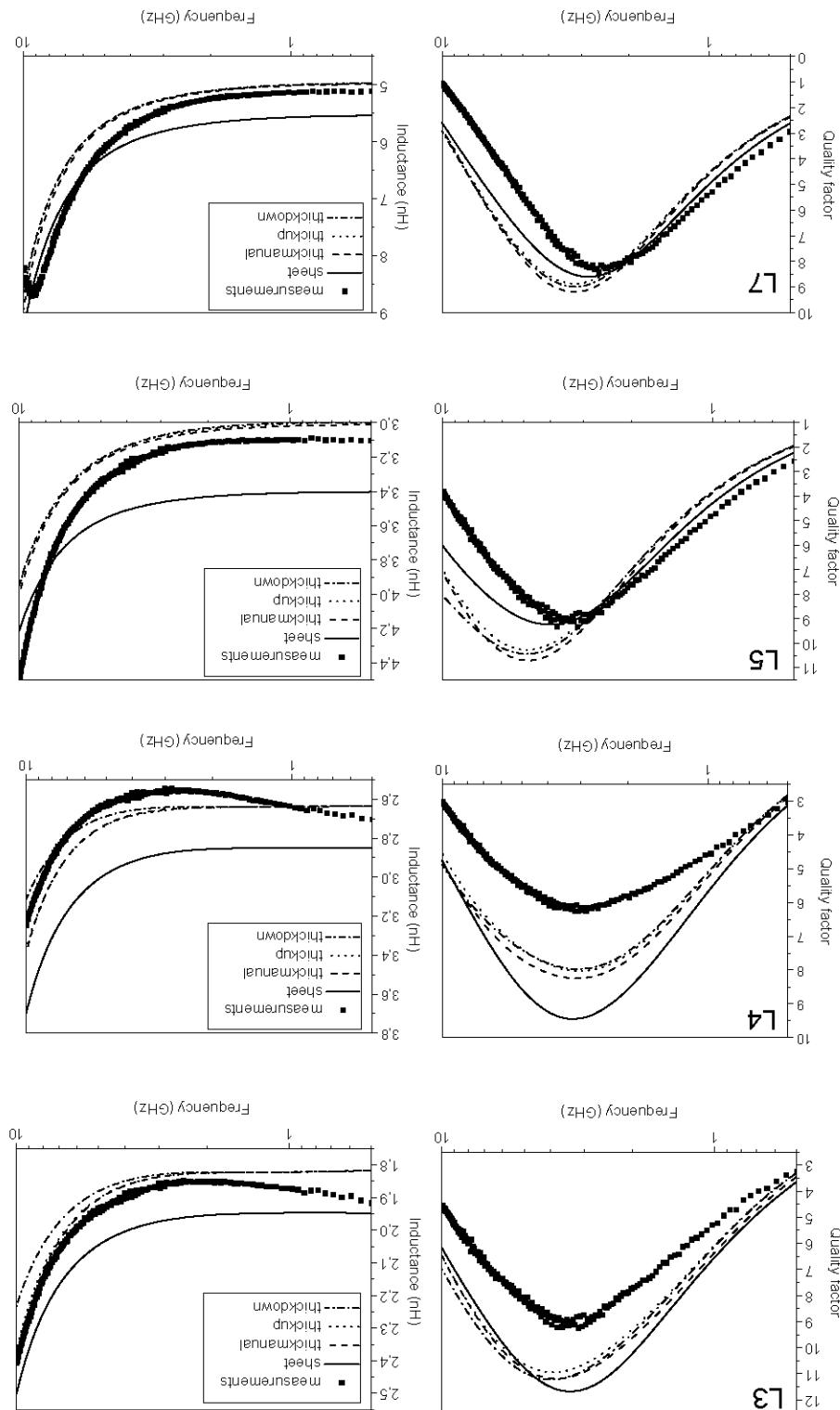
	$n$	$r$ (μm)	$w$ (μm)	$L$ (nH)	$Q$
L1	1.5	100	20	0.6	9
L2	1.5	130	18	1	9.6
L3	2.5	130	18	2	8.2
L4	5.5	100	13	2.6	5.5
L5	3.5	90	6	3.3	8.2
L6	4.5	90	6	4.7	6.9
L7	4.5	100	6	5.5	6
L8	5.5	100	6	8.3	4.2
L9	6.5	100	6	10.5	3.2

Figure 6 illustrates the comparison between measurements (scatter) and simulated results using the different approaches explained before to model thick conductors: zero thickness or sheet (solid line), finite thickness manually set (dashed line), finite thickness automatic *up* expansion (dotted line), and finite thickness automatic *down* expansion (dashed-dotted line). Results show that the inductance value varies slightly using the different approaches. The quality factor is similar for the three finite thickness ways of modelling, because the substrate is hardly changed when the expansion is automatically set and vias between metals share the same properties. However the  $Q$  value differs substantially from the zero thickness approach.

Two of the four inductors showed in the figure present a width/height aspect ratio bigger than 5 (see L1 and L3 in Table I). According to the Momentum user's manual, finite thickness approach in these cases should agree better with measurements than the zero thickness one. Nevertheless, the quality factor error is considerable. On the other hand, sheet modelling simulations of inductors with aspect ratio less than 5 (see L4 and L7 in Table I) show better agreement with  $Q$  measurements, although the error grows at high frequencies.

Simulated inductance results show good agreement with measurements using both approaches. However the error is lower with the finite thickness conductor modelling without depending on the aspect ratio, as it is shown in Figure 6.

Figure 6: Simulated (lines) and measured (scatter)  $L$  and  $Q$  for some of the fabricated inductors (see Table I).



## 5. CONCLUSIONS

In this work we have reported an analysis of on silicon spiral inductors for RF applications using Momentum. We have compared EM simulations against measured results taken from octagonal inductors fabricated in a low-cost four metal SiGe 0.35 $\mu$ m process. Using the top metal level and choosing the correct combination of the geometrical parameters, inductors from 0.6 to 10 nH range to work in the 5GHz band with high quality factor have been designed.

Nine standard inductors of the designed library have been fabricated and measured. As far as inductance is concerned, simulated and measured values show a very good agreement in a wide frequency range (0.5 to 10 GHz). In general inductance results show that finite thickness approach simulations fit better with measurements than those obtained by sheet approach, although results hardly vary.

However, Momentum overestimates the quality factor. Results of inductors with narrow metal traces (aspect ratio lower than 5) show good agreement with measurements using the zero thickness approach to model conductors, though the higher the frequency is, the more the error grows. On the other hand, inductors with aspect ratio higher than 5 show worse agreement. Modelling conductors with finite thickness is recommended with these coils, but the error continues to be high. The fact that the skin effect is not properly modelled in these wide traces inductors could possibly explain the difference from measured data. It seems that further research is needed in order to redefine somehow the substrate and achieve a better agreement.

These results suggest that Momentum is a very useful tool to the RF designer, who can rely on the simulations, provided that the quality factor is overestimated in some cases. As a consequence, we have now a wide high- $Q$  inductor library (around 200) designed on a low-cost technology. RF designer can use this library to design VCOs, LNAs or mixers, and achieve this way a high-quality receiver front-end for the 802.11a standard.

## REFERENCES

1. J. Craninckx, M. S. J. Steyaert, "A 1.8 GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 736-744, May. 1997.
2. J. N. Burghartz and B. Rejaei, "On the design of RF spiral inductors on silicon," *IEEE Trans. On Electron Devices*, vol. 50, no. 3, March 2003.
3. C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," *IEEE J. Solid-State Circuits*, vol. 33, pp 743-752, May 1998.
4. J. M. Villegas, J. Samitier, C. Cane, P. Losantos, and L. Bausells, "Improvement of the quality factor of RF integrated inductors by layout optimization," *IEEE Trans. Microwave Theory Tech.*, vol. 48, pp. 76-83, Jan. 2000.
5. Xi-Ning Wang, Xiao-Lin Zhao, Yong Zhou, Xu-Han Dai, and Bing-Chu Cai, "Fabrication and performance of a novel suspended RF spiral inductor," *IEEE Trans. On Electron Devices*, 2004.
6. W. Y. Liu, J. Suryanarayanan, J. Nath, S. Mohammadi, L. P. B. Katehi, and M. B. Steer, "Toroidal inductors for radio-frequency integrated circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 52, no. 2, February 2004.
7. F. Ling, J. Song, T. Kamgaing, Y. Yang, W. Blood,, M. Petras, and T. Myers, "Systematic analysis of inductors on silicon using EM simulations," *Electronic Components and Technology Conference*, 2002.
8. J. del Pino, J. R. Sendra, A. Hernández, S.L. Khemchandani, J. Aguilera, B. González, J. García, and A. Nunez "Models and Tools for CMOS Integrated Inductors", *Analog Integrated Circuits and Signal Processing*, vol.33, pp. 171-178, Kluwer Academic Publishers, 2002.
9. <http://eesof.tm.agilent.com>.
10. R.F. Harrington, *Field Computation by Moment Methods*, New York, IEEE Press, 1993.
11. Jan Van Hese, "Design and simulation of spiral inductors on silicon substrates," *Agilent Technologies*.
12. T.E. Kolding "On wafer calibration techniques for giga-Hertz CMOS measurements," *Proceedings IEEE International Conf. on Microelectronics Test Structures (ICMTS)*, March 1999.

# An Analytical Model of Electric Substrate Losses for Planar Spiral Inductors on Silicon

Amaya Goñi, Javier del Pino, Benito González, and Antonio Hernández

**Abstract**—This paper presents a physically based model for estimating the substrate losses due to electric field penetration for planar spiral inductors on silicon not using patterned ground shield. The model, which does not use any fitting parameter, shows excellent agreement with measured data. It has been tested across a variety of inductor geometries and two different substrates up to 10 GHz.

**Index Terms**—Eddy current, proximity effect, *Q*-factor, radio-frequency (RF) integrated circuit, skin effect, spiral inductor, substrate loss.

## I. INTRODUCTION

WITH THE increasing operating frequency of radio-frequency (RF) and mixed-signal integrated circuits, fabricated in silicon technology, the behavior of on-chip inductors is a dominant factor in overall circuit performance. In order to optimize it, efficient spiral inductor models should be available in the design environment. The development of accurate on-silicon inductor models, however, is a difficult task because of substrate losses.

When a spiral inductor on silicon operates at high frequency, a variety of mechanisms are responsible for degrading its performance. One of them is caused by the transient electric field radiated from the inductor metal strips, which goes through the substrate. The rest of the effects are related to time-varying magnetic fields. The magnetic field penetrates in the neighboring current-carrying conductors and also in the conductor itself, causing current redistribution and producing the well-known proximity and skin effects [1]. In addition, the time-varying magnetic field penetrates into the substrate, where eddy currents that lead to energy dissipation are generated.

Many research works on modeling integrated inductors are available elsewhere. A number of them are accurate enough, but they are extracted directly from measurements [2]–[5], based on fitting the simulated or measured data to a subcircuit model [6], or too computationally intensive [7]. In this paper, we are reputting a physically based model including closed analytical expressions for each one of the effects described

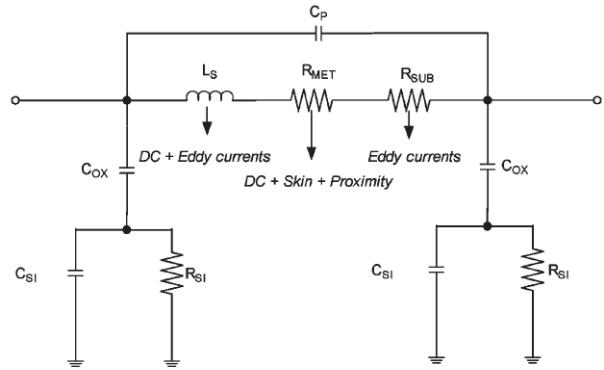


Fig. 1. Two-port equivalent circuit model for a spiral inductor.  $C_P$  represents the coupling capacitance between metal lines, and  $C_{OX}$ ,  $C_{SI}$ , and  $R_{SI}$  represent the substrate losses due to electric field penetration.

before. This model will be very useful for the RF designer, since the performance of an inductor could be predicted without fabricating or even simulating it.

One of these models that consider all the parasitic effects appearing in the inductor is the two-port circuit shown in Fig. 1 [1]. The magnetic field caused by the ac current flowing in the metal traces is responsible for the device inductive behavior, represented by the inductor  $L_S$ . Serially connected to it are two resistors,  $R_{MET}$  and  $R_{SUB}$ , modeling the ohmic losses in the metal traces. The capacitor  $C_P$  takes into account the capacitive matching due to the electrical field between the spiral tracks and the electric field between the spiral and the cross-under. The rest of the elements in the circuit incorporate the substrate effects. Thus, capacitors  $C_{OX}$  model the oxide capacitance between the coil and the substrate, while  $C_{SI}$  and  $R_{SI}$  are the substrate capacitances and resistances, respectively.

The losses due to electric and magnetic fields in the metals and magnetic field penetration into the substrate have already been modeled [1]. Therefore, equations for the lumped elements  $L_S$ ,  $R_{MET}$ ,  $R_{SUB}$ , and  $C_P$  are available. However, there are still some inaccuracies observed in modeling substrate losses due to electric field penetration. The main reason is that some design styles make use of the patterned ground shield (PGS) to minimize substrate losses [8]–[10]. However, this technique is only appropriate at relatively low frequencies because of the increased capacitance [12].

In this paper, a new model of these substrate losses on inductors not using PGS is described. Several inductors have been fabricated on two different technologies and measured to test the different analytical expressions. Section II is devoted to review and test the models used so far by comparing them with

Manuscript received May 30, 2006; revised October 27, 2006. This work was supported in part by the Spanish MEC and MCYT under Projects TEC-2005-08091-C03-02 and TEC-2005-06784-C02-02. The review of this paper was arranged by Editor H. S. Momose.

A. Goñi, J. del Pino, and B. González are with División de Tecnología Microelectrónica, Instituto Universitario de Microelectrónica Aplicada, Universidad de Las Palmas de Gran Canaria, 35017 Las Palmas de Gran Canaria, Spain.

A. Hernández is with the Instituto Universitario de Microelectrónica Aplicada, Universidad de Las Palmas de Gran Canaria, 35017 Las Palmas de Gran Canaria, Spain.

Digital Object Identifier 10.1109/TED.2006.890366

TABLE I  
TEST INDUCTOR GEOMETRIES

Process	Minimum channel length	$r_{\text{EXT}}$ (μm)	$w$ (μm)	$n$	$s$ (μm)
A	0.8 μm	60-144	6-26	1.5-6.5	1.8
B	0.35 μm	90-130	6-20	1.5-6.5	2

72 our measurements. Then, the proposed model is developed,  
73 and the model validation is reputed in Section III. Finally,  
74 Section IV gives some conclusions about this paper.

## 75 II. SUBSTRATE MODEL

### 76 A. Classic Substrate Model

77 When PGS is not used, the substrate capacitance and resis-  
78 tance are conventionally estimated in most works through the  
79 following expressions [11]-[14]:

$$C_{\text{OX}} = \frac{1}{2} \cdot l \cdot w \cdot \frac{\epsilon_{\text{OX}}}{t_{\text{OX}}} \quad (1)$$

$$C_{\text{SI}} \approx \frac{l \cdot w \cdot C_{\text{SUB}}}{2} \quad (2)$$

80 and

$$R_{\text{SI}} \approx \frac{2}{l \cdot w \cdot G_{\text{SUB}}} \quad (3)$$

81 As we can see,  $C_{\text{OX}}$ ,  $C_{\text{SI}}$ , and  $R_{\text{SI}}$  are approximately pro-  
82 portional to the area occupied by the inductor, computed as the  
83 product of the spiral length  $l$  and width  $w$ .  $C_{\text{SUB}}$  and  $G_{\text{SUB}}$  in  
84 (2) and (3) represent the capacitance and conductance per unit  
85 area of the silicon substrate. Finally,  $\epsilon_{\text{OX}}$  and  $t_{\text{OX}}$  denote the  
86 dielectric constant and thickness of the oxide layer between the  
87 inductor and the substrate. The 2 factor accounts for the fact  
88 that the substrate parasitic effects are assumed to be equally  
89 distributed at the two ends of the inductor.

90 The fitting parameters  $C_{\text{SUB}}$  and  $G_{\text{SUB}}$  depend on the sub-  
91 strate doping and are extracted from the measured results of  
92 inductors fabricated in the same technology.

93 In order to validate this model, the results of (2) and  
94 (3) have been compared with the measurements of inductors  
95 fabricated on two different high-silicon resistive technologies  
96 ( $\sim 19 \Omega \cdot \text{cm}$ ). On one hand, a chip containing over 40 in-  
97 ductors of different sizes was fabricated on a two-metal-level  
98 0.8-μm process [15], [16]. On the other hand, a four-metal-level  
99 0.35-μm technology with a substrate thickness of about seven  
100 times higher was used to fabricate eight inductors. The test  
101 inductor geometries are listed in Table I, where  $r_{\text{EXT}}$  is the  
102 inductor external radius,  $w$  the metal width, and  $n$  the number  
103 of turns. The spacing between metal tracks of different turns  $s$   
104 is fixed to the minimum allowed by the technology in order  
105 to minimize the occupied area and maximize the inductance  
106 value. Inductances in the range of 0.5–10 nH were measured.  
107 The metallic spirals of inductors on substrate A occupy areas

up to  $6 \cdot 10^4 \mu\text{m}^2$ . Momentum [17] simulations of coils on 108  
substrate B were run in order to cover the same area, since none 109  
of them was larger than  $3 \cdot 10^4 \mu\text{m}^2$ .

The measurement system used for inductor characterization 111  
consists of the HP8720ES Vector Network Analyzer (VNA) 112  
and the Summit 9001 Probe Station. To calibrate the measure- 113  
ment system, the short-open-load-through method was applied. 114  
Finally, the four-step deembedding method [18] was followed 115  
to remove the parasitic effects introduced by the measurement 116  
structures.

Fig. 2 shows the modeled, by (2) and (3) (dashed and 118  
dotted line), and measured (scattered) values of  $C_{\text{SI}}$  and  $R_{\text{SI}}$  119  
of the inductors on substrate A. As can be seen, the model is 120  
more accurate for areas larger than  $3 \cdot 10^4 \mu\text{m}^2$ . However, the 121  
substrate capacitance is underestimated, and the resistance is 122  
overestimated for small-area inductors.

But these conclusions change when we compare (2) and (3) 124  
with measurements of inductors on the 0.35-μm process, as 125  
Fig. 3 shows. The scattered solid points correspond to measured 126  
data, while the other ones correspond to simulated data. In this 127  
case,  $C_{\text{SI}}$  is overestimated and  $R_{\text{SI}}$  is underestimated for large 128  
areas, just the opposite of what we saw in Fig. 2.

Therefore, (2) and (3) can be used to predict the substrate 130  
losses for a specific range of inductor areas, which depend on 131  
the technology. This is due in part to the fitting parameters 132  
 $C_{\text{SUB}}$  and  $G_{\text{SUB}}$ , which are extracted from the measurements. 133  
This way, if most of the fabricated coils occupy similar area 134  
values, the model will predict the behavior of those inductors 135  
better.

Besides this, using fitting parameters involve fabricating and 137  
measuring inductors to extract them. So, it is desirable to find a 138  
substrate model with no fitting parameters at all.

Since  $C_{\text{SUB}}$  and  $G_{\text{SUB}}$  in (2) and (3) depend on substrate 140  
doping and are not supposed to vary significantly for a specific 141  
process [12], one solution could be to approximate them by 142

$$C_{\text{SUB}} \approx \frac{\epsilon_{\text{SUB}}}{t_{\text{SUB}}} \quad (4)$$

and

$$G_{\text{SUB}} \approx \frac{1}{\rho_{\text{SUB}} \cdot t_{\text{SUB}}} \quad (5)$$

where  $\epsilon_{\text{SUB}}$ ,  $\rho_{\text{SUB}}$ , and  $t_{\text{SUB}}$  are the substrate electrical permit- 144  
tivity, resistivity, and thickness, respectively.

However, dashed lines in Figs. 2 and 3 confirm that the differ- 146  
ences are even higher when substituting the fitting parameters 147  
in (2) and (3) by (4) and (5). It is also worth noting that this 148  
divergence becomes more significant for smaller coils, mainly 149  
for those corresponding to the 0.35-μm process.

Therefore, it is essential to look for new analytical expres- 151  
sions based on the physics to model the substrate losses due to 152  
electric field penetration for different wafer substrates.

### B. New Substrate Model

1) *Practical Considerations:* The new substrate model con- 155  
siders the fringing field effect, which consists of the field lines 156  
expanding inside the silicon substrate further than the coil area.

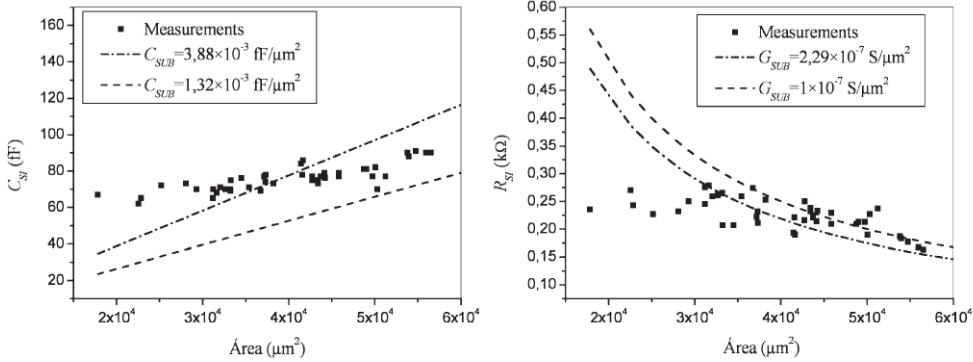


Fig. 2. Measured (scattered) and modeled  $C_{SI}$  and  $R_{SI}$  for inductors on substrate A (see Table I), using the fitting parameters  $C_{SUB}$  and  $G_{SUB}$  (dashed and dotted line), and calculating them by (4) and (5) (dashed line).

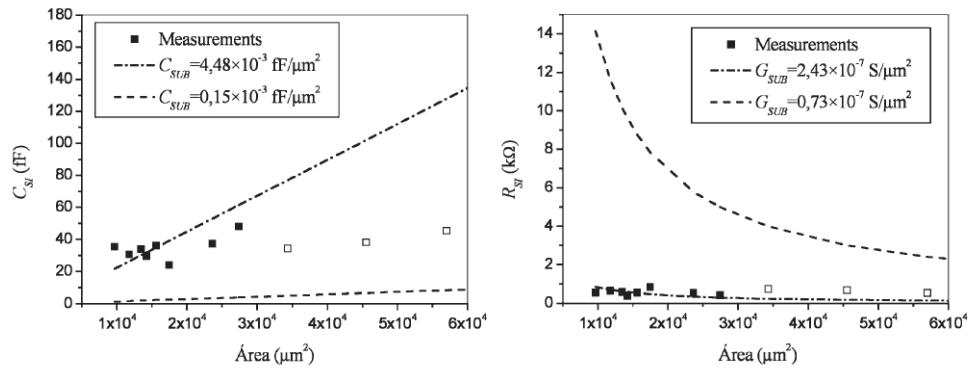


Fig. 3. Measured (scattered) and modeled  $C_{SI}$  and  $R_{SI}$  for inductors on substrate B (see Table I), using the fitting parameters  $C_{SUB}$  and  $G_{SUB}$  (dashed and dotted), and calculating them by (4) and (5) (dashed line).

158 The smaller the inductor is, the more relevant this effect will be,  
159 depending on the substrate properties.

160 Since the oxide thickness is much thinner than the wafer one,  
161 most of the fringing field lines are extended into the substrate.  
162 Thus, the fringing field in the oxide is neglected in our analysis.

163 In order to simplify the analytical problem, an inductor will  
164 be considered as a flat disk occupying the same area as the  
165 spiral metal tracks ( $w \cdot l$ ). A more appropriate model to study  
166 the fringing fields would be a metal disk shaped like a donut.  
167 However, in this case, it is not possible to obtain a closed-form  
168 expression analytically for the substrate capacitance.

169 The inductors have been measured with coplanar probes, so  
170 the ground plane in the measurement setup is placed on the  
171 guard ring surrounding the coils. However, if the ground ref-  
172 erence is at the backside of the wafer, the inductor performance  
173 is similar for both ground placements when the guard ring  
174 surrounding the coil is correctly located at the proper distance  
175 from it. We have verified this proposal by means of numerical  
176 simulations with Taurus device [19]. Metallic disks with dif-  
177 ferent radii above a silicon substrate have been simulated to  
178 calculate the substrate capacitance with both ground reference  
179 locations. Fig. 4 shows the relation between the capacitance  
180 simulated with the ground reference situated on the guard ring  
181 ( $C_{SI\_GuardRing}$ ) and the capacitance simulated with the ground  
182 at the wafer backside ( $C_{SI\_WaferBackside}$ ). It can be seen that  
183 this ratio is close to 1 for the range of radii of interest. It is

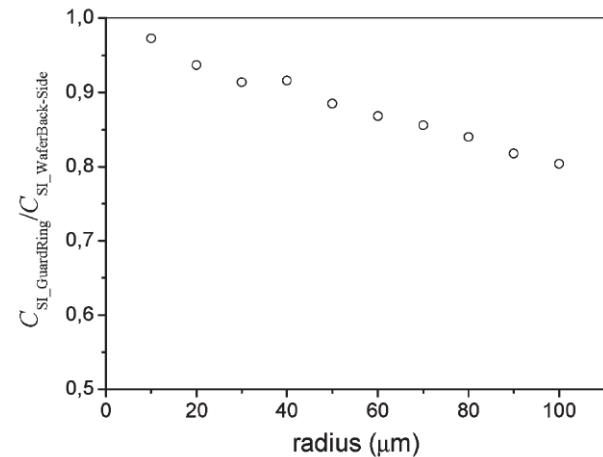


Fig. 4. Simulation of ground plane influence on  $C_{SI}$ .

worth noting that Fig. 4 does not represent the best case in 184  
capacitance estimation because the guard ring is fixed for all 185  
the devices, which is the actual case in typical measurement 186  
setups. If the guard ring were adjusted for every structure, the 187  
ratio  $C_{SI\_GuardRing}/C_{SI\_WaferBackside}$  would become closer 188  
to unity. 189

Finally, our flat disk assumption has been validated by means 190  
of Momentum simulations, as can be seen in Fig. 5. Results 191

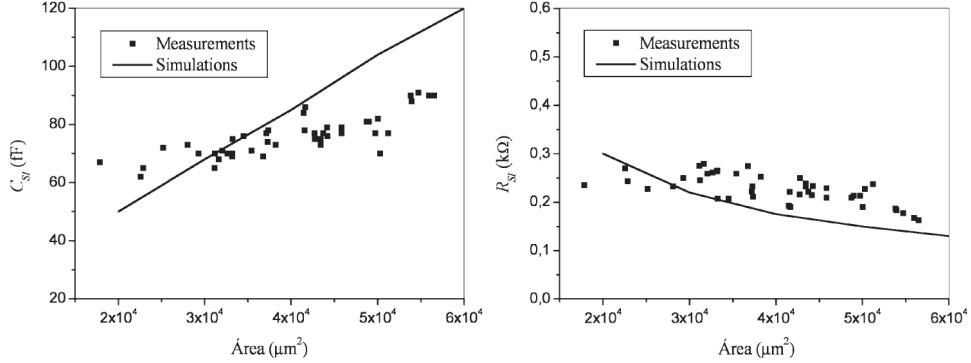


Fig. 5. Measured inductor  $C_{SI}$  and  $R_{SI}$  versus extracted data from Momentum simulations of metallic disks for inductors fabricated in the  $0.8\text{-}\mu\text{m}$  process.

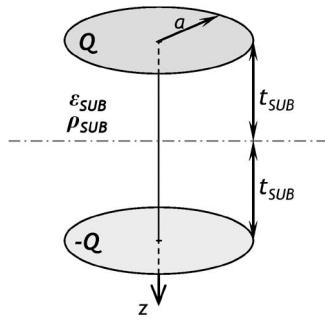


Fig. 6. Method of images for capacitance calculation.

192 show that the substrate capacitance extracted from the disk  
193 simulations differs significantly from inductor measurements  
194 only for areas bigger than  $4 \cdot 10^4 \mu\text{m}^2$  (equivalent disk radius  
195 over  $100 \mu\text{m}$ ). This fact will be taken into account later, when  
196 the experimental results are presented.

197 2) *Substrate Capacitance*: As explained before, in order to  
198 obtain  $C_{SI}$  and  $R_{SI}$ , we will assume in our analysis that the  
199 flat metallic disk, with radius  $a$ , is above a substrate whose  
200 thickness is  $t_{SUB}$  connected to ground. The metal is biased to  
201 a voltage  $V$ , and the substrate is supposed to be longitudinally  
202 and transversally infinite.

203 By means of the method of images, the ideal approximation  
204 results in two flat disks separated by a  $2 \cdot t_{SUB}$  distance and  
205 charged equally in terms of magnitude but opposite in sign ( $+Q$   
206 and  $-Q$ ), as Fig. 6 illustrates.

207 Rigorously, the medium above and under the disks should  
208 be air. However, as most of the electric field is confined into  
209 the substrate for RF inductors, no significant error is expected.  
210 Furthermore, the charge density on disks  $\sigma$  is assumed constant  
211 for simplicity. Then, the electric field dependence on depth  
212 under the center of the disk is given by

$$E \approx \frac{\sigma}{2 \cdot \epsilon_{SUB}} \cdot \left[ 2 - \frac{z}{\sqrt{z^2 + a^2}} - \frac{2 \cdot t_{SUB} - z}{\sqrt{(2 \cdot t_{SUB} - z)^2 + a^2}} \right] \quad (6)$$

213 where  $E$  is the electric field,  $z$  is the depth from the center of  
214 the top disk, and  $\sigma$  is the absolute charge density on disks.

Integrating the electric field along depth, the voltage drop 215 through the substrate results approximately to be  
216

$$V \cong \int_0^{t_{SUB}} E \cdot dz = \frac{\sigma}{2 \cdot \epsilon_{SUB}} \cdot \left[ 2 \cdot t_{SUB} + a - \sqrt{4 \cdot t_{SUB}^2 + a^2} \right]. \quad (7)$$

Therefore, the substrate capacitance is given by  
217

$$C_{SI} = \frac{Q}{V} \approx \frac{\sigma \cdot \pi \cdot a^2}{V} \approx \frac{2 \cdot \epsilon_{SUB} \cdot \pi \cdot a^2}{2 \cdot t_{SUB} + a - \sqrt{4 \cdot t_{SUB}^2 + a^2}}. \quad (8)$$

Finally, in order to consider the actual inductor area, we 218 substitute the disk area  $\pi \cdot a^2$  by  $w \cdot l$ . Thus, the final substrate 219 capacitance is given by  
220

$$C_{SI} \approx \frac{2 \cdot \epsilon_{SUB} \cdot w \cdot l}{2 \cdot t_{SUB} + \sqrt{\frac{w \cdot l}{\pi}} - \sqrt{4 \cdot t_{SUB}^2 + \frac{w \cdot l}{\pi}}} \quad (9)$$

where the expression for the inductor radius  $a = \sqrt{w \cdot l / \pi}$  has 221 been included.  
222

3) *Substrate Resistance*: Once the capacitance  $C_{SI}$  is 223 known, as most of the electric field is confined in the substrate, 224 the resistance  $R_{SI}$  can be derived in a simple way by means of 225 the dielectric relaxation time of the substrate  $\tau = \rho_{SUB} \cdot \epsilon_{SUB}$  226 [20]. Its expression is given as  
227

$$R_{SI} = \frac{\tau}{C_{SI}}. \quad (10)$$

### III. MODEL VERIFICATION

#### A. Substrate Capacitance and Resistance

Figs. 7 and 8 plot the substrate capacitance and resistance 230 calculated through our model. We have added again the results 231 obtained by (2) and (3) with the fitting parameters  $C_{SUB}$  and 232  $G_{SUB}$ , since it is the most accurate substrate model (not using 233 PGS) found so far in the literature, as shown before.  
234

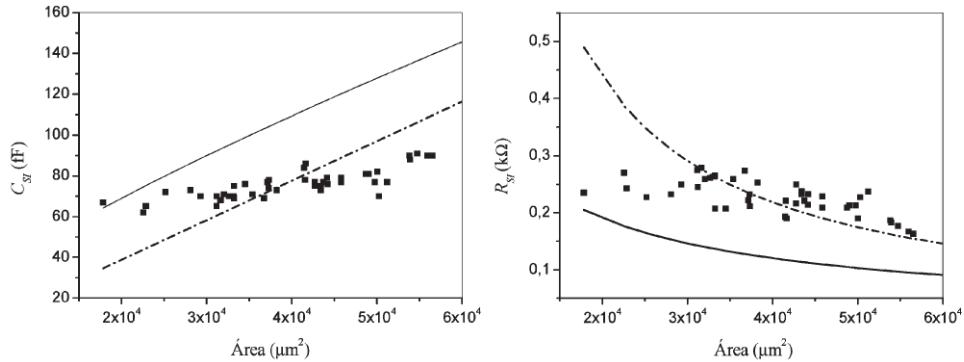


Fig. 7. Measured (scattered), modeled by (2) and (3) with  $C_{SUB} = 3.88 \cdot 10^{-3} \text{ fF}/\mu\text{m}^2$  and  $G_{SUB} = 2.29 \cdot 10^{-7} \text{ S}/\mu\text{m}^2$  (dashed and dot line), and modeled by (9) and (10) (solid line)  $C_{SI}$  and  $R_{SI}$  for inductors on substrate A (see Table I).

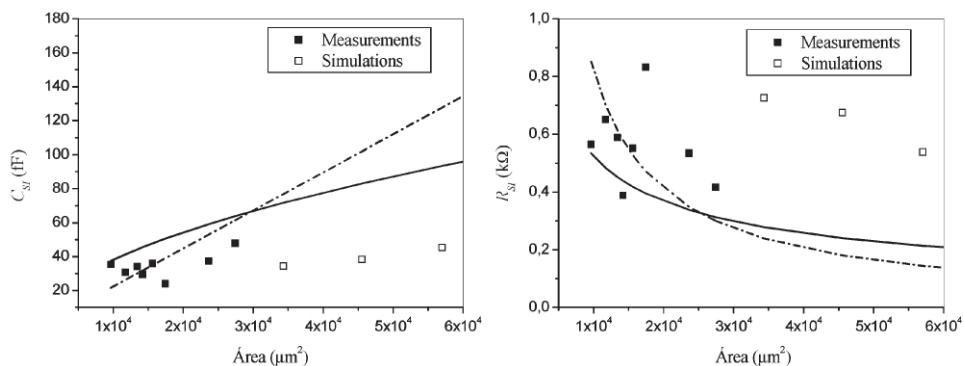


Fig. 8. Measured and simulated (scattered), modeled by (2) and (3) with  $C_{SUB} = 4.48 \cdot 10^{-3} \text{ fF}/\mu\text{m}^2$  and  $G_{SUB} = 2.43 \cdot 10^{-7} \text{ S}/\mu\text{m}^2$  (dashed and dot line), and modeled by (9) and (10) (solid line)  $C_{SI}$  and  $R_{SI}$  for inductors on substrate B (see Table I).

235 As far as the coils on substrate A is concerned, Fig. 7 shows  
236 that the new model works better for small coils, while the error  
237 grows for bigger areas. The same trend is observed in thicker  
238 substrate coils (Fig. 8), although the difference between both  
239 models is less significant in this case.

240 This is due in part to one of the simplifying assumptions  
241 adopted in the development of our model. As said before, the  
242 model is not so reliable for areas bigger than  $4 \cdot 10^4 \mu\text{m}^2$   
243 because inductor measurements and disk simulations begin  
244 to differ.

245 However, nowadays, the designed inductors for RF de-  
246 vices, such as voltage-controlled oscillators, low-noise ampli-  
247 fiers, mixers, or distributed amplifiers, are rarely larger than  
248  $4 \cdot 10^4 \mu\text{m}^2$ , since it would involve increasing the final device  
249 area and therefore the final cost.

250 Consequently, the new substrate characterization not only  
251 predicts better than previous works the behavior of actually  
252 used coils but also achieved this improvement with no fitting  
253 parameters at all.

#### 254 B. Overall Inductor Behavior

255 The model consistency is tested now by analyzing the over-  
256 all inductor behavior. Figs. 9 and 10 plot the measured and  
257 modeled quality factor ( $Q$ ) of four inductors. Their layout  
258 parameters are listed in Table II.

259 The only difference between both model lines is the substrate  
260 characterization  $C_{SI}$  and  $R_{SI}$ . The rest of the lumped compo-  
261 nents in the equivalent circuit (see Fig. 1) are calculated with the  
262 same expressions for both models and consequently are exactly  
263 the same.

264 As seen for  $C_{SI}$  and  $R_{SI}$  in Figs. 7 and 8, the difference  
265 between the classic and the new model is smaller in the case  
266 of inductors on substrate B. As explained before, this is due to  
267 the fitting parameters, which are calculated with a few coils for  
268 this process, all of them occupying similar small areas.

269 In Fig. 9, we can see that the  $Q$  curve versus frequency can  
270 be decomposed and described by the following four critical  
271 factors:

- 1) the  $Q$  value at low frequency, when the skin effect is not  
272 relevant ( $Q_{DC}$ );  
273
- 2) the peak  $Q$  value ( $Q_{MAX}$ );  
274
- 3) the frequency at which we obtain  $Q_{MAX}(f_{QMAX})$ ;  
275
- 4) the resonant frequency ( $f_{RES}$ ).  
276

277 We can evaluate the sensitivity of the lumped elements of the  
278 inductor equivalent circuit on these key parameters. Focusing  
279 on the substrate losses, Fig. 11 shows the general trend of  $R_{SI}$   
280 and  $C_{SI}$ . As expected, the substrate losses have no relevance on  
281 the  $Q$  value at zero frequency since it depends mainly on the  
282 series resistance and inductance (see Fig. 1).

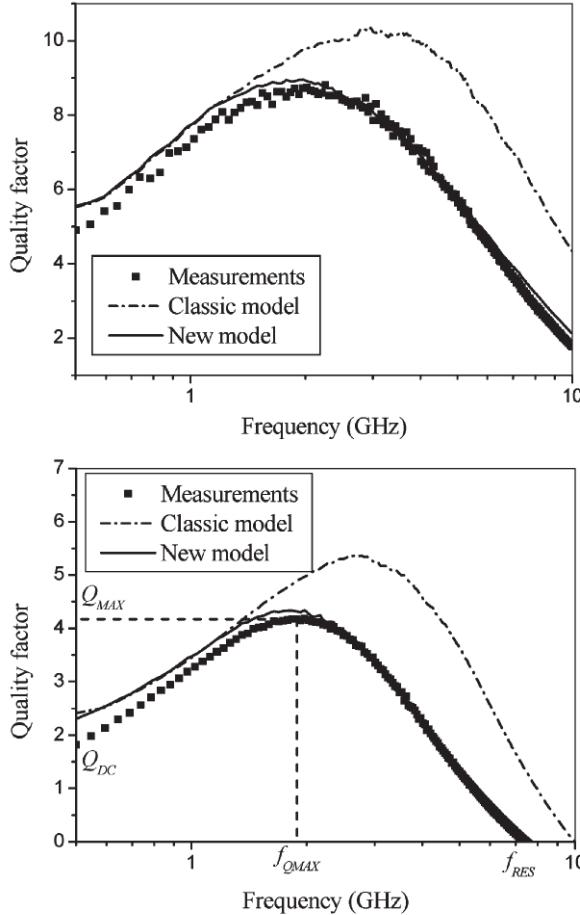


Fig. 9. Verification of the physical model for the  $0.8\text{-}\mu\text{m}$  process coils: L1 (upper) and L2 (lower).

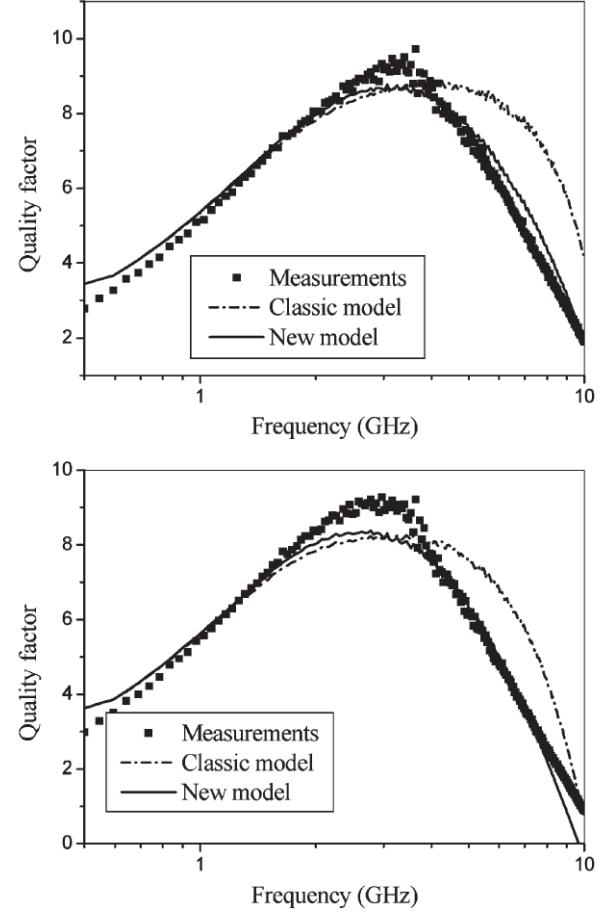


Fig. 10. Verification of the physical model for the  $0.35\text{-}\mu\text{m}$  process coils: L3 (upper) and L4 (lower).

283 However, the  $R_{SI}$  and  $C_{SI}$  influence grows as we increase  
 284 the frequency.  $f_{QMAX}$  and mainly  $Q_{MAX}$  depend on the sub-  
 285 strate losses, although  $R_{MET}$  and  $R_{SUB}$  continue to be impor-  
 286 tant, and finally,  $f_{RES}$  is completely determined by  $R_{SI}$  and  
 287  $C_{SI}$  [14].

288 From Fig. 11, we can conclude that the substrate losses  
 289 exhibit the most significant impact on  $Q_{MAX}$  and  $f_{RES}$ .  
 290 Therefore, these factors will be further analyzed. Fig. 12 (left)  
 291 shows a comparison of the measured  $Q_{MAX}$  of a big group of  
 292 fabricated inductors and the  $Q$  values predicted by our model.  
 293 The set includes 40 inductors on substrate A and eight on  
 294 substrate B.

295 On the other hand, as we can see in Fig. 12 (right), the quality  
 296 factor value at 10 GHz ( $Q_{10G}$ ) is evaluated instead of  $f_{RES}$  due  
 297 to the fact that most of the coils present resonant frequencies  
 298 higher than 20 GHz, which is the maximum frequency our VNA  
 299 can measure.

300 The model shows excellent agreement with measurements.  
 301 The maximum relative error between measured and modeled  
 302  $Q_{MAX}$  is approximately 6%, and around 12% in terms of  $Q_{10G}$ .

303

#### IV. CONCLUSION

304 A physically based model has been proposed to accurately  
 305 predict the high-frequency influence of substrate on on-chip

TABLE II  
INDUCTOR GEOMETRIES ON FIGS. 9 AND 10

Inductor	Process	$r_{EXT}$ ( $\mu\text{m}$ )	$w$ ( $\mu\text{m}$ )	$n$	$L$ (nH)
L1	A	90	8	5.5	1.2
L2	A	144	26	1.5	4.6
L3	B	90	6	4.5	3.2
L4	B	100	6	4.5	4.3

spiral inductors. In order to study this influence, the inductor 306 is assumed to behave as a planar disk occupying the same area 307 as the metallic spiral. By means of simulations, this assumption 308 has been validated for areas smaller than  $4 \cdot 10^4 \mu\text{m}^2$ , which 309 are commonly used by RF designers. We have seen that the 310 electric field in the substrate is not only confined under the 311 inductor, so as how this effect is more relevant in small-area 312 inductors. Based on this fact, an analytical model for  $R_{SI}$  and 313  $C_{SI}$  has been developed with closed expressions that do not 314 use fitting parameters, as previous models did. The model has 315 been validated, by comparison with experimental results, to be 316 applicable over a wide range of inductor geometries fabricated 317 on two different processes. 318

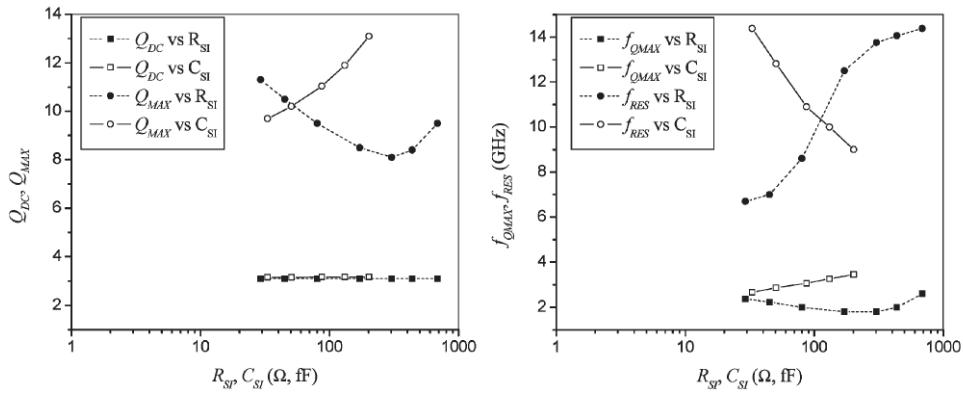


Fig. 11. Trend of the key parameters with corresponding variations of  $R_{SI}$  and  $C_{SI}$  for a 0.35- $\mu\text{m}$  process inductor with  $n = 3.5 \mu\text{m}$ ,  $r_{EXT} = 130 \mu\text{m}$ , and  $w = 18 \mu\text{m}$ .

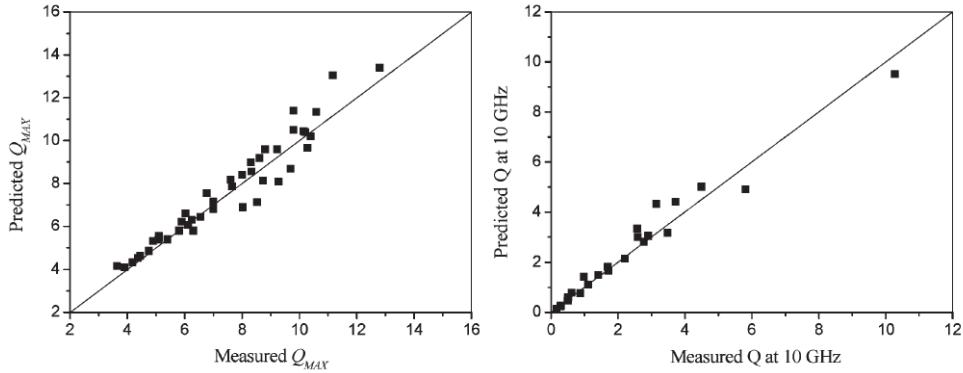


Fig. 12. Verification of the physical model by comparing the measured and predicted maximum  $Q$  and its value at 10 GHz.

## REFERENCES

- 319
- 320 [1] N. A. Talwalkar, C. P. Yue, and S. S. Wong, "Analysis and synthesis of  
321 on-chip spiral inductors," *IEEE Trans. Electron Devices*, vol. 52, no. 2,  
322 pp. 176–182, Feb. 2005.
  - 323 [2] M. Kang, J. Gil, and H. Shin, "A simple parameter extraction method of  
324 spiral on-chip inductors," *IEEE Trans. Electron Devices*, vol. 52, no. 9,  
325 pp. 1976–1981, Sep. 2005.
  - 326 [3] F. Rotella, B. Bhattacharya, V. Blaschke, M. Matloubian, A. Brotman,  
327 Y. Cheng, R. Divecha, D. Howard, K. Lampaert, P. Miliozzi,  
328 M. Racanelli, P. Singh, and P. Zampardi, "A broad-band lumped element  
329 analytic model incorporating skin effect and substrate loss for inductors and inductor-like components for silicon technology and RFIC  
330 design," *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1429–1441,  
331 Jul. 2005.
  - 332 [4] T. O. Dickson, M. LaCroix, S. Boret, D. Gloria, R. Beerkens, and  
333 S. P. Voinigescu, "30–100-GHz inductors and transformers for millimetre-  
334 wave (Bi)CMOS integrated circuits," *IEEE Trans. Microw. Theory Tech.*,  
335 vol. 53, no. 1, pp. 123–133, Jan. 2005.
  - 336 [5] F. Huang, N. Jiang, and E. Bian, "Characteristic-function approach  
337 to parameter extraction for asymmetric equivalent circuit of on-chip  
338 spiral inductors," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 1,  
339 pp. 115–119, Jan. 2006.
  - 340 [6] J. Gil and H. Shin, "A simple wide-band on-chip inductor model for  
341 silicon based RF ICs," *IEEE Trans. Microw. Theory Tech.*, vol. 551, no. 9,  
342 pp. 2023–2028, Sep. 2003.
  - 343 [7] A. M. Niknejad and R. G. Meyer, "Analysis of eddy-current losses over  
344 conductive substrates with applications to monolithic inductors and trans-  
345 formers," *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 1, pp. 166–176,  
346 Jan. 2001.
  - 347 [8] C. P. Yue and S. S. Wong, "Physical modeling of spiral inductors on  
348 silicon," *IEEE Trans. Electron Devices*, vol. 47, no. 3, pp. 560–568,  
349 Mar. 2000.
  - 350 [9] J. N. Burghartz and B. Rejaei, "On the design of RF spiral inductors  
on silicon," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 718–729, 351  
Mar. 2003.
  - [10] J. Lee, S. Lee, P. Roblin, and S. Bibyk, "Experimental analysis of spiral  
353 integrated inductors on low cost integrated circuit processes," in *Proc.  
354 IEEE SoutheastCon*, 2005, pp. 116–120.
  - [11] C. P. Yue, C. Ryu, J. Lau, T. H. Lee, and S. S. Wong, "A physical model  
356 for planar spiral inductors on silicon," in *IEDM Tech. Dig.*, San Francisco,  
357 CA, 1996, pp. 155–158.
  - [12] T. H. Lee, *The Design of CMOS RF Integrated Circuits*. Cambridge,  
359 U.K.: Cambridge Univ. Press, 1998.
  - [13] C. B. Sia, K. S. Yeo, W. L. Goh, T. N. Swe, J. G. Ma,  
361 M. A. Do, J. S. Lin, and L. Chan, "A simple and scalable model for spiral  
362 inductors on silicon," in *Proc. Int. Conf. Model. Simul. Microsyst.*, 2001,  
363 pp. 358–361.
  - [14] C. Lee, T. Sheng, J. Der-Son, and C. Kao, "A simple systematic spiral  
365 inductor design with perfected  $Q$  improvement for CMOS RFIC appli-  
366 cation," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 2, pp. 523–528, 367  
Feb. 2005.
  - [15] J. Pino, J. R. Sendra, A. Hernández, S. L. Khemchandani, J. Aguilera,  
369 B. González, J. García, and A. Nunez, "Models and tools for CMOS  
370 integrated inductors," *Analog Integr. Circuits Signal Process.*, vol. 33, 371  
no. 2, pp. 171–178, Nov. 2002.
  - [16] J. R. Sendra, J. Pino, A. Hernández, B. González, J. García,  
373 A. García-Alonso, and A. Nunez, "Integrated inductors modeling for li-  
374 brary development and layout generation," *Analog Integr. Circuits Signal  
375 Process.*, vol. 35, no. 2/3, pp. 121–132, May/Jun. 2003.
  - [17] *Momentum User's Manual*, Agilent Technol., Palo Alto, CA, Sep. 2004.
  - [18] T. E. Kolding, "A four-step method for de-embedding gigahertz on-wafer  
378 CMOS measurements," *IEEE Trans. Electron Devices*, vol. 47, no. 4, 379  
pp. 734–740, Apr. 2000.
  - [19] "Taurus-medici industry-standard device simulation tool," *Taurus Device  
381 User Guide*, 2004.
  - [20] M. Fogiel, *The Electromagnetics Problem Solver*. Piscataway, NJ: REA,  
383 1990, pp. 275–276.

385  
386  
387  
388  
389  
390  
391  
392  
393  
394  
395



**Amaya Goñi** was born in Pamplona, Spain, in 1977. She received the M.S. degree in telecommunication engineering from the Public University of Navarra, Pamplona, in 2002. She is currently working toward the Ph.D. degree at the Universidad de Las Palmas de Gran Canaria (ULPGC), Las Palmas de Gran Canaria, Spain.

Since 2003, she has been with the División de Tecnología Microelectrónica, Instituto Universitario de Microelectrónica Aplicada, ULPGC, where she is involved in the design and development of on-silicon RF ICs. Her current research interests include high-frequency ICs for telecommunications, with particular attention to the design, characterization, and modeling of silicon-integrated inductors.

399  
400  
401  
402  
403  
404  
405  
406  
407  
408  
409



**Javier del Pino** was born in Canary Islands, Spain. He received the B.S. and M.S. degrees in telecommunications engineering and the Ph.D. degree from the Universidad de Las Palmas de Gran Canaria, Las Palmas de Gran Canaria, Spain, in 1996, 1997, and 2002, respectively.

Since 1994, he has been with the División de Tecnología Microelectrónica, Instituto Universitario de Microelectrónica Aplicada, Universidad de Las Palmas de Gran Canaria, where he was an Assistant Professor from 1998 to 2005 and has been an Associate Professor since 2005. In 2000 and 2002, he was an Invited Researcher with the Centro de Estudios e Investigaciones Técnicas de Guipúzcoa, San Sebastián, Spain, and the Fraunhofer Institute for Integrated Circuits, Erlangen, Germany, respectively. He has authored or coauthored more than 50 papers in international journals and conferences and leads research projects funded by public institutions and local companies. His research interests include high-frequency ICs for telecommunications, with particular attention to the design, characterization, and modeling of silicon-integrated inductors.



**Benito González** was born in Las Palmas de Gran Canaria, Spain, in May 1968. He received the M.S. degree in physics from the University of Santiago de Compostela, Santiago de Compostela, Spain, in 1992, and the Ph.D. degree from the Universidad de Las Palmas de Gran Canaria, Las Palmas de Gran Canaria, in 2001.

He has been with the Universidad de Las Palmas de Gran Canaria as an Associate Professor from 1996 to 2003 and a permanent Faculty Member since then. He is currently the Director of the División de Tecnología Microelectrónica, Instituto Universitario de Microelectrónica Aplicada, Universidad de Las Palmas de Gran Canaria, leading several research projects. His research interests are in the area of semiconductor device physics, modeling, and simulation, with emphasis on integrated passive devices for RF applications, varactors and inductors, and in the area of high-frequency integrated circuits for telecommunications.



**Antonio Hernández** received the Doctorate degree in telecommunication engineering from the Universidad de Las Palmas de Gran Canaria, Las Palmas de Gran Canaria, Spain, in 1992.

He is a founding member of the Instituto Universitario de Microelectrónica Aplicada, Universidad de Las Palmas de Gran Canaria, where he is a Professor. His research interests include modeling of active and passive devices for microwave and very-high-speed applications and RF integrated circuits.

# A Method to Build-up an Integrated Inductor Library

O. Medina, J. del Pino, A. Goni-Iturri, S. L. Khemchandani, J. Garcia, A. Hernandez

Institute for Applied Microelectronics (IUMA) Univ. of Las Palmas de G.C. Spain.

Dep. de Ingenieria Electronica y Automatica (IUMA) Univ. of Las Palmas de G. C. Spain. .

jpino@iuma.ulpgc.es

**Abstract**— Starting from a small number of fabricated integrated inductors in a CMOS 0.18  $\mu\text{m}$  process, and by means of accurate electromagnetic simulations, a new method to generate an integrated inductors library is reported in this paper. Besides, a parametric model for the technology proposed has been adapted. This model permits us to find the geometric parameters of the inductor that provide the highest quality factor for a particular inductance and frequency of operation. Based on this model, an automatic inductor layout generator has also been developed.

**Index Terms**— Electromagnetic simulator, inductance, on-chip spiral inductor, quality factor.

## I. INTRODUCTION

Radio frequency integrated circuits (RFICs) operating at the few Gigahertz bands require high-quality factor integrated inductors at a low cost.

The selection of an integrated inductor to be used in a particular design can be made from those offered by the foundry or it can be judiciously designed. But the inductors offered by the foundry are usually not suited to operate at the frequency of operation. Alternatively, the inductor may be taken from a complete library; provided it has been previously built-up. This library must be comprised of inductors for any desired inductance, exhibiting high quality factors at the specific frequency or a minimum occupied area.

In this paper a typical method to generate an integrated inductor library is revised and a new one using just a few fabricated inductors and electromagnetic (EM) simulations are proposed. Section II is devoted to this.

Section III sets out the simulation tool that defines the library and the way it is set up.

Besides, the parametric lumped equivalent circuit model used is presented in section IV. The next section is devoted to presenting the results of the library generated from the parametric model and the EM simulator. Section VI reports an automatic procedure to select the best inductor for the technology used, given the required inductance and operating frequency. The paper finishes in section VII where some conclusions are summarized.

## II. METHODS TO BUILD-UP INTEGRATED INDUCTOR LIBRARIES

In this section a typical method to obtain an integrated inductor library is presented. This method consists of several steps (see Fig. 1):

- 1) Development of an inductor library based on a fast simulator, like ASITIC [1], [2].
- 2) Design of the layout of the whole library. Afterwards, it is necessary to measure and characterize the fabricated inductors in order to obtain the  $S$  parameters.
- 3) Presentation of the inductor library as a database, alternatively design computer tools to help the designer to choose the appropriate device giving the desired inductance and frequency values. Following this, an inductor searching tool based on measurements is obtained providing a specific inductor for a desired inductance and frequency value. However, this tool is limited to the library range. This limitation can be avoided using a parametric model where each element of the inductor model is given by an expression depending on the particular geometry of the inductor and the technology. These expressions may have physical meaning or not, in any case, they are constructed from a great amount of measured data. Nevertheless, developing an accurate parametric model is not an easy task, and it is under constant research [3], [4], [5].

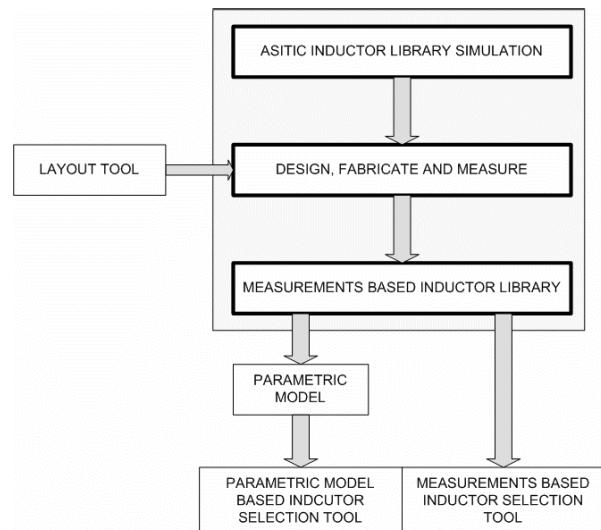


Fig. 1. Steps needed to build-up an inductor library by a typical procedure.

This work is supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnologia, TIC-2002-04323-C03-03).

The method already presented is very time consuming, and increases the overall cost. Moreover, the definition of the inductor library lacks precision because of the limitations in the simulation tool used. This is solved in part, thanks to the fact that the resulting library contains measured data, therefore in spite of the fact that there are some optimal structures missing, those being offered are quite accurate.

There are some other published works [6], [7] that only deal with a few fabricated integrated inductors, so they have no a proper inductor library of their own.

### III. SIMULATION TOOL

The process that is introduced here proposes an alternative way to obtain an inductor library (see Fig 2) based on a more accurate simulator. This goal can be achieved using a few fabricated inductors in order to set up the simulation tool. Therefore, the cost is reduced, not only in price, but in time, because of the reduced number of inductors needed. This at the same time provides a high accuracy inductor simulation tool, which gives an additional degree of freedom in the inductor selection.

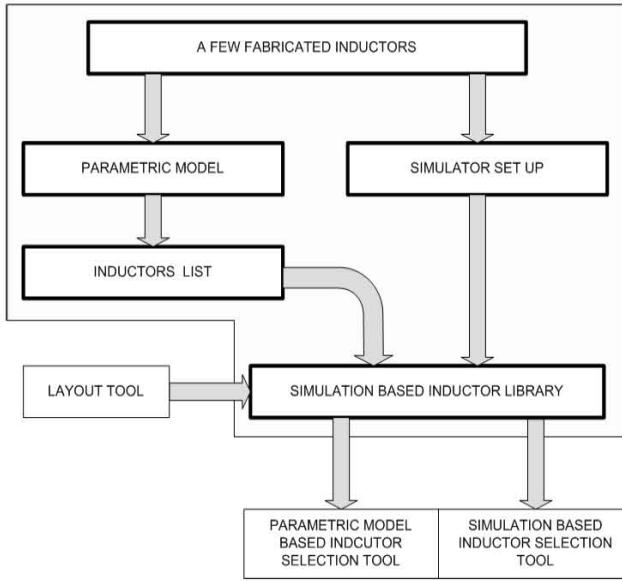


Fig. 2. New method to obtain an inductor library.

This new process being introduced is based on Momentum<sup>©</sup>, the Electromagnetic Simulator distributed with Agilent's ADS<sup>©</sup> (Advanced Design System). With this program good results on the inductance and quality factor values can be obtained based on the method of moments. It is a 2.5D-EM simulator, which does not take into account all the phenomenon that occur in an inductor as a 3D one does [8], but it is faster and a very good solution in this case.

Nevertheless, getting precise results from a general purpose EM simulator is not a simple task. The substrate and metallization layers provided by the technology should be carefully defined, and the simulator has to be adequately set up so the results fit the measurements.

In order to do this, a small number of inductors must be fabricated and measured. With these data, the required simulation parameters, and the best metallization layer approximation can be defined.

Momentum<sup>©</sup> proposes two ways to simulate metal layer behaviour, sheet approximation o thick approximation. In general, each one fits better some of the inductor parameters (sheet resistance, capacitances, etc) but it finally depends on the frequency value and on the technology characteristics. Using empirical information more accurate approximation for the inductors on the whole frequency range could be achieved [9].

Together with the information offered by the foundry, the measured data and a competent knowledge of the EM simulator the methodology's results are accurate enough.

Particularly, the set up of the simulator tool has been achieved by means of measurements taken from a small number of integrated inductors in the CMOS 0.18  $\mu\text{m}$  technology. Following this procedure we have obtained the quality factor and inductance values for a few inductances already fabricated. Fig. 3 shows these EM simulated values versus frequency of a typical coil as compared with measured data.

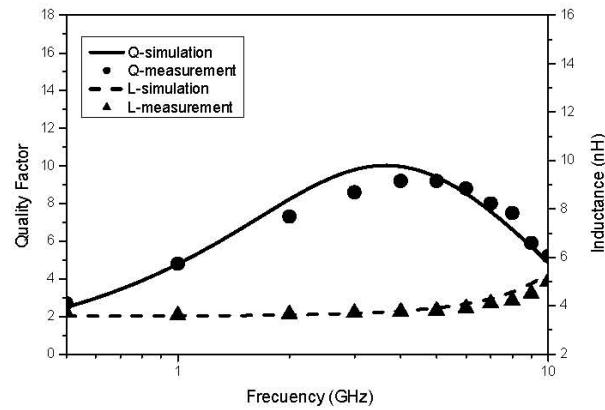


Fig. 3. Momentum simulated and measured quality factor and inductance of one coil.

### IV. INTEGRATED INDUCTOR MODEL

The design of a complete integrated inductor library aided by an EM simulation tool like Momentum<sup>©</sup> is time consuming. The procedure would consist in running simulations varying all the geometric parameters and classifying the resulting integrated inductors according to some predefined criterion.

It is also feasible to develop the library from a parametric inductor model, this is a set of analytical equations describing the behaviour of the integrated inductor by means of a lumped equivalent circuit model whose parameters' value depend on the geometry of the device. This process has been followed for the elements of the two-port lumped equivalent circuit model of an integrated inductor.

Shown in Fig. 4 [10], all the parameters in this model have a clear physical meaning, thus  $L_S$  is the inductance,  $R_S$  is the series resistance of the metal trace,  $C_P$  models the shunt capacitance between the metal traces and the crossunder,  $C_{Ox1,2}$  represents the spiral-to-substrate capacitance,  $R_{Sub1,2}$  models the behaviour of leakage currents across the oxide and the substrate (bulk), and

$C_{SUB1,2}$  accounts for additional capacitive effects related to the substrate.

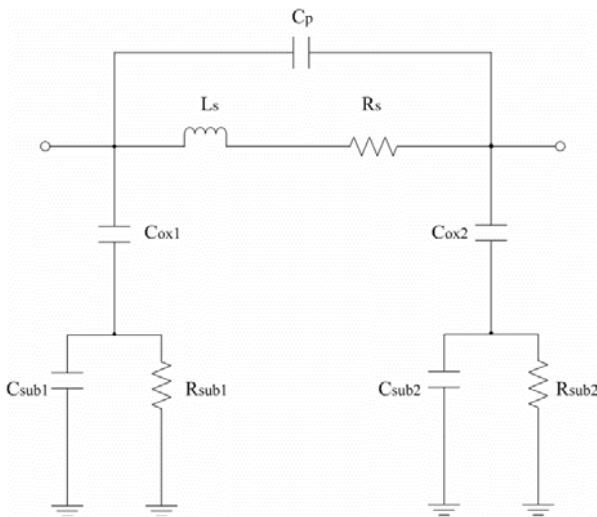


Fig. 4. Conventional two-port  $\pi$ -model for an integrated inductor to explain the significance of the figure in the caption.

The equivalent circuit in Fig. 4 is not symmetrical because neither is it the layout of the integrated inductor due to the need for an underpass to give access to the inner end. The underpass is placed closer to one of the device ports and introduces some capacitive coupling to the substrate which is slightly different in both ports. Therefore, the characterization process will lead to  $C_{OX1}$ ,  $C_{SUB1}$  and  $R_{SUB1}$  values to some extent different from  $C_{OX2}$ ,  $C_{SUB2}$  and  $R_{SUB2}$ .

The circuit elements can be calculated from a general set of simple analytical expressions that depend on material properties and geometry [10]. However these general expressions may introduce errors in the estimation of the inductor behavior.

The value of  $L_s$  can be obtained from the following equation [10]

$$L_s \approx \frac{K_e \cdot \mu_0 \cdot n^2 \cdot a^2}{22 \cdot r - 14 \cdot a}.$$
(1)

where  $K_e$  is an empirical constant,  $\mu_0$  is the free space permeability,  $n$  is the number of turns,  $a$  is the average radius and  $r$  is the outer radius.

At low frequencies, the series resistance of the metallic conductor can be easily calculated as the product of the sheet resistance and the number of squares of the metal trace. As frequency increases, however, skin effect and induced eddy currents may cause a great deviation from the actual series resistance and that obtained by the dc  $R_s$  expression given in [10]. In fact,  $R_s$  does not precisely take into account the skin effect and neglects eddy currents. But, both effects must be properly modeled. Therefore, the expression for the sheet resistance has been obtained from [11] which approaches better these effects. For a more accurate approximation, effective skin depth has been used in it.

The parallel capacitance  $C_p$  is composed of two coupling effects; the so called parallel capacitance that represents the capacitance between metal traces and the one associated

with the crossunder [12].

The spiral-to-substrate capacitance,  $C_{ox}$ , and the substrate resistance and capacitive behaviour modelled by  $R_{sub}$  and  $C_{sub}$  respectively, were introduced using the classic expressions [10].

This parametric model fits well the inductance value as compared to the measured data. However, the computed quality factor values are no so good, and once de maximum value is reached, the model does not work accurately enough. Nevertheless, the frequency at which the maximum quality factor is obtained is correctly predicted by the parametric model. For this reason, this tool can be very useful for designing an inductor library, since it gives the geometric parameters of the integrated inductor that exhibits the highest quality factor at a particular frequency. A comparison between the parametric model and measured data for a 4.5 turns inductor can be found in Fig. 5.

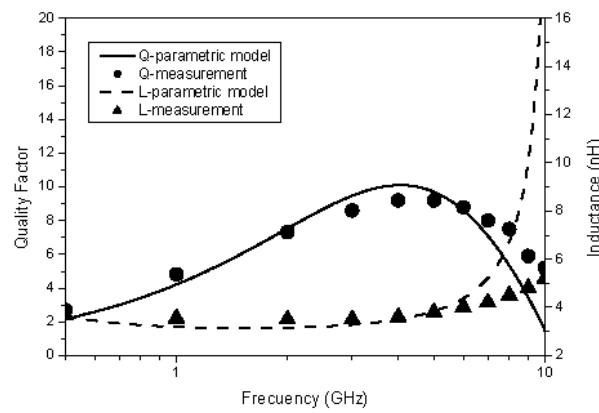


Fig. 5. Quality factor and inductance of a typical coil: parametric model and measurements.

## V. INTEGRATED INDUCTOR LIBRARY

In order to generate an inductor library it is necessary to define the layout of each coil needed. This process has to be done before fabrication, but it is also required for simulation purposes. This task can be achieved using simulator tools or a specific program, like the one used in this case [11]. Fig. 6 shows an example of this tool.

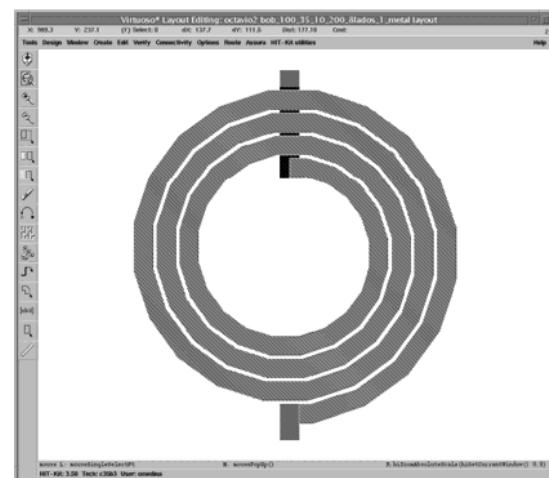


Fig. 6. Inductor layout tool.

For the frequency values 0.85 GHz, 1.5 GHz, 1.8 GHz, 2.4 GHz and 5.6 GHz corresponding to different standards, a set of inductances has been developed. Each set offers inductance values from 0.5 nH to 6.5 nH, in 0.5 nH steps. The maximum error on the inductance value has been set to 0.2 nH for the parametric model, this gives the geometric parameters of each inductor with the highest value of the quality factor.

The space between coil traces has been set to a minimum value of 1.5  $\mu\text{m}$ ; as doing so gives higher quality factor values at low frequency and at any frequency, higher inductance values than spacing out the metal lines, because of the decrease of the mutual inductance. Furthermore, a higher spacing value ( $s$ ) increases the series resistance and the total area [13].

The track width ( $w$ ) changes from 5 to 50  $\mu\text{m}$ , the number of turns from 1.5 to 15.5 and the spiral outer radius from 25 to 300  $\mu\text{m}$ .

Table I shows examples of parameters obtained for each set of inductors.

TABLE I SEVERAL PARAMETERS OF LIBRARY INDUCTORS FOR EACH FREQUENCY					
f(GHz)	0.85	1.5	1.8	2.4	5.6
Q <sub>AV</sub>	7.17	8.81	9.4	9.94	10.1
r <sub>MIN</sub> ( $\mu\text{m}$ )	150	155	140	110	78
r <sub>MAX</sub> ( $\mu\text{m}$ )	300	290	245	225	140
n <sub>MIN</sub>	1.5	1.5	1.5	1.5	1.5
n <sub>MAX</sub>	3.5	4.5	4.5	5.5	5.5
w <sub>MIN</sub> ( $\mu\text{m}$ )	30	16	14	9	5
w <sub>MAX</sub> ( $\mu\text{m}$ )	50	50	50	50	30

Simulations for several coils with Momentum<sup>®</sup> show that, at low frequencies, the quality factor increases when other layers are added to the metallization structure. The inductance value with two or more metal layers shunted decreases, but only slightly. Taking this into account, an additional set of inductors has been developed, using the two top metal layers of the technology at 0.85 GHz. In order to do this, the parametric model has been rearranged evaluating the new layer. A summary of the Momentum simulations is shown on Table II.

TABLE II SEVERAL PARAMETERS FOR THE 0.85 GHZ FREQUENCY INDUCTORS WITH TWO TOP METAL LAYERS SHUNTED						
Q <sub>AV</sub>	r <sub>MIN</sub> ( $\mu\text{m}$ )	r <sub>MAX</sub> ( $\mu\text{m}$ )	n <sub>MIN</sub>	n <sub>MAX</sub>	w <sub>MIN</sub> ( $\mu\text{m}$ )	w <sub>MAX</sub> ( $\mu\text{m}$ )
8.28	150	270	1.5	4.5	24	50

## VI. PROTOTYPE TOOL

The set of equations already presented have been implemented by an optimization algorithm that takes the desired inductance value and the frequency of operation as input. The output is the inductor's geometrical parameters that reach the best Q. It has been implemented in C language.

This algorithm has been translated to CADENCE<sup>®</sup> using SKILL<sup>®</sup> language, so a parametric inductors cell generator is now available.

Our proposed generator automates the inductors laying-out. The circuit designer is asked for the desired inductance value and the fixed frequency of operation. Also, size limitation must be introduced by giving the maximum external radius of the element.

The program chooses the best integrated inductor that can be fabricated in the technology being used which fulfils the constraints. Also, the layout of this integrated inductor is automatically generated.

The component description format is very simple. The properties of the inductor are introduced in CADENCE<sup>®</sup> by filling-in the first three boxes shown in Fig. 7: Inductance, frequency, and maximum radius. Once this information is processed the routine returns the already mentioned card in Fig. 7 including both, the two ports equivalent circuit model parameters so as the geometrical parameters associated to the integrated inductor automatically generated.

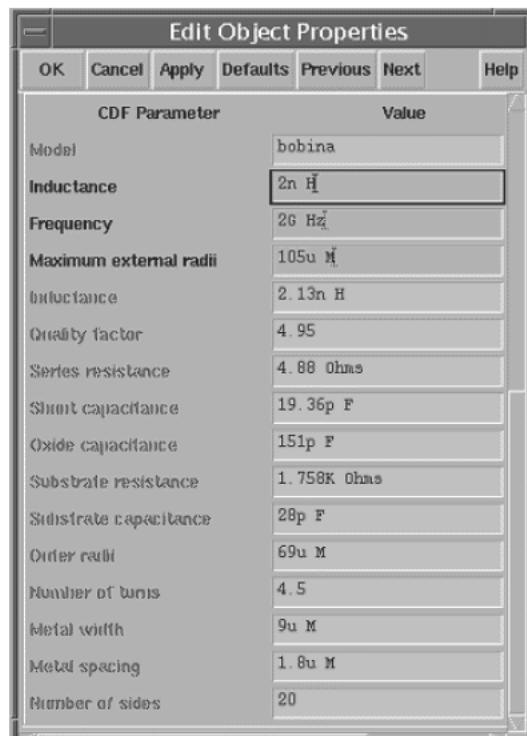


Fig. 7. Component Description Format

## VII. CONCLUSIONS

In this paper, a new method to generate a full inductor library has been introduced. From a few fabricated inductors in CMOS technology and high accurate EM simulations the inductance value is predicted with a small error against measured values.

The parametric model has been adapted for this particular technology. Using this model a high quality factor searching tool has been developed which offers the opportunity to define a whole library of integrated inductors.

Table III summarizes the performance aspects of the method developed and a previous one already mentioned.

TABLE III  
PERFORMANCE RESULTS

PARAMETER	TYPICAL PROCEDURE	PROPOSED PROCEDURE
Time consumption	High	Low
Cost	High	Low
Library conception accuracy	Low	High
Library data accuracy	High	Medium/High

Based on the new parametric integrated inductor model a powerful tool has been developed. This program gives the user the layout of the inductor with the highest quality factor for the desired inductance and work frequency.

#### REFERENCES

- [1] A. Niknejad, ASITIC Documentation.
- [2] A. Niknejad, R. G. Meyer, "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF IC's," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 10, October 1998.
- [3] Y. Cao, R.A. Groves, X. Huang, N. D. Zamdmer, J. Plouchart, R. A. Wachnik, T. King, C. Hu, "Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors," *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 3, March 2003.
- [4] J. Gil, H. Shin, "A Simple Wide-Band On-Chip Inductor Model for Silicon-Based RF ICs," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 51, No. 9, September 2003.
- [5] F. M. Rotella, V. Blaschke, D. Howard, "A Broad-Band Scalable Lumped-Element Inductor Model Using Analytic Expressions to Incorporate Skin Effect, Substrate Loss, and Proximity Effect," *Electron Devices Meeting*, 2002.
- [6] K. Ashby, I. Koullias, W. Finley, J. Basteck, "High Q Inductors for Wireless Applications in a Complementary Silicon Bipolar Process," *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 12, pp. 4-9, 1996.
- [7] J.N. Burghartz, D.C. Edelstein, M. Soyer, H.A. Ainspan, K. Jenkins, "RF Circuit Design Aspects of Spiral Inductors on Silicon," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 12, pp. 4-9, 1998.
- [8] J. Cranineckx, M. Steyaert, "A 1.8-GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 5, May 1997.
- [9] A. Gofii, S. L. Khemchandani, J. del Pino, J. García, J. R. Sendra, A. Hernández, "A 5 GHz SiGe VCO for WLAN Using Optimized Spiral Inductors," *XIX Design of Circuits and Integrated Systems Conference*, pp. 603-607, November 2004.
- [10] T.H. Lee, "The Design of CMOS RF Integrated Circuits," Cambridge University Press, pp. 34-57, 1998.
- [11] J. del Pino, J. R. Sendra, A. Hernández, S. L. Khemchandani, J. Aguilera, B. González, J. García, A. Nunez, "Modelling and Automatic Generation Tool for Integrated Inductors in CMOS Technology," *XVI Design Circuits and Integrated Systems Conference*, pp.: 378-383, 2001.
- [12] J del Pino, S.L. Khemchandani, A Hernández, J R Sendra, A Nunez, "Quality Factor Model for Integrated Inductors in CMOS Technology," *Microwave Engineering*, pp. 27-34, May 2001.
- [13] D. Puknava, G. Dodeva, M. Hristov, A. Roussel, "Design, Analysis and Optimisation of Monolithic Inductors for RF Applications," *First International IEEE Symposium Intelligent Systems*, September 2002.



## Technical Programme

# Microtechnologies for the New Millennium 2005

**9-11 May 2005**

Hotel Meliá Sevilla  
Sevilla, Spain

### *Symposium Chairs*

**Angel Rodríguez-Vázquez, Univ. de Sevilla (Spain)**

**Elisenda Roca, IMSE-CNM-CSIC (Spain)**

**Derek Abbott, The Univ. of Adelaide (Australia)**

**SPIE Europe**

# Contents

## Symposium Location

Hotel Sol Meliá Sevilla

Dr. Pedro de Castro, 1, 41004 Sevilla (SPAIN)

Tf. (+34) 95 4422611 • Fax (+34) 95 421608

Email: melia.sevilla@solmelia.com • Web: www.solmelia.com

## Registration and Information Desk Hours

Conference Area Hallway

Sunday .....	15.00 to 19.30
Monday .....	7:30 to 18:00
Tuesday-Wednesday .....	8:00 to 17:30

## Tea/Coffee and Lunch Breaks

Breaks will be in the Conference Area Hallway. See the individual conference programme for times.

## Audio Visual Equipment

Meeting rooms will contain overhead and data projectors. Additional equipment will be made available only by special arrangement and may involve a rental fee. Note: Laptop computers are not provided.

## Cosponsor



Univ. de Sevilla



Consejo Superior de  
Investigaciones Científicas



Junta de Andalucía



Ministerio de Educación y Ciencia

## Cooperating Organisations



Instituto de  
Microelectrónica  
de Sevilla – CNM



–The European Optical Society



Sociedad Española de Optica  
(SEDO)

Special Events .....	2
Plenary Presentations .....	3

## CONFERENCES

5836 Smart Sensors, Actuators, and MEMS II (Cané) ..	4-7
5837 VLSI Circuits and Systems II (López, Fernández) ..	8-13
5838 Nanotechnology II (Lugli) .....	14-15
5839 Bioengineered and Bioinspired Systems II (Carmona, Liñán-Cembrano) .....	16-17
5840 Photonics Materials, Devices, and Applications (Badenes) .....	18-23

Participants List .....	24-29
-------------------------	-------

Proceedings of SPIE .....	30
---------------------------	----

## ABSTRACTS

5836 Smart Sensors, Actuators, and MEMS II (Cané) ..	31-49
5837 VLSI Circuits and Systems II (López, Fernández) ..	50-76
5838 Nanotechnology II (Lugli) .....	77-86
5839 Bioengineered and Bioinspired Systems II (Carmona, Liñán-Cembrano) .....	87-98
5840 Photonics Materials, Devices, and Applications (Badenes) .....	99-123

SPIE would like to express its deepest appreciation to the programme chairs, conference chairs, cochairs, programme committees, and session chairs who have so generously given of their time and advice to make this symposium possible. The symposium, like our other conferences and activities, would not be possible without the dedicated contribution of our participants and members.

SPIE's Event Manager for this symposium is Karin Burger.  
For information about the technical programme, email: meetinginfo@spie.org.

## Organising Committee

Derek Abbott, The Univ. of Adelaide (Australia)

Gonçal Badenes, ICFO-Institut de Ciències Fotòniques (Spain)

Carles Cané, Ctr. Nacional de Microelectrónica (IMB-CSIC) (Spain)

Ricardo A. Carmona, Univ. de Sevilla (Spain) and IMSE-CNM-CSIC (Spain)

Francisco V. Fernández, IMSE-CNM-CSIC and Univ. de Sevilla (Spain)

Gustavo Liñán-Cembrano, IMSE-CNM-CSIC (Spain)

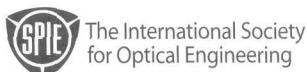
José F. López, Univ. de Las Palmas de Gran Canaria (Spain)

Paolo Lugli, Technische Univ. München (Germany)

Elisenda Roca, IMSE-CNM-CSIC (Spain)

Angel Rodríguez-Vázquez, Univ. de Sevilla (Spain)

## Building a Better World with Light

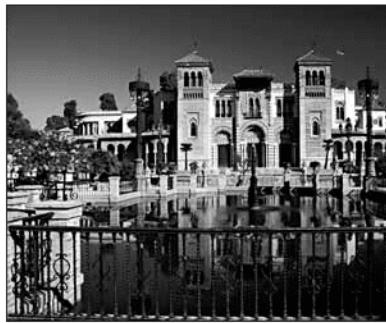


The International Society  
for Optical Engineering

SPIE—The International Society for Optical Engineering is dedicated to advancing scientific research and engineering applications of optical, photonic, imaging, and optoelectronic technologies through its meetings, education programmes, and publications.

SPIE Europe

Karin Burger, Manager • spieeurope@spieeurope.org  
Tel: +44 (0)29 2056 9169 • Fax: +44 29 2040 4873



# Microtechnologies for the New Millennium 2005

**9-11 May 2005**

Hotel Meliá Sevilla  
Sevilla, Spain



## Plan now to attend!

This symposium brings five exciting parallel conferences together to explore the latest micro- and nanotechnologies that will take us into the new millennium. The developments in VLSI, MEMS, nanotechnology, quantum electronics, photonics, and the interplay between electronic and biological systems are all areas of intense interest. This is an excellent opportunity to participate in a conference at the cutting edge of technology. Located in the fascinating city of Sevilla, we welcome you to enjoy the best of Spanish hospitality as you participate in this stimulating scientific symposium.

### Symposium Chairs



**Angel Rodríguez-Vázquez,**  
Univ. de Sevilla (Spain)



**Elisenda Roca,**  
IMSE-CNM-CSIC (Spain)



**Derek Abbott,**  
The Univ. of Adelaide (Australia)



Coinciding with the 100th anniversary of Albert Einstein's "Miraculous Year," the events of the World Year of Physics 2005 aim to raise worldwide public awareness for physics and more generally for physical sciences.



# Conference 5837

Tuesday 10 May

## Keynote Session II ..... Tues. 09.30 to 10.10

Chair: Ángel Rodríguez-Vázquez, Univ. de Sevilla (Spain)

Keynote Presentation

Review of energy harvesting techniques and applications for microelectronics  
(Invited Paper), L. Mateu, F. Moll, A. Rubio, Univ. Politècnica de Catalunya  
(Spain) ..... [5837-41]

## Sessions 10 runs concurrent with session 11

### SESSION 10 ..... Tues. 10.10 to 10.50

#### Technology Reliability

Chair: Marie-Minerve Louerat, Univ. of Paris VI/LIP6 Lab. (France)

Ring oscillator behavior after oxide breakdown, R. Fernández, R. Rodríguez, M. Nafría, X. Aymerich, Univ. Autònoma de Barcelona (Spain) ..... [5837-42]

Transient electro-thermal investigations of interconnect transient electro-thermal investigations of interconnect structures exposed to mechanical stress, S. Holzer, C. Hollauer, H. Ceric, S. Wagner, E. Langer, T. Grasser, S. Selberherr, Technische Univ. Wien (Austria) ..... [5837-43]

Coffee Break

### SESSION 11 ..... Tues. 10.10 to 10.50

#### Baseband Design for Wireless Transceivers

Chair: Ángel Rodríguez-Vázquez, Univ. de Sevilla (Spain)

A 2.5V 4mA GSM base-band transmit port with 2.8-mm<sup>2</sup> area in CMOS 0.18 µm, R. Rivoir, E. Marais, Atmel Corp. (France) ..... [5837-44]

A programmable baseband chain for a WCDMA/WLAN(802.11b) multi-standard zero-IF receiver, D. Rodríguez de Llera González, M. Ismail, Royal Institute of Technology (Sweden) ..... [5837-45]

Coffee Break

## Keynote Session III ..... Tues. 11.20 to 12.00

Chair: Edmond Janssens, STMicroelectronics (Belgium)

Keynote Presentation

Low-power short-range transceivers for sensor networks applications  
(Invited Paper), J. M. López-Villegas, Univ. de Barcelona (Spain) ..... [5837-46]

## Session 12, 14 runs concurrent with sessions 13, 15

### SESSION 12 ..... Tues. 12.00 to 13.20

#### Wireless Transceivers

Chair: Edmond Janssens, STMicroelectronics (Belgium)

CMOS implementation of ultra-wideband systems, W. Vereecken, M. Steyaert, Katholieke Univ. Leuven (Belgium) ..... [5837-47]

A 2V 0.35-µm CMOS DECT RF front-end with on-chip frequency synthesizer, D. Guermandi, E. Franchi, A. Gnudi, Univ. degli Studi di Bologna (Italy); P. Rossi, F. Svelto, R. Castello, Univ. degli Studi di Pavia (Italy) ..... [5837-48]

High bit rate BPSK receiver, A. A. Osorio-Martí, Univ. de Barcelona (Spain) ..... [5837-49]

A dual-band RF transceiver for WLAN applications, R. Sachdev, S. Singh, D. K. Sharma, Indian Institute of Technology Bombay (India) ..... [5837-50]

Lunch Break

### SESSION 13 ..... Tues. 12.00 to 13.20

#### Digital Design Methodologies and Tools I

Chair: Antonio J. Acosta, Ctr. Nacional de Microelectrónica (Spain)

Power analysis methodology and library in SystemC, M. Conti, S. Orcioni, G. B. Vece, Univ. Politecnica delle Marche (Italy) ..... [5837-51]

Architectural energy estimation of embedded systems using cycle accurate simulation, A. Abril, Univ. Pierre et Marie Curie Paris VI (France) and Philips Digital Systems Lab. (France); H. Mehrez, Univ. Pierre et Marie Curie Paris VI (France); J. Gobert, Philips Digital Systems Lab. (France); F. Petrot, Univ. Pierre et Marie Curie Paris VI (France); C. Miro, Philips Digital Systems Lab. (France) ..... [5837-52]

Algorithms to get the maximum operation frequency for skew-tolerant clocking schemes, D. Guerrero, M. J. Bellido, J. J. Chico, A. Millán, P. Ruiz, E. Ostua, Instituto de Microelectrónica de Sevilla (Spain) and Univ. de Sevilla (Spain) ..... [5837-53]

Effectiveness study of fault-tolerant VLSI circuits with concurrent error correction, J. J. Rodriguez-Navarro, RWTH-Aachen (Germany) ..... [5837-54]

Lunch Break

### SESSION 14 ..... Tues. 15.00 to 16.20

#### Analog Test

Chair: Salvador Mir, Institut Polytechnique National de Grenoble (France)

Embedded design-for-testability strategies to test high-resolution SD modulators, S. Escalera, A. Espin, O. Guerra, Á. Rodriguez-Vázquez, Instituto de Microelectrónica de Sevilla (Spain) ..... [5837-55]

Digital test of a ΣΔ modulator in a mixed-signal BIST architecture, L. Rolindez, Institut Polytechnique National de Grenoble (France) and STMicroelectronics (France); S. Mir, G. Prenat, Institut Polytechnique National de Grenoble (France) ..... [5837-56]

Experimental comparison of different oscillation-based test techniques in an analog block, K. Suenaga, R. Picos, S. A. Bota, M. Roca, E. Garcia, Univ. Illes Balears (Spain) ..... [5837-57]

Voltage to frequency converter for DAC test, R. J. Farrell, J. Hogan, National Univ. of Ireland/Maynooth (Ireland) ..... [5837-58]

Coffee Break

### SESSION 15 ..... Tues. 15.00 to 16.20

#### Modelling and Design of Passive RF Components

Chair: José María López-Villegas, Univ. de Barcelona (Spain)

Design and modeling of an on-silicon spiral inductor library using improved EM simulations, A. Goñi Iturri, S. L. Khemchandani, J. del Pino, J. García, B. González Pérez, A. Hernández Ballester, Univ. de Las Palmas de Gran Canaria (Spain) ..... [5837-59]

Modeling of passive components in VLSI technologies, J. J. Sieiro, J. Cabanillas, J. M. Lopez-Villegas, Univ. de Barcelona (Spain) ..... [5837-60]

Design considerations for high-frequency passive filters, N. Sainz, L. Cendoya, Univ. de Navarra (Spain); H. Solar, U. Alvarado, Ctr. de Estudios e Investigaciones Técnicas de Gipuzkoa (Spain); J. de No, Univ. de Navarra (Spain) ..... [5837-61]

Design considerations and trade-offs for passive RFID tags, F. A. Hussien, D. Z. Turker, R. Srinivasan, M. Mobarak, F. Cortes, E. Sanchez-Sinencio, Texas A&M Univ. (USA) ..... [5837-62]

Coffee Break

## ✓ Posters-Tuesday

The following posters will be displayed on Tuesday in the Conference Area Hallway. A poster reception will be held Tuesday evening from 16.40 to 18.20 hrs., with authors present at their poster papers to answer questions. Light refreshments will be served. Poster authors may set up their posters on Tuesday from 10.00 for all-day previewing. It is the author's responsibility to remove their posters at the end of the session. Papers not removed will be considered unwanted and will be discarded. SPIE assumes no responsibility for posters left up after the end of the poster session.

- ✓ **Power and delay analysis of 4:2 compressor cells in 0.18 µm CMOS technology,** M. A. Ahmadi, Univ. of Windsor (Canada) ..... [5837-104]
- ✓ **CMOS active resistor for VLSI applications based on an improved linearity differential structure,** C. Popa, Faculty of Electronics and Telecommunications (Romania) ..... [5837-105]
- ✓ **FGMOS multiplier circuit with improved linearity and frequency response,** C. Popa, Faculty of Electronics and Telecommunications (Romania) ..... [5837-106]
- ✓ **A new geometrical approach to design centering of analog circuits,** S. Manetti, M. C. Piccirilli, F. Grasso, Univ. degli Studi di Firenze (Italy) ..... [5837-107]
- ✓ **CMOS integrated based lock-in pixel for heterodyne interferometry,** O. Soloviev, K. Makinwa, G. V. Vdovin, P. M. Sarro, Technische Univ. Delft (Netherlands) ..... [5837-108]
- ✓ **Behavioural modeling of transient noise sources with VHDL-AMS: application to a sigma-delta modulator,** H. Levi, G. Monnerie, N. Lewis, Univ. de Bordeaux I (France) ..... [5837-109]
- ✓ **Single poly PMOS-based CMOS-compatible low-voltage OTP,** P. Vega-Castillo, W. H. Krautschneider, Technical Univ. Hamburg-Harburg (Germany) ... [5837-110]
- ✓ **Modeling of frequency agile devices: development of PKI neuromodeling library based on hierarchical network structure,** P. Sánchez, J. Hinojosa, R. Ruiz, Univ. Politécnica de Cartagena (Spain) ..... [5837-111]
- ✓ **A temperature control system for integrated resistive gas sensor arrays,** G. Ferri, N. C. Guerrini, Univ. L'Aquila (Italy) ..... [5837-112]
- ✓ **CCII-based inductance simulators for mechanical oscillation control,** G. Ferri, N. C. Guerrini, Univ. L'Aquila (Italy) ..... [5837-113]
- ✓ **Novel low-voltage low-power fully differential buffer,** G. Ferri, Univ. L'Aquila (Italy) ..... [5837-114]
- ✓ **Application of clock gating techniques at a flip-flop level to switching noise reduction in VLSI circuits,** P. Parra, Ctr. Nacional de Microelectrónica (Spain) and Univ. de Sevilla (Spain); J. Castro, Ctr. Nacional de Microelectrónica (Spain); M. Valencia, A. J. Acosta, Ctr. Nacional de Microelectrónica (Spain) and Univ. de Sevilla (Spain) ..... [5837-115]
- ✓ **DC modeling of PN integrated cross varactor,** J. A. García, B. Gonzalez Perez, J. del Pino Suarez, A. Goñi Iturri, S. L. Khemchandani, J. A. Perez Castellano, Univ. de Las Palmas de Gran Canaria (Spain) ..... [5837-116]
- ✓ **Sectorized receivers model for calculation of the impulse response on IR wireless indoor channels using Monte Carlo based ray-tracing algorithm,** B. Rodríguez Mendoza, S. Rodríguez Pérez, Univ. de La Laguna (Spain); R. Pérez Jiménez, Univ. de Las Palmas de Gran Canaria (Spain); O. B. González Hernández, A. J. Ayala Alfonso, Univ. de La Laguna (Spain) ..... [5837-117]
- ✓ **Study of the proximity effect in high q inductors for wireless lan (wlan),** I. Cendoya, Univ. de Navarra (Spain); J. Mendizabal, Ctr. de Estudios e Investigaciones Técnicas de Gipuzkoa (Spain); N. Sainz, I. Gutierrez, Univ. de Navarra (Spain); C. Quemada, Ctr. de Estudios e Investigaciones Técnicas de Gipuzkoa (Spain); J. de No, Univ. de Navarra (Spain) ..... [5837-118]
- ✓ **Prototype board for the test of self-timed circuits developed in FPGAs,** M. S. Raya, R. J. Naharro, Univ. de Huelva (Spain); J. C. Ramírez, Instituto de Microelectrónica de Sevilla (Spain) ..... [5837-119]
- ✓ **An approach to a VHDL-AMS library for RF component models,** G. Domenech-Asensi, J. Hinojosa-Jimenez, J. Martínez-Alajarín, F. J. Garrigos-Guerrero, J. A. López-Alcantud, Univ. Politécnica de Cartagena (Spain) ..... [5837-120]
- ✓ **Multiphase clock generator with controlled clock impulse width for programmable high order SC FIR filter realized in 0.35-µm CMOS technology,** R. Dlugosz, P. Pawłowski, Poznań Univ. of Technology (Poland) ..... [5837-121]
- ✓ **A fully integrated low-noise amplifier in SiGe 0.35 µm technology for 802.11a WIFI applications,** S. L. Khemchandani, R. Pulido, A. G. Iturri, R. Díaz, A. Hernández, J. d. P. Suárez, Univ. de Las Palmas de Gran Canaria (Spain) ..... [5837-122]
- ✓ **The design of capacitance variation detector for the obstacle detection system,** Y. Song, S. Kim, Korea Univ. (South Korea) ..... [5837-123]
- ✓ **Search strategy for relevant parasitic elements and reduction of their influence on the operation of SC FIR filters realized in CMOS technology,** R. Dlugosz, Politechnika Poznanska (Poland) ..... [5837-124]
- ✓ **A deterministic BIST scheme for test time reduction in VLSI circuits,** J. M. Solana, Univ. de Cantabria (Spain) ..... [5837-125]
- ✓ **Low-cost printed antennas design in the band of 2,4GHz,** P. Martí, M. Serra, R. Reig, Univ. de Vic (Spain) ..... [5837-126]
- ✓ **Rapid prototyping with visual data environment of an OFDM WLAN System,** M. Serra, P. Martí, R. Reig, Univ. de Vic (Spain) ..... [5837-127]
- ✓ **Design and optimization of power rectifiers for passive RFID systems in monolithic DMOS circuit,** B. Jamali, D. Ranasinghe, P. H. Cole, Z. Zhu, The Univ. of Adelaide (Australia) ..... [5837-128]
- ✓ **Fully integrable metastability based random number generator,** D. Ranasinghe, The Univ. of Adelaide (Australia); D. Lim, S. Devadas, Massachusetts Institute of Technology (USA); B. Jamali, Z. Zhu, Zheng Zhu, The Univ. of Adelaide (Australia) ..... [5837-129]
- ✓ **Integrable Turn-on circuit for active sensors,** D. Ranasinghe, D. Hall, P. H. Cole, The Univ. of Adelaide (Australia). ..... [5837-130]

**SPIE**Digital  
Library

[spiedl.org](http://spiedl.org)

Join thousands of other researchers just like yourself from around the world and tap into an unprecedented wealth of knowledge. Subscribe today, and jump ahead of the technology curve!

See p. 11 for more information.

In this work, a prototype board based on FPGA is proposed. One of the main novelties is the inclusion of an autonomous test system, with the possibility of extracting dynamic parameters of the design operation implemented on FPGA, permitting functional verification and characterization of implemented designs.

As an application, a test bench has been developed in order to compare and validate several arithmetic circuits, including synchronous and asynchronous implementations.

### **5837-120, Poster Session**

#### **An approach to a VHDL-AMS library for RF component models**

G. Domenech-Asensi, J. Hinojosa-Jimenez, J. Martinez-Alajarin, F. J. Garrigos-Guerrero, J. A. Lopez-Alcantud, Univ. Politecnica de Cartagena (Spain)

These last years, mixed signal description languages, like VHDL-AMS standard, have arisen as essential parts in microelectronics computer-aided design (CAD) tools to develop behavioural modelling of circuits and systems with different physical domains. Mixed-signal and mixed-technology circuits can be considered in the design methods with this powerful standard. However, VHDL-AMS is not still completed in the RF and microwave domain, since IEEE standard VHDL-AMS does not include specific formulation for RF/microwave devices or systems modeling, as it does not support lumped parameters for simulation or description purposes. Nevertheless, RF/microwave devices can be modeled by means of more general VHDL-AMS resources, like sentences including algebraic and trigonometric relationships. In this way, we present in this paper an approach to create a VHDL-AMS RF/microwave component library. The library has been realized for a frequency agile microwave phase shifter. This device is based on a coplanar waveguide (CPW) supporting nematic liquid crystal. When a bias voltage is applied perpendicularly to the initial optical axis of the molecules in addition to RF signal, it is possible to control the orientation of the molecules according to theta angle, so that the effective relative permittivity of the CPW-based device is modified. This variation of the effective permittivity carries out a modification of the guided wavelength and therefore, a phase shift. Empirical model has been developed for the modeling of this device, which provides the effective permittivity and the characteristic impedance according to theta angle. The simulation results will be presented and compared with data obtained from commercially available finite element software.

### **5837-121, Poster Session**

#### **Multiphase clock generator with controlled clock impulse width for programmable high order SC FIR filter realized in 0.35- $\mu$ m CMOS technology**

R. Dlugosz, P. Pawlowski, Poznan Univ. of Technology (Poland)

The complexity of the clock generator is one of the most important parameters in design and optimization of the Finite Impulse Response (FIR) Switched Capacitor (SC) filters. There are different SC FIR filter architectures. Some of them need simple clock generator but other ones need very complicated multiphase system. In the second case realization of the external clock systems is very difficult because of great number of required integrated circuit external pins. We have implemented different SC FIR filter architectures in the CMOS 0.8  $\mu$ m and 0.35  $\mu$ m CMOS technologies, together with internal complex clock generators.

One of the important problems in design process were optimization of shapes and widths of the clock impulses. SC FIR filters are very sensitive to time parameters of internal clock systems, which must be designed very precisely.

We present the design of the 64-phases clock generator for the programmable rotator SC FIR filter. In our approach widths of the clock impulses are controlled by two external signals. This solution is very convenient, because the optimization of the clock generator, very difficult in the previous realized chips, currently is much more easy. The chip area in the CMOS 0.35  $\mu$ m process of the internal clock generator is about 0.15 mm $^2$ , what is only 7% of chip area of the entire SC FIR filter.

### **5837-122, Poster Session**

#### **A fully integrated low-noise amplifier in SiGe 0.35 $\mu$ m technology for 802.11a WIFI applications**

S. L. Khemchandani, R. Pulido, A. G. Iturri, R. Diaz, A. Hernández, J. d. P. Suarez, Univ. de Las Palmas de Gran Canaria (Spain)

In the last years, WiFi (Wireless Fidelity) market has shown an incredible growth, exceeding expectations. This paper presents a fully integrated low noise amplifier in a cheap SiGe 0.35  $\mu$ m technology for the 5 GHz band, according to the IEEE 802.11a WiFi standard. Two configuration has been tested, a differential configuration and a single ended configuration. All passives devices are on chip, including integrated inductors which have been designed by electromagnetic simulations. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

### **5837-123, Poster Session**

#### **The design of capacitance variation detector for the obstacle detection system**

Y. Song, S. Kim, Korea Univ. (South Korea)

This paper proposes a capacitance variation detector using the changed capacitance value as a result of an approaching obstacle.

The consideration about safety systems which sense a dangerous situation and control the operations of the door automatically becomes important nowadays. These systems control devices by using a physical contact or a ultra-red sensing scheme. But these kinds of systems are difficult to use because of their large size and narrow sensing range.

Proposed capacitance variation detector can detect obstacles without contact and has wide sensing range using a changeable air core strip type capacitance sensor. By using CMOS process, we can realize small size and low power operation. So it has an advantage in wide applications.

Designed circuit consists of oscillator, mixer and comparator blocks. When an obstacle approaches a capacitance sensor, the capacitance value of the capacitance sensor is varied. This variation changes the oscillation frequency of the oscillator. The mixer converts this oscillated signal from high frequency to low frequency. And then, the output of mixer is converted to a digital signal by the comparator.

It is produced by 0.35  $\mu$ m CMOS process. In experimental results, the frequency of final output is 6.81MHz at no obstacle and 31.45MHz at approaching obstacle. The frequency sensitivity is 14.5MHz/pF. The active chip area is 600um $\times$ 460um and the power consumption is 21.29mW with a 3.3V supply voltage. It is easy to set up because it uses only 1 chip and 3 passive components.

### **5837-124, Poster Session**

#### **Search strategy for relevant parasitic elements and reduction of their influence on the operation of SC FIR filters realized in CMOS technology**

R. Dlugosz, Politechnika Poznanska (Poland)

Parasitic capacitances generate an important problem in SC-FIR filters realized as CMOS VLSI systems. The influence of these parasitics is especially visible in stopband of the frequency response. The designing of mixed digital-analog SC-FIR filters is a difficult task, because the full-custom method must be used. Filters of high orders are complex systems with thousands of transistors, capacitors, many active elements, switches, delay elements and other circuitry. An important stage in design of IC's is the post-layout verification. Simulation of separated blocks in SC-FIR filters is insufficient to evaluate the final system performance. Optimization requires simulations of the entire system's netlist with the presence of typically many thousands of parasitic capacitances, where only 1% is critical. The complexity of the system excludes analytical analysis. In the presented method for searching of relevant parasitics the square with dimensions equal to number of nets in the layout is defined. In this square parasitics form a set, which is subsequently divided into separate regions. To do this efficiently the particular groups of nets must be labeled with unique names. Then these groups are filtered out from the netlist, thus creating two netlists with separated complementary regions. The analysis of simulation results determines decision about the following division of this set. This iteration method is quick, convenient, efficient, does not require any deep knowledge of the system and can be partially automated by software implementation. Typically after 15-30 iterations the critical parasitics are separated. In the last CMOS realizations of example SC-FIR filters the presented method gave very good results, increasing attenuation by c. 25 dB.

# A fully integrated low-noise amplifier in SiGe 0.35 $\mu$ m technology for 802.11a WIFI applications

R. Pulido, S. L. Khemchandani, A. Goni-Iturri, R. Diaz, A. Hernández and J. del Pino.  
Dep. Ingeniería Electrónica y Automática / Instituto Universitario de Microelectrónica Aplicada.  
Universidad de Las Palmas de Gran Canaria, Spain.

## ABSTRACT

In the last years, WIFI market has shown an incredible growth, exceeding expectations. This paper presents the design of two fully integrated LNAs using a low cost SiGe 0.35  $\mu$ m technology for the 5 GHz band, according to the IEEE 802.11a WIFI standard. One LNA has an asymmetric configuration and the other a balanced configuration. A comparison between the two LNAs has been made. All passives devices are on chip, including integrated inductors which have been designed by electromagnetic simulations. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

Keywords: Low Noise Amplifiers, Integrated Inductors, WIFI, IEEE 802.11a, SiGe, asymmetric configuration, balanced configuration, electromagnetic simulations.

## 1. INTRODUCTION

Nowadays the market has been flooded by WIFI (Wireless Fidelity) products. WIFI allows users to connect to the internet from their couch at home, a bed in a hotel room or a conference room at work without wires. Companies, universities, airports, coffee houses, hotels and some small towns are setting up wireless free access points to provide internet access for any visitor. WIFI enables computers to send and receive data indoors and out, anywhere within the range of a base station. It is several times faster than the fastest cable modem connection. In order to access to this services, the computer must have a WIFI certified radio device (a PC card or similar device). They operate in the 5 GHz band, which is far away from the 2.4 GHz band used in the WIFI 802.11b/g standard.

The WIFI 802.11a standard offers the advantages of higher data rates, far more available spectrum, less sharing with other uses such as cordless phones and Bluetooth radio, and an environment with much less noise and interference from other electronic devices.

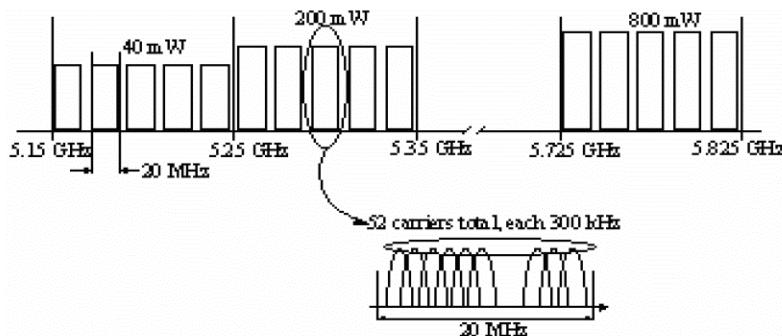


Figure 1. Channel Allocation in IEEE 802.11a standard.

The designed LNAs are suitable to be used with 802.11a standard. The physical layer of 802.11a is based on orthogonal frequency-division multiplexing (OFDM), a modulation technique that uses multiple carriers to mitigate the effects of multipath [1], [2]. As indicated in Figure 1, this standard supports multiple 20 MHz channels, with each channel being an OFDM modulated signal consisting of 52 carriers.

In order to obtain the LNAs specifications we have analyzed various receiver architectures. We have selected a low IF architecture to build-up the analog receiver (see Fig 2). In this case only one phase locked-loop (PLL) and one mixer in

the 5 GHz band should be designed. In a double conversion architecture we would need to design two different mixers and two different PLLs, one fixed at the higher possible frequency, and the other, at a lower frequency, which is in charge of channel selection. In general, the proposed direct conversion solution is cheaper than the double conversion architecture.

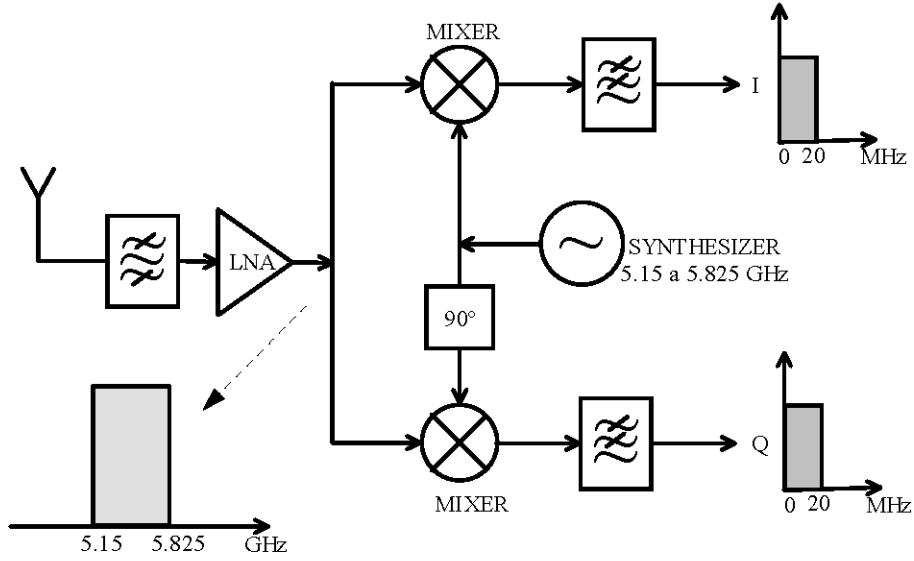


Figure 2. Direct conversion receiver for IEEE 802.11a.

The organization of this paper is the following. In section 2 we explain the LNA topology. The next section is devoted to the LNA design. In section 4 we show the LNA implementation and a comparison between the designed LNAs. Finally, a short summary is given in section 5.

## 2. LNA TOPOLOGY

To start the analysis of the designed LNAs, we begin with the description of the basic topologies. As shown in figures 3 and 4, there are four possibilities, two of them related as single-ended (common emitter and cascode) and the other two as differential (differential and balanced):

### Common Emitter configuration

In figure 3(a) we can see the topology of this structure. It is characterized by its low power consumption. Its NF is usually high due to its high parasitic capacitances.

### Cascode configuration (Single –ended)

This configuration is shown in figure 3(b). With this topology the isolation between the input and the output is improved thanks to transistor Q2. The polarization circuit is composed by the Q3's network. The input impedance is matched with  $L_e$  and  $L_s$ . The output impedance is matched by the network composed by  $L_D$  and  $C_L$ .

### Differential configuration

With this configuration (see figure 4(a)), we can obtain the common mode rejection (CMR). This configuration works with differential signals and it is composed by two cascode branches. It has the same advantages that the cascode configuration, besides the mentioned CMR. The power consumption is greater than the other configurations because it has two branches and a current source.

### Balanced configuration

This structure is shown in figure 4(b). It has the same advantage that the differential configuration. The power consumption and the NF are smaller than the other configurations. This is because it has not any current source.

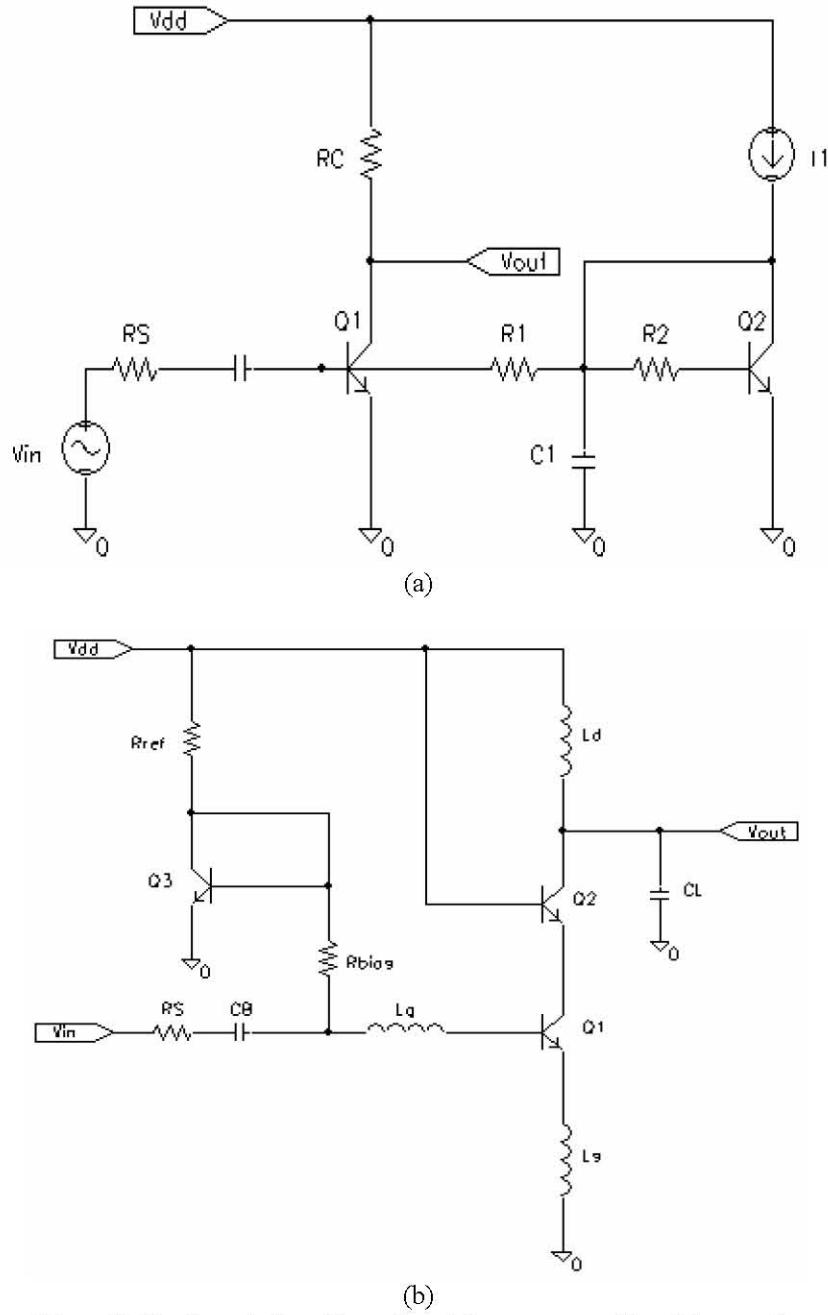


Figure 3. Single-ended configuration, (a) common emitter, (b) cascode.

Once we have studied the basic topologies, we consider implementing the best structures. In the single-ended case, the chosen structure was the “cascode configuration”. This is due to its high voltage gain and low NF and power consumption. For the differential case, following the same criterion the chosen structure was the “balanced configuration”. Also this structure has high linearity.

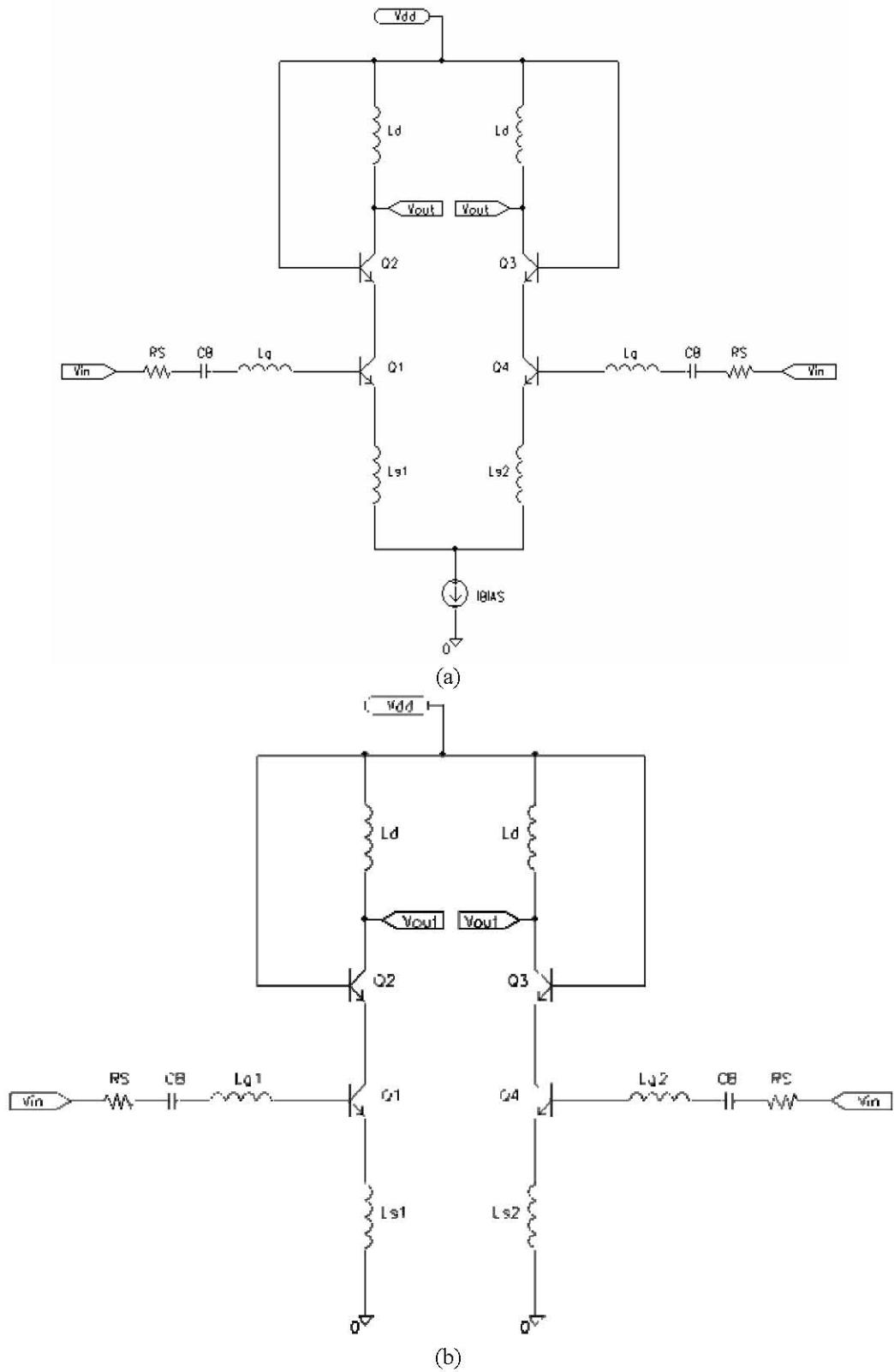


Figure 4. LNA in a differential configuration (a) and in a balanced configuration (b).

### 3. LNA DESIGN

Lets start with the asymmetric configuration. This is shown in figure 5. The circuit polarization is done with a voltage divider, and it is composed by the resistances R1, R2 and R3. The resistance R4 isolates the polarization from the amplification circuit, which is composed by the transistors Q1 and Q2. The input impedance is matched with L<sub>b</sub> and L<sub>e</sub>. The capacitor C2 isolates the polarization from the amplification circuit. It realizes the same function than the resistance R4. Finally, with the net composed by L<sub>3</sub> and C<sub>3</sub> we match the output impedance to 50 Ω.

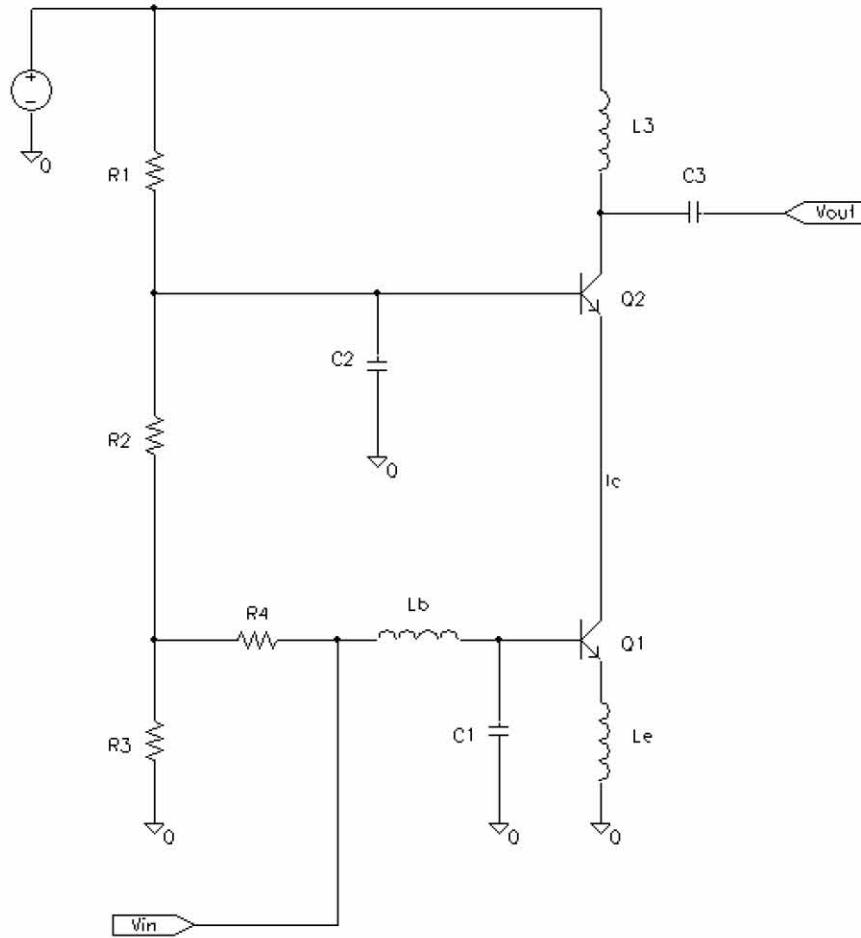


Figure 5. Simplified schematic for the single-ended LNA.

The balanced circuit is shown in figure 6. We can see that the two branches are cascode circuits. To transform the single-ended signal from the input antenna, we use a balun. Its transform relationship is  $T = \sqrt{2}$ . In the same way, to transform the differential output to single-ended, we use an output balun. This is necessary to drive the next stage, usually a mixer. The transform relationship for this device is the same,  $T = \sqrt{2}$ .

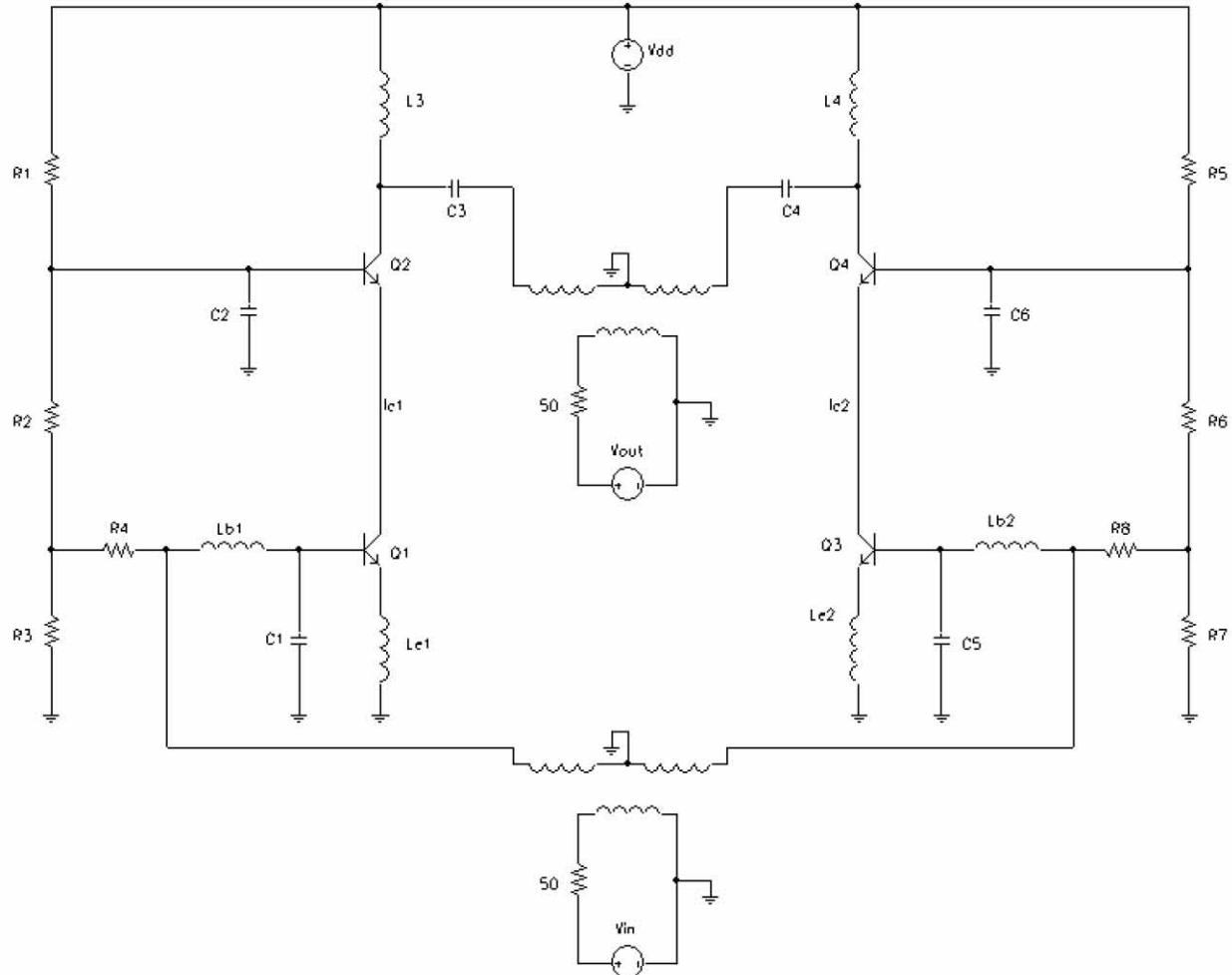


Figure 6. Simplified schematic of the balanced LNA.

#### 4. LNA IMPLEMENTATION AND RESULTS

Figure 7 and 9 show the layout photograph of the two designs. It can be appreciated the use of spiral inductors [12]. Silicon is a low resistivity substrate and high quality integrated inductors are difficult to obtain. Inductors quality factor is limited by resistive losses in metal traces, induced currents in metal strips and substrate, and by metal to substrate capacitance.

The used technology has four metal levels. Three of them are similar and the top level metal is thicker and with greater conductivity than the others. Although the foundry offers a set of inductors, they are not designed for our specific application. Particularly, the quality factor is not as high as we need, or is not centered at the required frequency. For this purpose, we have used Momentum<sup>®</sup>, from Agilent Technologies, a fast 2.5-dimensional electromagnetic simulator. Spirals with different geometry were simulated and an inductor library for the 5 GHz band was designed [12]. With the designed inductors, we have achieved a high quality factor (from 10 to 12).

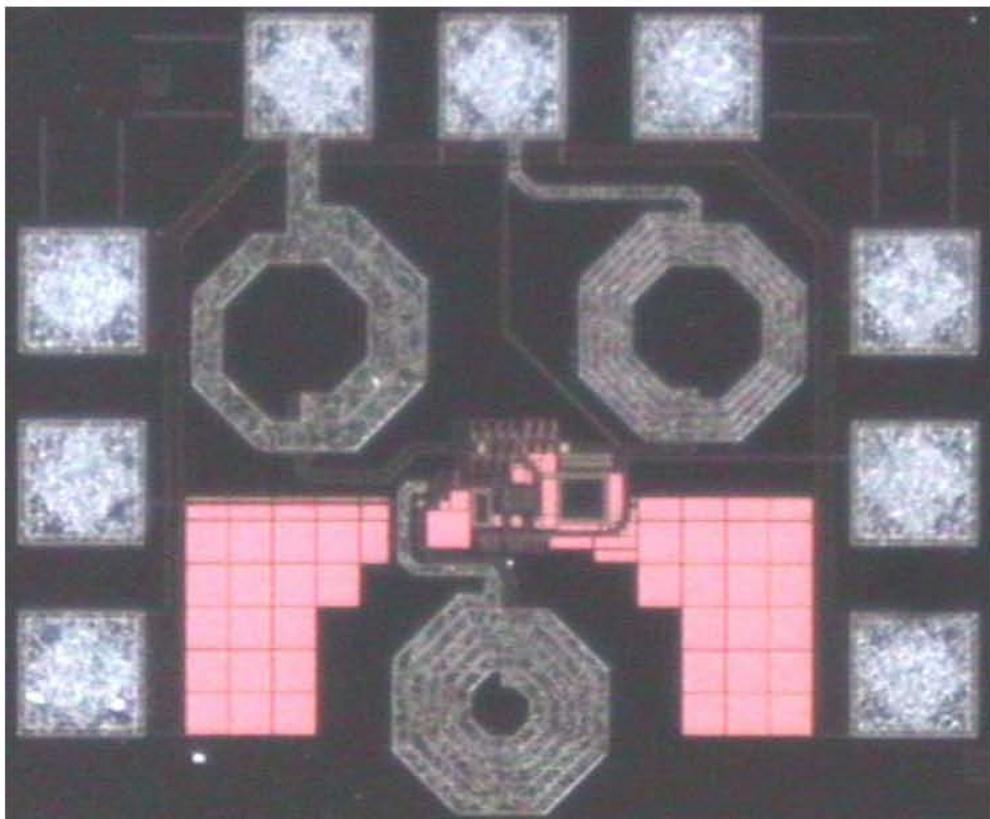


Figure 7. Single ended cascode LNA photography.

Table 1. Final results

	Cascode configuration	Balanced configuration
Gain	16.230 dB	15.910 dB
NF	2.875 dB	3.127 dB
VSWR1	1.25	1.35
VSWR2	2.53	1.93
S11	-41 dB	-32.81 dB
S12	-47 dB	-44 dB
S21	16.230 dB	15.910 dB
S22	-9.3 dB	-14.43 dB
IIP3	-4.373 dBm	-1.32 dBm
OIP3	11.857 dBm	14.59 dBm
Power consumption	9.82 mW	19.64 mW
Chip area	645 $\mu\text{m}$ * 736 $\mu\text{m}$	767 $\mu\text{m}$ * 932 $\mu\text{m}$

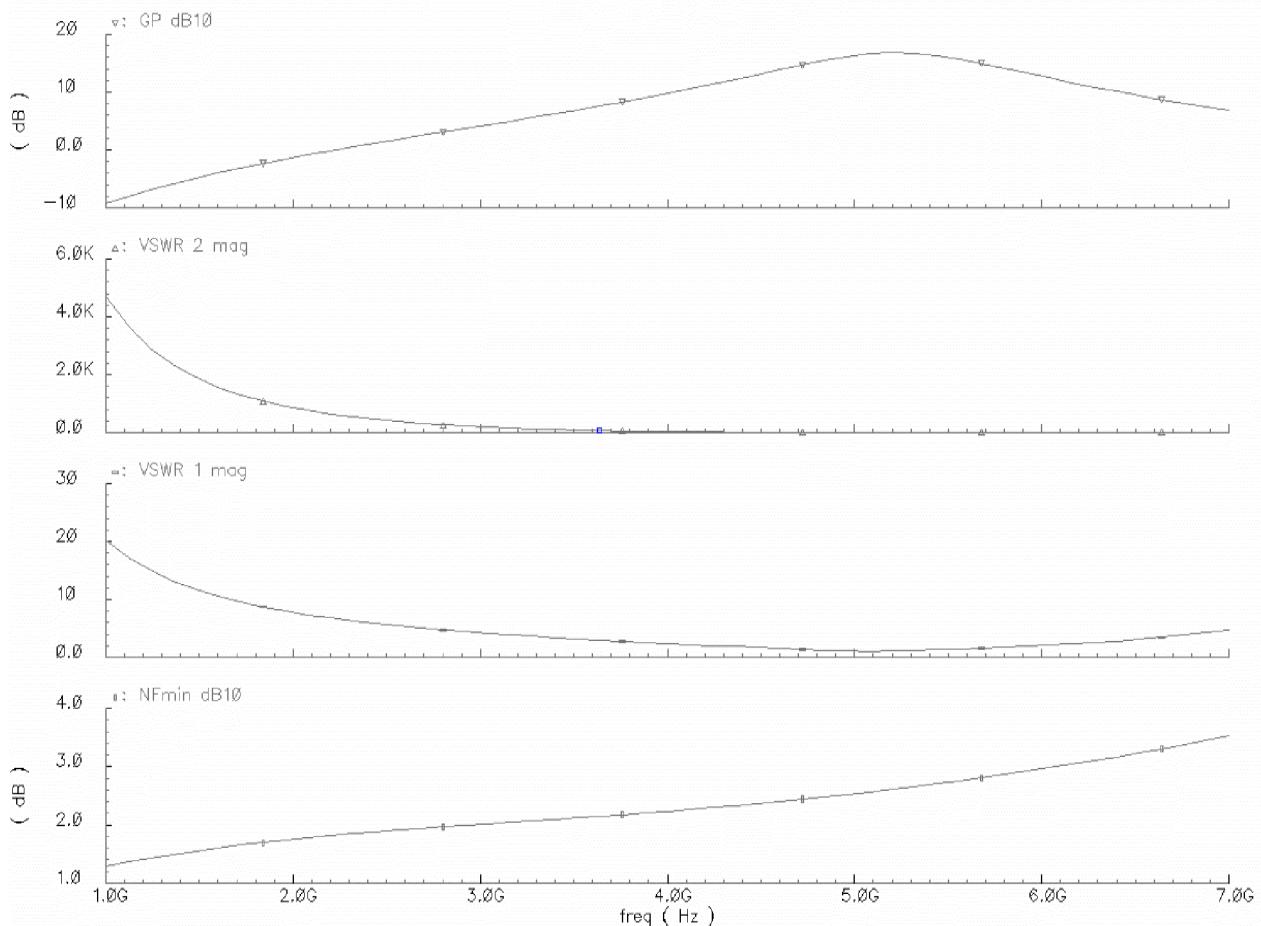


Figure 8. Postlayouts simulations from the cascode configuration.

Figure 8 and 10 show the post-layouts simulations results. These results are summarized in table 1. It can be appreciated the correct matching (VSWR 1 and VSWR 2) in both implementations at 5.5 GHz. In both cases, the isolation between the input and output ports is high. The balanced configuration is more lineal (the IIP3 and OIP3 are bigger) although its power consumption is twice. Finally, the NF and gain are quite similar. This is due to both cases utilizes the same component values

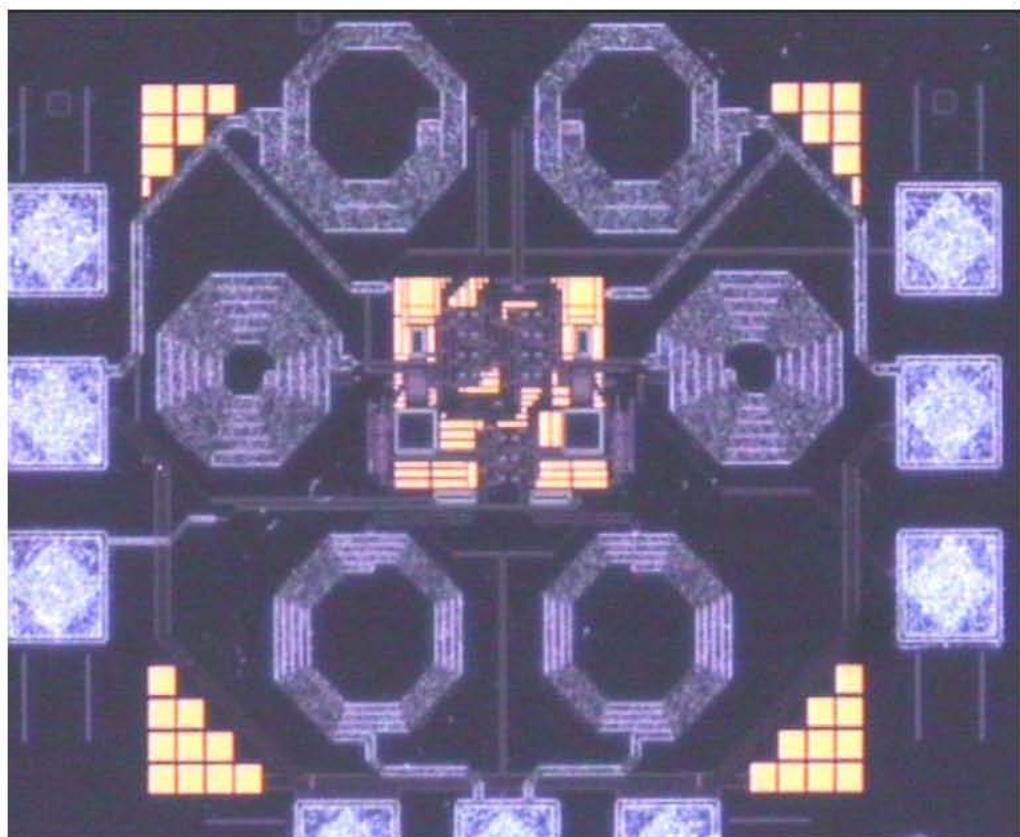


Figure 9. Balanced LNA photography.

## 5. CONCLUSIONS

In this paper we have reported the fundamental design aspects of LNAs with SiGe transistors and on chip inductors. A description of the LNA configuration was explained, emphasizing the influence of the design parameters in the gain, NF and IP3. Inductors have been custom designed and simulated with an electromagnetic simulator. The obtained quality factor and area of the designed inductors fits better with the designed LNAs, than the inductors offered by the foundry. Two LNAs were designed, one single ended, and other in a differential configuration, showing the feasibility of a low cost silicon technology for the design circuits in the 5 GHz band.

## 6. ACKNOWLEDGEMENT

This work is supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnología, TIC-2002-04323-C03-03).

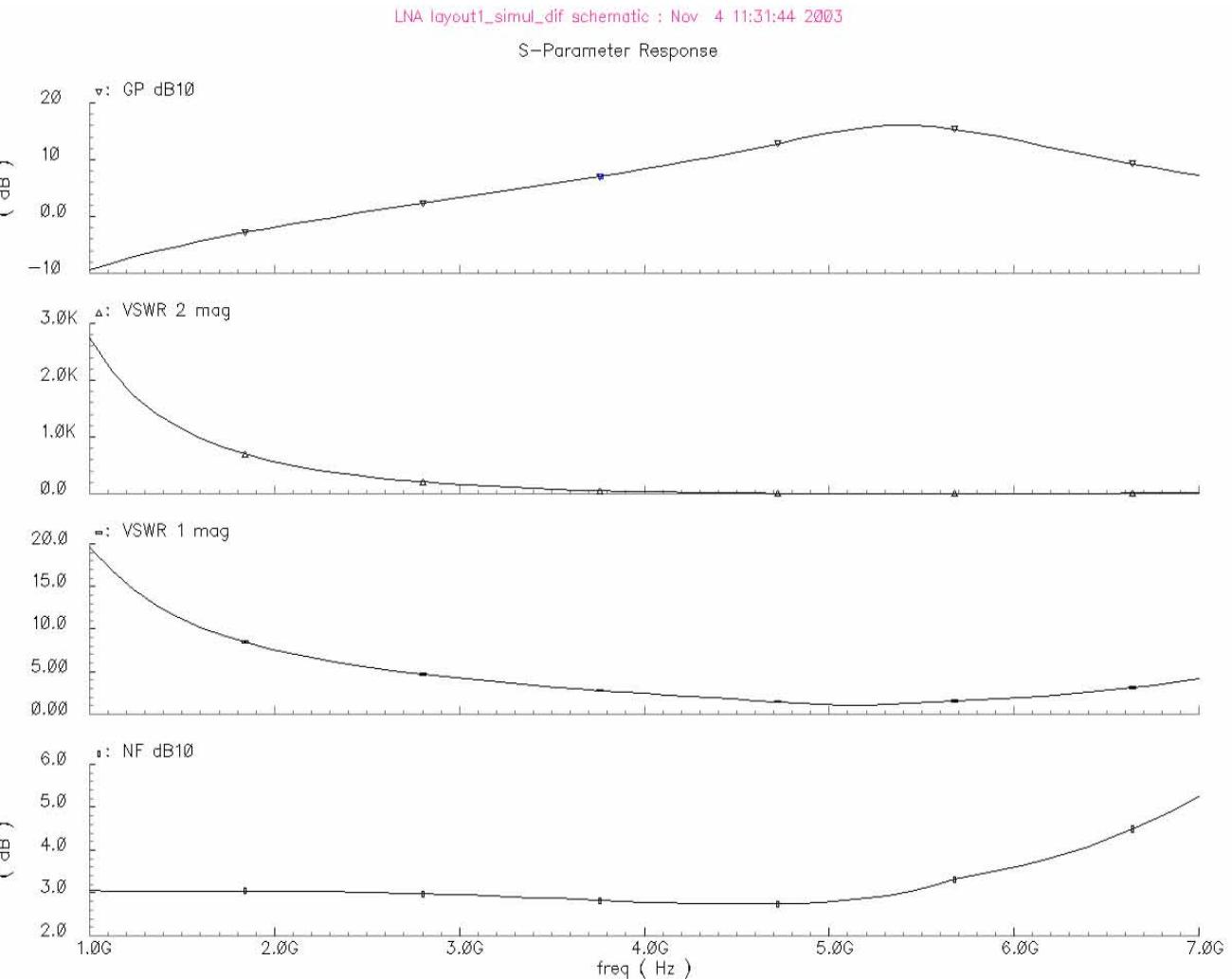


Figure 10. Postlayouts simulations from the balanced configuration.

## 7. REFERENCES

1. H. Kim, X. Li and M. Ali, "A 2.4 GHz CMOS Low Noise Amplifier using an Inter-stage Matching Inductor", 42<sup>nd</sup> Symposium on Circuits and Systems, vol. 2, pp. 1040-1043, Aug 1999.
2. R. Götzfried, F. Beißwanger, S. Gerlach, A. Schüppen, H. Dietrich, U. Seiler, K. Bach and J. Albers, "RFIC's for Mobile Communication Systems Using SiGe Bipolar Technology", IEEE Transactions on Microwave Theory and Techniques, vol. 46, no. 5, pp. 661-668, May 1998.
3. A. Schüppen, H. Dietrich, D. Zerrweck, H. Ropp, K. Burger, N. Gellrich, J. Arndt, M. Lentmaier, B. Jehl, J. Imschweiler, W. Kraus, F. Voswinkel, T. Asbeck, H. Conzelmann, W. Arndt, R. Kirchmann, A. Voigt and K. Wörner, "Silicon Germanium IC's on the RF Market", Temic Semiconductors, available at: <http://gme.tuwien.ac.at/hofg99/schueppen.htm>, 1999.
4. Ali M. Niknejad, Analysis, Simulation, and Applications of Passive Devices on Conductive Substrates, Ph.D. Dissertation. University Of California at Berkeley. April 2000.
5. J. Craninckx, M. S. J. Steyaert, "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," IEEE Journal of Solid-State Circuits, vol. 32, no. 5, pp. 736-744, May. 1997.

6. J. del Pino, S. L. Khemchandani, A. Hernández, J. R. Sendra, J. García, B. González, A. Núñez, “A 1.575 GHz SiGe Low Noise Amplifiers for GPS Applications”, XVI Design Circuits and Integrated Systems Conference, pp. 479-484, Porto (Portugal), Nov. 2001.
7. José R. Sendra, Javier del Pino, Antonio Hernández, Javier Hernández, Jaime Aguilera, Andrés García-Alonso, and Antonio Núñez, “Integrated Inductors Modeling and Tools for Automatic Selection and Layout Generation”, Proc. IEEE International Symposium on Quality in Electronic Design, ISQED, San José, California (EEUU), March 2002.
8. C. P. Yue, C. Ryu, J. Lau, T. H. Lee and S. S. Wong, “A Physical Model for Planar Spiral Inductors on Silicon,” in 1996 Int. Electron Dev. Meeting Dig. Tech. Papers, pp.155-158, Dec. 1996.
9. Thomas H. Lee, “The Design of CMOS RF Integrated Circuits”, Cambridge University Press, 1998.
10. P. R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, 3<sup>rd</sup> edition, John Wiley and Sons, 1993.
11. R. Diaz, R. Pulido, A. Goñi Iturri, S. L. Khemchandani, B. Gonzalez and J. del Pino, “A Fully Integrated Mixer in CMOS 0.35  $\mu$ m Technology for 802.11a WIFI Applications”, XIX Design of Circuits and Integrated Systems Conference, Páginas: 73-78. Bordeaux (Francia) November 24-26, 2004. Internacional. ISBN: 2-9522971-0-X.
12. A. Goñi Iturri, S. L. Khemchandani, J. del Pino and A. Hernandez, “A 5 GHz SiGe VCO for WLAN Using Optimized Spiral Inductors”, XIX Design of Circuits and Integrated Systems Conference, Páginas: 603-607. Bordeaux (Francia) November 24-26, 2004. Internacional. ISBN: 2-9522971-0-X

# A Fully Integrated Mixer in CMOS 0.35 $\mu$ m Technology for 802.11a WIFI Applications

R. Diaz, R. Pulido, A. Goni-Iturri, S. L. Khemchandani, B. Gonzalez, J. del Pino  
Institute for Applied Microelectronics of Las Palmas de Gran Canaria University, Spain.  
sunil@iuma.ulpgc.es

**Abstract**—In the last years, WIFI (Wireless Fidelity) market has shown an incredible growth, exceeding expectations. This paper presents a fully integrated passive mixer in CMOS 0.35  $\mu$ m technology for the 5 GHz band, according to the IEEE 802.11a WIFI standard. To compensate the passive mixer attenuation, an operational amplifier is used. All passives devices are on chip, including integrated inductors which have been designed by electromagnetic simulations. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

**Index Terms**— Mixer, WIFI, IEEE 802.11a, CMOS, integrated inductors.

## I. INTRODUCTION

Nowadays the market has been flooded by WIFI products. WIFI allows users to connect to the internet from their couch at home, a bed in a hotel room or a conference room at work without wires. Companies, universities, airports, coffee houses, hotels and some small towns are setting up wireless free access points to provide internet access for any visitor. WIFI enables computers to send and receive data indoors and out, anywhere within the range of a base station. It is several times faster than the fastest cable modem connection. In order to access to this services, the computer must have a WIFI certified radio device (a PC card or similar device). They operate in the 5 GHz band, which is far away from the 2.4 GHz band used in the WIFI 802.11b/g standard.

The WIFI 802.11a standard offers the advantages of higher data rates, far more available spectrum, less sharing with other uses such as cordless phones and Bluetooth radio, and an environment with much less noise and interference from other electronic devices.

The designed mixer is suitable to be used with 802.11a standard. The physical layer of 802.11a is based on orthogonal frequency-division multiplexing (OFDM), a modulation technique that uses multiple carriers to mitigate the effects of multipath [1], [2]. As indicated in Fig. 1, this standard supports multiple 20 MHz channels, with each channel being an OFDM modulated signal consisting of 52 carriers.

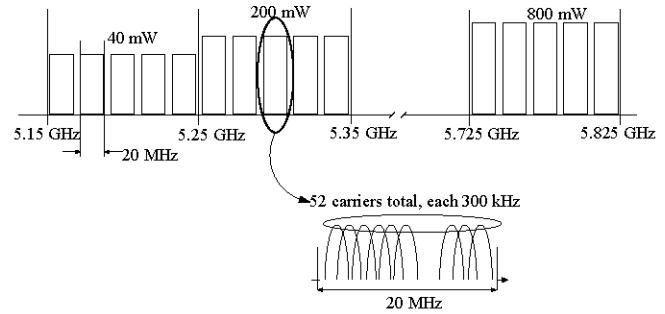


Fig. 1. Channel Allocation in IEEE 802.11a standard.

In order to obtain the mixer specifications we have analyzed various receiver architectures. We have selected a low IF architecture to build-up the analog receiver (see Fig 2). Thus only one phase locked-loop (PLL) and one mixer in the 5 GHz band should be designed. In a double conversion architecture we would need to design two different mixers and two different PLLs, one fixed at the higher possible frequency, and the other, at a lower frequency, which is in charge of channel selection. Both mixers are easier to design than the one proposed here, however the complete receiver would have more power consumption and bigger area. In general, the proposed direct conversion solution is cheaper than the double conversion architecture.

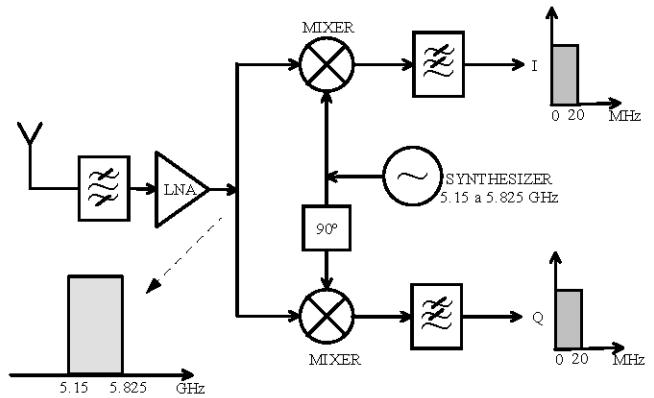


Fig. 2. Direct conversion receiver for IEEE 802.11a.

The organization of this paper is the following. In section II we explain the passive mixer topology. The next section is devoted to the mixer design. In order to compensate the mixer losses, an operational amplifier is introduced in section IV. In section V we show the results. Finally, a short summary is given in section VI.

## II. MIXER TOPOLOGY

Mixers based directly on multiplication generally exhibit superior performance than those based on device non linearities because they ideally generate only the desired intermodulation product. Also, because the inputs to a multiplier enter at separate ports, there can be a high degree of isolation among all three signals (RF, LO and IF) [3][4].

There are several multiplier-based mixer topologies reported in literature:

- Current mode mixers: simple-balanced and double-balanced (Gilbert).
- Potentiometric mixers.
- Passive double-balanced mixers.

Current mode mixers first converts an incoming RF voltage into a current through a transconductor, whose linearity and NF set a bound on the overall mixer linearity and NF. An alternative is to use a potentiometric mixer where its four MOSFETs operating in triode region and used as voltage-controlled resistances. This type of mixers exhibits good linearity and high noise figures due to the resistive thermal noise of the inputs FETs. Finally, passive double-balanced mixers switch the RF signal directly in the voltage domain. This kind of mixers operates at low-power but no gain is added.

A CMOS mixer employing a multiplying quad (M1-M4) is shown in the Fig. 3 [5]. The multiplying quad operates in the triode region, and thus MOSFETs M1-M4 can be seen as resistors.

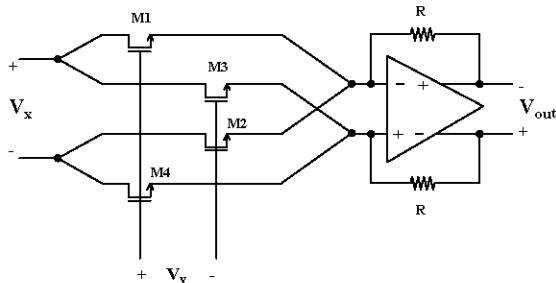


Fig. 3. CMOS potentiometric mixer schematic.

The negative output voltage of the mixer is given by:

$$V_{o-} = -R \cdot (I_{D1} + I_{D2}) \quad (1)$$

While the positive output voltage is:

$$V_{o+} = -R \cdot (I_{D3} + I_{D4}) \quad (2)$$

Thus, the total output voltage is given by:

$$V_{out} = V_{o+} - V_{o-} = -R \cdot (I_{D1} + I_{D2} - I_{D3} - I_{D4}) \quad (3)$$

When the MOSFETs are in the linear or triode region, the drain current is given by:

$$I_D = \mu \cdot C_{OX} \cdot \left[ (V_{GS} - V_T) \cdot V_{DS} - \left( \frac{V_{DS}^2}{2} \right) \right] \quad (4)$$

Using Equation (4) and taking into account that the DC gate-source voltage of all MOSFETs is the same, the drain currents can be written as:

$$I_{D1} = \mu \cdot C_{OX1} \left[ \left( V_{GS} + \frac{V_y}{2} - V_{T1} \right) \cdot \left( \frac{V_x}{2} \right) - \frac{1}{2} \cdot \left( \frac{V_x}{2} \right)^2 \right] \quad (5)$$

$$I_{D2} = \mu \cdot C_{OX2} \left[ \left( V_{GS} - \frac{V_y}{2} - V_{T2} \right) \cdot \left( -\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left( -\frac{V_x}{2} \right)^2 \right] \quad (6)$$

$$I_{D3} = \mu \cdot C_{OX3} \left[ \left( V_{GS} - \frac{V_y}{2} - V_{T3} \right) \cdot \left( \frac{V_x}{2} \right) - \frac{1}{2} \cdot \left( \frac{V_x}{2} \right)^2 \right] \quad (7)$$

$$I_{D4} = \mu \cdot C_{OX4} \left[ \left( V_{GS} + \frac{V_y}{2} - V_{T4} \right) \cdot \left( -\frac{V_x}{2} \right) - \frac{1}{2} \cdot \left( -\frac{V_x}{2} \right)^2 \right] \quad (8)$$

If  $C_{OX}=C_{OX1}=C_{OX2}=C_{OX3}=C_{OX4}$ , then using equation (3) and equations (5-8) the output voltage of the mixer can be rewritten as:

$$V_{out} = R \cdot \mu \cdot C_{OX} \cdot \left( \frac{V_x}{2} \right) \cdot \left[ \frac{V_y}{2} - V_{T1} + \frac{V_y}{2} + V_{T2} + \frac{V_y}{2} + V_{T3} + \frac{V_y}{2} - V_{T4} \right] \quad (9)$$

If  $V_{T1} = (V_{T2} \text{ or } V_{T3})$  and  $V_{T4} = (V_{T3} \text{ or } V_{T2})$ , this equation can be rewritten as:

$$V_{out} = R \cdot \beta \cdot V_x \cdot V_y \quad (10)$$

Therefore, the output voltage is proportional to the multiplication of the input voltages. The gain of the mixer is  $K_m = R \cdot \beta$ .

## III. MIXER DESIGN

In the mixer design, the first problem to solve is to find the DC voltages in order to bias the MOSFETs in the triode region. In addition, the noise figure (NF) must be as small as possible and the third order input intercept point (IIP3) must be as high as possible [6]. In Fig. 4 and 5 the relation between the DC biasing and the NF and IIP3 is shown. As it can be noticed the best combination of  $V_{drain}$  and  $V_{gate}$  is 2V and 3.2V respectively. These reference voltages were generated on chip.

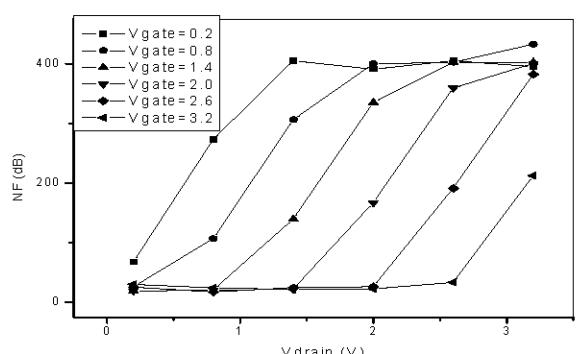


Fig. 4. NF for different values of  $V_{gate}$  and  $V_{drain}$ .

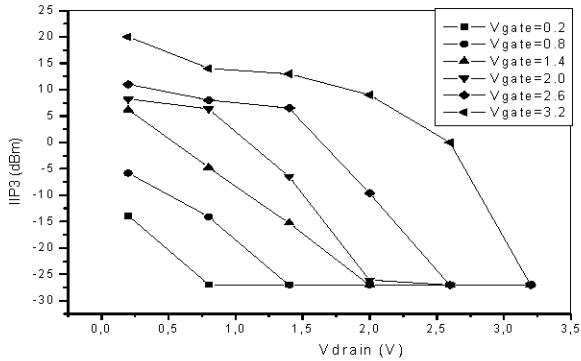


Fig. 5. IIP3 for different values of  $V_{gate}$  and  $V_{drain}$ .

Once biased the mixer, the MOSFETs must be correctly dimensioned. The transistors length has been fixed to the minimum allowed by the technology,  $0.35\mu\text{m}$ . With this length high frequency operation is achieved.

As shown in Fig. 6, the transistor width ( $W$ ) has a strong influence on the mixer NF and IIP3. From this figure the best  $W$  can be found. In our case the chosen  $W$  value is  $30\mu\text{m}$ .

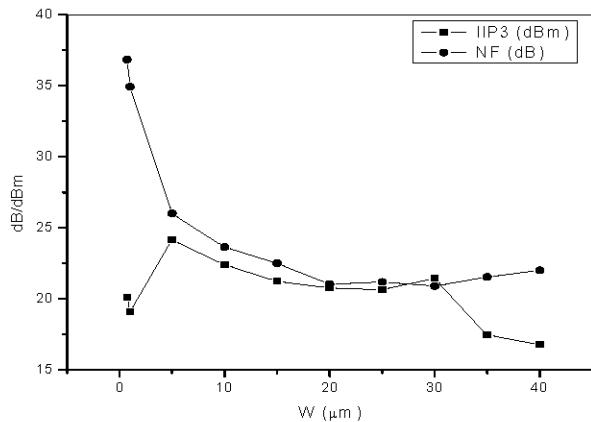


Fig. 6. Influence of  $W$  on IIP3 and NF.

As long as the mixer will be measured on-wafer both inputs should be matched to  $50\Omega$ . As it is shown in Fig. 7, LC impedance matching networks were used for this purpose.

Capacitors are available in all IC technologies, but the developed mixer is based on a AMS  $0.35\mu\text{m}$  SiGe CMOS process, and silicon is a low resistivity substrate ( $14\text{-}24\ \Omega\cdot\text{cm}$ ). Therefore high quality integrated inductors are difficult to obtain, and those provided by the foundry should not satisfy the design requirements. So, a high quality spiral inductors set has been designed by *Momentum*®, from *Agilent Technologies*, electromagnetic simulations [7]. All of them are octagonal and fabricated with the top level metal.

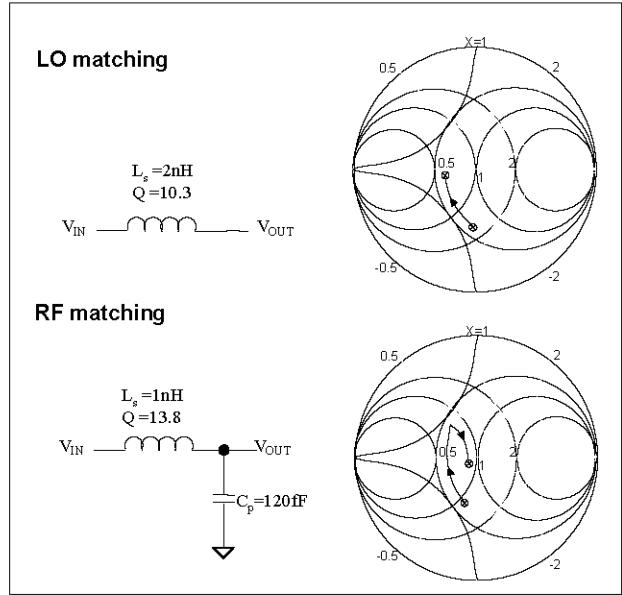


Fig. 7. Mixer inputs matching.

#### IV. AMPLIFIER DESIGN

##### A. Input Stage

In order to compensate the mixer losses, an operational amplifier is introduced. In analog integrated circuits it is preferable to process signals differentially because, among other advantages, it improves noise performance and reduces distortion. There are two reasons:

1. Voltages or currents that tend to corrupt the main signal, such as switching noise in the system, power supply ripple, or other extraneous signals, tend to appear in common mode for both positive and negative signal paths and cancel in differential processing.

2. Active devices cause nonlinearities. However, applying the signal differentially and taking the current differentially as well, we cancel the nonlinearity and we double the linear part of the signal for a 6-dB gain.

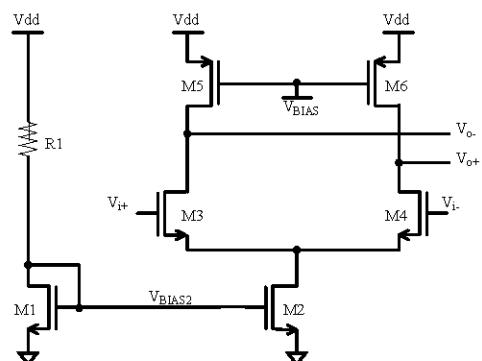


Fig. 8. Fully differential amplifier schematic.

Fig. 8 depicts a fully differential topology. This gm-cell was designed according to the following criterion. Input devices were given relatively small aspect ratios in order to maximise their  $V_{dsat}=V_{GS}-V_T$ , which completely determines the linearity. Hence, current source transistor (the one at the bottom) operates at the edge of saturation. The lengths of

the input devices are not the minimum allowable. Their lengths were increased to boost the output resistance. The PMOS transistors were sized a number of times larger than the NMOS to achieve adequate matching. Bias transistors constitute a current source/mirror and were sized to multiply the polarization current by the desired factor.

### B. CMFB (Common Mode Feedback)

As explained above there are many advantages of fully differential circuits over their single-ended counterparts. However, differential circuits require common mode feedback (CMFB) in order to fix the average DC output voltage. Otherwise the average (or common-mode, CM) output voltage may be too low, pushing the input transistor into the linear region. It may also be too high, pushing the load transistors in the linear region. Keep in mind that all transistors must be kept in the saturation region in order to ensure high gain.

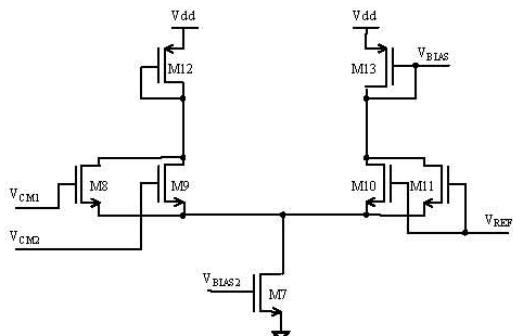


Fig. 9. CMFB schematic.

Regarding to the CMFB amplifier, some requirements must be satisfied. First, the Gain-Bandwidth (GBW) of the CMFB amplifier must be equal or larger than GBW of the differential amplifier in order to ensure stable biasing conditions for all frequencies of interest. Second, the common-mode DC output voltage must be well stabilized and predictable, i.e. independent of transistor matching, temperature, etc. Third, the differential amplifier still must provide a maximum output swing. And finally, the differential amplifier still must operate over a maximum common-mode input voltage.

A CMFB circuit which monolithically integrates the sensing and amplifier stages is shown in Fig. 9. It is simply a differential pair with diode connected loads. The differential input pair performs the comparison of the sensed output CM voltage with the reference input. Any difference between the levels is amplified and a correction voltage is applied to the PMOS current sources loading the gm-cell [8].

### C. Output Stage

Fig. 10 shows the developed output stage. This stage presents a good output swing and enough bandwidth to accommodate the output signal [9].

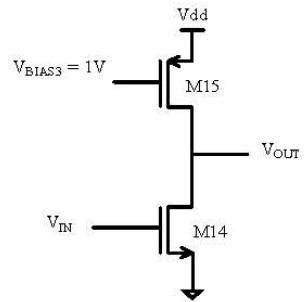


Fig. 10. Output Stage schematic.

## V. RESULTS

The circuit photograph is shown in Fig. 11. The total chip area is  $0.605 \text{ mm}^2$ , mostly occupied by inductors. In order to test the correct circuit behaviour we have made layout extracted simulations.

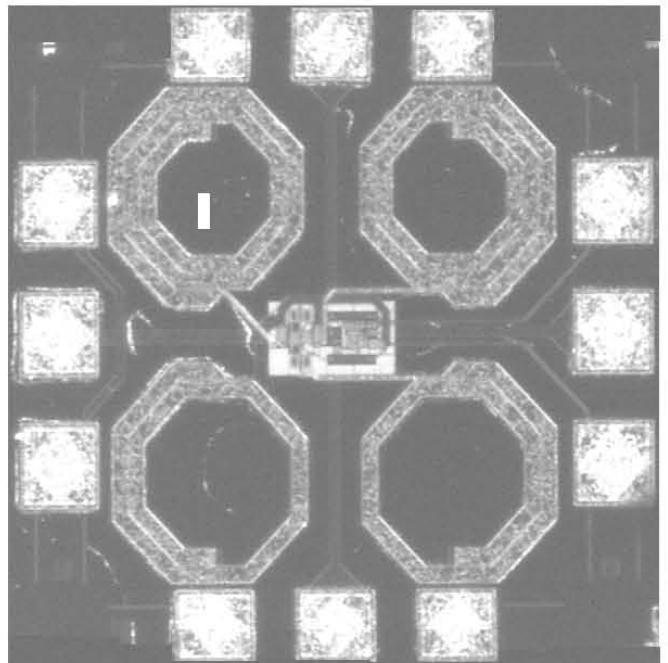


Fig. 11. Photograph of the developed mixer.

Fig. 12 shows the mixer simulated gain. It presents a maximum of 43dB at 5.0GHz. The simulated noise figure is plotted in Fig.13. At the output frequency, 20MHz, the NF is minimum (40dB).

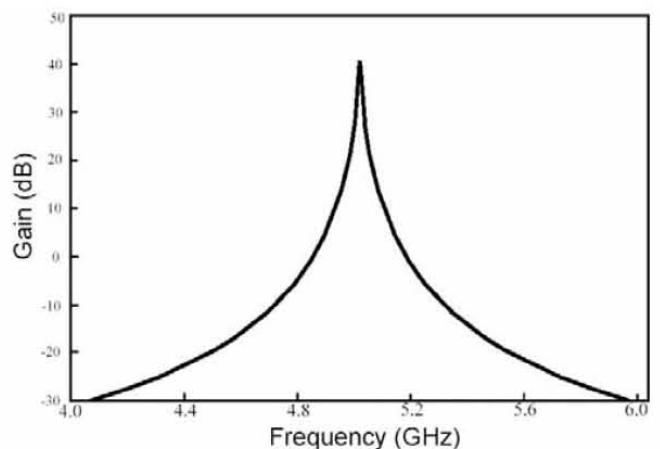


Fig. 12. Simulated gain profile.

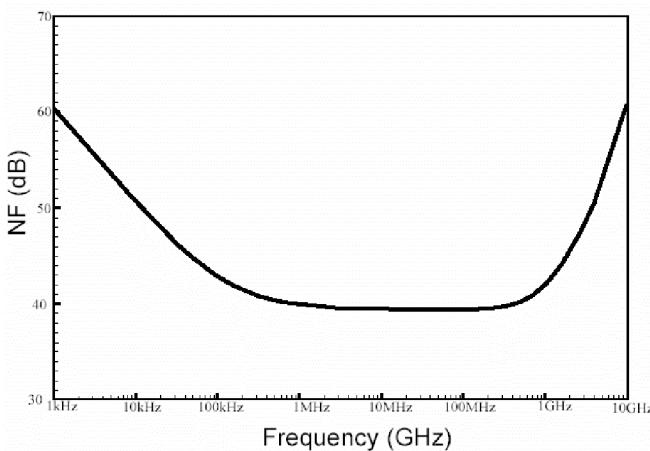


Fig. 13. Simulated noise figure profile.

We have inserted a 5.15 GHz tone signal in the mixer RF port (see RF signal in Fig. 14). At the mixer output port (see Output signal in Fig. 14) we can see this tone at 20 MHz, verifying, in this way, the mixer operation.

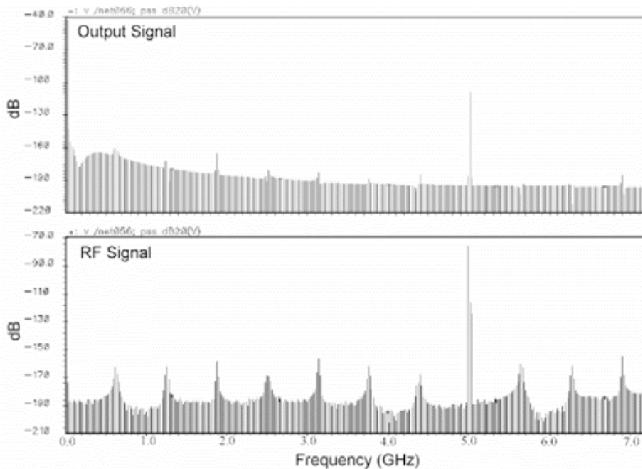


Fig. 14. Input and output spectrum.

The passive mixer simulated performance is summarised in Table I. The power consumption includes the operational amplifier and the voltage sources consumption.

TABLE I  
FINAL RESULTS

Parameters	Value
Gain (dB)	43
NF SSB (dB)	45
IIP3 (dBm)	40
OIP3 (dBm)	83
Power consumption (mW)	3,4
Occupied area ( $\text{mm}^2$ )	0,605

## VI. CONCLUSIONS

This work describes the design of a passive mixer for the 802.11a WIFI standard using a  $0.35\mu\text{m}$  CMOS standard technology. To compensate the passive mixer attenuation, an operational amplifier was designed. Also a CMFB circuit was used to fix the average DC output voltage of the operational amplifier. All the circuit passive devices were

integrated on chip. The impedance matching network inductors have been custom designed and simulated with an electromagnetic simulator. With the proper mixer topology and design techniques we have designed a mixer suitable to be used in the 5 GHz band. This fully monolithic approach provides an extremely easy-to-use mixer, equivalent to a mixer module suitable for low IF architectures. The obtained specifications demonstrate that the mixer is valid for the WIFI 802.11a standard.

## REFERENCES

- [1] "IEEE std 802.11a-1999. Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz band".
- [2] T. H. Meng, B. Mcfarland, D. Su, J. Thomson, "Design and Implementation of an All-CMOS 802.11a Wireless Lan Chipset", *IEEE Communications Magazine*, pp. 163-168, August 2003.
- [3] Thomas H. Lee, "The Design of CMOS RF Integrated Circuits", Cambridge University Press, 1998.
- [4] A. Grebene, "Bipolar and MOS Analog Integrated Circuit Design", John Wiley and Sons, 1984.
- [5] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE Press, 1998.
- [6] Behzad Razavi, "RF Microelectronics", Prentice Hall PTR, 1999.
- [7] Jan Van Hese, "Design and Simulation of Spiral Inductors on Silicon Substrates", Agilent Technologies.
- [8] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, 2000.
- [9] A. Fallu, "Design of an Integrated Full differential Operational Amplifier in a  $0.35\text{ }\mu\text{m}$  CMOS-AMS technology", Master Thesis, I.M.F. - Technische Universität Berlin, August 2000.

# A 5 GHz SiGe VCO for WLAN Using Optimized Spiral Inductors

A. Goni-Iturri, S. L. Khemchandani, J. del Pino, A. Hernandez

Institute for Applied Microelectronics of Las Palmas de Gran Canaria University, Spain.

aiturri@iuma.ulpgc.es

**Abstract**—Since 1999, wireless LAN market has shown an incredible growth, exceeding expectations. In order to obtain low cost products silicon based technologies are preferred. Due to a low resistivity substrate, high quality integrated inductors are difficult to obtain. Using electromagnetic (EM) simulations, a set of inductors have been obtained with high quality factor to work in the 5 GHz band. As an application, an LC voltage controlled oscillator (VCO) according to IEEE 802.11a wireless LAN standard has been designed. The obtained phase noise is -113 dBc/Hz at 1 MHz offset. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

**Index Terms**— WLAN, IEEE 802.11a, SiGe, integrated inductors, electromagnetic simulator, phase noise, VCO.

## I. INTRODUCTION

NOWDAYS the wireless LAN market has experimented a tremendous growth [1]. This is due to a confluence of factors including the adoption of industry standards and interoperability testing, the progressing of wireless LAN equipment to higher data rates, rapid decreases in product prices, and an industry shift toward mobility and use of laptops. The PHY layer of 802.11a is based on orthogonal frequency-division multiplexing (OFDM), a modulation technique that uses multiple carriers to mitigate the effects of multipath [2]. OFDM distributes the data over a large number of carriers that are spaced apart at precise frequencies. It is one of the most spectrally efficient data modulation techniques available [1].

Wireless applications typically require circuits having low power consumption, low phase noise, small size and low cost. These include mixers, low noise amplifiers (LNA), VCOs, etc. Silicon based technologies, like SiGe or BiCMOS, are good candidate for the implementation of these circuits. The main advantage of SiGe HBTs over III-V HBTs is that a standard Si production line can be used for device fabrication. This allows a low cost production with excellent reliability. Also, several receiver building blocks can be integrated on a single die.

Silicon is a low resistivity substrate and high quality integrated inductors are difficult to obtain. Inductors quality factor ( $Q$ ) is limited by resistive losses in metal traces, induced currents in metal strips and substrate and by the

metal to substrate capacitance. The design of high  $Q$  inductors at these frequencies, having inductances from 0.1 to 10 nH, is a major requirement because the behaviour of RF devices relies on inductors quality.

A number of published works report research activities dealing with this problem, but most of them introduce

changes in the process technology or suggest post-processing techniques to increase the inductors quality factor [3], [4]. Both approaches increase the cost of the final product. The design of optimal inductors for the required frequency, 5GHz in this case, is the key in the design of high-quality receiver front-ends. Electromagnetic simulations will be run in this work with the aim of designing such inductors.

This paper describes the design of inductors with high  $Q$  in 0.35  $\mu$ m SiGe technology using EM simulations. As an application we have designed a fully integrated VCO for IEEE 802.11a standard. All the elements of VCO tank are on chip. This work demonstrates that with proper design and layout techniques it is possible to design a VCO in the 5 GHz band using custom designed integrated inductors with a low cost silicon technology.

The organization of this paper is the following. In section II we describe the correct set up of the used EM simulator, in order to have into consideration all the parasitic effects. Section III is devoted to describe the guidelines followed in the inductors optimizing. A fully integrated VCO using 0.35  $\mu$ m SiGe technology for the IEEE 802.11a standard is described in section IV. The next section is devoted to the VCO implementation and results. Finally, a short summary is given in section VII.

## II. INTEGRATED INDUCTORS SIMULATIONS

### A. Integrated Inductors

The most common way to design an integrated inductor on silicon is to layout a simple metallic spiral directly above the substrate. Some foundries offer a set of inductors not designed for a specific application. Therefore, sometimes the quality factor is not as high as the designer needs, or is not centred at the required frequency.

The receiver front-end in our application, the standard 802.11a, requires a number of high quality inductors with inductance values up to 10 nH at 5 GHz.

Fig. 1 shows an example of the difference between a 2 nH square inductor provided by the foundry and one of the designed set. We have doubled the quality factor and shifted the maximum peak to the required frequency range.

### B. 2.5-D EM Simulations

The results reported in this work are based on EM simulations. This kind of simulators allows optimizing flexibly the inductor layout structure. The inductor characteristics can be obtained by using a three-dimensional design tool or a two-dimensional one. The former is very time-consuming, although it simulates fully all the inductor parasitic effects [5]. In order to collect a large number of

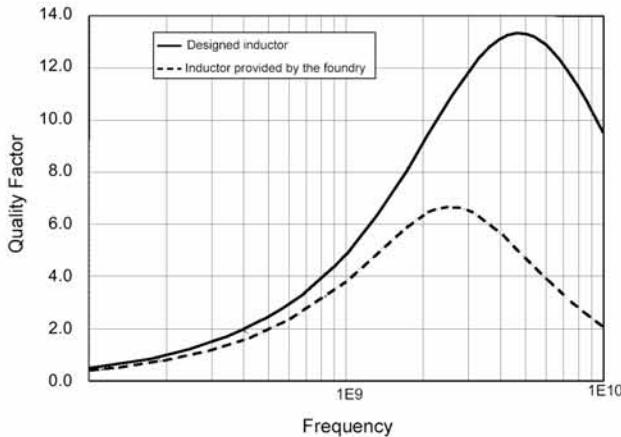


Fig. 1. Comparison between  $Q_s$  for a 2 nH inductor.

inductors in the 5 GHz frequency range, simulations must be done as fast as possible.

Planar 2-D or so called 2.5-D simulators work quickly, and accept complex coil geometries [5]. We have used one of these simulators, the Advanced Design System planar EM simulator, Momentum<sup>®</sup>, from Agilent.

The quality factor of the inductor will be limited by the series resistance of the metal traces and the substrate losses. Our simulator requires an accurate setup of the process parameters, taking into account substrate and metallization characteristics [6].

Thick conductor can be simulated with Momentum in two different ways: zero thickness or finite thickness approach [7]. With the former a 3-D conductor is modeled like a sheet conductor using the Surface Impedance Model  $Z_s(t, \sigma, \omega)$ , where  $t$  is the real metal thickness,  $\sigma$  is the metal conductivity and  $\omega$  is the angular frequency.  $Z_s$  takes thickness and frequency dependency (skin effect) of the conductor loss into account. With this approach low-frequency currents will run in entire cross section of the metallization, while high-frequency currents will run in simple skin depth ( $\delta_s$ ) surface layer (see Fig 2.a).  $\delta_s$  is given by

$$\delta_s = \sqrt{\frac{2}{\omega \cdot \mu \cdot \sigma}} \quad (1)$$

where  $\mu$  is the metal permeability.

However, with the finite thickness approach we consider thick conductors as two metallization layers, each one characterized by  $Z_s(t/2, \sigma, \omega)$ . Top and bottom layers will be separated by a  $t$ -thickness via characterized as perfect conductor. This way low-frequency currents will run in entire cross section of the metallization, and high-frequency currents will run in double skin depth surface layer (see Fig. 2.b).

Apart from the currents distribution, if we model conductors as a zero thickness layer, we don't define the substrate distances correctly. Momentum is based on the method of moments. This implies that all metal conductors are simulated as infinite thin sheets of metal. Although we set up the thickness of each strip, this is only used for loss calculations, not during the actual EM simulations [7]. So, the finite thickness approach will take into account the correct distances from the substrate, and parasitic capacitances between coil and substrate and between metal tracks will be correctly simulated. As a consequence, quality factor will be centered in the right frequency.

The used technology, Austrian Mikro Systems (AMS) SiGe 0.35  $\mu\text{m}$ , provides four metal levels. Three of them are similar, with equal thickness and conductivity, and the top level metal, M4, is thicker and more conductive. As we will see in section III, the coils were designed using this top metal.

In order to simulate the coils with the correct distances to substrate, metal layers under M4 were defined following the finite thickness approach. M4 was defined as a zero thickness metal, since it is the top metal and there are no conductors above it. Simulations will run faster this way.

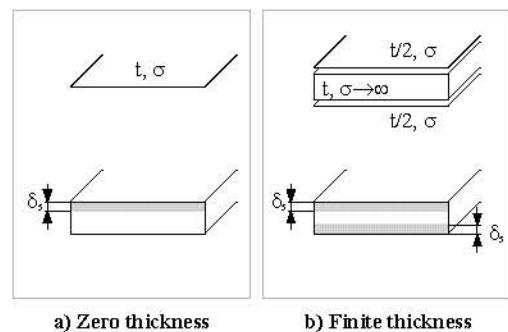


Fig. 2. Layer modeling and high frequency currents distribution.

### III. OPTIMUM COIL DESIGN

The aim of this work is to find a large set of inductors with the maximum quality factor  $Q$  peak rounding frequencies of 5 GHz.

Spiral inductors with different geometry were simulated. In order to improve its behavior all the designed inductors share some common characteristics.

First of all, the spacing between the metal lines should be as small as possible. Increasing the spacing decreases the total inductance because of the decreasing of the mutual inductance. It also increases the series resistance and the total area. Therefore the spacing ( $s$ ) will be fixed in 2  $\mu\text{m}$ , the minimum allowed by the foundry.

It's well known that circular shape is the optimum for spiral coils and could bring  $Q$  at least 10% higher [8]. However, octagonal shapes were used, since the technology allows 45° routing.

The rest of geometrical parameters have been varied in the following boundaries:

- Spiral maximum radius ( $r$ ): from 60 to 170  $\mu\text{m}$ .
- Number of turns ( $n$ ): from 1.5 to 6.5.
- Metal width ( $w$ ): from 6 to 22  $\mu\text{m}$ .

Some simulations were run to decide the best metal combination in the inductors. As we can see in Fig. 3, coils designed with a single metal (M4) and several shunted metals connected by vias throughout the whole metal length were simulated.

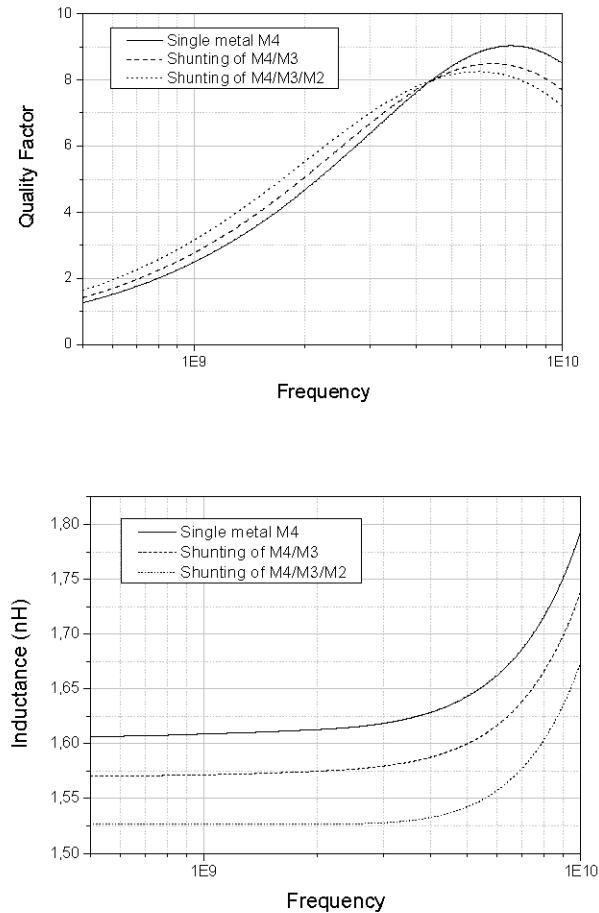


Fig. 3. Quality factor  $Q$  and inductance of one of the simulated coils for different metal combinations.

We concluded that in the 5 GHz range, the quality factor is better for the one single metal level implementation. Inductance, however, varies slightly if the metal structure is changed.

So, inductors will be designed with the top metal level, thick and conductive enough to present a low coil resistance, and far from substrate enough to work at high frequencies.

Following the guidelines described above, we designed a

number of high-performance inductors in the 5 GHz frequency range. A group of these inductors is presented in Table 1. It shows the geometrical parameters of each coil, and its inductance value and quality factor at 5 GHz.

In the next section, we choose among all the designed inductors the one which best fits to the VCO requirements.

#### IV. VCO DESIGN

As an application of the designed inductors, we have designed a VCO for IEEE 802.11a standard. As indicated in Fig. 4, this standard supports multiple 20 MHz channels, with each channel being an OFDM modulated signal consisting of 52 sub-carriers. Each sub-channel is 312 kHz

TABLE I  
GEOMETRICAL PARAMETERS FOR HIGH  $Q$  INDUCTORS

	$n$	$r$ ( $\mu\text{m}$ )	$w$ ( $\mu\text{m}$ )	L (nH)	$Q$
L1	1.5	100	20	0.6	12
L2	1.5	130	18	1	12.5
L3	1.5	150	18	1.3	12.5
L4	2	120	16	1.3	11.9
L5	1.5	130	10	1.5	11
L6	2.5	130	18	2	10.5
L7	5.5	60	6	2.3	9.2
L8	4.5	90	10	3	9.4
L9	5	80	10	3	9.2
L10	5.5	100	13	3.1	9.3
L11	5.5	70	6	3.5	9.1
L12	3.5	90	6	3.5	9
L13	4.5	80	6	3.9	8.9
L14	4.5	90	6	4.9	8
L15	3.5	130	10	5.3	6.7
L16	5	90	6	5.6	7.3
L17	4.5	100	6	6.2	6.9
L18	5.5	100	6	7.6	5
L19	4.5	120	6	9.1	4.8
L20	6.5	100	6	9.8	5

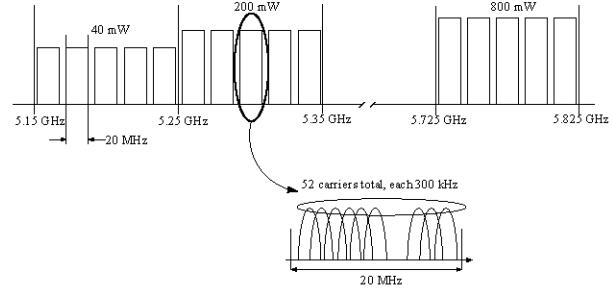


Fig. 4. Channel Allocation in IEEE 802.11a standard.

wide, giving raw data rates from 125 kb/s to 1.124 Mb/s per carrier depending on the modulation type employed (BPSK, QPSK, QAM or 64-QAM) and on the amount of error-correcting code overhead (½ or ¾ rate code).

Table 2 shows the valid operating channels for this standard. Using a direct conversion receiver, the VCO

frequency range must be from 5180 MHz to 5805 MHz (see Table 2).

The VCO is designed using SiGe HBTs as active devices. It is implemented as an LC oscillator topology, integrating all the components of the tank on-chip. The phase noise of LC-tuned oscillators is much better than other configurations because they use the band pass characteristic of the LC-tank to reduce the phase noise [9]. Other type of oscillators, like ring oscillators, suffer from switching effects, can introduce noise in the power supply, and have a worse phase noise than LC-tuned oscillators.

TABLE 2  
VALID OPERATING CHANNEL NUMBERS BY REGULATORY DOMAIN AND  
BAND FOR 802.11a

Band (GHz)	Operating channel numbers ( $n_{ch}$ )	Channel center frequency (MHz)
U-NII lower band (5.15-5.25)	36	5180
	40	5200
	44	5220
	48	5240
U-NII middle band (5.25-5.35)	52	5260
	56	5280
	60	5300
	64	5320
U-NII upper band (5.725-5.825)	149	5745
	153	5765
	157	5785
	161	5805

The chosen inductor for the VCO tank is L4 (see Table 1) because of its high quality factor at the working frequency and its associated low area. The inductor layout has been generated by an automatic generation tool, and a discrete element model was extracted to be used in simulations [10]. The designed inductor  $Q$  is shown in Fig. 5.

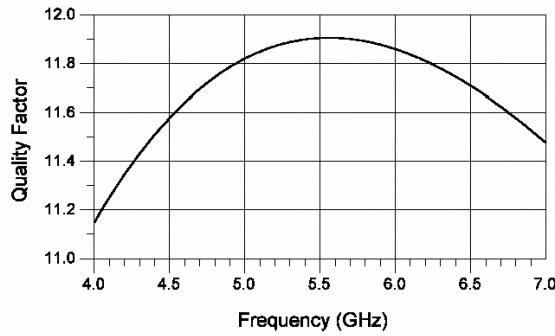


Fig. 5. Integrated inductor quality factor.

To compensate the tank losses we use a negative resistance amplifier. The VCO core uses a cross-coupled transistor pair to build-up the negative resistance. A differential topology provides a more stable frequency versus supply voltage characteristic and improves the immunity to load variations. From Fig. 6(a) the negative resistance,  $Z_{in}$ , is given by

$$Z_{in} = \frac{2}{gm} \left( \frac{\beta}{1-\beta} \right) \approx -\frac{2}{gm} \quad \text{for } \beta \gg 1 \quad (2)$$

where  $gm$  is the transconductance of the transistor and  $\beta$  is the base to collector current gain.

In addition, there is a buffer amplifier following the oscillator core to provide additional isolation from load variations and to boost the output power. A voltage applied to the TUNE pin connected to the varactor controls the VCO frequency.

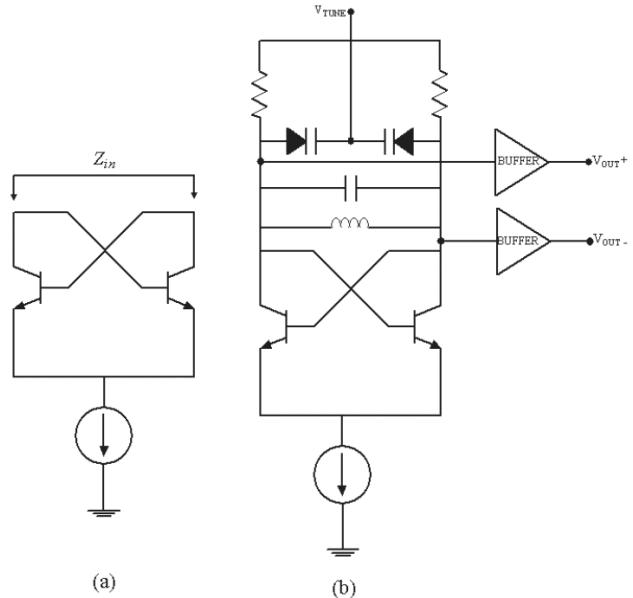


Fig. 6. (a) Negative impedance calculation for the cross-coupled pair. (b) VCO simplified schematic

## V. VCO IMPLEMENTATION

VCO performance is influenced by random mismatches due to microscopic fluctuations in dimensions, doping, implant thickness and other parameters. A good differential pair behaviour depends on the base to emitter voltage matching. In order to minimize this mismatch we take into account the following rules:

- Place transistors in close proximity, keeping transistors layout as compact as possible.
- Orient transistors in the same direction.
- Differential pair devices should have the same boundary conditions. This is accomplished by adding dummy components.
- Place transistors well away from the power devices.
- Use common centroid to obtain the best common mode reject relation (CMRR) in the differential pair. This technique results in devices symmetrically placed about a common center in the layout (see Fig. 7).

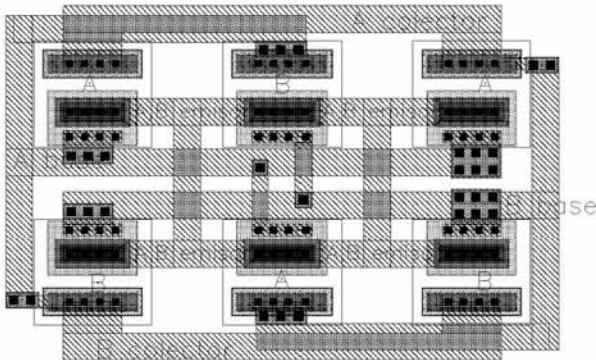


Fig. 7. Differential pair transistor in common centroid configuration.

A MOS varactor is used. Its operation is based on the gate to oxide tunable capacitance. In general, it presents a very good CMAX/CMIN ratio associated with a linear variation. It is implemented by simply connecting the drain and source terminals of an NMOS transistor. In order to match the varactors and reduce the area we use an inter-digit configuration [11].

To minimize the latch-up effect we add many substrate contacts to reduce the resistance of the ohmic regions. Latch-up occurs when there is a large substrate or well currents, and then a voltage drops across ohmic regions and causes parasitic BJTs to turn on and set up positive feedback. Excessive current flow may damage the microcircuit. Fig. 8 shows the VCO layout.

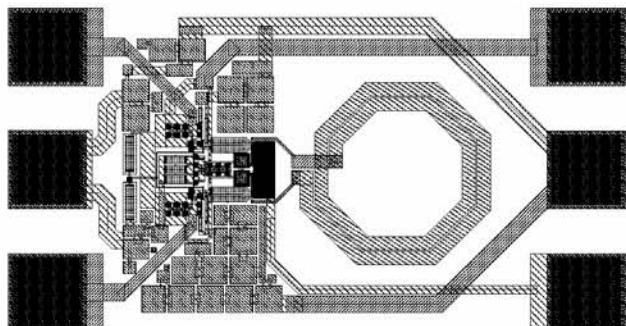


Fig. 8. VCO layout.

The simulated phase noise is shown in Fig. 9. We have achieved a -113 dBc/Hz at 1 MHz offset. The VCO power consumption is 116 mW. The achieved phase noise is suitable for the 802.11a standard requirements.

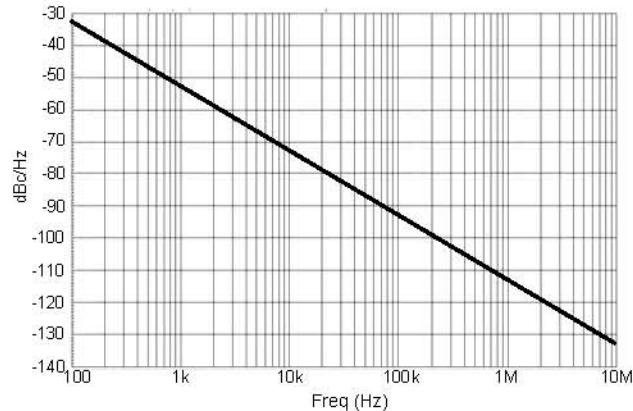


Fig. 9. VCO simulated phase noise.

Fig. 10 shows the tuning range. VCO frequency varies from 4.45 GHz to 6.2 GHz.

This wide tuning range is desirable to compensate for process variation. The total chip area is 0,424 mm<sup>2</sup>.

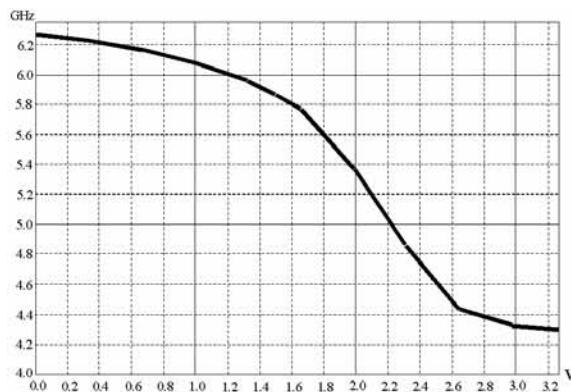


Fig. 10. VCO tuning range.

## VI. CONCLUSION

We have studied, by EM simulations, the behaviour of octagonal inductors fabricated in a four metal SiGe 0.35  $\mu$ m process. Using the top level metal and choosing the correct combination of the geometrical parameters, we have designed inductors with high  $Q$  from 0.6 to 10 nH range to work in the 5 GHz band. To test the inductor behaviour, we have designed a fully integrated VCO with on chip tank suitable for IEEE 802.11a WLAN standard. This fully monolithic approach provides an extremely easy-to-use VCO, equivalent to a VCO module suitable for direct conversion architectures. The obtained  $Q$  and occupied area fit with our VCO better than the inductors offered by the foundry. With the proper VCO topology and the appropriate layout techniques we have designed a VCO in a low cost technology suitable to be used in the 5 GHz band.

## REFERENCES

- [1] T. H. Meng, B. Mcfarland, D. Su, J. Thomson, "Design and Implementation of an All-CMOS 802.11a Wireless Lan Chipset," *IEEE Communications Magazine*, pp. 163-168, Aug. 2003.
- [2] IEEE std 802.11a-1999. Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz band.

- [3] L.E. Larson, M. Case, S. Rosenbaum, D. Rensh, "Si/SiGe HBT Technology for Low Cost Monolithic Microwave Integrated Circuits," *Proc. 1996 International Solid State Circuits Conference*, pp. 80-81, 1996.
- [4] M. Ozgur, M.E. Zaghloul, and M. Gaitan, "High Q backside micromachined CMOS inductors," *Proc. 1999 IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 577-580, 1999.
- [5] J. Craninckx, M. S. J. Steyaert, "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 736-744, May. 1997.
- [6] Jan Van Hese, "Design and Simulation of Spiral Inductors on Silicon Substrates," *Agilent Technologies*.
- [7] <http://eesof.tm.agilent.com>.
- [8] S. Chaki, S. Aono, N. Andoh, Y. Sasaki, N. Tanino, O. Ishihara, "Experimental Study on Spiral Inductors," *Proceedings IEEE Microwave Symposium Digest MTT-S*, pp. 753-756, 1995.
- [9] J. Craninckx, M. Steayert, "Low-Noise Voltage-Controlled Oscillators Using Enhanced LC-Tanks," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no.12, pp. 794-804, Dec. 1995.
- [10] T. H. Lee, "*The Design of CMOS RF Integrated Circuits*," Cambridge University Press, 1998
- [11] R. J. Baker, H. W. Li and D. E. Boyce, "*CMOS Circuit Design, Layout, and Simulation*," IEEE Press, 1998.

# **DCIS 2005**

**XX Conference on  
Design of Circuits and Integrated Systems**

Lisboa, Portugal  
November, 23-25, 2005

[www.dcis.org](http://www.dcis.org)

ISBN 972-99387-2-5

# DCIS 2005

## XX Conference on Design of Circuits and Integrated Systems

Lisboa, Portugal  
November, 23-25, 2005

### Organized by

INESC-ID  
Instituto Superior Técnico

### Sponsored by



**GRICES** Gabinete de Relações Internacionais da Ciência e do Ensino Superior  
MINISTÉRIO DA CIÉNCIA, TECNOLOGIA E ENSINO SUPERIOR

**FCT** Fundação para a Ciéncia e a Tecnologia  
MINISTÉRIO DA CIÉNCIA, TECNOLOGIA E ENSINO SUPERIOR Portugal

IEEE  
PORTUGAL SECTION

# A Synthesizer for WLAN with a Fully Integrated VCO in 0,35 μm SiGe Technology

S. L. Khemchandani, A. Goni-Iturri, J. del Pino Suarez, B. Gonzalez, J. Garcia and A. Hernandez.

Institute for Applied Microelectronics (IUMA)

Departamento de Ingenieria Electronica y Automatica de la Universidad de Las Palmas de Gran Canaria

sunil@iuma.ulpgc.es

**Abstract**—In the last years, wireless LAN market has shown an incredible growth, exceeding expectations. This paper presents a fully integrated LC voltage controlled oscillator in a low cost 0.35 μm SiGe technology for the 5 GHz band, according to the IEEE 802.11a wireless LAN standard. The tank inductor has been designed by electromagnetic simulations. In order to test the VCO performance, a synthesizer for IEEE 802.11a has been designed. This work demonstrates the feasibility of a low cost silicon technology for the design of 5 GHz band circuits.

**Index Terms**—WLAN, IEEE 802.11a, SiGe, integrated inductors, electromagnetic simulator, phase noise, VCO, synthesizer.

## I. INTRODUCTION

SINCE 1999, the wireless LAN market has experimented a tremendous growth [1]. This is due to a confluence of factors including the adoption of industry standards and interoperability testing, the progressing of wireless LAN equipment to higher data rates, rapid decreases in product prices, and an industry shift toward mobility and use of laptops. The 5 GHz band offers the advantages of higher data rates, far more available spectrum, less sharing with other uses such as cordless phones and Bluetooth radio, and an environment with much less noise and interference from other electronic devices.

Wireless applications typically require circuits having low power consumption, low phase noise, small size and low cost. These include mixers, low noise amplifiers (LNA), voltage controlled oscillators (VCO), etc. Silicon based technologies, like SiGe or BiCMOS, are good candidate for the implementation of these circuits. The main advantage of SiGe HBTs over III-V HBTs is that a standard Si production line can be used for device fabrication. This allows a low cost production with excellent reliability. Also, several receiver building blocks can be integrated on a single die.

Due to low resistivity substrate, inductors with a high quality factor ( $Q$ ) are not available. Series resistance of the metal traces and substrate losses basically limits the inductor  $Q$  [2][3].

This paper describes the design of a fully integrated VCO using 0.35 μm SiGe technology for the IEEE 802.11a standard. All the elements of VCO tank are on chip. In order to test the VCO performance, a synthesizer for IEEE 802.11a has been designed. This work demonstrates that

with the proper configuration and layout techniques it is possible to design a fully integrated the VCO at 5 GHz band with a low cost silicon technology.

The organization of this paper is the following. In section II we describe the IEEE 802.11a receiver block diagram, the synthesizer and the VCO specifications for this standard. Section III deals with the inductor design. VCO is described in section IV. The next section is devoted to the VCO implementation. In Section VI we show the results. Finally, a short summary is given in section VII.

## II. IEEE 802.11A RECEIVER

The PHY layer of 802.11a is based on orthogonal frequency-division multiplexing (OFDM), a modulation technique that uses multiple carriers to mitigate the effects of multipath [4]. OFDM distributes the data over a large number of carriers that are spaced apart at precise frequencies. It is one of the most spectrally efficient data modulation techniques available [1].

As indicated in Fig 1, this standard supports multiple 20 MHz channels, with each channel being an OFDM modulated signal consisting of 52 carriers. Each channel is 312 kHz wide, giving raw data rates from 125 kb/s to 1.124 Mb/s per carrier depending on the modulation type employed (BPSK, QPSK, QAM or 64-QAM) and on the amount of error-correcting code overhead (½ or ¾ rate code).

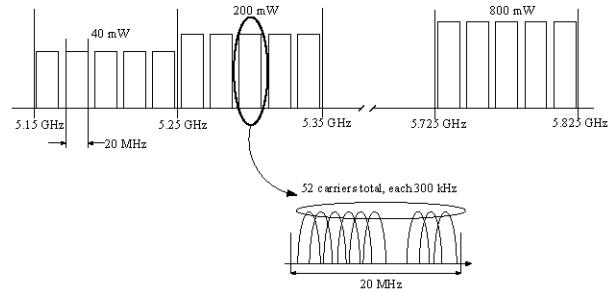


Fig 1. Channel Allocation in IEEE 802.11a standard.

Table I shows the valid operating channels for this standard. The relationship between the channel center frequency and the channel number ( $n_{ch}$ ) is the following:

$$\text{Channel center frequency} = 5 \text{ GHz} + 5 \text{ MHz} \cdot n_{ch}$$

TABLE I  
VALID OPERATING CHANNEL NUMBERS BY REGULATORY DOMAIN AND BAND FOR 802.11A.

Band (GHz)	Operating channel numbers ( $n_{ch}$ )	Channel center frequency (MHz)
U-NII lower band (5.15-5.25)	36	5180
	40	5200
	44	5220
	48	5240
U-NII middle band (5.25-5.35)	52	5260
	56	5280
	60	5300
	64	5320
U-NII upper band (5.725-5.825)	149	5745
	153	5765
	157	5785
	161	5805

We have selected direct conversion architecture to build-up the analog receiver (see Fig 2). Thus only one phase locked-loop (PLL) in the 5 GHz band should be designed. In addition, it also avoids the need for an off-chip image reject filter. In a double conversion architecture we would need two different PLLs, one fixed at the higher possible frequency, and the other, at a lower frequency, which is in charge of channel selection. Both PLLs are easier to design than the one proposed here, however the complete receiver would have more power consumption and bigger area. On the other hand, the direct conversion architecture suffers from drawbacks such as local oscillator leakage (self-mixing effect) and frequency pulling that appears because the synthesizer operates at RF signal frequency. All in all the proposed direct conversion solution is cheaper than the double conversion architecture.

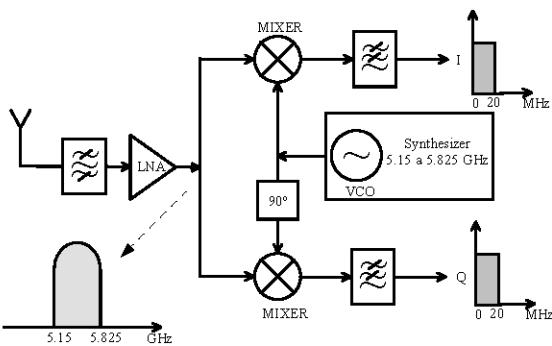


Fig 2. Direct conversion receiver for IEEE 802.11a.

The block diagram of the proposed synthesizer is shown in Fig 3. The VCO frequency range must be from 5180 MHz to 5805 MHz (see Table I). The Phase Frequency Detector (PFD) compares the output frequency (5180 to 5805 MHz), divided by the Programmable Divider and the Fast Divider, and the reference frequency  $f_R$ . The Charge Pump converts the PFD comparison in current pulses, which are filtered by the Loop Filter to generate the control voltage. This voltage drives the VCO to increase or decrease the output frequency so as to drive the PFD's average output towards zero [5].

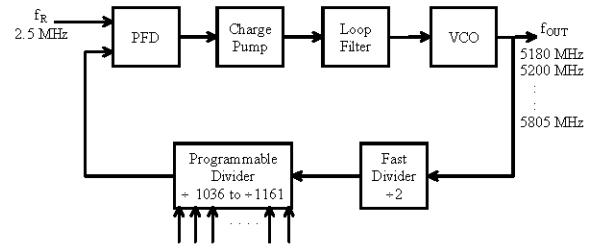


Fig 3. Synthesizer for IEEE 802.11a receiver.

### III. VCO DESIGN

The VCO is designed using SiGe HBTs as active devices from a cheap commercially available process. These HBTs are npn bipolar transistors with a thin pseudomorphically grown  $\text{Si}_{1-x}\text{Ge}_x$  alloy layer as the base. High Ge contents up to 50% can be incorporated, and the base may be as thin as 5 to 10 nm, which helps in decreasing the base transit time ( $\tau_{BC}$ ) and raises the cut-off frequency ( $f_T$ ) of the transistor.  $\tau_{BC}$  is a critical parameter in high-speed transistors. To keep its value small the collector doping ( $N_D$ ) is high. The DC performance of a SiGe HBT is basically governed by the high current gain due to the suppressed hole re-injection because of emitter-base valence band offset. Due to the heterojunction, the collector current density is increased exponentially with the emitter-base band-gap difference, which is, in turn, proportional to the germanium content in the base.

The VCO is implemented as an LC oscillator topology, integrating all the components of the tank on-chip. The phase noise of LC-tuned oscillators is much better than other configurations because they use the band pass characteristic of the LC-tank to reduce the phase noise [6]. Other type of oscillators, like ring oscillators, suffer from switching effects, can introduce noise in the power supply, and have a worse phase noise than LC-tuned oscillators.

An LC-tuned oscillator is a feedback network as shown in Fig 4 (a). Oscillation will occur at the frequency at which the loop transfer function  $\beta(s)A(s)$  is exactly one. This is known as the Barkhausen criterion. The oscillation frequency can easily be found, because the imaginary part of  $\beta(s)A(s)$  has to be exactly zero. After calculations it results to be:

$$\omega_0 = \frac{1}{\sqrt{LC}}$$

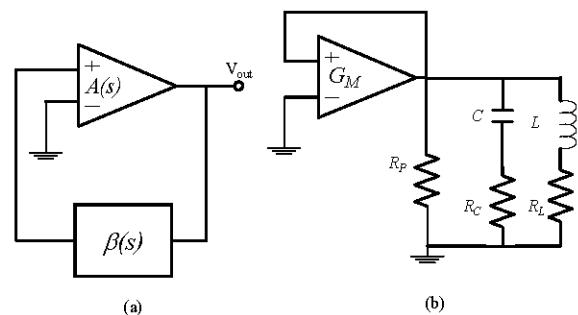


Fig 4. (a) General feedback network. (b) An LC-tuned oscillator as a feedback circuit.

The oscillator LC-tank is shown in Fig 4 (b). There are shown all the parasitic resistances. A series resistance  $R_C$  is

associated with the capacitor  $C$ , and a series resistance  $R_L$  is associated with the inductor  $L$ . The transconductor output resistance, and the parallel resistance across  $C$  and  $L$ , are represented by  $R_P$ . The negative resistance amplifier must be implemented using active elements, which introduces noise. Therefore, when designing amplifiers the number of active elements should be minimized. The VCO core uses a cross-coupled transistor pair to build-up the negative resistance. A differential topology provides a more stable frequency versus supply voltage characteristic and improves the immunity to load variations. From the Fig 5 (a) the negative resistance,  $Z_{in}$ , is given by:

$$Z_{in} = \frac{2}{gm} \left( \frac{\beta}{1-\beta} \right) \approx -\frac{2}{gm} \quad \text{for } \beta \gg 1$$

where  $gm$  is the transconductance of the transistor and  $\beta$  is the base to collector current gain.

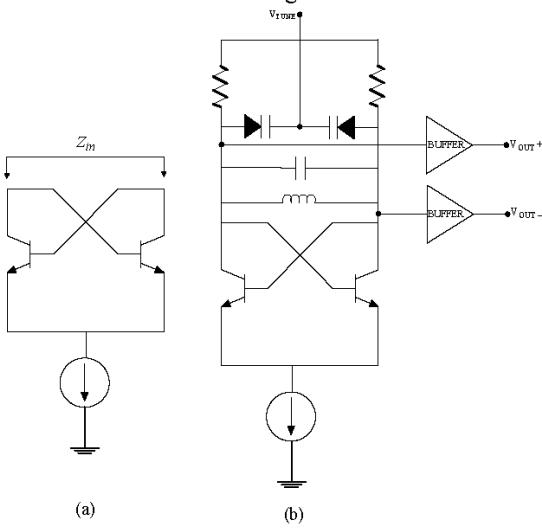


Fig 5. (a) Negative impedance calculation for the cross-coupled pair. (b) VCO simplified schematic

In addition, there is a buffer amplifier following the oscillator core to provide additional isolation from load variations and to boost the output power. A voltage applied to the TUNE pin, which is connected to the varactor, controls the VCO frequency.

#### IV. INDUCTOR DESIGN

The key element in the realization of a good on-chip LC-tank is the inductor. Capacitors are readily available in all IC technologies. But silicon is a low resistivity substrate and high quality integrated inductors are difficult to obtain. Inductors quality factor is limited by resistive losses in metal traces, induced currents in metal strips and substrate, and by metal to substrate capacitance [7].

A number of published works report research activities dealing with this problem, but most of them introduce changes in the process technology or suggest post-processing techniques to increase the inductors quality factor [8][9]. Both approaches increase the cost of the final product.

The technology provides four metal levels. Three of them are similar, with equal thickness and conductivity, and the top level metal is thicker and exhibits a greater

conductivity. Although the foundry offers a set of inductors, they are not designed for our specific application. Particularly, the quality factor is not as high as we need, or is not centred at the required frequency.

We have used *Momentum*©, from *Agilent Technologies*, a fast 2.5-dimensional design tool, accepting complex coil geometries. Three-dimensional tools are very time-consuming, although simulate fully all the parasitic effects in the inductor [3].

Spiral inductors with different geometry were simulated. In order to improve their behavior all the designed inductors share some common characteristics. The spacing between the metal lines should be as small as possible. Increasing the spacing decreases the total inductance because of the decreasing of the mutual inductance. It also increases the series resistance and the total area. Therefore the spacing was fixed to 2  $\mu\text{m}$ . It is well known that circular shape is the optimum for spiral coils and could bring Q at least 10% higher [11]. However, octagonal shapes were used, since the technology allows 45° routing.

Inductors were designed with the top metal level, thick and conductive enough to present a low coil resistance, and far enough from the substrate to work at high frequencies.

The chosen inductor has an external radius of 120  $\mu\text{m}$ , 2 turns, the metal width is 16  $\mu\text{m}$ , and the inductance value is 1.3 nH at 5 GHz. The inductor layout has been generated by an automatic generation tool [12]. A discrete element model was extracted to be used in simulations [7]. The designed inductor Q is shown in Fig 6.

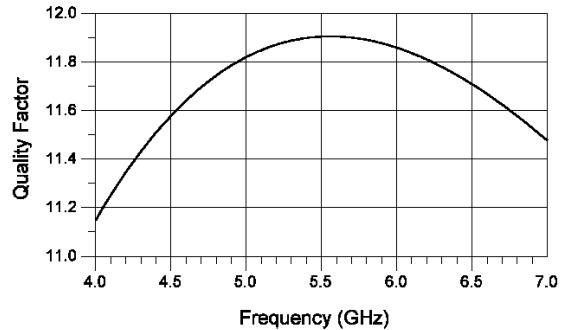


Fig 6. Integrated inductor quality factor.

#### V. VCO IMPLEMENTATION

VCO performance is influenced by random mismatches due to microscopic fluctuations in dimensions, doping, implant thickness and other parameters. A good differential pair behaviour depends on the base to emitter voltage matching.

In order to minimize this mismatch we take into account the following rules. We have placed transistors in close proximity, keeping transistors layout as compact as possible. We have oriented transistors in the same direction. Differential pair devices should have the same boundary conditions, this is accomplished by adding dummy components. We have placed transistors well away from the power devices. We have used common centroid to obtain the best common mode reject relation (CMRR) in the differential pair. This technique results in devices symmetrically placed about a common center in the layout.

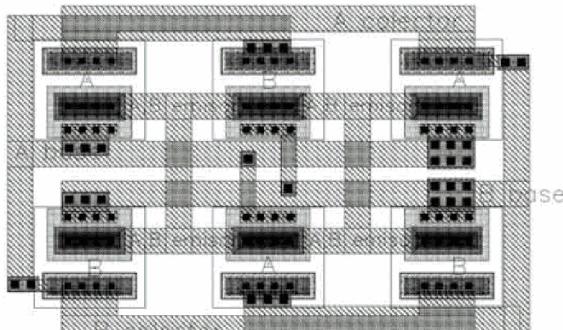


Fig 7. Differential pair transistor in common centroid configuration.

A MOS varactor is used. Its operation is based on the gate to oxide tunable capacitance. In general, it presents a very good CMAX/CMIN ratio associated with a linear variation. It is implemented by simply connecting the drain and source terminals of an NMOS transistor. In order to match the varactors and reduce the area we use an interdigit configuration [13].

To minimize the latch-up effect we add many substrate contacts to reduce the resistance of the ohmic regions. Latch-up occurs when there is a large substrate or well currents, then a voltage drops across ohmic regions and causes parasitic BJTs to turn on and set up positive feedback. Excessive current flow may damage the microcircuit. Fig 8 shows the VCO photograph. The total chip area is 0,424 mm<sup>2</sup>.

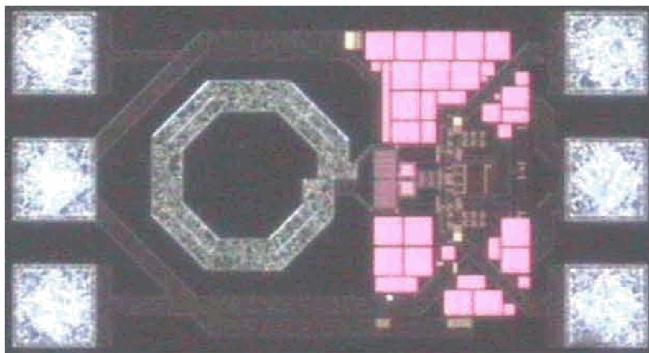


Fig 8. VCO photograph.

## VI. RESULTS

The phase noise is shown in Fig 9. We have achieved a -113 dBc/Hz at 1 MHz offset. The achieved phase noise is suitable for the proposed receiver requirements.

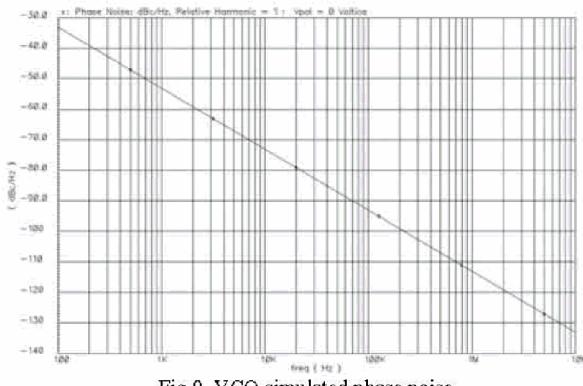


Fig 9. VCO simulated phase noise.

Fig 10 shows the VCO measured tuning range. VCO frequency varies from 4.7 GHz to 6.4 GHz.

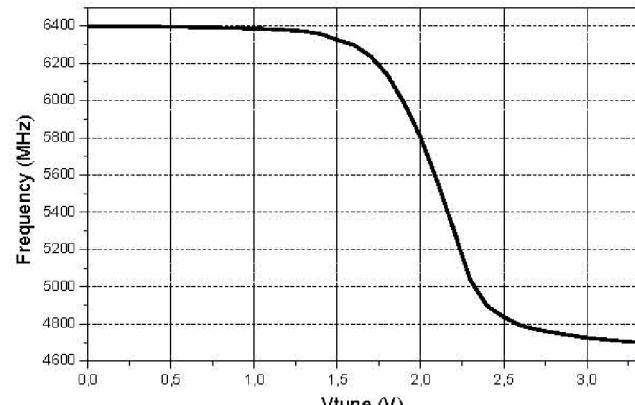


Fig 10. VCO tuning range.

To test the synthesizer behavior, we have made simulations with *Advanced Design System*© tool from *Agilent Technologies*, using the schematic shown in Fig 3. In order to reduce the simulation time, the simulations were made with modeled elements, with the exception of the VCO. We have set the phase noise characteristics of every element according to the results of individual simulations for every component. The utilized loop filter is a passive three-pole filter (see Fig 11). This comprises a second order filter section and a RC section, providing an extra pole to assist the attenuation of the sidebands at multiples of the comparison frequency that may appear.

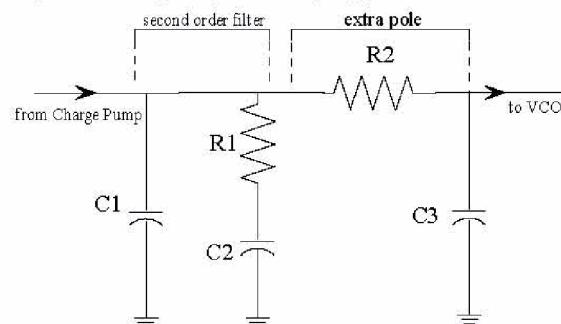


Fig 11. Passive three-pole loop filter.

The contribution of every element to the synthesizer phase noise and the total phase noise is shown in Fig 12. From 10 KHz to 10 MHz the total phase noise is determined by the VCO contribution.

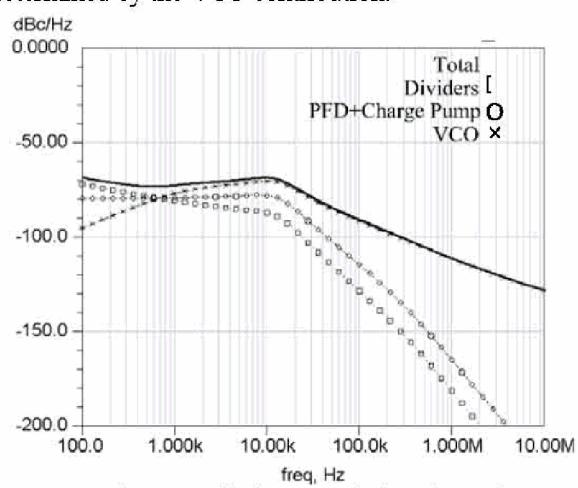


Fig 12. Contributions to synthesizer phase noise

The VCO free run phase noise, VCO phase noise loop contribution and total phase noise is shown in Fig 13. In the loop, below 10 kHz, the VCO phase noise contribution is reduced in comparison with the VCO free run phase noise.

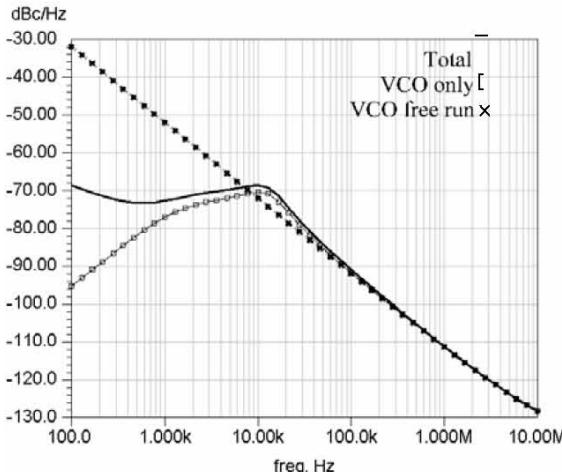


Fig 13. VCO phase noise and total phase noise.

We have simulated a hop from 5745 MHz to 5805 MHz. Fig 14 shows the synthesizer transient response. Initially, the synthesizer is running at 6240 MHz ( $V_{tune}=0$  V). The synthesizer frequency is stabilized on 5745 MHz after 4.2 ms. A change in the divider (from 2298 to 2322) is applied at 5 ms to achieve the 5805 MHz frequency.

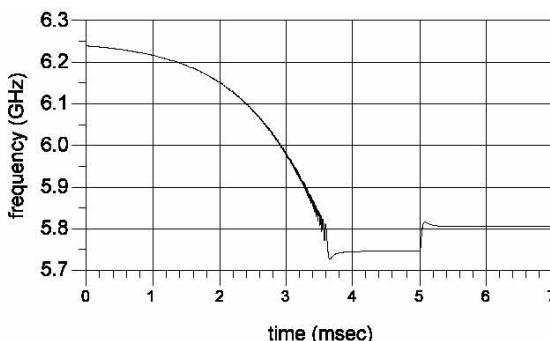


Fig 14. Transient response of the synthesiser for 5745 MHz to 5805 MHz hop.

## VII. CONCLUSIONS

Using a low cost technology we have designed a fully integrated VCO with on chip tank in the 5 GHz band. This fully monolithic approach provides an extremely easy-to-use VCO, equivalent to a VCO module suitable for direct conversion architectures. The tank inductor has been custom designed and simulated with an electromagnetic simulator. The obtained Q and area fits better with our VCO than the inductors offered by the foundry. With the proper VCO topology and the appropriate layout techniques we have designed a VCO suitable to be used in the 5 GHz band. In order to test the VCO, a synthesizer according to IEEE 802.11.a standard has been designed. Simulations have been made to test the synthesizer behavior, showing the VCO phase noise contribution to the synthesizer.

## VIII. ACKNOWLEDGEMENT

This work is supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnología, TIC-2002-04323-C03-03).

## REFERENCES

- [1] T. H. Meng, B. Mcfarland, D. Su, J. Thomson, "Design and Implementation of an All-CMOS 802.11a Wireless Lan Chipset", *IEEE Communications Magazine*, pp. 163-168, August 2003.
- [2] Ali M. Niknejad, Analysis, Simulation, and Applications of Passive Devices on Conductive Substrates, Ph.D. Dissertation. University Of California at Berkeley. April 2000.
- [3] J. Craninckx, M. S. J. Steyaert, "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 736-744, May. 1997.
- [4] "IEEE std 802.11a-1999. Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz band".
- [5] Behzad Razavi, "RF Microelectronics", Prentice Hall PTR, 1999.
- [6] J. Craninckx, M. Steayert, "Low-Noise Voltage-Controlled Oscillators Using Enhanced LC-Tanks", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no.12, pp. 794-804, December 1995.
- [7] Thomas H. Lee, "The Design of CMOS RF Integrated Circuits", Cambridge University Press, 1998.
- [8] L.E. Larson, M. Case, S. Rosenbaum, D. Rensh, "Si/SiGe HBT Technology for Low Cost Monolithic Microwave Integrated Circuits," *Proc. 1996 International Solid State Circuits Conference*, pp. 80-81, 1996.
- [9] M. Ozgur, M.E. Zaghloul, and M. Gaitan, "High Q backside micromachined CMOS inductors," *Proc. 1999 IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 577-580, 1999.
- [10] Jan Van Hese, "Design and Simulation of Spiral Inductors on Silicon Substrates", Agilent Technologies.
- [11] S. Chaki, S. Aono, N. Andoh, Y. Sasaki, N. Tanino, O. Ishihara, "Experimental Study on Spiral Inductors", *Proceedings IEEE Microwave Symposium Digest MTT-S*, pp. 753-756, 1995.
- [12] José R. Sendra, Javier del Pino, Antonio Hernández, Javier Hernández, Jaime Aguilera, Andrés García-Alonso, and Antonio Núñez, "Integrated Inductors Modeling and Tools for Automatic Selection and Layout Generation", *Proc. IEEE International Symposium on Quality in Electronic Design, ISQED*, San José, California (EEUU), March 2002.
- [13] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE Press, 1998.
- [14] A. Grebene, "Bipolar and MOS Analog Integrated Circuit Design", John Wiley and Sons, 1984.
- [15] P. R. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits", 3<sup>rd</sup> edition, John Wiley and Sons, 1993.

# Design of a Fully Integrated DC to 8.5 GHz Distributed Amplifier in CMOS 0.35

G. Martín, R. Diaz, J. del Pino, S. L. Khemchandani, A. Goñi, A. Hernández

**Abstract**—A fully-integrated Distributed Amplifier was implemented in a standard 0.35  $\mu\text{m}$  CMOS process up to 10 dB of gain and a bandwidth of 8.6 GHz. Octagonal inductors with no ground shield were implemented in top available metal. Design guidelines for optimizing amplifier gain are presented. Chip dimensions are  $0.75 \times 1 \text{ mm}^2$  and power dissipation is 107 mW, drawn from a 3.3 V supply.

**Index Terms**—Radio-frequency (RF) Integrated Circuit, Distributed Amplifier, Spiral Inductor, Ultra Wide Band.

## I. INTRODUCTION

The need for devices that can deliver large amounts of power without sacrificing any bandwidth has inspired researchers to develop fancy semi-compound technologies (GaAs, InP, GaN and others). One disadvantage of such technologies is the relatively high cost of integration, when compared with standard CMOS substrates. CMOS devices on the other hand, exhibit relatively low speed and passive structures with much lower quality factors, due to the lossy substrate [1]. This problem can be overcome by using a high resistivity substrate, but this usually adds more complexity and cost to the overall process. It is in the context of an SOC solution that researchers have continued their effort to demonstrate that CMOS can be used as an alternative to conventional microwave solutions.

The use of distributed amplification is proposed in this paper to push the limit of operation of an old technology (0.35  $\mu\text{m}$  CMOS) to 8.6 GHz with possible applications to Ultra Wide Band (UWB) systems.

The organization of this paper is the following. In section II we present the distributed amplifier basics. Sections III is devoted to the distributed amplifier and integrated inductors design methodology. The results of the designed circuit are presented in section IV, where the layout design issues are also addressed. Finally some conclusions are given.

This work has been partially supported by the Spanish MEC and MCyT under projects TEC-2005-08091-C03-03 and FIT-330100-2006-43.

Authors are with the Institute for Applied Microelectronics (IUMA) and Department of Electronic and Automatic Engineering (DIEA) University of Las Palmas de Gran Canaria, Spain.  
(e-mail: jpino@iuma.ulpgc.es).

## II. DISTRIBUTED AMPLIFIER BASICS

The frequency response of a MOS device degrades due to the pole formed by the input/output capacitance of the transistor and the resistance it sees. The MOSFET's transconductance rapidly falls with frequency and any attempt to increase the transconductance by increasing the size of the device will also increase its input/output capacitance. Thus, while low-frequency gain has been increased, the gain-bandwidth product remains about the same.

The gain-bandwidth product limits conventional circuit design to approximately 40% of the device's  $f_{\max}$ .

The concept of distributed amplification has been around for over a half century [2][3]. Distributed amplifiers employ a topology in which the gain stages are connected such that their capacitances are separated, yet the output currents still combine in an additive fashion (Fig. 1). Series-inductive elements are used to separate capacitances at the inputs and outputs of adjacent gain stages. The resulting topology, given by the interlaying series inductors and shunt capacitances, forms what is essentially a lumped-parameter artificial transmission line. The additive nature of the gain dictates a relatively low gain; however, the distributed nature of the capacitance allows the amplifier to achieve very wide bandwidths.

Distributed amplification overcomes the gain bandwidth limitation absorbing the MOS input/output capacitance as part of the lumped elements of the artificial transmission line, formed with the series inductance that connects adjacent drains and gates.

As the amplified signals at each stage travels towards the load, the signal gets attenuated due to non-zero losses associated with the transmission lines. Finite Q inductors are the primary source of losses in the gate line. Losses in the drain line can be attributed to lossy inductors  $L_d$  and the drain-source resistance ( $r_{ds}$ ).

The characteristic impedance ( $Z_0$ ) and cut-off frequency ( $f_c$ ) of lossless transmission line are given by

$$Z_0 = \sqrt{\frac{L}{C}} \quad (1)$$

$$f_c = \frac{1}{\pi\sqrt{LC}} \quad (2)$$

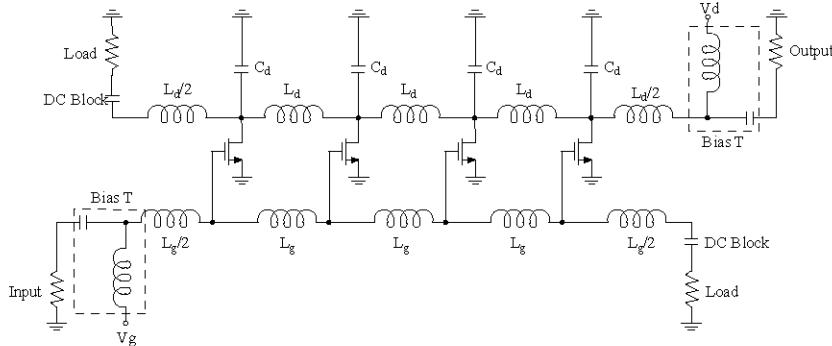


Fig. 1. Basic Distributed Amplifier schematic.

For having the same  $Z_0$  and  $f_c$ , the capacitance and inductance on both the drain and gate lines should be the same. For a MOSFET  $C_{db}$  is usually less than  $C_{gs}$ , hence a capacitor  $C_d$  is added in shunt to the drain to make the capacitances equal.

$$L_g = L_d = L \quad (3)$$

$$C_{gs} = C_{db} + C_d = C \quad (4)$$

The gain of the DA can now be expressed as

$$A = gm \frac{Z_0}{2\sqrt{1 - \left(\frac{f}{f_c}\right)^2}} \frac{e^{-N\frac{(A_g + A_d)}{2}} \sinh\left(N\frac{A_d - A_g}{2}\right)}{\sinh\left(\frac{A_d - A_g}{2}\right)} \quad (5)$$

where  $A_d$  and  $A_g$  are the attenuation of the drain and gate lines.  $gm$  is the transconductance of the MOSFET and  $N$  is the total number of stages. This equation assumes the following:

- Unilateral MOSFET model (ignores  $C_{gd}$ )
- Image impedance matched terminations
- Equal gate and drain phase velocities

The optimum number of stages that maximizes the gain is simply a function of gate and drain line attenuation. As the signal propagates along the gate line towards the termination, less signal is available for each MOSFET because of attenuation. Hence, the overall gain degrades with further increase in the number of stages. Unfortunately, the optimum number of stages cannot be easily obtained since the gate and drain line attenuations are complex functions and depend on the specific MOSFET parameters and also on the operating and cut-off frequencies. The number of stages for this work is chosen as 4 which was found to be optimum in [5][6][7].

Knowing the gain, number of stages, and drain-line inductance and capacitance, the required  $gm$  can be found from the low frequency gain of (5)

$$gm = \frac{2 \cdot A}{N} \sqrt{\frac{C_d}{L_d}} \Rightarrow gm = \frac{2 \cdot A}{N \cdot Z_0} \quad (6)$$

Then, the W/L ratio can be derived from

$$\frac{W}{L} = \frac{gm}{\mu_n C_\alpha (V_{gs} - V_T)} \quad (7)$$

Finally, the device length and width can be found by combining the above equation with the following expression

$$W \cdot L = \frac{C}{C_\alpha} \quad (8)$$

### III. DISTRIBUTED AMPLIFIER DESIGN

Following the guidelines outlined in the previous section a distributed amplifier for a cutoff frequency of  $\sim 10$  GHz, and a voltage gain of  $\sim 8$  dB was designed in a  $0.35 \mu m$  technology.

One of the difficulties in realizing a fully integrated distributed amplifier is creating the high-quality inductors necessary. On-chip spiral inductor parameters from full-wave electromagnetic simulations are used to simulate accurate artificial transmission line. A commercially available planar EM simulator (Momentum<sup>®</sup>) was used to predict the broadband response of inductors in lossy silicon substrates [8].

TABLE I INDUCTOR GEOMETRICAL PARAMETERS			
	$s$ ( $\mu m$ )	$n$	$r$ ( $\mu m$ )
L1	2	2.5	100
L2	2	2	100

Fig. 2 shows the simulated quality factor and inductance of  $L_d=L_g$  inductors (see L1 in Table I). As it can be shown this inductor presents a Q and an L of 9.8 and 1.4 nH, respectively, at 10 GHz. In the same way Fig. 3 shows the simulated quality factor and inductance of the  $L_d/2=L_g/2$  inductors (see L2 in Table I). In this case the Q and L are 11.4 and 1 nH, respectively, at 10 GHz. Although this inductor does not have half the inductance than  $L_d=L_g$ , its physical layout perfectly match with the other components in the design. Note that in such layouts, any non modelled element would imply a bad operation of the overall circuit. As it can be shown later, this issue is more important than the inductance value.

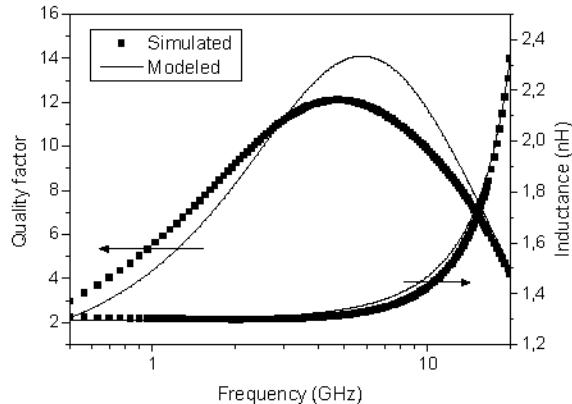


Fig. 2. Simulated and modelled Quality Factor and Inductance for  $L_d=L_g$ .

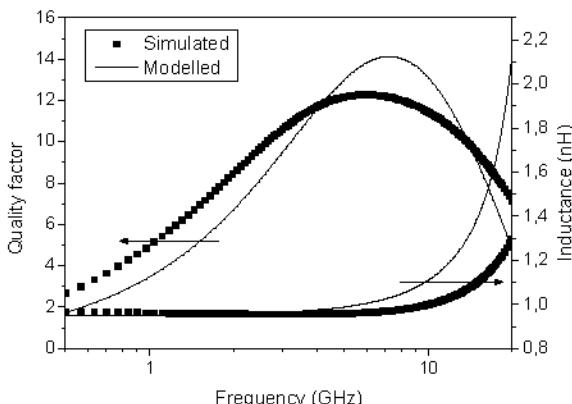


Fig. 3. Simulated and modelled Quality Factor and Inductance for  $L_d/2=L_g/2$ .

Both inductors were modeled using the well known pi model [9] in order to take into account its behavior in the schematics and layout simulations.

After making minor adjustments based on initial simulations, the resulting schematic, with initial component values, is shown in Fig. 4. This schematic includes the modeled inductors and also the corresponding subcircuits to take into account the effect of the pads. Note that additional capacitance has been added to the drain line to provide the required value.

Higher gain can be obtained by choosing higher characteristic impedance of gate and drain lines but the cutoff frequency will be lower, which will limit the bandwidth. On the contrary, wider bandwidth can be obtained with the tradeoff for gain. In order to investigate the tradeoffs between the gain and bandwidth with respect to the device size and drain capacitance line, two designs were simulated. The first one (DA1) utilizes a transistor size of 260  $\mu\text{m}$  (equivalent to a 13 gates device with 10  $\mu\text{m}$  gate width) and a capacitance  $C_d$  of 150 fF. The second one (DA2) is designed for lower frequency and higher gain with a transistor size of 380  $\mu\text{m}$  (equivalent to a 19 gates device with 10  $\mu\text{m}$  gate width) and a capacitance  $C_d$  of 198 fF. The frequency response of both circuits is shown in Fig. 5.

To this point, the simulated results correlate well with conventional theory, however, with the introduction of layout parasitics this will no longer hold true.

#### IV. RESULTS AND DISCUSSIONS

Fig. 6 shows the layout of the complete distributed amplifier DA1. The circuit occupies an area of  $0.75 \times 1 \text{ mm}^2$ , which include the pad frame. Due to very high frequency operation, special attention should be paid to the layout [4]. Thus, enough design accuracy can be achieved by adding accurate high-Q inductor model and optimizing parasitic effects coming from discontinuity and interconnection.

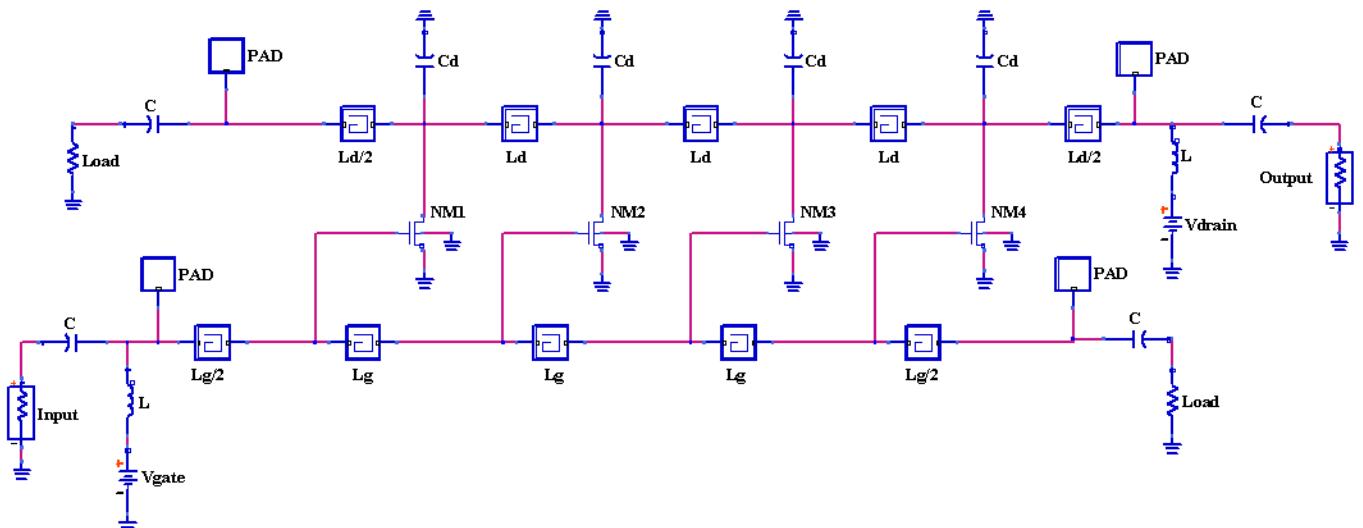


Fig. 4. Distributed Amplifier schematic.

The post-layout frequency response of the distributed amplifier is shown in Fig. 7. The gain is 8.5 dB with  $\pm 1.2$  dB flatness from 1 GHz to 5 GHz and the unity gain frequency is 8.6 GHz. The input and output match are generally much better than -10 dB over most of the bandwidth. The increase in gain in low frequency was due to the higher impedance of the blocking capacitance at low frequency. All simulations were taken under identical DC bias conditions, 3 V on the drain line and 0.8 V on the gate line; at this bias point the distributed amplifier consumed 35.64 mA for a total power dissipation of 107 mW. The phase response of this circuit is shown in Fig. 8. Result shows linear variation up to cutoff frequency.

In Fig. 9 the schematic and post-layout simulations are compared. As warned in the previous section, with the introduction of layout parasitics the simulated results differ with schematic simulations. In particular the bandwidth is reduced due to the capacitance added to the gate and drain artificial transmission lines by the routing metals. As a consequence special care should be taken on the routing metals and on the inductor layout in order to maximize the circuit performance. This is the motivation of using a  $L_d/2=L_g/2$  inductors that do not have half the inductance than  $L_d=L_g$  but that hold a physical layout which match with the other components in the design.

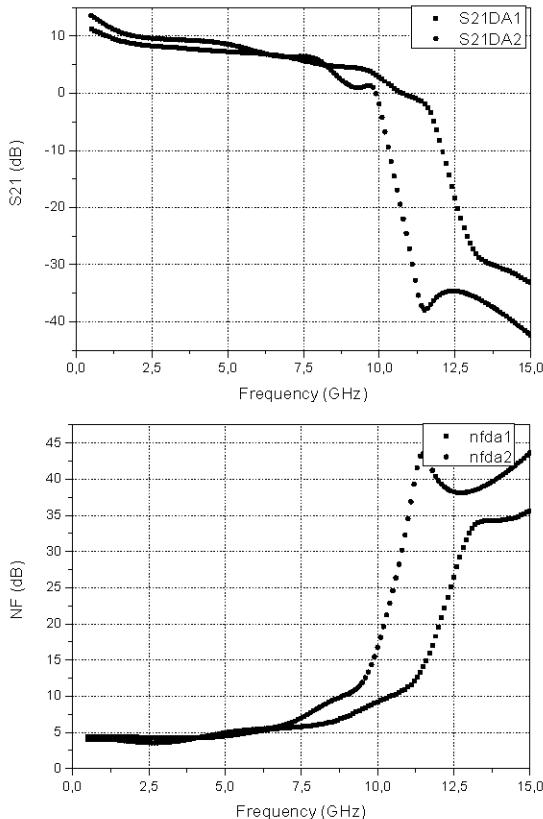


Fig. 5. The tradeoffs between the gain and bandwidth with respect to the device size and drain capacitance line. DA1:  $W=260 \mu\text{m}$  ( $n_g=13$ ),  $c_d=150 \text{ fF}$  and DA2  $W=380 \mu\text{m}$  ( $n_g=19$ ),  $c_d=198 \text{ fF}$ .

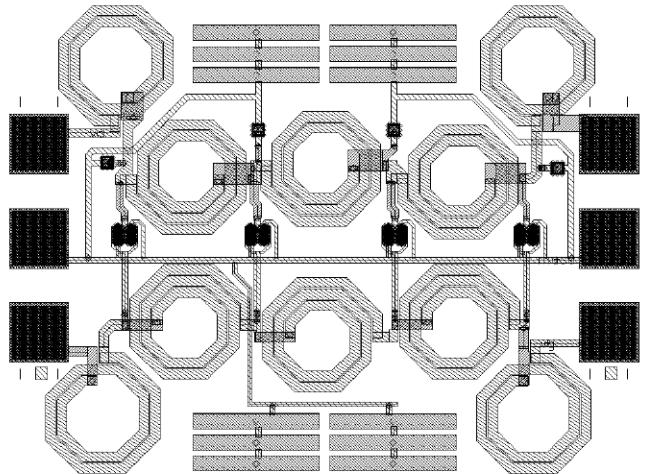


Fig. 6. Distributed Amplifier layout.

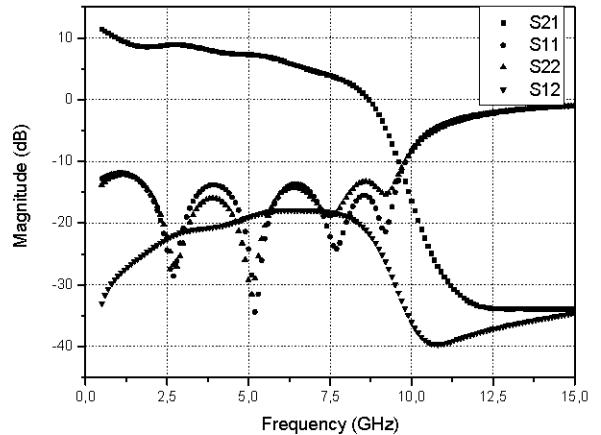


Fig. 7. Distributed amplifier post-layout S-parameter response.

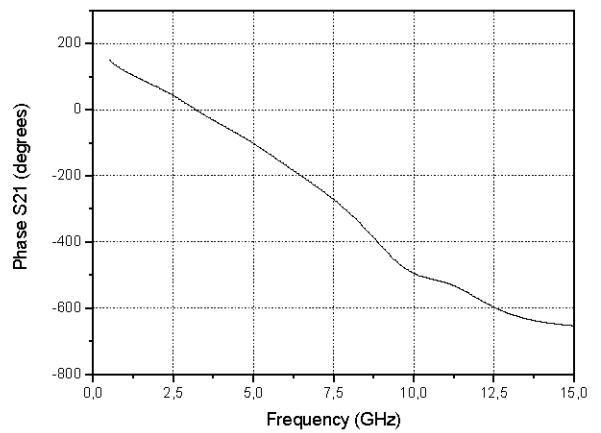


Fig. 8. Distributed amplifier post-layout phase response.

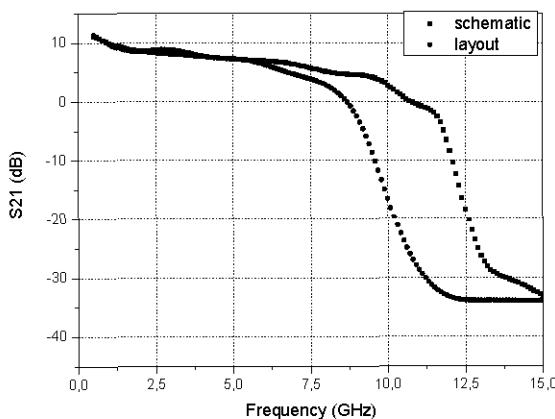


Fig.

9. Comparison between schematic and post-layout simulations.

## V. CONCLUSIONS

A four-stage fully integrated CMOS distributed amplifier with 8.5 dB forward gain and 1.2 dB gain flatness over a 4 GHz bandwidth was implemented. Distributed Amplification opens the possibility for CMOS circuits to be considered as an alternative microwave solution and pushes the limit of operation of an old technology (0.35  $\mu$ m CMOS) to 8.6 GHz. Since this DA was designed using a commercial CMOS technology, it can be easily integrated with other front-end

circuits to build CMOS transceivers without requiring any post-processing steps.

## REFERENCES

- [1] Brian M. Ballweber, Ravi Gupta and David J. Allstot, "A Fully Integrated 0.5–5.5-GHz CMOS Distributed Amplifier" *IEEE TRANSACTIONS ON SOLID-STATE CIRCUITS*, VOL. 35, NO. 2, FEBRUARY 2000.
- [2] E. L. Ginzon, W. R. Hewlett, J. H. Jasberg, and J. D. Noe, "Distributed amplification," *Proc. IRE*, vol. 36, pp. 956–969, Aug. 1948.
- [3] W. S. Percival, "Thermonic valve circuits," *British Patent 460 562*, Jan. 25, 1937.
- [4] Jinho Park, Kiyong Choi, and David J. Allstot "Parasitic-Aware RF Circuit Design and Optimization" *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS*, VOL. 51, NO. 10, OCTOBER 2004.
- [5] Y. Ayasli, R.L. Mozzi, J.L. Vorhaus, L.D. Reynolds and R.A. Pucel, "A Mono-lithic GaAs 1-13 GHz Traveling-Wave Amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 30, pp. 976–981, July 1982.
- [6] Michael Ross, Investigation of Taper and Forward-Feed in GaAs MMIC Distributed Amplifiers, M.E. thesis, Department of Electronics, Carleton University, June 1987.
- [7] J.B. Beyer, S.N. Prasad, R.C. Becker, J.E. Nordman, and G.K. Hohenwarter, "MESFET Distributed Amplifier Guidelines," *IEEE Transactions on Microwave Theory and Techniques*, vol. 32, pp. 268–275, July 1984.
- [8] *Momentum User's Manual*, 2004A ed., Agilent Technologies, Sept. 2004.
- [9] A. Goni-Iturri S. Khemchandani, J. del Pino, J. García, B. González and A. Hernández, "Design and Modeling of an on Silicon Spiral Inductor Library Using Improved EM Simulations", SPIE's International Symposium on Microtechnologies for the New Millennium 2005 (VLSI Circuits and Systems, Sevilla, 2005).

# A 3-10 GHz SiGe LNA for Ultrawideband Applications

H. García, R. Pulido, J. del Pino, S. L. Khemchandani, A. Goñi, A. Hernández

**Abstract**—A fully-integrated SiGe wide band amplifier was implemented in a standard low cost  $0.35\text{ }\mu\text{m}$  process up to 12 dB of gain and a bandwidth of 3-10 GHz. Reactive matching is extended to wide bandwidths using the impedance property of LC-ladder filters. Octagonal inductors with no ground shield were implemented in top available metal. Design guidelines for optimizing amplifier gain are presented. Chip dimensions are  $0.665 \times 0.665\text{ mm}^2$  and power dissipation is 39 mW, drawn from a 3.3V supply.

**Index Terms**— Amplifier noise, Low-Noise Amplifier (LNA), Noise Figure (NF), SiGe Amplifier, Ultrawideband (UWB), Wideband Matching.

## I. INTRODUCTION

Designing wideband LNAs for wireless applications presents two levels of challenges. In the first place, having fast and low noise transistors depends on the available technology. Traditionally, wideband microwave amplifiers relied on transistors realized with composite semiconductors, e.g., GaAs, because of the intrinsic superior frequency characteristics of such devices [1]-[3]. Silicon technology, on the other hand, has been employed to design and fabricate amplifiers, even wideband ones, for particular applications, e.g., optical communications [4], [5], that require different specifications compared to wireless systems. In wireless mobile communications systems, silicon integrated circuits have been widely employed in narrow-band systems, where limited gain and increased parasitics are tolerable due to lower operating frequencies and the application of tuned networks.

There are few examples of development of high-frequency wideband amplifiers employing silicon transistors. Most of them are distributed amplifiers [6]-[8] which require high levels of power consumption, high area, and they are not optimized for noise.

In [9] a new methodology to extend the reactively matched LNAs to wide bandwidths is presented. It is shown that this approach satisfies the tough system requirement of a UWB system with moderate power consumption. The proposed

This work has been partially supported by the Spanish MEC and MCyT under projects TEC-2005-08091-C03-03 and FIT-330100-2006-43.

Authors are with the Institute for Applied Microelectronics (IUMA) and Department of Electronic and Automatic Engineering (DIEA) University of Las Palmas de Gran Canaria, Spain.  
(e-mail: jpino@iuma.ulpgc.es).

methodology is based on the concept of wideband impedance matching which makes extensive use of spiral inductors. The problem here is that the overall amplifier gain should be flat across the pass-band whiles the frequency response of integrated inductors is not.

In this paper, we present a systematic method to design wideband low-noise amplifiers using integrated inductors in a low cost SiGe technology. The effect of the integrated inductors on the performance of the circuit is studied. As an example a wide band amplifier with on-chip matching network spanning 3–10 GHz is presented. So to provide some background, Section II briefly describes the design tradeoffs in the narrowband inductively degenerated amplifier. The concept of wideband impedance matching is explained in Section III and used to extend the bandwidth of the narrowband LNA. The design methodology as well as some practical considerations regarding to the influence of the integrated inductors are discussed in Section IV. Finally, results for the designed wideband fully integrated SiGe amplifier are presented in Section V.

## II. NARROWBAND INDUCTIVELY DEGENERATED AMPLIFIER

Fig. 1 shows the typical schematic of a narrow band LNA. The input transistor ( $Q_{CASI}$ ) is in common emitter configuration and it is the mainly contributor to the circuit noise. The NF of the LNA depends directly on the emitter area and on the polarization current of  $Q_{CASI}$ . The cascode stage, formed by  $Q_{CASI}$  and  $Q_{CAS2}$ , reduces Miller capacitance, decreasing the effective base-collector capacitance ( $C_\mu$ ) of  $Q_{CASI}$ . This makes the amplifier unilateral, i.e., with low  $S_{12}$ . This is a requisite of many communication systems to prevent leakage of local oscillator power from the mixer back to the antenna [2]. The resonant circuit formed by  $L$  and  $C$  is the load of the cascode stage. This permits a high gain with a low voltage supply. The tank resonant frequency is adjusted to be the frequency of interest ( $\omega_0$ ).

The noise in a transistor is proportional to the transistor base and emitter resistances,  $r_b$  and  $r_e$ , and to the transistor small-signal transconductance  $g_m=1/r'e= I_C/V_T$  ( $V_T$  is the thermal voltage and  $I_C$  is the collector current). To minimize  $r_b$ , the transistor must present a great area and to maximize  $g_m$ ,  $I_C$  must be high. If the transistor area is increased the input capacitance ( $C_i=C_\pi+C_\mu$ ) will also increase. This will attenuate the input signal and it will raise the NF. As a result the NF will reach a minimum for a particular combination of area and

polarization current.

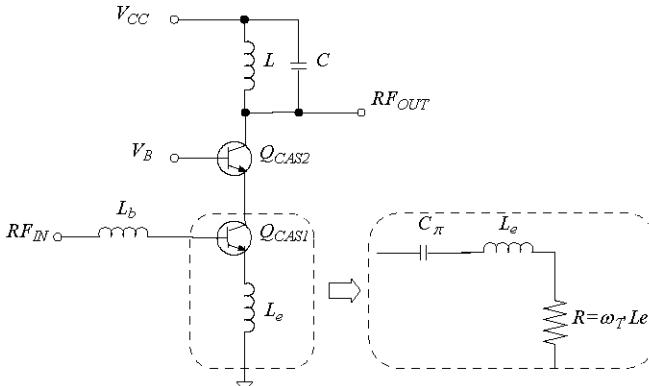


Fig. 1. Simplified schematic of the LNA with inductive degeneration.

The next step in minimizing the noise is matching the LNA input impedance. The antenna output impedance is  $Z_0=R=50\Omega$  and through inductive degeneration [11] it is possible to match the input having an excellent trade-off between conjugate matching and minimum noise. The inductive degeneration consists of introducing a series inductance ( $L_e$ ) at the emitter as it is shown in Fig. 5. The inductance value is approximately given by [2]:

$$L_e = \frac{Z_0}{\omega_T} \quad (1)$$

The higher transistor  $\omega_T=g_m/C_i$ , the lower the value of  $L_e$  needed for matching, and the lower the amount of noise added to the LNA by the series resistance of the inductor.

$L_e$  changes the real part of the input impedance, and to modify the imaginary part another inductor  $L_b$  is introduced as presented in Fig. 1.

An expression of the noise factor for the LNA with inductive degeneration that takes into account the above discussion is the following:

$$F = 1 + \frac{r_b + r_e}{Z_0} + \frac{g_m}{2} Z_0 \left( \frac{\omega_0}{\omega_T} \right)^2 \quad (2)$$

Alternatively this expression can be expressed as

$$F = 1 + \frac{r_b + r_e}{Z_0} + \frac{1}{2 \cdot g_m \cdot Z_0 \cdot Q^2} \quad (3)$$

where  $Q$  is the quality factor of the input matching network. The noise factor improves with a higher  $Q$  because more voltage gain is seen across the input capacitance of the transistor. The input impedance is resistive only in a narrow bandwidth ( $\omega_0/Q$ ) around the resonance frequency  $\omega_0$ . To obtain a wideband impedance matching, the  $Q$  of the matching circuit should be significantly lowered. This will largely degrade the noise figure which defeats the purpose. As a result, this type of amplifier cannot be used for wideband applications.

### III. WIDEBAND AMPLIFIER

Wide band impedance matching expands the use of an inductively degenerated amplifier, by embedding the input network of the amplifying device in a multisection reactive network so that the overall input reactance is resonated over a wider bandwidth. In this way, a wideband input match is achieved and, at the same time, good noise performance is attained.

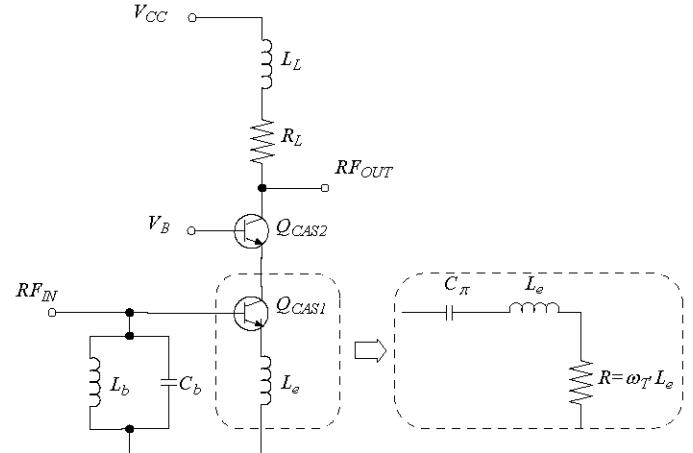


Fig. 2. Simplified schematic of the LNA with wideband impedance matching.

In the proposed wideband design, shown in Fig. 2, a fourth-order doubly terminated band-pass filter is used to resonate the reactive part of the input impedance over the whole band from 3.1 to 10.6 GHz. As long as the upper and lower cutoff frequencies ( $\omega_U$  and  $\omega_L$ ) of the filter are far from each other, this fourth-order band-pass filter can be seen as a combination of two second-order filter sections, one in a low-pass configuration and the other one in a high-pass configuration. The low-pass filter section is composed by  $L_b$  and  $C_\pi$  and its cutoff frequency is given by:

$$\text{high-pass} \left\{ \begin{array}{l} L_b = \frac{R}{\omega_L} \\ C_\pi = \frac{1}{\omega_L \cdot R} \end{array} \right. \quad (4)$$

On the other hand, the high-pass filter section is composed by  $L_e$  and  $C_b$  and its cutoff frequency is given by:

$$\text{low-pass} \left\{ \begin{array}{l} L_e = \frac{R}{\omega_U} \\ C_b = \frac{1}{\omega_U \cdot R} \end{array} \right. \quad (5)$$

These two circuits provide input impedance equal to  $R$  in the pass-band between  $\omega_U$  and  $\omega_L$ .

In order to provide a wide band operation, one would think on replacing the resonant load in the narrow band circuit by a resistor. However, this would lead to gain response falling

with the frequency due to the pole generated by the resistor load ( $R_L$ ) and the capacitance of the output node ( $C_{OUT}$ ). A technique commonly used to increase the bandwidth is to replace the load resistor by a shunt-peaking resistor [10] composed by  $L_L$  and  $R_L$ . The addition of an inductance in series with the load resistor provides an impedance component that increases with frequency (i.e. introduces a zero), which helps offset the decreasing impedance of the load capacitance, leaving a net impedance that remains roughly constant over a broader frequency range than that of the original RC network.  $R_L$  should be sufficiently low so that the inductive region of the impedance spans the pass-band.

With this configuration the inductive load equalizes the voltage gain to a constant value across the pass-band. The problem is that  $C_{OUT}$  introduces a spurious resonance with  $L_L$ , which must be kept out-of-band. As long as  $C_{OUT}$  represents all the loading on the output node, including the transistor output capacitance, the loading by interconnect and subsequent stages and parasitic capacitances of the inductor, all these contributions should be minimized to ensure self resonance beyond  $\omega_U$ .

In the following section a detailed study about the influence of the inductor parasitics on the wide-band response of the circuit is carried out.

#### IV. WIDEBAND AMPLIFIER DESIGN

Prior to their use in any circuit, spiral planar inductors must be modeled accurately over a fairly wide range of frequencies. In this work, on-chip spiral inductor parameters from full-wave electromagnetic simulations are used to simulate the circuit. A commercially available planar EM simulator (Momentum<sup>©</sup>) was used to predict the broadband response of inductors in lossy silicon substrates. The inductors are designed using the top level metal, which is thicker and more conductive than the rest. All of them are octagonal, with external radii ( $r$ ) up to 170  $\mu\text{m}$ , metal width ( $w$ ) between 5 and 25  $\mu\text{m}$  and up to 5.5 turns ( $n$ ). The spacing between tracks is fixed to the minimum allowed by the technology, 2  $\mu\text{m}$ , in order to maximize the inductance value.

The designed wideband LNA circuit is shown in Fig. 3. This schematic includes the modeled inductors and also the corresponding subcircuits to take into account the effect of the pads. An emitter follower buffer to drive an external 50 $\Omega$  load is inserted for measurement purposes.

The performance of a narrow band LNA is determined by the limited quality factor of the integrated inductors [11]. Its optimization relies on achieving the highest  $Q$  for a given inductance value at the frequency of operation. In the case of a wide band operation, the center of the band is generally selected. Thus for  $L_b$  and  $L_e$ , this assumption is valid mainly because they are used in the ladder-filter input network, a structure well known for its low sensitivity to component variations. On the other hand,  $L_s$  is used for biasing purposes and does not affect in the frequency response of the circuit. However, we have seen that this assumption, though sensible,

may be inappropriate for the case of  $L_L$ . In order to evaluate this question, a set of spirals with the same inductance but optimized for different frequencies were simulated with Momentum. The simulated quality factor and inductance of three of them (the most significant cases) is reported in Fig. 4. Table I shows the geometrical parameters of the chosen coils.

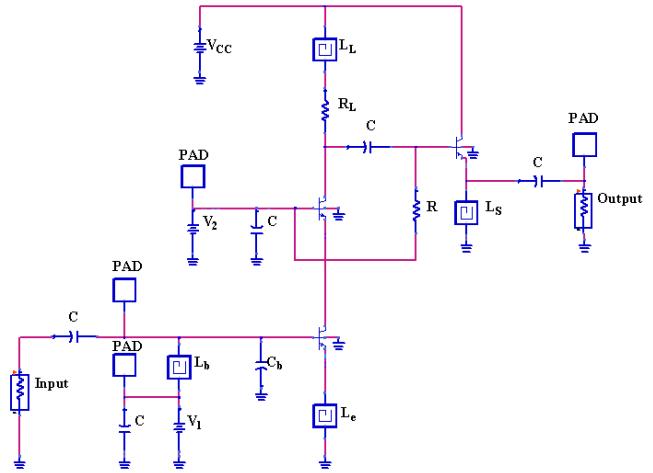


Fig. 3. Schematic of the designed wide-band LNA.

TABLE I

INDUCTOR GEOMETRICAL PARAMETERS

	$s$ ( $\mu\text{m}$ )	$n$	$r$ ( $\mu\text{m}$ )	$w$ ( $\mu\text{m}$ )
B1	2	1.5	170	25
B2	2	2.5	100	18
B3	2	2.5	70	7

Fig. 5 shows the wide-band LNA simulated power gain using those spirals. As it can be seen the gain flatness is strongly affected by the inductor  $Q$ . The best results are obtained for B2 in spite of this is the inductor with the lowest peak quality factor. The reason is that inductor B2 exhibits an equalized quality factor through the entire band, whiles B1 and B2, despite of having a peak quality factor higher present an irregular shape through the band of interest.

#### V. FINAL CIRCUIT AND RESULTS

The final wideband LNA layout is shown in Fig. 6. The total chip size is 665×665  $\mu\text{m}$ . The amplifier draws 5.3 mA and the emitter follower draws 6.5 mA from a 3.3-V supply.

The layout has been implemented using AMS SiGe 0.35  $\mu\text{m}$  BICMOS process. The circuit was designed to be measured on wafer with a probe station. The probe pads were octagonal, optimized for RF. Three ground-signal-ground (GSG) and one signal-ground-signal (SGS) pad structures with 150  $\mu\text{m}$  pitch were used, as depicted in Fig. 6.

The layout verification and parasitic extraction were made with ASSURA. Two modes of extraction were used, typical and worst case.  $C_b$  was replaced by the input path parasitic capacitor, due its low capacitance value. Fig. 7 shows the

simulations with the schematic view, the extracted view with typical case and the extracted view with worst case. As expected, the response of the three cases is slightly different. Considering the worst case, a maximum gain of 11.6 dB around 3 GHz has been obtained, being the gain greater than 1 dB from 1 GHz to 8.5 GHz. From 2 GHz to 8.5 GHz, the  $S_{11}$  is less than -5dB, and the noise figure varies from 3.5 to 7.5 dB.

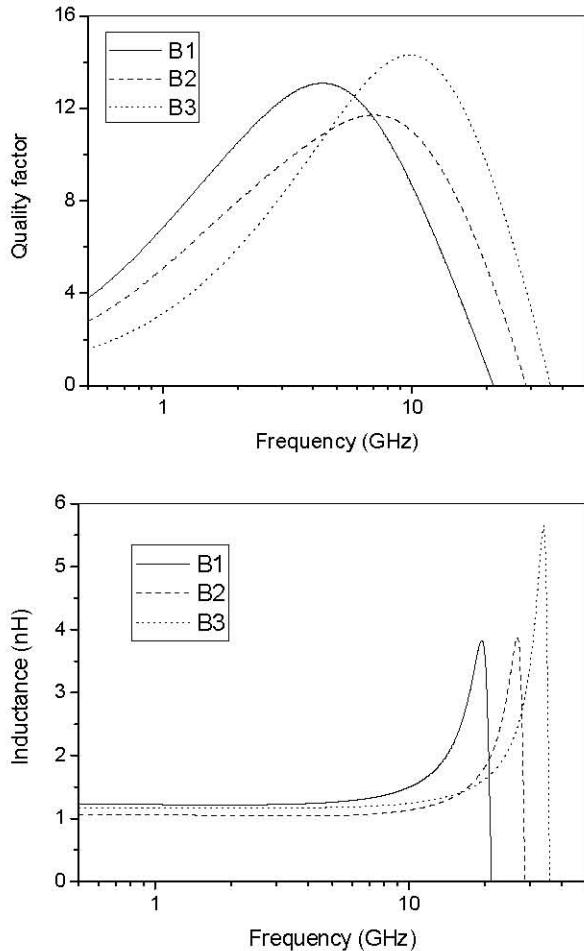


Fig. 4. Quality factor and inductance of spirals suitable for  $L_L$ .

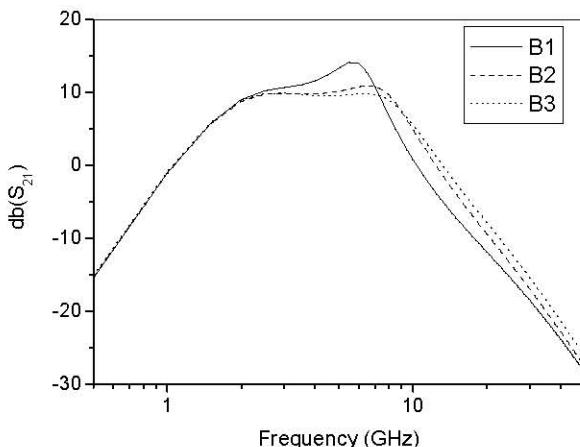


Fig. 5. Wide band amplifier power gain for different  $L_L$  spirals.

## VI. CONCLUSIONS

In this paper we have reported the fundamental design aspects of wideband low-noise amplifiers with SiGe transistors and on chip inductors. A description of the LNA configuration was explained emphasizing the influence of the design parameters in the circuit performance. As an example a wide band amplifier with on-chip matching network spanning 3–10 GHz is presented. The circuit was implemented in a standard low cost 0.35  $\mu$ m process and provides a worst case maximum gain of 11.6 dB. The noise figure ranges from 3.5 to 7.5 in the band between 2 GHz and 8.5 GHz. The circuit core draws 5.3 mA from a 3.3-V supply.

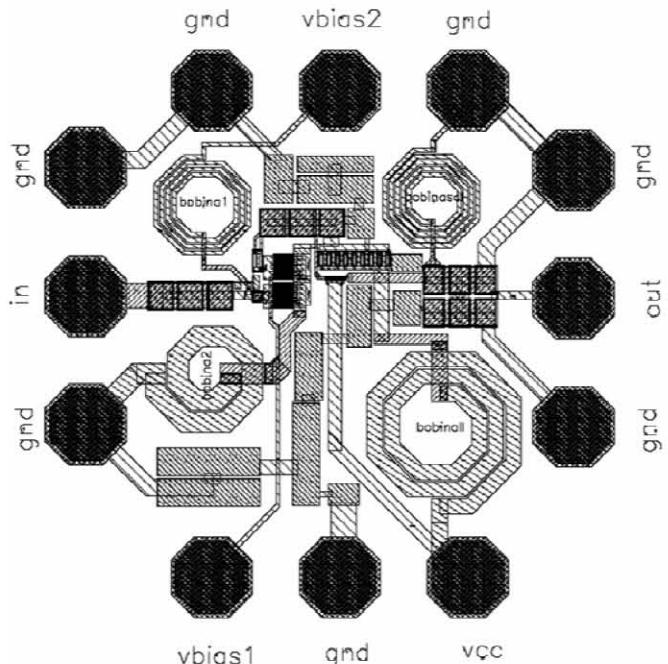


Fig. 6. Wide band amplifier layout.

## REFERENCES

- [1] Y. Mimino, M. Hirata, K. Nakamura, K. Sakamoto, Y. Aoki, and S. Kuroda, "High gain-density K-band P-HEMT LNA MMIC for LMDS and satellite communication," in IEEE Radio Frequency Integrated Circuits Symp. Dig. Papers, 2000, pp. 209–212.
- [2] Y. Yun, M. Nishijima, M. Katsuno, H. Ishida, K. Minagawa, T. Nobusada, and T. Tanaka, "A fully integrated broad-band amplifier MMIC employing a novel chip-size package," IEEE Trans. Microwave Theory Tech., vol. 50, pp. 2930–2937, Dec. 2002.
- [3] P. Marsh, S. Chu, S. Lardizabal, R. Leoni III, S. Kang, R. Wohlert, A. Bowlby, W. Hoke, R. McTaggart, C. Whelan, P. Lemonias, P. McIntosh, and T. Kazior, "Low noise metamorphic HEMT devices and amplifiers on GaAs substrates," in IEEE Microwave Theory and Techniques Symp. Dig. Papers, 1999, pp. 105–108.
- [4] Y. Greshishchev, P. Schvan, J. L. Showell, M.-L. Xu, J. J. Ojha, and J. E. Rogers, "A fully integrated SiGe receiver IC for 10-Gb/s data rate," IEEE J. Solid-State Circuits, vol. 35, pp. 1949–1957, Dec. 2000.
- [5] J. Cao, M. Green, A. Mortaz, K. Vakilian, D. Chung, K.-C. Jen, M. Caresosa, X. Wang, W.-G. Tan, Y. Cai, I. Fujimori, and A. Hairapetian, "OC-192 transmitter and receiver in standard 0.18-gm CMOS," IEEE J. Solid-State Circuits, vol. 37, pp. 1768–1780, Dec. 2002.

- [6] H.-T. Ahn and D. J. Allstot, "A 0.5–8.5-GHz fully differential CMOS distributed amplifier," *IEEE J. Solid-State Circuits*, vol. 37, pp. 985–993, Aug. 2002.
- [7] R.-C. Liu, K.-L. Deng, and H. Wang, "A 0.6–22-GHz broadband CMOS distributed amplifier," in *IEEE Radio Frequency Integrated Circuits Symp. Dig. Papers*, 2003, pp. 103–106.
- [8] B. M. Ballweber, R. Gupta, and D. J. Allstot, "A fully integrated 0.5–5.5-GHz CMOS distributed amplifier," *IEEE J. Solid-State Circuits*, vol. 35, pp. 231–239, Feb. 2000.
- [9] Aly Ismail and Asad A. Abidi, "A 3–10-GHz Low-Noise Amplifier With Wideband LC-Ladder Matching Network" *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 39, NO. 12, DECEMBER 2004.
- [10] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 1<sup>st</sup> ed. New York: Cambridge Univ. Press, 1998.
- [11] J. del Pino, S.L. Khemchandani, A. Hernández, J.R. Sendra, J. García, B. González, and A. Nunez "The Impact of Integrated Inductors on Low Noise Amplifiers" *XVIII Design of Integrated Circuits and Systems Conference*, 2003.

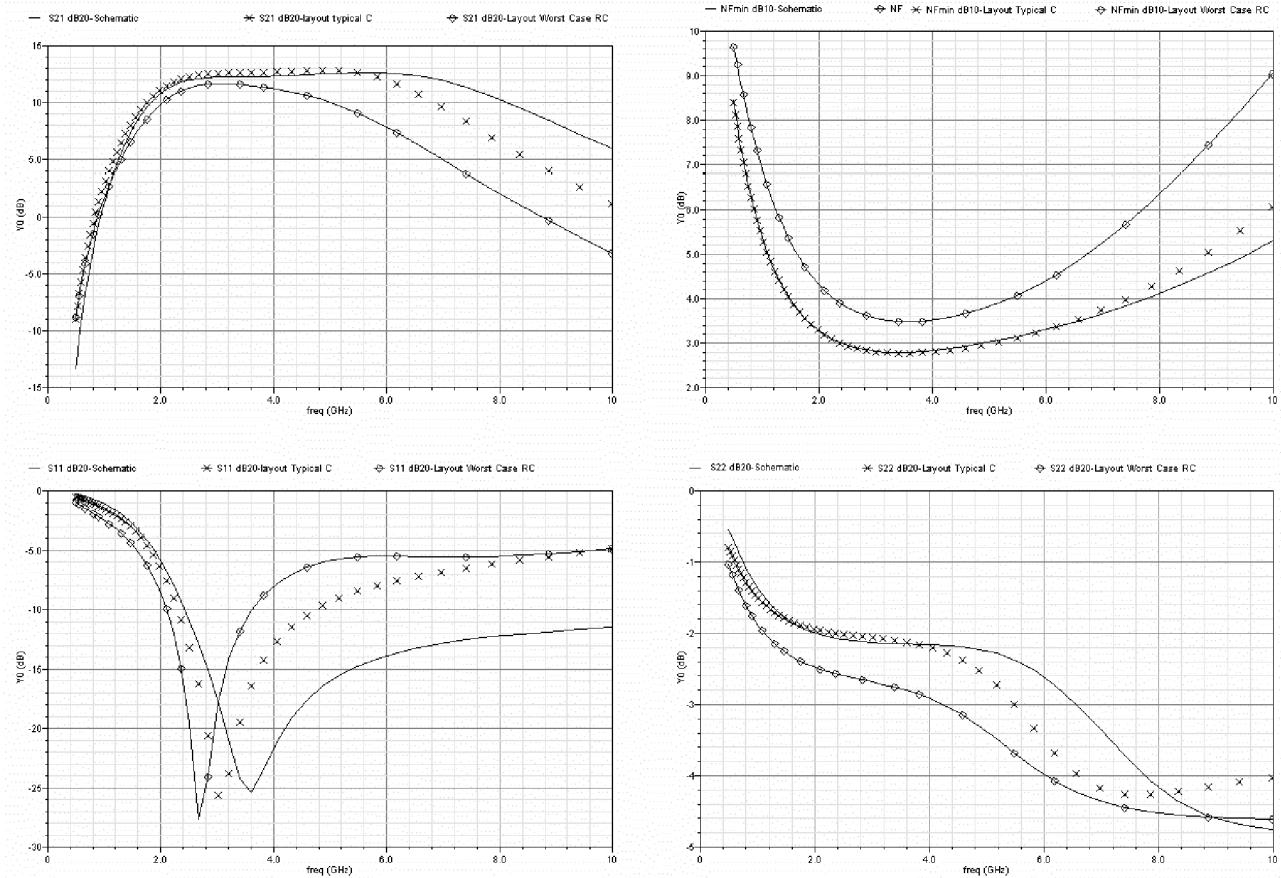


Fig. 7. Post layout results.