

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
DEPARTAMENTO DE ELECTRÓNICA Y TELECOMUNICACIÓN



TESIS DOCTORAL

**MODELADO DEL TIEMPO DE PROPAGACIÓN PARA ANÁLISIS Y
VERIFICACIÓN TEMPORAL DE CIRCUITOS DCFL EN GAAS**

ANTONIO HERNÁNDEZ BALLESTER

Las Palmas de Gran Canaria, Diciembre de 1992



BIBLIOTECA UNIVERSITARIA	
LAS PALMAS DE G. CANARIA	
N.º Documento	<u>220.187</u>
N.º Copia	<u>342.007</u>

06-1992/93

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

UNIDAD DE TERCER CICLO Y POSTGRADO

Reunido el día de la fecha, el Tribunal nombrado por el Excmo. Sr. Rector Magfco. de esta Universidad, el aspirante expuso esta TESIS DOCTORAL.

Terminada la lectura y contestadas por el Doctorando las objeciones formuladas por los señores jueces del Tribunal, éste calificó dicho trabajo con la nota de **APTO CON LAUDE POR UNANIMIDAD**
Las Palmas de G. C., a 16 de Diciembre de 1992

El Presidente: Dr. D. Elías Muñoz Merino,

El Secretario: Dr. D. Roberto Sarmiento Rodríguez,

El Vocal: Dr. D. Juan Meneses Chaus,

El Vocal: Dr. D. Manuel-J. Betancor García,

El Vocal: Dr. D. Blas-Pablo Dorta Naranjo,

El Doctorando: D. Antonio Hernández Ballester,



**UNIVERSIDAD DE
LAS PALMAS DE GRAN CANARIA
E. T. S. I. TELECOMUNICACIÓN**



TESIS DOCTORAL

**Modelado del tiempo de propagación para
análisis y verificación temporal de circuitos
DCFL en GaAs**

**Autor: D. Antonio Hernández Ballester
Director: Dr. D. Antonio Núñez Ordóñez
Departamento de Electrónica y Telecomunicación
Diciembre 1992**

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
DOCTORADO EN INGENIERÍA DE TELECOMUNICACIÓN
DEPARTAMENTO DE ELECTRÓNICA Y TELECOMUNICACIÓN

Modelado del tiempo de propagación para análisis y verificación
temporal de circuitos DCFL en GaAs

Tesis Doctoral presentada por D. Antonio Hernández Ballester
Dirigida por el Dr. D. Antonio Núñez Ordóñez

El Director,



El Doctorando,



Las Palmas de Gran Canaria a 16 de Diciembre de 1992

RESUMEN

En esta memoria se presentan los resultados de las investigaciones realizadas en el campo del análisis y verificación temporal de circuitos lógicos implementados en la familia DCFL/SDCFL sobre Arseniuro de Galio. Los tres primeros capítulos sientan las bases para las aportaciones de esta tesis que se desarrollan en los capítulos 4, 5, 6 y 7.

En el capítulo 1 se expone el estado del arte en este tema y los objetivos del presente trabajo. Se revisan y comentan los modelos para análisis temporal existentes en la literatura así como los programas y técnicas de análisis más frecuentemente utilizadas en la actualidad.

El capítulo 2 se dedica a presentar los modelos de transistores MESFETs. Se hace una especial referencia a los implementados en HSPICE.

En el capítulo 3 se revisa el funcionamiento de la familia lógica directamente acoplada. Se discute las prestaciones de la familia lógica y se dan curvas de las que se deducen sus propiedades más relevantes.

El capítulo 4 se dedica a presentar un modelo analítico de la respuesta transitoria de las puertas de la familia lógica del que se obtienen conclusiones respecto a su funcionamiento temporal. Con este modelo se puede deducir la influencia de los parámetros físicos y tecnológicos sobre el tiempo de propagación.

El capítulo 5 es el central de esta memoria, en él se presenta el modelo propuesto de estimación del tiempo de propagación de las puertas de la familia. El modelo consiste en una formulación polinómica en la que el retraso se expresa como función de las dimensiones de las puertas, las condiciones de carga y las señales de excitación. Se introduce el concepto de colisión asociado a las situaciones en las que las formas de onda de entrada a una puerta de múltiples entradas conmutan próximas en el tiempo. Se demuestra cómo es significativa la influencia de las colisiones y se propone un nuevo modelo de los efectos sobre el retardo de introducido por las puertas en la operación del circuito.

El capítulo 6 trata sobre conceptos de análisis y verificación temporal, se presentan los algoritmos, las técnicas de evaluación básicas y las herramientas desarrolladas para realizar estimaciones sobre el funcionamiento temporal de la familia.

En el capítulo 7 se presentan los resultados que muestran la bondad del modelo y de las técnicas presentadas en capítulos anteriores. Se analizan varios circuitos en distintas condiciones de operación y se comparan las estimaciones realizadas por HSPICE con las del analizador/verificador temporal que se desarrolla en el capítulo anterior.

Finaliza esta memoria con el capítulo 8 en el que se exponen las conclusiones y las líneas abiertas por este trabajo de investigación. La conclusión central es la aportación de un modelo para realizar análisis temporal sobre circuitos implementados con la familia lógica DCFL/SDCFL y la herramienta prototipo específica para su utilización. Una herramienta de estas características no ha sido presentada anteriormente.

AGRADECIMIENTOS

Las páginas que conforman esta memoria son fruto del esfuerzo de unos y del apoyo de otros.

Me permitiré no hacer una exposición exhaustiva de todos los nombres de aquellos a quienes debo, de una u otra manera, el que este documento supere el umbral que separa los mundos de la ilusión y de la realidad aparente. De otro modo incurriría, con seguridad, en la injusticia de olvidar algún nombre.

Agradezco a Antonio Núñez, quien me condujo, haber depositado su confianza y la semilla del conocimiento en este campo que nos ha mantenido y nos mantendrá ocupados.

A Luis doy las gracias por soportar tantas horas de discusión y aquellas ecuaciones trascendentes (¿o resultaron ser intrascendentes?). Gracias por compartir los momentos de desasosiego, los de euforia y ...

Gracias R. Esper-Chain por tu entrega y diligencia.

A los chicos de PATMOS, a los de la primera y a los de la segunda. Muchas gracias.

Hay además personas a las que he de agradecer tantas cosas...Mi familia. Y Patri con quien tanto quiero.

*...nos autem ea quae sunt in usu vitaeque
communi, non ea quae figuntur aut optantur,
expectare debemus.*

(M. T. Cicero, De Amicitia, V)

A Patri

ÍNDICE

RESUMEN	v
AGRADECIMIENTOS	vii
ÍNDICE	xiii
CAPÍTULO 1	
INTRODUCCIÓN	1
1.1.- Estado actual del tema.	2
1.1.1.- Introducción.	2
1.1.2.- Modelos de retraso temporal en simuladores digitales.	6
1.2.- Planteamiento y objetivos.	15
CAPÍTULO 2	
MODELOS DE MESFETs EN SPICE	17
2.1.- Introducción	17
2.2.- Modelos circuitales en dc	19
2.2.1.- Modelo de Curtice	20
2.2.2.- Modelo de Statz	20
2.2.3.- Modelos analíticos de Shur	21
2.2.3.1.- Modelo de la ley cuadrada	22
2.2.3.2.- Modelo completo de velocidad de saturación	22
2.2.4.- Modelos de HSPICE	23
2.3.- Modelos circuitales para análisis transitorio	24
2.3.1.- Modelo de capacidades de Statz	25
2.3.2.- Modelo de capacidades de HSPICE	26
2.4.- Dependencia de los parámetros de SPICE con la temperatura.	27
2.5.- Conclusiones	29
CAPÍTULO 3	
FAMILIA LÓGICA DIRECTAMENTE ACOPLADA	31
3.1.- Introducción.	31
3.1.1.- Familia lógica directamente acoplada (DCFL).	33
3.1.2.- Familia con seguidor de fuente (SDCFL).	36

3.2.- Análisis.	38
3.2.1.- Familia DCFL.	39
3.2.2.- Familia SDCFL.	43
3.2.3.- Influencia de la temperatura sobre el funcionamiento de la lógica.	45

CAPÍTULO 4

MODELO ANALÍTICO DE LA RESPUESTA TRANSITORIA DE PUERTAS DCFL	49
4.1.- Introducción.	49
4.2.- Modelo circuital. Planteamiento de la ecuación dinámica.	51
4.3.- Simplificación de la solución. Parámetros heurísticos.	57
4.3.1.- Definición de rampa equivalente.	60
4.4.- Resultados.	61
4.5.- Conclusiones.	63

CAPÍTULO 5

FORMULACIÓN DE RETRASOS	67
5.1.- Definiciones.	68
5.2.- Formulación.	71
5.3.- Variables independientes.	74
5.3.1.- Estimación de las pendientes de entrada (T_I).	75
5.3.2.- Cálculo del parámetro de carga (C_I).	75
5.3.2.1.- Modelo de carga a las puertas lógicas.	76
5.3.2.2.- Obtención de la capacidad de carga (C_I).	77
5.3.3.- Cálculo del parámetro β (relación de aspecto).	81
5.4.- Precaracterización.	81
5.4.1.- Uniformidad del diseño.	81
5.4.2.- Intervalos de variación de las variables.	82
5.4.3.- Procedimiento de precaracterización.	84
5.4.4.- Algoritmo de precaracterización.	85
5.5.- Puertas lógicas de múltiples entradas. Colisiones.	87
5.5.1.- Introducción.	87
5.5.2.- Modelo.	92
5.5.2.1.- Definición de la relación de aspecto equivalente de una puerta NOR2.	93
5.5.2.1.1.- Aproximación lineal.	93
5.5.2.1.2.- Aproximación polinómica.	95
5.5.2.1.3.- Comparación de resultados.	97

5.5.2.2.- Procedimiento de estimación del desfase.	98
5.5.2.3.- Pendiente de entrada equivalente.	100
5.6.- Introducción de los efectos de la temperatura.	102
5.7.- Limitaciones.	103
 CAPÍTULO 6	
ANÁLISIS Y VERIFICACIÓN TEMPORAL	107
6.1.- Introducción.	107
6.2.- Descripción circuital.	108
6.3.- Extractor circuital desde SPICE.	110
6.4.- Evaluación de retrasos.	114
6.4.1.- Conceptos de teoría de grafos en descripción y análisis circuital.	116
6.4.2.- Evaluación sin especificación de vectores de entrada.	119
6.4.3.- Evaluación con especificación de vectores de entrada.	122
6.4.3.1.- Verificador prototipo.	125
6.4.4.- Evaluación mixta.	127
6.5.- Concatenación frente a abstracción. Macromodelos.	127
6.6.- Conclusiones.	130
 CAPÍTULO 7	
VALIDACIÓN	131
7.1.- Primer ejemplo. Cadena de inversores.	132
7.2.- Segundo ejemplo. Multiplicador de dos bits.	135
7.3.- Tercer ejemplo. Sumador de acarreo anticipado.	140
7.4.- Conclusiones.	145
 CAPÍTULO 8	
CONCLUSIONES Y LÍNEAS ABIERTAS	147
8.1.- Conclusiones.	147
8.2.- Líneas abiertas.	150
 REFERENCIAS	153

CAPÍTULO 1

INTRODUCCIÓN

La creciente complejidad de los circuitos integrados, tanto los analógicos como los digitales, ha propiciado la demanda de programas de simulación. Esta demanda, junto con la reducción de los costos de la computación, han sido responsables de la puesta en acción de multitud de grupos de investigación para el desarrollo de modelos y algoritmos de simulación de circuitos integrados, fundamentalmente desde el inicio de los años setenta. En nuestro días, están disponibles una gran variedad de herramientas de análisis, diseño y verificación. Existen incluso sistemas expertos de síntesis. El interés en este campo es creciente, de hecho todas las concepciones y los diseños son previamente simulados e incluso creados con alguna de estas herramientas.

Inicialmente, las herramientas que interesaron a los diseñadores fueron los simuladores lógicos y los simuladores de circuitos. Los simuladores lógicos realizaban operaciones booleanas. Podían manejar circuitos digitales relativamente grandes. En cualquier caso, no ofrecían información relativa al funcionamiento temporal.

La simulación de circuitos se extendió con la difusión del simulador de propósito general SPICE (*Simulation Program with Integrated Circuit Emphasis*) [Nagel75]. Este programa se ha convertido en dominante en todas las aplicaciones gracias a que fue profusamente testado en la industria y distribuido a muy bajo coste.

Pronto se notó que la simulación de circuitos era muy lenta cuando se precisaba predecir el funcionamiento de circuitos relativamente complejos. En el año 1975, los Bell Laboratories anunciaron MOTIS (*MOs circuit Timing Simulator*) [ChGuK75]. Este programa utilizaba técnicas basadas en tablas para los modelos de los transistores MOS. Gracias a que era exclusivo para estos transistores, pudieron implementarse algoritmos basados en métodos de relajación de la forma de onda, de manera que este programa predice con gran precisión las formas de onda tanto de las señales de corriente como de las señales de tensión mucho

más rápidamente que un simulador de circuitos de carácter general.

Mientras, la simulación lógica no era suficiente para describir el funcionamiento de los transistores de paso. Así, surgen los simuladores a nivel de interruptor (*switch-level simulators*) en los que el transistor MOS se representa como un interruptor cuyo estado se controla vía la tensión de puerta del transistor. El estado del interruptor puede ser de conducción (*on*), corte (*off*) o el estado indefinido. La predicción temporal se realiza estimando el valor de la capacidad a tierra de cada nudo del circuito y sustituyendo los transistores por resistencias equivalentes. Si bien estas técnicas son muy rápidas en tiempos de cómputo (típicamente las operaciones requeridas se realizan dos o tres órdenes de magnitud más rápido que un simulador de propósito general) pueden dar resultados de error apreciable.

En la presente memoria se analiza uno de los aspectos de los procesos de análisis y diseño. En particular se presentará un modelo de retraso temporal con el que realizar análisis y verificación temporal. El análisis temporal ha recibido mucha atención especialmente en los últimos años. Así, en el presente capítulo se repasa a grandes rasgos la literatura existente relativa a los modelos para análisis temporal de circuitos digitales, incidiendo en lo posible en aquellas contribuciones que de alguna forma han introducido ideas nuevas al respecto.

En lo que sigue se pretende enmarcar el tema que ha motivado esta tesis dentro del amplio campo de la simulación. Se dará una clasificación de las distintas disciplinas que conforman este área hasta situar la tarea realizada en la formulación de los tiempos de propagación. En ese punto se presentan los modelos más significativos que han sido desarrollados y que también ellos pueden clasificarse atendiendo a distintos criterios diferenciadores. Hecho esto se especifican cuáles son las motivaciones del trabajo presentado en esta memoria así como los objetivos planteados en la ejecución del mismo.

1.1.- Estado actual del tema.

1.1.1.- Introducción.

El ciclo de diseño de un circuito integrado puede, a grandes rasgos, descomponerse en tres fases. Comienza con una descripción funcional de alto nivel del circuito a integrar. Esta descripción está basada en especificaciones del usuario.

En la fase llamada de síntesis, se descompone la descripción de alto nivel en otras a nivel de registro y a nivel de transistor (nivel eléctrico). Finaliza con la descripción a nivel de máscara, *layout*. Las herramientas *software* de ayuda al diseño que aceleran esta fase se denominan compiladores de silicio.

Continúa el ciclo con la fase de verificación en la que una herramienta *software*, llamada extractor, se utiliza para a partir del *layout* obtener una descripción a nivel de circuito. En este punto es cuando son necesarias las herramientas de simulación. La verificación del producto se subdivide a su vez en tres partes fundamentales [Hitch82], verificación funcional, verificación del diseño físico y verificación temporal.

En la verificación funcional el circuito es simulado para comprobar que se ajusta a las especificaciones dadas en la primera fase de descripción funcional. La verificación del diseño físico consiste en comprobar que ciertas restricciones se satisfacen. Las herramientas utilizadas para ejecutar esta tarea se denominan comprobadores de las reglas de diseño (*design rule checkers*) y comprobadores de las reglas eléctricas (*electrical rule checkers*). Por último, en la verificación temporal se validan los retrasos de los caminos (desde entradas primarias o elementos de almacenamiento hasta salidas primarias o elementos de almacenamiento) con objeto de poder asegurar que no son ni demasiado largos ni demasiado pequeños. También se chequean los pulsos de reloj comprobando que no sean demasiado anchos ni demasiado estrechos. Con esta fase se completa el ciclo de diseño. Si en la fase de simulación se detecta alguna desviación respecto a las especificaciones iniciales, se repite el ciclo.

La verificación temporal es la fase más lenta del ciclo de diseño. En ella es donde se requieren simuladores que al tiempo han de ser precisos y rápidos. Sin embargo, estos dos criterios son normalmente antagónicos. Se demandan soluciones de compromiso entre precisión y velocidad de cómputo.

La mayoría de los simuladores de circuitos integrados pueden clasificarse como pertenecientes a dos categorías, los simuladores analógicos y los simuladores digitales. Los analógicos consideran un circuito electrónico como un sistema dinámico continuo con señales eléctricas tales como corrientes y tensiones. Los simuladores digitales toman el circuito como una red digital en la que las señales ocupan estados discretos ('0' y '1'). Existen herramientas que se enmarcan en puntos intermedios entre ambas alternativas, que sin embargo, no han conseguido gran difusión.

Los simuladores analógicos operan resolviendo las ecuaciones dinámicas que describen los distintos elementos presentes en el diseño. Con ellos es posible predecir tanto la respuesta

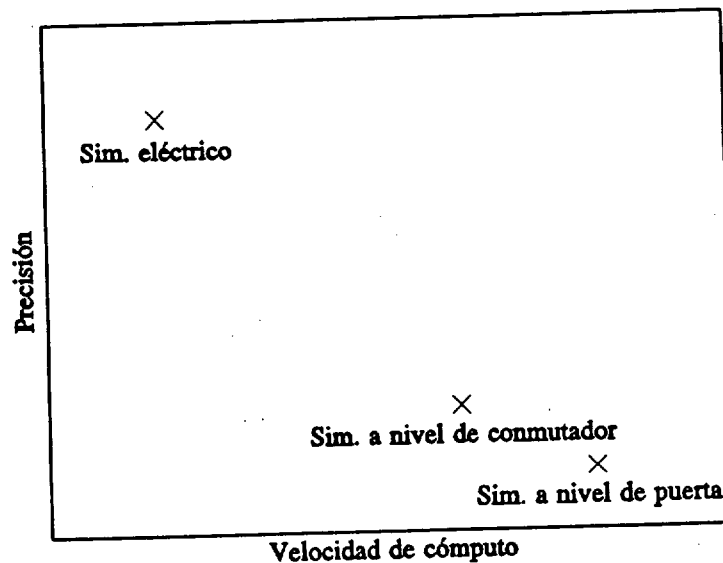


Fig. 1.1. Comparación de las prestaciones de los simuladores.

transitoria como la correspondiente al estado estacionario, con errores pequeños si los modelos de los dispositivos son lo suficientemente precisos. El tiempo de CPU requerido por el simulador aumenta de manera exponencial con el número de nudos del circuito en fase de verificación. Esto implica que para circuitos con un número ligeramente grande de nudos se deba esperar mucho tiempo antes de disponer de los resultados. La contrapartida es la precisión de la herramienta. De modo que es útil para circuitos pequeños donde los niveles de tensión o corriente analógicos sean críticos o donde los acoplamientos sean muy importantes. Ejemplos de simuladores analógicos son SPICE2 [Nagel75] y ASTAP [WeJiM73].

Para acelerar el procedimiento de cálculo han sido desarrolladas técnicas de descomposición, resultando en una nueva generación de simuladores analógicos [YaHaT80], [RaSaH79], [ChGuK75], [FaHsN77], [ChLoN84], [WeHaT82], [Lelar81], [LeRuS82], [WhiSa83]. En cualquier caso están limitados a circuitos con como mucho diez mil dispositivos.

La velocidad de cómputo de los simuladores digitales es, en general, suficiente como para testar sistemas VLSI enteros, ya que el funcionamiento de los circuitos se modela a nivel lógico en vez de a un nivel eléctrico detallado. Por lo tanto, estos simuladores no predicen la respuesta dinámica de los circuitos. Se utilizan para dar cuenta de la respuesta en estado estacionario.

Los simuladores digitales pueden ser a su vez clasificados como pertenecientes a dos

grandes subgrupos, los simuladores booleanos a nivel de puerta (*gate level simulators*) [Case75], [Szyge72], [JeMcV69] y los simuladores a nivel de interruptor (*switch level simulators*) [SesFr62], [Ulric69], [SzyTh76], [Wilco79], [Bryan80], [Bryan81], [ByHaL85], [Ramac83A].

En los simuladores booleanos a nivel de puerta un circuito se modela como un conjunto de puertas lógicas conectadas por líneas de metal sin memoria. Las puertas lógicas realizan operaciones booleanas con las señales a sus entradas y transmiten los resultados a lo largo de las líneas de metal hacia las entradas de otras puertas. Así, la entrada a una puerta posee una única fuente de señal. La información se almacena exclusivamente en los lazos de realimentación de los circuitos secuenciales. Los modelos de puertas de estos simuladores no pueden describir algunas de las nuevas tecnologías de diseño VLSI.

Por su parte, los simuladores a nivel de interruptor utilizan modelos de circuito basados en conjuntos de nudos conectados por llaves. Cada nudo se puede encontrar en un número discreto de estados y cada llave en uno de otros tres estados (corte, conducción o estado desconocido).

En las técnicas a nivel de interruptor se actúa directamente sobre el transistor. Esta operación permite detectar muchas propiedades del circuito que son invisibles a la simulación a nivel de puerta, tales como bidireccionalidad (o flujo de señal), efectos de reparto de cargas y dimensiones de los transistores. A diferencia del caso de simuladores eléctricos, las tensiones en los nudos se representan por niveles lógicos discretos y los transistores por llaves resistivas bidireccionales. Las tensiones en los nudos admiten uno de los siguientes valores: '0', correspondiente a la situación de nivel bajo de tensión, '1', nivel alto de tensión y 'X' para el nivel intermedio o desconocido, esto es, un valor del intervalo (0,1). En algunos casos se admiten estados de alta impedancia (Z).

El control en el modelo de transistor por llaves resistivas se realiza mediante el nivel existente en el terminal de puerta. En el caso MOS, un transistor de canal n conduce si la tensión de puerta es '1' y uno tipo p lo hace si la tensión de puerta es '0'. Los transistores pueden tener asociados valores de "fuerza" (*strength values*) discretos dependiendo de sus conductancias cuando se hallan es estado de máxima conducción. Esto se hace con objeto de dar cuenta del funcionamiento de la lógica "proporcionada" (*ratioed logic*).

En la mayoría de los simuladores a nivel de interruptor el circuito se divide en subcircuitos conectados por el canal de los transistores. La partición puede realizarse de forma estática antes de proceder a la simulación propiamente dicha o de forma dinámica en

cada iteración considerando sólo los transistores de conducción. La interacción entre subcircuitos se da exclusivamente en los terminales de puerta de los transistores.

Existe, además, una categoría intermedia de simuladores de circuitos integrados VLSI. Se denominan "simuladores en modo mixto" (*mixed-mode simulators*). Surgieron como un intento de implementar una herramienta con la velocidad y eficiencia de los simuladores lógicos, manteniendo la precisión y detalle de un simulador analógico. Algunos de ellos se describen en [Newto79], [ArnMa78] y [SakDi80].

En la mayor parte de los casos no se precisa el nivel de detalle dado por los simuladores analógicos para todo un circuito digital sino sólo de ciertas partes críticas. En un simulador en modo mixto están disponibles varios modelos de elementos de circuito, desde los más precisos, correspondientes a los modelos de dispositivos implementados en los simuladores analógicos, hasta los poco precisos a nivel de puerta o de interruptor. El diseñador puede reducir el tiempo de simulación seleccionando el modelo menos costoso allí donde se requiera poca precisión. También pueden ser seleccionadas combinaciones de modelos y técnicas de análisis, cubriendo desde la simulación temporal y de circuitos hasta la simulación digital en el mismo programa. La reducción en tiempo de cómputo es de uno o dos órdenes de magnitud con requerimientos de memoria substancialmente inferiores respecto a los simuladores analógicos.

Sin embargo, los simuladores en modo mixto sólo son ventajosos en aquellos casos en los que se precisa simular como analógicos partes pequeñas y aisladas del circuito. La división del circuito en las secciones de simulación analógica no es automática. Es más, las aproximaciones necesarias en las entrefases de las zonas que requieren simulación analógica y aquellas que sólo precisan simulación digital, con objeto de combinarlas en un solo programa resultan insatisfactorias (así, por ejemplo, en el proceso de conversión de una señal digital en otra analógica se introducen errores significativos).

1.1.2.- Modelos de retraso temporal en simuladores digitales.

La utilidad de los simuladores digitales depende en gran medida de la consistencia y precisión con las que pueden modelar el funcionamiento lógico en un amplio rango de técnicas disponibles. Lo mismo es aplicable al caso en el que el propósito de la simulación es la verificación de las restricciones temporales impuestas o el análisis de las prestaciones temporales de grandes circuitos lógicos. En ese caso es preciso implementar en los simuladores lógicos algún modelo de cálculo del retraso que sufren las señales al propagarse.

Los simuladores resultantes pueden denominarse analizadores o verificadores temporales.

La simulación temporal de un circuito digital a nivel de interruptor ha sido definida en [RaoOv89]. La definición puede extenderse al caso general de simulación temporal, es la siguiente: considerar la forma de onda analógica $V_n(t)$, con $t \in [t_0, t_f]$ en un cierto nudo n de un circuito digital. Sean $p-1$ valores de tensión de umbral ordenados como $v_1 < v_2 < \dots < v_{p-1}$. Se define el estado digital p , equivalente a V_n como

$$X_n(t) = x_i \text{ si } v_i < V_n(t) \leq v_{i+1} \text{ con } i=0, \dots, p-1$$

donde $x_0, x_1, \dots, x_{p-1}$ son los p estados digitales y v_0, v_p el mínimo y el máximo valores de la señal analógica respectivamente. Se define también

$$T_n = \{t_k / V_n(t_k) \in \{v_1, v_2, \dots, v_{p-1}\}\}$$

como el conjunto instantes umbrales de cruce con la forma de onda analógica en el nudo n del circuito, o alternatively, el conjunto de instantes en los que hay transición del estado digital equivalente, p . El objeto de la simulación temporal es la obtención de los p estados digitales equivalentes, X_n , para cada nudo que sea de interés al usuario destacando el cómputo preciso de los instantes umbrales de cruce.

En la literatura existente relativa a los modelos temporales que resuelvan el problema puede encontrarse formulaciones para distintas familias lógicas fundamentalmente para las TTL, ECL, EDMOS, NMOS, CMOS y BiCMOS. Se presentan diversas alternativas de cómputo de los retrasos.

Una posible clasificación de los modelos disponibles consiste en agruparlos atendiendo a la forma de las funciones de retraso como pertenecientes a una de las cuatro categorías siguientes: modelos de retraso unidad, modelos basados en tablas empíricas, modelos RC y modelos analíticos.

I. Modelos de retraso unidad.

En los modelos de retraso unidad se asigna a todas las puertas lógicas el mismo valor de retraso de propagación. Algunos simuladores a nivel de puerta operan bajo este esquema con objeto de manipular circuitos secuenciales. Otros simuladores permiten que el usuario especifique los valores del retraso de algunas de las puertas del circuito.

En ambos casos los valores del tiempo de propagación obtenidos sólo pueden ser múltiplos enteros de cierto tiempo de propagación fundamental. Este tiempo fundamental se denomina con frecuencia "tiempo resoluble mínimo" (*minimum resolvable time, MRT*). La información se obtiene en forma de señales en dos estados introduciendo la dinámica del problema simplemente retrasando las transiciones el valor especificado del tiempo de propagación. En general, estos modelos de estimación del retraso introducen errores considerables en el cálculo pues se ignoran las dependencias con otros parámetros de circuito como las capacidades de carga a las puertas, "fuerza" de los dispositivos, pendientes de entrada (*input slew-rates*) y otros factores.

II. Modelos basados en tablas empíricas.

En este grupo de modelos se han incluido aquellos en los que es parte fundamental de los mismos el proceso de precaracterización, entendido como la fase previa a la utilización del modelo propiamente dicho en la que se generan, por simulación o mediante medidas, tablas de datos que, posteriormente, serán el soporte del cálculo de resultados. El método basado en árboles RC podría considerarse como de este grupo, sin embargo, dada la gran variedad de modelos de esta clase se entiende que merecen un tratamiento aparte.

Este tipo de modelos son ampliamente utilizados en la construcción de modelos de dispositivos para simuladores eléctricos [Meije90]. Su ventaja principal es la rapidez de computación. Con ellos se obtiene una precisión aceptable al aplicarlos en la predicción de la respuesta de circuitos implementados con dispositivos previamente caracterizados.

En la estimación del retraso, las tablas son usualmente construidas a partir de simulaciones eléctricas (tipo SPICE). Así, Rao y sus colaboradores [RaTrH83] las utilizaron para definir operadores de retraso en el caso de circuitos CMOS.

Una alternativa en la que se requiere menos memoria a la hora de evaluar los tiempos de propagación fue propuesta por Jun [JunJu88], [JuJuP89]. En estos artículos las tablas generadas a partir de simulación eléctrica se ordenan y sufren un proceso de ajuste a una función polinómica. Los modelos obtenidos son de aplicación a circuitos NMOS y CMOS. Las variables independientes en la metodología son las pendientes de entrada a las puertas, las capacidades de carga y las dimensiones de los inversores. En su comunicación se asegura que el error medido con este método es del 5%, una figura que supera ampliamente a los métodos anteriores.

En el artículo se definen reglas para la inclusión de puertas de múltiples entradas. Sin embargo, no se detallan expresiones con las que introducir las colisiones.

Este tipo de formulaciones tienen la ventaja de su flexibilidad, es decir, a priori, son aplicables los métodos a cualquier familia lógica si es posible definir con precisión los parámetros que se utilizan como variables independientes.

III. Modelos RC.

En estos modelos un transistor (usualmente MOS) se considera como un resistor lineal y a cada nudo se asocia una capacidad, también lineal, a tierra. Como resultado se da cuenta del funcionamiento dinámico a través de modelos RC. De hecho se estima el tiempo de propagación en base a la constante de tiempo si se produce transición en los nudos.

Los modelos RC se hicieron populares en la segunda mitad de la década de los 70 en base a contribuciones como las de Bryant [Bryan80] y Hayes [Hayes82]. Penfield y Rubinstein [PenRu81], [RuPeH83] introducen los conceptos de evaluación de los retrasos por redes RC utilizando cotas máximas y mínimas de retraso, y proponen expresiones para el cálculo del retraso máximo y mínimo. Los modelos fueron ampliados con las contribuciones de Yu y sus colaboradores [YuWyZ85] a circuitos conteniendo lazos de resistores. Bajo este esquema se redujeron los límites superior e inferior del intervalo de valores de retraso. Lin y Mead [LinMe84] extienden el método para incluir las pendientes en la evaluación de los tiempos de propagación. Chu y Horowitz [ChuHo87] desarrollaron un modelo con dos polos que incluye efectos de repartición de cargas en los nudos (este problema se encuentra desarrollado en una contribución de Tjörnström [Tjarn90]). Para presentar sucintamente el modelo se menciona en los párrafos siguientes la forma en que computan los retrasos dos analizadores temporales a nivel de interruptor bastante conocidos.

Así, en el simulador RSIM [Terma83] se predice el estado lógico de un nudo y se usa una constante de tiempo RC para estimar los tiempos de propagación si el nudo cambia de estado. El modelo de transistor en RSIM es una resistencia de valor controlado por la tensión de puerta, R_{ds} entre los terminales de drenador y fuente. Cuando la llave está cortada se toma el valor de esta resistencia como el de cierta resistencia efectiva, $R_{ds} = R_{ef}$, cuando está abierta $R_{ds} = \infty$ y en el estado desconocido (esto es, cuando la tensión de puerta es X) R_{ds} se describe por un intervalo $[R_{ef}, \infty)$.

La resistencia efectiva, R_{ef} , se calcula separadamente para cada transistor en función

de la anchura y longitud del dispositivo, el tipo de transistor y otros parámetros. La selección de la resistencia efectiva se realiza una vez por cada transistor y esta es la única información relativa al dispositivo que se maneja.

Como se ha indicado con anterioridad, las tensiones en los nudos están cuantizadas (0, 1 y X), se eligen en función de dos valores umbral, V_{low} y V_{high} .

La influencia de una red resistiva sobre un nudo determinado se modela vía el circuito Thevenin equivalente. Los valores V_{Thev} y R_{Thev} se calculan en base a aproximaciones tipo serie paralelo. En función del valor de la tensión V_{Thev} se toma la decisión sobre el nuevo estado del nudo. Si el estado difiere del anterior al cálculo, se produce una transición y la señal es retrasada el valor $R_{Thev} \cdot C_{load}$, siendo C_{load} la capacidad de carga neta del nudo de salida.

Se utilizan tres valores de resistencia, uno estático para el cálculo de V_{Thev} y los otros dos dinámicos, para determinar los retrasos en las transiciones de subida y bajada por separado. Los valores de éstas resistencias se obtienen en una fase de "presimulación" utilizando un simulador de circuitos como SPICE [Nagel75].

En CRYSTAL [Ouste85], otro simulador a nivel de interruptor muy difundido para circuitos NMOS y CMOS se utiliza el mismo tipo de modelo RC en la estimación del retraso. CRYSTAL computa un valor de resistencia y de capacidad para cada transistor así como un valor de resistencia parásita y otro de capacidad parásita para cada nudo del circuito. De nuevo, en este verificador temporal las propiedades temporales de las construcciones básicas se obtienen por simulación con SPICE. Los resultados se agrupan en tablas de datos.

Están implementados distintos modelos que utilizan diferentes mecanismos de suma de los retrasos y de los valores de las resistencias, que generan resultados de precisión y complejidad seleccionables.

La aproximación más sencilla consiste en un modelo RC de parámetros concentrados. Con este modelo cada transistor se caracteriza por dos valores de resistencia expresadas en ohmios por cuadro. Uno de los dos valores da cuenta del caso en que el transistor se halle en corte y el otro se utiliza para modelar el estado de conducción. Los valores se multiplican por la razón longitud/anchura para obtener la resistencia efectiva.

Las resistencias se obtienen, como se ha mencionado, en una fase de precaracterización. En ella se excitan las puertas con señales escalón, se mide el retraso de

las mismas y se obtienen las resistencias dividiendo el valor del retraso por el de la capacidad de carga correspondiente. En la evaluación del tiempo de propagación de una "etapa" (en CRYSTAL una etapa es una cadena de llaves fruto de una partición del circuito) se suponen los elementos dispuestos de manera concentrada y se calcula el retraso como el producto de la suma de los valores de las capacidades y el de la suma de las resistencias de la etapa.

Para introducir de una forma simple los efectos de las pendientes de las señales de excitación está disponible el modelo de pendiente concentrada. En este modelo se asume que las formas de onda son exponenciales. Se define el tiempo de subida intrínseco de una etapa y el concepto de razón de tiempos de subida que permite introducir los efectos de pendientes mencionados. En este modelo se utilizan tablas de resistencias que dependen de la razón de tiempos de subida. Durante el análisis las pendientes efectivas se obtienen por interpolación.

Por último se utiliza el llamado modelo de pendientes distribuidas en la evaluación del retraso en etapas compuestas. En este modelo se emplean valores promedios de cotas superiores e inferiores de los parámetros, obtenidos como los anteriores.

Este tipo de modelos de redes RC han mostrado su eficacia en circuitos implementados con transistores MOS. Los errores que se mencionan en la bibliografía se hallan en el intervalo [10%, 40%]. Sin embargo, no son precisos al aplicarlos a familias lógicas basadas en otro tipo de dispositivo base.

IV. Modelos analíticos.

En la estimación del retraso de circuitos digitales es deseable una formulación constituida por soluciones cerradas de las ecuaciones dinámicas que describen el funcionamiento de los bloques básicos del circuito. Las expresiones contendrán, como parámetros, valores con una significación física clara. Este tipo de modelos permite profundizar sobre la influencia de los distintos parámetros involucrados en el tiempo de propagación. A la vez se conoce de una manera explícita cuáles de los parámetros son críticos, con ello se posibilita la mejora de las prestaciones temporales del circuito. Otra ventaja de este tipo de formulación es que el modelo resultante es tecnológicamente independiente.

La obtención de modelos analíticos reposa sobre soluciones generales cerradas de las ecuaciones diferenciales que describen el funcionamiento transitorio de la puerta lógica que, sin embargo, en general no se pueden encontrar. De modo que, dado que las ecuaciones resueltas en la literatura disponible corresponden a problemas equivalentes simplificados,

hipótesis simplificadoras distintas conducen a formulaciones también distintas del mismo problema que serán válidas en determinadas condiciones.

Modelos muy simplificados como los presentados en los libros clásicos [WesEs85], [MeaCo80] basan el cálculo del retraso en la hipótesis de funciones tipo escalón a las entradas de los inversores y en modelos intrínsecos del dispositivo MOS con valores promedio de las capacidades. En el caso de familias lógicas en GaAs ha sido propuesto uno de estos modelos muy simplificados en [LonBu90]. En general, estos modelos subestiman el retraso de las puertas lógicas.

Takeshi Tokuda y colaboradores [ToOkS83] publicaron un artículo en el que se desarrolla un modelo específico para el inversor EDMOS. En este artículo, la definición de retraso de una puerta se toma como el intervalo de tiempo transcurrido desde que la señal de entrada toma el valor de la tensión de umbral del dispositivo de enriquecimiento (transistor que conmuta, *driver*) hasta que lo toma la señal de salida. Con esta definición se evita medir retardos negativos.

Entre los resultados de simulación SPICE se presenta cómo la transición de carga del inversor es casi independiente de la forma de onda de entrada. Basado en este hecho, el tiempo de propagación, cuando la salida pasa del nivel bajo al alto, se calcula como la respuesta al escalón suponiendo constante la intensidad circulando a través del transistor de carga.

El resultado no es el mismo para transiciones de descarga, en las que se observa cierta dependencia. En este caso se utiliza un modelo lineal a tramos de la señal de excitación para evaluar el tiempo de propagación de alto a bajo, y la intensidad que circula por el canal del transistor que conmuta se supone dada por su valor en saturación. La corriente por el transistor de deplexión se supone de nuevo constante.

Las pendientes de las señales de entrada y de salida se determinan en base a una capacidad que se define con ese propósito. Como resultado se proponen expresiones para el tiempo de propagación de bajo a alto dependientes de la capacidad de salida exclusivamente, para la transición opuesta la dependencia se extiende a las capacidades de entrada. El modelo resultante es preciso cuando las capacidades de entrada y salida tienen valores muy próximos. El error es grande cuando la capacidad de entrada es superior a la de salida. El artículo se completa con modelos para las puertas de transmisión en función del modo de operación (síncrona o asíncrona).

En este modelo no se tienen en cuenta las interacciones de las señales de entrada presentes cuando conmutan en instantes próximos (en esta memoria este fenómeno se denomina colisión), de hecho, cuando hay cambio simultáneo se toma el menor valor del retraso en las transiciones de descarga y el mayor en las de carga.

Niels Hedenstierna y Kjell O. Jeppson [HedJe87] publicaron un artículo cuyos resultados han servido como base a muchas investigaciones posteriores. En el mismo se presenta un modelo de retraso del inversor CMOS (no se hace mención alguna a puertas de múltiples entradas). El modelo se basa en soluciones analíticas del inversor excitado con rampas lineales. En el desarrollo se supone que uno de los transistores entra en corte de forma instantánea.

Se indica cómo la influencia de la pendiente de entrada puede expresarse en un término adicional a la respuesta al escalón. Este sumando puede llegar a ser muy importante (50-100%) en la estimación del retraso en determinadas configuraciones. Se dan además definiciones y métodos para el cálculo de pendientes equivalentes y capacidades de carga. Las expresiones obtenidas se aplican al cálculo de la potencia disipada y a la optimización. En esta contribución tampoco se modelan las colisiones.

D. Deschacht y sus colaboradores [DeRoA88] presentan una formulación explícita de la respuesta transitoria de estructuras combinatoriales CMOS, incluyendo condiciones de carga y las influencias de las formas de onda excitación. El modelo se basa en los resultados anteriormente propuestos por Hedenstierna [HedJe87] y en el cómputo del balance de corriente en el nudo de salida de la estructura CMOS. Los modelos temporales obtenidos permiten una formulación analítica del funcionamiento temporal de inversores CMOS reales, matrices (*arrays*) de puertas de transmisión y puertas de múltiples entradas. La descripción del camino de datos se realiza en base a células elementales unidireccionales. En este modelo el retraso se computa como el producto de dos términos, uno dependiente de la tecnología y el otro de la configuración topológica. Se ha realizado una implementación del modelo en un analizador temporal llamado PATHRUNNER [DePiR90] que es el primero totalmente basado en una formulación de este tipo.

Bernard Hoppe y sus colaboradores [HoNeS90], en un artículo dedicado a presentar un algoritmo de optimización para circuitos CMOS de alta velocidad proponen un modelo cuasi-analítico (con parámetros de ajuste) para el cálculo del retraso de estas puertas lógicas.

El modelo se apoya en los resultados de Hedenstierna [HedJe87] y resulta válido para el cómputo del tiempo de propagación sobre inversores simétricos. Las variables

independientes del modelo son los tiempos de subida y bajada, la capacidad de salida y las dimensiones de los transistores. Son fundamentales además la tensión de umbral de los transistores junto a algunos parámetros empíricos. Las puertas de múltiples entradas se modelan en base al concepto de inversor equivalente, si bien no se introducen en la formulación los efectos de las colisiones.

Takayusu Sakurai y Richard Newton [SakNe91] utilizando un modelo específico del transistor MOS de canal corto obtienen expresiones analíticas para el retraso del inversor CMOS. En este artículo se resuelven las ecuaciones dinámicas con excitaciones rampa en los casos extremos de las transiciones a la entrada para después conectarlas en todo el intervalo de interés para el análisis. El retraso se computa al 50% de la excursión lógica y las pendientes se toman como el 70% del valor de las derivadas de las señales de salida en el punto medio de la excursión lógica.

Para simplificar las ecuaciones se hace uso de la tensión de umbral de la lógica (aquel valor de tensión a la entrada tal que a la salida se obtenga $V_{DD}/2$). Se utilizan parámetros de ajuste, si bien se dice que es posible su cálculo de forma cerrada. Se indica asimismo que los resultados son mejores que los que se obtienen con modelos RC.

Se concluye el artículo con una aplicación a puertas CMOS con transistores en serie (NAND). Se apunta que los modelos RC no son aceptables en la estimación del retraso utilizando estas puertas.

Carlos H. Díaz y sus colaboradores [DiKaL91] proponen un modelo basado en parámetros físicos del inversor BiCMOS. El modelo se obtiene como solución de las ecuaciones dinámicas a excitaciones tipo escalón, asumiendo transición al corte instantánea y que todas las capacidades del inversor son lineales. En este modelo no se introducen efectos de pendientes, aunque se indique que es generalizable. Las ecuaciones que describen el funcionamiento para las transiciones de subida y de bajada son distintas.

Se evita la utilización de parámetros de ajuste con objeto de asegurar la generalidad. Se proponen términos para introducir los efectos de la alta inyección sobre la ganancia en corriente.

El modelo no es preciso en las transiciones de subida si alguno de los transistores bipolares entra en la región de saturación de las características I-V. Los errores que se presentan no superan el 14% para la estructura inversora. No se modelan los posibles efectos de las colisiones.

En general, los modelos analíticos están formados por conjuntos de ecuaciones fruto de procesos de análisis muy elaborados. En algunos casos la precisión del método no es muy buena. En cualquier caso, permiten predecir, con una visión más amplia la respuesta del retraso ante variaciones de parámetros físicos de los transistores y por tanto, la influencia de los procesos tecnológicos sobre la velocidad de los circuitos resultantes.

1.2.- Planteamiento y objetivos.

Actualmente las familias lógicas implementadas sobre GaAs se utilizan como aliadas del Silicio en diseños UHSI (*Ultra High Speed Integrated Circuits*) e incluso, por sí solas, como base de sistemas relativamente grandes. Los niveles de integración alcanzados se pueden considerar ya como niveles VLSI. De hecho, los diseñadores de estos circuitos precisan, con los actuales niveles de integración, herramientas que les permitan disminuir el tiempo necesario para completar el ciclo de diseño. Es decir, se precisan modelos de utilidad en las fases de análisis y verificación temporal. Sin embargo no existen analizadores ni verificadores temporales que sean precisos en la predicción de las prestaciones temporales de lógicas sobre GaAs. Hasta el momento se ha cubierto esta necesidad utilizando las herramientas específicas de circuitos MOS, a pesar de las diferencias entre las lógicas y del error cometido. Esta tesis surge como respuesta a esta demanda, en ella se plantea el desarrollo un modelo de estimación específico para la familia lógica DCFL/SDCFL, que parece ser la que se va imponiendo en los diseños.

Una vez revisada la literatura disponible, y tras estudios de viabilidad se concluyó que un método simple y adecuado es el apoyado en un modelo de tablas empíricas. Se descartaron el resto de modelos por diversas razones. En particular, los modelos de retraso unidad, si bien son simples, al despreciar los efectos de parámetros importantes en la evaluación de retraso, introducen errores considerables. Por esta razón de entre los actuales verificadores temporales, ninguno utiliza este tipo de formulación en la predicción del tiempo de propagación.

Los modelos de árboles RC son aplicables a circuitos digitales implementados en base a transistores MOS. Esto es porque se fundamentan en aproximaciones de capacidades y reglas lineales para introducir los fenómenos de almacenamiento de carga. En transistores bipolares y especialmente en los MESFETs la aproximación de capacidad lineal para modelar los terminales de entrada a los dispositivos no es aceptable ya que en ellos están presentes fenómenos asociados al funcionamiento no lineal de los capacitores que forman parte del modelo circuital.

Un modelo analítico es deseable si es lo suficientemente preciso. Sin embargo, como se verá, las características de los transistores y la complejidad funcional de las ecuaciones de los modelos que los describen dificultan especialmente el desarrollo de un modelo constituido por soluciones cerradas de las ecuaciones dinámicas. Sobre todo cuando el modelo ha de contener la influencia de la forma de onda de la señal de entrada que es muy importante en la lógica DCFL/SDCFL especialmente en las etapas iniciales de un camino. En cualquier caso, en el capítulo 4 de la presente memoria se expondrá parte del trabajo realizado en esa dirección. Todas estas razones conducen a utilizar una metodología de modelado basada en tablas empíricas.

Habitualmente, los diseñadores contrastan los diseños frente a simulaciones eléctricas con SPICE pues este simulador eléctrico ofrece precisión y versatilidad. Los creadores de analizadores y verificadores temporales toman los resultados de SPICE como referencia respecto a la que contrastar la bondad de sus productos. De manera que se toma este simulador analógico como si tuviese precisión infinita, este es también el criterio adoptado durante el desarrollo del trabajo que se presenta en esta memoria.

Se concluye, por tanto, que el objetivo es el desarrollo de un modelo con el que estimar el retraso introducido en un camino por las puertas de la familia lógica DCFL/SDCFL. Asimismo, se pretende desarrollar los algoritmos necesarios así como herramientas prototipo que permitan realizar la tarea enunciada del análisis y la verificación temporal.

CAPÍTULO 2

MODELOS DE MESFETs EN SPICE

A lo largo de esta memoria se utiliza SPICE como herramienta numérica de simulación tanto para ajustar los parámetros del método que se desarrolla como para validar sus resultados. Por esta razón la precisión del método descansa en la SPICE, y en particular en los nuevos modelos de dispositivos MESFETs que recientemente se han ido incorporando a este simulador.

Se dedica este capítulo a estudiar los modelos disponibles, con especial referencia a su calidad y a sus limitaciones ante la evolución tecnológica con progresiva reducción de dimensiones.

2.1.- Introducción.

El GaAs es un semiconductor compuesto que se utiliza en aplicaciones electrónicas desde la década de los sesenta. Como sólido cristalino, en relación con el Silicio, presenta mayor curvatura de las bandas de conducción. Así, la movilidad de los electrones es algo más de seis veces superior ($\mu_n^{\text{GaAs}} = 5000 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$; $\mu_n^{\text{Si}} = 800 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ con $N_D = 10^{17} \text{ cm}^{-3}$).

Otra característica destacable es que se trata de un semiconductor de banda directa, típica de la mayoría de los semiconductores compuestos y sus aleaciones. Esto dota a los materiales de características emisoras de luz además de efectos "deseables" en el transporte de electrones ya que no se requiere cambio en el valor del momento en las transiciones banda a banda [Sze81].

El GaAs no desplazará al Silicio. Puede decirse que juega su papel aliado a éste para satisfacer las necesidades de la tecnología UHSI (*Ultra High Speed Integrated*) en los sistemas de este tipo que comienzan a aparecer [Eshra90].

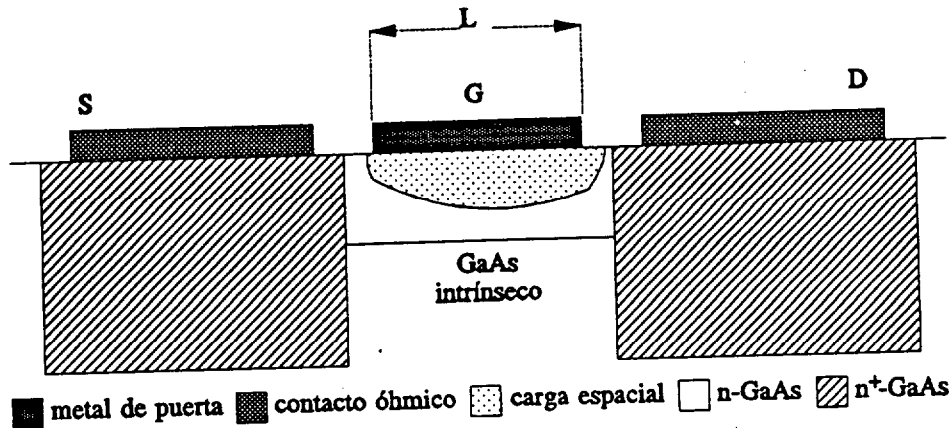


Fig. 2.1. Sección transversal del MESFET.

Los MESFETs (*MEtal Semiconductor Field Effect Transistor*) son transistores de efecto campo en los que el control de la resistividad del canal se realiza vía una unión Schottky metal-semiconductor. Los disponibles comercialmente son de canal n ya que las movilidades de los huecos en GaAs y Silicio son de valores parecidos ($\mu_p^{\text{GaAs}} = 250 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$; $\mu_p^{\text{Si}} = 300 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$). Así, las prestaciones en velocidad de los dispositivos de canal p no hacen ventajosa su utilización. Por esta razón no se han impuesto las estructuras lógicas complementarias.

En la figura 2.1 se presenta la sección transversal de la estructura básica del MESFET. Sobre el sustrato de GaAs intrínseco se dispone una estrecha capa de material n de bajo nivel de dopado (10^{17} cm^{-3}) con una profundidad aproximada de 1000 a 2000 Å. Sobre ésta, una capa de metal (aleación de Ti/Pt/Au) formando la puerta de control del transistor (G). Para hacer los contactos óhmicos de drenador (D) y fuente (S) se forman sendos cajones de difusión tipo n⁺. El metal utilizado para formar el contacto óhmico suele ser una aleación de oro-germanio-níquel (AuGe/Ni/Au).

La longitud del canal es la distancia L. Actualmente están disponibles transistores de hasta $0.6 \mu\text{m}$ para aplicaciones digitales.

Estos transistores vienen siendo utilizados en aplicaciones digitales desde el año 1974 con algunos diseños de divisores SSI [TuyLi74]. Hoy existen implementados gran cantidad de circuitos digitales llegando a la frontera VLSI en niveles de integración.

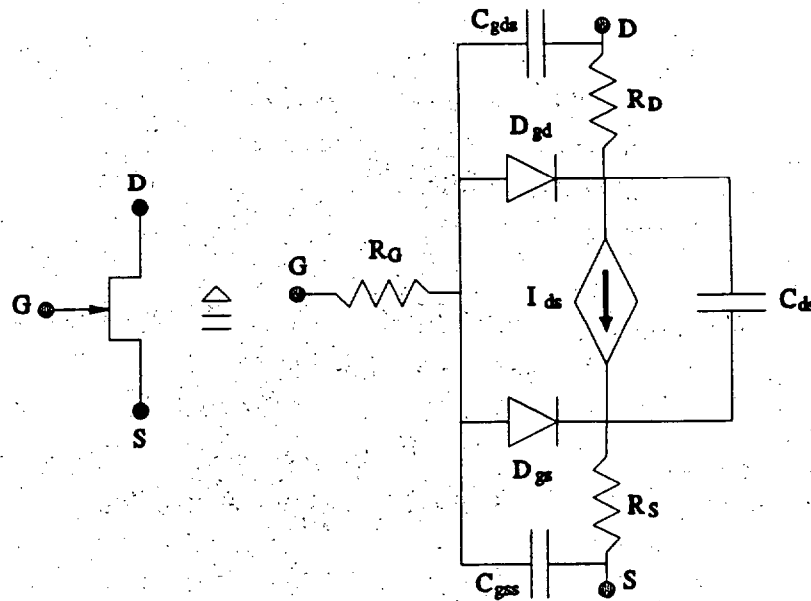


Fig. 2.2. Modelo circuital del MESFET en dc.

2.2.- Modelos circuitales en dc.

En este punto se dan las ecuaciones de los modelos analíticos de MESFETs más utilizados en simulación sin entrar en detalles sobre su obtención. Existen bastantes aproximaciones válidas al modelado de este dispositivo, cubriendo desde las más simples [SchHo68] hasta modelos numéricos muy elaborados [SnHoM83], [SnoLo87], pasando por modelos analíticos de cierta complejidad funcional [KhaTr88]. Para una descripción más detallada se sugiere la consulta de las referencias.

Inicialmente se utilizó como modelo para simulación, el correspondiente al transistor de unión de Silicio [Nagel75] por la similitud con los dispositivos JFET [Shock52]. Sin embargo, existen diferencias notables. Por un lado, el terminal de puerta es una unión tipo Schottky en lugar de una unión pn. Además, el canal está limitado por la zona de carga espacial por un lado, y por el otro se encuentra una región semiaislante (figura 2.1). Por último, existe una diferencia funcional importante entre ambos. La saturación de la intensidad de drenador de la característica en dc se debe a que para valores pequeños de campo, la velocidad de los electrones se satura, no como en el transistor de unión en el que se produce por corte del canal (*pinch-off*).

Surgen entonces diversas modificaciones del modelo del transistor de unión para conseguir un ajuste más fino del funcionamiento en dc. De esta forma, se pasa de modelos basados en la física del dispositivo a otros puramente algebraicos. En la figura 2.2 puede observarse el símbolo de circuito del transistor de enriquecimiento y el modelo circuital

básico en gran señal implementado en las diversas versiones de SPICE disponibles. Pueden distinguirse elementos intrínsecos que dan cuenta de la respuesta en dc (D_{gs} , D_{gs} e I_{ds}) y elementos que modelan la respuesta extrínseca en dc (R_G , R_D y R_S). En régimen transitorio, se introducen los condensadores de valor constante C_{ds} , C_{gs} y C_{gs} junto a los asociados a los diodos (capacidad de difusión).

Son cuatro los modelos eléctricos más difundidos del funcionamiento en gran señal del MESFET. La expresión que adopta la fuente de intensidad controlada, I_{ds} , que da la característica de salida del dispositivo es común a todos (salvo en un caso en que se simplifica). Ésta, contiene la función tangente hiperbólica que fue propuesta también para modelar transistores JFETs de Silicio [Taki78]. La ecuación básica es la {2.1},

$$I_{ds} = I_{SAT}(V_{gs})(1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad \{2.1\}$$

el parámetro α es empírico, si bien algunos autores dan expresiones analíticas para su cálculo [Shur87]. Determina la tensión a la que la corriente de drenador se satura. λ es un parámetro relacionado con la conductancia de drenador que da cuenta de los efectos de la modulación del canal. La diferencia entre los distintos modelos es la expresión que adopta la intensidad de saturación.

2.2.1.- Modelo de Curtice.

Curtice [Curti80] fue quien propuso por primera vez la corrección hiperbólica a la ecuación característica del transistor, la cual refleja adecuadamente el funcionamiento lineal del dispositivo. En este modelo, se toma para la corriente de saturación la expresión del modelo del JFET sin modificación alguna, ecuación {2.2},

$$I_{SAT}(V_{gs}) = \beta (V_{gs} - V_T)^2 \quad \{2.2\}$$

donde β denota la transconductancia del dispositivo y V_T es la tensión de umbral. En total es preciso evaluar cuatro parámetros (β , V_T , λ y α).

2.2.2.- Modelo de Statz.

Otra formulación alternativa a la anterior fue propuesta en [StNeS87]. Si la tensión de *pinch-off* del transistor es grande, en el modelo de Curtice se observan errores significativos al

obtener la variación de la intensidad de drenador (I_{ds}) con la tensión puerta-fuente (V_{gs}). El modelo de Statz se basa en la expresión de la intensidad de saturación presentada en {2.3},

$$I_{SAT}(V_{gs}) = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)} \quad \{2.3\}$$

donde los valores del parámetro b están en el intervalo (1.5, 2.6) V^{-1} . Se interpreta como una medida del perfil de impurezas que penetra en el sustrato semiaislante.

Este modelo requiere un parámetro adicional respecto al anterior. Para valores pequeños de $V_{gs} - V_T$, la anterior expresión tiende a la dependencia cuadrática de Curtice. Por el contrario, se hace lineal para valores grandes de esa diferencia.

Statz introduce una innovación adicional respecto a Curtice. Dado que la tangente hiperbólica necesita mucho tiempo de CPU en su evaluación, propone sustituirla por la expresión {2.4}, donde en la zona de operación lineal se aproxima por el polinomio y por la unidad en saturación,

$$\tanh(V_{ds}) \approx \begin{cases} 1 - \left[1 - \frac{\alpha V_{ds}}{n} \right]^n & ; \text{ si } V_{ds} \leq \frac{n}{\alpha} \\ 1 & ; \text{ si } V_{ds} > \frac{n}{\alpha} \end{cases} \quad \{2.4\}$$

n se utiliza además en la definición de las regiones de operación. Su valor puede ser 2 ó 3, si bien propone el valor 3 como más preciso.

2.2.3.- Modelos analíticos de Shur.

En [Shur87] se presenta una expresión analítica para el cálculo de la transconductancia del transistor. En función de los valores de la tensión de *pinch-off* (V_{po}) se pueden dar dos situaciones para las que se proponen sendos modelos.

Ambos modelos han sido implementados en el simulador UM-SPICE [HyShP86].

2.2.3.1.- Modelo de la ley cuadrada.

En este primer modelo, se parte del propuesto en [Shock52] de la ley cuadrada. Si se introduce en el cálculo de β los efectos de la modulación del canal, se obtiene una transconductancia dada en la ecuación {2.5},

$$\beta = \frac{2\epsilon v_s W}{A[V_{po} + 3E_s(L-L_s)]} \quad \{2.5\}$$

en esta ecuación, ϵ es la permitividad del semiconductor, v_s la velocidad de saturación de los electrones, W es la anchura del transistor, A la profundidad del canal, V_{po} es la tensión de *pinch-off*, E_s denota al campo para el que se produce la saturación de la velocidad y L_s es una longitud efectiva de saturación en el canal.

Introduciendo las pérdidas por caídas óhmicas en las resistencias serie (R_s) queda el modelo de corriente de la ecuación {2.6},

$$I_{SAT}(V_{gs}) = \frac{1 + 2\beta R_s(V_{gs} - V_T) - [1 + 4\beta R_s(V_{gs} - V_T)]^2}{2\beta R_s^2} \quad \{2.6\}$$

en este caso, el parámetro λ de la ecuación {2.1} tiene un significado ligeramente distinto.

La expresión {2.5} contiene un modelo que da cuenta de la modulación de la longitud del canal. En este caso, λ da cuenta de la conductancia de salida adicional que no ha sido introducida en {2.5}. Este modelo da buenos resultados si el transistor tiene un valor pequeño de la tensión de *pinch-off* ($V_{po} < 2$ V para dispositivos de $1 \mu\text{m}$). El otro caso es aproximado.

2.2.3.2.- Modelo completo de velocidad de saturación.

Cuando ocurre que $V_{po} \gg 3E_s L_s$, la ecuación {2.5} predice un valor de transconductancia próximo al correspondiente a la saturación completa del canal. En MESFETs de $1 \mu\text{m}$, el producto $E_s L_s$ es aproximadamente 0.3-0.4 V. Luego si V_{po} tiene un valor superior a 3 V se verifica la desigualdad. Para esos valores de la tensión de *pinch-off* resultará válido este modelo. La intensidad de saturación es la dada en {2.7}, donde V_{BI} es la tensión de *built-in*.

$$I_{SAT}(V_{gs}) = qN_D v_s WA \left[K - \left(K^2 - 1 + \frac{V_{BI} - V_{gs}}{V_{po}} \right)^{\frac{1}{2}} \right] \quad \{2.7\}$$

$$K = 1 + \frac{R_s q N_D v_s WA}{2V_{po}}$$

2.2.4.- Modelos de HSPICE.

En este punto se citan específicamente los modelos que tiene implementados HSPICE [HSPIC90] por ser ésta la herramienta CAD utilizada en el desarrollo del presente trabajo. Por otro lado, estos modelos son los más difundidos comercialmente, ya que son los contenidos en la mayor parte de los simuladores de circuitos.

Los modelos de HSPICE de los MESFET son básicamente los ya mencionados de Curtice [Curti80] y Statz [StNeS87] con algunas modificaciones que en ciertos casos no son del dominio público.

Una versión ligeramente modificada del modelo de Curtice que implementa HSPICE es la expresada por la ecuación {2.8},

$$I_{ds} = \beta^* \cdot (V_{GS} - V_T)^\eta (1 + \lambda \cdot V_{ds}) \cdot \tanh \left(\frac{\alpha \cdot V_{ds}}{V_{gs} - V_T} \right) + I_{ST}(n_g, n_d, V_{ds}, V_{gs}, \beta^*, V_T) \quad \{2.8\}$$

donde β^* representa a la transconductancia multiplicada por el factor de área, η es el llamado exponente de la tensión de puerta, por defecto su valor es 2, la función I_{ST} es una función no definida explícitamente en el manual y que representa la corriente subumbral. El factor de área se define como el número de dispositivos que conectados en paralelo equivalen a uno dado.

En esta memoria se entenderá por factor de área al factor que especifica las dimensiones de los transistores del diseño. El modelo de Statz que se implementa se obtiene sumando la función I_{ST} a ambas ramas del modelo presentado en 2.2.2 con $n = 3$.

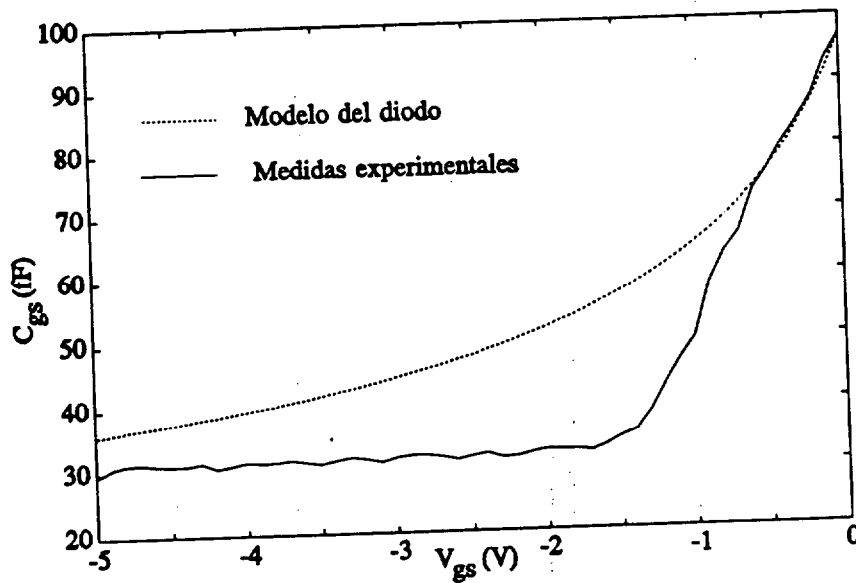


Fig. 2.3. Valores de la capacidad C_p de un MESFET.

2.3.- Modelos circuitales para análisis transitorio.

El análisis transitorio se realiza introduciendo las capacidades referidas en la figura 2.2 junto con las asociadas a los diodos. Como en el caso de las características de salida, existen bastantes modelos que dan cuenta de los valores de las mismas [TaYoI82], [CheSh85], [StNeS87]. En general, el análisis transitorio es menos preciso que el estático.

El modelo más simple, y a su vez el más utilizado, es el de la capacidad de unión de las uniones pn bajo polarización inversa, haciendo constante su valor bajo polarización directa. Como es sabido, este modelo se expresa por la función presentada en la ecuación {2.9},

$$C(V) = \frac{C_0}{\left[1 - \frac{V}{V_{BI}}\right]^m} \quad \{2.9\}$$

donde C_0 es la capacidad de unión bajo polarización nula y V_{BI} la tensión de *built-in*. El parámetro m , permite la selección del tipo de unión que se modela. Si se asigna a m el valor 1/3 se representa el funcionamiento de una unión gradual, para m con valor 1/2 se modela la unión abrupta.

Los valores de la capacidad asociada al diodo D_g , de un transistor MESFET, medida

a la frecuencia de 1 MHz, en función de la tensión inversa de polarización, pueden verse en la figura 2.3. En la misma, se ha representado también la curva {2.9} con el propósito de establecer la comparación. Se observan grandes discrepancias sobre todo para valores intermedios de la tensión V_{gs} . Por otro lado, el modelo predice valores aproximadamente iguales para la capacidad C_{gd} que sin embargo es bastante menor [StNeS87]. Los errores introducidos son mayores en el caso del GaAs, pues la velocidad de saturación se alcanza para valores relativamente pequeños de la tensión de polarización respecto al Silicio.

2.3.1.- Modelo de capacidades de Statz.

Statz y sus colaboradores [StNeS87] desarrollan un modelo mediante el que consiguen dar cuenta de los valores de la capacidad para todas las regiones de operación. Se trata de un modelo basado en la conservación de la carga que incluye la simetría de los transistores. Las expresiones del modelo se hallan en las ecuaciones {2.10}, donde Δ y δ son parámetros del modelo.

$$\begin{aligned}
 C_{gs} &= \frac{C_{gs0}}{\sqrt{1 - \frac{V_{new}}{V_{BI}}}} \frac{1}{2} \left[1 + \frac{V_{eff} - V_T}{\sqrt{(V_{eff} - V_T)^2 + \delta^2}} \right] \cdot \frac{1}{2} \left[1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \left(\frac{1}{\delta}\right)^2}} \right] + \\
 &\quad + C_{gd0} \frac{1}{2} \left[1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \left(\frac{1}{\delta}\right)^2}} \right] \\
 C_{gd} &= \frac{C_{gs0}}{\sqrt{1 - \frac{V_{new}}{V_{BI}}}} \frac{1}{2} \left[1 + \frac{V_{eff} - V_T}{\sqrt{(V_{eff} - V_T)^2 + \delta^2}} \right] \cdot \frac{1}{2} \left[1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \left(\frac{1}{\delta}\right)^2}} \right] + \\
 &\quad + C_{gd0} \frac{1}{2} \left[1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \left(\frac{1}{\delta}\right)^2}} \right] \quad \{2.10\} \\
 V_{eff} &= \frac{1}{2} \left(V_{gs} + V_{gd} + \sqrt{(V_{gs} - V_{gd})^2 + \Delta^2} \right); \quad V_{new} = \frac{1}{2} \left(V_{eff} + V_T + \sqrt{(V_{eff} - V_T)^2 + \delta^2} \right)
 \end{aligned}$$

La principal ventaja de las expresiones {2.10}, además de su precisión es que no presentan problemas de convergencia al introducirlas en un simulador numérico. De hecho, estas ecuaciones están programadas en HSPICE.

2.3.2.- Modelo de capacidades de HSPICE.

HSPICE presenta implementados tres modelos de capacidades que pueden ser seleccionados por el usuario asignando determinados valores a ciertos parámetros [HSPIC90].

El primero de ellos consiste en el modelo de las capacidades de difusión de la unión pn, discutido anteriormente, con expresiones alternativas para el caso de polarización directa de la unión metal-semiconductor. El segundo es una modificación de las ecuaciones para polarización directa. Por su parte, el tercero es el correspondiente al modelo de Statz [StNeS87].

En lo que sigue se dan las ecuaciones correspondientes a la zona de polarización directa del primer modelo (capacidad de difusión de la unión pn), ecuaciones {2.11}, en ellas, TT (tiempo de tránsito), FC, C_{gd0} , C_{gs0} , m (coeficiente de emisión) y ϕ_B (potencial de la unión), son parámetros del modelo.

$$C_{gd} = TT \cdot \frac{\partial I_{gd}}{\partial V_{gd}} + C_{gd0} \cdot \frac{1 - FC \cdot (1 + m) + m \cdot \frac{V_{gd}}{\phi_B}}{(1 - FC)^{m+1}} \quad \{2.11\}$$

$$C_{gs} = TT \cdot \frac{\partial I_{gs}}{\partial V_{gs}} + C_{gs0} \cdot \frac{1 - FC \cdot (1 + m) + m \cdot \frac{V_{gs}}{\phi_B}}{(1 - FC)^{m+1}}$$

Análogamente, para el segundo modelo, se tienen las ecuaciones {2.12},

$$C_{gd} = TT \cdot \frac{\partial I_{gd}}{\partial V_{gd}} + C_{gd0} \cdot \left[1 + m \cdot \frac{V_{gd}}{\phi_B} \right] \quad \{2.12\}$$

$$C_{gs} = TT \cdot \frac{\partial I_{gs}}{\partial V_{gs}} + C_{gs0} \cdot \left[1 + m \cdot \frac{V_{gs}}{\phi_B} \right]$$

se utilizan algunos de los parámetros anteriores con el mismo significado.

Como ya se ha dicho, las expresiones del tercer modelo (Statz) son las mostradas en las ecuaciones {2.10}.

2.4.- Dependencia de los parámetros de SPICE con la temperatura.

La temperatura influye en el funcionamiento de los circuitos electrónicos. En esta sección, se presentan los parámetros de modelo del dispositivo que dependen de esa variable, así como las ecuaciones de los modelos implementadas en HSPICE [HSPIC90].

En HSPICE son seleccionables, mediante la introducción de valores para ciertos parámetros, diversos conjuntos de ecuaciones que dan cuenta de la influencia de la temperatura sobre las resistencias, las capacidades, la anchura de la banda prohibida del semiconductor, la corriente de saturación del transistor, la tensión de umbral y la movilidad. Las distintas ecuaciones responden a diversos modelos de los fenómenos asociados a las variaciones de este parámetro. En este punto no se pretende justificar la forma de los modelos, simplemente se reproducen las ecuaciones para mostrar de forma cualitativa cómo afecta a cada parámetro la temperatura de operación del circuito.

El modelo implementado en HSPICE para introducir las variaciones de la anchura de la banda prohibida está dado en función de tres parámetros empíricos, ecuación {2.13},

$$E_G(T) = EG - GAP1 \cdot \frac{T^2}{T + GAP2} \quad \{2.13\}$$

los tres parámetros son EG y GAP1 con dimensiones energía (eV) y GAP2, medido en K.

Las ecuaciones relativas a la corriente de saturación son las mostradas en {2.14},

$$i_s(T) = IS \cdot e^{\frac{facln}{N}}; \quad \{2.14\}$$

$$facln = \frac{E_{G_{nom}}}{v_t(T_{nom})} - \frac{E_G(T)}{v_t(T)} + XTI \cdot \ln \left(\frac{T}{T_{nom}} \right)$$

en estas ecuaciones IS representa el parámetro del modelo correspondiente a la corriente de saturación, N es el coeficiente de emisión y "facln" es una función dependiente de la temperatura mediante un parámetro empírico adimensional, XTI. El resto de los parámetros presentes en las ecuaciones {2.14} son ya conocidos. Así, $v_t(T)$ es la tensión térmica (kT/q), T_{nom} denota la temperatura nominal, que por defecto es 27 °C y $E_G(T)$ es la obtenida por la ecuación {2.13}. Está disponible otro modelo que se diferencia del presentado en que los valores de $E_{G_{nom}}$ y $E_G(T)$ son de valor constante.

Existen ecuaciones para el cálculo de las capacidades de puerta del transistor. Son

cuatro las posibilidades de selección de ecuaciones con las que incluso se puede forzar una variación despreciable. El modelo más completo es el mostrado en las ecuaciones {2.15},

$$\begin{aligned} C_{gs}(T) &= CGS \cdot \left[1 + M \left\{ 4 \cdot 10^{-4} \cdot \Delta T - \frac{PB(T)}{PB} + 1 \right\} \right] \\ C_{gs}(T) &= CGD \cdot \left[1 + M \left\{ 4 \cdot 10^{-4} \cdot \Delta T - \frac{PB(T)}{PB} + 1 \right\} \right] \end{aligned} \quad \{2.15\}$$

en estas ecuaciones M se denomina coeficiente de graduación y PB denota al potencial de puerta, este potencial varía con la temperatura como se muestra en la ecuación {2.16}, donde no es precisa ninguna aclaración sobre la notación.

$$PB(T) = PB \left[\frac{T}{T_{nom}} \right] - v_i(T) \left[3 \ln \left[\frac{T}{T_{nom}} \right] + \frac{E_{G_{nm}}}{v_i(T_{nom})} - \frac{E_G(T)}{v_i(T)} \right] \quad \{2.16\}$$

La tensión de umbral en el transistor varía con la temperatura de acuerdo con la ecuación {2.17},

$$V_{TD}(T) = V_{TD} - TCV \cdot \Delta T \quad \{2.17\}$$

en la que TCV es un parámetro lineal con dimensiones $V \cdot K^{-1}$.

La ecuación que modela los efectos de la temperatura con la movilidad se expresa en términos del parámetro β , en particular la expresión es la de la ecuación {2.18},

$$\beta(T) = \beta \cdot \left[\frac{T}{T_{nom}} \right]^{BEX} \quad \{2.18\}$$

en la que aparece el coeficiente potencial BEX .

Por último, las resistencias serie de drenador, fuente y puerta (R_D , R_S y R_G) varían con la temperatura según la expresión {2.19},

$$\begin{aligned} R_D(T) &= RD \cdot (1 + TRD \cdot \Delta T) \\ R_S(T) &= RS \cdot (1 + TRS \cdot \Delta T) \\ R_G(T) &= RG \cdot (1 + TRG \cdot \Delta T) \end{aligned} \quad \{2.19\}$$

en este modelo se asume una dependencia lineal dada por los coeficientes TRD , TRS y TRG .

2.5.- Conclusiones.

La precisión de SPICE en la simulación de circuitos analógicos es muy buena. Esta conclusión se extrae a partir de que ha sido ampliamente testada tanto en la industria como en diversas instituciones académicas desde que viene siendo utilizado como herramienta. Sin embargo, no ha sido publicada figura alguna de mérito en la que de manera cuantitativa se den los valores del error cometido por el programa para varias situaciones de análisis.

Los artículos en los que se presentan los modelos suelen mostrarse curvas comparativas para que de manera cualitativa el lector y posible usuario de tales modelos observe la bondad de las simulaciones. Parcialmente, se puede afirmar que el error relativo no supera la decena de unidades de tanto por ciento.

En todo caso, es en el análisis en dc en el que mayor ajuste se observa en las curvas disponibles. En análisis transitorio, además de las dificultades materiales asociadas al proceso de medida, es donde la precisión de SPICE disminuye.

Es habitual que en los trabajos donde se evalúan prestaciones de modelos o herramientas se haga la hipótesis tácita de que la precisión de SPICE es infinita, y se tomen los resultados de este simulador como los que reflejan la situación real. Dado que la mayor parte de estos trabajos se refieren a SPICE, es casi un estándar a la hora de comparar la bondad de los modelos.

Esta memoria presenta un modelo con el que estimar los retrasos de puertas lógicas DCFL/SDCFL, con objeto de que los mismos criterios sobre la bondad de los modelos sean aplicables a éste, también aquí se supone que el error de SPICE es nulo.

CAPÍTULO 3

FAMILIA LÓGICA DIRECTAMENTE ACOPLADA

En esta memoria se desarrolla un método de análisis temporal que permite prescindir de los simuladores eléctricos (tipo SPICE) a la hora de analizar los circuitos. La característica fundamental es la de trabajar al nivel de puertas lógicas ("abstraídas" y precaracterizadas en dimensiones y funcionamiento), en lugar de trabajar al nivel circuital de generadores y componentes pasivos equivalentes al transistor.

Este capítulo se dedica a presentar la familia lógica directamente acoplada. Ésta ha sido la utilizada en el desarrollo de la tesis. El capítulo se divide en tres bloques. En el primero se describe la familia y su funcionamiento cualitativo. El segundo bloque versa sobre aspectos cuantitativos tanto en régimen dinámico como en estático. Y en el último bloque se hace una incursión en el análisis de los efectos de los cambios en la temperatura sobre el funcionamiento de la lógica.

En esta familia lógica se presenta una configuración en la que el inversor está constituido por dos transistores. Una segunda configuración surge al añadir un amplificador-separador al anterior para conseguir mejoras en las prestaciones temporales. Aunque en este capítulo se analizan por separado ambas configuraciones bajo los nombres de DCFL y SDCFL, respectivamente, se considerará, en el resto de la memoria, que se trata de puertas de la misma familia, la DCFL/SDCFL.

3.1.- Introducción.

En los últimos años [Eshra90] se han desarrollado distintos tipos de dispositivos en GaAs. Hasta el momento puede hablarse de al menos dos generaciones. La primera incluye los siguientes:

- DMESFET, transistor de efecto campo metal semiconductor en modo de depleción,
- EMESFET, transistor de efecto campo metal semiconductor en modo de enriquecimiento,
- EIJFET, transistor de efecto campo de unión en modo de enriquecimiento,
- CEIJFET, transistor de efecto campo de unión complementario.

Con esta primera generación de dispositivos se alcanzan retrasos de conmutación de 70 a 80 ps con una potencia disipada del 0.5 a 1.5 mW.

La segunda generación está constituida por dispositivos más sofisticados del tipo de los siguientes:

- MODFET ó HEMT, transistor de alta movilidad de electrones,
- HBT, transistor bipolar de heterounión.

En éstos, la movilidad de los electrones es 5 veces superior a la movilidad de los dispositivos de la primera generación.

El problema de diseño de un circuito GaAs está menos restringido, en general, que el MOS de Silicio. La razón es la escasa tipificación de esta lógica, esto es, no hay niveles lógicos ni tensiones de alimentación estándar como en aquella. Las familias pueden pertenecer a una de las dos categorías básicas siguientes:

- lógica normalmente en conducción y
- lógica normalmente en corte.

La lógica normalmente en conducción se implementa con transistores de depleción ($V_T < 0$) exclusivamente mientras que la normalmente en corte utiliza ambos tipos de transistores.

Se considerará, en este capítulo, que son dos las familias lógicas objeto de análisis, la DCFL (*Direct Coupled FET Logic*) y una "descendiente" de la misma, la SDCFL (*Source Follower Direct Coupled FET Logic*). Estas son lógicas normalmente en corte, esto es, se implementan con transistores de enriquecimiento y depleción. En particular, se utiliza el MESFET como dispositivo base, si bien esta familia se utiliza también con MODFETs [CirAb83] y ha sido incluso propuesta con JFETs, [Shur87]. Estas familias, que se pueden englobar bajo la denominación DCFL/SDCFL, son probablemente las más extendidas en el

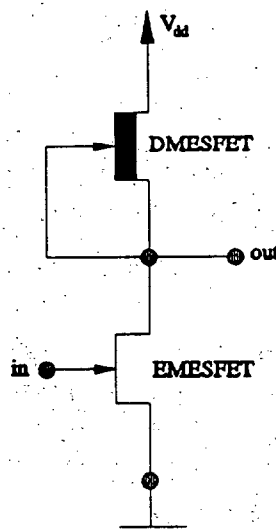


Fig. 3.1. Inversor DCFL.

campo del diseño digital sobre GaAs.

3.1.1.- Familia lógica directamente acoplada (DCFL).

Esta familia es topológicamente muy similar a la E/D MOS de Silicio. Es la primera y la más simple de las utilizadas en GaAs. El inversor básico DCFL está constituido por un transistor de enriquecimiento actuando como dispositivo que conmuta y uno de depleción actuando como carga activa (figura 3.1).

Las ventajas de esta familia son la simplicidad del circuito y el escaso número de elementos por puerta. Esto se traduce en que los parásitos asociados a interconexiones son pequeños y en mayor densidad de integración, menor potencia disipada y mayor velocidad. La principal desventaja es el pequeño valor de la excursión lógica y por tanto de los márgenes de ruido.

Cuando se excita el terminal de entrada con una tensión correspondiente al nivel lógico alto, el transistor que conmuta (EMESFET) se encuentra en conducción y el nudo de salida se halla en nivel lógico bajo. Si a la entrada el nivel de tensión es bajo, -inferior a la tensión de umbral-, el transistor se halla en estado de corte y la salida es alta.

La excursión lógica de esta familia está limitada por consideraciones cualitativas. De una parte, el nivel bajo de tensión debe ser inferior a la tensión de corte del transistor que

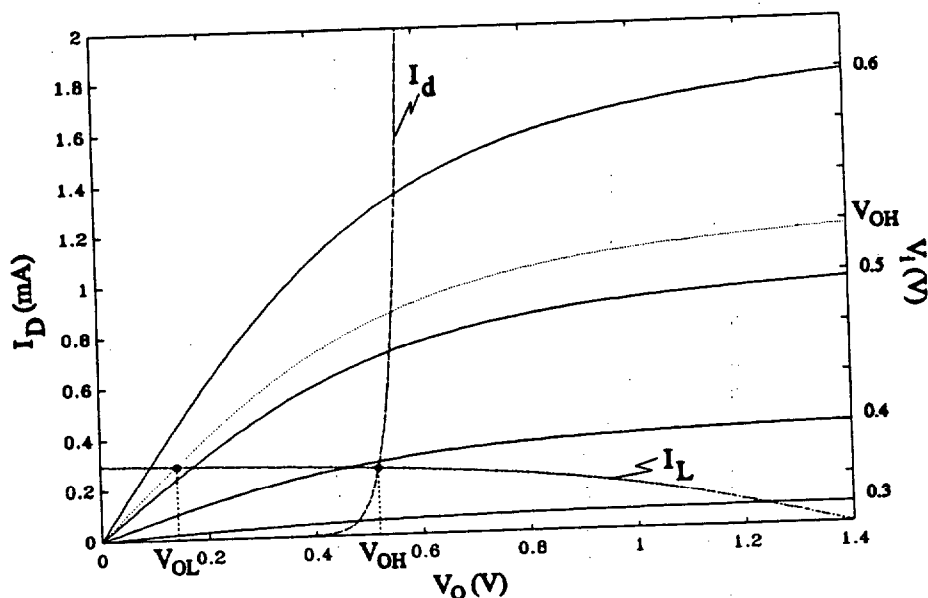


Fig. 3.2. Funcionamiento cualitativo del inversor DCFL.

conmuta $V_{OL} < V_T$ para que efectivamente esté cortado. Por otra parte, el nivel alto debe ser también inferior al potencial de contacto de la unión metal-semiconductor de puerta, $V_{OH} < V_{BI}$ pues está limitado por la tensión de conducción de esa unión metal-semiconductor en la puerta de control. Se concluye pues que la excursión lógica será aproximadamente la diferencia entre ambas magnitudes, $\Delta V \approx V_{BI} - V_T$. Se discute en lo que sigue los valores de tensión con mayor detalle.

En la figura 3.2 se muestra la característica de salida del transistor, $I_D = I_D(V_{GS}, V_{DS})$, particularizada a los intervalos de interés, $V_{GS} = V_i \in [V_T, 0.6] \text{ V}$ y $V_{DS} = V_o \in [0, V_{dd}] \text{ V}$. Como se observa en la figura, el transistor es de enriquecimiento con V_T próxima a 0.2 V y V_{dd} es 1.4 V. La corriente que circula por el transistor que actúa como carga se denota por I_L .

En lo que sigue se considera el balance de corrientes en el nudo de salida. Con el inversor descargado (nudo de salida al aire), el nivel alto de tensión alcanzado a la salida será aproximadamente V_{dd} (en la gráfica se consideran nulas las resistencias serie). Esta situación corresponde a una tensión de entrada inferior a la de umbral, $V_i \leq V_T$. Al excitar el inversor con un valor de tensión alto, el transistor que conmuta opera en zona lineal y el nudo de salida alcanzará un valor algo superior a 0 V (no se muestra la curva $I_D(1.4, V_o)$).

Esta no es la situación real. Se incluye en la figura 3.2 la curva característica del diodo Schottky (I_d) asociado a la puerta del transistor que conmuta. La presencia del diodo limita el valor de V_{OH} al de conducción de la unión rectificadora metal semiconductor. En el caso mostrado $V_{OH} \approx 0.53 \text{ V}$. El valor del nivel del tensión bajo se obtiene de la intersección

de la curva de carga (I_D) con la característica del transistor para $V_{GS}=V_i=V_{OH}$ (que aparece en línea punteada). Se obtiene $V_{OL} \approx 0.16$ V.

Se concluye que la unión tipo Schottky asociada a la puerta del transistor que conmuta limita el nivel lógico alto a unos 0.6 V correspondientes a la tensión de conducción del mismo. Esto es así con independencia de variaciones del valor de la tensión de alimentación en un entorno del valor nominal de 1.4 V. El nivel de tensión bajo está limitado por la caída óhmica del canal cuando el MESFET se halla en conducción (típicamente 0.1 V).

De modo que la excursión lógica del inversor se reduce considerablemente, pasando de los aproximadamente 1.4 V que se obtendrían para un funcionamiento análogo al caso CMOS al valor $0.53-0.16=0.37$ V. Dado el pequeño valor de la excursión lógica, se exige un gran control en el proceso de fabricación sobre la tensión de umbral del dispositivo, V_T . Lo mismo se puede decir respecto a los márgenes de ruido.

El margen de ruido es además muy sensible a las variaciones de la relación de aspecto del inversor y a las de la tensión de umbral. Por un lado, la intensidad disponible para descargar el nudo de salida será mayor cuanto mayor sea β (definida como el cociente W_E/W_D , donde W es el área del transistor y los subíndices hacen referencia a su modo de operación), por tanto, el valor de V_{OL} puede hacerse menor aumentando β . Con esto, se produce un aumento en la excursión lógica y por ende en el margen de ruido. También es posible conseguir un aumento en el nivel alto de tensión, V_{OH} , mediante el control de la tensión de umbral del transistor. La tensión de umbral del inversor, V_{TH} , puede aumentarse haciendo mayor la tensión de umbral del dispositivo, V_T .

El coste de estos aumentos de la excursión lógica es un mayor retraso de propagación. En efecto, si la relación de aspecto se hace mayor disminuyendo W_D , la corriente disponible para cargar el nudo de salida será menor. Esto conlleva un aumento del tiempo de carga del nudo de salida y el tiempo de propagación T_{PLH} mayor. Por otro lado, si V_T es grande, la diferencia $V_{GS}-V_T$ será menor que en caso contrario. Con ello se dispone de un menor nivel de corriente de descarga del nudo de salida (menor intensidad de saturación). El tiempo de propagación T_{PHL} aumenta.

El pequeño valor del margen de ruido hace inviable la implementación de puertas NAND conectando en serie transistores. Dado el pequeño valor, relativo al transistor MOS, de la resistencia en corte del MESFET, en el estado de corte puede circular una intensidad de corriente de fugas apreciable [Eshra90]. Así, al aumentar el número de transistores que conmutan, el '1' lógico se degrada. De manera que las puertas de múltiples entradas

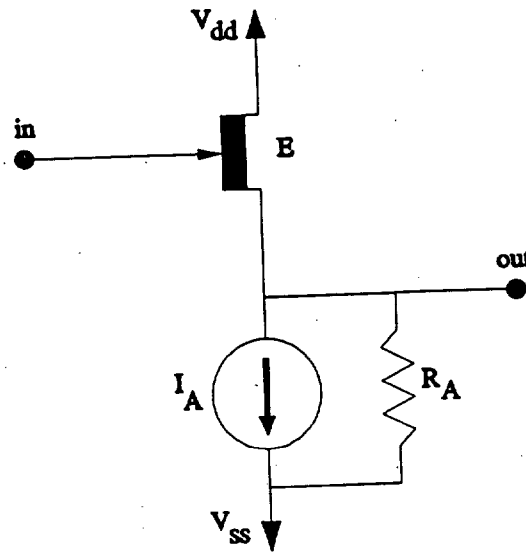


Fig. 3.3. Circuito seguidor de fuente.

disponibles son exclusivamente NOR. Se obtienen asociando en paralelo dos o más transistores de enriquecimiento.

3.1.2.- Familia con seguidor de fuente (SDCFL).

En los diseños de circuitos lógicos es habitual encontrar que la capacidad de carga a las puertas puede variar en un amplio rango dependiendo de los requerimientos del abanico de salida (*fan-out*) y la longitud de las líneas de interconexión entre los nudos de salida y la carga. En general, para disminuir el tiempo de propagación será preciso aumentar la corriente disponible para cargar y descargar la capacidad de carga.

Una posible solución circuital consiste en utilizar el seguidor de fuente de la figura 3.3. Este circuito presenta una gran ganancia en corriente y una pequeña ganancia en tensión ($A_v < 1$). El transistor de enriquecimiento (E), introduce un alto nivel de intensidad en el nudo de salida durante el proceso de carga. La descarga se realiza a través de la resistencia R_A y de la fuente I_A . Esta parte de descarga se implementa con un transistor de depleción actuando como carga activa ($V_{GS} = 0$ V).

La operación del seguidor de fuente se expone con la ayuda de la figura 3.4. En ella, la línea de carga (I_P) representa al transistor DMESFET.

Las intersecciones de la línea de carga con las curvas de salida del transistor de

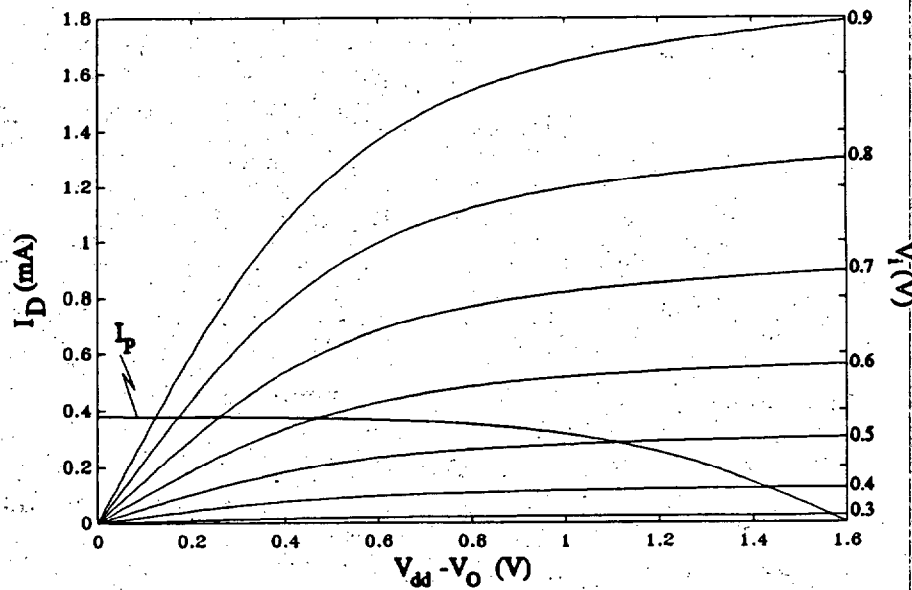


Fig. 3.4. Operación del seguidor de fuente.

enriquecimiento dan los puntos de operación del circuito. Nótese cómo con E operando en saturación de las características, ante una variación relativamente pequeña de la tensión de entrada, V_i , la de salida varía en un rango amplio, $V_o = V_{dd} - V_{DS}$. De manera opuesta, fuera de la zona de operación de saturación de las características, la tensión de salida cambiará poco ante grandes cambios de V_{DS} . En el diseño, por tanto, será tal que E opere en saturación. El modo de operación en zona óhmica puede evitarse con una elección adecuada de las tensiones de polarización.

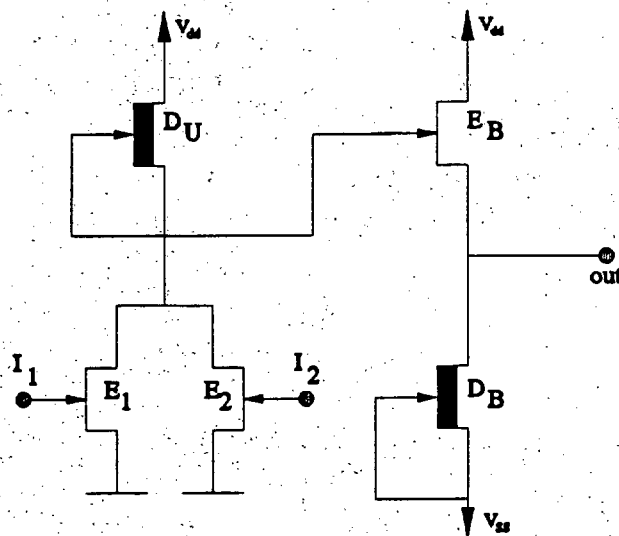


Fig. 3.5. NOR2 SDCFL.

Tabla 3.1. Conjunto de puertas típicas y sus dimensiones.

Tipo de puerta	Anchura del transistor D (μm)	Anchura del transistor E (μm)
Inversor	4	16
NOR 2	4	12
Buffer 1	4	6
Buffer 2	6	9.2

Con lo anterior, se deduce que la impedancia de entrada de un seguidor de fuente es grande ya que V_i permanece prácticamente constante. La capacidad C_{GD} del transistor de enriquecimiento es pequeña dada la operación en saturación. Por otro lado, la capacidad efectiva en pequeña señal es también pequeña, - está dada por $C_i = C_{GD} + C_{GS}(1 - A_v)$ -, lo cual es beneficioso pues la carga del nudo interno a la puerta (figura 3.5) se hace mínima. La corriente de entrada será también pequeña si V_i es inferior a la tensión de conducción de la unión metal semiconductor asociada a la puerta del transistor. Con esto, la ganancia en corriente es muy grande. Por último, se pueden soportar cargas mayores que con una configuración en fuente común. Esto es así porque la conductancia de salida de esta etapa es mucho menor que la de la etapa en fuente común, de hecho, tiende al valor $\frac{1}{g_m}$.

La familia SDCFL (*Source follower Direct Coupled FET Logic*) se implementa a partir de la anterior (figura 3.1), añadiendo un seguidor de fuente como etapa de salida (figura 3.5).

El terminal de fuente se conecta a un raíl de tensión ligeramente negativa ($V_{ss} \approx -0.2\text{V}$). La lógica resulta ser más rápida. Por otro lado, se pueden usar transistores de conmutación más estrechos que en la familia DCFL gracias a que la parte que genera la función lógica es bien seguida desde la capacidad de carga por el seguidor de fuente. La contrapartida es que disipa más que la anterior y los niveles de integración alcanzables son inferiores.

Para esta familia es aplicable lo expuesto para el caso DCFL respecto a la degradación

Tabla 3.2. Variación del nivel de tensión de salida con la carga en DCFL.

<i>fan-out</i>	1	2	3	4	5
V_{OH} (V)	0.5287	0.5060	4.4940	0.4858	0.4796

de los niveles lógicos. De modo que también en este caso existe una limitación respecto del máximo abanico de salida (*fan-out*) admisible. Su valor típico es 3. En relación con las dimensiones, se puede establecer un cierto conjunto más o menos restringido de puertas [Gómez92]. En la tabla 3.1 se muestra un conjunto de dimensiones típicas de puertas SDCFL. En el caso de puertas NOR, se asocian en paralelo un máximo de 3 de las mismas dimensiones. Esto es, el máximo *fan-in* es 3 para preservar el margen de ruido cuando todos los transistores que conmutan se encuentren en estado de conducción. Con esto, aunque el diseño del circuito sea completamente a medida (*full-custom*) en la práctica se utiliza un conjunto restringido de puertas. Aún así, se pueden efectuar pequeñas variaciones en la dimensión de las puertas para optimizar los diseños. En relación con las dimensiones de los seguidores de fuente (*buffers*), suelen utilizarse dos clases cuyas dimensiones se presentan en las filas cuarta y quinta de la tabla. De entre ambas, la que mejores prestaciones ofrece en cuanto a la velocidad es la de la cuarta fila, esto es, $W_{BE}=9.2\text{ }\mu\text{m}$, $W_{ED}=6\text{ }\mu\text{m}$ [Gómez92]. Ésta se implementa fundamentalmente en los inversores. El otro dimensionamiento es típico de las puertas de múltiples entradas. En general, los diseños en DCFL/SDCFL son muy uniformes en el sentido de la variedad de puertas y las cargas.

3.2.- Análisis.

Se atenderá en este punto a la descripción cuantitativa de las dos familias lógicas presentadas. En una primera etapa, se presentan las características en DC para después pasar al funcionamiento en régimen dinámico. Como conclusiones, se imponen algunas restricciones al conjunto de puertas de las familias.

3.2.1.- Familia DCFL.

Al igual que ocurre en la lógica NMOS, a la que se parece, la familia DCFL es también una lógica con "ratios" (*ratioed logic*) cuyas transiciones y niveles dependen de proporciones de la geometría de los dispositivos. En la lógica DCFL el nivel bajo de tensión a la salida de las puertas depende de las dimensiones de las mismas. Por otro lado, el nivel alto depende significativamente de la carga (*fan-out*). Esta es una diferencia importante con respecto al caso MOS. En las tablas 3.2 y 3.3 se muestran resultados de simulación SPICE. En la primera se dan los niveles altos de tensión alcanzados al incrementar la carga a un inversor. A medida que aumenta, se obtienen valores más pequeños de esta tensión. La justificación cualitativa está en que la curva asociada al diodo de la figura 3.2 es más abrupta cuanto mayor sea la carga a la puerta. La máxima desviación calculada relativa a la situación de

Tabla 3.3. Variación del nivel bajo de tensión de salida con la anchura en DCFL.

W (μm)	22	26	30	34	38
V _{OL} (V)	0.2028	0.1759	0.1560	0.1407	0.1286

abanico de salida unidad (*fan-out* = 1) es del -9.3%. Este hecho obliga a imponer limitaciones en la carga. Típicamente se utiliza 3 como abanico de salida máximo.

La tabla 3.3 presenta la variación del nivel bajo con la anchura del transistor que conmuta. Puede observarse cómo disminuye la tensión de salida al aumentar las dimensiones del transistor. Este hecho ya ha sido comentado en el párrafo precedente. La mayor variación relativa a una anchura de 22 μm de entre las presentadas es del -36.6%. Con objeto de asegurar un margen de ruido aceptable, es típica la dimensión $W=30\mu\text{m}$.

En la figura 3.6 puede verse la curva característica de transferencia del inversor DCFL de relación de aspecto $\beta=W_E/W_D=30/4$ ($f_1(V_{in})$). En la misma, se incluye la curva vista desde la salida por un inversor idéntico ($f_2(V_{out})$) para estimar los márgenes de ruido por el método del cuadrado máximo. El valor del margen de ruido alto es: $NM_H \approx 0.17$ V, el bajo resulta ser ligeramente inferior. La excursión lógica tiene un valor de 0.3727 V.

Para mostrar la forma de las señales de salida de esta familia se incluye la figura 3.7. En ella pueden apreciarse distintas señales conmutando correspondientes a una cadena de inversores en distintas situaciones de carga. El abanico de salida (*fan-out*) es 1, 2 y 3 (como

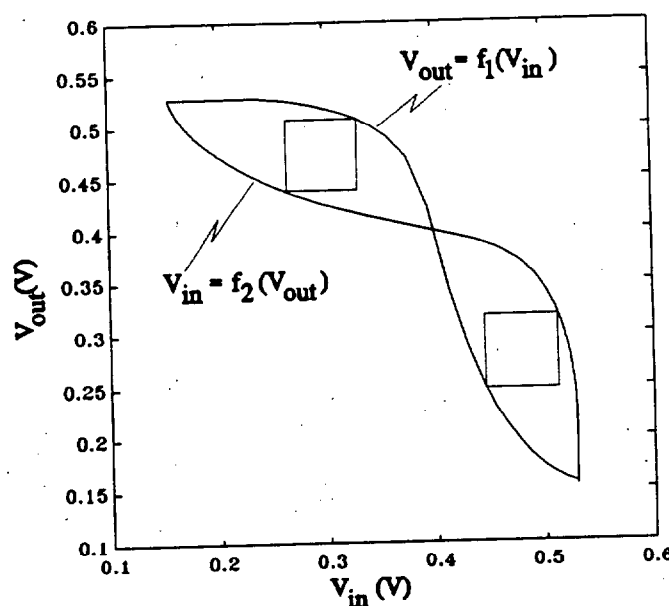


Fig. 3.6. Característica de transferencia en DC del inversor DCFL.

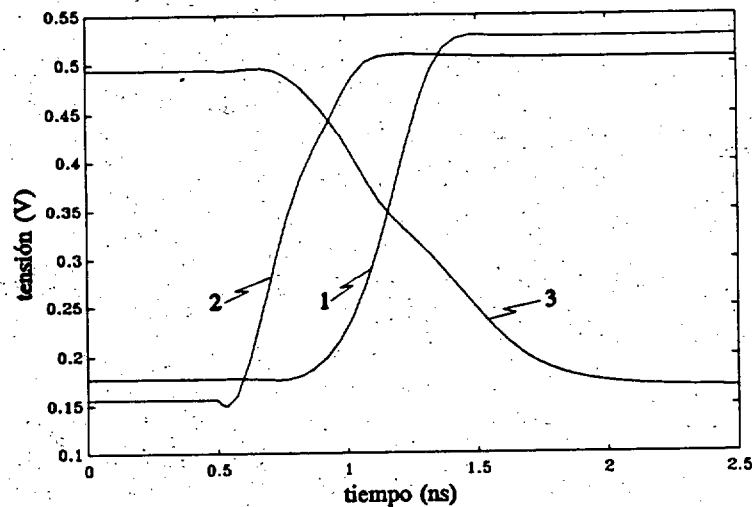


Fig. 3.7. Variación de los niveles de tensión a la salida.

indican los números) para cada caso. En general, para las relaciones de aspecto típicas, la transición de carga del nudo de salida resulta ser más lenta que la contraria. Esto podría corregirse disminuyendo la relación de aspecto. El coste es un aumento de la potencia disipada y la ya comentada disminución del margen de ruido. Por otra parte, se aprecia la influencia de la carga sobre la respuesta transitoria del inversor. Para *fan-out* 3, la forma de onda de salida es mucho más lenta que la correspondiente a una carga inferior. La carga degrada significativamente la respuesta transitoria de la familia, la implicación es una acotación de la carga que puede ser tolerada.

La figura 3.8 ha sido obtenida mediante simulación de una cadena de 5 inversores en anillo. En ella se da idea de las prestaciones de la familia en el compromiso retraso-potencia disipada. V_{dd} denota el valor de la tensión de alimentación, P es la potencia disipada por puerta y t_p representa el retraso de propagación medido. La tensión de alimentación (V_{dd}) de los inversores se ha hecho variar en el intervalo (1, 1.7) V. El retraso medido varía en el intervalo (103.47, 119.33) ps y la potencia disipada por puerta en (178.02, 380.01) μ W.

Como era de esperar, la potencia crece con la tensión de polarización mientras que, por su parte, el retraso obedece a una relación inversa. A mayor valor de la tensión de alimentación, el retraso de cada puerta se hace menor. Esto es así ya que al aumentar V_{dd} , las corrientes de drenador de los transistores aumentan, con ello, la carga asociada a los nudos de salida puede ser alojada y desalojada en menos tiempo pues los niveles lógicos no varían significativamente. A su vez, el producto tensión-intensidad se hace también mayor. La figura 3.9 muestra la dependencia directa entre ambas magnitudes.

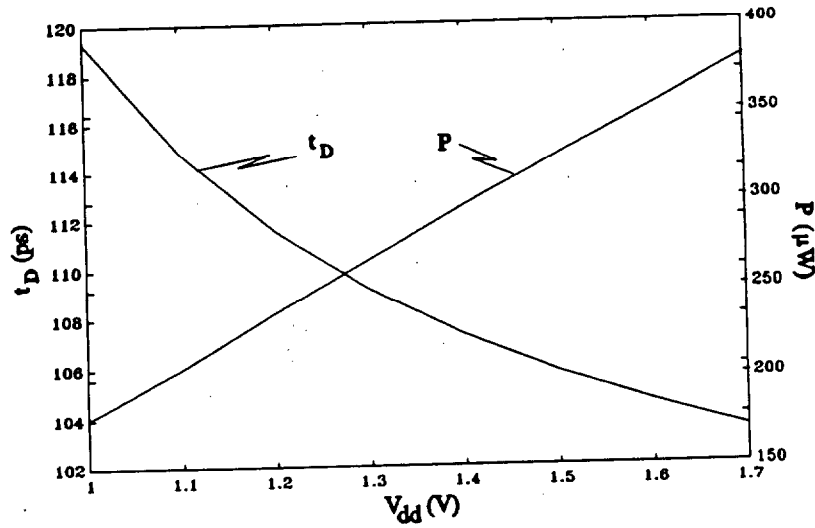


Fig. 3.8. Retraso y potencia disipada por puerta frente a la tensión de alimentación.

El valor de la tensión de alimentación usual es de 1.4 V aproximadamente [Gómez92]. La tipificación de los valores de estas magnitudes es muy escasa, si se compara con el caso MOS, lo cual dificulta en gran medida la tarea de realizar análisis globales para todos los grupos de diseño. Este valor de compromiso arroja un retraso de propagación por puerta de 107.27 ps con una potencia disipada de 295.93 μW .

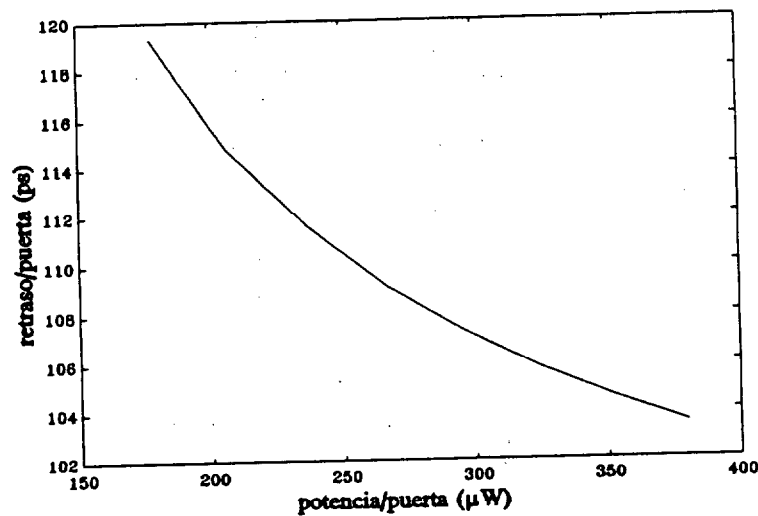


Fig. 3.9. Retraso de propagación frente a la potencia disipada por el inversor DCFL.

Tabla 3.4. Variación del nivel alto de tensión de salida con la carga en SDCFL.

<i>fan-out</i>	1	2	3	4	5	6
V_{OH} (V)	0.5382	0.5187	0.5080	0.5006	0.4949	0.4903

3.2.2.- Familia SDCFL.

El hecho de que esta familia sea descendiente de la anterior hace que arrastre algunas de sus propiedades. En particular, el valor de los márgenes de ruido sigue siendo pequeño. Respecto a las dependencias de los niveles de tensión se pueden seguir los razonamientos expuestos para la familia DCFL ya que el seguidor de emisor, idealmente tan solo los desplazará. Con esto, esta familia es también *ratioed-logic*. La tabla 3.4 (análoga a la tabla 3.2) muestra cómo varía el nivel lógico alto con la carga del nudo de salida de la puerta. Las cargas recorren el intervalo [1, 6] a efectos exclusivamente ilustrativos ya que, como se ha dicho, el abanico de

Tabla 3.5. Variación del nivel bajo de tensión de salida con la anchura en SDCFL.

W (μm)	8	12	16	20	24	28
V_{OL} (V)	0.098	-0.024	-0.080	-0.111	-0.130	-0.143

salida máximo típico es 3. Se produce una degradación del nivel lógico alto relativa al mejor caso con carga mínima del -8.9% (la disminución absoluta es de 47.9 mV, que teniendo presente los márgenes de ruido resulta ser muy importante, el 43.5% del margen de ruido).

La influencia de la dimensión del transistor que conmuta sobre la tensión correspondiente al nivel bajo se refleja en la tabla 3.5. Cuanto mayor es la anchura del referido transistor, mejor es el nivel de tensión estacionario, esto es, más pequeño resulta. Los valores negativos se alcanzan gracias a la polarización negativa aplicada al terminal de fuente del transistor que actúa como carga activa del seguidor de fuente, -0.2 V. Cualitativamente, la dependencia es la misma que la obtenida en el caso DCFL, la disminución relativa al peor de los casos presentados es del -114.6%. Como queda reflejado en la tabla 3.1, las dimensiones típicas para la anchura del transistor responsable de la conmutación es de 12 ó 16 μm . De nuevo la elección se realiza atendiendo al compromiso márgenes de ruido-retraso de propagación.

La figura 3.10 muestra la curva de transferencia del inversor de la familia lógica.

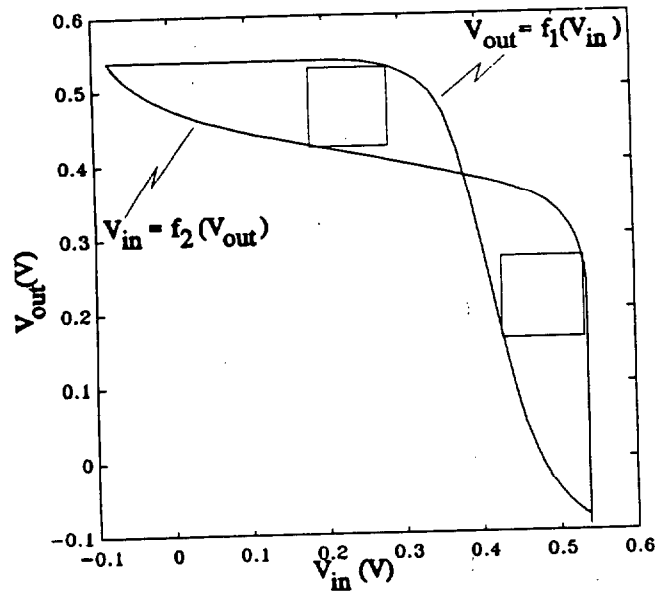


Fig. 3.10. Característica de transferencia en DC de un inversor SDCFL.

Como en la figura 3.6, se representa en la misma gráfica la característica vista por un inversor idéntico a la salida. Si se comparan ambas curvas, se nota cómo la excursión lógica en este caso ha aumentado hasta un valor aproximado de 0.6 V frente al medido para la familia DCFL de valor 0.3727 V. Esto es, se duplica el valor de la excursión lógica. Sin embargo, los márgenes de ruido no mejoran. El margen de ruido en nivel alto, obtenido de la figura es $NM_H = 0.11$ V; para el nivel bajo se tiene, $NM_L = 0.10$ V.

En las figuras 3.11 y 3.12 (análogas a la figura 3.8) se muestran resultados obtenidos

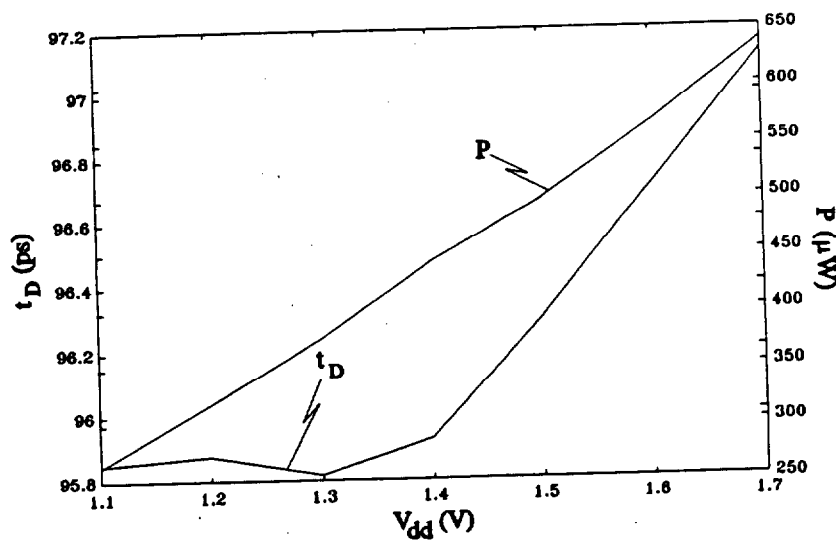


Fig. 3.11. Retraso y potencia disipada por puerta frente a la tensión V_{dd} .

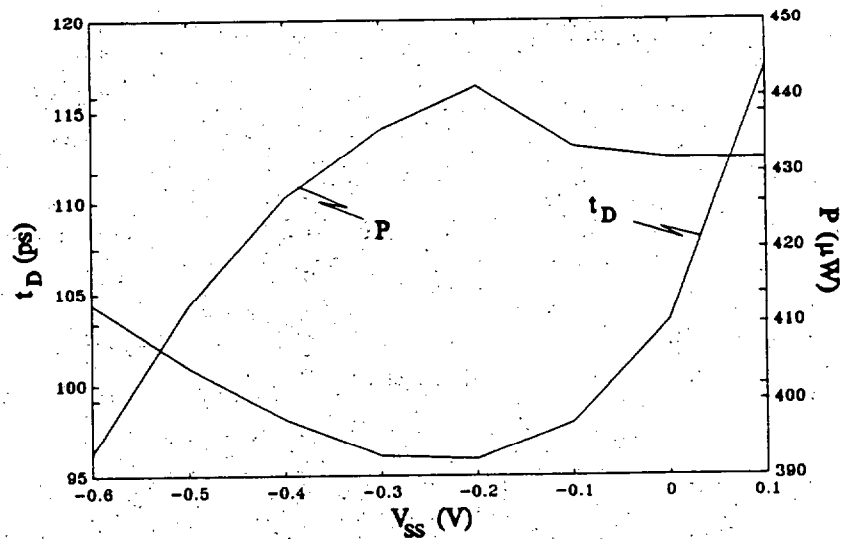


Fig. 3.12. Retraso y potencia disipada por puerta frente a la tensión de alimentación V_{ss}

por simulación de una cadena de inversores SDCFL en anillo haciendo variar las tensiones de alimentación V_{dd} y V_{ss} . Los puntos extremos de los intervalos se incluyen por completitud en el análisis, sin embargo, en estos puntos el margen de ruido de la lógica se degrada substancialmente. La dependencia funcional es distinta en ambos casos. El intervalo de variación con V_{dd} de ambas magnitudes es $t_D \in [95.85, 97.12]$ ps y $P \in [262.47, 637.97]$ μ W. Si es la tensión de polarización negativa, V_{ss} , la que varía, $t_D \in [95.1, 117.4]$ ps y $P \in [393.21, 441.32]$ μ W. La elección de los valores de las tensiones típicas es de nuevo un compromiso entre la terna retraso-potencia-área. Típicamente sus valores son los ya indicados, $V_{dd} = 1.4$ V y $V_{ss} = -0.2$ V.

Comparando los valores de la potencia disipada de la familia objeto de análisis con los obtenidos para la DCFL se observa un mayor consumo de la lógica con seguidor de fuente. En términos relativos, la potencia disipada aumenta en un 33%. Este hecho se mencionó anteriormente, se debe al aumento del número de dispositivos por puerta. Al tiempo, se observan retrasos de propagación menores. La mejora en el retraso por puerta es del 12% respecto a la familia DCFL. De modo que por simulación se justifica la presencia del seguidor de fuente en la lógica SDCFL.

3.2.3.- Influencia de la temperatura sobre el funcionamiento de la lógica.

En esta sección se pretende mostrar la forma en que las variaciones de la temperatura afectan la respuesta de las puertas lógicas. El objetivo es obtener conclusiones cualitativas globales

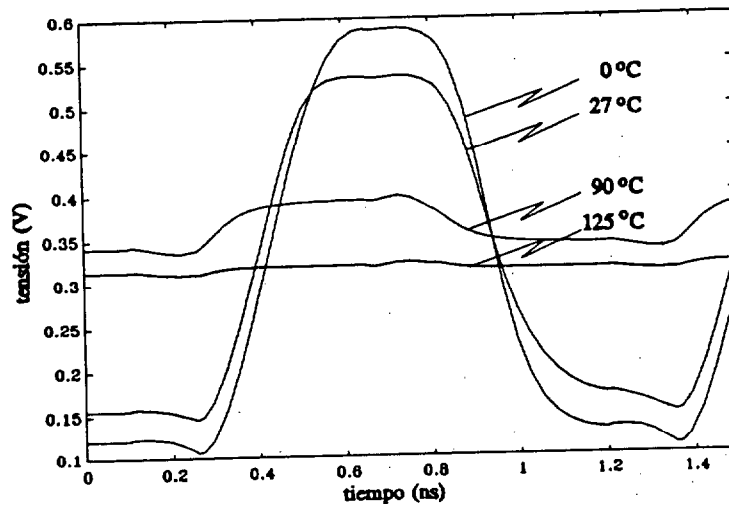


Fig. 3.13. Respuesta transitoria de un inversor DCFL para distintas temperaturas.

que permitan intuir cómo la lógica se degrada al aumentar la temperatura de operación.

Los parámetros del modelo de HSPICE para los que están implementadas expresiones que dan la dependencia con la temperatura son de distintos niveles de descripción. Las ecuaciones que dan esta dependencia han sido ya presentadas en el capítulo anterior.

En la figura 3.13 puede verse la manera en que se degrada la respuesta transitoria del inversor DCFL. En ella se muestran resultados de simulaciones realizadas variando la temperatura de operación del circuito consistente en una cadena de cuatro inversores. En la figura se muestra la tensión en el nudo central de la cadena. Estos resultados se muestran para hacer evidente la degradación de la excursión lógica a temperaturas altas. Sin embargo, la

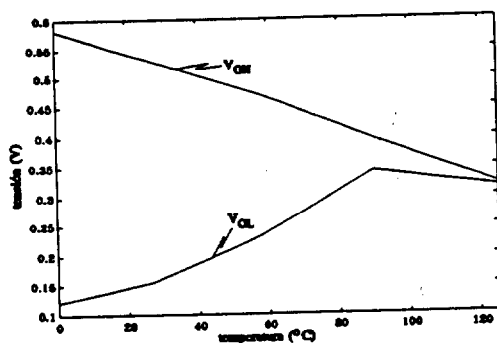


Fig. 3.14. Niveles de tensión frente a la temperatura para el inversor DCFL.

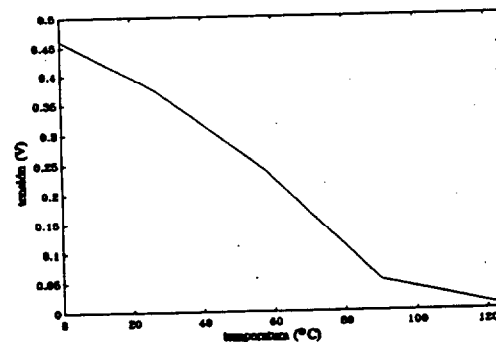


Fig. 3.15. Variación con la temperatura de la excursión lógica del inversor DCFL.

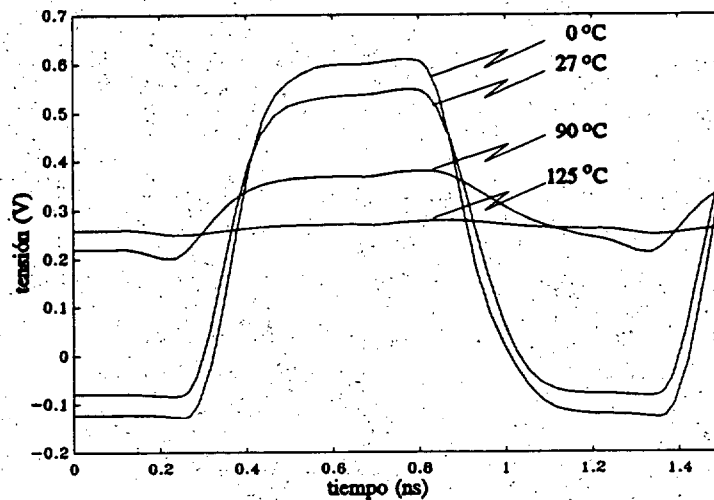


Fig. 3.16. Respuesta transitoria de un inversor SDCFL para distintas temperaturas.

estimación cuantitativa no es precisa ya que no se dispone de los valores de los parámetros de los modelos de temperatura de los dispositivos utilizados.

La excursión lógica se degrada notablemente al aumentar la temperatura de operación. De hecho, a tenor de los resultados obtenidos con los valores por defecto de los parámetros, a temperaturas de 90 °C y de 125 °C la lógica no conmuta. En particular, a 125 °C la respuesta del inversor es prácticamente plana.

En la figura 3.14 pueden observarse las variaciones con la temperatura de los niveles de tensión en el estado estacionario correspondientes a los niveles alto y bajo. Es destacable cómo la dependencia que muestra el nivel alto es marcadamente lineal con una disminución media de 2.1 mV/°C. El nivel bajo es creciente con la temperatura.

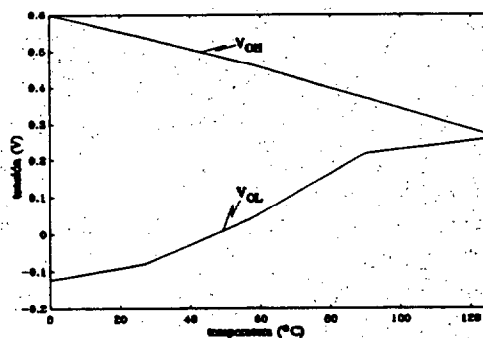


Fig. 3.17. Niveles de tensión frente a la temperatura para el inversor SDCFL.

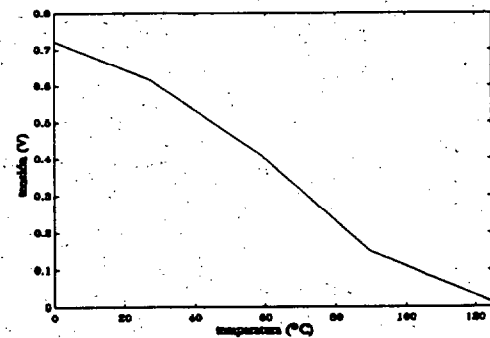


Fig. 3.18. Variación con la temperatura de la excursión lógica para el inversor SDCFL.

Como resumen de los resultados presentados en las figuras anteriores (3.13 y 3.14) se incluye la figura 3.15. En ella está representado el valor de la excursión lógica frente a la temperatura de operación. La excursión lógica disminuye con la temperatura a razón de $3.6 \text{ mV/}^{\circ}\text{C}$, que es relativamente grande.

Con relación a la familia SDCFL se presentan curvas análogas a las anteriores. Así, en la figura 3.16 se pueden observar los resultados de simulación correspondientes al análisis transitorio de una cadena de igual número de inversores que la anterior. De nuevo, la respuesta es casi plana a una temperatura de 125°C . En la figura 3.17 se representan los niveles de tensión estacionarios. En esta lógica, de nuevo, el nivel alto varía de forma lineal. La razón promediada de disminución de este nivel de tensión es de $2.6 \text{ mV/}^{\circ}\text{C}$. Finalmente, en la figura 3.18 se muestra el valor de la excursión lógica. En este caso la pendiente promedio de la curva es de $-5.7 \text{ mV/}^{\circ}\text{C}$.

Se concluye, por tanto, que las familias lógicas presentan una acusada sensibilidad a las variaciones de la temperatura de operación. Este hecho obliga a los fabricantes a un estrecho control de las tensiones de umbral de los dispositivos para hacer operativo el funcionamiento de la lógica en un amplio rango de temperaturas [Cates90].

Será preciso redimensionar las puertas así como, en los procesos tecnológicos, poner especial cuidado en la implementación de dispositivos que funcionen correctamente cuando se alcancen ciertas temperaturas. Del mismo modo, los diseñadores habrán de evitar la presencia de "puntos calientes", entendidos como zonas de la oblea en las que el nivel de potencia disipada es alto. Por otro lado, el diseño del encapsulado deberá hacerse con especial cuidado y las propiedades térmicas de los mismos seleccionadas para que la operación del circuito sea fiable al aumentar la temperatura.

CAPÍTULO 4

MODELO ANALÍTICO DE LA RESPUESTA TRANSITORIA DE PUERTAS DCFL

En los capítulos anteriores se han puesto de manifiesto las características funcionales de dispositivos y circuitos basados en MESFETs para diseño VLSI, así como las principales peculiaridades que hacen más ardua la tarea de encontrar buenos modelos para su implementación en analizadores temporales.

No obstante, el desarrollo industrial de esta tecnología y el nivel de integración que se está alcanzando demanda poder disponer de modelos y herramientas de ayuda al diseño y a la verificación de circuitos, de un nivel de calidad y soporte similar a los analizadores temporales existentes para tecnologías de Silicio.

Con este objetivo se presentan en este capítulo 4, y en el 5, 6 y 7 los resultados obtenidos en el trabajo realizado, que forman el núcleo principal de esta tesis. En particular, en este capítulo se presentan los resultados de las investigaciones realizadas en la búsqueda de un modelo analítico de la respuesta transitoria de inversores de la familia DCFL. La extensión de estos resultados a la SDCFL puede realizarse, en primera aproximación, introduciendo los efectos del seguidor de fuente desplazando los niveles de tensión estacionarios a la vez que reposicionando la señal en el tiempo por una cantidad fija.

4.1.- Introducción.

Si se requiere estimar, con cierto grado de precisión, la forma de onda de tensión en un nudo cualquiera interno en un circuito lógico, existen básicamente dos alternativas de cálculo. O se utiliza un simulador numérico o se evalúan las soluciones de algún modelo físico.

El modelo debe ser lo suficientemente simple como para que las ecuaciones

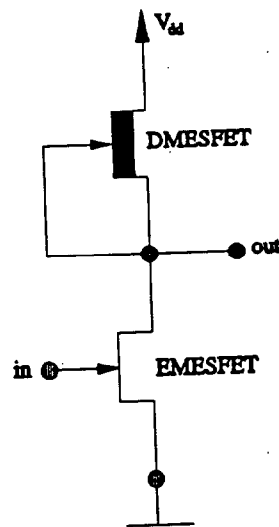


Fig. 4.1. Inversor DCFL

diferenciales que se planteen tengan solución cerrada. En general, la primera aproximación al problema, siendo más precisa, es más costosa en tiempo de cálculo.

En el caso de las familias lógicas CMOS y BiCMOS, ya han sido publicadas soluciones [HedJe87], [SakNe91], [FuAsS91]. No ocurre lo mismo para las familias lógicas implementadas en GaAs, debido al escaso grado de "estandarización" de las mismas junto con la complejidad introducida por la presencia de la función tangente hiperbólica en el modelo del transistor, ecuación {4.1}.

$$I_{ds} = \beta \cdot (V_{gs} - V_T)^2 \cdot (1 + \lambda \cdot V_{ds}) \cdot \tanh(\alpha \cdot V_{ds}) \quad \{4.1\}$$

En este capítulo se presenta un modelo analítico para el inversor DCFL (figura 4.1). El modelo se obtiene de simplificar el circuito resultante al tomar el modelo en gran señal del transistor (figura 4.2). La selección de la hipótesis simplificadoras se realiza atendiendo a dos criterios básicos. Por un lado, se requiere un modelo lo suficientemente simple como para que las ecuaciones dinámicas del circuito resultante tengan solución en el tiempo. Por otro, deben ser tales que el resultado final tenga sentido físico, es decir, la realidad física que se analiza debe quedar reflejada al menos de manera aproximada.

En el proceso de simplificación se plantearon hipótesis menos restrictivas que las finalmente propuestas que dieron lugar a formulaciones que sólo admitían soluciones numéricas en el sentido que implicaban series de potencias. Ante la disyuntiva de truncar las

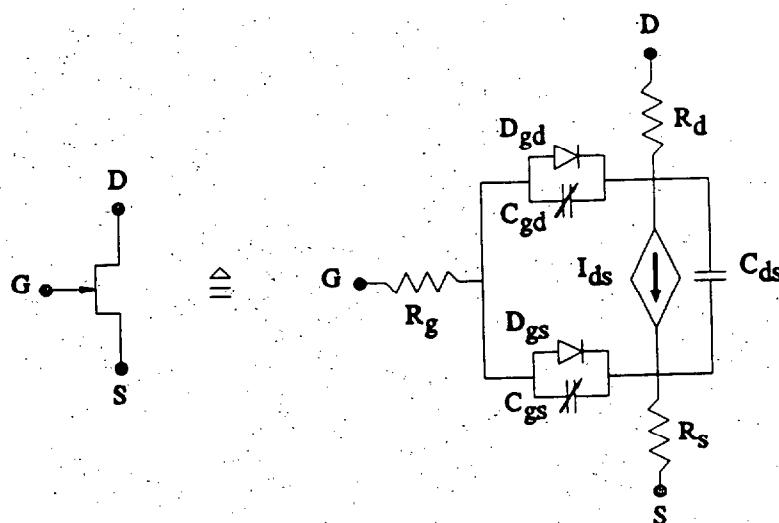


Fig. 4.2. Modelo en gran señal del MESFET

series o realizar alguna hipótesis adicional que permita obtener soluciones analíticas, se optó por lo segundo. Por ello, el modelo resultante contiene aproximaciones que pueden parecer muy restrictivas. Sin embargo, los resultados obtenidos justifican su validez.

4.2.- Modelo circuital. Planteamiento de la ecuación dinámica.

Con objeto de obtener un modelo analítico de la respuesta del inversor DCFL, es preciso simplificar el circuito resultante de la aplicación directa del modelo en gran señal. Se hacen varias hipótesis con este propósito.

La primera de ellas consiste en suponer que el transistor de depleción se encuentra siempre operando en saturación, con un valor constante de intensidad I_U . La hipótesis puede realizarse gracias a la pequeña variación de esta corriente en la conmutación del inversor. De simulaciones realizadas con SPICE, esta corriente varía típicamente en el rango $[210, 260] \mu A$.

Se considera también que no existe camino desde la puerta del transistor que conmuta hasta el nudo de fuente, o sea, se supone que el diodo D_{gs} (figura 4.2) está cortado y que el condensador no lineal C_{gs} es muy pequeño para todos los valores de V_{gs} del intervalo de variación. Además, se desprecian los efectos de todas las resistencias parásitas presentes en los transistores reales. El diodo D_{gd} se modela mediante una resistencia de valor R_1 y análogamente, el capacitor no lineal C_{gd} se supone dado por uno lineal de valor C_1 (ecuaciones {4.7} y {4.8}).

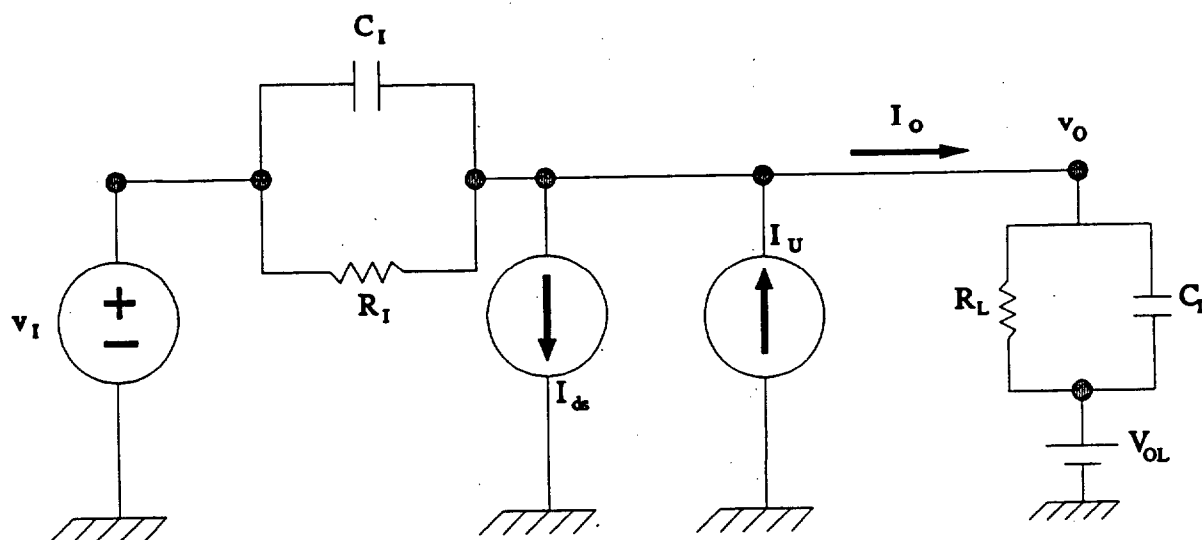


Fig. 4.3. Modelo aproximado del inversor

Actuando como carga, uno o un grupo de inversores, pueden modelarse como una red lineal constituida por la conexión en paralelo de un capacitor y una resistencia (C_L , R_L), en serie con la fuente independiente V_{OL} (capítulo 5, sección 5.3.2.1). La capacidad C_L contiene los efectos de C_{ds} y las posibles interconexiones modelables como capacidades a tierra. Finalmente se utiliza el modelo de la corriente de drenador dado en la ecuación {4.2}.

$$I_{ds} = \begin{cases} 0; & V_{gs} \leq V_T \\ \frac{\beta}{V_s} \cdot (V_{gs} - V_T)^2 \cdot V_{ds}; & V_{gs} > V_T, V_{ds} \leq V_s \\ \beta \cdot (V_{gs} - V_T)^2; & V_{gs} > V_T, V_{ds} > V_s \end{cases} \quad \{4.2\}$$

Este modelo consiste en una aproximación lineal a tramos de la característica de salida del transistor donde la saturación se alcanza para un valor de tensión V_s . También se considera despreciable la modulación del canal. Se evita con este modelo simple involucrar la tangente hiperbólica en el problema. V_s es un valor aproximado de la tensión de saturación. Se estima a partir de las curvas características de salida del transistor. En este caso se toma como 0.5 V. Con todo, el modelo de circuito que simplificado es el que se muestra en la figura 4.3.

Una hipótesis referida a la forma de la excitación consiste en expresarla como las funciones rampa de las ecuaciones {4.3}.

$$v_{ILH} = \begin{cases} V_{IL} ; & t \leq t_0 \\ m_{LH} \cdot t + V_{IL} ; & t < t_0 \leq t_r \\ V_{IH} ; & t > t_r \end{cases} \quad v_{IHL} = \begin{cases} V_{IH} ; & t \leq t_0 \\ m_{HL} \cdot t + V_{IH} ; & t < t_0 \leq t_f \\ V_{IL} ; & t > t_f \end{cases} \quad \{4.3\}$$

Nótese que es preciso distinguir el sentido de la transición, de alto a bajo o de bajo a alto con objeto de precisar las condiciones iniciales del circuito.

Las pendientes m_{LH} y m_{HL} se dan en las expresiones {4.4}.

$$m_{LH} = \frac{V_{IH} - V_{IL}}{t_r} ; \quad m_{HL} = \frac{V_{IL} - V_{IH}}{t_f} \quad \{4.4\}$$

Los distintos parámetros requeridos en el circuito equivalente pueden obtenerse a partir de los parámetros de SPICE del transistor. El valor de I_U corresponde a la corriente fluyendo por el transistor de deplexión dada (en primera aproximación) por la ecuación {4.1} despreciando la modulación del canal, ecuación {4.5},

$$I_U = A_D \cdot \beta_D \cdot V_{TD}^2 \quad \{4.5\}$$

el subíndice D se refiere a parámetros del transistor de deplexión. A_D representa el valor del factor de área.

El criterio aplicado al derivar expresiones para las capacidades es el de considerarlas como valores promedio en la transición analizada. Así se tienen las expresiones mostradas en las ecuaciones {4.6} y {4.7} para cada una de ellas.

$$C_I = \frac{A_E}{V_{IH} - V_{OL} - V_{IL} + V_{OH}} \cdot \int_{v_L}^{v_H} \frac{C_{gdo}}{\sqrt{1 - \frac{x}{V_{BI}}}} dx =$$

$$= \frac{2 \cdot A_E \cdot C_{gdo} V_{BI}^{3/2}}{V_{IH} - V_{OL} - V_{IL} + V_{OH}} \cdot \left[(1 + V_{OH} - V_{IL})^{1/2} - (1 + V_{OL} - V_{IH})^{1/2} \right] \quad \{4.6\}$$

$$\begin{aligned}
C_L &= C_{int} + A_E \cdot C_{ds} + \left[\sum_{i=1}^{fo} A_{Ei} \right] \cdot \frac{C_{gso}}{V_{OH} - V_{OL}} \cdot \int_{V_{OL}}^{V_{OH}} \frac{1}{1 - \frac{x}{V_{BI}}} dx = \\
&= C_{int} + A_E \cdot C_{ds} + \left[\sum_{i=1}^{fo} A_{Ei} \right] \cdot \frac{2 \cdot C_{gso} V_{BI}^{3/2}}{V_{OH} - V_{OL}} \cdot \left[(1 - V_{OL})^{1/2} - (1 - V_{OH})^{1/2} \right]
\end{aligned} \quad \{4.7\}$$

donde el subíndice E indica datos referidos al transistor de enriquecimiento, A_E denota el factor de área, C_{gso} es el valor de la capacidad de unión del diodo D_{gd} a polarización nula (análoga a C_{gso}), V_{BI} es la tensión de *built-in* del transistor, C_{int} representa el valor de la capacidad que da cuenta de las interconexiones, C_{ds} es la capacidad drenador-fuente y el subíndice i se extiende a todas las puertas que constituyan el abanico de salida (*fan-out*, (fo)) de la puerta.

Para el cálculo de estas capacidades se requiere el conocimiento previo de los niveles de tensión a la salida en estado estacionario. Se ha mencionado que en esta lógica, los niveles alto y bajo no son fijos. Varían nudo a nudo dependiendo de las dimensiones (*ratioed logic*), la carga y los niveles altos a la entrada. Así, antes de proceder a la evaluación de la respuesta transitoria de una determinada puerta, es preciso calcular cuáles son estos niveles de salida.

Para obtener los niveles de tensión en estado estacionario se resuelve el circuito mediante un análisis estático. El nivel alto no depende del valor bajo de tensión a la entrada pues en esa situación el *driver* está cortado, depende de las condiciones de carga a la puerta y las dimensiones del transistor de depleción. En este caso se encuentra una solución cerrada dada en la ecuación {4.8} [Shur87].

$$V_{OH} = n V_t \log \left[\frac{I_{th}}{\eta f_o A_E J_{SAT}} + 1 \right] + \frac{1}{f_o} I_{th} R_s \quad \{4.8\}$$

donde n es el coeficiente de emisión del diodo D_{gs} , V_t la tensión térmica, I_{th} representa la tensión de salida de la puerta cuando el nivel de tensión a la salida es bajo (de valor muy pequeño pero apreciable cuando se considera la resistencia R_s), J_s es la densidad de corriente de saturación, fo representa al abanico de salida (*fan-out*) y η es un parámetro de valor 1.5 que se propone para mejorar la estimación. Con respecto al nivel bajo, que depende del nivel de entrada y de las dimensiones de ambos transistores y no de la carga, se calcula por un procedimiento iterativo (de rápida convergencia).

Los valores de las resistencias R_I y R_L son obtenidos como se indica a continuación. Suponer que en el circuito equivalente de la figura 4.3 se hacen C_I y C_L nulos (modelo estático). Considerar que si la entrada es V_{IH} , la salida es V_{OL} , el transistor de enriquecimiento opera en zona lineal y además fluye una corriente despreciable hacia la salida pues los transistores que actúan como carga están cortados, $I_O = 0$. Resolviendo el circuito resultante queda para R_I la expresión {4.9}.

$$R_I = \frac{V_S \cdot (V_{IH} - V_{OL})}{A_E \cdot \beta_E \cdot V_{OL} \cdot (V_{IH} - V_T)^2 - I_U \cdot V_S} \quad \{4.9\}$$

Análogamente cuando la señal de entrada es V_{IL} queda para R_L la ecuación {4.10}.

$$R_L = \frac{R_I \cdot (V_{OH} - V_{OL})}{V_{IL} - V_{OH} + R_I \cdot I_U} \quad \{4.10\}$$

La ecuación dinámica que se obtiene del análisis del circuito equivalente de la figura 4.3 es la propuesta en la expresión {4.11}.

$$R_I R_L (C_I + C_L) \dot{v}_o + (R_I + R_L) v_o = R_I R_L C_I \dot{v}_i + R_L v_i + R_I V_{OL} + R_I R_L I_U - R_I R_L I_{ds} \quad \{4.11\}$$

Teniendo presente que la señal de excitación es una rampa, la expresión general de la ecuación diferencial es {4.12}.

$$p \dot{v}_o + q v_o = a t^2 + b t + c \quad \{4.12\}$$

La solución general de la misma es {4.13}.

$$v_o(t) = K e^{-\frac{q}{p}t} + \frac{a}{q} t^2 + \left[\frac{b}{q} - \frac{2ap^2}{q^2} \right] t + \frac{2ap^2}{q^3} - \frac{bp}{q^2} + \frac{c}{q} \quad \{4.13\}$$

La expresión {4.13} ha de ser particularizada en distintas regiones de operación. Así, para la transición de bajada a la salida presentada en la figura 4.4 (fruto de simulación) se distinguen seis de estas regiones, las cuales se definen en la tabla 4.1.

En la región IV es preciso redefinir la forma de la corriente I_{ds} para poder obtener una solución cerrada de la ecuación diferencial. En particular, y sólo para esta zona, se hace lo

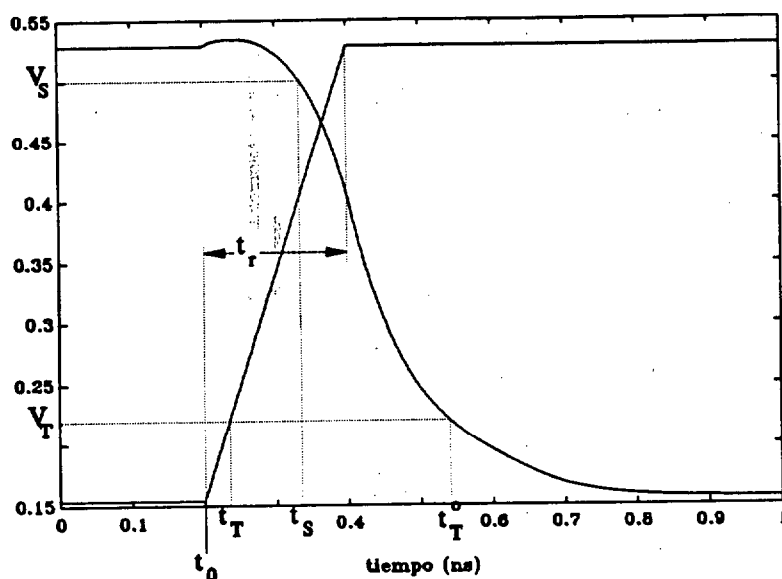


Fig. 4.4. Regiones cualitativamente distintas de la solución de la ecuación dinámica {4.13}.

reflejado en la ecuación {4.14}.

$$I_{ds} = R_{ON}^{-1} \cdot V_{ds} \quad (4.14)$$

$$R_{ON}^{-1} = \frac{1}{V_{IH} - v_i(t_s)} \cdot \int_{v_i(t_s)}^{v_m} \frac{\beta}{V_S} (x - V_T)^2 dx$$

Para el cálculo de R_{ON} se precisa evaluar t_s , lo cual implica un proceso iterativo. La diferencia entre las regiones V y VI reside en la corriente de salida de la puerta ya que en

Tabla 4.1. Regiones recorridas por las soluciones

Región	Condición sobre t	Estado del E-MESFET	Expresión de la excitación
I	$t \leq t_0$	CORTE	$v_i = V_{IL}$
II	$t_0 < t \leq t_T$	CORTE	$v_i = m_{LH}t + V_{IL}$
III	$t_T < t \leq t_s$	SATURACIÓN	$v_i = m_{LH}t + V_{IL}$
IV	$t_s < t \leq t_0 + t_r$	ÓHMICA	$v_i = m_{LH}t + V_{IL}$
V	$t_0 + t_r < t \leq t_T^o$	ÓHMICA	$v_i = V_{IH}$
VI	$t > t_T^o$	ÓHMICA	$v_i = V_{IH}$

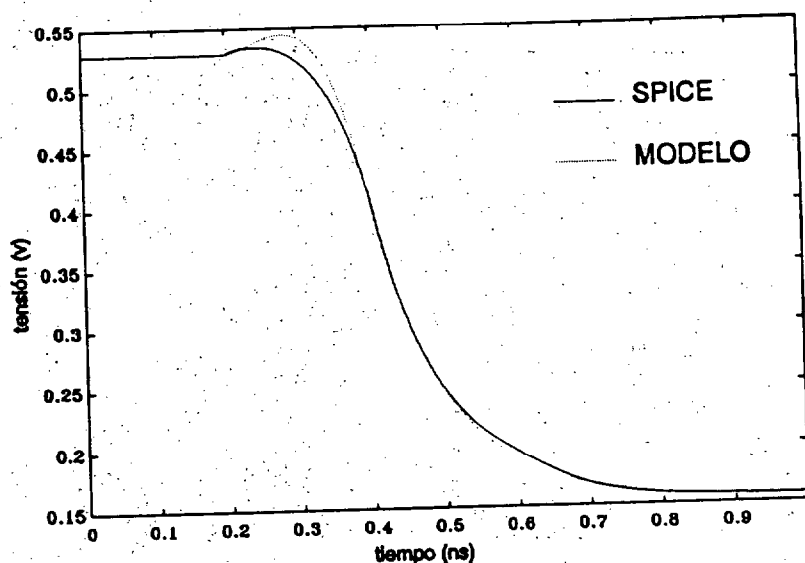


Fig. 4.5. Comparación de las respuestas de SPICE y el modelo propuesto en tres tramos

la VI, tal corriente es considerada nula, al estar los transistores de carga cortados.

Imponiendo continuidad a las soluciones es posible determinar la solución en todo el intervalo temporal, $[t_0, \infty)$. La transición de subida es cualitativamente equivalente.

4.3.- Simplificación de la solución. Parámetros heurísticos.

Es posible reducir el número de tramos obtenidos como solución general del problema. Para ello, se ha analizado detalladamente la forma de cada tramo. Así, de las seis regiones planteadas anteriormente, se descartan tres. Se introduce además, en el caso de transiciones de descarga, un parámetro heurístico (γ , de valor en torno a 4) para mejorar la respuesta. La necesidad de este parámetro es en gran medida fruto de los errores cometidos al promediar los valores de las capacidades. Este parámetro hace que el modelo no sea totalmente analítico. En la figura 4.5 están representadas las soluciones obtenidas mediante SPICE y el modelo propuesto de tres regiones para la transición de descarga del nudo de salida.

La expresión de las tres regiones se encuentra en la ecuación {4.15}, donde las constantes están dadas por las ecuaciones {4.16}.

$$v_o(t) = \begin{cases} V_{OH}; & t \leq t_o \\ K_1 \cdot e^{-\lambda_1(t-t_o)} + L_1(t-t_o)^2 + M_1(t-t_o) + N_1; & t_o < t \leq t_o + t_r \\ K_2 \cdot e^{-\lambda_2(t-t_o-t_r)} + N_2; & t > t_o + t_r \end{cases} \quad \{4.15\}$$

$$\begin{aligned} \lambda_1 &= \frac{R_I + R_L}{R_I R_L \gamma (C_I + C_D)}; \quad L_1 = -\frac{m_{LH}^2 R_I R_L \beta}{R_I + R_L} \\ M_1 &= \frac{m_{LH} R_L [1 - 2R_I \beta (V_{IL} - V_T)]}{R_I + R_L} + \frac{2m_{LH}^2 R_I^2 R_L^2 \beta \gamma (C_I + C_D)}{(R_I + R_L)^2} \\ N_1 &= -\frac{2m_{LH}^2 R_I^3 R_L^3 \beta \gamma (C_I + C_D)^2}{(R_I + R_L)^3} - \\ &\quad - \frac{m_{LH} R_I R_L^2 \gamma (C_I + C_D) [1 - 2R_I \beta (V_{IL} - V_T)]}{(R_I + R_L)^2} + \\ &\quad + \frac{R_L \{R_I [m_{LH} C_I + I_U - \beta (V_{IL} - V_T)^2] + V_{IL}\} + R_I V_{OL}}{R_I + R_L} \\ K_1 &= V_{OH} - N_1 \\ \lambda_2 &= \frac{R_I + R_L + \frac{\beta}{V_S} R_I R_L (V_{IH} - V_T)^2}{R_I R_L \gamma (C_I + C_D)} \\ N_2 &= \frac{R_L (R_I I_U + V_{IH}) + R_I V_{OL}}{R_I + R_L + \frac{\beta}{V_S} R_I R_L (V_{IH} - V_T)^2} \\ K_2 &= K_1 e^{-\lambda_1 t_r} + L_1 t_r^2 + M_1 t_r + N_1 - N_2 \end{aligned} \quad \{4.16\}$$

El segundo tramo en {4.15} ($t_o < t \leq t_o + t_r$) corresponde a la región III de las presentadas en la tabla 4.1. El tercero es el de la región VI.

A tenor de los resultados puede concluirse que el *driver* sale del corte en tiempo nulo, esto es, pasa a saturación instantáneamente. El transistor queda en esta zona de operación hasta que la señal de entrada alcanza su valor estacionario ($v_i = V_{IH}$). Utilizando sólo tres tramos se evita utilizar procedimiento iterativo alguno en la determinación de las constantes ya que no se requieren t_s ni R_{ON} . El transistor pasa a zona óhmica una vez que la entrada alcanza el valor estacionario.

De la dependencia de los distintos coeficientes involucrados en las formas de onda, pueden deducirse interesantes conclusiones sobre la influencia de algunos parámetros del modelo de SPICE del transistor sobre su funcionamiento temporal. Por ejemplo, la pendiente de entrada no está presente en las constantes de tiempo (λ_1 y λ_2) ni en los tramos primero y tercero del modelo simplificado. Luego la influencia del valor de este parámetro se reduce a los términos polinómicos del segundo tramo.

La función que da la respuesta en las transiciones de carga del nudo de salida, es análoga a la anterior. Ha sido obtenida a partir de la solución general {4.11} eliminando, como anteriormente, los tramos despreciables.

En este caso se necesita introducir dos parámetros empíricos (ν y ξ) en lugar del único parámetro γ requerido en la transición opuesta. La forma de la señal de tensión a la salida es la dada en la ecuación {4.17},

$$v_o(t) = \begin{cases} V_{OL}; & t \leq t_o \\ H_1(t-t_o)^2 + I_1; & t_o < t \leq t_o + t_T \\ H_2 \cdot e^{-\lambda(t-t_T)} + I_2; & t > t_o + t_T \end{cases} \quad \{4.17\}$$

cuyo tramo intermedio ($t_o < t \leq t_o + t_T$) es significativamente más simple que el correspondiente en la ecuación {4.15}. Esto así debido al hecho que la variación de la pendiente en esta transiciones es bastante lineal, no como en la de sentido opuesto (véase por ejemplo la figura 4.6 para comparar las formas de onda en las transiciones de carga y descarga respectivamente).

Las ecuaciones {4.18} muestran expresiones para el cálculo de los diversos parámetros presentes en {4.17},

$$\begin{aligned} H_1 &= -\nu\beta R_L M_P^2; \quad M_P = \xi m_{HL}; \quad t_T = t_o + \frac{V_T - V_{IH}}{M_P}; \quad I_1 = V_{OL}; \\ H_2 &= H_1(t_T - t_o)^2 + I_1 - I_2; \quad I_2 = \frac{R_L(V_{LL} + R_I I_U) + R_I V_{OL}}{R_L + R_I}; \quad \lambda = \frac{R_L + R_I}{R_L R_I (C_L + C_I)} \end{aligned} \quad \{4.18\}$$

donde, como se ha dicho, se requieren los parámetros empíricos de ajuste ν y ξ .

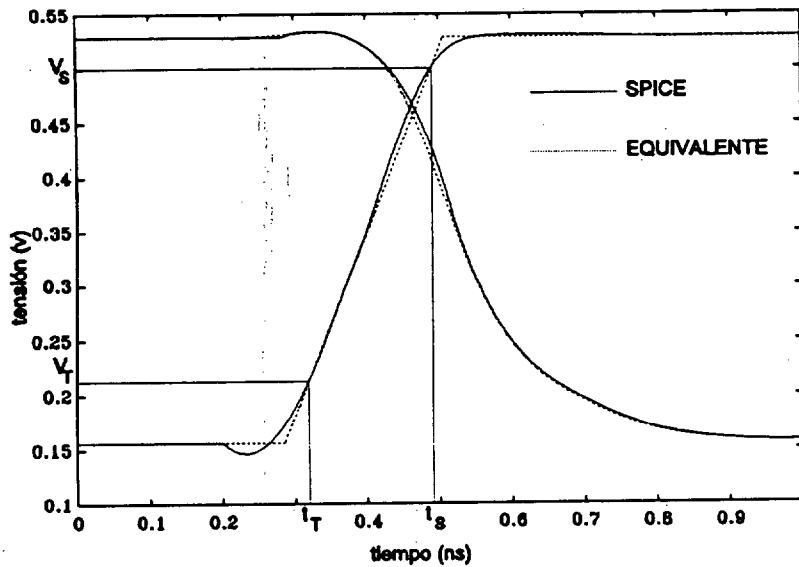


Fig. 4.6. Rampa equivalente a una señal de entrada.

4.3.1.- Definición de rampa equivalente.

Puede extraerse una propiedad relativa a la forma de onda basada en la posibilidad de simplificar la expresión a tres regiones. Como la respuesta está dada por la solución en la región III de la tabla, la influencia del valor de la pendiente de entrada (m_{LH}) sobre ella es más importante en el intervalo temporal transcurrido en esa región ((t_T, t_S)). Luego dada una señal "real" es posible definir una rampa equivalente tal que la respuesta a ambas señales (la "real" y la rampa) sea la misma.

Esto se ilustra en la figura 4.6 donde se representan las cuatro señales, dos de ellas (ascendentes) son las entradas a un inversor DCFL y las otras dos (descendentes) la salida. La forma de definir la señal equivalente de entrada se basa en lo propuesto sobre la rampa equivalente. Es decir, dados V_T y V_S (ver figura 4.6), se calculan aproximadamente los instantes temporales, t_T y t_S , en los que la señal "real" los alcanza. Con esos datos se define la pendiente de la señal equivalente, dada por la ecuación {4.19}.

$$m_{LH} = \frac{v_i(t_S) - V_T}{t_S - t_T} \quad \{4.19\}$$

La señal de excitación equivalente lineal a tramos se define en la ecuación {4.20}.

$$v_i^*(t) = \begin{cases} V_L; & t < t_o \\ m_{LH}^* t + V_L; & t_o \leq t \leq t_o + t_r^* = t_o + \frac{V_{IH} - V_L}{m_{LH}^*} \\ V_{IH}; & t > t_o + t_r^* \end{cases} \quad \{4.20\}$$

Para el cálculo de la rampa equivalente a la entrada se precisa el cálculo de t_s por el procedimiento iterativo cuando, como se ha dicho, no es necesario a la hora de estimar la forma de onda de salida.

También es posible definir esta rampa equivalente en el caso de transiciones de carga a la salida pues se obtienen resultados completamente análogos.

4.4.- Resultados.

Con objeto de mostrar la bondad del modelo cuasi-analítico propuesto, se dedica este punto a presentar curvas en las que comparar las respuestas de SPICE y las funciones analíticas.

Los parámetros empíricos involucrados en la formulación analítica se calculan de modo que se tenga el mejor ajuste. Se clasifican por intervalos de valores de pendientes (pendientes rápidas, de valor inferior a 100 ps; pendientes medias y pendientes lentas, superiores a 400 ps) así como por situaciones de carga. De modo que al evaluar la función correspondiente, se seleccionan sus valores.

Para la evaluación de las funciones del modelo cuasi-analítico es preciso disponer de los valores de los parámetros de SPICE de los dispositivos, las condiciones de carga y las pendientes de las señales de entrada al inversor.

En las figuras 4.7 pueden observarse las señales de salida del inversor de dimensiones típicas de la familia DCFL. En ellas se presentan resultados de simulación SPICE y los correspondientes al cómputo de las funciones del modelo propuesto. Las señales corresponden a pendientes de excitación de 150, 250 y 300 ps, que son los valores típicos obtenidos por simulación, de estas magnitudes en varios diseños disponibles. Estas pendientes son de las clasificadas como medias según lo indicado en el párrafo anterior. Respecto a los valores del abanico de salida (*fan-out*) se han tomado arbitrariamente como uno y dos en los distintos casos.

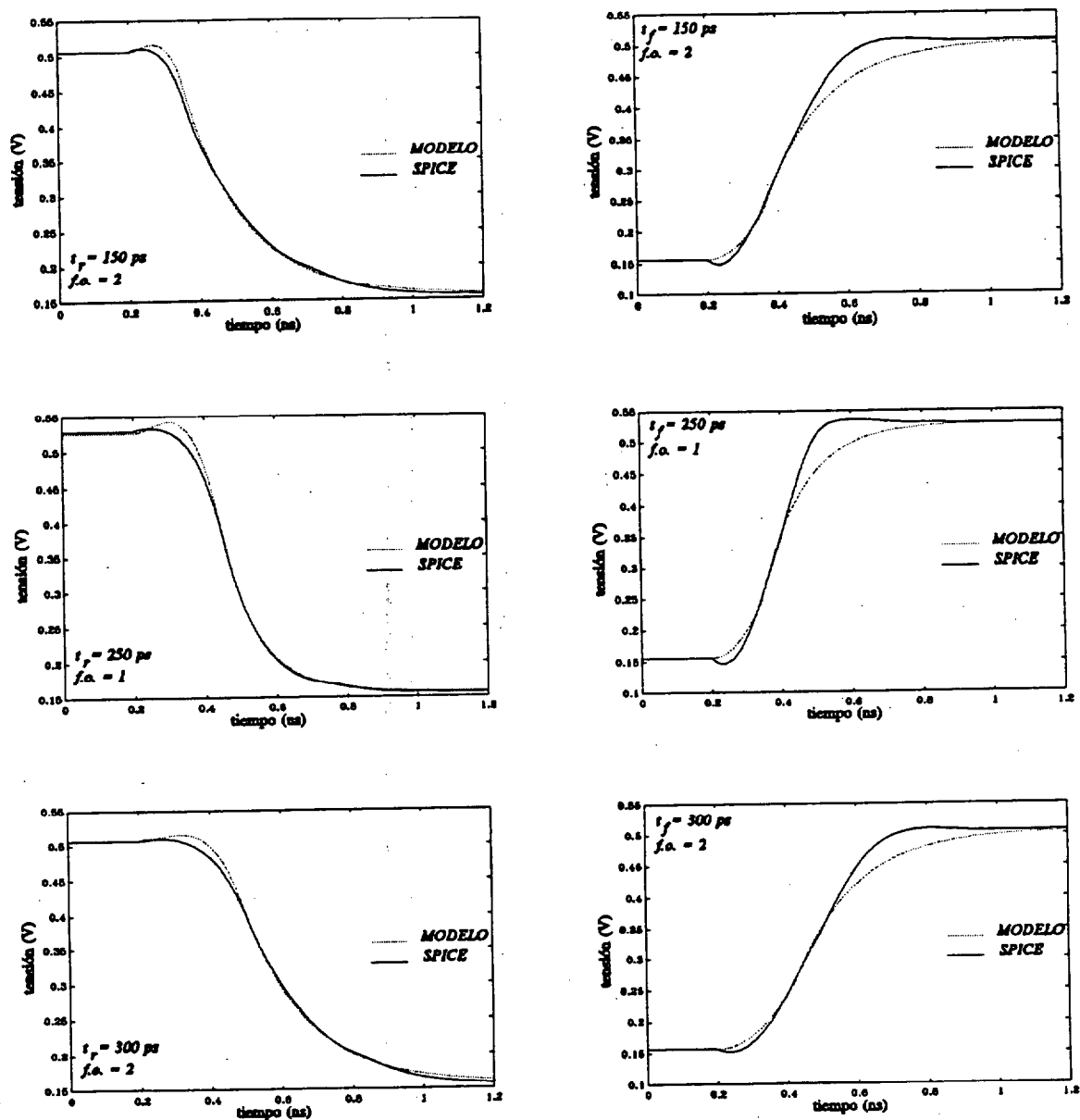


Fig. 4.7. Comparación de los resultados obtenidos por simulación y con el modelo propuesto.

Tabla 4.2. Valores de los parámetros empíricos utilizados en las funciones de la figura 4.7.

	$T_1 = 150 \text{ ps}$	$T_1 = 250 \text{ ps}$	$T_1 = 300 \text{ ps}$
γ	4.2	3.7	4.3
ν	-0.022	-0.025	-0.030
ξ	0.77	1.45	1.11

En cada una de las figuras 4.7 se indican los valores de pendiente de la señal de excitación así como el de la carga correspondiente a las simulaciones. En la tabla 4.2 se muestran los valores de los tres parámetros empíricos involucrados (γ para el caso de las transiciones de descarga del nudo de salida y ν y ξ en la situación de carga). La pendiente de entrada, que se denota por T_1 , es el intervalo temporal en el que la rampa de entrada pasa de uno a otro valor estacionario de tensión (de V_{IL} a V_{IH} o viceversa).

Es destacable la dificultad de reproducir el pico de tensión al inicio de las transiciones. Este defecto del modelo se debe fundamentalmente a la estimación de las capacidades como valor promedio. Por otro lado, la precisión de la formulación es mayor en el caso de las transiciones de bajada (de hecho, es en este caso en el que se precisan dos parámetros empíricos). El intervalo de pendientes en el que se obtiene menor error es el correspondiente a los casos mostrados, pendientes medias. Fuera de este intervalo de pendientes, aunque es posible conseguir buenos ajustes, los valores de los parámetros son muy desiguales.

Las ecuaciones del modelo se hallan implementadas en un fichero interpretable por el programa MATLAB [MATLA87]. Así, este "software" se utiliza para esta aplicación como un simulador básico de circuitos.

El funcionamiento de la lógica queda bien representado por el modelo siendo el tiempo de cómputo, en la evaluación que realiza MATLAB, inferior al requerido por SPICE. Se gana al menos un orden de magnitud en tiempo de CPU.

4.5.- Conclusiones.

En este capítulo ha sido presentado un modelo cuasi-analítico de la respuesta transitoria del inversor DCFL. El error que se comete, utilizando el modelo propuesto, respecto a SPICE es muy pequeño. Las hipótesis realizadas, siendo restrictivas, han mostrado su validez a tenor de los resultados presentados.

La respuesta a un inversor se obtiene con menores requerimientos computacionales (se necesita menos memoria y tiempo de CPU) que utilizando SPICE. Es posible evaluar la respuesta a puertas de múltiples entradas utilizando relaciones de aspecto y señales de entrada equivalentes, tal y como se describe en el capítulo 5.

Al tratarse de un modelo físico es posible entender, de forma explícita, la influencia de los distintos parámetros involucrados en el modelo circuital en gran señal implementado

en SPICE. En el desarrollo del modelo se ha definido el concepto de rampa equivalente a una señal real de entrada.

En el contexto de esta tesis, el objetivo inicial al plantear la obtención de un modelo analítico para la evaluación de la respuesta transitoria de la lógica basada en la familia DCFL fue el disponer de un método de cómputo del retraso introducido por las puertas de la familia en los circuitos lógicos. El conjunto de funciones que conforman el modelo son combinaciones a tramos de funciones exponenciales y polinomios de segundo grado. Esto hace poco rentable su utilización en un analizador temporal, aunque es posible, ya que se precisa resolver ecuaciones trascendentes de manera iterativa.

Por otro lado el funcionamiento en términos de convergencia del modelo analítico presentado es muy superior al de los modelos físico-circuitales de SPICE, siendo por tanto más robusto.

A modo de conclusión se plantea la siguiente discusión. Se trata de calcular la posición del instante temporal en el que la señal de salida alcanza el valor t_c , que se define, en este contexto como aquel valor de tiempo tal que $v_o(t_c) = (V_{OH} + V_{OL})/2$. Es decir, es el instante en el que la salida toma el valor de tensión correspondiente a la mitad de la excursión lógica.

Suponer que la salida sufre una transición de subida. Por lo tanto, $v_o(t)$ está dada por las ecuaciones {4.17}. Se asume, además que t_c se alcanza en un instante posterior a $t_o + t_T$. Por simplicidad se asume que el abanico de salida (*fan-out*) es la unidad y que $V_{IH} = V_{OH}$, $V_{IL} = V_{OL}$. Con todas las hipótesis y utilizando las ecuaciones {4.4}, {4.5}, {4.9}, {4.10} y {4.18} se llega a la ecuación {4.21},

$$t_c = t_o + \frac{t_f}{\xi} \frac{V_{OH} - V_T}{V_{OH} - V_{OL}} - \frac{V_{OH} - V_{OL}}{A_D \beta_D V_{TD}^2} (C_I + C_D) \cdot \log[F] \quad \{4.21\}$$

$$F = \frac{\beta_D V_{TD}^2 V_S - \frac{1}{2} V_{OL} (V_{OH} - V_T)^2 \beta_E \frac{A_E}{A_D}}{2\beta_D V_{TD}^2 V_S - \left[\frac{A_E}{A_D} V_{OL} - \frac{\nu V_S}{A_D} \right] (V_{OH} - V_T)^2 \beta_E}$$

donde el significado de cada símbolo ha sido ya precisado.

La conclusión interesante de la ecuación {4.21} es que la posición de t_c es una función lineal del tiempo de bajada de la señal de excitación (pendiente de entrada), t_f . También es

Modelo analítico...

lineal con la capacidad de carga, C_L , y se expresa de una forma no lineal con la relación de aspecto, A_E/A_D . Este tipo de dependencia funcional será explotado en el ulterior desarrollo del modelo para el cálculo del tiempo de propagación de puertas lógicas de la familia. Ese modelo, se basará en expresiones polinómicas del retraso y se presenta en el capítulo 5 de esta memoria.

CAPÍTULO 5

FORMULACIÓN DE RETRASOS

En el capítulo anterior, se ha presentado un modelo cuasi-analítico de la respuesta temporal de los inversores DCFL. En primera aproximación, su extensión a la lógica con seguidor de fuente puede realizarse mediante un término adicional que de cuenta de la influencia del citado seguidor de fuente. El modelo contiene funciones complicadas para la descripción deseada.

El objetivo del presente trabajo es el desarrollo de un modelo que permita una evaluación rápida del retraso temporal de las puertas de la familia lógica SDCFL. Con funciones de gran coste en tiempo de computación como las del modelo analítico del capítulo 4, que requerirían gran número de iteraciones en la búsqueda de una solución convergente, no resulta viable la implementación de tal modelo.

Por ello, en base a modelos tabulares previamente desarrollados para Silicio así como en cierta uniformidad en el estilo de diseño de los circuitos DCFL/SDCFL se plantea una metodología de cálculo del retraso. En la adaptación de tales modelos se han presentado dificultades adicionales que impusieron la definición de nuevos conceptos y la revisión de los ya utilizados con anterioridad.

Este capítulo se acomete la formulación de los retrasos de propagación introducidos por las puertas de la familia lógica DCFL/SDCFL. El retraso de propagación y alguna información adicional sobre la forma de onda de las señales de tensión que se propagan por el circuito se obtiene evaluando un polinomio [JunJu89] en tres variables que caracterizan la relación de aspecto de la puerta (β), la carga (C_L) y la pendiente de la señal de excitación (T_1). El polinomio es de grado uno en la pendiente de excitación y de segundo grado en la relación de aspecto y la carga.

Se estudia y formula además la influencia que tienen las colisiones sobre la respuesta

de una puerta de múltiples entradas. Las colisiones serán definidas como aquellas situaciones en las que se producen transiciones simultáneas o lo suficientemente próximas en el tiempo de las señales de entrada a una puerta de múltiples entradas.

Se presentan además la interpretación, y estudios de validez de la metodología derivada de esta formulación para su implementación en un analizador temporal.

5.1.- Definiciones.

De entre el gran número de variables a considerar tanto en la concepción como en el diseño de un circuito digital y con el propósito de la estimación del retraso de propagación en un camino de entrada/salida del mismo, en el presente trabajo se considerarán tres parámetros fundamentales como variables independientes.

Estas tres variables independientes pueden clasificarse como pertenecientes a dos categorías diferentes, parámetros geométricos y parámetros de señal.

Así, en este contexto, se dice que un parámetro es geométrico si puede calcularse de la observación del *layout* del circuito. Los parámetros geométricos pueden ser, bien geométricos propiamente dichos (relacionados directamente con las dimensiones de los transistores de la puerta lógica) o topológicos (obtenibles de la forma en que están conectados los elementos de circuito).

La segunda categoría corresponde a la de los parámetros de señal, que son aquellos asociados a la rapidez de las transiciones de las señales de excitación y que no son calculables de la mera observación del *layout* del circuito, sino de la forma de onda de la señal.

La familia lógica considerada se implementa con MESFETs de enriquecimiento y depleción. Supuesta una longitud de canal fija, el diseñador tiene control sobre la anchura de cada transistor. Esta anchura será la indicada según las prestaciones requeridas siendo una de las variables geométricas del circuito.

Se define el parámetro β , relación de aspecto de una puerta de una única entrada como la razón entre las anchuras de los transistores de enriquecimiento y de depleción. La relación de aspecto es por definición un parámetro geométrico propiamente dicho. Para puertas de múltiples entradas, se definirá la relación de aspecto equivalente en la sección 5.5.

A la salida de una puerta lógica en un nudo interno del circuito electrónico, pueden estar conectadas, a través de tiras de metal, otras puertas, formando su abanico de salida (*fan-out*). Si las dimensiones longitudinales de las tiras de metal son lo suficientemente cortas (menores que 0.3 mm, y las frecuencias de las señales suficientemente bajas para tales dimensiones, condiciones que se verifican en la mayor parte de los casos al ser nudos internos), el efecto introducido sobre el funcionamiento temporal puede ser modelado mediante un capacitor lineal (con pérdidas óhmicas despreciables), [Perdo92].

Al considerar la carga introducida por el abanico de salida, no es inmediato que su modelo sea un capacitor lineal, ya que el dispositivo de carga es una unión metal semiconductor tipo Schottky. Sin embargo, se supondrá que existe un parámetro con dimensiones de faradios mediante el cual es posible hacer referencia unívoca a los efectos introducidos por la carga debida a otras puertas lógicas (sección 5.3.2).

Así, se define la capacidad de carga de un nudo de salida C_L como la suma de la capacidad asociada a los efectos de las interconexiones (cuando el modelo de una capacidad lineal concentrada sea aplicable) y el valor del parámetro que referencia el abanico de salida. De la definición, C_L puede obtenerse a partir de consideraciones geométricas (longitud y anchura de la tira de metal) y topológicas (abanico de salida), por tanto es un parámetro geométrico.

Seguidamente se introducen tres parámetros necesarios para la ulterior definición de los parámetros de señal.

Dado que se trata de una lógica en la que los valores estacionarios de tensión en los nudos de salida de las puertas lógicas varían con las dimensiones (*ratioed logic*) y las condiciones de carga de las mismas, con objeto de fijar los valores de tensión para los que se calcula tanto el retraso de propagación como la pendiente de salida, se define la excursión lógica virtual de la familia lógica como la diferencia entre el menor valor de la tensión correspondiente al uno lógico (V_{OH}) y el mayor valor de tensión correspondiente al cero lógico (V_{OL}) que son alcanzables en un nudo de salida para todas las combinaciones posibles tanto en las dimensiones de las puertas lógicas como en la carga a las mismas (se aplica aquí la idea de uniformidad que se expone en 5.4.1). Con este concepto, es posible definir los niveles de tensión V_d , V_e y V_n como los correspondientes al diez, cincuenta y noventa por ciento de la excursión lógica virtual respectivamente. Estos parámetros son conocidos del proceso de precaracterización de la familia lógica particular que se considere (apartado 5.4). De su definición se deduce que su valor es constante.

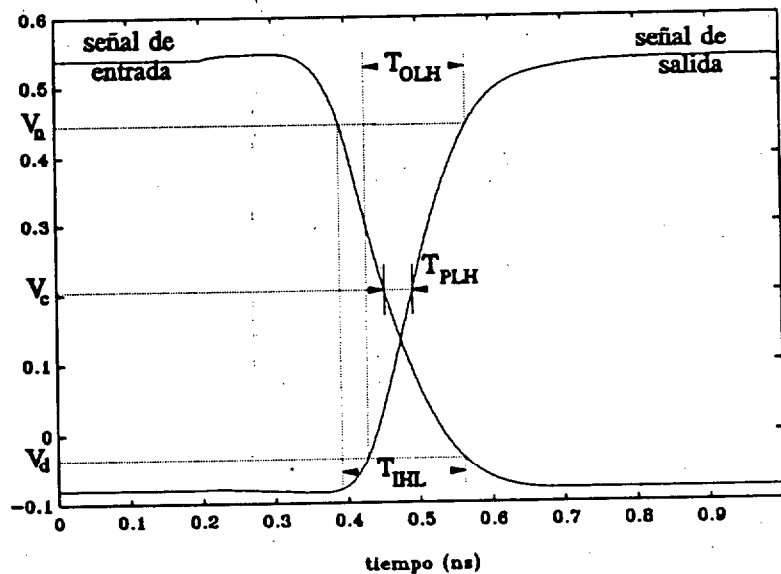


Fig. 5.1. Definición de los parámetros de señal.

Los parámetros de señal se definen en lo que sigue (figura 5.1).

Se entiende por tiempo de bajada (subida) de la señal de tensión de entrada, el intervalo temporal transcurrido desde que la señal de tensión de entrada toma el valor V_a (V_d) hasta que toma el valor V_d (V_a). Se denotará por T_{IHL} (T_{ILH}). Este parámetro se encuentra directamente relacionado con la pendiente de la forma de onda de entrada, por lo que se le referirá con el nombre de "pendiente de entrada".

Análogamente, se define el tiempo de bajada (subida) de la señal de tensión de salida, como el intervalo temporal transcurrido desde que la señal de tensión de salida toma el valor V_a (V_d) hasta que toma el valor V_d (V_a). Se denotará por T_{OHL} (T_{OLH}) y como en el caso anterior se le denominará "pendiente de salida". Este parámetro debe ser calculado con objeto de propagar las señales, es decir, la pendiente de la forma de onda de salida de la puerta i será la de entrada a la puerta $i+1$.

Finalmente, se llama retraso de propagación de una puerta lógica, al intervalo transcurrido desde que la señal de tensión de entrada toma el valor V_c hasta que lo toma la de salida. Se denota por T_{PLH} si la transición de salida es de subida y por T_{PHL} en caso contrario. El valor de T_{PLH} o el de T_{PHL} puede ser negativo, positivo o nulo.

La necesidad de introducir dos parámetros según el sentido de la transición es debida a la gran asimetría que presentan las puertas según cual sea este sentido. (No se manejan en

esta familia inversores simétricos).

Por tanto, para una transición particular, es preciso conocer tres parámetros de señal: la pendiente de entrada (T_{iHL} , T_{iLH}), la pendiente de salida (T_{oLH} , T_{oHL}) y el retraso de propagación (T_{PLH} , T_{PHL}). De ellos, el primero es dato y los dos últimos han de ser calculados mediante la formulación.

5.2.- Formulación.

Se desea obtener una expresión para el retraso de propagación de una puerta lógica función de la pendiente de la señal de excitación, la relación de aspecto de la puerta y el parámetro de carga. Sea $T(T_i, C_L, \beta)$ la función real buscada, la cual suponemos desarrollable en serie de Taylor en un entorno del punto (T_i^0, C_L^0, β^0) . El punto debe ser cualquiera dentro del entorno de interés para el análisis subsecuente. En lo que sigue, y por simplicidad en la presentación, se consideran las variaciones de la función con cada una de las variables de que depende. Se define la función $g(T_i)$ como se expresa en la ecuación {5.1},

$$g(T_i) = T(T_i, C_L^0, \beta^0) \quad \{5.1\}$$

donde $g(T_i)$ es función de la pendiente de entrada como única variable.

Su desarrollo en serie de Taylor es el expresado en la ecuación {5.2},

$$g(T_i) = g(T_i^0) + \frac{dg(T_i^0)}{dT_i} \cdot \Delta T_i + \frac{1}{2} \frac{d^2g(T_i^0)}{dT_i^2} \cdot (\Delta T_i)^2 + \dots \quad \{5.2\}$$

donde es claro que, (ecuación {5.3}):

$$\frac{d^n g(T_i^0)}{dT_i^n} = \frac{\partial^n T(T_i^0, C_L^0, \beta^0)}{\partial T_i^n}; \quad n = 0, 1, 2, 3... \quad \{5.3\}$$

y $\Delta T_i = T_i - T_i^0$.

En las figuras 5.2 y 5.3, se presentan resultados obtenidos mediante simulación con HSPICE de un inversor DCFL/SDCFL en los que se muestran el tiempo de propagación y la pendiente de salida para una de las transiciones (T_{PLH} y T_{OLH}) en función de la pendiente de entrada, donde varía la carga (C_L) como parámetro, con un valor fijo de la relación de

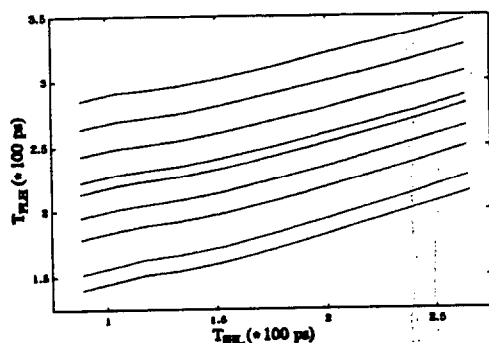


Fig. 5.2. Tiempo de propagación.

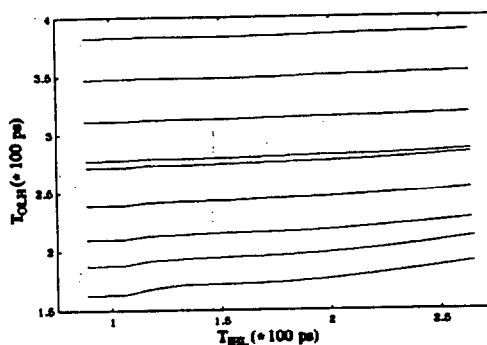


Fig. 5.3. Pendiente de salida.

aspecto (β). Se observa que la dependencia es notablemente lineal. Por tanto, se puede asumir que resulta válido truncar la serie a partir de términos de orden superior al primero tal como se expresa en la ecuación {5.4}, (es decir, la función incógnita se considera lineal con la pendiente de entrada),

$$\frac{\partial^n T(T_i^\circ, C_L^\circ, \beta^\circ)}{\partial T_i^n} = 0; \quad \forall n \geq 2 \Rightarrow \quad \{5.4\}$$

$$\Rightarrow T(T_i, C_L, \beta) = f_1(C_L, \beta) + f_2(C_L, \beta) \cdot T_i$$

donde T representa uno de los cuatro intervalos temporales anteriores, esto es, la función incógnita.

Nótese que tanto la pendiente, $f_2(C_L, \beta)$, como la ordenada en el origen, $f_1(C_L, \beta)$, de la función T anterior son funciones de la carga y la relación de aspecto únicamente. Están dadas por las relaciones {5.5},

$$f_1(C_L, \beta) = g(T_i^\circ) - \frac{dg(T_i^\circ)}{dT_i} \cdot T_i^\circ = T(T_i^\circ, C_L, \beta) - \frac{\partial T(T_i^\circ, C_L, \beta)}{\partial T_i} \cdot T_i^\circ \quad \{5.5\}$$

$$f_2(C_L, \beta) = \frac{dg(T_i^\circ)}{dT_i} = \frac{\partial T(T_i^\circ, C_L, \beta)}{\partial T_i}$$

el superíndice $^\circ$ al denotar la carga y la relación de aspecto se ha suprimido con objeto de enfatizar que sólo se ha considerado la dependencia con la pendiente de entrada.

Se considera ahora la dependencia de las $f_i(C_L, \beta)$ con la carga y la relación de aspecto. En primer lugar se dará forma a la dependencia con la carga exclusivamente. Para ello se definen las funciones $h_i(C_L)$, $i = 1, 2$. De nuevo se desarrollan ambas en serie de Taylor en un entorno del punto $(T_i^\circ, C_L^\circ, \beta^\circ)$, (ecuaciones {5.6}),

$$h_i(C_L) = f_i(C_L, \beta^o) \quad \{5.6\}$$

$$h_i(C_L) = h_i(C_L^o) + \frac{dh_i(C_L^o)}{dC_L} \cdot \Delta C_L + \frac{d^2 h_i(C_L^o)}{dC_L^2} \cdot (\Delta C_L)^2 + \dots \quad i=1, 2$$

siendo $\Delta C_L = C_L - C_L^o$.

Se observa en las figuras 5.2 y 5.3 cómo la ordenada en el origen varía uniformemente con C_L . Se supondrá que la dependencia es lineal, es decir, se trunca la serie {5.6}, para el caso $i=1$, en términos de orden superior al primero {5.7},

$$\frac{d^j h_1(C_L^o)}{dC_L^j} = 0; \quad \forall j \geq 2 \Rightarrow \quad \{5.7\}$$

$$\Rightarrow h_1(C_L) = f_1(C_L, \beta^o) = \alpha_1(\beta^o) + \alpha_2(\beta^o) \cdot C_L$$

Las funciones $\alpha(\beta)$ están dadas por {5.8},

$$\alpha_1(\beta) = h_1(\beta) - \frac{dh_1(\beta)}{dC_L} \cdot C_L^o = f_1(C_L^o, \beta) - \frac{\partial f_1(C_L^o, \beta)}{\partial C_L} \cdot C_L^o \quad \{5.8\}$$

$$\alpha_2(\beta) = \frac{dh_1(\beta)}{dC_L} = \frac{\partial f_1(C_L^o, \beta)}{\partial C_L}$$

Análogamente, la pendiente de $T(T_1, C_L, \beta)$, $f_2(C_L, \beta)$, varía también de manera lo suficientemente uniforme como para hacer la dependencia cuadrática {5.9},

$$\frac{d^j h_2(C_L^o)}{dC_L^j} = 0; \quad \forall j \geq 3 \Rightarrow \quad \{5.9\}$$

$$\Rightarrow h_2(C_L) = f_2(C_L, \beta^o) = \gamma_1(\beta^o) + \gamma_2(\beta^o) \cdot C_L + \gamma_3(\beta^o) \cdot C_L^2$$

donde las funciones de $\gamma(\beta)$ están dadas por relaciones parecidas a las $\alpha(\beta)$.

Asumiendo además de manera arbitraria, que la dependencia de los $\alpha_n(\beta)$ y los $\gamma_m(\beta)$ es también cuadrática con β y truncando en términos de orden superior al segundo, queda {5.10},

$$\begin{aligned}\alpha_n(\beta) &= k_{n1} + k_{n2}\beta + k_{n3}\beta^2 & n=1,2 \\ \gamma_m(\beta) &= k_{m1} + k_{m2}\beta + k_{m3}\beta^2 & m=1,2,3\end{aligned}\quad \{5.10\}$$

los coeficientes k_{ij} son de expresión analítica conocida obtenidos como los términos constantes de los distintos desarrollos en serie de Taylor realizados en el proceso expuesto.

Queda, con todo lo anterior que $T(T_I, C_L, \beta)$ adopta la expresión polinómica {5.11},

$$\begin{aligned}T(T_I, C_L, \beta) &= (k_{11} + k_{12}\beta + k_{13}\beta^2) + (k_{21} + k_{22}\beta + k_{23}\beta^2)C_L \\ &+ [(k_{31} + k_{32}\beta + k_{33}\beta^2) + (k_{41} + k_{42}\beta + k_{43}\beta^2)C_L + (k_{51} + k_{52}\beta + k_{53}\beta^2)C_L^2]T_I\end{aligned}\quad \{5.11\}$$

De manera que dada una expresión analítica para el cálculo de los tiempos de propagación y de las pendientes de salida, utilizando expresiones del tipo de las {5.5} y {5.8} se pueden calcular los quince coeficientes k_{ij} y mediante una formulación sencilla, evaluar ambas funciones.

En el capítulo anterior han sido presentadas relaciones de las que se puede deducir los coeficientes para la familia DCFL. En cualquier caso, si se desconoce la dependencia analítica mencionada, aún es útil la formulación anterior si se diseña algún algoritmo de cálculo de los k_{ij} a partir de datos experimentales o de resultados de simulaciones. En este caso su cálculo se realiza por un procedimiento de ajuste numérico por el método de los mínimos cuadrados.

Dados los k_{ij} , es posible calcular el valor de T . La formulación completa exige el conocimiento de sesenta (15·4) coeficientes con los que es posible, utilizando la expresión polinómica {5.11}, estimar el valor de T_{PLH} , T_{OLH} , T_{PHL} y T_{OHL} para un inversor particular (β dado), cargado de forma conocida (C_L conocido) y excitado por cierta pendiente (T_{IHL} , T_{ILH} datos).

5.3.- Variables independientes.

El párrafo anterior se ha dedicado a definir las variables que toman parte en la formulación, no concretándose la manera en que se les asignan valores a las mismas. A este aspecto se dedica el presente apartado, que en particular se refiere a las tres variables independientes involucradas.

5.3.1.- Estimación de las pendientes de entrada (T_P).

Las pendientes se propagan a lo largo de los caminos eléctricos del circuito. En cada nudo, dadas una condiciones de carga al mismo y una geometría de la puerta de la que es salida, es preciso poder asignar un valor a la pendiente de las señales que es, a la vez, la de salida de la puerta anterior y la entrada a las siguientes.

Esta es la misión de las funciones T_{OLH} y T_{OHL} antes definidas. El objeto de calcular a la salida de cada puerta la pendiente de salida a la vez que se calcula el retraso es el de utilizar este valor como pendiente de entrada a la siguiente puerta. Por tanto, para evaluar la pendiente de entrada a una puerta, se requiere evaluar el polinomio de propagación de pendientes (el apropiado de los T_{OLH} , T_{OHL}).

5.3.2.- Cálculo del parámetro de carga (C_P).

A priori, cualquier valor numérico puede ser utilizado para hacer referencia al abanico de salida de una situación dada. Así por ejemplo, si se decide que cuando el abanico de salida es uno la carga toma el valor uno, bastaría tener esto presente al hacer la precaracterización (que se define en la sección siguiente como el conjunto de operaciones a realizar para la obtención de los k_{ij}), para que el resultado fuese correcto a la hora de evaluar los distintos tiempos en consideración. En ese caso, no obstante, se necesitaría una transformación adicional en la magnitud de la verdadera capacidad de la interconexión (que afecta a la forma de onda de salida) con objeto de realizar adecuadamente la superposición de los efectos que contribuyen a cargar efectivamente la salida de una puerta.

Se ha señalado en párrafos anteriores (ver la sección 5.1) la conveniencia de que la carga a una puerta esté referenciada por un parámetro de dimensiones faradios. Esta conveniencia se debe a la facilidad de introducir los efectos de las interconexiones pues sólo se precisa realizar sumas algebraicas, sin transformaciones previas de valores durante el proceso de cálculo, que debe ser, por definición rápido.

Se ha diseñado una metodología de cálculo de estos valores de capacidad. Se requiere un modelo de carga adecuado de los efectos de las puertas lógicas actuando como carga a otra dada. Se dijo en 5.1 que el citado modelo no es el de una capacidad lineal solamente, de hecho deben asociarse al menos (en el caso más simple) tres elementos para reflejar adecuadamente el funcionamiento en el nudo de salida de una puerta.

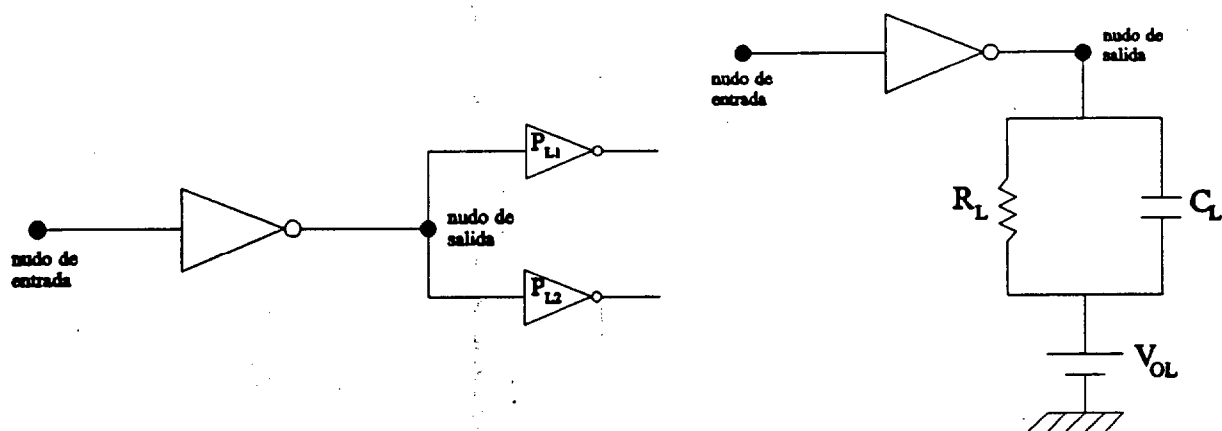


Fig. 5.4. Modelo de carga a una puerta.

5.3.2.1.- Modelo de carga a las puertas lógicas.

Si se considera el modelo en pequeña señal del dispositivo de carga de éstas puertas, una unión metal-semiconductor tipo Schottky, que consiste en la asociación en paralelo de un condensador lineal con una resistencia también lineal, junto con el hecho de que la excursión lógica de estas familias es pequeña (del orden de 600 mV), una aproximación intuitiva conduce a pensar en una red lineal como la de la figura 5.4 para modelar el funcionamiento en gran señal de las puertas de la lógica cuando actúan como carga en los nudos de salida (P_{L1} y P_{L2} en la figura).

La inclusión en el circuito de la figura 5.4 de la fuente independiente V_{OL} se debe a que no es cero el valor de tensión bajo a la salida (p.e. en la lógica DCFL/SDCFL toma típicamente valores negativos de unas decenas de milivoltios). Si se suprime, es obvio que para un valor prácticamente nulo de corriente atravesando la red (situación de salida en nivel bajo), se obtiene un valor nulo de tensión a la salida, con lo que no se reflejaría la situación real.

La resistencia R_L se elige de tal forma que se representen correctamente los valores estacionarios de tensión, es decir, siguiendo la idea inicial de que es una resistencia incremental. Su valor se calcula en cada caso como se expresa en la ecuación {5.12},

$$R_L = \frac{V_{OH} - V_{OL}}{I_{OH} - I_{OL}} \quad \{5.12\}$$

donde V_{OH} y V_{OL} son los valores alto y bajo de tensión a la salida en estado estacionario y análogamente, I_{OH} e I_{OL} representan la corriente fluyendo hacia la salida de la puerta cuando se halla en los estados estacionarios alto y bajo respectivamente. Dado que, como se ha dicho, las magnitudes de las corrientes y las tensiones de salida de una puerta lógica dependen de sus dimensiones (*ratioed logic*) y de las condiciones de carga, R_L dependerá en general de las dimensiones de la puerta lógica que conmuta y de la carga.

La dependencia con las dimensiones de la puerta que conmuta será despreciada principalmente por dos razones. De un lado, en la expresión {5.12} los efectos de la puerta que conmuta se hallan exclusivamente en los términos que hacen referencia a los niveles bajos de tensión e intensidad (con el uno lógico a la salida, el transistor se encuentra en estado de corte), los valores de estos términos son significativamente menores que los correspondientes al nivel lógico alto (por ejemplo, datos obtenidos por simulación arrojan $V_{OH}=0.5476$ V, $I_{OH}=96.968$ μ A, $V_{OL}=-0.0186$ V e $I_{OL}=-1.639$ pA), con lo que se puede, en primera aproximación despreciar su influencia.

Por otra parte, en la metodología se requiere exclusivamente el valor de la capacidad de carga y no el de todos los elementos de circuito de la red equivalente, es decir, en el polinomio {5.11} sólo interviene C_L como referencia a la carga. Esto es porque el objetivo no es dar la evolución temporal de las distintas señales en todos los nudos sino sólo los retrasos temporales. C_L será utilizada como referencia al resolver un sistema de ecuaciones algebraicas con las que obtener los coeficientes k_{ij} (ver sección 5.4). De forma independiente de cómo se asignen valores a C_L , si al utilizarlos se hace de "manera coherente" con la elección previa de estos valores se obtendrá un resultado correcto. Utilizar los coeficientes k_{ij} de manera coherente significa que si al calcular los coeficientes se emplea el valor c_i para referenciar una situación específica de carga, es preciso utilizar el mismo valor c_i a la hora de evaluar el retraso asociado a esa situación de carga. Así es posible, sin pérdida de generalidad, utilizar una puerta "patrón" que conmuta como referencia al calcular C_L .

5.3.2.2.- Obtención de la capacidad de carga (C_L).

En esta sección C_L hace referencia a la parte de la capacidad de carga correspondiente al abanico de salida, o sea, sin los efectos de las interconexiones. Es posible obtener el valor de C_L mediante un procedimiento análogo al de R_L , es decir, como la relación entre la

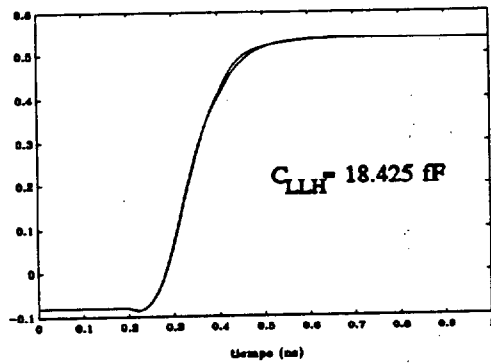


Fig. 5.5. Señales de salida real y correspondiente a la red de carga equivalente en la transición de subida.

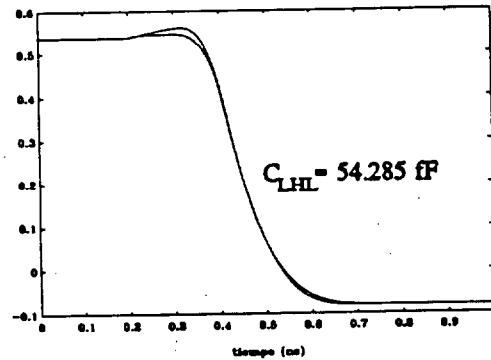


Fig. 5.6. Señales de salida real y correspondiente a la red de carga equivalente en la transición de bajada.

pendiente de salida y el valor medio de la intensidad fluyendo hacia el nudo de salida dado por la relación {5.13},

$$i(t) = C_L \frac{dv(t)}{dt} \Rightarrow \frac{1}{T} \int_i^{i+T} i(t) dt = \frac{C_L}{T} \int_i^{i+T} \frac{dv(t)}{dt} dt \Rightarrow I_m = C_L \frac{v(t+T) - v(t)}{T} \Rightarrow C_L = \frac{m_{out}}{I_m} \quad \{5.13\}$$

en la que I_m y m_{out} son los mencionados valor medio de la corriente y la pendiente de salida respectivamente, y están dados por las ecuaciones {5.14}. T es el intervalo temporal en el que hay transición de la señal, $i(t)$ y $v(t)$ son las señales de corriente y de tensión a la salida.

$$I_m = \frac{1}{T} \int_i^{i+T} i(t) dt; \quad m_{out} = \frac{v(t+T) - v(t)}{T} \quad \{5.14\}$$

Sin embargo, los resultados obtenidos mediante un procedimiento numérico de ajuste de dos curvas vía la variación del parámetro C_L arroja mejores resultados que la anterior expresión analítica. Esto es por la dificultad práctica de determinar T y por los errores de promedio cometidos en el cálculo de la pendiente. Es de destacar el hecho de que el procedimiento de ajuste numérico no implica cambio en la filosofía de cálculo ya que toda la metodología que se está proponiendo se basa en el análisis numérico.

Realizando simulaciones en las que se utilice el procedimiento de optimización de HSPICE se tienen los valores de la capacidad requeridos. En las figuras 5.5 y 5.6 se muestran las señales de salida de una situación real, y cuando se sustituyen las puertas de carga por la red equivalente, para ambas transiciones. El valor de la capacidad calculado por el procedimiento numérico es el indicado en las figuras mientras que $R_L = 5838.6 \Omega$, obtenido de la expresión {5.12}. Es destacable el que, en cada caso, la señal "real" y la

obtenida con el modelo son prácticamente iguales.

Se han implementado dos conjuntos de valores diferentes a utilizar en el proceso de precaracterización, cada uno de ellos referido a un sentido en la transición. La necesidad de introducir dos conjuntos de valores es en definitiva fruto de la no linealidad que presenta el dispositivo de carga y de la no simetría de los inversores de la lógica, siendo la capacidad distinta según se trate de transiciones de subida o de bajada a la salida.

Para obtener el primer conjunto de valores, se calculan todos los de la capacidad de carga óptima que puedan presentarse en un diseño genérico (esta estrategia se fundamenta en la relativa uniformidad del diseño expuesta en 5.4.1). La necesidad de calcularlos todos en vez de calcular uno de ellos (por ejemplo, el correspondiente a la situación en la que la carga es más pequeña) para después proceder a operar con éste se debe a que partiendo de una capacidad óptima en el sentido expuesto, no es posible obtener las óptimas de otras situaciones mediante sumas algebraicas. Esto ocurre, de nuevo, por la no linealidad del dispositivo de carga.

Con esta primera metodología, para estimar los valores óptimos de C_L correspondientes a cada situación de carga, es preciso disponer de R_L y V_{OL} antes de lanzar el procedimiento de optimización. Por tanto, se requiere el cálculo de parámetros que no serán utilizados al evaluar retrasos de propagación (el polinomio no contiene ni a R_L ni a V_{OL} como variables independientes). Se verá que la segunda metodología no exige el cálculo de algún parámetro extra.

Los valores de las capacidades óptimas obtenidos son almacenados en una tabla de capacidades. De entre los valores almacenados en esta tabla de capacidades generada, al recorrer un camino para la evaluación se lee de la misma el valor correspondiente a la configuración particular en consideración.

Para el segundo conjunto de valores la metodología es diferente. Se obtiene un valor normalizado de capacidades. Para ello se calcula numéricamente un solo valor de capacidad equivalente, éste se normaliza a dimensiones unidad para posteriormente utilizar el valor final obtenido y con él, referenciar todas las situaciones posibles. Así por ejemplo, en el resultado presentado en las figuras 5.5 y 5.6 se tiene que $C_{LLH} = 18.425$ fF y $C_{LHL} = 54.285$ fF, correspondientes a una carga constituida por un inversor con valor del factor de área del transistor que conmuta de 12, $\beta = 3$ (que es el considerado como carga unidad). Si se requiere el de la capacidad equivalente a una carga debida a un abanico de salida de valor dos, en el que los transistores que conmutan son de dimensiones 12 y 16, $\beta = 3$ y $\beta = 4$,

se opera como en las ecuaciones {5.15},

$$\begin{aligned} c_{ih}^* &= \frac{18.425 \text{ fF}}{3} ; c_{ih}^* = \frac{54.285 \text{ fF}}{3} \\ C_{LLH}^* &= c_{ih}^* \cdot (3 + 4) = 42.992 \text{ fF} \\ C_{LHL}^* &= c_{ih}^* \cdot (3 + 4) = 126.665 \text{ fF} \end{aligned} \quad \{5.15\}$$

donde c_{ih}^* y c_{ih}^* son los valores normalizados.

De esta manera, tan solo se precisan dos valores de capacidad normalizados, uno para cada transición. La relación general para el cálculo de la capacidad dados los valores normalizados es la expresada en la ecuación {5.16}.

$$C_L^* = c_i^* \cdot \left(\sum_{i=1}^{fo} \beta_i \right) \quad \{5.16\}$$

No hay diferencia entre ambas concepciones con respecto al error cometido ya que si a la hora de realizar la precaracterización se utilizan los valores adecuados, las soluciones obtenidas para los coeficientes k_{ij} serán distintas para cada conjunto de valores de la capacidad, pero el error de ajuste (se presenta el procedimiento en la próxima sección) que es intrínseco al método matemático utilizado estará presente en la misma manera en ambos casos.

La diferencia es conceptual. En el grupo de valores óptimos se tiene la seguridad de que utilizando la red equivalente, dada por el valor de capacidad que se maneja, se obtiene una señal muy parecida a la real en el nudo. Sin embargo para poder hacer esto, es preciso manejar los valores tanto de R_L como de V_{OL} , los cuales no están disponibles ya que si bien se calculan en el proceso de precaracterización, como se ha dicho, no son almacenados puesto que no serán utilizados en la evaluación final de los retrasos.

Utilizando el segundo grupo, el sentido de C_L no es el de la capacidad que reflejaría el valor real de la señal, en este caso es sólo un parámetro del método que referencia una situación topológica.

En ambos casos, por simplicidad, el valor de C_L se considera independiente de la pendiente de la señal de entrada cuando en realidad no lo es. Esta aproximación no introduce errores significativos gracias a que los efectos de la pendiente de entrada sobre el retraso son considerados como fenómenos de primer orden en la metodología, siendo la dependencia de C_L con la señal de entrada un fenómeno de segundo orden.

5.3.3.- Cálculo del parámetro β (relación de aspecto).

Durante el procesado de un circuito de entrada es inmediato el cálculo de la relación de aspecto de un inversor sin más que disponer de las dimensiones de los transistores que lo componen y aplicar la definición. Esta información se suministra en cualquier descripción a nivel de transistores que se dé, ya sea la generada en la captura de un circuito durante el diseño, o la extraída del *layout* de un circuito durante etapas de verificación.

5.4.- Precaracterización.

En este punto se describe la estrategia de cálculo de los coeficientes k_{ij} de la expresión polinómica que será denominada precaracterización. La precaracterización consiste en la realización de múltiples simulaciones con HSPICE con objeto de generar grandes tablas de datos que posteriormente son procesadas para obtener los citados k_{ij} como resultado final.

Antes de entrar en el detalle del proceso de precaracterización, se plantea la manera en que se acotan los posibles valores de las variables independientes de la expresión polinómica, aprovechando la uniformidad del estilo de diseño.

5.4.1.- Uniformidad del diseño.

Al diseñar un circuito digital integrado, se presentan, a grandes rasgos, dos alternativas, implementar el circuito utilizando células estándar o hacerlo completamente a medida (*full-custom*).

En el primer caso, las puertas lógicas diferentes presentes en el diseño serán relativamente pocas y los tamaños de los transistores que las constituyen serán fijos y conocidos. Además, éstas tendrán unas especificaciones eléctricas tales que limitarán a un número no muy grande las combinaciones topológicas que resulten en estructuras distintas, de forma que ese número sea manejable.

De hecho, en las tablas de datos que ofrecen los fabricantes, se hace uso de esta filosofía para presentar las características de funcionamiento de sus productos.

Cuando se diseña completamente a medida, el número de combinaciones que pueden aparecer en el circuito final es, en principio, enorme. Sin embargo, factores objetivos debidos

a restricciones eléctricas, como por ejemplo conservar los márgenes de ruido adecuados, respetar los valores de los abanicos de entrada y salida máximos impuestos por la lógica o distribuir la potencia disipada uniformemente en el chip, y factores subjetivos tales como la costumbre o el entorno de trabajo, hacen que incluso en estos diseños, en lo que concierne a la diversidad de estructuras presentes en los mismos, el resultado final sea bastante uniforme.

Así, en la mayor parte de los *layouts* aparece un número manejable de estructuras de puertas lógicas distintas. Esto permite que la precaracterización sea viable ya que es posible acotar eficientemente los valores de las variables de la formulación.

En particular, para los inversores de la familia lógica DCFL/SDCFL, las dimensiones de los transistores en las puertas lógicas utilizadas presentan valores de β en el intervalo [3,4] y el abanico de salida no es superior a cuatro. En relación con las puertas de múltiples entradas (sección 5.5), tan solo se utilizan estructuras NOR de abanico de entrada inferior a cuatro y puertas OR/NOR constituidas por una combinación de dos puertas NOR de dos entradas.

5.4.2.- Intervalos de variación de las variables.

Como se hace notar en el apartado anterior, en general, en todo método basado en análisis numérico, es preciso acotar con precisión las magnitudes de todas las variables involucradas en el mismo. Las cotas se dan en intervalos de variación posibles. Los intervalos se extraen utilizando los resultados de simulación obtenidos en un estudio previo de la familia lógica en proceso de caracterización. En el caso particular de la DCFL/SDCFL, se presentan las conclusiones de dicho análisis en las líneas siguientes (ver capítulo 3).

La relación de aspecto tendrá como cota inferior el valor tres (es el caso del inversor DCFL/SDCFL de dimensiones 12/4, el de menor tamaño de la puerta que conmuta). Teniendo presente que deben modelarse las puertas de múltiples entradas y manejando, por ahora (sección 5.5), la idea de que la relación de aspecto de un inversor equivalente a una puerta NOR de tres entradas (la de mayor abanico de entrada) es la suma algebraica de las relaciones de aspecto parciales correspondientes a cada inversor en los que se descompondría, queda como cota superior el valor doce ($4 \cdot 3 = 12$). Por tanto, en el proceso de precaracterización, β debe variar entre tres y doce ($3 \leq \beta \leq 12$).

Con objeto de acotar los valores de las pendientes de entrada que puedan hallarse en

el proceso de análisis, se han realizado simulaciones de diversos circuitos excitados por señales con pendiente variable. Se miden las pendientes que se propagan por nudos internos del circuito y con esto, es posible dar repuesta al problema de la cota de la pendiente.

En el proceso de obtención de datos se observó cómo los valores de las pendientes en los nudos internos del circuito se "estabilizan" en torno a valores de 150 ps. Esto es, aunque se excite un circuito con una señal muy lenta (p. e. 1 ns de pendiente de entrada), tras tres o cuatro nudos hacia el interior del mismo en cualquier camino ocurre que las señales se aceleran. Esto es así incluso cuando las condiciones de carga son grandes (abanico de salida tres). Lo mismo puede afirmarse respecto al caso en que las señales de excitación al inicio del camino son rápidas. Es decir, si la cadena es excitada con una señal de, por ejemplo, 50 ps, una vez atravesadas unas pocas puertas, la pendiente se hace más lenta alcanzando un valor en torno a los citados 150 ps.

Este mecanismo de respuesta que presentan las puertas se debe a que los transistores de la lógica presentan valores grandes de transconductancia, además, los nudos de salida son de baja impedancia junto con el pequeño valor de las capacidades totales asociadas a esos nudos. De aquí se tiene que la respuesta a una cierta excitación se obtiene cuando tan solo ha transcurrido parte de la misma. Esto puede comprobarse observando la figura 5.7. En ella, se excita un inversor con una pendiente pequeña (señal lenta de unos 570 ps), se obtiene tras una etapa una señal de salida con pendiente bastante mayor (del orden de 146 ps). De modo que los valores máximo y mínimo de las pendientes propagándose en los circuitos DCFL/SDCFL pueden fijarse en el intervalo [50, 500] ps. Se toman las cotas en valores extremos, que no se alcanzan en ningún caso de los analizados, por completar el rango de variación. En todo caso, las señales (y con ellas las pendientes) son filtradas tal y como se expone en la sección 5.4.4.

Los valores de las capacidades de carga, se toman siguiendo el procedimiento indicado anteriormente. En las simulaciones realizadas para la precaracterización, las cargas son las propias puertas. Es decir, se toman los valores de los intervalos temporales requeridos utilizando configuraciones reales de puertas como carga y no su modelo equivalente. Los efectos de las interconexiones (la suma del valor de la capacidad asociada a los mismos) se introducen durante el proceso de evaluación. Para ello, es preciso suponer que el polinomio refleja adecuadamente los valores del retraso y la pendiente de salida incluso cuando se ha realizado la suma.

En efecto, se han realizado simulaciones con objeto de comprobar este punto en las que la carga está constituida por puertas y una cierta capacidad lineal modelando los efectos

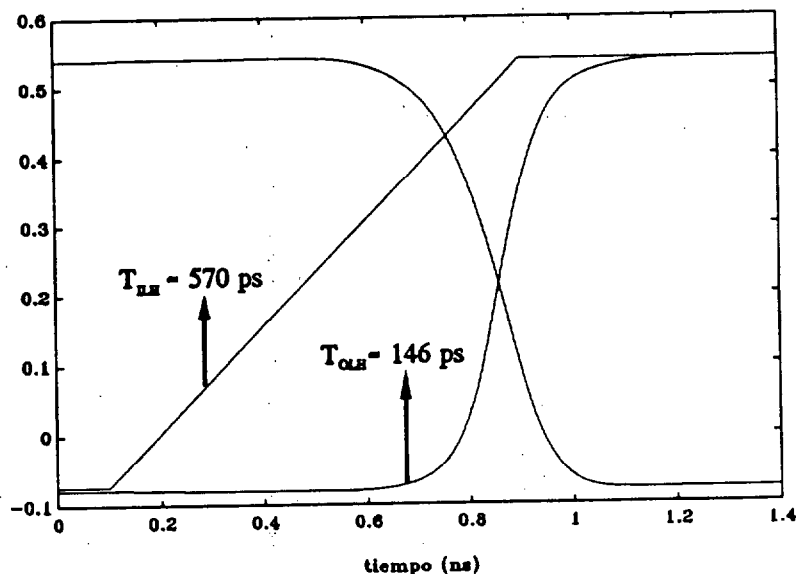


Fig. 5.7. Propagación de las pendientes.

de las interconexiones. Los resultados obtenidos al sustituir las puertas lógicas por su modelo equivalente de carga en la que la capacidad equivalente se incrementa en el valor de la asociada a la interconexión permiten manejar la hipótesis indicada.

Cuando la situación es la correspondiente a la carga debida al abanico de salida de valor de capacidad mayor, si se suma la asociada a las interconexiones, el valor resultante se sale de rango. Sin embargo, dado que los valores de estas capacidades de interconexión son pequeños, es posible asumir también que el polinomio sigue siendo válido en un entorno pequeño (tan pequeño como el valor de la capacidad de interconexión mayor) fuera del intervalo definido en la precaracterización.

5.4.3.- Procedimiento de precaracterización.

Considerando la discusión planteada en el punto anterior, la precaracterización consiste en realizar simulaciones de la estructura inversora con β , C_L y T_I variando en intervalos tales que se incluyan todos los casos susceptibles de ser hallados en cualquier diseño.

El paso de incremento de los distintos valores a considerar está dado por la topología en el caso de las variables geométricas, ya que es preciso reflejar tan solo las situaciones reales. Así, β toma los valores 3 y 4 para abanico de entrada unidad, 6 y 8 para abanico de entrada dos y por último 9 y 12 para puertas con tres entradas (en una puerta de múltiples entradas, los transistores que conmutan son de las mismas dimensiones).

El valor de la capacidad de carga no interviene en este caso, ya que las puertas que se caracterizan son cargadas por otras puertas en vez de hacerlo con la red equivalente (5.4.2). Denotando a las puertas de carga con relación de aspecto 3 por la letra A y a las que tienen relación de aspecto 4 por la letra B, las situaciones posibles son A, B, AA, AB, BB, AAA, AAB, ABB y BBB.

Con respecto al parámetro de señal, se divide el intervalo en once más pequeños de manera arbitraria.

Por lo tanto, el número de simulaciones requeridas para caracterizar completamente la familia DCFL/SDCFL es de 594 para cada transición, en total 1188. HSPICE precisa de unas tres horas para realizarlas. Como resultado de ellas se obtienen los tiempos de propagación y las pendientes de salida. Se dispone así de un conjunto constituido por 2376 datos. Con ellos puede formarse un sistema de ecuaciones de incógnitas los sesenta valores de k_{ij} requeridos en la metodología. Para hacer mínimo el error se resuelve el sistema utilizando el método de los mínimos cuadrados. Es en este momento cuando, para introducir los efectos de la carga como un número de dimensiones faradios, se hace uso de los valores calculados de la capacidad de carga. Para ello se utiliza la aplicación biyectiva que hace corresponder a cada configuración de carga un único valor de capacidad, el correspondiente según la metodología expuesta.

5.4.4.- Algoritmo de precaracterización.

Todo el proceso de precaracterización se realiza de forma semi-automática. En base a filtros de UNIX junto con un programa escrito en lenguaje C que corre sobre una estación de trabajo es posible lanzar un proceso que arroja como resultado los valores de los coeficientes requeridos en la fórmula {5.11}.

Como entradas al proceso se requiere un fichero descriptivo del inversor bajo estudio. En ese fichero se hacen variar las tres variables independientes descritas anteriormente de manera selectiva. Dados el intervalo de variación de los valores de las pendientes de excitación y el de las relaciones de aspecto, así como los correspondientes pasos de cálculo, se realizan las simulaciones. Como salida de los distintos ficheros generados en ellas, se salvan exclusivamente los intervalos temporales correspondientes a los tiempos de propagación y las pendientes de salida. En total 4 valores de cada simulación.

Una vez que los datos de las simulaciones están disponibles, se generan sendos

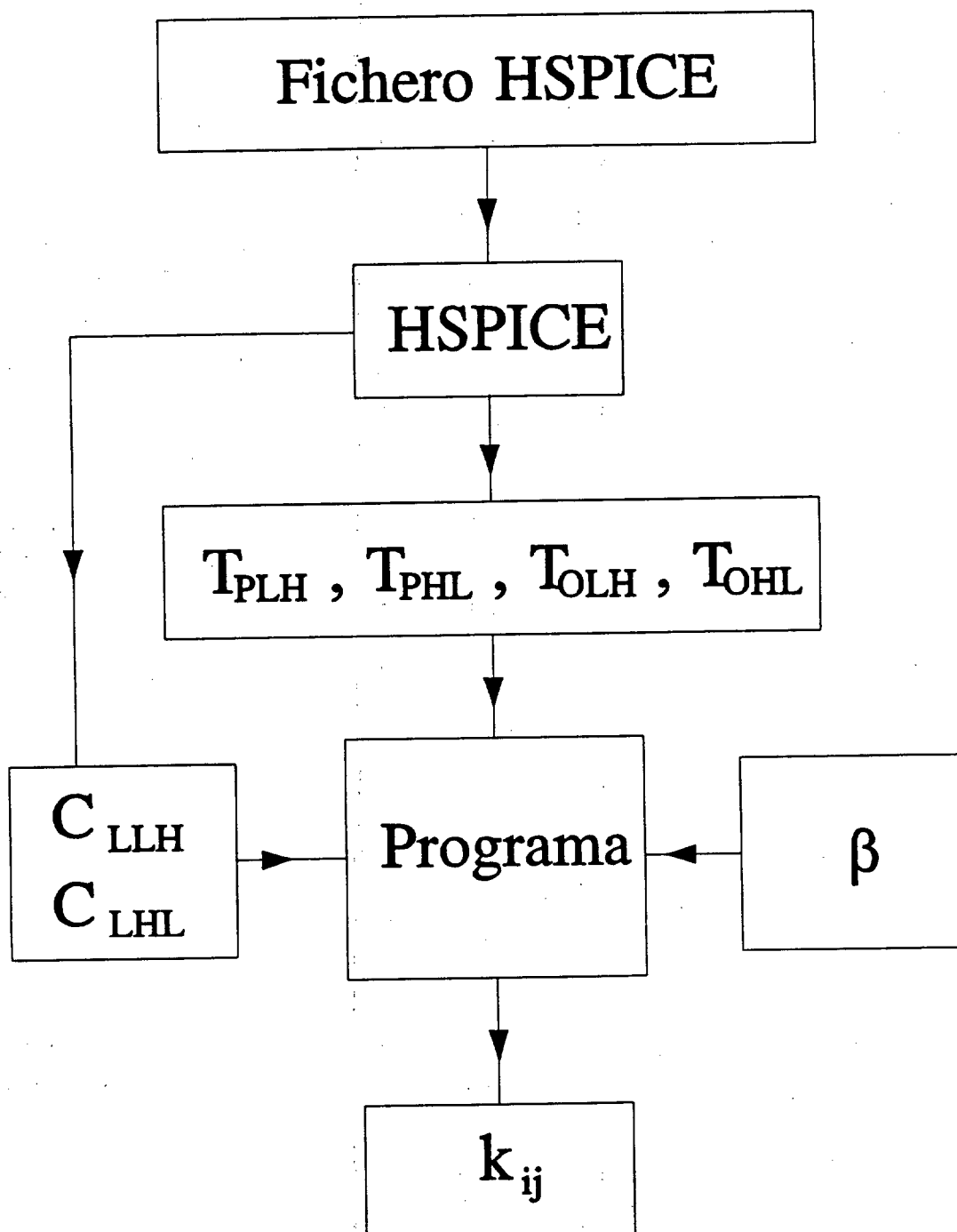


Fig. 5.8. Algoritmo de precaracterización.

ficheros en los que están ordenados los datos simulados junto con los valores de las variables dependientes correspondientes a cada uno de ellos. En total son generados 9 ficheros de datos. Los 4 mencionados con los intervalos temporales y otros 5, de ellos, 2 contienen los valores de las capacidades de carga asociados a cada una de las configuraciones reales de carga utilizadas en la simulación, uno para cada sentido de la transición. Otros 2 ficheros corresponden a los valores actuales en cada paso de simulación de las pendientes de ataque al inversor. Por último, el quinto fichero contiene los valores de la relación de aspecto.

Debe mencionarse que en el procedimiento las pendientes son filtradas antes de atacar al inversor correspondiente. Esto es, se sitúa una puerta entre la excitación rampa y el inversor que se caracteriza. Con esto se consigue reducir las desviaciones que puedan producirse al introducir señales con puntos angulosos a la vez que se parametriza con una señal "más próxima" a la que se propagará por el circuito (no se propagan señales de pendiente constante). Obviamente, se mide la pendiente filtrada y no la correspondiente a la rampa).

Con el conjunto de ficheros creados en el proceso, se corre el programa mencionado anteriormente. Éste opera leyendo todos los datos disponibles en los ficheros de entrada y resolviendo por el método de los mínimos cuadrados 4 sistemas algebraicos lineales de ecuaciones con incógnitas en los quince coeficientes k_{ij} . Como salida se dispone de los valores de los sesenta coeficientes. Una representación del algoritmo puede verse en la figura 5.8.

5.5.- Puertas lógicas de múltiples entradas. Colisiones.

En este punto se presentan los efectos sobre el retraso de propagación observados cuando en una puerta lógica de múltiples entradas se producen cambios muy próximos en el tiempo de las señales de excitación. En general se producen importantes desviaciones en las medidas respecto a casos en los que se modelen las puertas mediante inversores de relación de aspecto calculada según expresiones "clásicas". Esto se debe al efecto de superposición e interferencia entre señales que ocurre en el nudo circuital implicado en toda puerta de múltiples entradas.

5.5.1.- Introducción.

Al calcular el tiempo de propagación de una puerta con abanico de entrada superior a la unidad, suele mantenerse fijo el valor de todas las entradas salvo una, aquella en la que hay transición. Dependiendo de qué tipo de puerta se trate, el valor fijo será '1' ó '0' lógico. El

Tabla 5.1. Transiciones de una puerta NOR2.

Trans. en I_1	HL	HL	HL	HL	LH	LH	LH	LH	1	1	0	0
Trans. en I_2	LH	HL	1	0	LH	HL	1	0	LH	HL	LH	HL
Respuesta	0	LH	0	LH	HL	0	0	HL	0	0	HL	LH
β inv. equiv.	h	*	-	β_1	*	-	-	β_1	-	-	β_2	β_2

objetivo es que ante el cambio a la entrada se produzca cambio a la salida.

Cuando se producen transiciones simultaneas, o muy próximas en el tiempo, de las señales que excitan tales puertas, se dice que hay verdadera colisión sólo si el sentido de tales transiciones tiene por efecto una verdadera transición a la salida. En otro caso se tratará de un *glitch*.

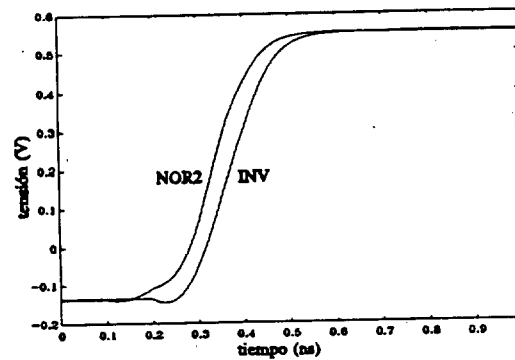
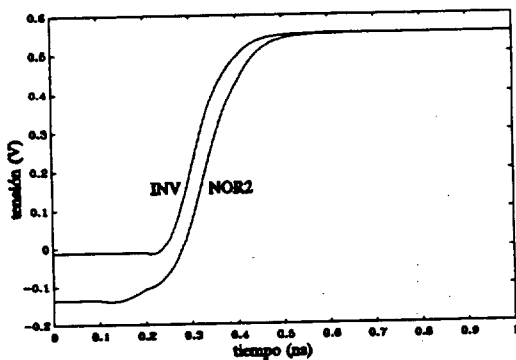


Fig. 5.9. Salidas de una puerta NOR2 y un inversor. Fig. 5.10. Salidas de una puerta NOR2 y un inversor.

Para una puerta de n entradas es posible agrupar dos a dos las mismas y reducir el problema a una puerta de sólo dos. Considérese por ejemplo una puerta NOR de dos entradas. En la tabla 5.1 se presentan todas las posibles transiciones a la entrada y su respuesta. Las transiciones de subida se denotan por LH. Las de bajada por HL. Los casos en que la señal que excita una de las entradas permanece inalterada se denotan por su valor lógico estacionario ('0' ó '1'). I_1 e I_2 son las entradas a la puerta. Se supone (sin pérdida de generalidad) que en la entrada I_1 se produce el cambio antes si lo hay en ambas (la transición simultanea es un caso particular).

En la tercera fila se indica la respuesta de la puerta. Un '0' en esa fila indica que la salida permanece en el estado bajo (es decir, no hay transición). Por lo tanto no tiene sentido preguntarse por el tiempo de propagación. Es claro que en ningún caso, produciéndose transición en una entrada, la puerta responde permaneciendo en el estado '1'. En la primera columna, aparece una situación en la que puede producirse un azar (*hazard*). En circuitos

combinacionales no es de interés este caso. Se considera que la salida permanece en estado lógico bajo. Cuando una de las entradas permanece en el valor '0', la puerta funciona como un inversor. Se indica el valor de la relación de aspecto equivalente que corresponde a ignorar la presencia del transistor cortado. Por tanto, de entre los doce casos presentados, hay dos en los que habrá colisión (los marcados con *). Son aquellos en los que ambas entradas presentan transición *en el mismo sentido* simultáneamente o muy próximas en el tiempo.

La aproximación habitual en analizadores temporales actuales consiste en considerar que la relación de aspecto del inversor equivalente es la suma de las correspondientes a dos inversores (uno por cada transistor que conmuta) suponiendo que las transiciones en las entradas son simultáneas. Si no es posible suponer esta simultaneidad, se considera que la relación de aspecto equivalente es la correspondiente al inversor formado por el primer transistor en el que se produce la transición si son de subida y viceversa, la relación de aspecto equivalente es la del segundo si son de bajada. Se detecta un intervalo en el que no

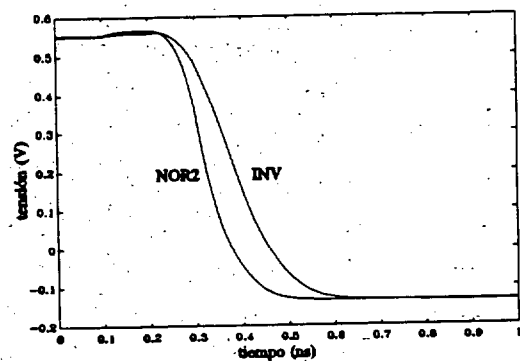
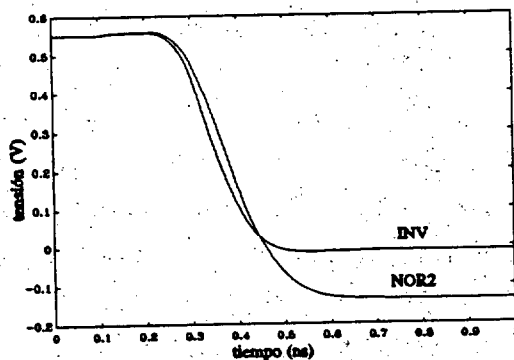


Fig. 5.11. Salidas de una puerta NOR2 y un inversor. Fig. 5.12. Salidas de una puerta NOR2 y un inversor. queda bien definida la relación de aspecto. Es necesario precisar cuál es el intervalo temporal en el que es aplicable uno u otro modelo. Se llegan a cometer errores apreciables en el cálculo del tiempo de propagación (200%).

En las figuras 5.9, 5.10, 5.11 y 5.12, se muestran resultados de simulaciones en las que se observan los errores cometidos con las aproximaciones anteriores. Las señales de excitación alcanzan las entradas con una diferencia de 100 ps. En las figuras 5.9 y 5.10 se representan las transiciones de subida. La primera de ellas corresponde al caso en que se sustituye la puerta NOR por un inversor de relación de aspecto igual al formado considerando el transistor al que la señal llega en primer lugar ($\beta_{eq} = \beta_1$). En este caso el inversor resulta ser más rápido que la puerta NOR. En la segunda, la relación de aspecto equivalente es la suma de los dos inversores que pueden formarse ($\beta_{eq} = \beta_1 + \beta_2$). El inversor es más lento que la puerta NOR. En las figuras 5.11 y 5.12 se encuentran los resultados correspondientes a las transiciones de bajada ($\beta_{eq} = \beta_2$ y $\beta_{eq} = \beta_1 + \beta_2$ respectivamente). En estos dos casos, la

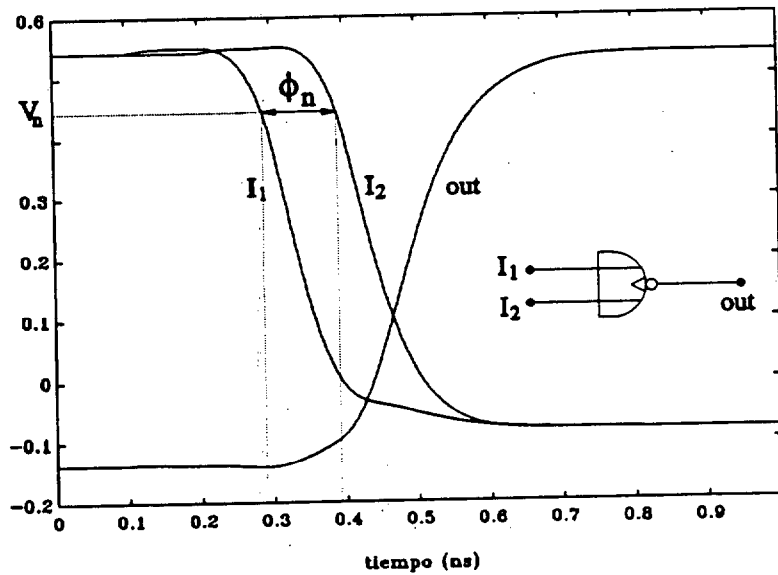


Fig. 5.13. Definición de desfase.

señal de referencia es la segunda que llega a la puerta NOR. Nótese que en ningún caso las respuestas son iguales.

Se define el "desfase" entre las señales de entrada tal y como se ilustra en la figura 5.13. El desfase entre las señales de entrada a una puerta NOR de dos entradas (ϕ_d), cuando las transiciones son de subida, es el intervalo temporal transcurrido desde que la primera en llegar toma el valor V_d hasta que lo toma la segunda. Análogamente, el desfase entre las señales de entrada a una puerta NOR de dos entradas (ϕ_n), cuando las transiciones son de bajada, es el intervalo temporal, en valor absoluto, transcurrido desde que la segunda en llegar toma el valor V_n hasta que lo toma la primera.

En las figuras 5.14 y 5.15 se muestra el valor del retraso de propagación de una

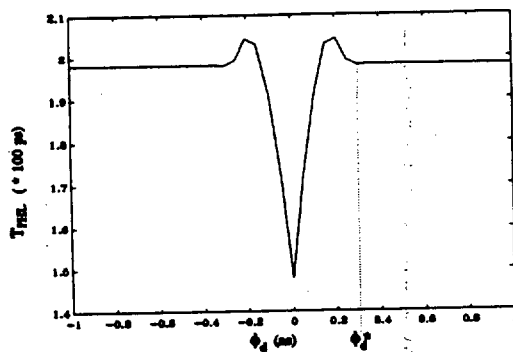


Fig. 5.14. Tiempo de propagación de una NOR2 frente al desfase en transición de bajada con colisión.

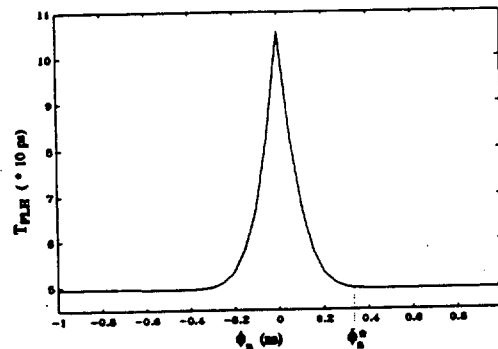


Fig. 5.15. Tiempo de propagación de una NOR2 frente al desfase en transición de subida con colisión.

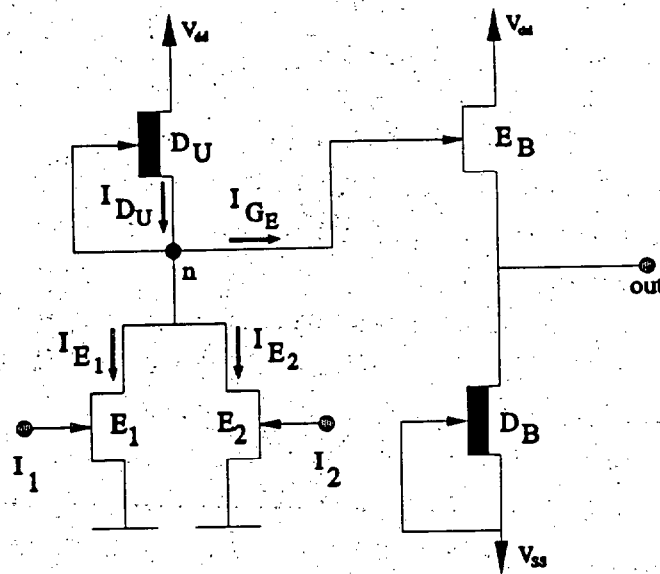


Fig. 5.16. Puerta NOR2.

puerta NOR2 en función del desfase entre las señales de entrada, para las transiciones de descarga y carga del nudo de salida respectivamente. Ambas figuras corresponden a excitaciones de posible colisión, es decir, las dos señales de entrada conmutan en el mismo sentido.

Para obtenerlas, se simula la puerta NOR2 de la figura 5.16 de dimensiones $\omega_{E1}=12, \omega_{E2}=12, \omega_D=4, \omega_{EB}=6$ y $\omega_{DE}=4$; excitada con señales paralelas de desfase variable. Para la transición de descarga, el retraso de propagación se mide respecto a la primera excitación que conmuta. En la de carga la referencia es la segunda. Los resultados son los mismos cualitativamente para cualquier puerta. Como era previsible, las funciones obtenidas son pares. En ambos casos, a partir de cierto valor del desfase se observa variación del retraso. En ese intervalo hay colisión.

En particular, cuando la señal a la salida es de bajada, la desviación es de valor $147.91-198.11=-50.2$ ps, se produce una aceleración de la señal tal que el retraso disminuye un 25.3%. La razón de este funcionamiento se justifica con la ayuda de la figura 5.16 en la que aparece el esquemático de la puerta NOR2. Se considera despreciable la corriente I_{GE} frente al valor de las de drenador de los distintos transistores. Si las señales de entrada están muy separadas (no hay colisión), la descarga del nudo n se realiza a través de un solo transistor, E_1 , ya que E_2 está cortado. En caso de colisión, la descarga se produce por ambos transistores (E_1 y E_2) según cierta regla de proporcionalidad función del valor de ϕ_d . En este último caso se tiene una velocidad mayor en la descarga, por ser la corriente hacia el nudo de tierra más importante.

En lo que sigue se denomina a la colisión, para la transición de bajada a la salida, colisión que acelera la respuesta o de aceleración.

En rigor, no todos los valores del desfase producen aceleración de la señal en esta transición. Para valores de ϕ_d en el intervalo (155.7, 302.1) ps, se observa un mayor valor del retraso de propagación que para el resto del intervalo analizado. Esto es porque mientras que el nudo de salida está en proceso de descarga por efecto del cambio de la primera señal de entrada, y antes de que la señal de tensión a la salida alcance el valor V_o , se produce una inyección de carga por efecto Miller debido a la gran variación del valor de la pendiente de la segunda señal de entrada. Es como si el pico de tensión (*glitch*) presente en todos los casos en la salida se hiciese notar "poco antes" de realizar la medida. Sin embargo, por simplicidad, se desprecia ese intervalo en que en realidad la señal se retarda pues la amplitud del retardo es de 3.2 ps frente a los -50.2 ps de la amplitud total desde la situación de no colisión.

En la situación de la figura 5.15, se produce la que se denominará colisión que frena la respuesta o de frenado. El efecto observado es fruto del mecanismo contrario al anterior. En el proceso de carga del nudo de salida, la corriente útil es $I_{DU} - I_{E1} - I_{E2}$ (figura 5.16), de modo que será tanto más rápido cuanto menores sean I_{E1} e I_{E2} . Cuando hay colisión, los transistores E_1 y E_2 entran en corte más tarde con respecto al caso en que no la hay. De la figura, la desviación tiene una amplitud de $105.92 - 49.54 = 56.38$ ps. Se produce un incremento relativo del retraso de propagación del 113.6%.

Ha quedado probado que las colisiones introducen una desviación de los resultados muy importante respecto a modelos de inversor equivalente. De entre los dos tipos de colisiones posibles en diseños con puertas NOR, la más crítica es la de frenado. Si en un circuito se produce colisión en n puertas, el error cometido en la estimación se multiplica por n . Este fenómeno debe ser tenido en cuenta en la estimación del retraso de puertas lógicas de múltiples entradas.

5.5.2.- Modelo.

Queda patente en el punto anterior la necesidad de dar cuenta de los efectos de las colisiones. En este punto se propone una metodología que permite su tratamiento. El objetivo es el de introducir sus efectos mediante un inversor equivalente tal que se modelen las formas de onda de las señales de salida adecuadamente. Se establece asimismo un procedimiento de cálculo de la pendiente de entrada equivalente a las que excitan la puerta de múltiples entradas.

En relación con las figuras 5.14 y 5.15, se define el desfase crítico como el mayor valor del desfase entre las señales de entrada a una puerta para el que hay colisión. Se puede calcular partiendo de señales con desfases grandes y obteniendo los valores del retraso de propagación a medida que se disminuye el valor del desfase. El desfase crítico es aquel valor para el que comienzan a apreciarse desviaciones en el retraso de propagación.

Se denominará intervalo crítico para el desfase al conjunto de valores del mismo tal que $\phi \in [0, \phi^*]$.

Dado que existen dos tipos de colisión, se obtienen dos valores de desfase crítico. En la colisión de aceleración se denota por ϕ_n^* . Y en la de frenado por ϕ_d^* . Los valores calculados de las figuras son $\phi_n^* = 302.73$ ps (esta cantidad representa unas seis veces el tiempo de propagación sin colisión) y $\phi_d^* = 302.1$ ps (1.5 veces el retardo sin colisión).

5.5.2.1.- Definición de la relación de aspecto equivalente de una puerta NOR2.

Se proponen dos modelos distintos de la relación de aspecto equivalente a una puerta NOR2. El primero de ellos es computacionalmente menos costoso. Se trata de una relación lineal de la relación de aspecto con el desfase. En el segundo, se aplica de nuevo la estrategia fundamental del presente trabajo. Los valores de la relación de aspecto equivalente se obtienen en una fase previa al cálculo por simulación. Éstos son ajustados por un polinomio en el desfase del que se almacenan los coeficientes. La ventaja de este método estriba en la minimización del error cometido.

5.5.2.1.1.- Aproximación lineal.

Considerando que para un valor nulo del desfase, la relación de aspecto del inversor equivalente es $\beta_1 + \beta_2$ y que para $\phi_n = \phi_n^*$ es β_2 , (si $\phi_d = \phi_d^*$ es β_1) y suponiendo variación lineal de la relación de aspecto con el desfase queda, para señales a la entrada paralelas la expresión de la relación de aspecto del inversor equivalente dada en la ecuación {5.17}.

$$\beta_n = \beta_1 \cdot \frac{\phi_n^* - \phi_n}{\phi_n^*} + \beta_2; \quad \beta_d = \beta_2 \cdot \frac{\phi_d^* - \phi_d}{\phi_d^*} + \beta_1 \quad \{5.17\}$$

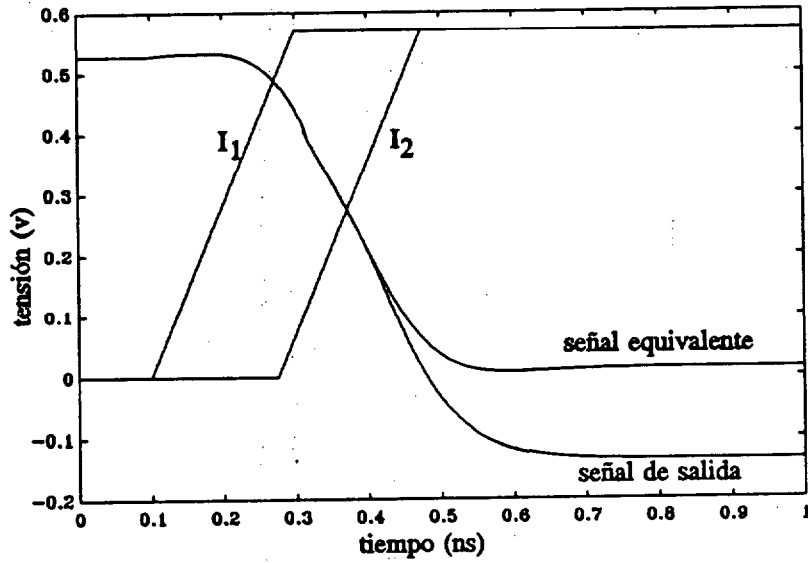


Fig. 5.17. Curvas de salida de una NOR2 y "su" inversor equivalente.

Con las ecuaciones anteriores, dadas β_1 , β_2 , ϕ^* y ϕ , se dispone de una vía de cálculo de la relación de aspecto equivalente del inversor que modela la puerta NOR2 en casos de colisiones. Nótese cómo, de la propia definición, la relación de aspecto así obtenida incluye como casos particulares las aproximaciones tradicionales.

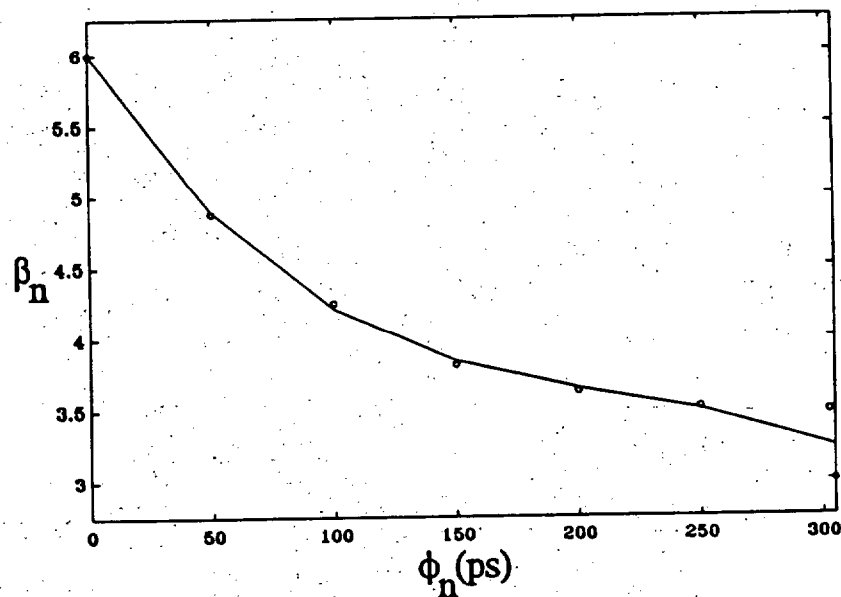
Por simplicidad, en el cálculo del desfase crítico se han excitado las puertas con señales paralelas. En una situación práctica, las señales no necesariamente lo son. Sin embargo, es posible asegurar, gracias a la propiedad presentada en 5.4.2 referida a los márgenes de variación de las pendientes, que éstas van a ser bastante parecidas.

Esto permite utilizar el procedimiento de cálculo de ϕ^* sin necesidad de estudiar todas las posibles combinaciones de pendientes distintas excitando las puertas.

Para la evaluación de β_n (β_d) se realiza una corrección heurística que introduzca en su cómputo la diferencia relativa de las pendientes de entrada, esto es, se introducen los coeficientes k_n y k_d como se indica en las ecuaciones {5.18}.

$$\beta_n = k_n \cdot \beta_1 \cdot \frac{\phi_n^* - \phi_n}{\phi_n^*} + \beta_2, \quad k_n = \frac{T_{IH1}}{T_{IH2}}, \quad \beta_d = k_d \cdot \beta_2 \cdot \frac{\phi_d^* - \phi_d}{\phi_d^*} + \beta_1, \quad k_d = \frac{T_{IH2}}{T_{IH1}} \quad \{5.18\}$$

Este modelo requiere dos parámetros, ϕ_n^* y ϕ_d^* (uno para cada transición), los cuales deben ser calculados a priori, en la fase de precaracterización.

Fig. 5.18. Ajuste de los valores de β_n .

5.5.2.1.2.- Aproximación polinómica.

Una alternativa más precisa consiste en utilizar un modelo fruto del ajuste de una curva a cierta nube de puntos "experimentales".

En una fase anterior al cálculo, dada una puerta NOR2, se obtienen, por simulación, un conjunto de valores de la relación de aspecto de un inversor que responda de manera lo más parecida posible a como lo hace la propia puerta ante sendas excitaciones paralelas con cierto desfase de valor en el intervalo $[0, \phi^*)$.

"Lo más parecida posible" significa que las curvas a la salida del inversor y la puerta NOR2 se crucen al menos en el punto (t_c, V_c) (donde t_c es el instante en el que la salida de la puerta NOR2 alcanza el valor V_c). Típicamente se cruzan en gran parte de la transición (ver figura 5.17 donde de nuevo se utilizan pendientes paralelas por simplicidad).

Para la transición de carga del nudo de salida se obtiene un valor de la relación de aspecto para cada 50 ps del desfase en el intervalo crítico.

Los resultados obtenidos se recogen en la figura 5.18, indicados con $\circ$. En la misma, se muestra el polinomio de tercer grado que se ajusta a la nube de puntos por mínimos cuadrados. La expresión del mismo se halla en la ecuación {5.19} junto con una versión

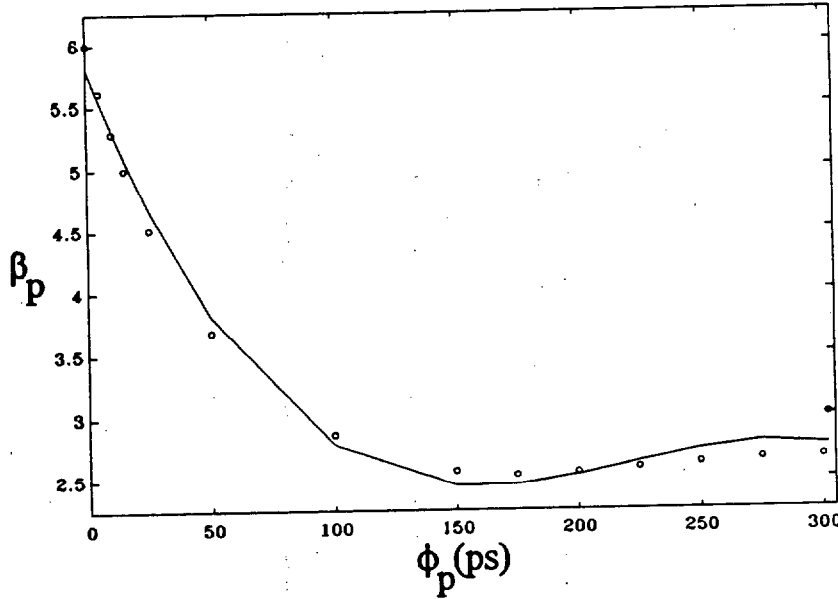


Fig. 5.19. Ajuste de los valores de β_p .

modificada de la misma ecuación, en la que aparecen explícitamente los parámetros de la metodología.

$$\begin{aligned} \beta_n &= k_n (\alpha_{n_1} \phi_n^3 + \alpha_{n_2} \phi_n^2 + \alpha_{n_3} \phi_n) + \beta_2 = \\ &= k_n \left[\beta_1 \left\{ -[\alpha_{n_1} (\phi_n + \phi_n^*) + \alpha_{n_2}] \phi_n^* \phi_n + \beta_1 \right\} \frac{\phi_n^* - \phi_n}{\phi_n^*} \right] + \beta_2 \end{aligned} \quad \{5.19\}$$

En la ecuación se ha introducido el mismo factor para la inclusión de los efectos de las pendientes (k_n) que en la expresión {5.18}. Se requieren ahora tres coeficientes, α_{n_1} , α_{n_2} y α_{n_3} o bien α_{n_1} , α_{n_2} y ϕ_n^* en lugar del único parámetro (ϕ_n^*) del modelo lineal. Los valores obtenidos por el citado procedimiento de ajuste son los presentados en la ecuación {5.20}.

$$\alpha_{n_1} = -1.737 \cdot 10^{-7} (ps)^{-3}; \alpha_{n_2} = 1.134 \cdot 10^{-4} (ps)^{-2}; \alpha_{n_3} = -2.751 \cdot 10^{-2} (ps)^{-1}; \phi_n^* = 302.7 ps \quad \{5.20\}$$

Se procede análogamente en la transición de descarga. Como en el intervalo $(155.7, \phi_d^*)$ ps se produce una variación importante del tiempo de propagación (figura 5.14), es preciso analizar más puntos en ese intervalo.

En particular, se han analizado los quince puntos de la figura 5.19. El polinomio de grado tres resultante es el presentado en la ecuación {5.21},

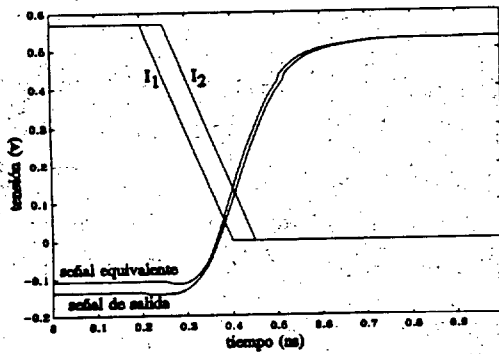


Fig. 5.20. Modelo lineal en la transición de subida.

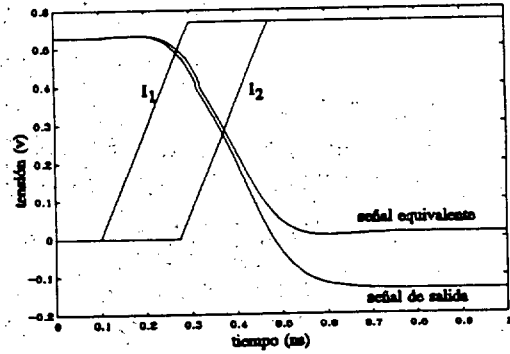


Fig. 5.21. Modelo lineal en la transición de bajada.

$$\begin{aligned} \beta_d &= k_d(\alpha_{d1}\phi_d^3 + \alpha_{d2}\phi_d^2 + \alpha_{d3}\phi_d) + \beta_1 = \\ &= k_d \left[\beta_2 \left\{ -[\alpha_{d1}(\phi_d + \phi_d^*) + \alpha_{d2}] \phi_d^* \phi_d + \beta_2 \right\} \frac{\phi_d^* - \phi_d}{\phi_d^*} \right] + \beta_1 \end{aligned} \quad \{5.21\}$$

donde de nuevo se introduce el factor k_d . Se precisan tres coeficientes α_{d1} , α_{d2} y α_{d3} o bien α_{d1} , α_{d2} y ϕ_d^* de valores dados en las ecuaciones {5.22}.

$$\alpha_{d1} = -3.804 \cdot 10^{-7} (ps)^{-3}; \quad \alpha_{d2} = 2.526 \cdot 10^{-4} (ps)^{-2}; \quad \alpha_{d3} = -5.168 \cdot 10^{-2} (ps)^{-1}; \quad \phi_d^* = 302.1 ps \quad \{5.22\}$$

5.5.2.1.3.- Comparación de resultados.

Con objeto de marcar las diferencias entre las dos aproximaciones se incluyen las figuras 5.20, 5.21, 5.22 y 5.23. Las curvas 5.20 y 5.21 corresponden al modelo lineal mientras que las 5.22 y 5.23 son resultado del polinómico. Nótese cómo es más preciso el caso de las figuras 5.22 y 5.23. El coste es un mayor tiempo de cómputo.

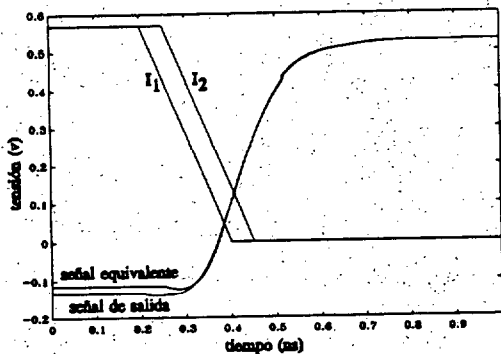


Fig. 5.22. Modelo polinómico en la subida.

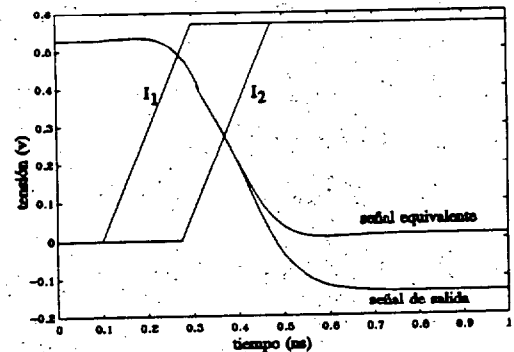


Fig. 5.23. Modelo polinómico en la de bajada.

5.5.2.2.- Procedimiento de estimación del desfase.

Es preciso definir alguna estrategia de cómputo del desfase entre las señales propagándose en el circuito. En la metodología presentada en el apartado 5.2, se propone una expresión polinómica ({5.11}) tal que dada la relación de aspecto de un inversor, el valor de la pendiente de la señal que lo excita y la carga del nudo de salida, arroja el retraso de propagación y la pendiente de salida. Con estos dos últimos datos debe estimarse aproximadamente el instante temporal t_d , en el que las señales alcanzan el valor V_d para transiciones de subida y el instante t_n , en que las de bajada alcanzan el valor V_n .

Sea i un nudo interno arbitrario de un circuito lógico combinacional implementado con la familia DCFL/SDCFL. Se supone que es conocida la forma de onda de la señal de entrada a cierto nudo (I) considerado el de entrada al circuito. Esto es, se conoce la pendiente de entrada en (I), que se denota por $T_I(I)$, y t_0 que representa el instante en que la señal en (I) pasa por el punto V_d o V_n según sea la transición (figura 5.24). Aplicando la ecuación {5.11} es posible calcular $T_p(i)$, retraso de propagación en el camino $I \rightarrow i$. Con estos datos, si la señal de tensión en el nudo (i) alcanza el valor V_e en el instante t_e , su valor es el dado por la ecuación {5.23},

$$t_e(i) = t_0 + \frac{T_I(1)}{2} + T_p(i) \quad \{5.23\}$$

Si además se asume (a pesar de que se comete cierto error) que para el caso de transiciones de subida el instante $t_d(i)$ está situado $T_{OLH}(i)/2$ segundos antes que $t(i)$, se tiene que la posición de t_d se obtiene evaluando la expresión {5.24},

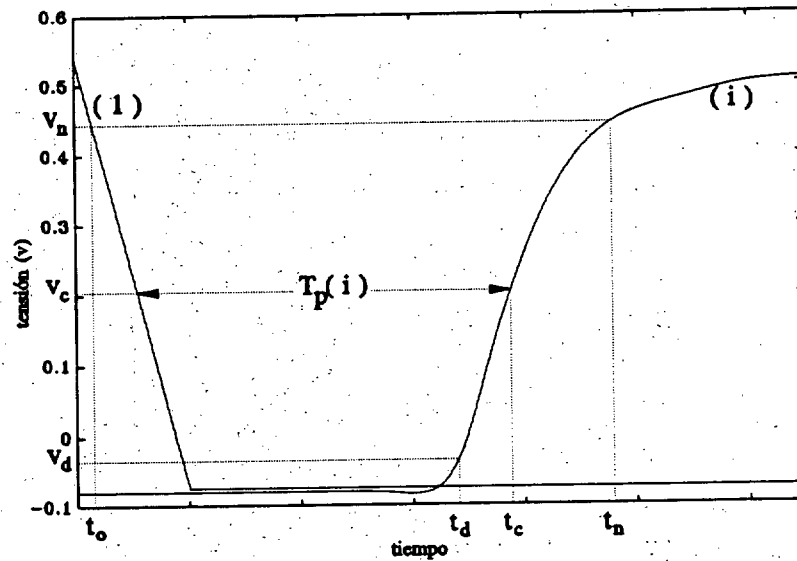
$$t_d(i) = t_e(i) - \frac{T_{OLH}(i)}{2} = T_{ini} + T(i) \quad \{5.24\}$$

estando T_{ini} y $T(i)$ dados por las ecuaciones {5.25},

$$T_{ini} = t_0 + \frac{T_I(1)}{2}; \quad T(i) = T_p(i) - \frac{T_{OLH}(i)}{2} \quad \{5.25\}$$

T_{ini} es conocida dada la señal de entrada a (I). La función que debe ser calculada al recorrer el camino $I \rightarrow i$ es $T(i)$. Con la ecuación {5.24}, el desfase se calcula como la diferencia entre los valores $t_{d1}(i)$ y $t_{d2}(i)$ correspondientes a ambas señales, ecuación {5.26}.

$$\phi_d(i) = |t_{d1}(i) - t_{d2}(i)| \quad \{5.26\}$$

Fig. 5.24. Estimación de la posición de t_d

Para el caso de señales de bajada, interesa calcular $t_n(i)$. Siguiendo la misma línea de razonamiento es posible escribir la ecuación {5.27},

$$t_n(i) = T_{ini} + T(i) = t_0 + \frac{T_f(1)}{2} + T_p(i) - \frac{T_{oHL}(i)}{2} \quad \{5.27\}$$

De modo que para el desfase queda la ecuación {5.28}.

$$\phi_n(i) = |t_{n_1}(i) - t_{n_2}(i)| \quad \{5.28\}$$

Para ilustrar el proceso de cálculo, se presenta la figura 5.24. En ella está representado un peor caso con respecto a la aproximación realizada, en la que se ha tomado por lineal arbitrariamente la señal de salida, correspondiente a un abanico de salida de valor tres. Se comete un error absoluto con respecto a la posición real de $t_d(i)$ de -40.9 ps, esto es, se subestima su posición. El error sería nulo si ocurriese que $t_n - t_c = t_c - t_d = T_{oHL}(i)/2$. Sin embargo, las estimaciones realizadas serán utilizadas en la ecuación que define el desfase ($\phi_d(i) = |t_{d2} - t_{d1}|$) en la que se calcula una diferencia. Típicamente para las transiciones de subida estos errores serán del mismo signo y habrá colisión cuando se recorran un número similar de puertas. La diferencia hará que el error del método disminuya, favoreciéndose el resultado de la estimación.

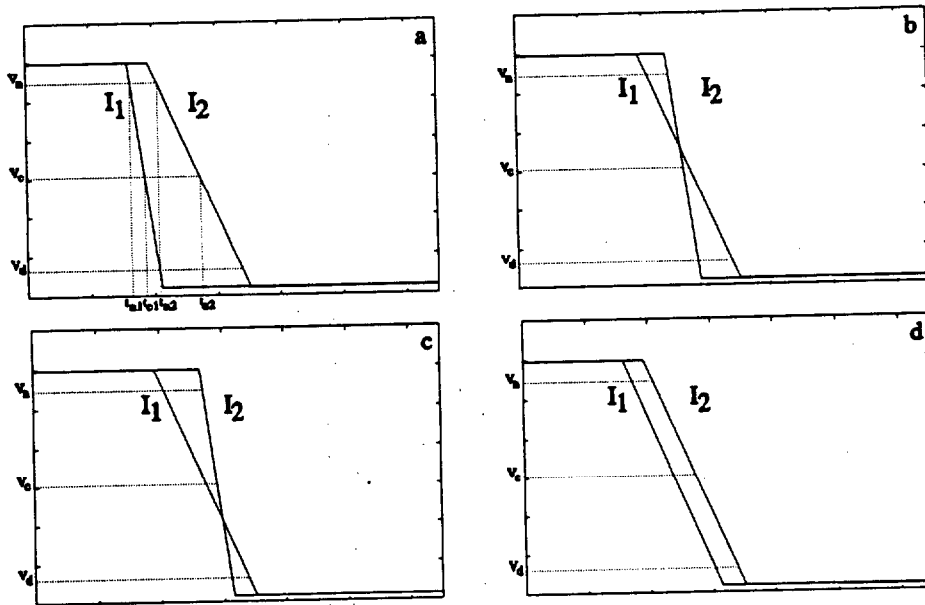


Fig. 5.25. Combinaciones a las entradas de una NOR2. La salida se carga.

En el cálculo de ϕ_n los errores suelen ser del signo opuesto. Esto es, se sobreestima la posición de los t_n . En cualquier caso, se aminoran merced a la diferencia.

5.5.2.3.- Pendiente de entrada equivalente.

Además de la relación de aspecto, para evaluar el retraso de propagación se requiere un único valor de la pendiente de entrada cuando se produce colisión. Por lo tanto es preciso dar alguna regla que permita, a partir del par de señales en la entrada, extraer el mencionado valor de la pendiente que se llamará pendiente equivalente a las de excitación a una puerta de múltiples entradas, denotada por T_1^* . Se adoptará el criterio de hacer lo más simple posible el cálculo de ésta pendiente de entrada equivalente, ya que resulta menos crítico este paso por la uniformidad de los valores de las mismas.

La figura 5.25 muestra las cuatro combinaciones posibles de la disposición de las señales de entrada a una puerta NOR2. Cualquiera de ellas producirá una transición de carga a la salida. En 5.25.a se muestran los instantes t_{n1} , t_{c1} , t_{n2} y t_{c2} que serán utilizados en el subsiguiente desarrollo. Además, I_1 denota a la primera señal que alcanza el valor V_n e I_2 a la segunda. Para esta transición, cuando las señales están muy separadas (ausencia de colisión), la que produce cambio a la salida es la segunda que conmuta a la entrada. Teniendo esto presente, se definirá el valor de la pendiente equivalente a las de excitación.

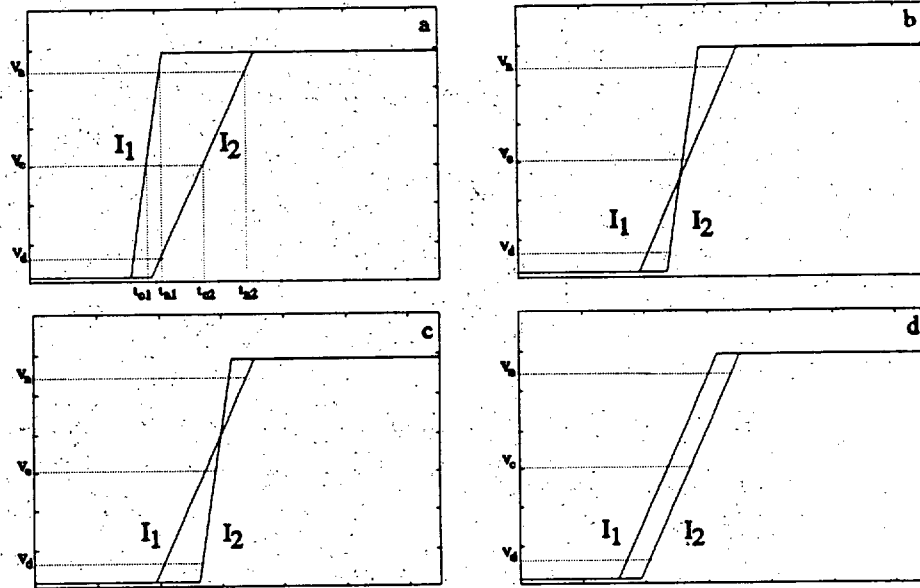


Fig. 5.26. Combinaciones a las entradas de una NOR2. La salida se descarga.

Sea t_n^M el mayor de los valores t_{n1} y t_{n2} (tal como se ha definido I_2 será $t_n^M = t_{n2}$). Y t_c^M el mayor de los t_{c1} y t_{c2} . La pendiente de entrada equivalente a las de excitación está dada por la ecuación {5.29}.

$$\begin{aligned} t_c^M &= \max[t_{c1}, t_{c2}]; \quad t_n^M = \max[t_{n1}, t_{n2}] = t_{n2} \\ T_{IHL}^* &= 2 \cdot (t_c^M - t_n^M) \end{aligned} \quad \{5.29\}$$

Según esta definición, en todos los casos mostrados en 5.25, la señal equivalente es I_2 salvo en la situación de la figura 5.25.b. En esta figura, las señales se cruzan en un instante anterior a t_{c1} la pendiente equivalente tiene un valor del intervalo $[T_{IHL2}, T_{IHL1}]$.

En la definición {5.29}, queda implícita la hipótesis consistente en despreciar las formas de onda de las señales para valores de tensión inferiores a V_c . Esto es así gracias al valor relativo de V_c respecto a la tensión de umbral del transistor que conmuta en la puerta. Estos valores son muy parecidos, $V_T = 0.219$ v y $V_c = 0.231$ v, luego la hipótesis se justifica considerando que, por definición, a partir del valor V_T el transistor queda en zona de corte.

Los valores de t_n y t_c se obtienen según se ha indicado en 5.5.2.2 (ecuaciones {5.23} y {5.22}); son requeridos para la evaluación del desfase.

Por tanto, no se precisa más cálculo adicional que la evaluación de la ecuación {5.29}.

Análogamente, para la transición de descarga en el nudo de salida de la puerta, las señales las combinaciones posibles se muestran en las figuras 5.26. En ellas I_1 se define como la primera señal de entrada que alcanza el valor de tensión V_d . En ausencia de colisión, para esta transición, es I_1 que produce la transición a la salida. Se define la pendiente equivalente a las de excitación tal como se indica en la ecuación {5.30}.

$$\begin{aligned} t_c^m &= \min[t_{c1}, t_{c2}]; & t_n^m &= \min[t_{n1}, t_{n2}] \\ T_{ILH}^* &= 2 \cdot (t_n^m - t_c^m) \end{aligned} \quad \{5.30\}$$

Si las señales se cruzan en un instante posterior a t_{c2} (situación mostrada en la figura 5.26.c) se obtendrá un valor de T_{ILH}^* en el intervalo $[T_{ILH2}, T_{ILH1}]$. En los restantes casos, la señal equivalente es I_1 .

Los errores cometidos en la evaluación de t_n no se compensan de manera alguna con la metodología propuesta. Sin embargo, como se ha indicado, la precisión de los valores de las pendientes T_1^* no es tan crítica. En las distintas situaciones posibles que se obtienen al combinar las señales de las figuras 5.25 y 5.26, se puede evitar cometer error alguno sin más que hacer una comprobación previa de los valores de T_{IHL1} , T_{IHL2} , T_{ILH1} y T_{ILH2} . Así, si en la transición de carga del nudo de salida:

- $T_{IHL1} \leq T_{IHL2}$, o si siendo $T_{IHL1} > T_{IHL2}$, es $t_{c2} \leq t_{c1}$ se toma $T_{IHL}^* = T_{IHL2}$.

Con esto, sólo se precisa evaluar T_{IHL}^* en uno de los casos.

Para las transiciones de descarga si:

- $T_{ILH1} \leq T_{ILH2}$, o si siendo $T_{ILH1} > T_{ILH2}$, es $t_{c2} \leq t_{c1}$ se toma $T_{ILH}^* = T_{ILH1}$.

De nuevo, sólo se precisa evaluar T_{ILH}^* en uno de los casos.

5.6.- Introducción de los efectos de la temperatura.

Ha sido discutido en un capítulo anterior (capítulo 3, sección 3.2.3) la forma en que afecta la temperatura de operación a la respuesta del inversor. La introducción de esta variable en la formulación puede realizarse de forma simple mediante la obtención, en la fase de precaracterización, de coeficientes de los polinomios para distintas temperaturas.

Por ejemplo, suponer que se obtienen los coeficientes de los polinomios de retraso y pendientes cuando el circuito opera a las temperaturas T , $T+p$, $T+2p$ y $T+3p$ donde p es un valor de paso arbitrario. Cuanto menor sea p más precisas serán las estimaciones. Los coeficientes pueden organizarse en cuatro conjuntos. Suponer que los conjuntos son A, B, C y D ordenados según los valores crecientes de la temperatura. En la fase de evaluación bastará indicar cuál de los conjuntos de coeficientes tomar para el cómputo del retraso. Así, cuando la temperatura de operación sea inferior a $T+p/2$ se toman los del conjunto A, si es del intervalo $[T+p/2, T+3p/2)$ el cómputo se realiza con los coeficientes de B, en caso que la temperatura de operación sea del intervalo $[T+3p/2, T+5p/2)$ la evaluación se hace con los coeficientes del conjunto C y para valores superiores de la temperatura el cálculo se basa en los coeficientes de D.

Con esta metodología se incrementa la precisión del modelo cuando la temperatura varía. Obviamente el coste es que en la precaracterización se requiere más tiempo. Sin embargo, el precio no es muy elevado dado que esa fase se realiza una vez para cada tecnología, al inicio, y que los coeficientes obtenidos son válidos en tanto que no se produzcan variaciones en las reglas de diseño o en los propios dispositivos. Respecto a los algoritmos de cómputo, no se complican especialmente ya que tan solo se precisa especificar el conjunto de coeficientes adecuado que es único desde el momento en que se especifica la temperatura al inicio de la simulación.

5.7.- Limitaciones.

En este punto se pretende revisar la metodología enfatizando las hipótesis e incidiendo en las aproximaciones hechas en el desarrollo. Se especificará sobre qué clase de circuitos es operativa; asimismo, se indicarán modificaciones y revisiones a realizar si se quiere que su aplicación se extienda a una mayor variedad de circuitos.

Las fuentes de error inherentes a la formulación son básicamente dos, las asociadas a la elección de las dependencias funcionales y las propias del método de ajuste estadístico utilizado.

El primer grupo se apoya en varias hipótesis. La hipótesis de partida consiste en asumir una dependencia lineal con la pendiente de entrada, tanto de los tiempos de propagación como de las pendientes de salida. Estas suposiciones quedan justificadas al observar las curvas 5.2 y 5.3. La lectura de las mismas es que se produce un aumento gradual de ambas variables con la citada pendiente de entrada. A mayor valor de la pendiente

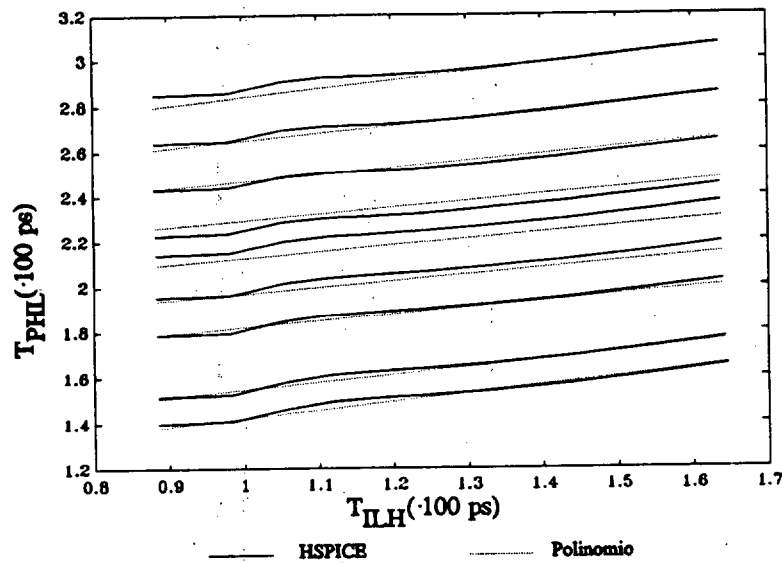


Fig. 5.27. Ajuste polinómico a la expresión {5.11}.

de entrada, la respuesta se produce más tarde. Esta hipótesis es factible en un amplio rango de valores de las pendientes de entrada. Cuando las condiciones de carga son muy fuertes, sin embargo, la dependencia se hace ligeramente menos lineal en el caso considerado de la familia DCFL/SDCFL. Por condiciones de carga fuertes se entiende (abanico de salida *fan-out*) superior a 4 siendo las puertas grandes, el adjetivo "grande" se aplica aquí a aquellas puertas con factor de área del transistor que conmuta superior a 20. Aún así, se puede mantener la hipótesis pues rara vez se somete a las puertas a esas cargas por restricciones de tipo eléctrico.

Respecto a otras hipótesis implicadas en la formulación, la dependencia asumida de un polinomio de segundo grado mantiene su validez. Un modelo que requiera menos coeficientes, obtenido al hacer lineal la dependencia en partes del desarrollo, puede ser desarrollado. La ventaja más importante del mismo es la posibilidad de dotar a los coeficientes de un sentido físico claro. Sin embargo, no se han utilizado hipótesis adicionales pues con la línea seguida el error se minimiza y el tiempo de cómputo no aumenta de manera apreciable. Es claro que el significado de los coeficientes es meramente el de unos parámetros de ajuste numérico, sin contenido eléctrico o circuital alguno.

Respecto a los errores del método estadístico, la bondad del de los mínimos cuadrados está ampliamente contrastada ya que su uso es de gran difusión en todos los ámbitos de la ciencia. Estos argumentos justifican su utilización junto con las curvas 5.27 en las que pueden observarse que el ajuste se aproxima muy bien a los resultados obtenidos por simulación.

La forma de asociar valores a los parámetros geométricos, relación de aspecto y capacidad de carga, y su ulterior manejo en la metodología no introduce errores apreciables en la misma. Esto es así en tanto que son meros parámetros cuyos valores se utilizan como "etiquetas" de situaciones topológicas. Esto es, en el procedimiento de precaracterización se calculan los coeficientes como las soluciones de un sistema de ecuaciones algebraicas. Por tanto, en los coeficientes de tales sistemas están contenidos los valores numéricos asignados a las variables geométricas. Luego, dado que los coeficientes del polinomio dependen de aquellos, si se mantiene el conjunto de valores referenciados no habrá error en la evaluación de los polinomios.

La insistencia en el desarrollo de un modelo de carga válido fue motivada por la necesidad de contar con capacidades de interconexión. Al sumar a la "etiqueta" asignada a la capacidad el valor de la capacidad de interconexión se comete cierto error. Sin embargo, el mismo es pequeño gracias a la linealidad del modelo de carga.

Una limitación adicional referida a las variables consiste en la hipótesis de acotabilidad de las mismas. Se sabe que la formulación del retraso se fundamenta en la posibilidad de reducir las diversas configuraciones de puertas que puedan presentarse en cualquier diseño a un conjunto pequeño de casos previamente caracterizados.

Así, las variables que juegan algún papel en la metodología deben ser, por definición, acotables. Esto es, con objeto de realizar una precaracterización eficiente, es imprescindible el conocimiento a priori de los intervalos en los cuales toman valores las pendientes, las relaciones de aspecto y los parámetros de capacidad de carga. Al menos debe ser posible reducir la variedad de situaciones a ciertos intervalos típicos y lo más generales. La hipótesis de uniformidad del diseño, sin embargo, permite realizar las acotaciones con gran precisión, ya que los estilos de diseño que generalmente se utilizan presentan una gran homogeneidad respecto a las dimensiones y configuración de las puertas lógicas.

Un aspecto fundamental a considerar se refiere a la forma de propagar los atributos de las puertas del circuito lógico. En particular, el hecho de que sólo se pueda evaluar una puerta una vez resuelta la anterior limita aparentemente la metodología. Es sabido que las funciones polinómicas dependen de tres variables. Una de ellas, la capacidad de carga, es de valor conocido al disponer de la descripción del circuito. Las otras dos variables independientes, la relación de aspecto y la pendiente de entrada, sólo son conocidas al evaluar la puerta inmediatamente anterior a la que se pretende resolver. Ante una puerta de múltiples entradas la relación de aspecto se ha definido como una función dependiente del desfase. Éste es calculado en base a los tiempos de propagación de las puertas lógicas que preceden a la

actual.

Por lo tanto, no es posible resolver la puerta sin disponer de los datos referidos a las anteriores en el camino circuital. La misma conclusión se obtiene al considerar que la pendiente de entrada coincide con la de salida (o es función de las de salida en casos de más de una entrada) de la puerta precedente.

Así, en circuitos secuenciales en los que algún nudo de entrada a una puerta es de propiedades desconocidas, no es posible aplicar la metodología, al menos de una forma directa. Para hacerlo se requiere algún mecanismo con el que se especifique el estado inicial en estos nudos. El resto del proceso habría que diseñarlo haciendo iterar cierto algoritmo de evaluación de la puerta o camino de rápida convergencia. Otra alternativa más rápida, simple y menos precisa consistiría en cortar el lazo de realimentación convenientemente.

Por último es destacable que los transistores de paso comúnmente utilizados en las tecnologías MOS no están permitidos en esta formulación. Esto no constituye limitación alguna al modelo ya que al menos en el estado actual de la evolución tecnológica, los diseños con transistores de paso no son utilizados ya que no presentan un funcionamiento adecuado.

CAPÍTULO 6

ANÁLISIS Y VERIFICACIÓN TEMPORAL

Para completar el método de análisis resta definir la manera en que se describen y representan los circuitos a analizar y cómo se recorren sus caminos evaluando retardos. En este capítulo se presentan las técnicas y guías para la implementación de algoritmos de análisis con los que realizar la verificación temporal. Se introducen hasta tres posibles soluciones del problema de atravesar el circuito. Se introduce además el concepto de macromodelo como una descripción de mayor nivel de abstracción de los circuitos.

6.1.- Introducción.

El capítulo anterior se dedicó a presentar el método de cálculo del tiempo de propagación al recorrer un camino en un circuito DCFL/SDCFL. El modelo se fundamenta en los inversores como bloques a los que son reducidas todas las puertas presentes. Desde un punto de vista conceptual, el analizador temporal que se implementa basado en la formulación expuesta, debe ser un analizador temporal a nivel de puertas. Los retrasos se computarán dotando a los nudos del circuito de propiedades temporales. Estas propiedades serán el retraso parcial hasta cierto nudo y los valores correspondientes de las pendientes. El retraso parcial se calcula sumando las contribuciones al retraso de cada una de las puertas que preceden al nudo considerado; las pendientes se obtienen evaluando polinomios.

Es preciso dar solución a dos problemas diferenciados. Por un lado definir una estructura con la cual describir cualquier circuito, que sea a la vez simple y transportable desde otra descripción realizada con una regla establecida (tipo SPICE). El otro problema que se plantea es la manera en que deben ser recorridos los caminos en los circuitos.

La propia definición de camino en un circuito, como se verá, precisa ser revisada. En definiciones precedentes no se incluye la posibilidad de introducir las colisiones. Con ellas,

el concepto de camino, como la serie unívocamente determinada de nudos del circuito por los que se propaga una señal, se diluye, ya que no es posible asociar una transición producida a la salida de una puerta lógica de múltiples entradas con el cambio de un único nudo de entrada. El objeto de la revisión es dotar de sentido al concepto en el caso de análisis de puertas de múltiples entradas en las que se produzca colisión.

A la hora de hacer efectiva la estimación, se presentan tres opciones distintas. La primera, más simple, consiste en basar el cálculo en el modelo sencillo sin colisiones. En la segunda alternativa posible, se utilizan los modelos de colisiones. De entre estas dos, la primera es más rápida, pero, en general, conduce a resultados de mayor error. Por otra parte, con la segunda opción, se necesitará mayor tiempo de cómputo además de tener que especificar vectores de entrada al circuito. Esto último puede ser tedioso si no se dispone de algún mecanismo automático de generación de tales vectores. En cualquier caso, si el circuito es grande, no será factible simular todas las situaciones posibles. La tercera opción se plantea como un compromiso entre la celeridad en el cálculo de la primera y la precisión de la segunda.

6.2.- Descripción circuital.

Se describen aquí las reglas que permiten describir un circuito a la vez que se da al analizador temporal información sobre los valores de los parámetros requeridos para la evaluación del retardo.

El problema de fijar una descripción de un circuito consiste en definir un procedimiento que establezca una relación unívoca entre el circuito real y una serie de símbolos interpretables por la herramienta de simulación.

En este caso el modelo opera sobre puertas lógicas, en la descripción que aquí se detalla se darán reglas de descripción para todos los elementos que forman parte del diseño. Así, la línea

xxxxxxxx in out β B

representa un inversor cuyo nudo de entrada es *in* y el de salida es *out*. Los valores asociados a estos símbolos podrán ser datos numéricos o caracteres. La cadena *xxxxxxxx* es una serie de caracteres que identifican la puerta. β representa la relación de aspecto del inversor (se define en el capítulo anterior) y *B* indica el tipo de seguidor de fuente asociado al inversor.

Una puerta NOR de dos entradas se describe por

n2xxxxxxxx in1 in2 out β_1 β_2 B

como en el caso anterior, los símbolos *in1* e *in2* indican nombres asignados a los nudos de entrada de la puerta, *out* es el nudo de salida. En esta descripción aparecen dos valores de la relación de aspecto, β_1 y β_2 asociados a los valores de la relación de aspecto parciales. Finalmente, *B* indica el tipo de *buffer* asociado a la puerta. Análogamente, la línea

n3xxxxxxxx in1 in2 in3 out β_1 β_2 β_3 B

representa una puerta NOR de tres entradas. La última puerta permitida es la estructura OR/NOR que se describe como se indica,

onxxxxxxxx in1 in2 in3 in4 out β_1 β_2 β_3 β_4 B

donde los símbolos poseen el mismo significado. En la figura 6.1 se muestran los esquemáticos del inversor, la puerta NOR2 y la OR/NOR junto con la convención adoptada para su descripción.

El circuito presenta además, conectando los nudos y el nudo de tierra, sendas capacidades lineales que dan cuenta de los efectos de las interconexiones. La descripción de estas capacidades es idéntica a la de SPICE,

xxxxxxxx in 0 valor

el 0 podría suprimirse de la descripción ya que no aporta información alguna. *valor* es el valor de la capacidad de cableado expresado en femtofaradios (fF).

Tal como ha sido definida la descripción del circuito, se produce una partición en puertas lógicas del mismo. Esto es, se ha planteado una descripción jerárquica en vez de una plana en la que se enumeran todos y cada uno de los elementos básicos del circuito (transistores, fuentes independientes y capacidades).

Se concluye este punto con algunos comentarios relativos a la descripción estándar que se asumirá como de partida.

El diseñador puede requerir la estimación de las propiedades temporales de un circuito

dado en cualquiera de las fases del ciclo de diseño. Así, cuando en las primeras fases sólo dispone del esquemático a nivel de puertas lógicas, una vez que ha realizado la simulación lógica, puede plantearse si ese circuito satisfará las especificaciones temporales. Esta tarea se denominará estimación *prelayout*.

Por otro lado, se puede también cuestionar el funcionamiento temporal una vez finalizada la máscara del circuito. En este caso la estimación se denomina *postlayout*.

En ambos casos existen programas capaces de traducir las descripciones de partida a una descripción tipo SPICE (programas convertidores de formato y extractores). Por esto, en vez de generar programas traductores desde todas las posibles descripciones en distintos niveles se propone un único traductor desde SPICE al formato de descripciones interpretables por el analizador temporal que aquí se propone. Así, el abanico de situaciones que pueden cubrirse es mucho mayor y además la tarea es mucho más simple. De modo que se supondrá disponible una descripción tipo SPICE de partida. Sólo será necesario traducir descripciones SPICE a la definida. De hecho, el programa necesario puede llamarse con propiedad un extractor de puertas dimensionadas dado que el formato SPICE reconoce elementos a nivel de dispositivo, mientras que el formato definido en esta memoria reconoce puertas lógicas, como se verá a continuación.

6.3.- Extractor circuital desde SPICE.

La necesidad de disponer de una herramienta automática que transcriba una descripción de circuitos tipo SPICE a la definida anteriormente, manejada por el verificador, ha motivado la implementación de algoritmos con los que realizar la tarea. En este punto se describe el programa traductor, se dan los diagramas de flujo del programa y algunos ejemplos en los que mostrar la manera en que opera.

Se asume que está disponible un fichero de descripción a nivel de transistores sin errores, esto es, una descripción plana bien construida. En caso de una especificación jerárquica, la traducción es inmediata. El algoritmo fundamental consiste en la detección de conexiones entre los nudos de los transistores que identifiquen de forma unívoca las puertas que constituyen el circuito lógico. En el caso de la familia lógica DCFL/SDCFL, las puertas tienen la estructura mostrada en la figura 6.1. En la misma pueden verse un inversor, una puerta NOR de 2 entradas y la puerta OR/NOR. Estas son las únicas puertas que se permiten en los circuitos junto con la NOR de 3 entradas.

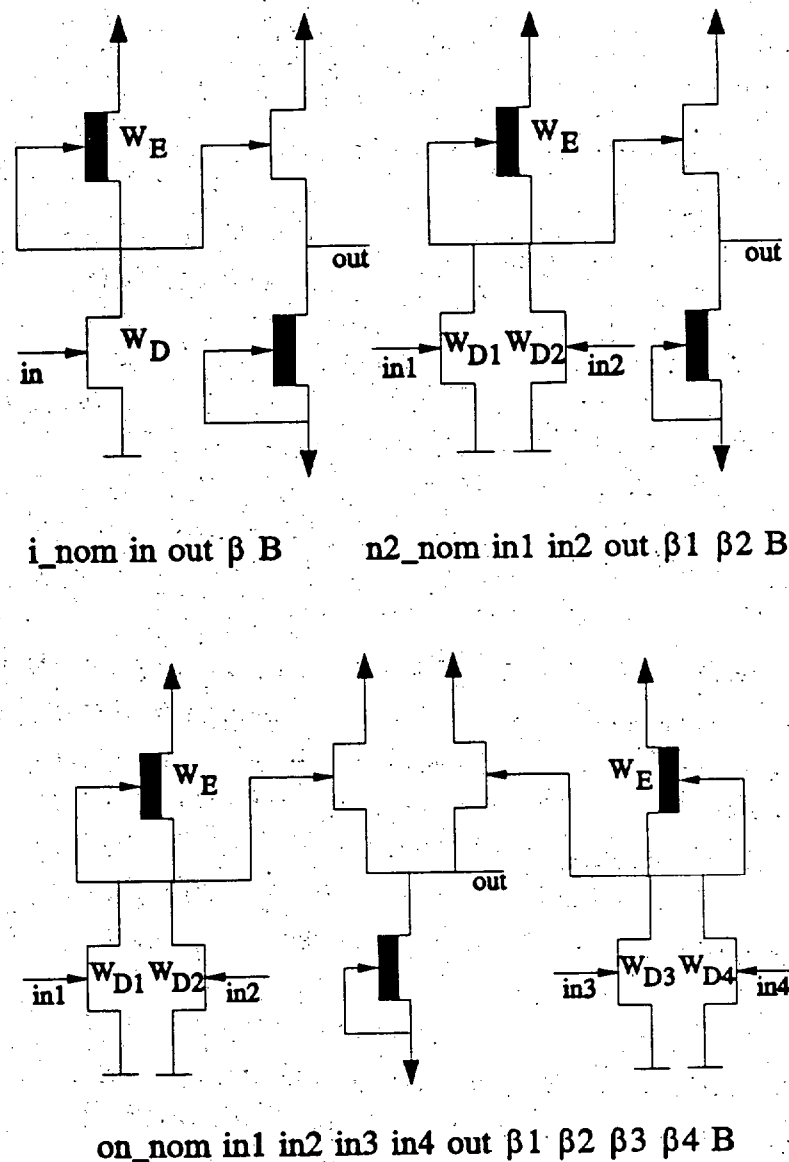


Fig. 6.1. Descripción de puertas lógicas.

El programa toma como entrada el fichero conteniendo el circuito SPICE y varios parámetros que facilitan la tarea de búsqueda. Los parámetros adicionales requeridos son los nombres de los modelos de los transistores de enriquecimiento y depleción, así como los de las fuentes de alimentación y el nudo datum. Los nombres de los modelos tienen los valores por defecto DFET y EFET y las fuentes tienen los siguientes: vdd, vss y gnd. Las mayúsculas y las minúsculas son consideradas como equivalentes.

El algoritmo se muestra en la figura 6.2. En la izquierda de la figura se representa el funcionamiento global del programa. Como se ha dicho, las entradas son un fichero de descripción (fichero.cir) y un conjunto de argumentos. El programa, que se llama SPCLG,

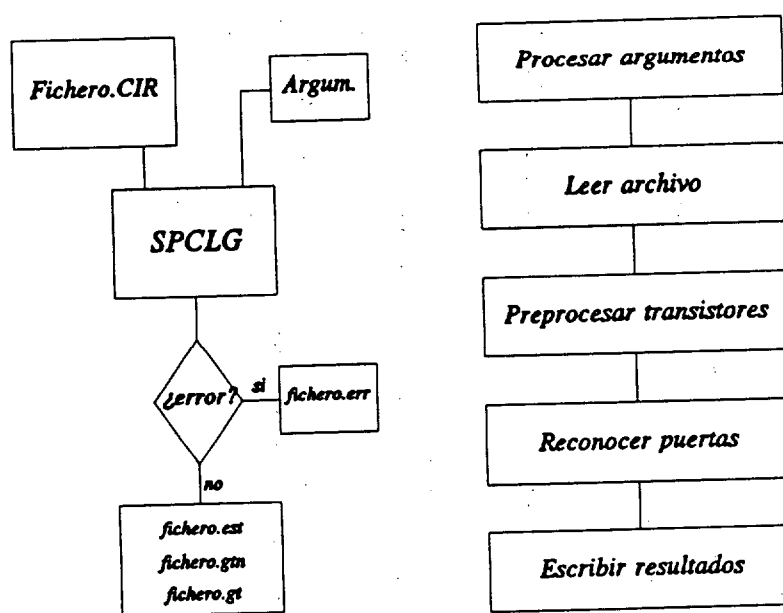


Fig. 6.2. Algoritmo de traducción.

procesa los datos. Si no hay error genera 4 ficheros conteniendo la información necesaria. El fichero de extensión *.est contiene datos referentes a la ejecución del programa así como información sobre la conversión de los nombres de los nudos, además de identificar los nudos de entrada, internos y de salida. El fichero cuya extensión es *.gtn comprende la descripción del circuito a nivel de puertas conservando los nombres de los nudos. El tercer fichero de extensión *.gt es idéntico al anterior salvo que los nudos se enumeran consecutivamente. Este fichero se genera para adaptarlo al verificador ya que requiere números como identificadores de los nudos.

Si se detectó algún error no se generan los anteriores ficheros. La salida es otro fichero *.err con información acerca del tipo de error identificado.

A la derecha en la misma figura 6.2 se detalla el funcionamiento del programa, es decir, se desarrolla el módulo principal de SPCLG. En primer lugar se procesan los argumentos introducidos por el teclado. El procesado consiste en cambiar los nombres por defecto. Al tiempo se comprueba que no hay errores.

Una vez procesados los argumentos se lee el archivo especificado. De nuevo se comprueba que no hay errores en el mismo. En la rutina de preproceso, se comprueba que los transistores tienen el drenador conectado a la tensión más positiva de entre las especificadas. Si no es así, se intercambian drenadores y fuentes. Esta función se ejecuta para no cometer errores en la identificación de las puertas debidos a que el extractor de *layout* intercambia el orden de estos terminales. En este mismo submódulo se clasifican los

transistores atendiendo a su tipo. Es decir, se identifican los que son de enriquecimiento y los de deplexión.

La detección de los transistores se realiza leyendo el primer carácter de cada línea de forma discriminada. Así si se trata de un fichero de entrada a HSPICE, se busca el carácter J, si es tipo PSPICE el modelo es el símbolo B. En el programa J y B son equivalentes; esto permite que sean igualmente válidos ambos ficheros de entrada.

Se utiliza una versión del programa extractor de *layout* que no introduce capacidades flotantes, es decir, todos los condensadores tienen uno de sus nudos conectados al nudo datum. Así ambas descripciones coinciden, de modo que al tiempo que se detectan los transistores, se almacenan los condensadores que se identifican leyendo el primer carácter de su descripción en SPICE. En una fase posterior se eliminan los que se encuentren conectados en paralelo con las fuentes de alimentación de continua.

El penúltimo submódulo de los mostrados en la figura reconoce las puertas en base a una búsqueda basada en el conocimiento previo de la forma en que deben estar conectados los distintos transistores que configuran una puerta.

Cuando todos los transistores han sido procesados e identificados como pertenecientes a una puerta, se calcula la relación de aspecto y se identifica el tipo de seguidor de fuente de la misma. Por último, se escriben los ficheros que contienen los resultados del proceso.

En las tablas 6.1 y 6.2 se muestran el fichero de entrada y los tres de salida del extractor de puertas para un caso simple de un circuito constituido por una puerta NOR2. En la primera fila de la tabla 6.1 se encuentra la parte del fichero de entrada que es sensible al programa ya que el resto lo ignora. En la segunda columna puede observarse el aspecto del fichero con las estadísticas. En este fichero se encuentra la información relativa a todas las operaciones realizadas durante la ejecución. Se listan todos los transistores clasificados según el tipo (enriquecimiento o deplexión), se indican propiedades de los nudos como si son de entrada, de salida o intermedios en el circuito lógico. Los nudos internos a las puertas, y por tanto invisibles desde la descripción por bloques se marcan con "n/a."

En la tabla 6.2 se hallan los dos ficheros de salida. El fichero.gtn es una versión comentada en la que se pueden ver los transistores que constituyen cada una de las puertas (en este caso sólo hay una puerta). Por último la segunda columna de esta tabla muestra el fichero de entrada el verificador.

Tabla 6.1. Ficheros de salida del extractor de puertas.

Fichero.cir	Fichero.est
<pre> * * VSS vss 0 -0.2 VDD vdd 0 1.4 bd vdd out1 out1 dfet 4 be1 out1 in1 0 efet 12 be2 out1 in2 0 efet 12 bdb out vss vss dfet 4 beb vdd out1 out efet 6 * * * c1 vss 0 35.654F cw out1 0 19.3f cx out 0 11.67f cv vdd 0 39.6 </pre>	<pre> Nodo: VSS,(2) ==> n/a. Nodo intermedio Nodo: VDD,(1) ==> n/a. Nodo intermedio Nodo: OUT1,(3) ==> n/a. Nodo intermedio Nodo: OUT,(6) ==> [1]. Nodo de salida Nodo: IN2,(5) ==> [2]. Nodo de entrada Nodo: IN1,(4) ==> [3]. Nodo de entrada Nodo: 0,(0) ==> n/a. Nodo intermedio Capacidad: {C1} en Nodo 2 de 35.654000F Capacidad: {CW} en Nodo 3 de 19.300000F Capacidad: {CX} en Nodo 6 de 11.670000F Capacidad: {CV} en Nodo 1 de 39.600000F Lista de transistores DFET: {[BD]-[PULL_UP]} {[BDB]-[PULL_DOWN]} Lista de transistores EFET: {[BE1]-[PULL_DOWN]} {[BE2]-[PULL_DOWN]} {[BEB]-[PULL_UP]} Mos: {BD}(DFET) en (VDD,OUT1,OUT1) Parametro:4.000, contador:1 Mos: {BE1}(EFET) en (OUT1,IN1,0) Parametro:12.000, contador:1 Mos: {BE2}(EFET) en (OUT1,IN2,0) Parametro:12.000, contador:1 Mos: {BDB}(DFET) en (OUT,VSS,VSS) Parametro:4.000, contador:1 Mos: {BEB}(EFET) en (VDD,OUT1,OUT) Parametro:6.000, contador:1 Puerta: NOR2 Buffer: [BEB][BDB] Conmutación: [BE1][BE2]-[BD] Error: [0] Complex: [0] </pre>

6.4.- Evaluación de retrasos.

Dada una descripción de un circuito lógico, para estimar los tiempos de propagación es preciso evaluar los polinomios de retraso, seleccionando valores de capacidad de carga, relación de aspecto, pendientes de entrada y los coeficientes adecuados.

Con la formulación definida, está disponible una preestimación del retraso introducido por un inversor. Han sido propuestas expresiones para transformar puertas NOR en inversores

Tabla 6.2. Ficheros de salida del extractor de puertas.

Fichero.gtn	Fichero.gt
Conversor SPICE-LOGICA (Version comentada) * n2_BDB IN1 IN2 OUT 3.000 3.000 2 #Transistores: BD=BDB BU=BEB SU=BD SD=BE1,BE2 * C1 VSS 0 35.654000F CW OUT1 0 19.300000F CX OUT 0 11.670000F CV VDD 0 39.600000F	Conversor SPICE-LOGICA * n2_BDB 3 2 1 3.000 3.000 2 * CX 1 0 11.670000F *

equivalentes en función de la fase que presenten las señales de entrada. Para precisar la manera en que se transforman las puertas en inversores resta mencionar las estructuras OR/NOR. Observando la topología de la puerta, figura 6.1, se nota que está constituida por dos puertas NOR de dos entradas, salvo un transistor de deplexión del seguidor de fuente. Así, basta identificar la NOR2 que produce el cambio a la salida y añadir al camino el valor del retraso de esa puerta. En caso que sean ambas puertas NOR2 las responsables de la transición de la señal en el nudo de salida, se considera que la señal sigue a la puerta que introduce el menor valor de retraso. Esta estrategia introduce un error despreciable a la vez que permite simplificar en gran medida el algoritmo pues hace innecesario introducir un nuevo tipo de puerta.

A partir del fichero de descripción, en un primer recorrido por el mismo, se construye la matriz de incidencia a la vez que se obtienen los valores de todos los parámetros geométricos del circuito (definidos en la sección 5.2). Así se generan sendos vectores de capacidades de carga. Estos vectores contienen la información sobre el abanico de salida en cada nudo así como de las capacidades de interconexión.

Para ahorrar memoria durante la ejecución, la información sobre el valor de la relación de aspecto de las puertas se almacena en la matriz de incidencia. Esto es, en lugar de crear un vector conteniendo los valores de β y llenar la matriz de incidencia con unos allí donde hay conexión, se sitúan en esas posiciones los valores leídos de la descripción de la relación de aspecto. El algoritmo consiste en situar en la posición ij de la matriz de incidencia el valor β_{ij} relacionado con las dimensiones del transistor de enriquecimiento que liga la entrada i con la salida j .

Los valores de las pendientes de entrada a las puertas coinciden con las de salida de

las que las preceden, salvo en el caso de entradas primarias. En estas entradas sus valores deben ser especificados, bien por el usuario o, en su defecto, toman un valor típico de pendientes en nudos internos de los circuitos.

Se ha referido que son posibles tres soluciones al problema de recorrer un circuito. En una primera aproximación se desprecian las posibles colisiones. Como consecuencia, las puertas de múltiples entradas se transforman directamente en tantos inversores como entradas posean. La utilización de esta técnica evita la enumeración de los parámetros de señal que excitan las entradas primarias.

Si se especifican vectores de entrada es posible el análisis temporal del circuito con el modelo completo incluyendo colisiones. Esta segunda alternativa de cálculo es más precisa a la vez que resulta más costosa en términos de requerimientos computacionales. La última de las opciones de cómputo es un modo híbrido entre las anteriores.

En lo que sigue se da un breve repaso a los conceptos de la teoría de grafos y se detallan los tres algoritmos de evaluación referidos.

6.4.1.- Conceptos de teoría de grafos en descripción y análisis circuital.

Hasta ahora se han utilizado conceptos como "camino" o "recorrer un circuito" sin una definición precisa, el significado de estos términos ha sido entendido de una forma intuitiva. Para dar contenido a estas palabras es necesario plantear aquí un breve repaso de los conceptos fundamentales de la teoría de grafos [BonMu82] y su relación con los circuitos electrónicos.

Un grafo H es una terna $(V(H), E(H), \psi_H)$ en la que $V(H)$ es un conjunto no vacío de vértices, $E(H)$ es un conjunto disjunto de $V(H)$ cuyos elementos se denominan ramas y ψ_H es la función de incidencia que asocia a cada rama de H un par de vértices (no necesariamente distintos) también de H . Un grafo se representa en un plano asociando un punto con cada vértice y un línea con cada rama.

A partir de esta primera definición es posible identificar los vértices con los nudos de los circuitos y las ramas con los propios elementos. Este es el criterio seguido al describir las redes por grafos.

Si " e " es una rama y " v " y " w " son vértices tal que $\psi_H(e) = \langle v, w \rangle$, se dice que e

une a v y w . Los vértices v y w se denominan "terminales de e "; es más, v y w se dice que son adyacentes en H . En ese caso la rama e se nota por $\langle v, w \rangle$. Aquellos vértices a los que no incide rama alguna se dice que están aislados.

El concepto de terminal en la teoría de grafos generaliza al de terminales de los elementos constitutivos de un circuito electrónico.

El conjunto de todos los vértices en H que son adyacentes al vértice v se denota por $\text{Adj}_H(v)$. Los terminales de una rama son incidentes con la rama y viceversa. Si los dos terminales de una rama son el mismo vértice, la rama se denomina lazo; en caso contrario se denomina conexión. El grado $d_H(v)$ del vértice v en H es el número de ramas incidentes sobre v , cada lazo se cuenta como dos ramas.

Un grafo F es un subgrafo de H , $F \subseteq H$, si $V(F) \subseteq V(H)$, $E(F) \subseteq E(H)$ y ψ_F es una restricción de ψ_H a $E(F)$.

Un paseo en un grafo H es una secuencia finita y no vacía $W = v_0 e_1 v_1 e_2 v_2 \dots e_k v_k$ cuyos términos son alternativamente vértices y ramas de H tales que para cada i , $1 \leq i \leq k$, los terminales de e_i son v_{i-1} y v_i . En este caso se dice que W es un paseo desde v_0 hasta v_k en H . El número entero k se denomina longitud del paseo, los vértices v_0 y v_k se denominan origen y término del paseo respectivamente mientras que los $v_1, v_2, \dots, v_k$ son los vértices internos.

Si todos los vértices de un paseo son distintos, el paseo se denomina camino. Usualmente, el subgrafo de H cuyos vértices y ramas son los elementos de un camino se denomina también camino. Un camino es cerrado si su longitud es positiva ($k > 0$) y su origen y término son los mismos vértices. Dos vértices de H , v y w , se dice que están conectados si existe un camino en H desde v hasta w .

Un grafo orientado o digrafo G es una terna $(V(G), A(G), \psi_G)$ en la que $V(G)$ es un conjunto no vacío de vértices, $A(G)$ es un conjunto disjunto de $V(G)$ cuyos elementos se denominan arcos y ψ_G es la función de incidencia que asocia a cada arco de G un par ordenado de vértices (no necesariamente distintos) también de G .

El concepto de digrafo permite introducir la direccionalidad entrada/salida presente en los circuitos lógicos. En particular, la algorítmica involucrada en el tratamiento de la estimación del retraso reposa sobre el concepto de digrafo.

Si " a " es un arco y " v " y " w " son vértices tal que $\psi_G(a) = \langle v, w \rangle$, se dice que a une

v y w . El vértice v se denomina "cola de a " y w se llama "cabeza de a ".

Un digrafo G' es un subgrafo de G , $G' \subseteq G$, si $V(G') \subseteq V(G)$, $A(G') \subseteq A(G)$ y $\psi_{G'}$ es una restricción de ψ_G a $A(G')$.

Con cada digrafo G es posible asociar un grafo H con el mismo conjunto de vértices, a cada arco de G se asocia una rama de H con los mismos extremos. El grafo H se dice que es el grafo fundamental de G . Un digrafo se representa como su grafo asociado con puntas de flecha sobre las ramas indicando el sentido desde la cola hasta la cabeza.

Un paseo directo en un digrafo G es una secuencia finita y no vacía $W = (v_0 a_1 v_1 a_2 v_2 \dots a_k v_k)$ cuyos términos son alternativamente vértices y arcos de G tales que para cada $i = 1, 2, \dots, k$ el arco a_i tiene por cabeza v_{i-1} y cola v_i . Un camino directo se define análogamente al caso de grafos.

El vértice v_0 se denomina también origen del camino y v_k es el vértice final. Como en los grafos, el resto de los vértices se denominan vértices internos. El número entero k denota la longitud del camino directo. Si existe un arco a en G tal que $\psi_G(a) = (v, v)$, se dice que a es un lazo cerrado. Si existe un camino (v, w) en G , el vértice w se dice alcanzable desde v en G .

El grado de entrada $d_G^-(v)$ de un vértice v en G es el número de arcos que tienen v como su cabeza. Análogamente, el grado de salida $d_G^+(v)$ de un vértice v en G es el número de arcos que tienen v como vértice de cola.

Al evaluar los retrasos se hace uso tácito del hecho de que cualquier circuito lógico puede reducirse a un digrafo. En particular, se consideran grafos orientados en los que los arcos del mismo son las puertas lógicas y los vértices coinciden con los nudos del circuito. En lo que sigue, los vértices se denominarán nudos y los arcos se llamarán ramas. Los grafos orientados obtenidos se utilizarán como una buena representación de los circuitos a niveles íntimos del proceso de cálculo.

Los circuitos se recorren por su digrafo asociado. La idea más simple en el caso particular de la estimación del retraso consiste en asociar cierto coste a cada una de las ramas del digrafo. Así por ejemplo si se fija a priori que el coste en la función tiempo de propagación al recorrer una rama de un digrafo que conecta los nudos i y o es el valor d , es posible con sólo realizar sumas hacer estimaciones del retardo. De esta manera se han implementado los analizadores y verificadores temporales de retardo unidad.

En el caso presente, el coste es una función polinómica de varias variables. El valor de los argumentos del polinomio son en general desconocidos a priori. En rigor se conocen dos de las tres variables, la relación de aspecto y la asociada a la carga (variables geométricas en la formulación). La existencia de la variable de señal obliga a evaluar los costes de las ramas anteriores a cierta dada para estar en disposición de recorrerla. El camino crítico es aquel de mayor coste de entre todos los caminos que existan en el grafo.

6.4.2.- Evaluación sin especificación de vectores de entrada.

Para una estimación rápida de las prestaciones temporales del diseño, es conveniente utilizar esta forma de cálculo. En ella, todas las puertas se reducen a inversores siguiendo las reglas siguientes:

- en todos los nudos del circuito siempre hay transición,
- un inversor del circuito se transforma en él mismo,
- las puertas NOR pasan a ser inversores con relación de aspecto igual a la suma de las relaciones de aspecto parciales,
- las puertas OR/NOR se transforman en dos inversores siguiendo el procedimiento descrito anteriormente,
- a efectos de evaluación de la capacidad de carga, se manejan las dimensiones reales de las puertas conectadas a cada nudo, no la que se obtiene al sustituirlas por el inversor equivalente obtenido al modelar las puertas de múltiples entradas.

Siguiendo estas reglas, todo circuito combinacional, por complejo que sea, queda reducido a cadenas de inversores. El número de estas cadenas es el número de caminos del grafo asociado al circuito que en general puede ser muy grande. El número de caminos en un circuito está relacionado con los abanicos de entrada y de salida de las puertas [BeLaA82]. Si en una red existen N niveles de puertas entre los elementos de almacenamiento o entradas y salidas primarias y el abanico de salida máximo de cada puerta es O , pueden existir potencialmente O^N caminos desde una salida hacia las entradas. Si además existen S salidas, entonces pueden presentarse un total de $S \cdot O^N$ caminos en el sistema. De manera alternativa pueden trazarse los caminos desde las entradas hacia las salidas, si el máximo abanico de entrada es I , pueden haber I^N caminos desde cada entrada. Si el número de entradas es E , pueden existir $E \cdot I^N$ caminos. Obviamente en un circuito real el número de caminos es el mismo con independencia de cómo se cuenten. Por otro lado en circuitos reales este número será mucho menor.

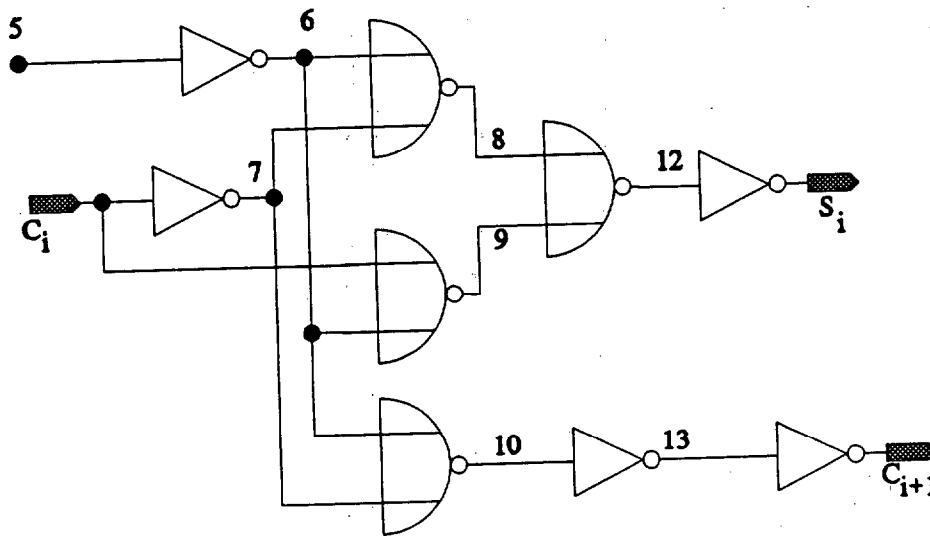


Fig. 6.3. Ejemplo de circuito combinacional.

Como ejemplo considérese el circuito de la figura 6.3 que se corresponde con una parte de un sumador *CLA*. El digrafo asociado al mismo puede verse en la figura 6.4. Utilizando la estrategia expuesta, el grafo asociado al circuito puede descomponerse en los asociados a todos los caminos del mismo, en el caso que nos ocupa los subdigrafos se hallan en la figura 6.5.

Con esta estrategia el cómputo del retraso es muy simple. Basta evaluar los

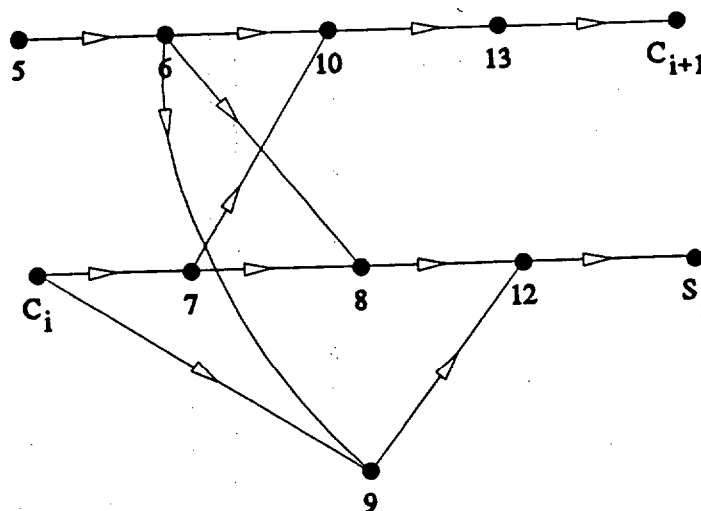


Fig. 6.4. Digrafo correspondiente al circuito de la figura 6.3.

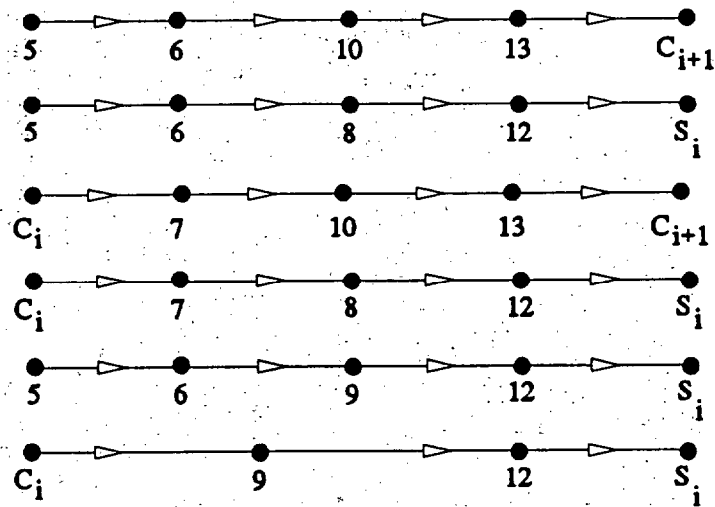


Fig. 6.5. Grafos correspondientes a los caminos del circuito de la figura 6.3 para la reducción simple.

polinomios, siendo el resultado de la evaluación el coste de la rama correspondiente del grafo. La evaluación será posible sólo si el nudo inicial de la rama particular en consideración tiene asociado un valor de pendiente. En este caso, el valor de la pendiente de la señal de excitación a las entradas primarias puede ser especificado por el usuario, en su defecto asumirá un valor típico previamente programado. El valor de pendiente en los nudos interiores estará disponible si la rama anterior ya ha sido procesada.

Esta metodología se sugiere en los pasos iniciales del diseño, pues la información que se obtiene suele ser suficiente como guía en el proceso. La primera de las reglas implica la posibilidad de introducir en la estimación falsos caminos críticos correspondientes a situaciones que no se dan nunca en un diseño. El tiempo total de propagación a lo largo de un cierto camino se obtiene evaluando {6.1},

$$t_d = \frac{T_{PLH} + T_{PHL}}{2} \quad \{6.1\}$$

Obviamente, para no redundar el cálculo del tiempo de propagación a lo largo de cierto camino con parte común a otro, se deben almacenar los resultados parciales correspondientes a todos los caminos que tengan parte en común. Esta situación es muy frecuente en los grafos que se obtienen a partir de circuitos eléctricos digitales.

Los algoritmos necesarios para este tipo de evaluación son casi todos estándar. Es decir, existen rutinas de construcción del grafo asociado a un circuito, así como de estimación

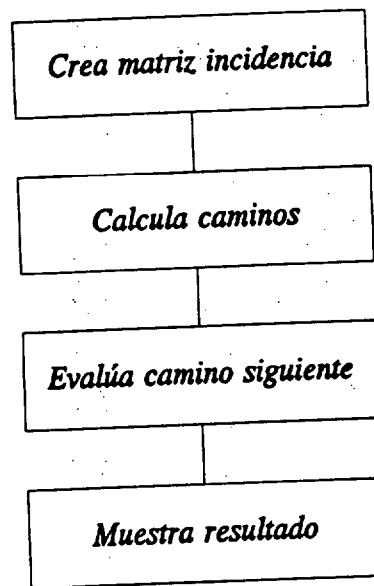


Fig. 6.6. Algoritmo de traducción.

de los caminos del grafo. En este caso basta con un programa que siguiendo la matriz de incidencia capture los datos necesarios y evalúe los retrasos parciales. El resultado final se mostrará como colecciones de nudos y el retraso calculado.

El diagrama de flujo del programa es el mostrado en la figura 6.6. Una vez capturados los datos se procede a configurar la matriz de incidencia. La siguiente función es el cálculo de los caminos. Continúa con la evaluación de los retardos de los caminos para finalizar mostrando el de mayor valor de retraso.

6.4.3.- Evaluación con especificación de vectores de entrada.

La especificación de los vectores de entrada consiste en detallar las pendientes en cada uno de los nudos de entrada junto con su posición en el tiempo. Se precisan dos números para cada entrada, a esos números se denominarán "par de entrada" (t_0 , T_1) (figura 6.7), donde t_0 se denominará instante inicial y representa el instante en que la señal de entrada alcanza el valor V_a si su sentido es de alto a bajo o V_d si es de bajo a alto; T_1 representa el valor de la pendiente en picosegundos, si la transición a la entrada es de bajada se trata del valor de T_{HL} y si es de subida corresponde con T_{LH} . Así por ejemplo, con el par (50 ps, 160 ps) se quiere expresar que una de las entradas alcanza el valor de tensión V_a o V_d , según el sentido de la transición en el instante 50 ps y que su pendiente es de 160 ps. En la figura 6.7 se presentan las dos situaciones posibles en la especificación del par de entrada. En la evaluación del retraso para la transición de subida de la excitación se introduce el par (t_{01} , T_{LH}). Cuando el

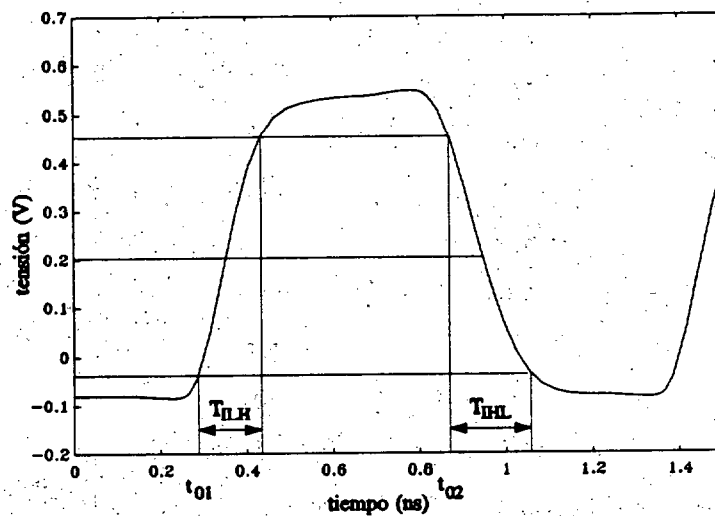


Fig. 6.7: Parámetros de señal.

sentido de la señal de entrada es de bajada se especifica (t_{02} , T_{IHL}). El par de entrada se introduce para poder efectuar el cálculo del desfase y con ello considerar las colisiones.

Se denomina "vector de entrada" a un circuito de I entradas primarias a una matriz de dimensión $2 \times I$ que contiene ordenados todos los pares de entrada al circuito. En las posiciones $1xi$, $i=1,2,\dots,I$, se encuentran los instantes iniciales y en las $2xi$, $i=1,2,\dots,I$, se hallan los valores de las pendientes.

Dado el vector de entrada a un circuito combinacional implementado con la familia DCFL/SDCFL, se está en disposición de aplicar la metodología de estimación de las propiedades temporales completa, incluyendo el estudio de las colisiones. El vector de entrada es imprescindible con objeto de evaluar los desfases y poder con ese valor del desfase calcular la razón de aspecto equivalente del inversor que modela una puerta de múltiples entradas.

Se entiende por propiedades temporales asociadas a un nudo como el conjunto de datos formado por:

- el valor del retraso parcial calculado hasta ese nudo en el circuito, y
- la pendiente de la señal en el mismo, que será la pendiente de salida de la puerta que lo precede a la vez que será la pendiente de entrada de las puertas que lo siguen.

El retraso parcial se entiende como la suma de todos los retrasos calculados al recorrer

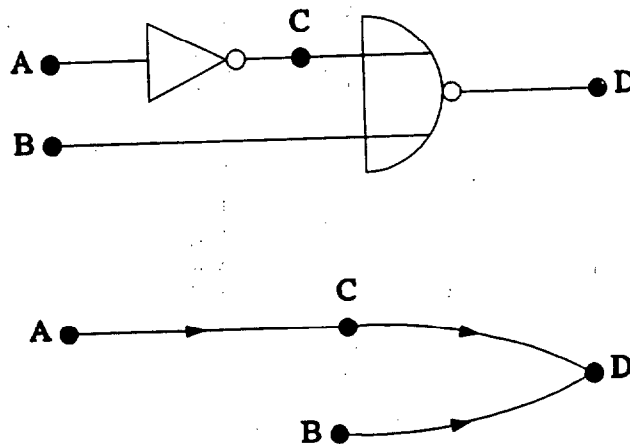


Fig. 6.8. Circuito ejemplo.

el circuito desde una o varias entradas primarias hasta el nudo bajo consideración, su valor se obtiene sumando las contribuciones de cada polinomio de retraso. El valor de la pendiente se calcula evaluando los polinomios de pendiente.

El objetivo del algoritmo de análisis es dotar a todos los nudos del circuito de propiedades temporales. Para propagar las propiedades desde las entradas de una puerta hasta la salida de la misma es necesario disponer de las propiedades temporales de todos los nudos asociados a las entradas de la puerta. Así por ejemplo, en el circuito de la figura 6.8, sólo se podrán calcular las propiedades del nudo *D* una vez conocidas las de los nudos que preceden a *D*, esto es las propiedades de *B* y *C*. Pero las propiedades de *B* sólo estarán disponibles toda vez que sean conocidas las de *A*. De modo que el algoritmo de evaluación de retrasos considerando las colisiones deberá recorrer el circuito "a lo ancho" en lugar de hacerlo en "profundidad" que es la forma en que operan los verificadores temporales disponibles.

En particular, el algoritmo de cálculo implementado para este propósito, utiliza cierto vector denominado "nudos_desconocidos" con el que se detecta si es o no posible la evaluación de una determinada puerta del circuito lógico objeto de análisis. El resto de las rutinas implementadas en el algoritmo son las mencionadas en el apartado anterior.

Debido a la peculiaridad referente a la necesidad de conocer las propiedades en los nudos precedentes a uno dado para su evaluación, el concepto de camino asociado a la forma de recorrer el circuito pierde precisión. En este caso, el digrafo asociado al circuito (figura 6.8) presenta un camino desde el nudo *B* hasta el *D*. Sin embargo, no es posible recorrer el arco $B \rightarrow D$ sin la intervención del nudo *C* que es ajeno al camino. Por lo tanto, en este contexto es necesario o bien abandonar el concepto de camino o redefinirlo. Dado que

tradicionalmente se maneja este concepto, se decide dotarlo de un nuevo sentido. La disyuntiva sólo se presenta en los casos en los que se detecta colisión, ya que si no la hay sólo se utilizan las propiedades de uno de los nudos para calcular las del nudo siguiente en el digrafo asociado.

Se entenderá por camino en la evaluación de los tiempos de propagación con colisiones al conjunto de nudos y ramas que los unen. De tal forma que en los nudos la señal que se propaga sufre transiciones y además a alguno de los nudos la señal llega mediante el operador de colisión. Al nudo de salida de una puerta en la que se ha producido colisión se le denomina nudo de conjunción. Por lo tanto, en un camino con colisión habrá tantos nudos de conjunción como colisiones han sido detectadas durante la fase de análisis.

Con esta definición, los caminos dependen de los vectores de entrada y no son conocidos explícitamente hasta que se haya realizado la estimación. En el caso del grafo de la figura 6.8 el camino con colisión es el grafo entero siendo el nudo *D* un nudo de conjunción. El concepto de camino redefinido de esta forma es útil en la fase de optimización del circuito. Este tipo de optimización deberá contemplar de manera promediada los distintos casos función de los vectores de entrada.

6.4.3.1.- Verificador prototipo.

Se dedica un apartado a presentar de manera más precisa el programa evaluador de retrasos en circuitos DCFL/SDCFL. El nombre del verificador es GASTIM. Las entradas al programa son dos ficheros. El primero contiene la descripción a nivel de puertas del circuito (salida del traductor) y en el segundo se especifica el vector de excitación. El vector, como se ha dicho, se caracteriza por los valores de las pendientes y los instantes iniciales.

Maneja, además, otros tres ficheros. Uno de ellos contiene la librería de puertas permitidas y se utiliza para realizar comprobaciones sobre la bondad de la descripción introducida. En ese fichero se describen las puertas permitidas. Si al recorrer el circuito se detecta un identificador de puerta que no está previamente descrito, se aborta la ejecución enviando un mensaje al monitor.

Los otros dos ficheros citados contienen los valores de los coeficientes de los polinomios para los dos tipos de seguidores de fuente disponibles. Estos ficheros se leen al inicio para ser utilizados en la estimación de los tiempos de propagación.

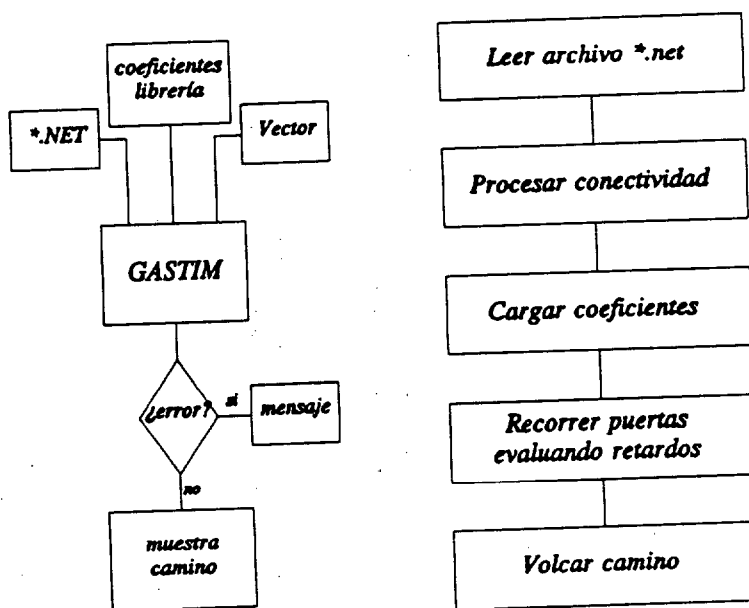


Fig. 6.9. Algoritmo para realizar análisis temporal.

El diagrama de flujo del programa se muestra en la figura 6.9. En la parte izquierda de la figura se presenta la operación global. Al arrancar el proceso se leen los distintos ficheros requeridos. Con la información recopilada se ejecuta GASTIM. Si no hay error se muestra en pantalla el camino crítico. El camino crítico se obtiene como la sucesión de nudos conectados en los que el tiempo de propagación evaluado es el mayor. Con pequeñas modificaciones se pueden obtener los retrasos y las pendientes en todos los nudos del circuito en los que ha habido transición para el vector de entrada especificado. Si se ha producido algún error, se imprime un mensaje en la pantalla con indicación de la fuente de dicho error.

En la parte derecha de la figura se detallan las distintas funciones del algoritmo principal. Dada la descripción del circuito se forma la matriz de conectividad como se ha indicado en el párrafo 6.4. Tras esta operación se cargan los coeficientes necesarios en la estimación del retardo y se entra en el bucle principal del programa. En este bucle se recorre el circuito por planos de modo que sólo se evalúa una puerta si están disponibles todas las variables requeridas por la función polinómica. Al tiempo se realiza un análisis lógico para conocer el estado de cada uno de los nudos del circuito. Finaliza el proceso cuando han sido evaluados todos los nudos que conforman el circuito.

Una vez fuera del bucle se pasa a la rutina de impresión de resultados. Se seleccionan los nudos en los que el valor del retardo es mayor y se presentan los nudos que configuran ese camino.

En la evaluación simple se asume que en todos los nudos se produce transición, con lo que es posible que algunas de las posibilidades cubiertas no se den en la práctica. En ese caso se obtienen falsos caminos. Dado que con el algoritmo de GASTIM al evaluar los retardos se realiza simultáneamente un análisis lógico, no se obtienen falsos caminos críticos. Este hecho constituye una ventaja importante del algoritmo frente a otros comerciales [BeLaA82].

6.4.4.- Evaluación mixta.

Una alternativa entre las dos anteriores respecto al compromiso precisión-velocidad de cómputo se obtiene mezclando los dos tipos de análisis. La evaluación mixta consiste en realizar una primera estimación de la respuesta temporal del circuito mediante el algoritmo simple sin colisiones. De los resultados obtenidos a partir de este análisis se seleccionan cierta cantidad de caminos de mayor retraso especificados por el usuario, expresados en valores absolutos o en cifras porcentuales. Es decir, el usuario decide que pretende analizar con mayor precisión los 4 caminos de mayor coste o el 10% de esos caminos. Una vez detectados los caminos, se reconstruye el circuito introduciendo en él las puertas de múltiples entradas y se realiza un análisis completo.

Este tipo de análisis requiere la especificación del vector de entrada al circuito. La señal de excitación que se asume en nudos internos del circuito para realizar la estimación con las puertas de múltiples entradas se obtiene retrasando la entrada primaria correspondiente y tomando el sentido adecuado en función de la forma de la señal en la entrada primaria.

6.5.- Concatenación frente a abstracción. Macromodelos.

La formulación de retrasos presentada permite la definición de macromodelos de un conjunto de puertas o del circuito en consideración. Por macromodelo se entiende la descripción de las propiedades temporales de una red de puertas en un nivel mayor de abstracción. En el macromodelo, los bloques básicos no son las puertas lógicas sino conjuntos de puertas lógicas.

El término "abstracción" está íntimamente relacionado con el término "jerarquía". Se entiende por abstracción el procedimiento por el que se pasa de un nivel bajo de descripción a un alto nivel de descripción de un circuito o sistema. Esto implica una transformación de condiciones temporales internas a condiciones temporales externas [EveCh90].

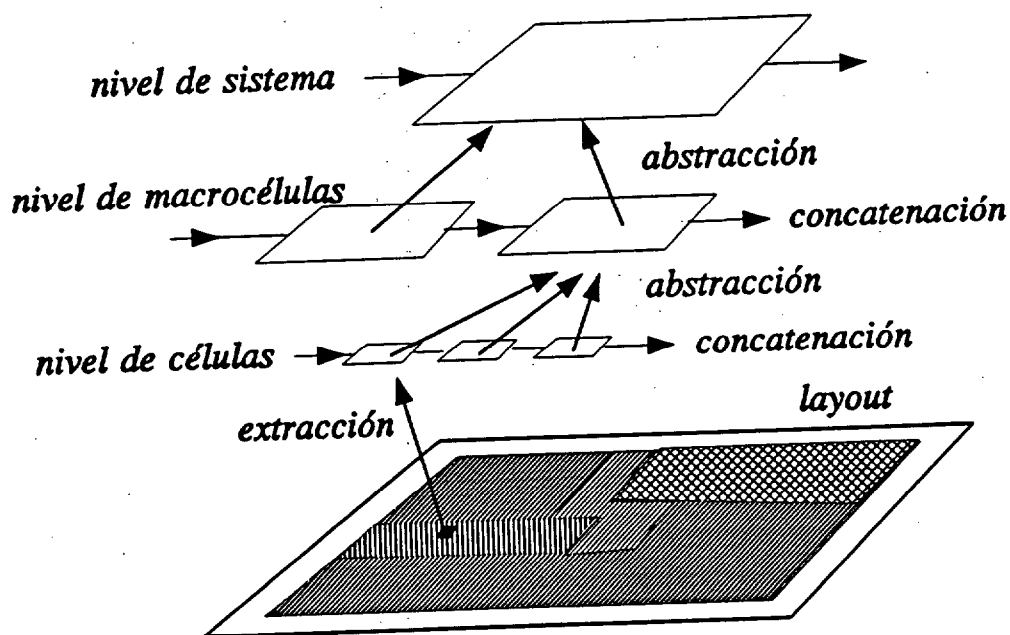


Fig. 6.10. Procedimiento de abstracción.

Una posible aproximación consiste en definir un conjunto fijo de niveles jerárquicos y asignar un tipo especial de descripción a cada uno de esos niveles. Sin embargo este procedimiento es poco flexible. Un diseñador desea seleccionar un nivel distinto de descripción de acuerdo con lo que esté haciendo en ese momento. Un nivel fijo de jerarquía no le permite mezclar los modelos de distintos niveles de descripción.

La mejor solución consiste en utilizar el mismo tipo de descripción en todos los niveles de la jerarquía. Esto puede parecer ineficiente ya que incluso el nivel más bajo debe contener todas las funciones necesarias para describir efectos que se presentan a unos niveles mucho más altos. Sin embargo, esas funciones que describen efectos de alto nivel podrán reducirse a casos triviales utilizando parámetros por defecto que las simplifiquen cuando se opere en los niveles más bajos. Estos parámetros no ocuparán un espacio en memoria excesivo ni ralentizarán significativamente los cálculos.

La abstracción se define como el procedimiento por el que se traslada un conjunto de modelos en bajo nivel relacionados entre sí a un único modelo de alto nivel. El modelo de alto nivel poseerá una descripción análoga a la de los modelos en bajo nivel (ver figura 6.10).

Por "descripción similar" se quiere expresar que las funciones que modelan el funcionamiento de un circuito en cierto nivel tengan las mismas propiedades y cualitativamente los mismos parámetros que los que describen parte del circuito o el sistema en otros niveles.

La utilidad de estos macromodelos estriba en la posibilidad de realizar estimaciones de las prestaciones temporales mezclando distintos niveles de abstracción de un circuito. [Unive89]. Por ejemplo, cierto sistema está constituido por la interconexión de dos bloques, uno de ellos ha sido ya diseñado, y está disponible un macromodelo del mismo. El segundo se encuentra en las primeras fases del diseño y sólo se conoce su descripción a nivel de puertas lógicas. Si el diseñador desea conocer las propiedades temporales de la conexión de ambos bloques, no tiene más que utilizar el macromodelo y concatenarlo con el bloque que se encuentra incompleto para estimar las prestaciones temporales del sistema completo.

En el contexto del análisis temporal, la abstracción se realiza por un algoritmo de preanálisis que permitirá realizar análisis más rápidos en un nivel mayor de descripción (y por tanto de complejidad).

Dado que la propiedades temporales se estiman en base a polinomios, y dado que la adición de polinomios es un polinomio, es posible refundir directamente los polinomios que dan el retraso de un conjunto de puertas conectadas en uno sólo que será función de las pendientes en las entradas primarias del circuito. El polinomio resultante constituye un macromodelo del nuevo bloque obtenido por ensamblado de sus células componentes. Sus coeficientes permiten computar el retraso directamente en este nivel en lugar de computarlo mediante la concaatenación de los retrasos parciales de cada célula componente.

En el modelo basado en polinomios dependientes de las pendientes, el proceso de abstracción consiste pues en una composición algebraica de las funciones polinómicas.

El algoritmo de construcción de un macromodelo consiste en definir el polinomio de retraso en función de las puertas presentes en el bloque. Durante su ejecución se seleccionan los parámetros geométricos y se expresan los de señal como dependientes de las pendientes de los nudos anteriores. Como resultado final el polinomio resultante será función de las pendientes de las señales en las entradas primarias.

El algoritmo de definición del macromodelo se encuentra en la figura 6.11. Serán precisos los mismos archivos de entrada que en GASTIM salvo el de especificación de las señales de excitación, esto es, el fichero en que se describe el circuito, el fichero conteniendo la librería de puertas, para comprobar la corrección de la descripción, y los archivos con los coeficientes de los polinomios. El circuito se preprocesa desde las salidas primarias hacia las entradas primarias. Dado el polinomio de evaluación del retraso correspondiente a uno de los nudos de salida, se sustituye el valor de la única variable de señal desconocida, la pendiente de entrada por el polinomio que da ese valor en el nudo anterior. En caso de puertas de

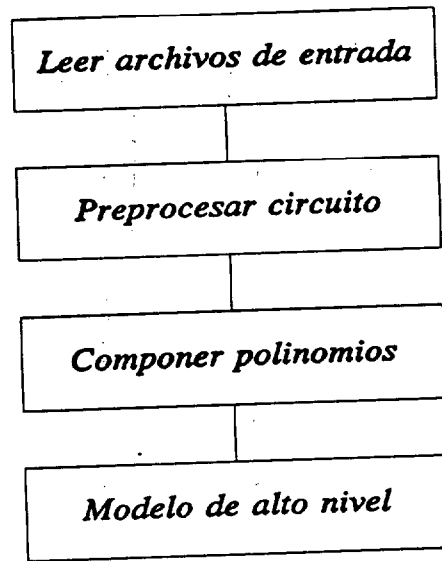


Fig. 6.11. Procedimiento de abstracción.

múltiples entradas, es preciso hacer simplificaciones para eliminar la colisiones. Se asume que las señales no conmutarán próximas en el tiempo.

El preproceso se repite hasta cubrir todas las posibles rutas desde las salidas hacia las entradas. El resultado es un conjunto de polinomios dependientes de las señales de excitación. El conjunto completo constituye el macromodelo del circuito.

6.6.- Conclusiones.

En este capítulo se han descrito los algoritmos de cómputo de retrasos en los circuitos digitales SDCFL utilizando la formulación propuesta en el capítulo anterior. Los algoritmos presentados están implementados en lenguaje C, si bien constituyen versiones prototipo en las que el código no está optimizado.

Las prestaciones de este analizador temporal justifican claramente la bondad de la metodología empleada como se verá en el próximo capítulo. Ciertamente cualquier posible paso a una herramienta comercial conllevará tareas de optimización del código por lo que puede afirmarse que las prestaciones actuales suponen un límite inferior.

Se han introducido, además, el concepto de macromodelo en relación con la formulación polinómica de retrasos y el algoritmo para su obtención automática.

CAPÍTULO 7

VALIDACIÓN

El presente capítulo se dedica a mostrar ejemplos de circuitos con los que se realiza análisis y verificación temporal. La selección de los circuitos se ha hecho atendiendo a las restricciones del modelo ya expuestas en la sección 5.7 de este documento. Así, los circuitos son combinacionales y han sido diseñados para su implementación con la lógica DCFL/SDCFL.

De los distintos circuitos se presenta su esquemático formado por las puertas lógicas que lo constituyen para, posteriormente, proceder a uno de los tipos de análisis detallados en el capítulo 6. Se establecerán comparaciones en varias situaciones distintas. En la más simple se analizan los circuitos sin incorporar capacidades de interconexión y sin introducir colisiones. Después se introducen las interconexiones y las colisiones. Los resultados se muestran en forma de tablas.

Los valores de las capacidades de interconexión se obtienen por dos procedimientos diferenciados. Si la estimación se realiza con anterioridad a la existencia del *layout* del circuito, se utilizan valores promedio de los dados por el extractor en otros circuitos previamente diseñados. En caso contrario, los valores de las capacidades de interconexión son los que calcula el extractor disponible.

La figura de mérito para valorar las prestaciones del verificador será la que se utiliza habitualmente en la literatura disponible, esto es, el error relativo así como el tiempo de cómputo frente a SPICE.

El capítulo se estructura por secciones en las que se van presentando uno a uno los circuitos y métodos de análisis seguidos. Finaliza con un párrafo en el que se presentan algunas conclusiones.

7.1.- Primer ejemplo. Cadenas de inversores.

En la evaluación simple, sin la especificación de las señales a las entradas de los circuitos, las puertas de múltiples entradas se reducen a inversores sin expresión de la dependencia de las dimensiones de los mismos con las excitaciones. Bajo este esquema, el circuito combinacional se analiza como una o varias cadenas de inversores.

Se dispone, como se ha indicado en el capítulo anterior, de un programa de evaluación del polinomio de retraso. El nombre de este programa es POLY. El polinomio se evalúa tantas veces como se especifique por el número de puertas que constituyen una cadena. Las entradas al mismo son las dimensiones de las puertas. POLY no realiza búsqueda de caminos.

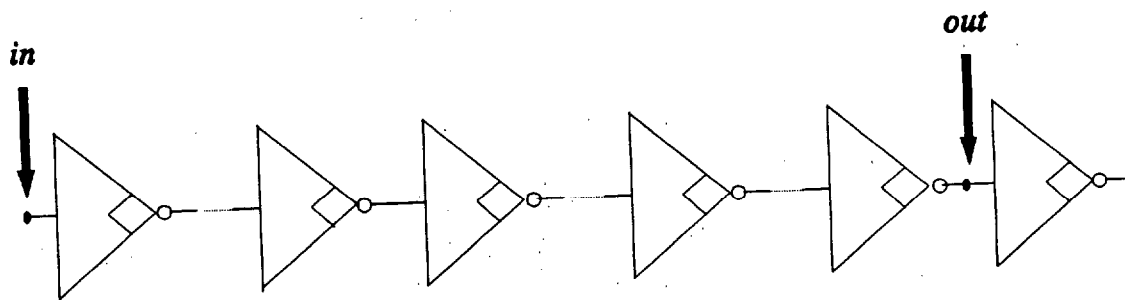


Fig. 7.1. Estructura de las cadenas de inversores.

La salida del programa es el valor promedio de los retrasos calculados para ambos sentidos de la transición de entrada. Es decir, se evalúan los retrasos asumiendo que las señales transitan en uno de los sentidos, posteriormente se supone el contrario y como resultado final se da el valor medio entre ambas cantidades.

Utilizando POLY han sido obtenidos resultados de estimación del retraso de cadenas de inversores con estructura como la mostrada en la figura 7.1. Es decir, se trata de puertas cargadas con un único inversor de sus mismas dimensiones. Los resultados para cadenas de distinta longitud se muestran en la tabla 7.1. En la primera columna se presentan las longitudes de las cadenas. El número de inversores que conforman las cadenas se ha seleccionado de forma arbitraria. En la segunda y tercera columnas se muestran los valores

Tabla 7.1. Comparación de resultados en la evaluación del retraso de cadenas de inversores.

Longitud	HSPICE (ns)	POLY (ns)	Error (ns)	POLY Calib. (ns)	Error Calib. (%)
14	1.244	1.401	12.9	1.201	3.4
24	2.024	2.353	6.8	2.153	6.4
34	3.161	3.302	4.5	3.102	1.9
44	4.119	4.251	3.2	4.051	1.6
54	5.078	5.201	2.4	5.001	1.5
64	6.029	6.078	0.8	5.878	2.5
100	9.607	9.567	0.4	9.367	2.6
150	14.412	14.313	0.7	14.113	2.1
200	19.216	19.058	0.8	18.858	1.9

de retraso obtenidos por simulación con HSPICE y con POLY, respectivamente. En la cuarta y última columna se da el error relativo de la estimación polinómica. Se toma este valor como figura de mérito por ser el que siempre se utiliza en la bibliografía disponible.

El tiempo de cómputo requerido por HSPICE está disponible en el fichero de salida del simulador. Sin embargo, el requerido por POLY no se ha podido calcular ya que no se dispone de una herramienta *software* lo suficientemente precisa para medir este tiempo de CPU (POLY corre sobre PC). Un dato orientativo es el siguiente: HSPICE realizó la simulación de la cadena de 64 inversores en 1289 segundos corriendo sobre una estación SUN4 con dos procesadores, mientras que POLY evaluó en un PC a 33 MHz una de un millón de puertas en 42 segundos.

La mayor de las cadenas de la tabla 7.1 es de 200 inversores debido a que aparecen problemas de memoria al tratar de simular cadenas más largas utilizando HSPICE. Ciertamente estas longitudes tan grandes son poco realistas por lo que no son necesarias. En la práctica los circuitos a analizar son mas anchos que largos.

Es destacable el hecho de que el error relativo disminuye al aumentar el número de puertas evaluadas. Esto ha sido también apuntado en [JunJu88]. En ese artículo se afirma que la disminución del error se debe a la cancelación mutua de los errores al recorrer los circuitos. Sin embargo, puede notarse cómo el error absoluto permanece sin gran variación

Tabla 7.2. Resultados del verificador con cadenas de inversores.

Long.	SPICE		Verificador		Error (%)	Factor CPU
	Retraso (ns)	CPU (s)	Retraso (ns)	CPU (s)		
25 +	2.475	57.1	2.281	0.156	7.9	356.9
25 -	2.527	56.3	2.350	0.160	7	351.9
30 +	3.081	63.8	2.913	0.178	5.4	358.4
30 -	3.01	64.1	2.818	0.169	6	379.3

en los distintos casos (unos 200 ps). Esta observación nos indica que este error puede deberse mas bien a que mientras que en la fase de precaracterización las pendientes que intervienen en los cálculos son previamente "filtradas" por otras puertas, al realizar las simulaciones se excitan los circuitos con las verdaderas rampas de las señales.

Las discontinuidades en las derivadas de estas señales introducen picos (sobreelongaciones) en la forma de onda de salida que desvían el valor del retraso respecto al calculado al excitar con una señal de pendiente "suave". Tras unas pocas puertas, el valor de la pendiente que se propaga toma un valor típico (pendiente no forzada por la excitación), un valor próximo a éste es el que entra en el sistema de ecuaciones de ajuste por mínimos cuadrados. Así, a medida que los circuitos contienen un número mayor de puertas la influencia de la pendiente de entrada va haciéndose cada vez menor y el error asociado a este efecto disminuye.

Este es pues un parámetro a considerar en los procesos de precaracterización, de tal forma que el mencionado error absoluto pueda reducirse introduciendo un término de corrección o calibrado. Los efectos de tal calibración se indican en las columnas quinta y sexta de la referida tabla 7.1. La calibración ha consistido en sustraer al resultado arrojado por POLY los 200ps comentados.

También se han realizado simulaciones de cadenas de inversores utilizando el algoritmo de verificación. En este caso el tiempo de ejecución es superior.

Una muestra de los resultados obtenidos para dos cadenas, una de 25 y otra de 30 inversores se encuentra en la tabla 7.2. En ella se presentan, además de los datos comentados para la tabla 7.1, los tiempos de CPU, el valor del cociente entre los mismos y el signo de la primera columna que indica el sentido de la transición a la entrada del primer inversor. El

+ significa transición de subida y el - transición de bajada. El cociente entre los tiempos de CPU se denomina factor de CPU.

7.2.- Segundo ejemplo. Multiplicador de dos bits.

Con objeto de poder introducir colisiones en el tratamiento se han seleccionado dos circuitos conteniendo puertas de múltiples entradas, un multiplicador de dos bits y un sumador de acarreo anticipado de cuatro bits. En esta sección se presentan los resultados concernientes al multiplicador.

Para este circuito se ha realizado una estimación *prelayout*, esto es, se supone que en los nudos internos del mismo existen capacidades lineales asociadas a efectos parásitos del diseño final. Las capacidades se asumen todas iguales y de valor promedio de las que arroja el extractor para el estilo de diseño más frecuente en esta tecnología. A modo de ejemplo se reproduce una parte del fichero de salida del extractor GAASNET en la que se pueden observar los valores de las mencionadas capacidades para un bloque de los del sumador de acarreo anticipado utilizado en la siguiente sección.

C1 ai 0 7.80F
C2 bi 0 10.18F
C3 ci+1 0 11.63F
C4 si 0 11.63F
C5 ci 0 11.33F
C6 Vdd 0 72.18F
C7 Vss1 0 70.28F
C8 Vss2 0 47.60F
C9 2m 0 20.82F
C10 4m 0 14.90F
C11 3m 0 15.98F
C12 1m 0 23.68F
C13 11m 0 16.39F
C14 10m 0 16.13F
C15 6m 0 22.48F
C16 5m 0 31.51F
C17 8m 0 13.11F
C18 9m 0 14.90F
C19 7m 0 20.23F

C20 21 0 6.21F
 C21 22 0 6.28F
 C22 23 0 6.21F
 C23 24 0 6.21F
 C24 Vss2 0 53.59F
 C25 Vss1 0 67.56F
 C26 Vdd 0 70.42F

Se presentan en cursiva las capacidades conectadas en paralelo con las fuentes independientes. Estos valores serán despreciados pues en las simulaciones las fuentes de potencia son ideales, esto es, permanecen con valor constante. Las capacidades asociadas a nudos internos o entradas/salidas primarias varían en el intervalo [7.8, 31.51] fF. Así, se supone que en cada nudo del circuito está presente una capacidad de 15 fF, que no es exactamente el valor medio del intervalo (19.65 fF). En la elección de este valor se tiene en cuenta la distribución de los valores de las capacidades.

Con las consideraciones anteriores se realizan simulaciones, con HSPICE y con el analizador temporal prototipo propuesto en la presente memoria, del multiplicador para varios vectores de entrada. El esquemático a nivel de puertas lógicas se muestra en la figura 7.2.

En la tabla 7.3 aparecen algunos de los resultados obtenidos en el análisis del circuito. En esta tabla la primera columna indica un identificador de la situación con el propósito de

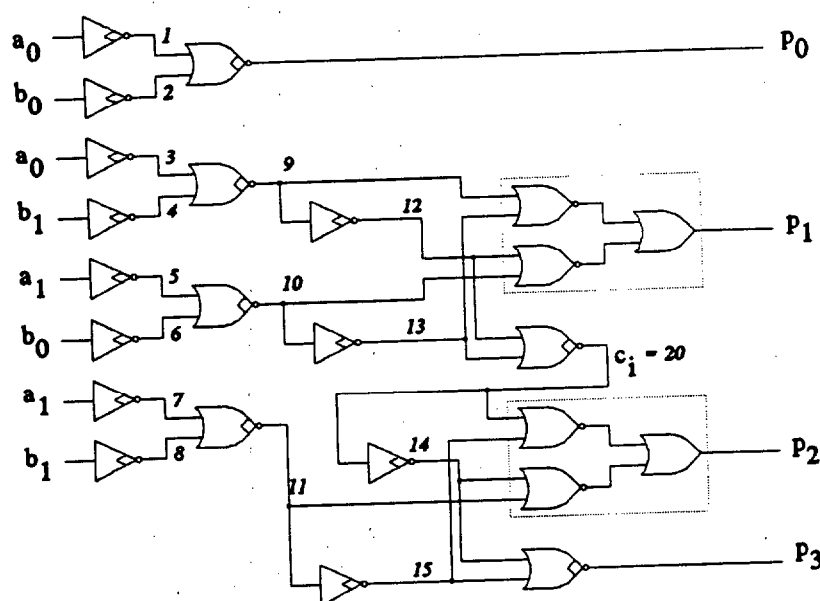


Fig. 7.2. Multiplicador 2 x 2.

Tabla 7.3. Resultados para un multiplicador de dos bits.

Id.	Salida del verificador (camino crítico)	CPU (s)		Factor CPU	Retraso (ps)		Error (%)
		Verif.	SPICE		Verif.	SPICE	
1	$b_0 \rightarrow 6 \rightarrow 10 \rightarrow 13 \rightarrow 20 \rightarrow 14 \rightarrow p_3$	0.260	96.06	369	725.1	743.8	2.5
2	$a_0 \rightarrow 3 \rightarrow 9 \rightarrow 12 \rightarrow 20 \rightarrow 14$	0.261	79.79	306	557.7	524.7	6.3
3	$a_0 \rightarrow 3 \rightarrow 9 \rightarrow 12 \rightarrow p_1$	0.260	79.41	306	496.5	528.8	6.1
4	$b_1 \rightarrow 4 \rightarrow 9 \rightarrow 12 \rightarrow p_1$	0.260	82.05	315	439.8	465.4	5.5
5	$b_1 \rightarrow 8 \rightarrow 11 \rightarrow 15 \rightarrow p_3$	0.260	81.12	312	439.8	463.8	5.2
6	$a_1 \rightarrow 7 \rightarrow 11 \rightarrow 15 \rightarrow p_2$	0.260	79.73	306	496.5	529.1	6.2
7	$b_1 \rightarrow 4 \rightarrow 9 \rightarrow 12 \rightarrow p_1$	0.259	82.41	318	439.8	465.5	5.8
8	$a_0 \rightarrow 3 \rightarrow 9 \rightarrow 12 \rightarrow p_1$	0.260	78.75	303	496.5	528.9	6.1
9	$a_1 \rightarrow 5 \rightarrow 10 \rightarrow 13 \rightarrow 20 \rightarrow 14 \rightarrow p_3$	0.260	76.49	294	724.2	711.2	1.8
10	$b_1 \rightarrow 4 \rightarrow 9 \rightarrow 12 \rightarrow 20 \rightarrow 14 \rightarrow p_3$	0.259	73.81	285	432.0	457.4	5.6
11	$b_1 \rightarrow 4 \rightarrow 9 \rightarrow 12 \rightarrow p_1$	0.259	74.59	288	471.7	459.1	2.7
12	$a_0 \rightarrow 3 \rightarrow 9 \rightarrow 12 \rightarrow p_1$	0.260	76.44	294	439.8	427.8	2.8
13	$a_1 \rightarrow 7 \rightarrow 11 \rightarrow 15 \rightarrow p_2$	0.259	77.70	300	439.8	429.6	2.3
14	$b_1 \rightarrow 8 \rightarrow 11 \rightarrow 15 \rightarrow p_2$	0.260	74.88	288	471.7	463.0	1.9
15	$a_1 \rightarrow 5 \rightarrow 10 \rightarrow 13 \rightarrow p_1$	0.259	76.92	297	439.8	435.0	1.1
16	$b_0 \rightarrow 6 \rightarrow 10 \rightarrow 13 \rightarrow p_1$	0.258	74.30	288	471.7	462.8	1.9
17	$a_1 \rightarrow 5 \rightarrow 10 \rightarrow 13 \rightarrow 20 \rightarrow 14 \rightarrow p_3$	0.259	69.10	297	691.2	698.4	1.0
18	$b_1 \rightarrow 4 \rightarrow 9 \rightarrow 12 \rightarrow 20 \rightarrow 14 \rightarrow p_3$	0.258	75.08	291	467.8	559.1	16.3
19	$b_1 \rightarrow 8 \rightarrow 11 \rightarrow 15 \rightarrow p_2$	0.260	75.71	297	407.5	417.1	2.3
20	$a_1 \rightarrow 5 \rightarrow 10 \rightarrow 13 \rightarrow p_1$	0.258	74.44	288	411.8	416.7	1.2

facilitar los comentarios. En la segunda columna se da la salida del verificador en cada caso. Las siguientes columnas contienen resultados comparativos de tiempos de CPU y de la medida del retraso.

Se dijo en el capítulo anterior que con el algoritmo implementado se resuelven todos los nudos del circuito. Sin embargo, actualmente sólo se muestra en la salida del programa

Tabla 7.4. Transiciones presentadas en la tabla 7.3.

Id.	Producto	Transiciones				ϕ (ps)
		a_0	a_1	b_0	b_1	
1	0x0→3x3	+100	+100	+100	+100	0
2	3x3→0x0	-100	-100	-100	-100	0
3	1x3→2x0	-100	+100	+100	+100	0
4	2x0→1x3	+100	-100	+100	+100	0
5	1x1→2x2	-100	+100	-100	+100	0
6	2x2→1x1	+100	-100	+100	-100	0
7	0x1→3x2	+100	+100	-100	+100	0
8	3x2→0x1	-100	-100	+100	-100	0
9	0x0→3x3	+200	+200	+200	+200	100
10	3x3→0x0	-200	-200	-200	-200	100
11	1x3→2x0	-200	+200	-200	-200	100
12	2x0→1x3	+200	-200	+200	+200	100
13	1x1→2x2	-200	+200	-200	+200	100
14	2x2→1x1	+200	-200	+200	-200	100
15	0x1→3x2	+200	+200	+200	-200	100
16	3x2→0x1	-200	-200	-200	+200	100
17	0x0→3x3	+100	+100	+100	+100	200
18	3x3→0x0	-100	-100	-100	-100	200
19	1x1→2x2	-100	+100	-100	+100	200
20	0x1→3x2	+100	+100	+100	-100	200

el camino de mayor retraso de los analizados. En todo caso es sencillo volcar toda la información en el fichero de salida. El referido camino es el que se presenta en la segunda columna de la tabla 7.3.

Todos los análisis que se presentan corresponden (en este caso) a situaciones en las que las señales de excitación conmutan. De nuevo este tipo de elección es arbitrario.

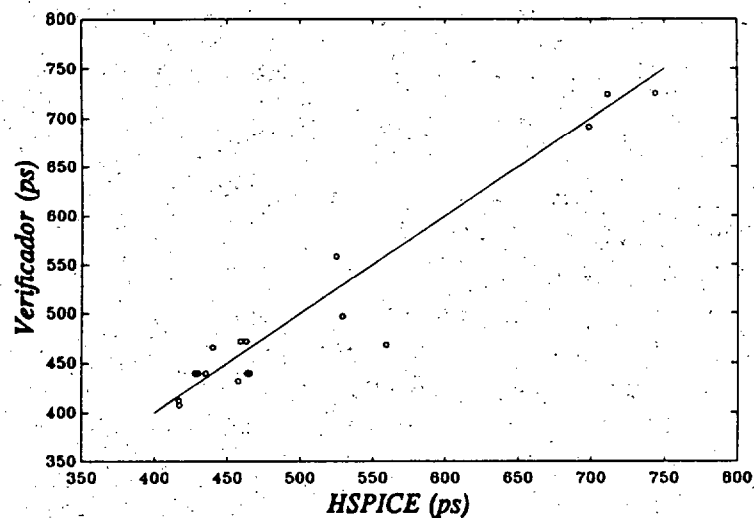


Fig. 7.3. Desviación de los resultados para el multiplicador respecto a HSPICE.

En la tabla 7.4 se describen cada uno de los vectores de entrada. La relación con los resultados se obtienen mediante el valor del identificador que se conserva en la primera columna. En la segunda columna se da la operación realizada. La tercera, cuarta quinta y sexta columnas contienen el valor de la pendiente de cada una de las señales de excitación. De nuevo el signo indica el sentido de la transición. Por último, en la séptima columna se encuentran los valores de los desfases entre las señales de excitación. Estos desfases se refieren a diferencias relativas entre los instantes en que comienzan a conmutar las señales aplicadas a las entradas a_i y b_i , esto es, son iguales los instantes iniciales de las señales a_0 y a_1 y las b_0 y b_1 , respectivamente.

La ganancia que se obtiene en el tiempo de cómputo es superior a dos órdenes de magnitud. Esto se indica con el valor del factor de CPU, en la mayor parte de los casos analizados el verificador es unas 300 veces más rápido que HSPICE. Esta figura es muy buena si se tiene en cuenta la calidad de HSPICE como herramienta comercial líder, y que nuestro código no es el óptimo.

Los errores medidos varían desde el 1% hasta el 16.3%. Estos valores son comparables a los ofrecidos por otros analizadores temporales específicos para circuitos basados en transistores MOS. En la figura 7.3 se muestran gráficamente los resultados. En ella, la línea continua corresponde a la solución exacta (con precisión infinita) y los puntos marcados con 'o' son los valores calculados por el verificador.

Tabla 7.5. Salida del analizador/verificador temporal.

Salida de GASTIM
NETLIST CORRECTO. COMIENZA PROCESO. El nudo 9 permanece en estado bajo El nudo 10 permanece en estado bajo El nudo 12 permanece en estado alto El nudo 13 permanece en estado alto El nudo 22 permanece en estado bajo El nudo 23 permanece en estado bajo El nudo 14 permanece en estado alto El camino crítico resulta ser el siguiente: 30 --> 8 --> 11 --> 15 --> 24 El retardo de dicho camino es: 4.39778e+02 (ps) Hemos tenido éxito Elapsed Time: 0.260 seconds

Se muestra en la tabla 7.5 la forma en que GASTIM ofrece los resultados. El ejemplo corresponde al análisis marcado con el identificador 6 de la tabla 7.3. El primer mensaje es un mensaje de ausencia de error. En las líneas restantes puede observarse en primer lugar el resultado del análisis lógico, en esta parte se informa sobre los nudos en los que no se produce transición de la señal. Una vez volcado el resultado de este análisis, el programa imprime el camino de mayor coste en tiempo de propagación y el valor del retardo calculado. La última línea corresponde al tiempo de ejecución.

7.3.- Tercer ejemplo. Sumador de acarreo anticipado.

En este apartado se muestran resultados obtenidos en la verificación *postlayout* del retraso de un sumador de acarreo anticipado cuyo esquemático a nivel de puertas se muestra en la figura 7.4. El *layout* de un bloque básico del circuito, correspondiente a un bit de suma, se puede ver en la figura 7.5.

En la definición del fichero de entrada se utiliza el programa traductor de la descripción SPICE a la requerida por el verificador. Los valores de las capacidades parásitas asociados a nudos internos del circuito son calculados por el extractor. Estas capacidades son

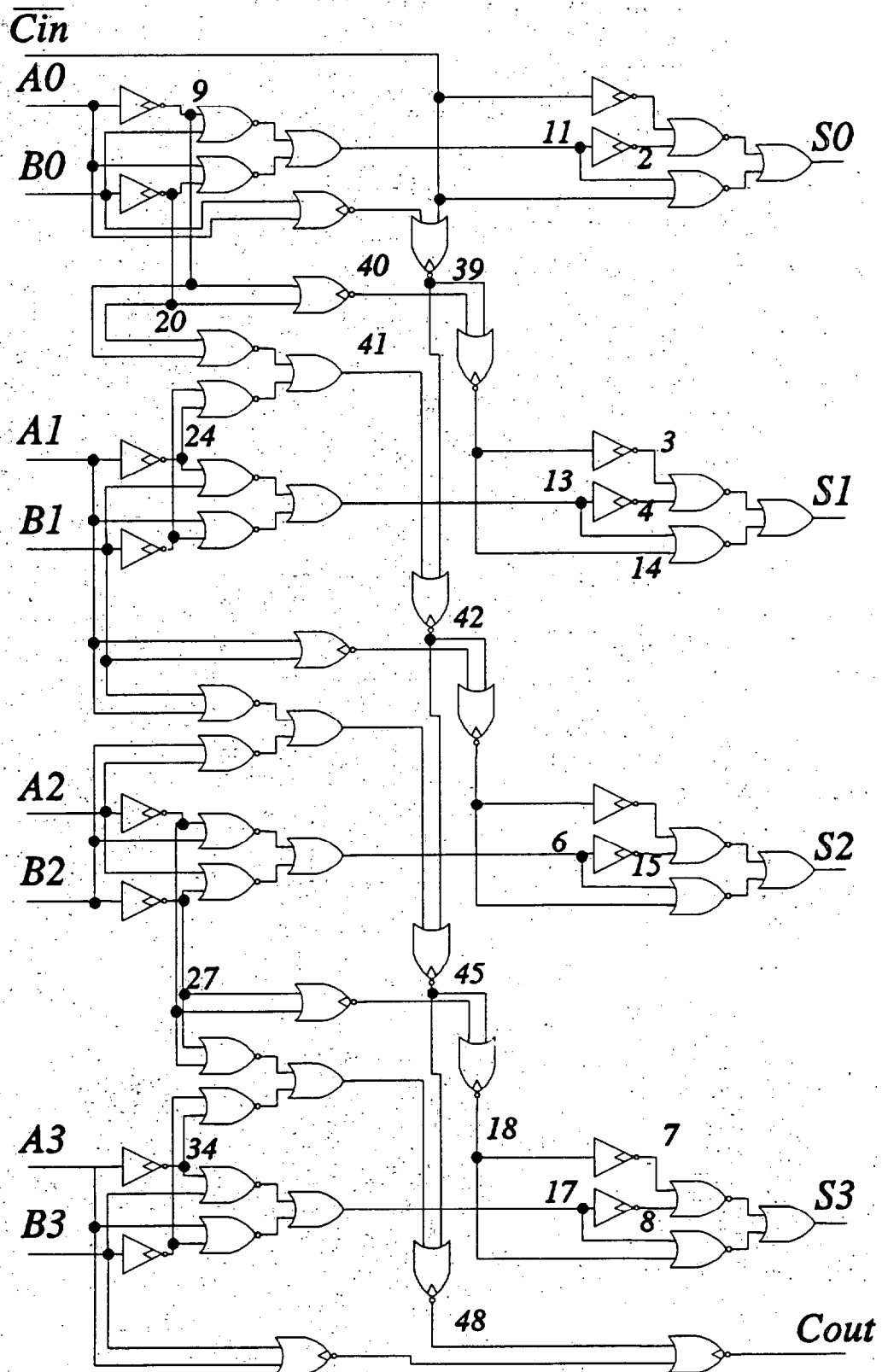


Fig. 7.4. Sumador de acarreo anticipado.

Tabla 7.6. Resultados para un sumador CLA de cuatro bits.

Ident.	SPICE		Verificador		Error (%)	Factor CPU
	Retraso (ps)	CPU (s)	Retraso (ps)	CPU (s)		
1	581.91	125.01	578.92	0.307	0.51	407.2
2	520.30	124.37	542.37	0.307	4.24	405.1
3	575.53	126.58	578.92	0.308	0.59	412.3
4	398.02	121.36	450.83	0.308	13.27	394.0
5	408.81	131.42	434.68	0.307	6.33	428.1
6	625.59	126.20	736.15	0.311	17.67	405.8
7	409.97	128.84	359.73	0.309	12.25	417.0
8	184.64	124.58	159.23	0.310	13.76	401.9
9	887.13	185.24	924.46	0.309	4.21	599.5
10	943.05	127.04	992.56	0.311	17.67	408.5
11	520.3	127.07	542.37	0.308	4.24	412.6
12	779.7	124.54	889.07	0.309	14.03	403.0
13	409.97	117.12	359.73	0.309	12.25	379.0
14	894.93	190.25	975.05	0.309	8.95	615.7
15	531.55	128.62	492.01	0.311	7.44	413.6

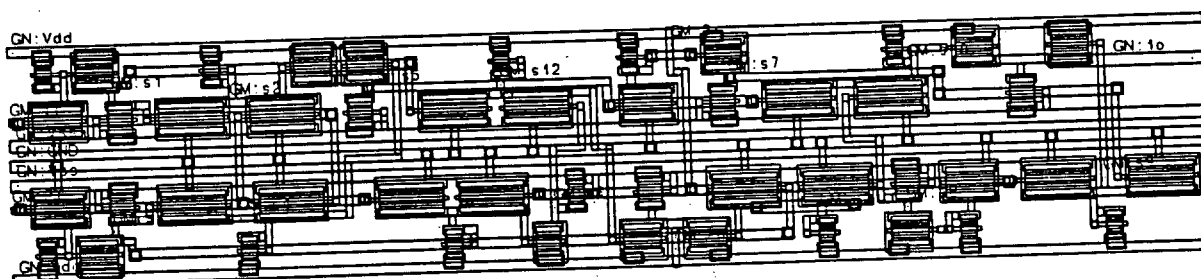


Fig. 7.5. Layout del sumador de un bit.

Tabla 7.7. Transiciones presentadas en la tabla 7.6.

Id.	Camino crítico	Estado / Transiciones (100 ps)									ϕ (ps)
		A ₀	A ₁	A ₂	A ₃	B ₀	B ₁	B ₂	B ₃	C _m	
1	B ₀ →20→11→2→S ₀	L	L	L	L	-1	L	L	L	L	--
2	A ₁ →24→13→4→S ₁	L	-1	L	L	L	L	L	L	L	--
3	B ₂ →27→6→15→S ₂	L	L	-1	L	L	L	L	L	L	--
4	B ₀ →20→11→S ₀	L	L	L	L	1	L	L	L	L	--
5	B ₂ →27→6→15→S ₂	L	L	L	L	L	L	1	L	L	--
6	C _m →39→42→ →45→48→C _{out}	L	L	L	L	H	H	H	H	1	--
7	A ₁ →24→13→4→S ₁	L	1	L	L	L	L	L	L	L	--
8	C _m →S ₀	L	L	L	L	L	L	L	L	-1	--
9	A ₁ →24→41→42→ →45→18→7→S ₃	L	2	L	L	L	2	H	H	L	200
10	B ₀ →20→41→42→ →45→18→7→S ₃	1	L	L	L	2	H	H	H	L	0
11	A ₃ →34→17→8→S ₃	L	L	L	-1	L	L	L	L	L	0
12	A ₀ →9→41→42→ →45→18→7→S ₃	2	L	L	L	2	H	H	H	L	100
13	A ₃ →34→17→8→S ₃	L	L	L	1	L	L	L	L	L	--
14	A ₀ →9→41→42→ →45→18→7→S ₃	2	L	L	L	2	H	H	H	L	200
15	B ₀ →20→40→ →14→3→S ₁	-2	L	L	L	-2	H	H	H	L	200

introducidas sin variación en el mencionado fichero de descripción a nivel de puertas. Son eliminadas las conectadas en paralelo con las fuentes de potencia (V_{dd} y V_{ss}).

Como en los casos anteriores los vectores de entrada utilizados en la validación han sido seleccionados de manera arbitraria. En todo caso se han analizado todas las situaciones cualitativamente distintas que, a priori, pudieran presentarse.

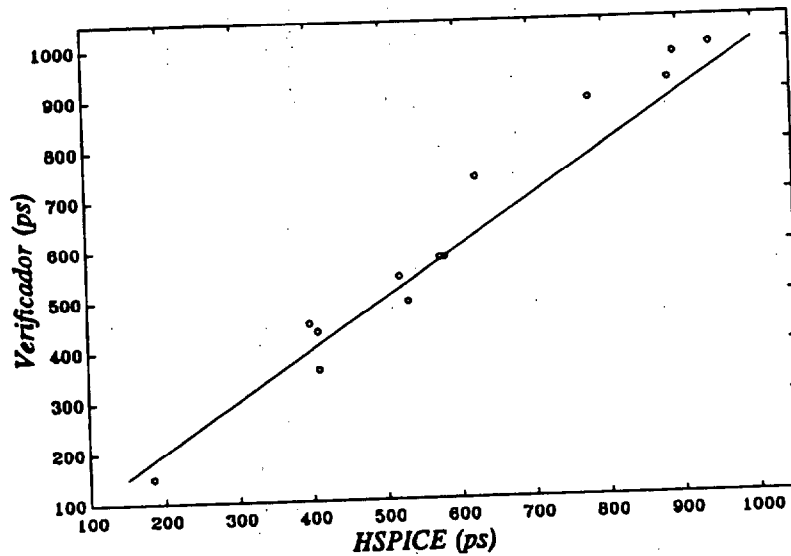


Fig. 7.6. Desviación de los resultados para el sumador respecto a HSPICE.

En la figura 7.4 se indican algunos nudos para posibilitar la comprensión de la tabla de resultados 7.6. En ella, como en las precedentes, la primera columna se reserva para alojar un identificador con el que asociar a cada resultado su correspondiente vector de entrada.

Para este caso se han seleccionado quince combinaciones de vectores de entrada al circuito. La especificación de los mismos así como la salida del verificador se halla en la tabla 7.7.

Los resultados concernientes al factor de CPU son análogos a los mostrados en los dos casos anteriores, en este caso el verificador se muestra 400 veces más rápido que HSPICE. En relación con los errores cometidos, varían en un rango ligeramente más amplio, desde el 0,51% hasta el 17,67%. Se observa además que son más frecuentes los valores superiores a la decena de %. En todo caso se mantienen dentro de los valores ofrecidos en la bibliografía [DiKaL91], [MeRoD92].

Como en el caso de la figura 7.3, para este caso se muestra la figura 7.6. En ella se observan las desviaciones de los retrasos calculados con el verificador respecto a los resultados de HSPICE.

7.4.- Conclusiones.

En este capítulo se han presentado los resultados del análisis y verificación temporal realizados con el verificador que se propone en esta memoria. En el primer ejemplo de las cadenas de inversores, el tipo de análisis se corresponde con el denominado en el capítulo anterior "Análisis sin especificación de los vectores de entrada". En él, las puertas de múltiples entradas se consideran reducidas a inversores simples.

También se utilizó el algoritmo completo de búsqueda de caminos en ese caso. Al establecer la comparación entre el tiempo de cómputo requerido por el verificador y HSPICE se obtienen mejoras de al menos dos órdenes de magnitud.

El segundo y tercer circuitos presentados (multiplicador y sumador respectivamente) corresponden al caso denominado "Análisis con especificación de los vectores de entrada". Los circuitos han sido evaluados en distintas condiciones de excitación. En todos los casos, la disminución del tiempo de CPU es significativa (de nuevo se ganan al menos dos órdenes de magnitud) y el error relativo en todos los casos es inferior al 20%, pudiendo incluso reducirse con la introducción de un término corrector en el proceso de precaracterización.

CAPÍTULO 8

CONCLUSIONES Y LÍNEAS ABIERTAS

8.1.- Conclusiones.

Este trabajo viene a cubrir una demanda de los diseñadores de circuitos digitales en tecnología GaAs. Los resultados fundamentales son un modelo para análisis temporal y una herramienta prototipo con la que realizar análisis y verificación temporal sobre circuitos combinacionales implementados en la familia lógica DCFL/SDCFL. El análisis temporal sobre las familias GaAs se ha venido realizando en base a los modelos de descripción del funcionamiento temporal desarrollados para circuitos basados en el transistor MOS de Silicio, cuando la lógica DCFL/SDCFL, basada en transistores MESFETs, presenta peculiaridades y diferencias importantes respecto a las lógicas similares basadas en Silicio.

Para poder alcanzar ese resultado fundamental ha sido necesario realizar investigaciones sobre el funcionamiento de la familia lógica. El objeto de estas investigaciones ha sido encontrar modelos adecuados para la computación del tiempo de propagación en circuitos complejos, al nivel requerido para la creación de una herramienta -precisas y eficientes- de análisis y verificación temporal. Estas investigaciones no se han visto facilitadas por una bibliografía extensa y accesible, al contrario, la información se encuentra oculta por las empresas y, cuando existe, es parcial y muy sesgada.

Un primer esfuerzo de modelado se ha centrado en encontrar un modelo analítico que permita controlar paramétricamente el funcionamiento de la lógica en términos computacionales más simples que los implicados en los modelos físico-circuitales disponibles, pero que al mismo tiempo mantenga la observabilidad del funcionamiento físico a niveles cualitativos y cuantitativos. El modelo obtenido simplifica notablemente el costo computacional de los modelos físico-circuitales disponibles, pero no hasta el punto requerido para su implementación en herramientas de análisis/verificación. Por el contrario el modelo ha resultado ser muy útil para hacer un análisis de sensibilidad de la lógica y guiar la

investigación de modelos con técnicas polinómicas tabulares. Así, el modelo analítico de la respuesta transitoria ha permitido evidenciar cuáles son los parámetros más relevantes que influyen en la respuesta de la familia lógica a las señales de conmutación.

Se concluye que la familia se muestra muy sensible a las condiciones de carga. El retraso de las puertas es una función creciente con la carga; su crecimiento es más rápido que una función lineal. También es sensible el retraso a las dimensiones de las puertas y a las formas de las señales de excitación. Todas estas sensibilidades han sido adecuadamente cuantificadas.

Con este conocimiento se ha hecho posible, a partir de trabajos realizados para lógica CMOS y NMOS con técnicas polinómicas tabulares, desarrollar un modelo para análisis temporal específico de descripción temporal del funcionamiento de la lógica. En la fase de adaptación del trabajo precedente, se han resuelto varios problemas.

En primer lugar, la propia definición del retraso de una puerta ha tenido que ser revisada. En lógica CMOS, la excursión lógica es de valor fijo y los niveles de tensión son típicos (0 y 5 v), mientras, la familia DCFL/SDCFL presenta niveles estacionarios que varían tanto con las dimensiones propias de las puertas como con las cargas. Ha sido preciso definir el concepto de excursión lógica virtual y, a partir de esta definición seleccionar valores de tensión privilegiados en los que se caracteriza la lógica. Así se ha dado un contenido preciso al concepto de tiempo de propagación y al de pendiente de la forma de onda de señal asociada a un nudo del circuito lógico.

Otra conclusión puesta de manifiesto resalta una diferencia importante respecto a las familias MOS, el modelo de carga a las puertas. Mientras que en estas familias la carga se asocia a un condensador lineal gracias a que efectivamente las puertas de los transistores son capacidades lineales, en la lógica DCFL/SDCFL las puertas de los transistores son uniones Shottky. Para mantener como parámetro de referencia de la carga el valor de una capacidad, se ha definido un modelo equivalente lineal de carga.

La introducción en el modelo temporal de las puertas con múltiples entradas ha requerido la definición del concepto de colisión. Con este concepto se posibilita la elección de las dimensiones del inversor equivalente a una puerta de más de una entrada en función de las señales que excitan la puerta.

El modelo temporal resultante es independiente de la tecnología. Se fundamenta en la precaracterización detallada del bloque básico que constituye la lógica, el inversor

DCFL/SDCFL, para a partir de funciones de ajuste agrupar el conjunto de datos con objeto de facilitar su uso. Se ha automatizado en dos pasos todo el proceso de precaracterización, mediante programas que gobiernan la realización de múltiples simulaciones eléctricas del circuito y la construcción de las tablas de coeficientes polinómicos requeridos por el modelo.

Finalmente se ha introducido una extensión del modelo para tratar bloques circuitales a niveles jerárquicos más altos que el nivel de puertas, mediante macromodelos que abstraen su funcionamiento temporal por un procedimiento de composición algebraica de los polinomios característicos del nivel jerárquico inferior. Este procedimiento es de utilidad para el análisis de circuitos muy complejos basados en macrocélulas y bloques, y su estudio no se prosigue más en esta memoria.

Se han desarrollado varias herramientas de análisis y verificación temporal prototipo que utilizan el modelo para asignar valores a los retrasos al recorrer un circuito desde entradas primarias o elementos de almacenamiento hasta salidas primarias o elementos de almacenamiento.

Se han definido tres algoritmos de verificación temporal atendiendo a variables como la precisión y complejidad del circuito que se va a analizar y al tiempo proceso deseado. Para una estimación rápida se propone el análisis de una versión simplificada equivalente del circuito constituida por cadenas de inversores.

El análisis detallado precisa de la descripción completa del circuito y la especificación del vector de entrada. Se propone también una solución intermedia entre la sencillez de la primera y la complejidad de la segunda consistente en el análisis del camino crítico (en el sentido amplio definido en esta memoria) del circuito bajo estudio.

El proceso de análisis temporal con especificación del vector de entrada al circuito es automático. Se requiere una descripción del circuito en formato de SPICE. Mediante el programa extractor de puertas lógicas, también desarrollado, esta descripción se convierte en otra interpretable por la herramienta propuesta. El resultado de este análisis es el estado de los nudos en los que la señal no sufre transición (análisis lógico) y el valor del tiempo de propagación así como el valor de la pendiente en todos los nudos del circuito. La salida del programa es el estado de los nudos en los que no se produce transición y el camino de mayor coste.

El modelo temporal introducido, junto con el nivel de descripción circuital elegido para el análisis (puertas lógicas dimensionadas y cargadas), y el extractor de puertas desde

formato SPICE, formato que es a su vez extraíble desde el *layout*, permite utilizar el analizador, con igual comodidad y eficiencia, como herramienta de verificación temporal *post-layout*.

El contenido de los programas desarrollados supone varios miles de líneas de código en lenguaje C, y muy numerosos ficheros con estructuras de datos y resultados.

Las prestaciones de este analizador temporal prototipo han justificado claramente la bondad de la metodología empleada. En el análisis completo se reduce el tiempo de cómputo en factores de dos órdenes de magnitud. En el análisis simple esta reducción es superior a los cuatro órdenes de magnitud. La precisión del modelo se encuentra dentro del intervalo de precisiones típicas de otros modelos anteriores desarrollados para tecnologías en Silicio. El error relativo obtenido es siempre inferior al 20%.

En todo caso, cualquier posible paso a una herramienta comercial conllevará tareas de optimización del código de nuestros programas prototipo, por lo que puede afirmarse que las prestaciones actuales suponen un límite inferior.

Se concluye por último el hecho de que esta herramienta es, a partir de la bibliografía disponible, la primera específica para realizar análisis y verificación temporal de un circuito digital implementado con la familia lógica DCFL/SDCFL, familia actualmente dominante en diseño digital con tecnología GaAs.

8.2.- Líneas abiertas.

El trabajo presentado en esta memoria es fruto de la labor de nuestro grupo de investigación en sistemas digitales en Arseniuro de Galio. El conocimiento acumulado en el grupo y el esfuerzo realizado en la concepción y desarrollo de los resultados presentados en esta memoria han puesto de manifiesto la necesidad de profundizar en varios aspectos relacionados con este trabajo concreto.

Básicamente son tres las líneas de actuación futura que se abren a partir de este trabajo, en primer lugar la extensión del modelo a circuitos secuenciales y el desarrollo de nuevos modelos temporales; la aplicación del modelo en la optimización de las prestaciones temporales de los circuitos, y por último, la mejora de los algoritmos y la implementación de los mismos en un entorno comercial.

(i) Modelado temporal.

Esta línea es la continuación directa de la labor desarrollada en la obtención del modelo temporal. En primer lugar, surge la necesidad de extender su aplicabilidad a circuitos secuenciales. En este campo se está trabajando y la solución al problema de extensión radica en proceder al análisis de forma iterativa.

Otra tarea es el desarrollo de modelos válidos para otras familia lógicas a medida que se vayan perfilando como alternativa a la DCFL/SDCFL, así como el análisis de las peculiaridades cuando la familia se implemente con otro tipo de transistores distintos a los MESFETs (MODFETs).

(ii) Optimización de sistemas digitales GaAs.

En esta línea de investigación se viene trabajando desde la concepción del modelo temporal. Consiste en aplicar el modelo temporal en la mejora de las prestaciones temporales de los circuitos. Se emplean técnicas de redimensionamiento de las puertas junto con otras de selección de las dimensiones de las etapas seguidoras de fuente. De hecho los resultados constituyen el argumento de otra tesis doctoral [Gómez92].

(iii) Mejora de algoritmos. Implementación en un entorno comercial.

Esta línea consiste en la optimización de la implementación de los algoritmos que se presentan en este documento. Se trata de hacer que el proceso de análisis y verificación sea lo más eficiente posible.

Un segundo frente de actuación consistirá en la implementación de los algoritmos mejorados en una herramienta comercial de amplia difusión (CADENCE, Mentor Graphics) de modo que sean utilizables por cualquier usuario de los mismos. La adaptación de esta herramienta al diseño de sistemas digitales GaAs está siendo acometida en la actualidad por nuestro grupo. El conocimiento adquirido en esta tarea permitirá la implementación del verificador.

REFERENCIAS

- [ArnMa78] G. Arnout y H. De Man, "The use of Threshold Functions and Boolean-Controlled Network Elements for Macromodelling of LSI Circuits," *IEEE Journal of Solid State Circuits*, Vol. SC-13, pág. 326-332, Junio 1978.
- [AuAzB91] D. Auvergne, N. Azemard, V. Bonzom, D. Deschacht y M. Robert, "Formal Sizing Rules of CMOS Circuits," *Proc. DAC91*, Amsterdam, pág. 25-28, Febrero 1991.
- [BeLaA82] L. C. Bening, T. A. Lane, C. R. Alexander y J. E. Smith, "Developments in Logic Network Path Delay Analysis," *Proceedings of the 19th Design Automation Conference*, pág. 605-615, 1982.
- [Benne85] H. S. Bennet, "Modeling GaAs/AlGaAs Devices: A Critical Review," *IEEE Circuits and Devices Magazine*, pág. 35-42, Enero 1985.
- [BonMu82] J. A. Bondy y U. S. R. Murty, Graph Theory with Applications, North-Holland, 1982.
- [Bryan80] R. Bryant, "An algorithm for MOS Logic simulation," *LAMBDA magazine*, Vol. 1, núm. 3, pág. 46-53, 1980.
- [Bryan81] R. E. Bryant, "A Switch-level Simulation Model for Integrated Logic Circuits," Tesis doctoral, MIT/LCS/TR-259, Massachusetts Institute of Technology, Cambridge, Marzo 1981.
- [Bryan84] R. E. Bryant, "A Switch-level Model and Simulator for MOS Digital Circuits," *IEEE Trans. on Computers*, Vol. C-33, núm. 2, pág. 160-177, Febrero 1984.

- [Bryan87A] R. E. Bryant, "Algorithmic Aspects of Symbolic Switch Network Analysis," *IEEE Trans. on Computer-Aided Design*, Vol. CAD-6, núm. 4, pág. 618-639, Julio 1987.
- [Bryan87B] R. E. Bryant, "Boolean Analysis of MOS Circuits," *IEEE Trans. on Computer-Aided Design*, Vol. CAD-6, núm. 4, pág. 634-649, Julio 1987.
- [BurYo85] M. Burstein y M. Youssef, "Timing Influenced Layout Design," *Proc. of the 22nd Design Automation Conference*, pág. 124-130, 1985.
- [ByrHa85] R. H. Byrd, G. D. Hachtel, M. R. Lightner y M. H. Heydemann, "Switch Level Simulation: Models, Theory and Algorithms," *Advances in Computer-Aided Engineering Design*, A. L. Sangiovanni-Vicentelli, Editor. Jai Press, 1985.
- [Case75] G. R. Case, "SALOGS - CDC 6600 Program to Simulate Digital Logic Networks, Vol. 1 - User's Manual," *Sandia Laboratory Report SAND 74-0441*, 1975.
- [Cates90] Ron Cates, "Gallium Arsenide finds a new niche," *IEEE Spectrum*, pág. 25-28, Abril 1990.
- [CirAb83] N. C. Cirillo, Jr. y J. K. Abrokwhah, "8.5-picosecond Ring Oscillator Gate Delay with Self-Aligned Gate Modulation Doped n^+ -(Al, Ga)As FETs," *43rd Device Research Conference*, Junio 1983.
- [CurEt85] W. R. Curtice, y M. Ettenberg, "A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amplifiers," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-33, no. 12, pág. 1383-1394, Diciembre 1985.
- [Curti80] W. R. Curtice, "A MESFET Model for Use in the design of GaAs Integrated Circuits," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-28, no. 5, pág. 448-456, Mayo 1980.
- [Curti88] W. R. Curtice, "GaAs MESFET Modeling and Nonlinear CAD," *IEEE Trans. Microwave Theory and Tech.*, vol. 36, no. 2, pág. 220-230, Febrero 1988.
- [ChaKar89] P. K. Chan y K. Karplus, "Computing signal delay in General RC networks

- by tree/link partitioning," *26th ACM/IEEE Design Automation Conference*, 1989.
- [CheSh85] T. Chen, y M. S. Shur, "A Capacitance Model for GaAs MESFET's," *IEEE Tran. on Electron Dev.*, vol. ED-12, no. 5, pág. 883-891, Mayo 1985.
- [ChGuK75] B. R. Chawla, H. K. Gummel y P. Kuzak, "MOTIS-An MOS timing simulator," *IEEE Trans. of Circuit Theory*, Vol. 20, núm 6, pág. 901-910, Junio 1975.
- [ChLoN84] C. F. Chen, C. Y. Lo, H. N. Nham y P. Subramaniam, "The Second Generation MOTIS Mixed-Mode Simulator," *Proc. of the 21st. Design Automation Conference*, Albuquerque, New Mexico, pág. 10-17, Junio 1984.
- [ChuHo87] C. Chu y M. Horowitz, "Charge-sharing models for switch-level Simulation," *IEEE Trans. Computer-Aided Design*, Vol. 6, pág. 1053-1060, 1987.
- [Dawbr89] J. Dawbrowski, "Mixed-Mode Timing Verification for VLSI Designs," *Proc. of Int. AMSE Conf.*, MSE Press Vol. 4, Brighton 1989.
- [DenSh90] A. C. Deng y Y. C. Shiau, "Generic linear RC delay modeling for digital CMOS circuits," *IEEE Trans. Computer-Aided Design*, Vol. 9, núm. 4, Abril 1990.
- [DePiR90] D. Deschacht, P. Pinede, M. Robert y D. Auvergne, "PATH RUNNER: An accurate and fast timing analyser," *Proc of EDAC90*, Glasgow, 12-15 Marzo 1990.
- [DeRoA88] D. Deschacht, M. Robert y D. Auvergne, "Explicit formulation of delays on CMOS data path," *IEEE Jour. of Solid State Circuits*, Vol. 23, pág. 1257-1264, Oct. 1988.
- [DiKaL91] Carlos H. Diaz, Sung-Mo Kang y Yusuf Leblebici, "An Accurate Analytical Delay Model for BiCMOS Driver Circuits," *IEEE Trans. on Computer-Aided Design*, Vol. 10, núm. 5, pág. 577-588, Mayo 1991.
- [DumMa83] D. Dumlugöl, H. de Man, P. Stevens y G. Schrooten, "Local Relaxation Algorithms for Event-Driven Simulation of MOS Network Including

- Assignable Delay Modeling, "*IEEE Trans. Computer-Aided Design*, Vol. CAD-2, núm. 3, pág. 193-201, Julio 1983.
- [Eiche65] E. B. Eichelberger, "Hazard Detection in Combinatorial y Sequential Switching Circuits," *IBM Journal of Research and Development*, Vol. 9, pág. 90-99, Marzo 1965.
- [Elmor48] W. C. Elmore, "The transient response of damped linear networks with particular regard to wideband amplifiers," *Jour. of Appl. Phys.*, Vol. 19, núm. 1, pág. 55-63, 1948.
- [Eshra90] K. Eshraghiam, Gallium Arsenide Integrated Circuit Design. Notas de curso. Capítulo 2. ETSIT, Las Palmas de Gran Canaria, 1990.
- [EveMa90] H. Eveking y C. Mai, "Formal Verification of Timing Conditions," *Proc. of the European Conference on Design Automation*, pág. 512-517, 1990.
- [FaHsN77] S. P. Fan, M. Y. Hsueh, A. R. Newton y D. O. Pederson, "MOTIS-C: A New Circuit Simulator for MOS LSI Circuits," *Proc. of the IEEE International Symposium on Circuits and Systems*, Phoenix, pág. 700-703, Abril 1977.
- [GoHeN90] L. Gómez, A. Hernández y A. Núñez, "Report on Performance Modelling for Gates in GaAs Technology," *PATMOS First Periodic Progreses Report*, ULP-1, ESPRIT/BRA 3237, Appendix 1, 1990.
- [GoHeN92b] L. Gómez, A. Hernández y A. Núñez, "Accurate Timing Analisis for SDCFL Circuits Considering Waveforms and Signals Overlap," *Proc. of the European Workshop on Power and Timing Modelling*, pág. 92-101, París, 1992.
- [GoHeN92] L. Gómez, A. Hernández y A. Núñez, "Timing Model for SDCFL Digital Circuits," *Microprocessing and Microprogramming*, núm. 34, pág. 193-196, Febrero 1992.
- [Gómez92] L. Gómez, "Optimización multiobjetivo de circuitos digitales DCFL/SDCFL en GaAs," Tesis Doctoral en preparación. ETSIT, Universidad de Las Palmas de Gran Canaria, 1992.
- [Hajj85] I. N. Hajj, "A Path Algebra for Switch-Level Simulation," *Proceedings of the*

- IEEE International Conference on Computer-Aided Design*, Santa Clara, California, Noviembre 1985.
- [HajSa83] I. N. Hajj y D. G. Saab, "Symbolic Logic Simulation of MOS Circuits, " *Proc. of the IEEE ISCAS'83*, Newport Beach, California, pág. 246-249, Mayo 1983.
- [Hayes82] J. P. Hayes, "A Unified Switching Theory for VLSI," *Proc. IEEE*, pág. 1140-1141, Oct. 1982.
- [HedJe87] N. Hedenstierna y K. O. Jeppson, "CMOS circuit speed and buffer optimization, " *IEEE Trans. Computer-Aided Design*, Vol. CAD-6, pág. 270-281, Marzo 1987.
- [HeGoN90] A. Hernández, L. Gómez y A. Núñez, "Report on Cell Assembly and Multi-Level Modelling," *PATMOS Second Periodic Progress Report*, CAML-3, ESPRIT/BRA 3237, Appendix 1, 1991.
- [HILO88] System HILO User's Manual. *GenRad Incorporated*, 1988.
- [HofKi87] M. Hoffmann y J. K. Kim: "Delay optimization of combinational static CMOS logic", *Proceedings of 24th ACM/IEEE DAC87*, pág. 125-131, 1987.
- [HoNeS90] B. Hoppe, G. Neuendorf, D. Schmitt-Landsiedel y W. Specks, "Optimization of high-speed CMOS logic circuits with analytical models for signal delay, chip area, and dynamic power dissipation," *IEEE Trans. Computer-Aided Design*, vol.9,no. 3, pp.236-247, Mar. 1990.
- [Horow83] M. A. Horowitz, "Timing Models for MOS Pass Networks," *Proc. of IEEE ISCAS'83*, pág. 198-201, Newport Beach, Mayo 1983.
- [Horow84] M. A. Horowitz, "Timing models for MOS circuits, " Ph.D. dissertation, Stanford Univ., Jan. 1984.
- [HSPIC90] HSPICE User's Manual. H9001. *Meta-Software, Inc.*.. California, 1990.
- [HyShP86] C. H. Hyun, M. S. Shur, y A. Peczalski, "Analysis of Noise Margin and Speed of GaAs MESFET DCFL Using UM-SPICE," *IEEE Tran. on Electron*

Dev., vol. ED-33, no. 10, pág. 1421-1426, Octubre 1986.

- [JeMcV69] J. Jepson, R. McQuarrie y R. Vogelsberg, "A Three-Value Computer Design Verification System," *IBM Systems Journal*, Vol. 8, núm. 3, pág. 178-188, 1969.
- [Joupp83] N. P. Jouppi, "TV: An NMOS Timing Analyzer," *Proceedings of the Third Caltech Conference on VLSI*, pág. 71-85, 1983.
- [JuJuP89] Y. H. Jun, K. Jun y S. B. Park, "An accurate and efficient delay time modeling for MOS logic circuits using polynomial approximation," *IEEE Trans. Computer-Aided Design*, Vol. 8, núm. 9, pág. 1027-1032, Sept. 1989.
- [JunJu88] Y. H. Jun y K. Jun, "An accurate and efficient delay simulator for MOS logic circuits using polynomial approximation," *Proc. IEEE ISCAS'88*, Vol. 3, 1988.
- [KhaTr88] M. A. Khatibzadeh, y R. J. Trew, "A Large-Signal, Analytic Model for the GaAs MESFET," *IEEE Trans. Microwave Theory and Tech.*, vol. 36, no. 2, pág. 231-238, Febrero 1982.
- [KhaZh89] A. J. Al-Khalili y Y. Zhu, "A module generator for optimized CMOS buffers," *Proc. of the 26th DAC'89*, pág. 245-250, 1989.
- [Larso87] L. E. Larson, "An Improved GaAs MESFET Equivalent Circuit Model for Analog Integrated Circuit Applications," *IEEE J. Solid State Cir.*, vol. SC-22, no. 4, pág. 567-574, Agosto 1987.
- [LeeSo84] C. M. Lee y H. Soukup, "An algorithm for CMOS timing and area optimization," *Jour. of Solid-State Circuits*, Vol. sc-19, núm. 5, Octubre 1984.
- [Lelar81] E. Lelarsmee, "The Waveform Relaxation Method for the Time Domain Analysis of large Scale Non-Linear Dynamical Systems," Tesis doctoral, University of California, Berkeley, 1981.
- [LeRuS82] E. Lelarsmee, A. E. Ruehli y A. L. Sangiovanni-Vincentelli, "The Waveform Relaxation Method for Time-Domain Analysis of Large Scale Integrated

- Circuits," *IEEE Trans. Computer-Aided Design and Systems*, Vol. CAD-1, núm. 3, pág. 131-145, Julio 1982.
- [LinLi75] H. C. Lin y L. W. Linholm, "Optimized output stage for MOS integrated circuits," *IEEE Jour. Solid-State Circuits*, Apr. 1975
- [LinMe84] T.-M. Lin y C. A. Mead, "Signal delay in general RC networks," *IEEE Trans. Computer-Aided Design*, Vol. CAD-3, pág. 331-349, 1984.
- [LonBu90] S. I. Long y S. E. Butner, Gallium Arsenide Digital Integrated Circuits Design, McGraw-Hill, New York, 1990.
- [Luz83] R. A. Da Luz Reis, "Evalueur Topologique Predictif pour la Generation Automatique des Plans de Masse de Circuits VLSI, " Ph.D. dissertation, National Polytechnique Institute of Grenoble, 1983.
- [MarLe89] C. A. Marinov y A. Lehtonen, "Mixed-Type circuits with distributed and lumped parameters," *IEEE Trans. on Circuits and Systems*, Vol. 36, núm. 8, Agosto 1989.
- [MatGl86] M. D. Matson y L. A. Glasser, "Macromodeling and optimization of digital MOS VLSI circuits," *IEEE Trans. on Computer-Aided Design*, Vol. CAD-5, núm. 4, pág. 659-677, Octubre 1986.
- [MATLA87] PC-MATLAB User's Guide, *The MathWorks, Inc*, junio 1987.
- [MeaCo80] C. A. Mead, L. A. Conway, Introduction to VLSI Systems, Addison-Wesley Pub. Comp. 1980.
- [MeDaJ91] E. Melcher, M. Dana y F. Jutand, "ISTIANA: Input Slope dependent Timing Analysis by Abstraction," *PATMOS Second Periodic Progress Report*, CAML-1, ESPRIT/BRA 3237, Appendix 1, 1991.
- [Meije90] P. B. L. Meijer, "Fast and Smooth Highly Nonlinear Multidimensional Tables Models for Device Modeling," *IEEE Trans. on Circuits and Systems*, Vol. 37, núm. 3, Marzo 1990.
- [MeRoD92] E. Melcher, W. Röthig y M. Dana, "Behavioral Timing Analysis of Digital

Circuits," *Proceedings of the 1st. Workshop on Power and Timing Modelling*, pág. 80-91, Septiembre 1992.

- [Nagel75] L. W. Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits," *Electronics Research Laboratory*, University of California, Berkeley, artículo ERL-M520, 1975.
- [NavRo91] D. Navarro y A. Roy, "Un compilador de buffers para diseños optimizados," *VI Congreso de Diseño de Circuitos Integrados*, Cantabria, Noviembre 1991.
- [Newto79] A. R. Newton, "The Simulation of Large-Scale Integrated Circuits," *IEEE Trans. on Circuits and Systems*, Vol. CAS-26, pág. 741-749, Septiembre 1979.
- [NhaBo80] H. N. Nham y A. K. Bose, "A Multiple Delay Simulator for MOS LSI Circuits," *Proceedings of the 17th Design Automation Conference*, pág. 610-617, Junio 1980.
- [OdrNa86] P. Odryna y S. Nassif, "The adept timing simulation algorithm," *VLSI Syst. Design*, Vol. VII, núm. 3, pág. 24-34, Mar. 1986.
- [OkMoY83] K. Okazaki, T. Moriya y T. Yahara, "A Multiple Media Delay Simulator for MOS LSI Circuits," *Proceedings of the 20th Design Automation Conference*, pág. 279-285, Junio 1983.
- [Ouste83] J. K. Ousterhout, "CRYSTAL: A Timing Analyzer for NMOS VLSI Circuits," *Proc. 3rd Caltech VLSI Conf.*, R. Bryant Ed., pág. 57-70, 1983.
- [Ouste85] J. K. Ousterhout, "A switch level timing verifier for digital MOS VLSI," *IEEE Trans. Computer-Aided Design*, Vol. CAD-4, pág. 336-349, Julio 1985.
- [PavVl86] P. Pavlik y J. Vlack, "Wattime-Waterloo timing simulator of MOS circuits," *IEEE Proc. ISCAS'86*, pág. 751-754, San José, Mayo 1986.
- [PeChS87] A. Peczalski, C. Chen, M. S. Shur, y S. M. Baier, "Modeling and Characterization of Ion-Implanted GaAs MESFET's," *IEEE Tran. on Electron Dev.*, vol. ED-34, no. 4, pág. 726-732, Abril 1987.

- [PenRu81] P. Penfield y J. Rubenstein, "Signal delay in RC tree networks," *IEEE Proc. 19th DAC*, pág. 613-617, 1981.
- [Perdo92] S. Perdomo, "Caracterización de estructuras VLSI para circuitos integrados de muy alta velocidad mediante una metodología basada en la mezcla de los dominos de frecuencia-tiempo," Tesis doctoral en preparación. ETSIT, Universidad de Las Palmas de Gran Canaria, 1992.
- [PilRo90] L. T. Pillage y R. A. Rohrer, "Asymptotic waveform evaluation for timing analysis," *IEEE Trans. on Computer-Aided Design*, Vol. 9, núm. 4, pág. 352-366, Abril 1990.
- [Ramac83A] V. Ramachandran, "An Improved Switch-level Simulator for MOS Circuits," *Proc. of the 20th Design Automation Conference*, Miami Beach, Florida, pág. 293-299, Junio 1983.
- [Ramac83B] V. Ramachandran, "A Linear Time Algorithm for Race Detection in Transistor Switch-level Circuits," *IEEE Proc. International Conference on Computer Design*, pág. 345-348, New York, Noviembre 1983.
- [Rao85] V. B. Rao, "Switch-Level Timing Simulation of MOS VLSI Circuits," Ph.D. dissertation, Department of Electrical and Computer Engineering, University of Illinois, Urbana, Enero 1985.
- [RaSaH79] N. B. G. Rabbat, A. L. Sangiovanni-Vicentelli y H. Y. Hsieh, "A Multi-level Newton Algorithm With Macromodelling and Latency for the Analysis of Large-Scale Nonlinear Circuits in the Time Domain," *IEEE Trans. on Circuits and Systems*, Vol. CAS-26, pág. 733-741, Septiembre 1979.
- [RaTrH83] V. B. Rao, T. N. Trick y I. N. Hajj, "A Table-Driven Delay-Operator Approach to Timing Simulation of MOS VLSI Circuits," *IEEE Proc. International Conference on Computer-Aided Design*, pág. 445-448, New York, Noviembre 1983.
- [RaTrL82] V. B. Rao, T. N. Trick y M. R. Lightner, "Hazard Detection in a Multiple Delay Logic Simulator," *IEEE Proc. ISCAS'82*, pág. 72-75, Rome, Mayo 1982.

- [ReeIt87] D. S. Reeves y M. J. Itwin, "Fast Methods for Switch-Level Verification of MOS Circuits," *IEEE Trans. on Computer-Aided Design*, Vol. CAD-6, núm. 5, pág. 766-779, Septiembre 1987.
- [RuPeH83] J. Rubinstein, P. Pendfield, Jr. y M. A. Horowitz, "Signal Delay in RC Tree Networks," *IEEE Trans. on Computer Aided Design*, Vol. CAD-2, núm. 3, pág. 202-211, Julio 1983.
- [SakDi80] K. Sakallah y S. W. Director, "An Activity Directed Circuit Simulation Algorithm," *IEEE Pro. of the International Conference on Circuits and Computers*, pág. 356-360, New York, Octubre 1980.
- [SaKNe91] T. Sakurai y R. Newton, "Delay Analysis of Series-Connected MOSFET Circuits," *IEEE Journal of Solid State Circuits*, Vol. 26, núm. 2, pág. 122-131, Febrero 1991.
- [SalHo89] A. Salz y M. Horowitz, "IRSIM: An Incremental MOS Switch-Level Simulator," *IEEE Proc. of the 26Th ACM/IEEE DAC*, 1989.
- [SchHo68] H. Schichman, y D. A. Hodges, "Modeling and Simulation of Insulated-Gate-Field-Effect Transistor Switching Circuits," *IEEE Journal Solid State Circuits*, vol. SC-3, pág. 285-289, Septiembre 1968.
- [SesFr62] S. Seshu y D. N. Freeman, "The Diagnosis of Asynchronus Sequential Switching Systems," *IRE Trans. on Electronic Computing*, Vol. EC-11, núm. 4, pág. 459-465, Agosto 1962.
- [Shock52] W. Shockley, "A Unipolar Field-Effect Transistor," *Proc. IRE*, vol. 40, pág. 1365-1376, 1952.
- [Shur87] M. S. Shur, GaAs Devices and Circuits. Capítulo 7. Plenum Press, New York, 1987.
- [SnHoM83] C. M. Snowden, M. J. Howes, y D. V. Morgan, "Large-Signal Modeling of GaAs MESFET Operation," *IEEE Tran. on Electron Dev.*, vol. ED-30, no. 12, pág. 1817-1824, Diciembre 1983.
- [SnoLo87] C. M. Snowden, y D. Loret, "Two-Dimensional Hot-Electron Models for

- Short-Gate-Length GaAs MESFET's," *IEEE Tran. on Electron Dev.*, vol. ED-34, no. 2, pág. 212-223, Febrero 1987.
- [StNeS87] H. Statz, P. Newman, I. W. Smith, R. A. Pucel, and H. A. Haus, "GaAs FET Device and Circuit Simulation in SPICE," *IEEE Tran. on Electron Dev.*, vol. ED-34, no. 2, pág. 160-169, Febrero 1987.
- [SunSv87] R. Sundblad y C. Svensson, "Fully Dynamic Switch-Level Simulation of CMOS Circuits," *IEEE Trans. Computer-Aided Design*, Vol. CAD-6, núm. 2, pág. 282-289, Marzo 1987.
- [Sze81] S. M. Sze, *Physics of Semiconductor Devices*. 2ª edición. Capítulos 1, 6 y 12. John Wiley & Sons. New York, 1981.
- [Szyge72] S. A. Szygenda, "TEGAS2 - Anatomy of a General Purpose Test Generation and Simulation System for Digital Logic," *Proceedings of the Ninth ACM Design Automation Workshop*, Junio 1972.
- [SzyTh76] S. A. Szygenda y E. W. Thompson, "Modelling and Digital Simulation for Design Verification and Diagnosis," *IEEE Trans. on Computers*, Vol. C-25, pág. 1242-1253, Diciembre 1976.
- [TaYoI82] T. Takada, K. Yokoyama, M. Ida, y T. Sudo, "A MESFET Variable-Capacitance Model for GaAs Integrated Circuit Simulation," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-28, no. 5, pág. 719-724, Mayo 1982.
- [Terma83A] C. Terman, "Simulation Tools for Digital LSI Design," PhD Thesis, M.I.T. Department of Electrical Engineering and Computer Science, Sept. 1983.
- [Terma83B] C. J. Terman, "RSIM - A Logic-Level Timing Simulator," *Proceedings of the IEEE International Conference on Computer Design*, New York, pág. 437-440, Noviembre 1983.
- [Tjarn90] R. Tjörnström, "Switch-Level Simulation based on Local Decisions," *Integration the VLSI Journal*, Febrero/Marzo 1990.
- [ToOkS83] T. Tokuda, K. Okazaki, K. Sakashita, I. Ohkura y T. Enomoto, "Delay-Time Modeling for ED MOS Logic LSI," *IEEE Trans. on Computer-Aided Design*,

Vol. CAD-2, n. 3, pág. 129-134, Julio 1983.

- [Trew90] R. J. Trew, "MESFET Models for Microwave Computer-Aided Design," *Microwave Journal*, pág. 115-130, Mayo 1990.
- [TuyLi74] R. Van Tuyt y C. Liechti, "High Speed Integrated Logic With GaAs MESFETs," *IEEE J. Solid State Cir.*, Vol. SC-9, pág. 269-276, Octubre 1974.
- [Ulric69] E. G. Ulrich, "Exclusive Simulation of Activity in Digital Networks," *Communications of the ACM*, Vol. 12, núm. 2, pág. 102-110, Febrero 1969.
- [Unive89] Universidad de Kaiserslautern, Universidad de Las Palmas de Gran Canaria y Escuela Nacional de las Telecomunicaciones de París, *Technical Annex*, ESPRIT 3237, Proyecto PATMOS, pág. 10, 1989.
- [ViNaD86] L. M. Vidigal, S. R. Nassiff y S. W. Director, "Coupled integration and nodal analysis of MOS network," in *Proc. 23rd Design Automation Conf.*, Julio 1986, pág. 179-185.
- [WaSaH90] H. Warmes, D. Saas y E. H. Horneber, "Switch-level timing models in the MOS simulator BRASIL," IEEE 1990. Institut fuer Netzwerktheorie und Schaltungstechnik Technische Universitaet Braunschweig.
- [WeeJi73] W. T. Weeks, A. J. Jiménez, G. W. Mahoney, D. Mehta, H. Qassemzadeh y T. R. Scott, "Algorithms for ASTAP - A Network Analysis Program," *IEEE Trans. on Circuit Theory*, Vol. CT-20, pp.628-634, Noviembre 1973.
- [WeHaT82] Y. P. Wei, I. N. Hajj y T. N. Trick, "A Prediction-Relaxation Based Simulator for MOS Circuits," *Proc. of the IEEE International Conference on Circuits and Systems*, New York, Septiembre 1982.
- [WesEs85] N. Weste y K. Eshraghian, Principles of CMOS VLSI Design, Addison-Wesley 1985.
- [WhiSa83] J. White y A. L. Sangiovanni-Vicentelli, "RELAX2: A Modifier Waveform Relaxation Approach to the Simulation of MOS Digital Circuits," *Proc. of the IEEE International Symposium on Circuits and Systems*, California, pág.

756-759, Mayo 1983.

- [Wilco79] P. Wilcox, "Digital Logic Simulation at the Gate and Function Level," *Proc. of the IEEE Design Automation Conference*, New York, pág. 242-248, 1979.
- [WuSh90] C. Y. Wu y M. C. Shiau, "Delay models and speed improvement techniques for RC tree interconnections among small-geometry CMOS inverters," *IEEE Journal of Solid-State Circuits*, Vol. 25, núm. 5, pág. 1247-1256, Octubre 1990.
- [Wyatt83] J. L. Wyatt, "Waveform Bounding for Fast Timing Analysis of MOS VLSI Circuits," *Proceedings of the IEEE International Symposium on Circuits and Systems*, Newport Beach, California, pág. 760-761, Mayo 1983.
- [WyaYu84] J. L. Wyatt y Q-J Yu, "Signal Delay in RC Meshes Trees and Lines," *Proceedings of the IEEE International Conference on Computer Aided Design*, Santa Clara, pág. 15-17, Noviembre 1984.
- [YaHaT80] P. Yang, I. N. Hajj y T. N. Trick, "SLATE: A Circuit Simulation Program with Latency Exploitation and Node Tearing," *Proceedings of the IEEE International Conference on Circuits and Computers*, pág. 353-355, Octubre 1980.
- [YoeRi64] M. Yoeli y S. Rinon, "Application of Ternary Algebra to the Study of Static Hazards," *Journal of the ACM*, Vol. 11, núm. 1, pág. 84-97, Enero 1964.
- [YuaSv88] J. Yuan y C. Svensson, "CMOS circuit speed optimization based on switch-level simulation," *Proceedings of ISCAS'88*, pág. 2109-2112, 1988.
- [YuWyZ85] Q. Yu, J. L. Wyatt, Jr., C. Zukowski, H. N. Tan y P. O'Brien, "Improved bounds on signal delay in linear RC models for MOS interconnect," in *Proc. IEEE ISCAS85.*, pág. 903-906, Kyoto, Junio 1985.
- [Ziel63] A. van der Ziel, "Gate Noise in Field Effect Transistors at Moderately High Frequencies," *Proc. IEEE*, vol. 51, pág. 461-467, 1963.