UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA

PROYECTO FIN DE CARRERA

DISEÑO DE UN MODULADOR SIGMA-DELTA EN TIEMPO CONTINUO PARA UN PLL N-FRACCIONAL EN TECNOLOGÍA UMC 90nm

Titulación: Ingeniero en Electrónica
Autor: Dña. Enara Ortega García
Tutores: Dr. Francisco Javier del Pino Suárez
D. Jesús Rubén Pulido Medina

Fecha: Noviembre 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA

PROYECTO FIN DE CARRERA

DISEÑO DE UN MODULADOR SIGMA-DELTA EN TIEMPO CONTINUO PARA UN PLL N-FRACCIONAL EN TECNOLOGÍA UMC 90nm

HOJA DE FIRMAS

Alumna

Fdo.: Dña. Enara Ortega García

Tutor/a

Fdo.: Dr. Francisco Javier del Pino Suárez

Tutor/a

Fdo.: D. Jesús Rubén Pulido Medina

Fecha: Noviembre 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA

PROYECTO FIN DE CARRERA

DISEÑO DE UN MODULADOR SIGMA-DELTA EN TIEMPO CONTINUO PARA UN PLL N-FRACCIONAL EN TECNOLOGÍA UMC 90nm

HOJA DE EVALUACIÓN

Calificación: _____

Presidente

Fdo.:

Vocal

Fdo.:

Secretario/a

Fdo.:

Fecha: Noviembre 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

AGRADECIMIENTOS

Debo reconocer el mérito propio de haber conseguido llegar hasta donde estoy ahora mismo, aunque sin olvidar que no lo he logrado sola, y que debo agradecer a todos aquellos que han contribuido a formar la base de los conocimientos que han permitido que hoy sea capaz de realizar este trabajo. Es por esto que agradezco a todos los profesores que me han enseñado algo y a los que no también.

También he de agradecer a todos los compañeros que me he ido encontrado en esta carrera tan poco concurrida. En especial, a Carlitos, que lleva aguantándome desde que empecé y gracias a él he superado algunos baches que he ido encontrando en el camino.

Agradezco a todo aquel que ha tenido alguna relación conmigo durante la realización de este proyecto que en muchos momentos han tenido que aguantar mis quejas. Especialmente a mi hermana Leire que siempre intenta que vea el lado positivo de las cosas y a José que tiene un chiste para todo.

También tengo que agradecer a aquella gente que pensó que no terminaría el proyecto nunca y que el saludo al verme o hablar conmigo siempre empezaba con la frase: "¿Ya terminaste?". En especial a mi padre que pensaba que no terminaría ni para el 2020.

A todo el grupo en el que me encuentro que siempre han estado ahí para echarme una mano cuando lo he necesitado: Dailos, Sunil, Hugo y Roberto. Chicos espero que encontréis pronto una sustituta.

Un agradecimiento especial para mis tutores; Rubén gracias por ofrecerme sándwich todos los días, pero sobre todo, gracias por el asesoramiento en el proyecto, gracias a ti esto ha salido adelante, a Javier por estar ahí cuando lo he necesitado para cualquier duda y por el esfuerzo que ha realizado de revisar la memoria bajo presión.

Pero sobre todo agradezco a mis padres que, además, de ser mi sustento económico en estos momentos (lo cual les agradezco muchísimo) son los que me han enseñado que en la vida lo importante no son los méritos sino el camino que hay que realizar para llegar a ellos.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Índice

1. Introducción 1

1.1 Introducción a la modulación Sigma-Delta 2

1.2 Objetivos 5

2. Selección de la arquitectura del sintetizador para DVB-SH 7

2.1 El estándar DVB-SH 8

2.1.1 Rango de frecuencias de trabajo 13

2.2 Conceptos básicos de los sintetizadores de frecuencia 14

2.2.1 Sintetizador Básico 15

2.2.2 Configuración de sintetizadores 16

2.2.2.1 Sintetizador con divisor programable 16

2.2.2.2 Sintetizador con divisor fijo y programable 17

2.2.2.3 Sintetizador fraccional 18

2.2.2.3.1 Sintetizador de Doble Módulo 19

2.2.2.3.2 Sintetizador con Modulador Sigma-Delta 20

2.3 Conclusiones 22

3. Descripción de la Tecnología 90nm de UMC 25

3.1 Introducción 26

3.2 La tecnología 90nm de UMC para Señal Mixta y Radiofrecuencia 27

3.3 Metodología de diseño orientada a la fabricación 30

3.4 Flujo de diseño MS/RF y FDK 31

3.5 Conclusiones 32

4. La modulación Sigma-Delta 33

4.1 Fundamentos de la modulación Sigma-Delta 34

4.2 Estabilidad de los moduladores Sigma-Delta 38

4.3 Métodos de simulación 39

4.4 Moduladores Sigma-Delta en Tiempo Continuo 41

4.5 Conclusiones 44

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

5. Metodología de Diseño 45

5.1 Diseño de la NTF 46

5.2 Diseño de Moduladores Sigma-Delta en Tiempo Continuo 48

5.2.1 Diseño de un modulador Sigma-Delta en Tiempo Continuo totalmente en el Dominio Analógico 49

5.2.1.1 Ejemplo de diseño 50

5.2.2 Diseño de moduladores Sigma-Delta en Tiempo Continuo basado en la Respuesta Invariante al Impulso 52

5.2.2.1 Arquitecturas de Implementación 55

5.3 Diseño de un modulador Sigma-Delta en Tiempo Continuo 60

5.3.1 Aproximación de diseño 60

5.4 Conclusiones 65

6. Diseño de un modulador Sigma-Delta en la Tecnología 90nm de UMC 67

6.1 Estructuras para el modulador Sigma-Delta 68

6.2 Metodología g_m/I_D 73

6.2.1 El transistor MOS 73

6.2.1.1 Funcionamiento 74

6.2.1.1 Niveles de Inversión del Transistor 78

6.2.2 Introducción a la metodología g_m/I_D 79

6.2.3 La curva g_m/I_D vs. $I_D/(W/L)$ 82

6.3 Diseño del Amplificador Operacional de Transconductancia (OTA) 85

6.4 Diseño del comparador 90

6.5 Resultado de las simulaciones de los moduladores Sigma-Delta propuestos 95

6.6 Conclusiones 97

7. *Layout* 99

7.1 Diseño de *layout* 100

7.1.1 *Layout* de pistas 100

7.1.2 *Layout* de transistores MOS 101

7.1.3 *Layout* de resistencias 104

7.1.4 *Layout* de capacidades 105

7.1.5 Técnicas de diseño 106

7.1.5.1 División de los transistores en dedos 106

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

7.1.5.2 Apareamiento o matching 107
7.1.5.3 Técnica del centroide común 107
7.1.6 Reglas de diseño 109
7.1.6.1 Tamaño de los polígonos 109
7.1.6.2 Regla de separación 110
7.1.6.3 Regla de solapamiento 110
7.2 *Layout* del modulador Sigma-Delta 110
7.3 Conclusiones 113

8. Conclusiones 115
8.1 Escalado de los coeficientes 116
8.2 Ejemplo del método de escalado de los coeficientes 118
8.3 Corrección del modulador diseñado de orden 2 120
8.4 Conclusiones 122

Presupuesto 125

Bibliografía 131

Anexo 139

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Capítulo 1

Introducción

En las últimas décadas ha habido un rápido crecimiento de los usos que se le dan al espectro electromagnético y de la industria electrónica asentada a su alrededor. Debido a esto se ha producido un gran avance en determinados dispositivos, entre los que se encuentran los sintetizadores de frecuencia.

Un sintetizador de frecuencia es un dispositivo electrónico cuyo objetivo es generar cualquier frecuencia dentro de un rango dado a partir de una o varias frecuencias de referencia estables. Éstos se emplean en la mayor parte del equipamiento electrónico presente en muchos aspectos de nuestra vida diaria, desde teléfonos móviles hasta ordenadores personales, siendo componentes críticos tanto en términos de realización como de coste de los transmisores inalámbricos [Shu05].

En aplicaciones móviles, es necesario un espacio entre canales estrecho para utilizar de manera eficiente el espectro de frecuencia disponible. Además, el cambio de un canal a otro deberá realizarse lo más rápido posible. Para cumplir con estas condiciones se suele emplear

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

sintetetizadores de frecuencia fraccionales. Estos sintetizadores son capaces de sintetizar frecuencias para espacios de canales menores que su frecuencia de referencia. Por lo tanto, podemos sintetizar frecuencias que no son múltiplos enteros de la frecuencia de referencia.

Los moduladores Sigma-Delta se han aplicado en una gran variedad de circuitos electrónicos debido a que ofrecen la posibilidad de conseguir altas resoluciones con circuitos sencillos. En los sintetizadores de frecuencia, la modulación Sigma-Delta se suele aplicar para sintetizar el valor de división fraccional, por lo que una señal Sigma-Delta modulada controla el módulo del divisor de la frecuencia instantánea [Dua09].

En la Figura 1.1 se muestra el diagrama de bloques de un sintetizador de frecuencia fraccional donde se ha empleado un modulador Sigma-Delta para controlar el módulo del divisor.

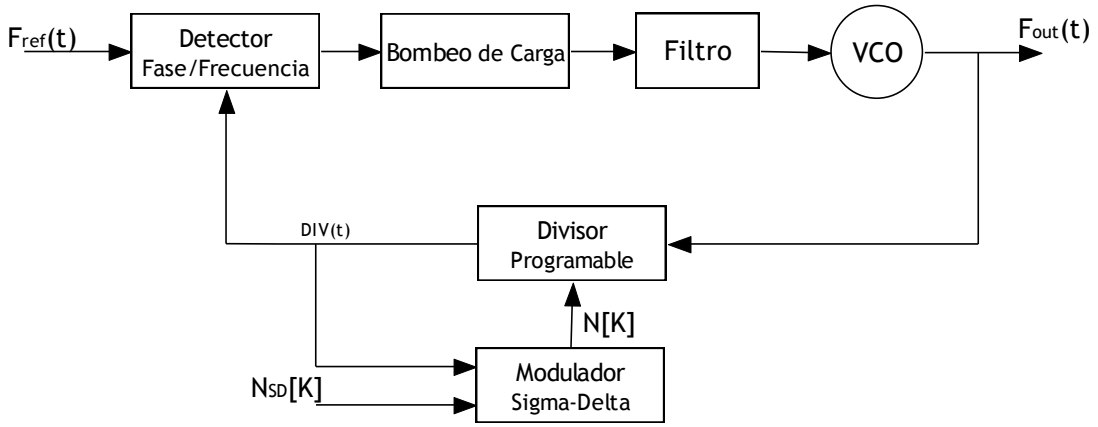


Figura 1.1 Sintetizador de frecuencia fraccional con Sigma-Delta

1.1 Introducción a la modulación Sigma-Delta

Los moduladores Sigma-Delta se emplean fundamentalmente para realizar convertidores de tipo Analógico/Digital y Digital/Analógico. Para comprender el funcionamiento de estos moduladores es necesario tener en cuenta una serie de conceptos previos, como el conformado espectral del ruido de cuantificación y el de sobremuestreo.

En determinados casos, cuando la entrada al cuantificador es lo suficientemente aleatoria y, por lo tanto, el error depende poco de la salida, se puede modelar el cuantificador como un sistema lineal con una entrada x(n), una salida y(n) y un error de cuantificación

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

aditivo e(n), como muestra la Figura 1.2 . De esta manera el error de cuantificación es la diferencia entre la señal de salida y la de entrada e(n)=y(n)-x(n) [Joh97].

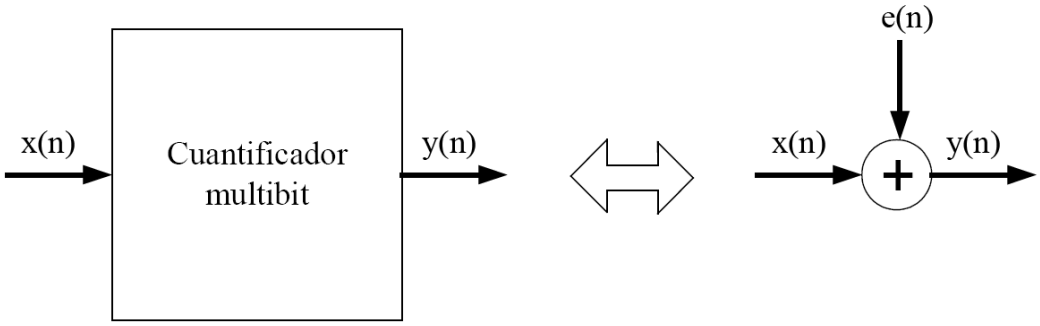


Figura 1.2 Cuantificador y su modelo lineal

Cuando la señal de entrada x(n) varía rápidamente de forma impredecible y la secuencia de error e(n) está incorrelada con la señal de entrada x(n), el error de cuantificación puede considerarse como ruido blanco uniformemente distribuido entre $\pm\Delta/2$, donde Δ se corresponde con la diferencia entre dos niveles consecutivos del cuantificador [Joh97].

En consecuencia, la densidad espectral del ruido de cuantificación, $S_e(f)$ estará uniformemente repartida dentro del intervalo $\pm f_s/2$, como muestra la Figura 1.3 , siendo f_s la frecuencia de muestreo.

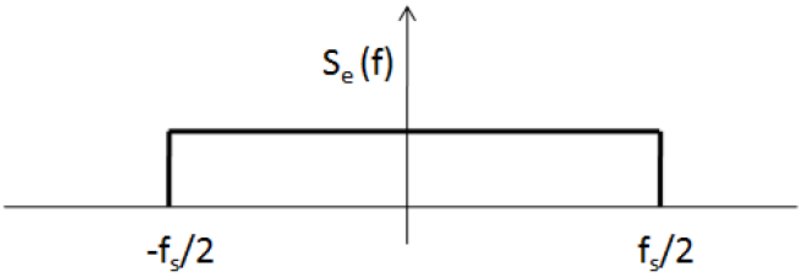


Figura 1.3 Densidad espectral del ruido de cuantificación

Integrando la densidad espectral total del ruido de cuantificación se obtiene la potencia de dicho ruido, como se muestra en la ecuación (1- 1).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

$$Potencia\_ruido\_cuantificación = \int_{-f_S/2}^{f_S/2} S_e^2(f)df = \frac{\Delta^2}{12} \quad \textbf{(1- 1)}$$

Teniendo en cuenta esto, se puede deducir que la amplitud de $S_e(f)$ es la de la ecuación (1- 2).

$$Amplitud = \frac{\Delta}{\sqrt{12 \cdot f_S}} \quad \textbf{(1- 2)}$$

El siguiente concepto previo es el de sobremuestreo. Éste surge del hecho de utilizar una tasa de muestreo mayor que la tasa de Nyquist, cuyo valor es $f_s=2f_0$, siendo f_0 el ancho de banda de la señal a cuantificar y f_s la frecuencia de muestreo del sistema [Joh97]. El sobremuestreo hace que se obtenga una potencia de ruido menor en la banda de interés, esto podemos comprobarlo fijándonos en la Figura 1.3 , donde cuanto mayor sea fs, más extendido estará el ruido y, por lo tanto, menor será su amplitud.

Se puede definir la relación de sobremuestreo (OSR) como en la ecuación (1- 3).

$$OSR = \frac{f_s}{2 \cdot f_0} \quad \textbf{(1- 3)}$$

Como se ha adelantado anteriormente, al muestrear con una tasa mayor a la de Nyquist se consigue que $S_e(f)$ se expanda en frecuencia y como además el ancho de banda de interés es menor que el ancho de banda de $S_e(f)$ [Joh97] se consigue una disminución de la potencia de ruido, como se muestra en la ecuación (1- 4).

$$Potencia\_de\_ruido\_con\_sobremuestreo = \int_{-f_0/2}^{f_0/2} S_e^2(f)df = \frac{\Delta^2}{12} \cdot \frac{1}{OSR} \quad \textbf{(1- 4)}$$

Según lo visto hasta ahora, queda demostrado que al utilizar técnicas de sobremuestreo disminuye la potencia de ruido de cuantificación, aumentando entonces la relación señal a ruido (SNR). Por lo que, cuanto mayor sea la OSR mayor será la SNR. Sin embargo, este aumento de la SNR podría ser aún mayor si se utiliza el conformado espectral de ruido de cuantificación. Con éste se consigue que el ruido de cuantificación se lleve a bandas de frecuencia mayores que las de nuestra señal.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

El uso del conformado espectral de ruido de cuantificación aplicado a señales sobremuestreadas es lo que comúnmente se conoce como modulación Sigma-Delta. En la Figura 1.4 se muestra un modulador Sigma-Delta.

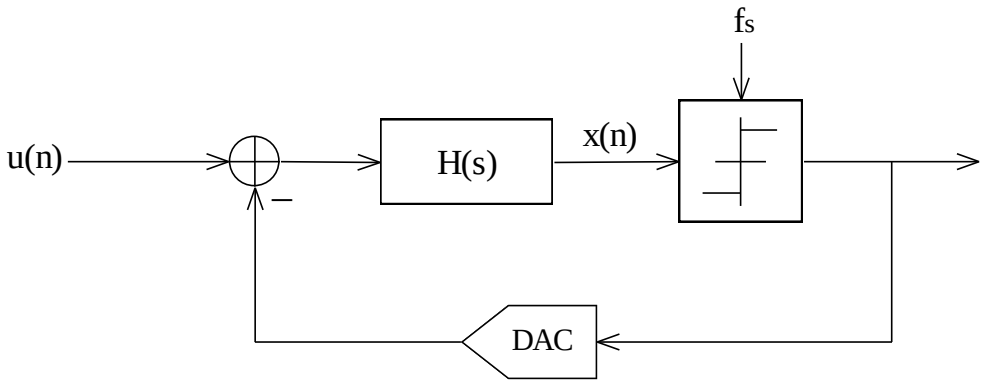


Figura 1.4 Modulador Sigma-Delta

El modulador se suele realizar por medio de un filtro paso-bajo introducido dentro de un bucle de realimentación [Can74]. Este desplaza el ruido de cuantificación a altas frecuencias sin alterar la señal de entrada. En el Capítulo 4 se explicará con profundidad el funcionamiento de este tipo de circuitos.

1.2 Objetivos

El objetivo de este proyecto es diseñar un modulador Sigma-Delta para ser empleado en un sintetizador de frecuencias. Este sintetizador de frecuencias será realizado para el estándar DVB-SH [EN302583], que define los elementos y mecanismos necesarios para asegurar una calidad de servicio óptima (*Quality of Service- QoS*) en redes híbridas de trasmisión satelitales y terrestre.

La mayoría de los moduladores Sigma-Delta que encontramos en la literatura son en Tiempo Discreto, éstos emplean técnicas de condensadores conmutados y son muy populares por la sencillez de su implementación. Sin embargo, también podemos implementar estos moduladores empleando circuitos en Tiempo Continuo, con los cuales podremos conseguir velocidades mayores.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

La frecuencia que se emplea en el sintetizador es de 40MHz y, por lo tanto, deberemos diseñar un modulador Sigma-Delta capaz de trabajar con esta frecuencia de muestreo. Es, por esto, que hemos decidido diseñar un modulador Sigma-Delta en Tiempo Continuo.

Por lo tanto, en este proyecto nos centraremos en el diseño de un modulador Sigma-Delta en Tiempo Continuo empleando la tecnología 90nm de UMC.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Capítulo 2

Selección de la arquitectura del sintetizador para DVB-SH

Como hemos dicho en la introducción, el modulador Sigma-Delta que diseñaremos en este proyecto será empleado en el divisor programable de un sintetizador de frecuencias que será diseñado para el estándar DVB-SH.

Por lo tanto, en este capítulo haremos una introducción al estándar dando a conocer las principales características, tales como los ámbitos de aplicación, así como las ventajas e inconvenientes que presenta con respecto a otros sistemas de comunicación.

Seguidamente analizaremos las diferentes arquitecturas de los sintetizadores, viendo las ventajas que presentan cada una, dando a entender por qué se ha decidido emplear un sintetizador con modulador Sigma-Delta.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

2.1 El estándar DVB-SH

La televisión digital (DVB) está basada en la transmisión de señales digitales de audio, video y de información auxiliar como señales de datos.

Sin embargo, dichas señales digitales son transmitidas con señales moduladoras de tiempo continuo que trasladan el espectro digital a rangos de radiofrecuencia para su difusión, por lo que las señales empleadas para la trasmisión y recepción de la televisión digital son analógicas.

La televisión digital tiene varias ventajas con respecto a la televisión analógica. La más significativa es la referente al menor ancho de banda necesario para su trasmisión. Esto toma mayor relevancia cuando dicho ancho de banda puede ser variable en función de la calidad de imagen y audio o tasa binaria deseada. Por tanto, la televisión digital permite un número mayor de canales para un ancho de banda dado con respecto a la televisión analógica.

Esta ventaja permite la trasmisión de contenido en alta calidad, además de servicios multimedia adicionales que permiten la interactividad con el usuario.

Además, la televisión digital permite la multiplexación (varios programas trasmitidos en el mismo canal), visualización de guías de programas e incluso la gestión de contenido en varios idiomas, incluidos subtítulos.

Las formas más comunes de trasmitir la televisión digital son a través de satélite (DVB-S), cable (DVB-C) y redes de trasmisión terrestre convencionales a través de antenas repetidoras (DVB-T), tal y como se observa en la Figura 2.1.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

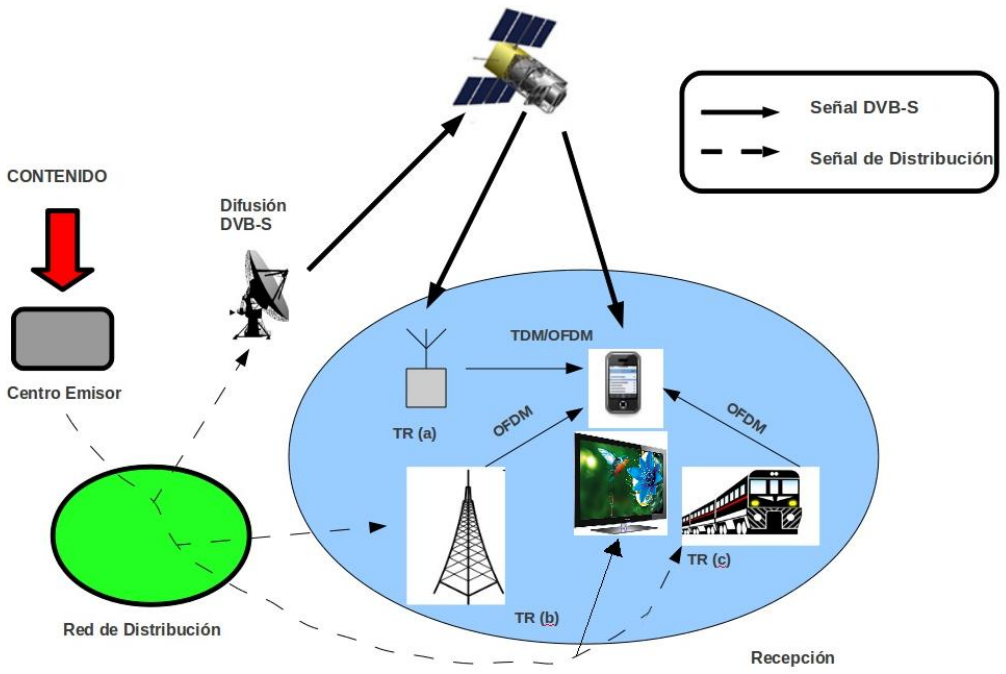


Figura 2.1. Redes de Distribución de DVB, con componentes satelital, cableada y de distribución convencional terrestre a través de antenas repetidoras

Aunque la DVB-T (TDT en España) permite la recepción en movimiento cuando se está recibiendo en medios de transporte que se desplacen a altas velocidades, tales como trenes o *fast-ferrys* se debe garantizar una intensidad y calidad mínimas. Además, si se integran receptores en dispositivos como *smartphones* o *tablets*, estos deben requerir un reducido consumo de potencia, dada las limitaciones de batería asociadas a estos dispositivos.

El estándar DVB-H (*Digital Video Broadcasting- Handheld*) [EN302304] fue adoptado por la ETSI en 2004 para la trasmisión de televisión digital específica para dispositivos móviles. DVB-H está basado en el estándar DVB-T, pero añade nuevas características que garantizan una buena calidad de recepción en interiores, con reducido consumo de potencia y permitiendo la trasmisión de contenido multimedia, tal y como muestra la Figura 2.2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

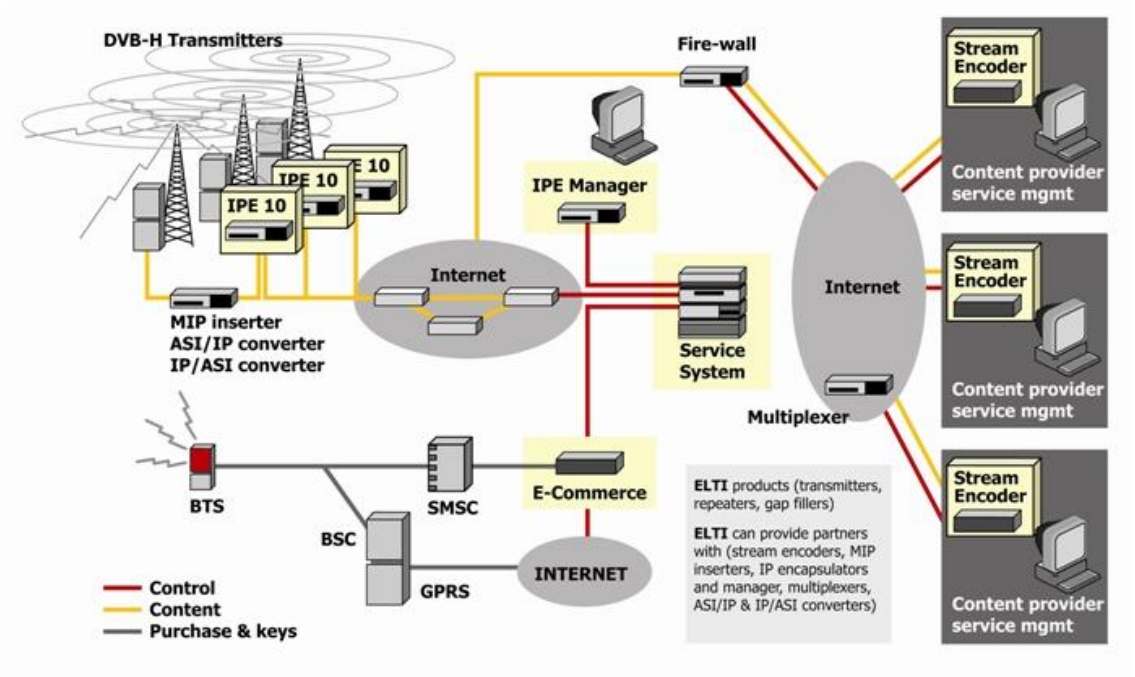


Figura 2.2. Redes de Distribución de DVB-H.

La televisión en el móvil o DVB-H es una tecnología que está despegando actualmente. Una de las razones más importantes por la que es necesario adaptar la TDT y crear la DVB-H es regular el consumo de energía en los receptores. No es lo mismo tener la televisión conectada a la red eléctrica que visualizar contenido multimedia con un teléfono móvil consumiendo energía de la batería. Para ello, se utilizan técnicas de *time-slicing* que permiten ahorrar hasta un 90% de energía.

También es necesario adaptar la calidad de la señal recibida a la que se puede visualizar en la pantalla de un móvil, que suele tener mucha menos resolución que una televisión estándar.

Una de las grandes ventajas por la cual DVB-H es compatible con DVB-T es que se puede utilizar la misma banda de frecuencias para emitir las dos, de modo que para las cadenas no será necesario un cambio de infraestructura tan costoso como cuando se pasó de televisión analógica a televisión digital.

A pesar de las ventajas asociadas al estándar DVB-H, surgen una serie de inconvenientes. El primero está asociado a la restructuración del espectro radioeléctrico en unos ya de por si saturados sistemas VHF y UHF. Teniendo en cuenta que en breve la cuarta

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

generación móvil pasará a ocupar los canales asociados al sistema UHF, DVB-T y DVB-H deberán compartir las regiones asociadas sólo a VHF.

Por otro lado, los sistemas de trasmisión para DVB-H deben de ser más potentes que los asociados a DVB-T. Aunque parezca paradójico, esto se debe a que los dispositivos móviles poseen ganancias mucho menores que los receptores y antenas convencionales. Esto fuerza a los trasmisores a emitir con un nivel de potencia más elevado, o bien a implementar una red con un número mayor de estaciones repetidoras, aumentando el coste asociado a la trasmisión tradicional.

DVB- SH (*Digital Video Broadcasting- Satellite Handheld*) es un estándar que define los elementos y mecanismos necesarios para asegurar una calidad de servicio óptima (*Quality of Service- QoS*) en redes híbridas de trasmisión satelitales y terrestres.

Dicho estándar ha sido definido para trabajar en la banda S. El uso de este rango de frecuencias trae consigo una serie de ventajas con respecto a VHF.

La primera de ellas, es la asociada al tamaño de la antena para los terminales móviles. Es conocido por todos que la longitud de onda (λ) de una señal es inversamente proporcional a su frecuencia (f), según la relación de la ecuación (2- 1).

$$\lambda = \frac{c}{f} \qquad \textbf{(2- 1)}$$

siendo c la velocidad de la luz. Por tanto, a mayor frecuencia de trabajo, menor es la longitud de onda, lo que implica un menor tamaño de antena para su recepción.

Por otro lado, en Europa se ha fijado una porción de la banda S para ser utilizada en Servicios Móviles sobre Satélite (*Mobile Satellite Service –MSS*), en el rango situado entre 2.17 y 2.2 GHz. Por tanto, al contrario que VHF, existe una asignación específica para la trasmisión de este tipo de señales.

Sin embargo, al igual que sucede con otros sistemas de trasmisión de televisión digital, DVB-SH presenta una serie de limitaciones:

- Debido a las limitaciones de batería de los dispositivos móviles, el consumo de potencia del receptor debe ser lo menor posible.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

- Dado que el usuario se traslada espacialmente mientras utiliza los servicios de televisión digital, este puede cambiar de estación con la que mantiene la recepción de datos. Dicho cambio debe de ser automático, sin pérdida de datos y totalmente trasparente para el usuario.

- Los servicios suministrados por DVB-SH han sido diseñados para trabajar en medios muy diversos, tales como exteriores e interiores de edificios y vehículos en movimiento. Por tanto, la trasmisión debe ofrecer las suficientes estabilidad y flexibilidad para permitir la recepción de DVB-SH a diferentes tasas binarias mientras se optimiza la cobertura.

- Así como la banda especificada para DVB-SH se encuentra muy cercana a otros estándares de comunicaciones, tales como UMTS o WiFi, tanto los receptores como los trasmisores deben poseer los medios necesarios para eliminar la interacción de dichas señales, y que no supongan una reducción de la calidad de servicio para el receptor.

Como se comentó anteriormente, DVB-SH posee una arquitectura híbrida, con una componente satelital (SC) y una componente terrestre (CGC), tal y como muestra la Figura 2.3. El funcionamiento de la red está basado en que la componente satelital sea empleada para cubrir extensas áreas que no posean repetidores que puedan dar cobertura al usuario. Del mismo modo, la componente terrestre, a través de dichas bases repetidoras, suministran el acceso a la red en aquellos puntos que la cobertura satelital no sea posible, tales como interiores de edificios o zonas rodeadas por grandes edificios.

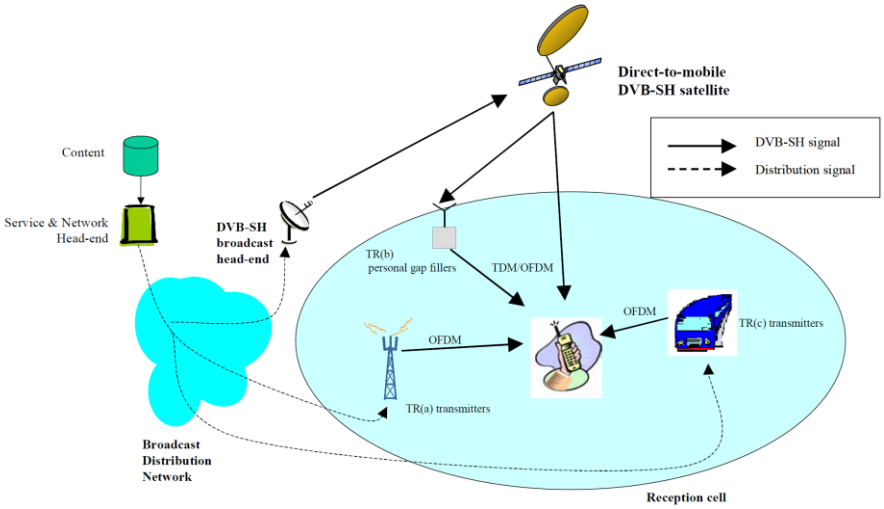


Figura 2.3. Sistema de trasmisión DVB-SH.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

La principal ventaja que aporta una red basada en satélites es el amplio rango de operación que poseen. De este modo, un solo satélite (*Global Beam*) puede dar cobertura a toda Europa. Sin embargo, dado que algunos contenidos pueden estar restringidos a operadores específicos en algunos países, es recomendado una red de satélite (*Multi-Beam*) que aporten servicios más regionales y específicos, tal y como muestra la Figura 2.4.

Esta última implementación implica una segmentación del espectro para trasmitir componentes de señal en diferentes intervalos de tiempo. Al fragmentar temporalmente la información, es posible realizar una reutilización de canales y frecuencias, lo que se traduce en una optimización del ancho de banda.

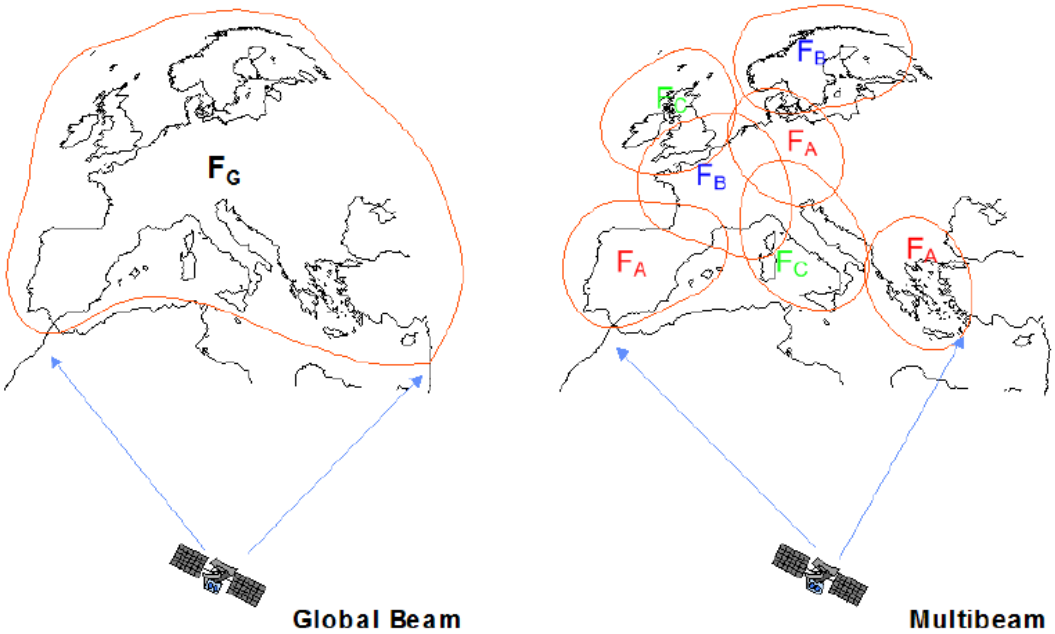


Figura 2.4. Trasmisión Unisatelital vs Trasmisión Multisatelital.

2.1.1 Rango de frecuencias de trabajo

El estándar DVB-SH ofrece una gran versatilidad en lo que a frecuencias de trabajo se refiere, dando la posibilidad de emplear parte del espectro de UHF, la banda L y la banda S.

El 14 de Febrero de 2007, la Comisión Europea adoptó la normativa 2007/98/EC [ECC07] en la que se asigna el espectro de frecuencias entre 2170 y 2200 MHz para Servicios Móviles sobre Satélite (MSS) incluidos la televisión móvil.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

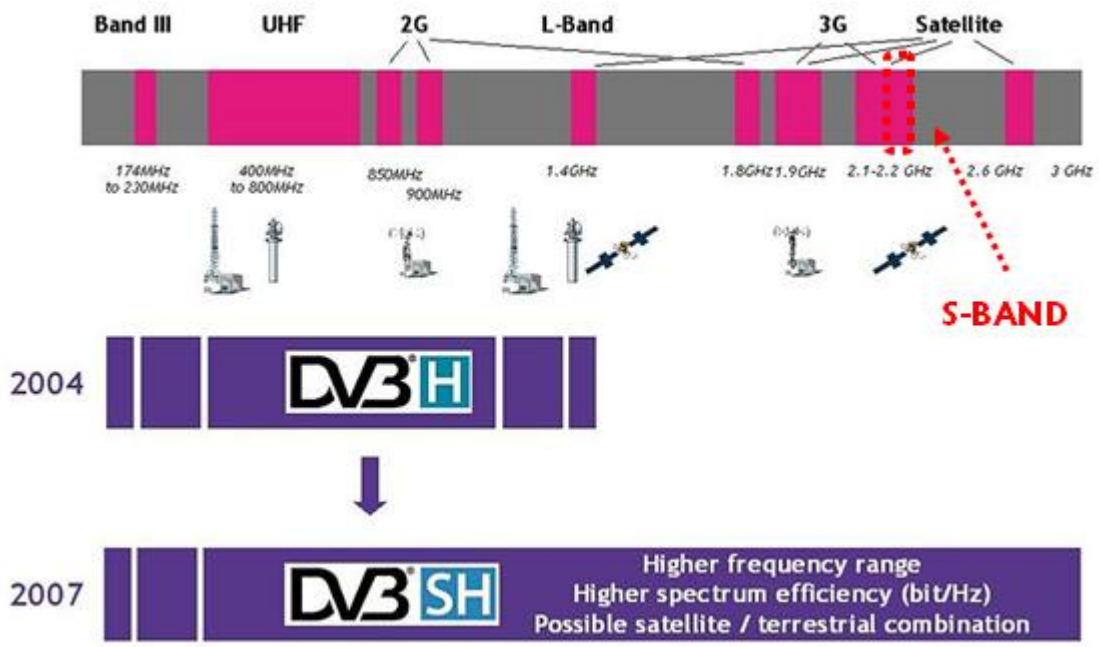


Figura 2.5. Rango de frecuencias.

Como se puede observar en la Figura 2.5, el estándar DVB-SH se encuentra muy cercano a otros estándares de comunicaciones, tales como UMTS, Wifi o Bluetooth. Dado que la gran mayoría de terminales móviles poseen receptores para transferir datos y voz de acuerdo a estos estándares, las interferencias entre ellos pueden ser muy altas.

Por este motivo, DVB-SH exige unos altos requisitos de rechazo de canales adyacentes (*Adjacent Channel Selectivity* –ACS).

2.2 Conceptos básicos de los sintetizadores de frecuencia

La síntesis de frecuencias es el proceso que permite generar una señal de frecuencia concreta, con un valor que puede escogerse de entre un conjunto de valores discretos con precisión y pureza espectral, partiendo de uno o varios osciladores patrones de alta calidad.

En esta sección se dará una pequeña introducción de los sintetizadores para posteriormente presentar la estructura básica de estos, así como las distintas configuraciones más usadas. Se estudiarán factores tales como el ruido de fase y filtrado de señales espurias.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Posteriormente se expondrá la estructura a diseñar, la cual conformará el Oscilador Local para DVB-SH.

La calidad de un sintetizador se mide a través de diversos factores, como son la precisión de la frecuencia sintetizada, que depende fundamentalmente de la precisión de los osciladores patrones, el tiempo de conmutación entre frecuencias, el ruido de fase de la salida y la presencia de otras señales espurias [Vit77] [Yeo05]. Estas dos últimas características dependen de la estructura del sintetizador.

El método más utilizado de síntesis de frecuencia es el que trabaja con un PLL (*Phase Locked Loop*) y divisores de frecuencia, pues es un sistema muy sencillo y permite obtener alta calidad en las frecuencias originadas.

Existen dos aplicaciones conceptualmente diferentes, aunque utilizan los mismos esquemas:

- Estabilización de osciladores de alta frecuencia: se estabiliza un oscilador de frecuencia fija enganchándolo mediante un PLL a otro oscilador de alta calidad (de cuarzo generalmente) y de más baja frecuencia. Se habla de un PLO (*Phase Locked Oscillator*).

- Síntesis de frecuencia: se pretende generar un conjunto de frecuencias diferentes, en lugar de una sola como en el caso anterior. Se trata del sintetizador propiamente dicho.

2.2.1 Sintetizador básico

El esquema más básico de sintetizador con PLL es el de la Figura 2.6. La diferencia con un PLL simple es la presencia de un divisor de frecuencia que se puede ver como un contador digital entre el VCO y el detector de fase. El enganche se produce cuando las frecuencias en el detector de fase son iguales, por lo tanto, en ese caso la frecuencia en el VCO debe ser $f_o=N\cdot f_r$, y el conjunto actúa como un multiplicador de frecuencia.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

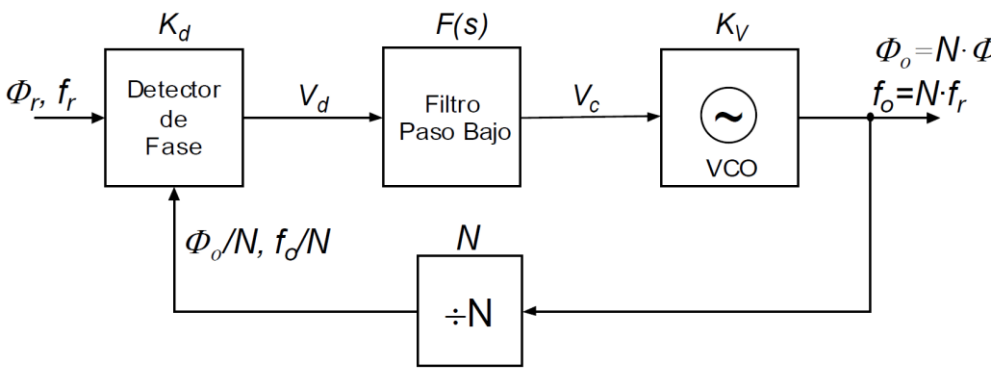


Figura 2.6. Sintetizador básico basado en PLL.

Dado que es fácil realizar divisores de frecuencia con factores muy elevados (sólo basta con conectar en cascada varios divisores de frecuencia) el valor de N puede ser tan grande como se quiera. Así, no son infrecuentes factores del orden de 1000 o superiores.

Pueden utilizarse factores mucho más altos, pero el funcionamiento del sintetizador en cuanto al ruido se degrada considerablemente. Si además el factor N puede cambiarse con unas entradas de control se puede seleccionar la frecuencia de salida de entre un conjunto de ellas programando el valor de N.

2.2.2 Configuraciones de sintetizadores

En este apartado veremos varias configuraciones de sintetizadores basadas en un PLL y divisores de frecuencia.

2.2.2.1 Sintetizador con divisor programable

El esquema de este sintetizador se muestra en la Figura 2.7. El valor de N_P puede modificarse mediante una entrada digital de control de unidad en unidad. Puesto que N_P varía de unidad en unidad, el paso del sintetizador, es decir, la diferencia entre las frecuencias consecutivas que pueden generarse, es igual a la frecuencia de referencia: $\Delta f = f_r$.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

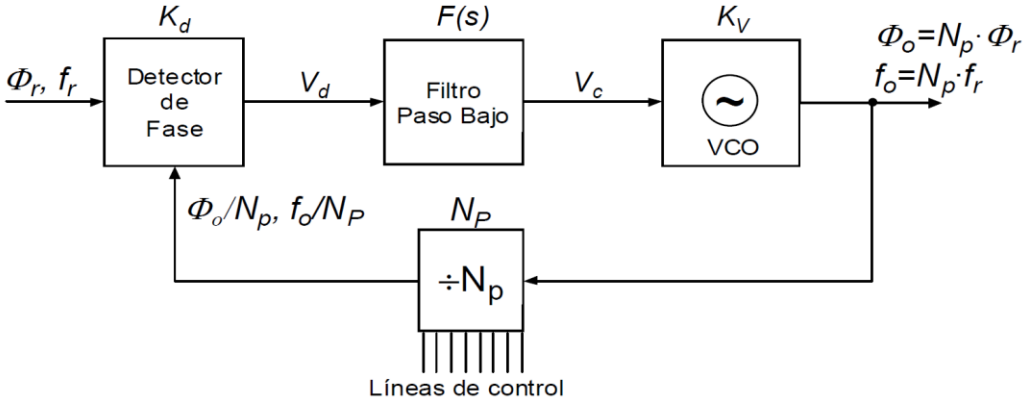


Figura 2.7. Sintetizador con divisor programable.

2.2.2.2 Sintetizador con divisores fijo y programable

Los divisores programables tienen frecuencias relativamente bajas de utilización. Cuando se desea sintetizar frecuencias más elevadas la alternativa más simple es colocar un predivisor (*prescaler*) de módulo fijo entre el VCO y el divisor programable, tal como se muestra en la Figura 2.8.

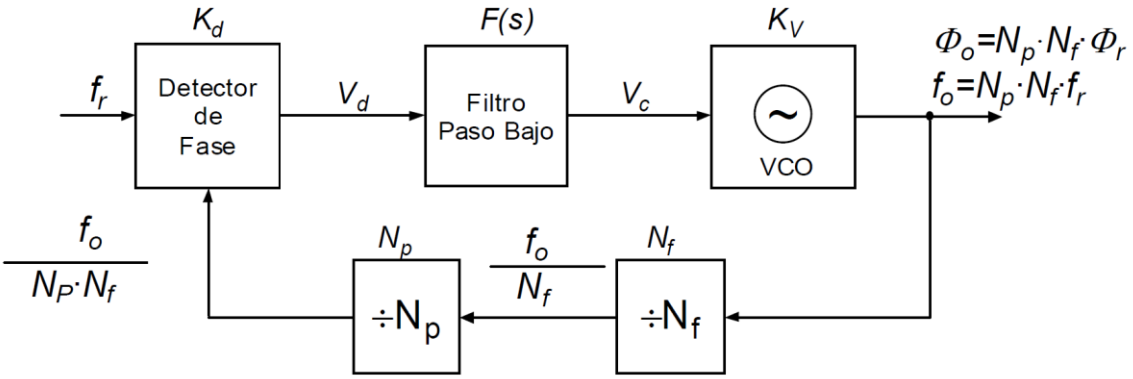


Figura 2.8. Sintetizador con divisores fijo y programable.

En esta estructura el valor de la frecuencia de salida es $f_o = N_f \cdot N_p \cdot f_r$. Puesto que N_p puede variar de uno en uno, el paso del sintetizador es $\Delta f = N_f \cdot f_r$. El inconveniente de este esquema en comparación con el anterior es que para un determinado paso de sintetizador se reduce la frecuencia de referencia en el factor N_f.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Si la frecuencia de referencia es muy baja, el ancho de banda del bucle también debe serlo para poder filtrarla correctamente. Se pierde entonces la libertad de ajustarlo en función del ruido de los osciladores y, además, se ralentizan los transitorios, con lo que el tiempo de cambio de frecuencia de salida se alarga. Este parámetro es importante en determinadas aplicaciones.

2.2.2.3 Sintetizador Fraccional

En los sintetizadores de frecuencia con N-entero, es necesario aumentar el valor de la frecuencia de referencia para poder disminuir la distorsión a la salida y aumentar el ancho de banda para poder rechazar el ruido de fase del VCO.

Sin embargo, este aumento de la frecuencia de referencia hace que disminuya mucho la resolución del sintetizador debido a que N es entero y, por lo tanto, la resolución será f_r [Mak04].

Para poder mejorar la resolución del sintetizador de frecuencia sin disminuir la frecuencia de referencia se utilizan los sintetizadores de frecuencia fraccionales.

Los sintetizadores de frecuencia fraccionales son aquellos que a la salida permiten obtener una señal con una frecuencia que es un múltiplo fraccional de la frecuencia de referencia $f_o = N \cdot f_r$, donde N puede ser un número decimal.

Debido a esto, la resolución de este tipo de sintetizadores es más pequeña que la frecuencia de referencia; por lo tanto, para una misma resolución, este tipo de sintetizadores puede ser diseñado con un ancho de banda mayor que uno con divisor entero. Esto se traduce en un aumento de la velocidad de cambio de una frecuencia a otra.

Actualmente, existen dos tipos se sintetizadores fraccionales: los de divisor de doble módulo y los de divisor controlado por un modulador Sigma-Delta. A continuación se estudiarán ambas estructuras, evaluando sus ventajas e inconvenientes.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

2.2.2.3.1 Sintetizador de Doble Módulo

Esta estructura surgió para resolver el problema que tenía el sintetizador con divisor fijo y programable [Sie03]. El divisor de doble módulo tiene la posibilidad de dividir por dos factores diferentes según una entrada de control. Estos dos factores normalmente difieren entre sí en una unidad, siendo P y P+1. En la Figura 2.9 se muestra un ejemplo de sintetizador con divisor de doble módulo.

Inicialmente se parte de una situación inicial en la que el divisor de doble módulo está configurado para dividir por el factor P+1. Para que el divisor de doble módulo pase a dividir por el factor P debe recibir un pulso proveniente del divisor A, lo que ocurre tras A(P+1) ciclos del VCO. Entonces, en el resto de ciclos del VCO, el divisor de doble módulo dividirá por P.

Teniendo en cuenta esto, el conjunto se comporta como un único divisor de factor $N=N_P \cdot P+A=P(N_P+A/P)$. En media se divide por un entero más una fracción, mientras que la división instantánea es entera.

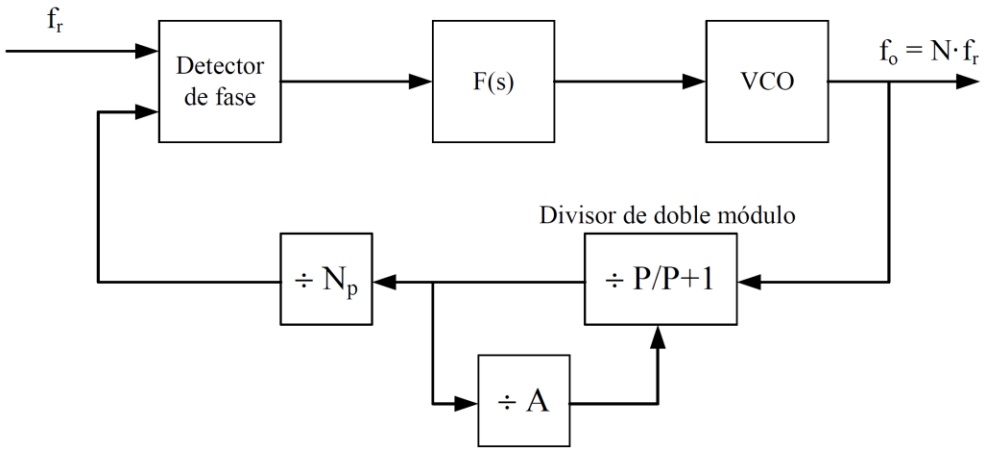


Figura 2.9. Sintetizador de frecuencia con divisor de doble módulo.

Con estos divisores de doble módulo se consigue construir divisores de frecuencia que funcionan a frecuencias más elevadas que los divisores programables [Sie03], consiguiendo mantener así una frecuencia de referencia elevada. Sin embargo, su implementación es más compleja que en los divisores programables y además presentan el inconveniente de tener un elevado ruido de fase en el espectro de la señal de salida del sintetizador [Zar05].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

2.2.2.3.2 Sintetizador con Modulador Sigma-Delta (ΣΔ)

Para mejorar el problema de la distorsión en los sintetizadores con divisor de doble módulo se emplean los sintetizadores de frecuencia fraccionales basados en moduladores Sigma-Delta.

Debido al efecto del lazo del Sigma-Delta, la distorsión se atenúa a bajas frecuencias mejorando así el comportamiento del sintetizador completo al poder ser filtrado más fácilmente por el filtro del lazo.

En la Figura 2.10 se muestra un ejemplo de sintetizador de frecuencia con un divisor controlado por un Sigma-Delta de un bit. En el caso de que el Sigma-Delta sea de n bits, el divisor deberá ser multi-módulo y, por tanto, las divisiones instantáneas irán desde P hasta P+2N-1.

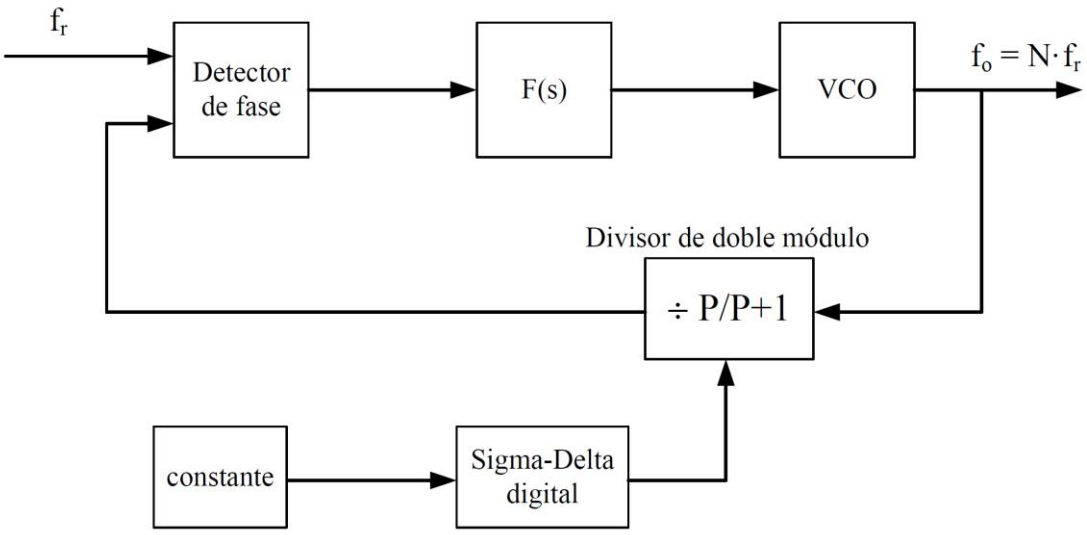


Figura 2.10. Sintetizador de frecuencia con divisor de doble módulo controlado por un modulador Sigma-Delta.

Para explicar su funcionamiento se parte de un caso sencillo en el que se emplea un Sigma-Delta de un bit que se usa para modular la división instantánea del divisor de doble módulo. Esta división instantánea es la suma de un entero base, P, y la salida del Sigma-Delta, $n_Q(t)$, por lo que el valor medio del factor de división fraccional se muestra en la ecuación (2-2).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

$$N = P + \overline{n_Q(t)} \qquad \textbf{(2- 2)}$$

donde $\overline{n_Q(t)}$ es el valor medio de la salida del Sigma-Delta, dada por la constante de entrada, y puede tomar valores entre 0 y 1.

La ventaja que presenta el Sigma-Delta es que, debido a sus características de funcionamiento, consigue aleatorizar la cantidad de valores 0 y 1 que proporcionan el valor de $\overline{n_Q(t)}$, manteniendo su valor medio y disminuyendo así la cantidad de tonos de espurios fraccionales que aparecen en el espectro de salida del sintetizador.

Otra configuración de sintetizador fraccional Sigma-Delta es la mostrada en la Figura 2.11. Si bien en el caso anterior el modulador era utilizado para alternar la división entre 2 valore dados (P y P+1), en este caso se utiliza para modificar la frecuencia de salida del Divisor N.

En esta configuración, a la salida del modulador se le suma la generada por el divisor, lo que permite modificar sutilmente la frecuencia de salida de este, lo que tras un periodo de establecimiento, el factor de división (N_{OUT}) resultante es:

$$N_{OUT} = N + \Delta N \qquad \textbf{(2- 3)}$$

Cabe destacar que el valor de ΔN puede ser modificado a partir del valor de control del modulador Sigma Delta.

Esta configuración presenta como ventaja la atenuación de los saltos frecuenciales asociados a los cambios de división del divisor de doble módulo del caso anterior. Esto se traduce en una casi inexistencia de espurios fraccionales, lo que permite una reducción significativa del ruido de fase asociado al sintetizador completo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

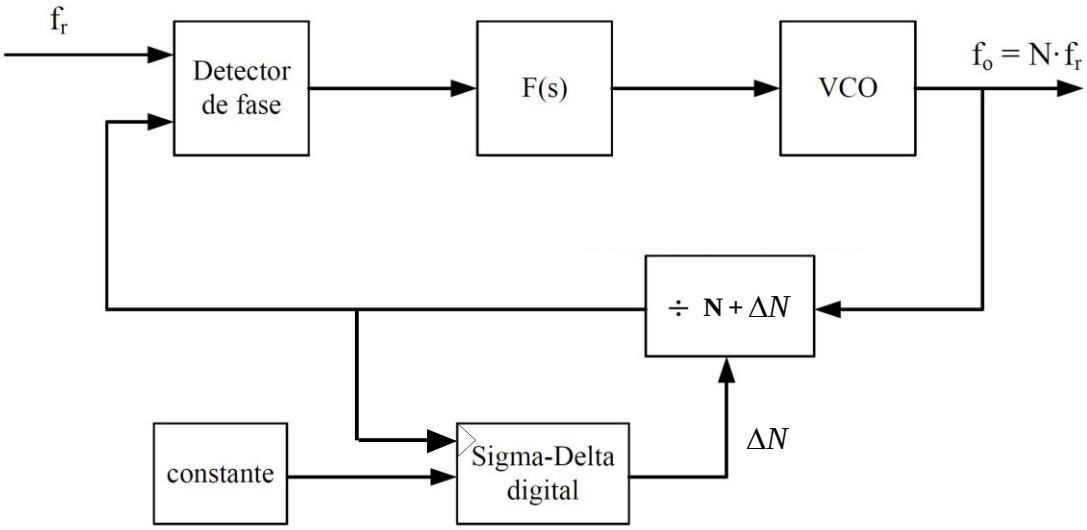


Figura 2.11. Sintetizador Fraccional Sigma Delta.

2.3 Conclusiones

En este capítulo hemos definido el estándar DVB-SH, así como las arquitecturas de los diferentes sintetizadores de frecuencias.

Hemos hecho una introducción al estándar dando a conocer las principales características de éste, junto con las ventajas e inconvenientes que presenta con respecto a otros sistemas de comunicación. Así mismo, hemos estudiado las configuraciones de sintetizadores más comúnmente utilizadas.

Sabiendo que el estándar DVB-SH presenta canalizaciones de 1.7MHz a 8MHz [EN302583], resulta inviable sintetizar dicha canalización con factores de división enteros para una frecuencia de referencia dada. Por esta razón, hemos tomado la decisión de implementar un sintetizador de frecuencia fraccional N basado en un modulador Sigma-Delta el cual permitirá sintetizar valores de división no enteros. La arquitectura empleada será la mostrada en la Figura 2.11 la cual posee una respuesta que permite la anulación de espurios fraccionales asociados a la división.

Habiendo elegido esta estructura, nuestro objetivo en este proyecto será el diseño del modulador Sigma-Delta que será empleado en este sintetizador. Este circuito lo

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

implementaremos físicamente empleando la tecnología 90nm de UMC la cual explicaremos en el capítulo siguiente.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Capítulo 3

Descripción de la Tecnología 90nm de UMC

En este capítulo se va a realizar un estudio de la tecnología que vamos a utilizar en nuestro proyecto. Con este estudio pretendemos dar una visión general de la tecnología 1P9M 90nm de la fundidora UMC.

El capítulo está estructurado de la siguiente manera. Comienza con una pequeña introducción de la fundidora para seguir con una visión superficial de la tecnología 90nm de UMC para Señal Mixta y Radiofrecuencia (MS/RF del inglés *Mixed Signal/Radio Frequency*). Seguidamente se describe la metodología que se utiliza para realizar un diseño y finalmente se representa el flujo de diseño MS/RF y el kit de diseño.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

3.1 Introducción

La compañía *United Microelectronics Corporation* (UMC) es una de las fundidoras de tecnologías en semiconductor líderes del sector [UMC]. Dicha compañía ofrece modernas tecnologías para la fabricación de sofisticados diseños de sistemas *on-chip*.

UMC ha ofrecido productos personalizados basados en 90nm desde el año 2003 y en la actualidad cuenta con una amplia gama de artículos que ocupan los primeros puestos de las listas de los más vendidos en algunos de los sectores más importantes del mercado como son RF, banda-base, gráficos de alta velocidad, FPGA y SoC para WLAN en un solo chip (ver Figura 3.1). Para cada uno de ellos se dispone de diversas soluciones de dispositivos de diseño, como pueden ser los modelos de baja fuga (L90LL), de comportamiento estándar (L90SP) o de alta velocidad (L90G).

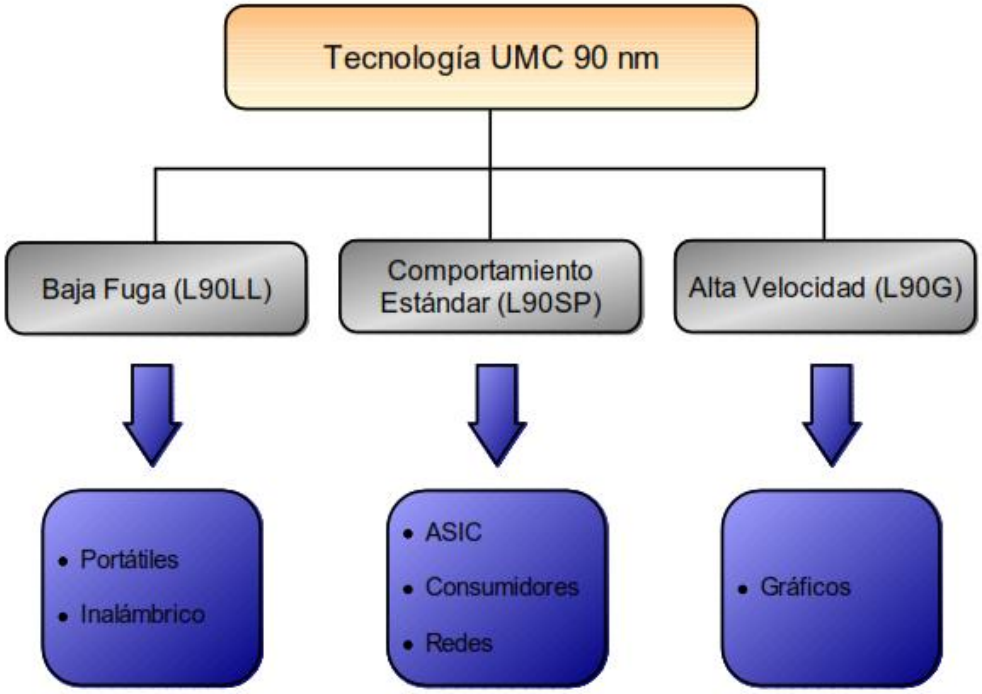


Figura 3.1 Gama de aplicaciones de la tecnología 90nm de UMC

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

3.2 La tecnología 90nm de UMC para Señal Mixta y Radiofrecuencia

Debido al gran número de dispositivos de comunicación portátiles y nuevas aplicaciones en el mercado, se ha fomentado el desarrollo de procesos avanzados de CMOS, tanto para Señal Mixta (MS) como para Radiofrecuencia (RF). De esta forma, de entre las diversas soluciones tecnológicas que ofrece UMC, en el presente proyecto se ha elegido la tecnología de 90nm en su modelo para Señal Mixta y Radiofrecuencia (MS/RF), ya que ofrece grandes prestaciones con un coste no muy elevado.

El proceso permite disponer de dispositivos básicos, dispositivos de entrada/salida o dispositivos MS/RF tal como se aprecia en la Figura 3.2 . Los dispositivos básicos pueden elegirse de entre elementos de baja fuga, de comportamiento estándar o de alta velocidad. Para los dispositivos de I/O se pueden trabajar con diferentes alimentaciones, desde 1.8V a 3.3V. Los dispositivos MS/RF son los de interés en este proyecto, estando disponibles para aplicaciones de entre 1V y 2.5V, teniendo una variedad de dispositivos como son los dispositivos de múltiples valores de tensión umbral, transistores tanto bipolares como MOSFET, diodos, resistencias, condensadores metal-aislante-metal (MIM), condensadores metal-óxido-metal (MOM), condensadores NFET en un pozo N (NCAP), varactores, transformadores e inductores, disponiendo para estos últimos del metal de la capa superior de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados.

La tecnología 90nm de UMC para SM/RF consta de una capa de poli-silicio y nueve capas de metal con baja constante dieléctrica (k) entre metales siendo la longitud de puerta mínima de 90nm. La Figura 3.3 muestra la sección transversal de la tecnología UMC de 90nm.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

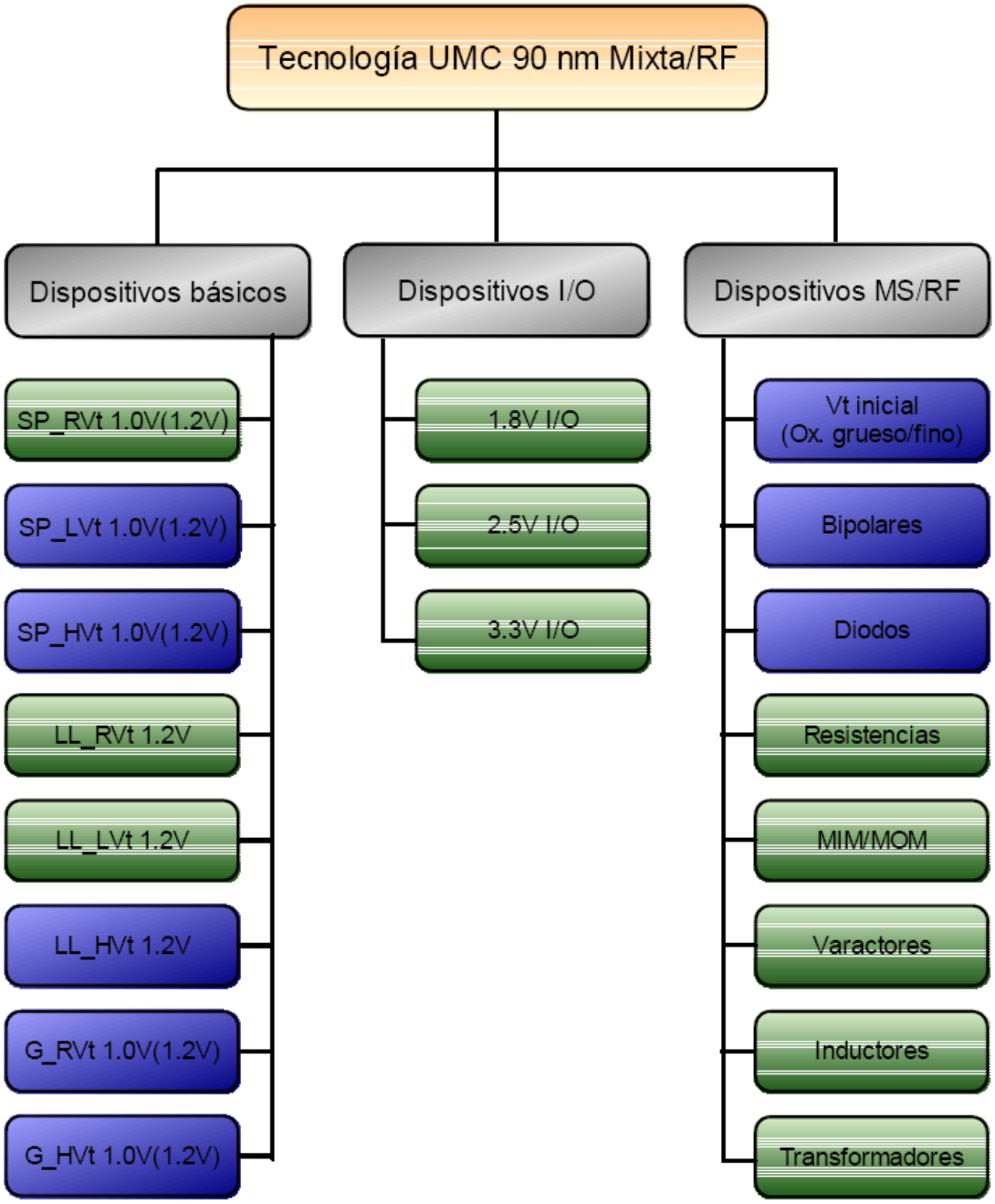


Figura 3.2 **Dispositivos de la tecnología 90nm de UMC para señal mixta y RF**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

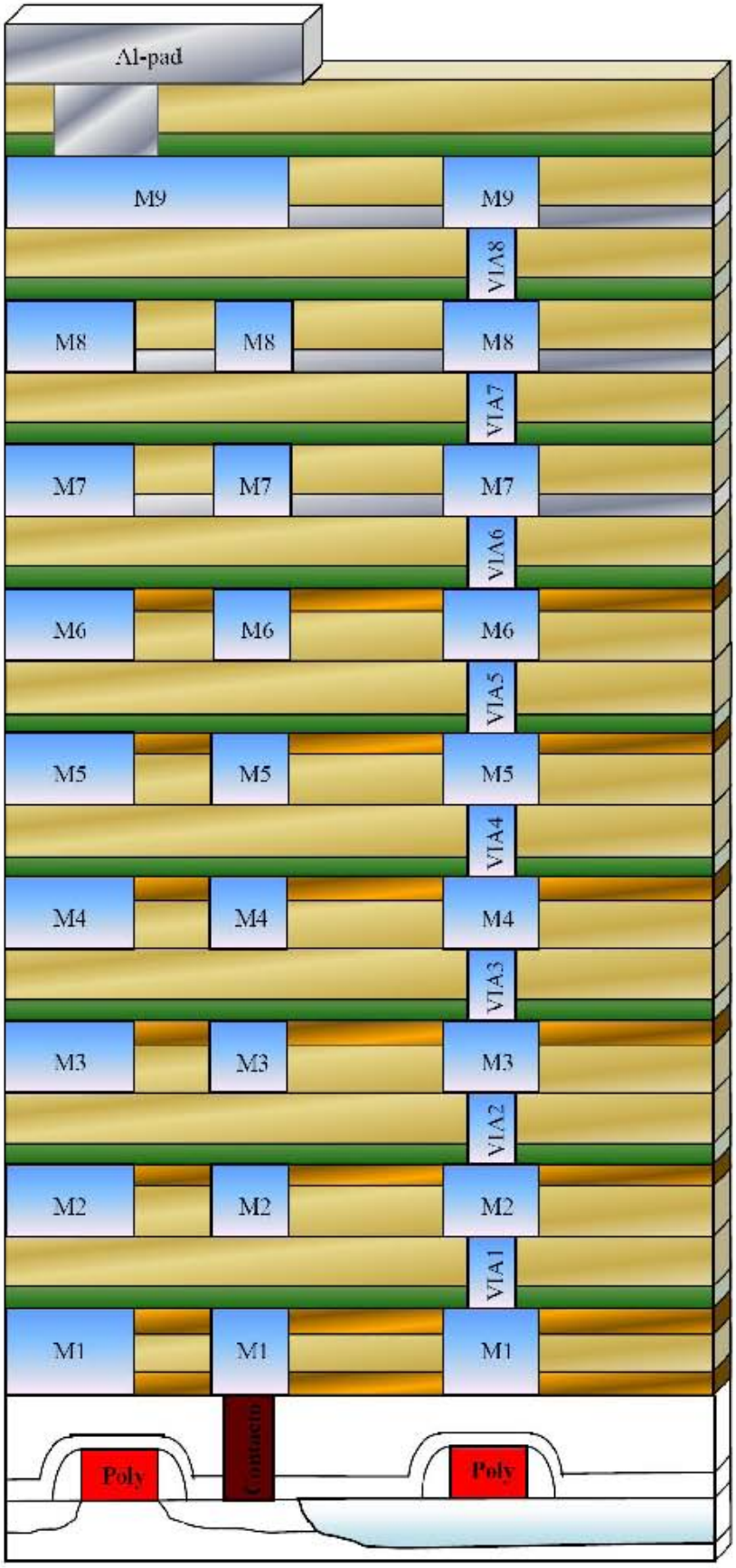


Figura 3.3 **Sección transversal de la tecnología 90nm de UMC**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

El kit de diseño de fundición de UMC 90nm, ofrece 19 opciones diferentes de metal. Cada opción de metal define las capas de metal que se utilizan. La opción por defecto es la opción 13, que utiliza 9 niveles de metal (1P9M). La Tabla 3. 1 resume los componentes de las capas presentes en la opción 13, que será la que se utilice en este proyecto.

Tabla 3. 1 Opción 13 de UMC 90nm

Opción 13	Número Total de niveles de capas	METAL1	Capa 1X METAL	Capa 2X METAL	Capa 4X30K METAL	Componentes de capas en las reglas de diseño
13	9	1	5	2	1	M1,V1,M2,V2, M3,V3,M4,V4, M5,V5,M6,V6, M7,MIM,V7, M8,V8,M9,L1, L2,L3

3.3 Metodología de diseño orientada a la fabricación

UMC ofrece soluciones óptimas para el diseño orientado a la fabricación (*Design For Manufacturability* o DFM) para abordar de forma eficaz y eficiente los factores que pueden afectar negativamente al rendimiento y al comportamiento en los diseños de tecnología avanzada. Las soluciones de UMC para DFM incluyen los modelos de proceso avanzado incorporados en SPICE, los archivos de la tecnología y las bibliotecas compatibles con DFM e IP (*Intelectual Property*) que abarcan la complejidad del proceso de fabricación. Existen unas reglas concisas de recomendación en el DFM.

La fundidora también ofrece corrección de proximidad óptica *pre-tapeout* (*Optical Proximity Correction* o OPC) y chequeo de reglas litográficas (*Litho Rule Check* o LRC) para diseños personalizados, además del servicio *post-tapeout* estándar que incluye OPC,

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

simulaciones del chequeo litográfico (*Check Litho Simulation* o LSC), relleno (*Dummy fill*) y ranurado de metal.

3.4 Flujo de diseño MS/RF y FDK

El kit de diseño de fábrica o *Foundry Design Kit* (FDK) proporciona a los diseñadores de Circuitos Integrados (IC) un entorno de diseño automatizado. La Figura 3.4 muestra el flujo de diseño para Señal Mixta y Radiofrecuencia. La metodología permite el acceso al diseño a nivel de esquemático y simulación, *layout* y verificación de *layout* con modelos precisos de dispositivos RF.

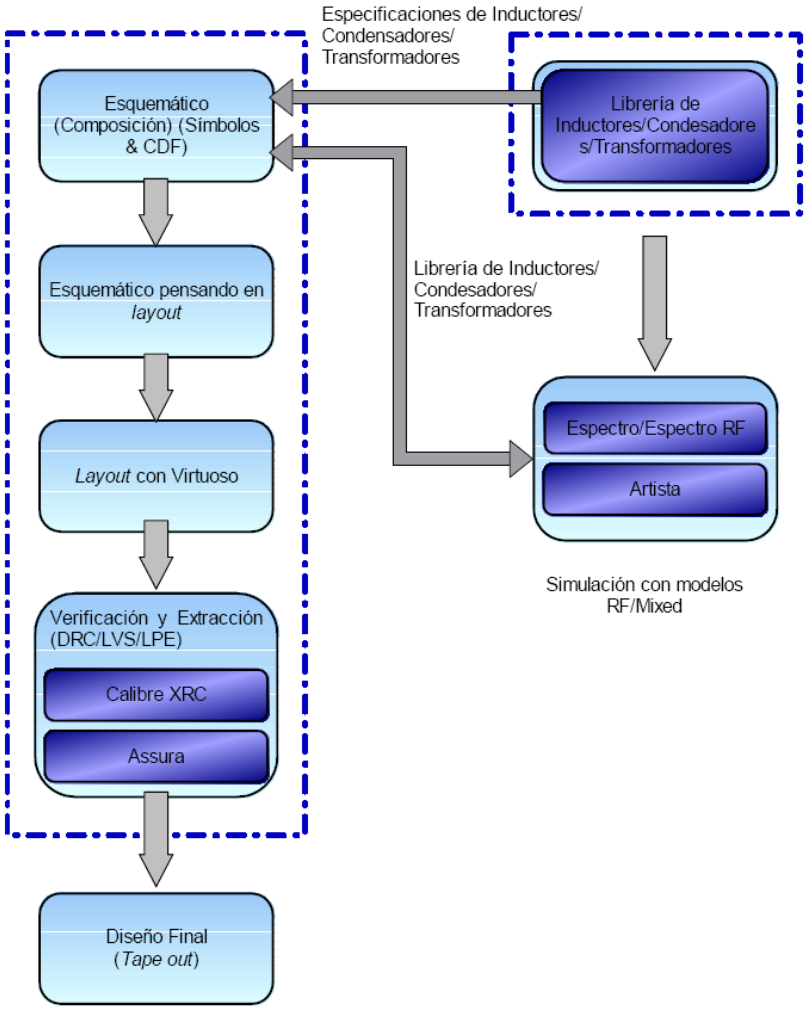


Figura 3.4 Esquema de diseño MS/RF y FDK

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

En la Figura 3.5 se muestran las herramientas EDA soportadas para realizar el flujo de diseño de los circuitos integrados. En ella se observa entre otras los *software* que se van a utilizar en el proyecto, como son ADS [Ads] o Cadence [Cad]. Además se observan el conjunto de paquetes necesarios en cada herramienta según el flujo de diseño que se esté realizando.

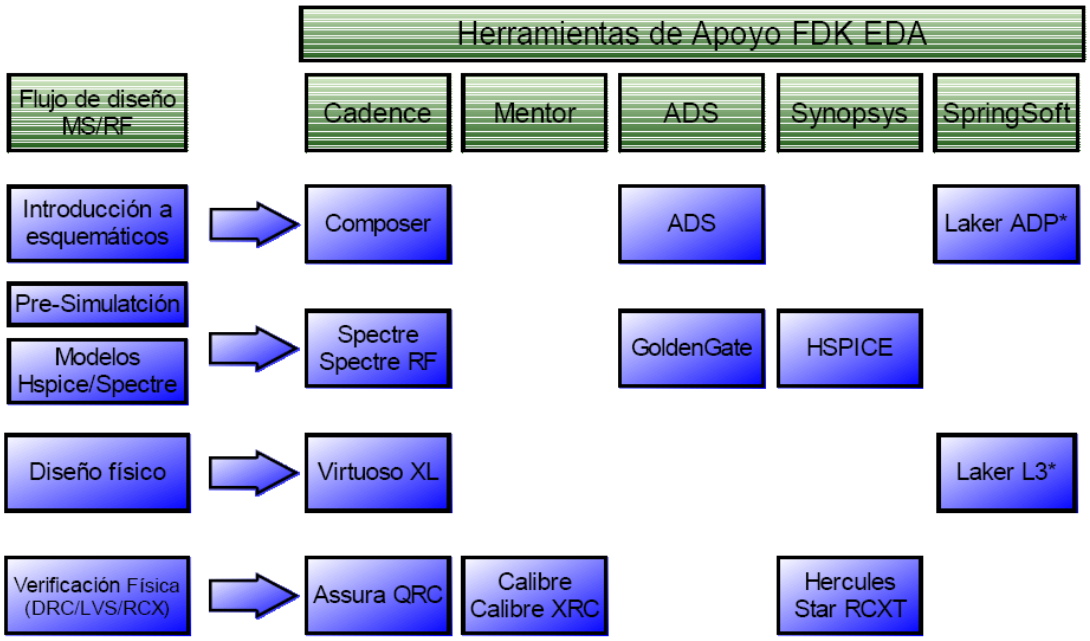


Figura 3.5 Metodología y herramientas de diseño

3.5 Conclusiones

A lo largo de este capítulo se ha conseguido dar una visión algo más profunda de la tecnología CMOS de 90nm suministrada por la empresa UMC. En los siguientes capítulos se explicará el funcionamiento de los moduladores Sigma-Delta y se pasará al diseño de los bloques que componen el mismo empleando esta tecnología.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Capítulo 4

La Modulación Sigma-Delta

El primer antecedente de lo que se conoce como modulador Sigma-Delta, fue patentado por C. C. Cutler en 1960. Éste consistía en un codificador de señal sobremuestrado, que empleaba un bit de cuantificación. Posteriormente, en 1962, H. Inose e Y. Yasuda publicaron un convertidor A/D que denominaron modulador Delta-Sigma, ya que combinaba los principios de la modulación Delta, ya conocida, con un integrador (actualmente se emplean indistintamente ambos nombres: Delta-Sigma o Sigma-Delta) [Sch05]. Pero no fue hasta mediados de los años 80 cuando estos moduladores empezaron a desarrollarse y utilizarse ampliamente. La publicación de J.C. Candy en 1985 de un modulador Sigma-Delta de segundo Orden [Can85] constituyó el punto de inflexión. Desde entonces hasta ahora diferentes investigadores y empresas han trabajado en numerosas implementaciones de moduladores Sigma-Delta.

En este capítulo explicaremos el funcionamiento de los moduladores Sigma-Delta y los problemas de estabilidad que presentan los mismos. Además, veremos las ventajas y desventajas de emplear moduladores Sigma-Delta en Tiempo Continuo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

4.1 Fundamentos de la modulación Sigma-Delta

Para ilustrar el principio de funcionamiento de un modulador Sigma-Delta hemos tomado la arquitectura básica de la Figura 4.1. El modulador Sigma-Delta clásico de primer orden está compuesto por un integrador, un muestreador, un cuantificador uniforme de un bit y un convertidor digital analógico (DAC) en el camino de realimentación.

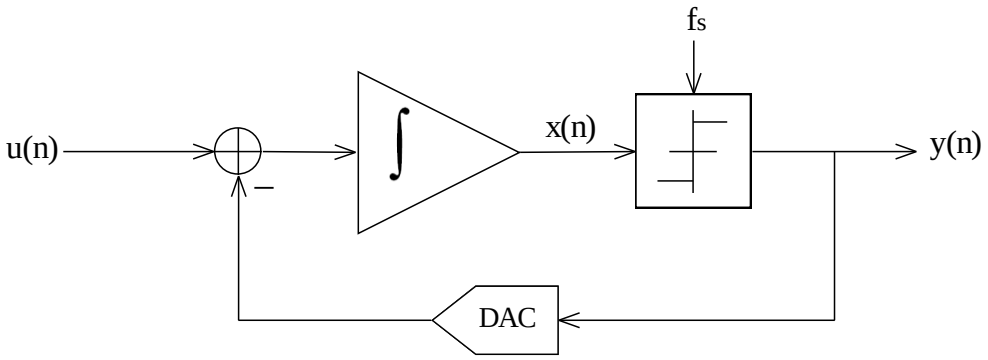


Figura 4.1. Modulador Sigma-Delta Clásico

El modulador de primer orden es un ejemplo académico que nos servirá para explicar el funcionamiento de estos moduladores, ya que en la realidad nunca se utiliza debido a las limitaciones que presenta, las cuales veremos más adelante.

Si nos fijamos en el modulador, éste va reduciendo la diferencia que hay entre la entrada y la salida en pasos sucesivos. Si se promedia la salida, se observa que poco a poco esta se va acercando más al valor de la señal de entrada. En teoría, si se promedian infinitas muestras a la salida del modulador, el error del sistema quedaría reducido a 0.

El sistema así formado es fuertemente no lineal. Sin embargo, es posible establecer un modelo lineal suponiendo que el cuantificador es una fuente de ruido blanco, uniformemente distribuido, y no correlado con la señal de entrada. Esta aproximación, ampliamente utilizada en diversos sistemas que incluyen cuantificadores, es válida bajo las condiciones descritas en [Gra97]. El ruido aportado por el cuantificador es considerado aditivo a la salida del integrador, tal como muestra la Figura 4.2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

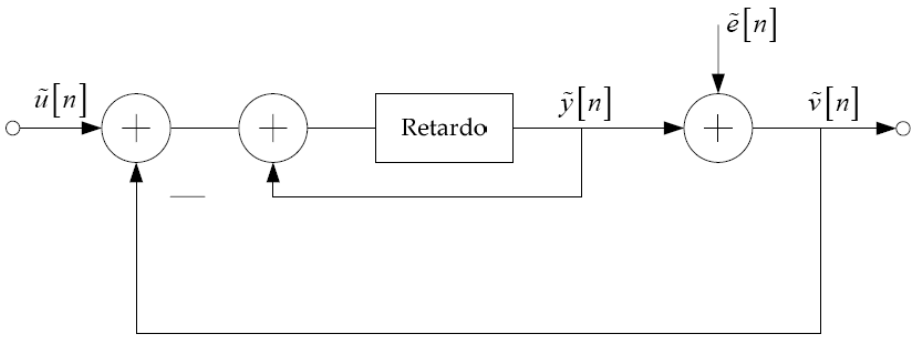


Figura 4.2. Modulador Sigma-Delta lineal

Empleando la teoría de sistemas lineales (ecuación (4- 1)), se puede demostrar que la salida está compuesta por la suma de la señal de entrada filtrada y el ruido de cuantificación filtrado. Al aplicar la transformada Z sobre el sistema (ecuación (4- 2)) observamos que el camino de filtrado del ruido de cuantificación es diferente del camino de filtrado de la señal de entrada.

$$\tilde{v}[n] = \tilde{u}[n-1] + (\tilde{e}[n] - \tilde{e}[n-1]) \qquad \textbf{(4- 1)}$$

$$V(z) = z^{-1}U(z) + (1 - z^{-1})E(z) \qquad \textbf{(4- 2)}$$

Como observamos, el modulador actúa como un elemento de retardo para la entrada (U) y como un filtro paso alto para el ruido de cuantificación (E). Esto demuestra que tal y como se muestra en la Figura 4.3, el ruido de cuantificación queda atenuado en una determinada banda de frecuencia próxima a cero. El ruido de cuantificación que queda fuera de la banda de interés podremos filtrarlo digitalmente con posterioridad. La etapa de filtrado digital incorpora usualmente un filtro de diezmado.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

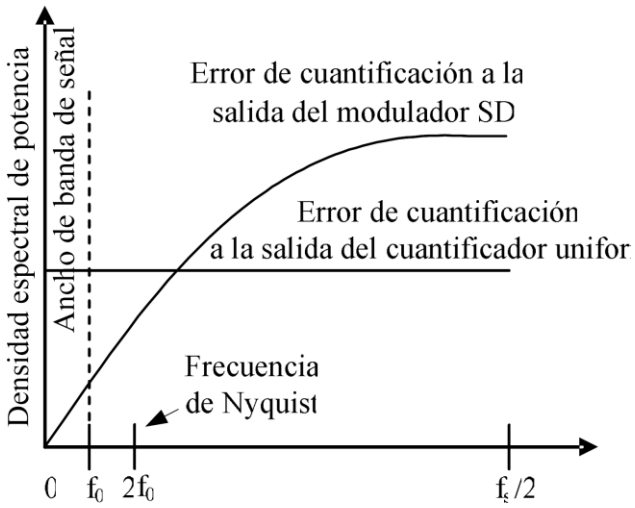


Figura 4.3. Actuación de un modulador Sigma-Delta

A la relación entre la frecuencia de muestreo empleada en la modulación y la frecuencia de Nyquist se le denomina relación de sobremuestreo , OSR (*Over Sampling Rating*) (ecuación (4-3)).

$$OSR = \frac{f_s}{f_N} = \frac{f_s}{2 f_B} \qquad \textbf{(4- 3)}$$

donde f_S es la frecuencia de muestreo, f_N la frecuencia de Nyquist y f_B el ancho de banda del modulador.

Para aumenta la resolución del modulador podemos incrementar el orden de filtrado, el número de bits empleados en la cuantificación y/o incrementar la OSR.

En general podemos definir dos funciones de transferencia asociadas a un modulador Sigma-Delta. Una función de transferencia para el ruido de cuantificación o NTF (*Noise Transfer Function*) y otra función de transferencia distinta para la señal de entrada o STF (*Signal Transfer Function*). La señal de salida del modulador Sigma-Delta la podemos expresar en función de estas dos funciones de transferencia según la ecuación (4- 4). La Figura 4.4 muestra el diagrama de bloques general de un modulador Sigma-Delta totalmente discreto, en el cual el proceso de muestreo de la señal ocurre fuera del bucle de realimentación.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

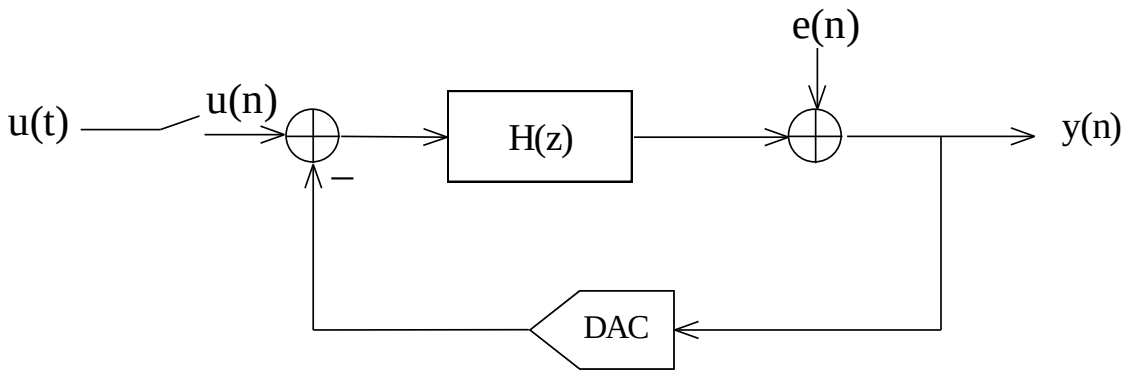


Figura 4.4. Modulador Sigma-Delta discreto

$$Y(z) = STF(z) \cdot U(z) + NTF(z) \cdot E(z) = \frac{H(z)}{1+H(z)} U(z) + \frac{1}{1+H(z)} E(z) \qquad \textbf{(4- 4)}$$

De la ecuación (4-4) podemos ver que los polos de H(z) serán los ceros de la NTF(z), y que para frecuencias donde H(z) >>1, $Y(z) \approx U(z)$.

Si incrementamos el orden de filtrado del modulador, esto supone un incremento de la NTF. Cuanto más agresiva es la NTF más resolución puede tener el modulador, aunque, como podemos ver en la literatura [Sch05], cuanto mayor sea el orden del modulador, mayores serán los problemas de estabilidad con los que nos encontraremos. Normalmente, un modulador Sigma-Delta lo especificamos a través de su NTF.

La resolución de un modulador Sigma-Delta se define en base a la relación máxima de señal a ruido (SNR) que puede obtenerse en su señal de salida. En un cuantificador uniforme, podemos estimar de forma aproximada la SNR máxima con la ecuación (4- 5) [Joh97].

$$SNR_{uniforme} = 6{,}02N + 1{,}76dB \qquad \textbf{(4- 5)}$$

donde N es el número de bits del cuantificador.

Teniendo en cuenta la ecuación (4- 5), definimos la resolución de un modulador Sigma-Delta con la ecuación (4- 6).

$$ENOB = \frac{SNR_{máxima}(dB) - 1.76}{6.02} bits \qquad \textbf{(4- 6)}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

donde ENOB se refiere al número de bits efectivos del convertidor A/D obtenido.

Tal como hemos dicho al principio de este apartado, los moduladores Sigma-Delta de primer orden tienen solamente una función académica. El motivo es debido a que el propio modulador introduce ruido en la banda de la señal cuando la entrada es una señal continua o de muy baja frecuencia. Esto es, cuando el modulador recibe una señal en continua intenta llegar a un error de valor nulo, cuando lo alcanza vuelve a empezar la misma búsqueda. Si no hay ruido en la entrada, este proceso será cíclico, con una periocidad que dependerá del valor de la señal de entrada. Y, en caso de que este periodo sea lo suficientemente largo, su frecuencia podría entrar dentro de la banda base, y por lo tanto, no sería eliminada. Esto introduce señales periódicas en la señal de salida (*idle tones*) [Can81].

Existen diversos métodos para solucionar este problema, como añadir ruido a la señal de entrada. O, también existen otras posibilidades como aumentar el orden del modulador. Con esta última solución, además de evitar los *idle tones* [Can85], aumentaremos la SNR.

Como hemos visto, el modelo lineal sirve para estimar la resolución y características de los moduladores de una forma rápida. Sin embargo, deja de funcionar cuando alguna de las condiciones descritas en [Gra97] deja de cumplirse razonadamente bien. Dos casos en los que el modelo lineal no funciona son los siguientes: la generación de tonos no deseados (*idles tones*) en el espectro de salida explicada anteriormente, y la inestabilidad del modulador. Ambos problemas han sido tratados ampliamente en la literatura [Nor97].

4.2 Estabilidad de los moduladores Sigma-Delta

Con el modelo de la Figura 4.2, el cual supone el cuantificador lineal, la estabilidad del sistema vendrá determinada solamente por el filtro de lazo H(z). Sin embargo, a la hora de analizar la estabilidad tendremos que tener en cuenta que el cuantificador no es ideal y, por lo tanto influirá en ésta [Sch05]. Para entender esto, si tenemos una señal demasiado grande, la entrada del primer integrador será positiva en todo el intervalo y, la salida del mismo crecerá sin límite haciendo el lazo inestable.

El rango de magnitudes de entrada sobre las que el modulador funciona correctamente es llamado rango de entrada estable. La operación del modulador será correcta si el filtro de lazo permanece lineal (las señales de entrada no saturan los elementos activos) y si el cuantificador no

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

es sobrecargado. Por lo tanto, el rango de entrada estable debe ser menor o igual que el fondo de escala (FS) del DAC de realimentación, especialmente si empleamos una cuantificación de un bit este rango debería ser un poco menor al FS. Esta pérdida en el rango se debe a los efectos no lineales de la sobrecarga del cuantificador, más que de que haya un rango lineal insuficiente en el filtro de lazo.

Si la NTF es todo lo que necesitamos para describir las propiedades de estabilidad de un modulador de un bit, una cuestión importante será "¿Qué características de la NTF serán necesarias para que el modulador sea estable?". Desafortunadamente, no existe una respuesta simple y exacta [Sch05]. Los resultados probados son generalmente demasiado restrictivos o aplicables solamente para moduladores específicos con entradas constantes. El criterio de estabilidad más usado es el criterio de Lee [Nor97] el cual nos dice:

Un modulador Sigma-Delta binario con una NTF(z) es probable que sea estable si $\max\left|NTF\left(e^{jw}\right)\right| < 1.5$

Donde $\max\left|NTF\left(e^{jw}\right)\right|$ es la ganancia máxima de la NTF en todas las frecuencias, además conocida como la norma infinito de la NTF (cuya notación matemática es $\left\|NTF\right\|_{\infty}$). Este criterio no es ni necesario ni suficiente para garantizar que un sistema sea estable. No obstante, debido a su simplicidad, es ampliamente usado.

4.3 Métodos de Simulación

Para caracterizar el comportamiento de un Modulador Sigma-Delta, debemos tomar la cadena de bits generados a su salida. La cuestión es cómo generamos esta cadena de bits en una simulación. Debido a la no linealidad del cuantificador, determinar los bits de salida analíticamente es muy difícil. Por lo tanto, lo habitual es realizar una simulación en el dominio del tiempo. El principal problema en estos sistemas es que existe un equilibrio entre la realidad y la simulación: cuanto más exacto modelemos el comportamiento de un sistema, mayor será el tiempo que requerirá para realizar la simulación.

Un modulador Sigma-Delta en tiempo discreto puede definirse, como sabemos, por un sistema de ecuaciones. Por lo general, el modulador de la Figura 4.4 podemos describirlo con la

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

ecuación lineal (5- 1) para la entrada del cuantificador en términos de la entrada del circuito y la salida del cuantificador.

$$X(z) = H(z)U(z) - H(z)Y(z) \qquad \textbf{(5- 1)}$$

Sabemos que H(z) es una función racional de z y que, por lo tanto, realizar la transformada Z inversa de la ecuación anterior es algo trivial. Esta transformada inversa deja una expresión de x(n) en términos de muestras anteriores de u, x e y (ecuación (5- 2)).

$$x(n) = \sum_{k=1}^{m} a_k x(n-k) + \sum_{k=1}^{m} b_k u(n-k) + \sum_{k=1}^{m} c_k y(n-k) \qquad \textbf{(5- 2)}$$

donde a_k, b_k y c_k son constantes que pueden sacarse de H(z). Para cada x(n) de la ecuación anterior tendremos una y(n) ya que asumimos un cuantificador ideal. Para un cuantificador de un bit esta y(n) tomará los valores de la ecuación (5- 3).

$$y(n) = \begin{cases} +1, & x(n) \geq 0 \\ -1, & x(n) < 0 \end{cases} \qquad \textbf{(5- 3)}$$

Aplicando las dos últimas ecuaciones para n=1, 2, …, N en un lenguaje de programación de alto nivel como puede ser Matlab o C tendremos un método rápido para determinar la cadena de bits de salida. Esta simulación es rápida, pero tiene un problema ya que no es adecuado representar un circuito práctico por sus ecuaciones ideales, puesto que los resultados de la simulación no se corresponderán con la realidad. En algunos casos, podemos describir el circuito a nivel de transistores de forma que tenemos una simulación más real del comportamiento del circuito, para esto podemos emplear herramientas apropiadas como puede ser ADS [Ads] o Cadence [Cad]. Pero en estos casos aunque podamos modelar prácticamente todas las no idealidades que afectan al comportamiento de nuestro circuito, tendremos que esperar horas e incluso días para poder obtener a la salida una cadena de bits lo suficientemente larga como para poder realizar la FFT.

Afortunadamente, existe más de una aproximación donde podemos conseguir una buena precisión a una velocidad de simulación aceptable. Diversos programas, como Simulink de Matlab [Mat], nos permiten definir un sistema a nivel de bloques con la función de cada bloque controlada por el usuario, lo cual nos permite realizar un prototipado de los Moduladores Sigma-Delta en el cual podremos incluir no idealidades usando los bloques apropiados.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

En este proyecto empleamos Simulink para simular el comportamiento del modulador diseñado. Posteriormente, los datos obtenidos en estas simulaciones las procesamos en Matlab como se muestra en la Figura 4.5. Estas simulaciones nos permiten hacernos una idea del comportamiento que tendrá el circuito en un tiempo de simulación aceptable.

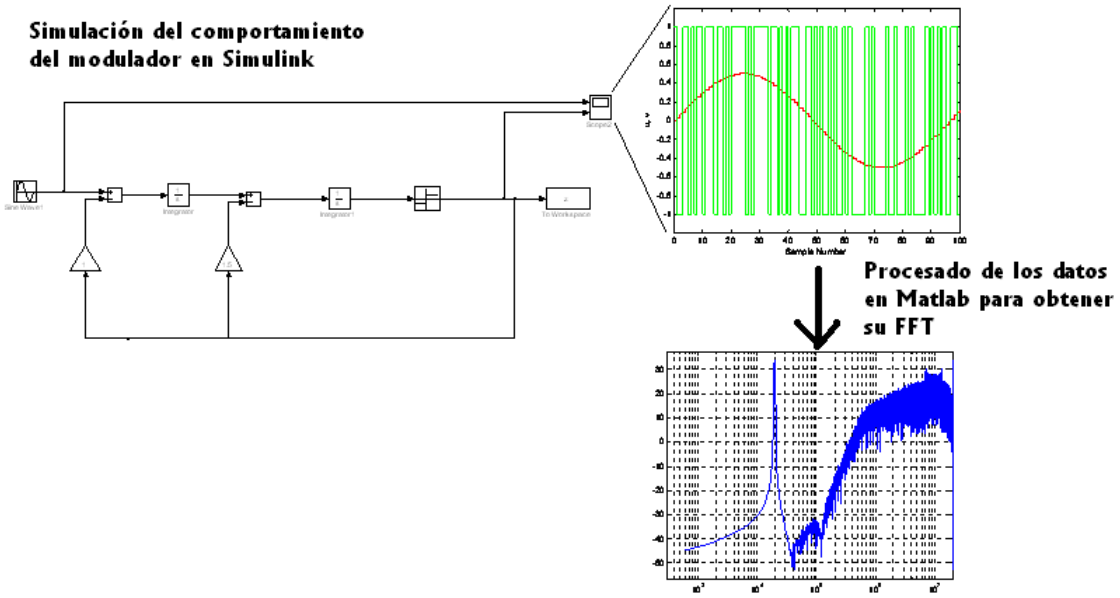


Figura 4.5. Simulación de un modulador Sigma-Delta en Simulink

4.4 Moduladores Sigma-Delta en Tiempo Continuo

La mayoría de los moduladores Sigma-Delta que se vienen implementando en los últimos tiempos emplean las técnicas de condensadores conmutados [Bai96], ya que es relativamente fácil aplicar las matemáticas del modulador en su implementación. Sin embargo, la frecuencia de muestreo de los moduladores en tiempo discreto está limitada por los tiempos de establecimiento de las etapas del filtrado del modulador. Idealmente, la resolución del modulador está determinada por el orden del filtro, la relación de sobremuestreo y el número de niveles del cuantificador. Por tanto, si es posible incrementar la frecuencia de muestro, manteniendo lo demás, el ancho de banda del modulador se verá incrementado sin perder resolución.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Una forma de conseguir velocidades mayores en el reloj de muestreo consiste en implementar el filtro del modulador con circuitos en tiempo continuo (Figura 4.6), tales como circuitos LC, integradores Gm-C o integradores basados en amplificadores operacionales [Jen95].

La limitación de la frecuencia de muestreo de los moduladores Sigma-Delta en Tiempo Discreto es lo que nos ha decidido realizar un modulador en Tiempo Continuo puesto que la frecuencia de referencia empleada en el sintetizador es de 40 MHz.

Los moduladores Sigma-Delta en Tiempo Continuo (SDTC) tienen una serie de ventajas con respecto a los moduladores Sigma-Delta en Tiempo Discreto (SDTD), pero también presentan una serie de inconvenientes [Che00].

Los moduladores SDTC son capaces de trabajar a mayores velocidades de reloj de muestreo que los moduladores SDTD. La razón es que el ancho de banda de los dispositivos activos se puede reducir ya que operan con señales continuas y no discretas. Por otra parte, en los moduladores SDTC no aparecen *glitches* en los nodos de masa virtual de los amplificadores operacionales usados, lo que sí ocurre cuando empleamos circuitos con condensadores conmutados. Otro problema importante que presentan los moduladores SDTD es el fenómeno de *aliasing*, debido a que dos señales separadas por un múltiplo de la frecuencia de muestreo son indistinguibles. Por tanto, los moduladores SDTD necesitarán un filtro *antialiasing* a su entrada. Sin embargo, esto puede evitarse en los moduladores SDTC debido a las características propias de filtrado que poseen [Che00].

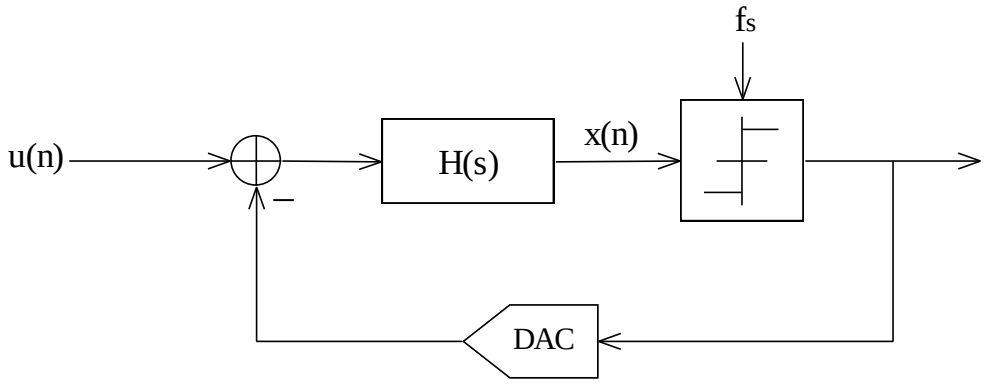


Figura 4.6. Modulador Sigma-Delta en tiempo continuo

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

A parte de las ventajas que los moduladores SDTC presentan frente a los moduladores SDTD, para su diseño tendremos que tener en cuenta una serie de problemas asociados a éstos [Che00].

Los moduladores SDTC siguen teniendo los problemas asociados a la incertidumbre del instante de muestreo, o lo que es lo mismo, al *jitter* de la señal de reloj [Che00] y a la metaestabilidad del comparador, pero con más influencia sobre la resolución final que en los moduladores SDTD. El mecanismo de producción del *jitter* del reloj es de origen aleatorio y está incorrelado con la entrada. Sin embargo, el mecanismo por el cual se acopla a la señal de salida es complicado [Pat04].

Además, en los moduladores SDTC existe un retraso entre el instante de muestreo y el instante en que se actualiza la salida del DAC como consecuencia del muestreo. Aunque idealmente la corriente de salida del DAC responde inmediatamente al flanco del reloj de muestreo, en la práctica los transistores de los registros del cuantificador y el DAC no pueden conmutar instantáneamente. Este retardo que se origina en el camino de realimentación se denomina retardo de bucle en exceso o ELD (*Excess Loop Delay*). En los moduladores SDTD no existe un problema análogo por lo que este retardo es característico de los moduladores SDTC. El ELD ha sido ampliamente estudiado por varios investigadores. Una de las contribuciones más detalladas y extensas se puede encontrar en [Che00].

Todos los estudios y trabajos sobre el efecto del ELD en los moduladores SDTC concluyen en que causa un aumento de la inestabilidad del sistema, y como consecuencia, un decremento de la resolución alcanzable. Por este motivo, los diferentes investigadores han buscado algún método de compensación.

Básicamente existen dos técnicas de compensación publicadas en la literatura. La primera, y más extendida, consiste en hacer una compensación polo-cero en el dominio discreto [Che00]. La implementación más extendida de este método consiste en añadir un camino de realimentación alrededor del cuantificador [Ben97], [Luh00]. La ventaja de esta implementación es que las no idealidades del DAC que hay que incluir están conformadas por la NTF del modulador. El inconveniente es que esta compensación puede resultar poco robusta si no se tienen en cuenta las no idealidades del sistema cunado llevamos a cabo la conversión del modulador SDTD en un modulador SDTC.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

La segunda técnica de compensación consiste también en añadir un cero a H(s). En este caso, en lugar de buscar la cancelación polo-cero en el dominio discreto, el cero se coloca a la frecuencia fija fs/2 [Luh00]. Esto mejora el comportamiento del sistema sin perder mucha resolución, aunque si el ELD es muy grande puede resultar insuficiente.

4.5 Conclusiones

En este capítulo hemos visto una introducción al funcionamiento de la modulación Sigma-Delta tanto continua como discreta. Además, se han visto las ventajas y desventajas que presentan los moduladores SDTC frente a los moduladores SDTD. Como ya hemos nombrado la principal causa de la elección en este proyecto de que nuestro modulador sea en tiempo continuo se debe a la frecuencia de reloj que hemos de usar, que para un modulador SDTD podría resultar muy elevada.

En el siguiente capítulo veremos cómo llevar a cabo el diseño de un modulador SDTC empleando dos metodologías diferentes. Además, veremos los pasos seguidos para el diseño de un modulador a nivel de sistema.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Capítulo 5

Metodología de Diseño

Cuando hablamos del diseño de moduladores Sigma-Delta, la mayor parte de la información que encontramos hace referencia a moduladores SDTD. Sin embargo, como veremos más adelante, podemos diseñar un modulador SDTD y después encontrar su equivalente en tiempo continuo [Che00].

También es posible diseñar un modulador SDTC completamente en el dominio analógico. Esta metodología [Bre01] se basa en diseñar un filtro analógico H(s) de forma que tengamos un sistema estable y, además, que cumpla con unas especificaciones determinadas (SNR, DR, etc.).

En este capítulo veremos cómo diseñar moduladores SDTC usando dos métodos diferentes y empleando diferentes herramientas que nos faciliten dicha tarea.

Además, veremos un ejemplo de diseño de un modulador SDTC a nivel de sistema. Como ya hemos nombrado, en este proyecto la frecuencia de reloj es de 40MHz. Sin embargo,

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

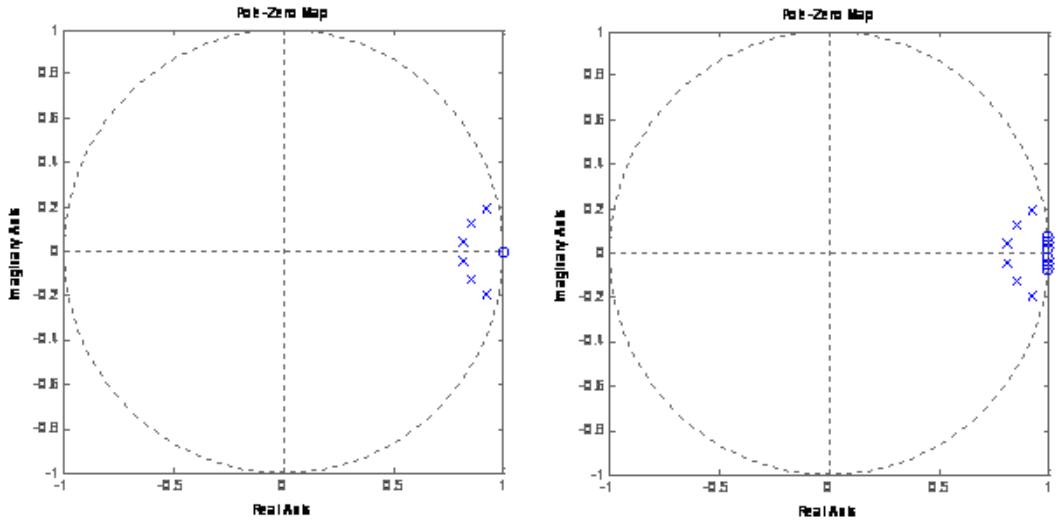
en las pruebas hemos decidido emplear una frecuencia de muestreo de 20MHz, esto se ha decidido porque cuando realizamos el diseño en Cadence [Cad] el tiempo de simulación se nos reducirá a la mitad. El siguiente paso, una vez conseguido que nuestro modulador funcione a nivel de circuito, sería rediseñarlo para una frecuencia de 40MHz, lo cual nos resultaría más fácil puesto que ya tendríamos un conocimiento previo de diseño.

5.1 Diseño de la NTF

Dado que la NTF juega un papel muy importante en cualquier modulador Sigma-Delta, explicaremos el diseño de esta función de una manera detallada, haciendo énfasis en las técnicas que nosotros hemos aplicado. Antes de empezar su diseño tendremos que elegir el tipo de modulación, es decir, si será paso bajo, paso banda o en cuadratura.

Generalmente, podemos decir que existen dos maneras de diseñar una NTF [Sch05]. Éstas se basan en la localización de los polos y los ceros del filtro. En la primera, los ceros de la NTF coinciden y, en la segunda, estos ceros estarán optimizados. Es decir, en la primera todos los ceros estarán en el medio de la banda de la señal deseada (Figura 5.1 a) para atenuar el ruido en ésta, y, en la segunda, la NTF estará optimizada y sus ceros estarán esparcidos a lo largo de toda la banda de interés maximizando la atenuación en toda la banda (Figura 5.1 b). La diferencia de la respuesta en magnitud entre ambas funciones se muestra en la 5.2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013



A **B**

Figura 5.1 **Diagrama de Polos y Ceros. A) NTF sin optimizar, B) NTF optimizada**

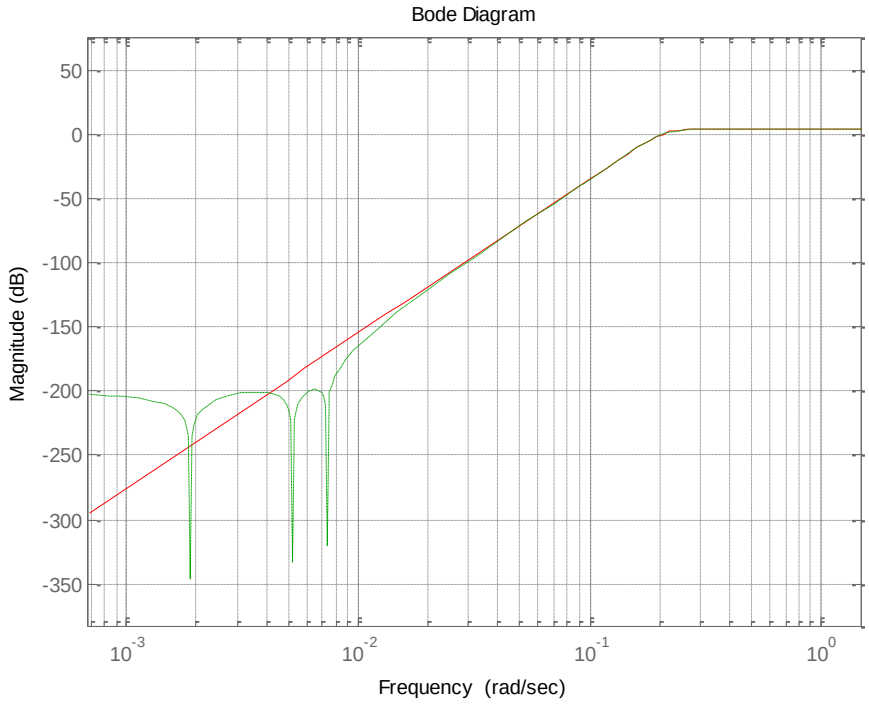


Figura 5.2 **Respuesta en magnitud de la NTF sin optimizar (rojo) y optimizada (verde)**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Para evitar el uso extra de hardware en la implementación, es deseable tener una NTF y STF con los mismos polos. Los polos de la NTF no juegan un papel importante en el rendimiento del sistema. La localización de los polos viene determinada por el tipo de filtro que elijamos. Hay diferentes tipos de filtros que podemos emplear, según las características que deseemos que cumpla nuestro modulador, como pueden ser filtros Chebyshev, Butterworth, etc [Sch05].

Por lo tanto, a la hora de diseñar la NTF tendremos que tener en cuenta el orden del modulador, el número de niveles de cuantificación, la opción de minimizar o no la potencia eficaz de ruido en el ancho de banda del sistema (es decir, la localización de los ceros de la NTF, distribuidos o no), la relación de sobremuestreo y la norma infinito.

Como ya hemos dicho, el diseño de la NTF es el primer y el paso más importante a la hora del diseño de un modulador Sigma-Delta a nivel de sistema, por lo tanto, lo primero que hemos hecho es un exhaustivo estudio de las diferentes maneras de realizar el filtro. El primer método será el cálculo a mano. Sin embargo, este método, aparte de ser vulnerable a errores, es bastante trabajoso. Las alternativas a este método son herramientas CAD (*Computer Aided Design*) que nos ayudarán a determinar la NTF deseada. Encontramos diversas herramientas [Ous90] [Jui05], sin embargo, nosotros nos hemos decantado por emplear el *toolbox delsig* de Matlab [Sch03] desarrollado por Dr. Richard Schreier. Esta herramienta es muy útil a la hora de diseñar moduladores Sigma-Delta reales en tiempo discreto. Además, este *toolbox* lo podemos descargar gratis de la página web *MathWorks* [Sch03].

5.2 Diseño de moduladores Sigma-Delta en Tiempo Continuo

El objetivo final de este proyecto es el diseño de un modulador SDTC. Existen muchas publicaciones acerca de cómo diseñar estos moduladores. En este apartado explicaremos dos metodologías diferentes para este propósito.

Como sabemos, existen diferentes herramientas CAD para diseñar la NTF de moduladores SDTD. Sin embargo, no encontramos tanto material para el diseño de moduladores SDTC. Principalmente, podemos emplear dos métodos para el diseño de estos últimos los cuales explicaremos en este apartado.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Una de las metodologías consiste en diseñar el modulador completamente en el dominio analógico [Bre01]. Este método puede resultar relativamente sencillo si empleamos herramientas CAD para el diseño de filtros analógicos ya que solo tendremos que especificar las características que deseemos del mismo: ancho de banda, tipo de filtro, etc. Como ejemplo de diseño hemos usado la herramienta *Filter Design Guide* de ADS (*Advanced Design System*) [Ads].

Sin embargo, la metodología más extendida consiste en diseñar primero un modulador en tiempo discreto para posteriormente encontrar su equivalente en tiempo continuo empleando la respuesta invariante al impulso [Che00]. En este caso podríamos emplear por ejemplo el *toolbox delsig* de Matlab [Sch03] para realizar un modulador SDTD y, posteriormente, encontrar su equivalente en tiempo continuo usando dicha metodología.

5.2.1 Diseño de moduladores Sigma-Delta en Tiempo Continuo totalmente en el Dominio Analógico

Como hemos dicho, uno de las alternativas para el diseño de un modulador SDTC consiste en el diseño completo en el dominio del tiempo continuo [Bre01].

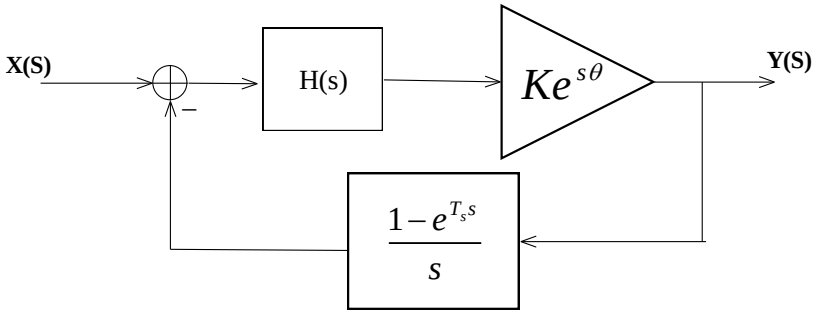


Figura 5.3 Modulador SDTC

En la Figura 5.3 vemos un modulador SDTC donde el cuantificador se ha modelado con una ganancia lineal y una fase θ. El método consistirá en diseñar un filtro analógico de forma que cumplamos con las especificaciones que hemos fijado (SNR, DR, etc.) y que el sistema sea estable. Tendremos que poner especial atención a la estabilidad del sistema para

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

señales de amplitud cercanas al fondo de escala del convertidor, como hemos explicado en el capítulo anterior.

Esta metodología tiene dos inconvenientes como consecuencia del modelo usado (Figura 5.3). En primer lugar, el modelo sólo es aplicable a los moduladores SDTC que empleen cuantificadores de un solo bit [Hof79]. Y, en segundo lugar, esta metodología no menciona cómo resolver de forma sistemática los clásicos problemas de los moduladores SDTC: el retardo de bucle en exceso y la sensibilidad a la incertidumbre del instante de muestreo.

Sin embargo, también podremos diseñar el modulador SDTC totalmente en el dominio analógico haciendo uso de herramientas CAD que nos ayuden con el diseño del filtro de lazo. En nuestro caso, a continuación veremos un ejemplo de diseño empleando la herramienta *Filter Design Guide* de ADS [Ads].

5.2.1.1 Ejemplo de diseño

Usando la herramienta ADS (*Advanced Design System*) [Ads] hemos diseñado un modulador Sigma-Delta como se muestra en la Figura 5.4 .

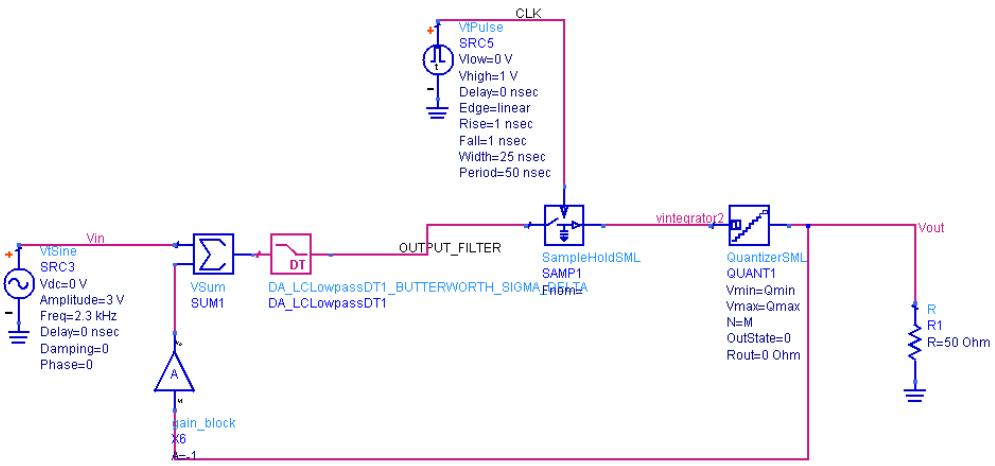


Figura 5.4 Modulador SDTC en ADS

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Todos los elementos de este modulador son ideales. Para el diseño del filtro hemos usado la herramienta *Filter Design Guide* [Ads] en la cual hemos indicado las característica que debe tener el filtro H(s). Nuestra intención es modelar el comportamiento de un modulador SDTC de 5º orden, por lo tanto elegimos un filtro de orden 5.

A la entrada del modulador tenemos una señal senoidal de 2,3KHz y la frecuencia del *Sample&Hold* es de 20MHz. Y, el cuantificador, es un cuantificador binario (2 niveles).

Los parámetros que hemos fijado del filtro son: las frecuencias donde debe estar la banda de paso (Fp=20KHz) y la banda de rechazo (Fs=35KHz), las impedancias de entrada (*Source*=50Ω) y salida (*Load*=50Ω), la amplitud en dB en las bandas de paso (Ap=3dB) y rechazo (As=20dB) y, por último, el tipo de respuesta del filtro, en nuestro caso para este ejemplo hemos elegido un filtro *Butterworth*. Una vez tenemos definidos todos los parámetros el asistente nos devolverá automáticamente el orden del filtro que en nuestro caso es 5. El filtro resultante se muestra en la Figura 5.5 .

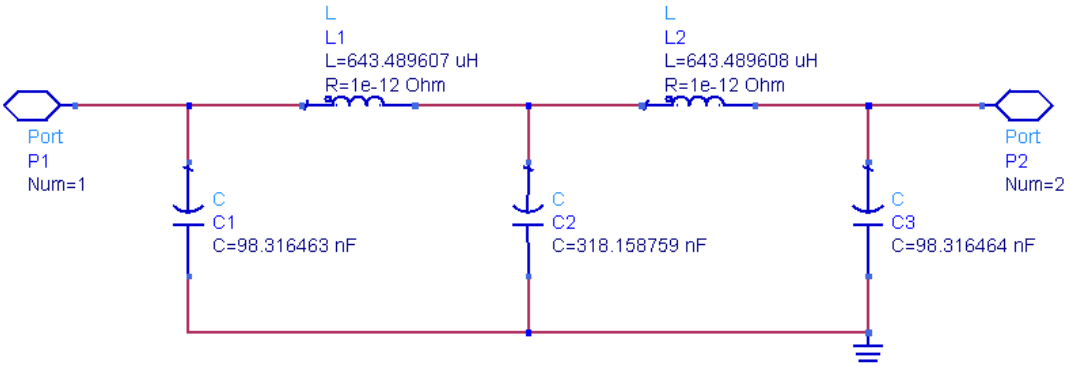


Figura 5.5 Filtro de diseño

Como sabemos, las bobinas son un problema a la hora de emplearlas en circuitos integrados debido al área que ocupan, por lo que podríamos sustituirlas por OTAs [Del06].

En la Figura 5.6 vemos el resultado de la simulación donde tenemos una SNR de aproximadamente 50dB.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

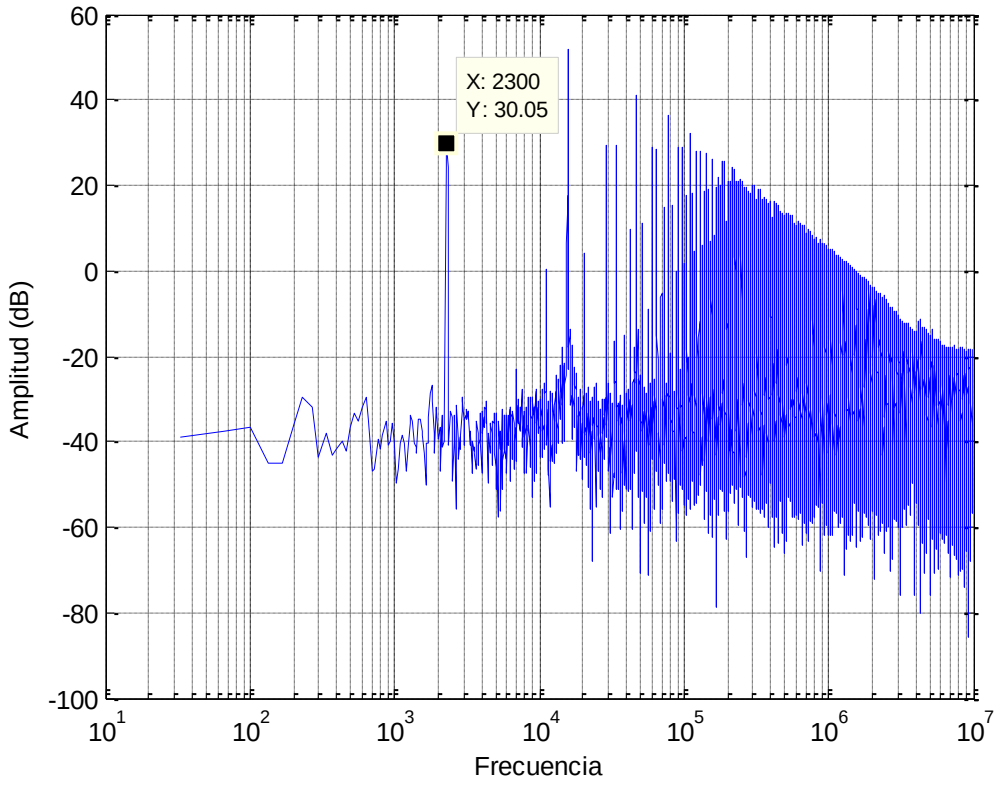


Figura 5.6 Resultado de la simulación en ADS

El problema con que nos encontramos usando esta herramienta son los largos tiempos de simulación. Además, no podemos hacer un estudio óptimo del sistema y trabajamos un poco "a ciegas" a la hora de elegir los parámetros del filtro. Por esto, hemos preferido emplear el método explicado en [Che00] que consiste en diseñar primero un modulador en tiempo discreto haciendo simulaciones mucho más rápidas empleando Simulink de Matlab [Mat], para posteriormente encontrar su equivalente en tiempo continuo utilizando la misma herramienta. Esto es posible gracias a la definición de equivalencia entre un sistema discreto y otro continuo dada por el método de la respuesta invariante al impulso explicado a continuación.

5.2.2 Diseño de moduladores Sigma-Delta en Tiempo Continuo basado en la Respuesta Invariante al Impulso

Como hemos dicho esta metodología consiste en especificar la NTF de un modulador SDTD para después, a través de una transformación matemática, encontrar una forma de implementar la NTF diseñada con un modulador SDTC.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

El primer investigador que empleó esta técnica fue James C. Candy. El trabajo que publicó en [Can85] ha sido ampliamente referenciado por muchos investigadores posteriores. El modulador que se describe en esta publicación se conoce como el modulador clásico o estándar de segundo orden. A partir de este modulador, diseñado en tiempo discreto con dos caminos de realimentación, encontró un modulador equivalente en tiempo continuo. El resultado que obtuvo es el mismo que resulta de aplicar el principio de la respuesta invariante al impulso.

Posteriormente han sido publicados algunos trabajos que usan una transformación bilineal [Bro90] o la transformada Z modificada [Hor90], bien para el diseño de los moduladores o bien para su modelado y simulación. Pero nosotros hemos preferido usar la respuesta invariante al impulso por considerarlo el método más ajustado a la realidad.

Para explicar esta equivalencia, primero tendremos que ver qué condición debe cumplirse para que dos moduladores sean equivalentes. Suponemos que tenemos dos moduladores a los cuales aplicamos la misma forma de onda. Si realizamos una simulación en cada uno y vemos que ambos producen la misma secuencia de bits a su salida, ambos moduladores serán equivalentes. Nosotros podemos garantizar que producirán la misma secuencia de bits si aseguramos que las entradas a los cuantificadores son exactamente las mismas en los instantes de muestreo.

Para ilustrar esta equivalencia, tomamos los moduladores de la Figura 5.7 . En el modulador de la Figura 5.7 a se muestrea la señal justamente antes del cuantificador, en lugar de que este muestreo esté implícito en el mismo, lo cual no cambiará el comportamiento del modulador. En el diagrama de abajo de la Figura 5.7 a podemos ver el diagrama en lazo abierto del modulador al cual se le ha anulado la señal de entrada. Haciendo lo mismo con el modulador de la Figura 5.7 b tendremos dos diagramas en lazo abierto (uno continuo y otro discreto) que podremos comparar.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

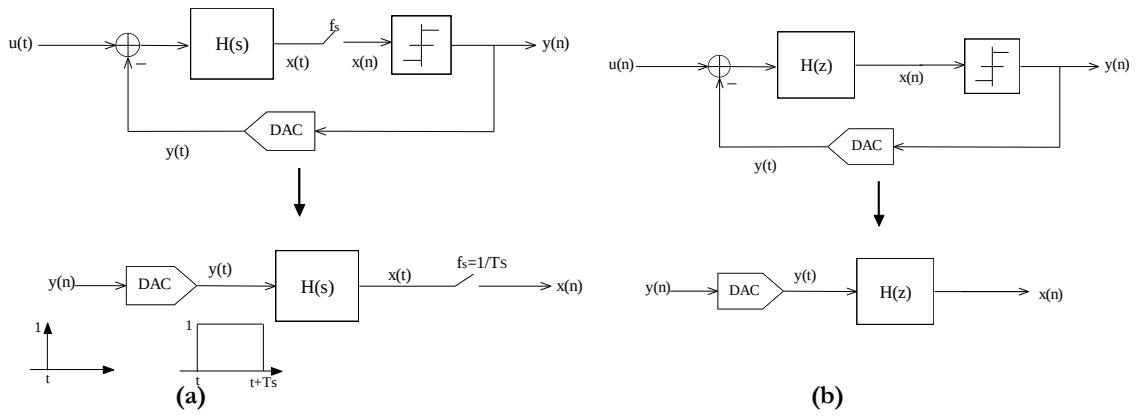


Figura 5.7 Moduladores en lazo abierto

La entrada al diagrama en lazo abierto de la Figura 5.7 a será la salida del modulador y(n). Esto es, una entrada en tiempo discreto, la cual solo cambia en los instantes de muestreo. Esta será la entrada al DAC, el cual podemos ver como un convertidor de tiempo discreto a continuo que toma y(n) y produce alguna clase de pulso continuo y(t). Este pulso será filtrado por H(s), para ser muestreado posteriormente convirtiéndolo en una señal de tiempo discreto x(n). Si nos fijamos en el diagrama en lazo abierto discreto, las señales nunca dejan el dominio en tiempo discreto.

Notar que tanto para el diagrama en tiempo continuo como para el discreto, la entrada y la salida son señales discretas. Como dijimos, dos moduladores serán equivalentes si sus entradas al cuantificador son iguales en los instantes de muestreo (ecuación (5- 1)).

$$x(n) = \hat{x}(t)\big|_{t=nT_s} \qquad \textbf{(5- 1)}$$

Esto debería cumplirse si la respuesta al impulso de los diagramas en lazo abierto de las Figura 5.7 a y b fueran iguales en los instantes de muestreo. Esto nos lleva a la condición de la ecuación (5- 2) [Che00].

$$Z^{-1}\{H(z)\} = L^{-1}\{\hat{R}_D(s)\hat{H}(s)\}\big|_{t=nT_s} \qquad \textbf{(5- 2)}$$

donde $\hat{R}_D(s)$ es la respuesta al impulso del DAC.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Por lo tanto, si queremos explotar esta equivalencia para diseñar un modulador SDTC deberemos seguir los siguientes pasos:

1. Diseñar una NTF(z) que cumpla las especificaciones de diseño que hemos fijado. Esto podemos realizarlo de varias maneras pero nosotros emplearemos la descrita en [Sch03].

2. Una vez tengamos la NTF(z), calcularemos H(z) según el modelo lineal:

$$NTF(z) = \frac{1}{1+H(z)} \Rightarrow H(z) = \frac{1}{NTF(z)} - 1$$

3. Seleccionaremos el tipo de pulso de los DAC de la realimentación y calcularemos H(s) [Che00].

4. El siguiente paso será seleccionar la arquitectura y calcular los coeficientes que la implementan.

5. Por último, realizar una simulación temporal en un simulador que incluya los efectos no ideales.

Como hemos visto, el cuarto paso consisten en la elección de la arquitectura que vayamos a emplear en nuestro diseño. Existen diferentes arquitecturas a la hora de implementar un modulador Sigma-Delta las cuales explicaremos a continuación.

5.2.2.1 Arquitecturas de implementación

En la Figura 5.8 se muestra un modelo más detallado de un modulador Sigma-Delta.

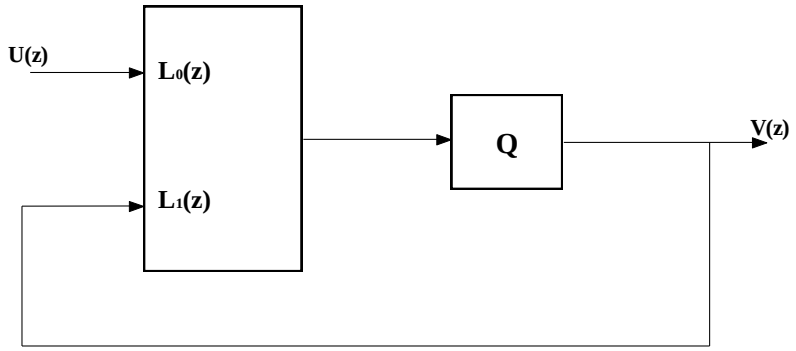


Figura 5.8 Estructura de un modulador Sigma-Delta

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Este modelo es equivalente al que hemos explicado en el capítulo anterior (Figura 4.4) e, incluso, es exactamente el mismo si se cumple la ecuación (5- 3).

$$H(z) = L_0(z) = -L_1(z) \qquad \textbf{(5- 3)}$$

Este modelo nos será más útil a la hora de diseñar la STF y, por lo tanto, de elegir la topología con la que vamos a implementar nuestro modulador, una vez hayamos diseñado la NTF.

En este caso, el filtro será un sistema con dos entradas y una salida. La salida podremos expresarla como una combinación lineal de sus entradas (ecuación (5- 4)).

$$Y(z) = L_0(z)U(z) + L_1(z)V(z) \qquad \textbf{(5- 4)}$$

Como hemos visto, el cuantificador podemos modelarlo como la suma de ruido (ecuación (5- 5)).

$$V(z) = Y(z) + E(z) \qquad \textbf{(5- 5)}$$

Usando estas dos ecuaciones, la salida podremos expresarla como una combinación lineal de dos señales (ecuación (5- 6)).

$$V(z) = STF(z)U(z) + NTF(z)E(z) \qquad \textbf{(5- 6)}$$

Donde

$$NTF(z) = \frac{1}{1 - L_1(z)} \quad \text{y} \quad STF(z) = \frac{L_0(z)}{1 - L_1(z)} \qquad \textbf{(5- 7)}$$

Además, este sistema también podemos describirlo mediante un sistema de ecuaciones de estado (ecuaciones (5- 8) y (5- 9)).

$$\begin{pmatrix} \dot{x}_1 \\ .. \\ \dot{x}_n \end{pmatrix}(t) = \begin{pmatrix} A_{11} & ... & A_{1n} \\ ... & .. & .. \\ A_{n1} & ... & A_{nn} \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ .. \\ x_n \end{pmatrix}(t) + \begin{pmatrix} B_{11} & B_{12} \\ .. & .. \\ B_{n1} & B_{n2} \end{pmatrix} \cdot \begin{pmatrix} u \\ -v \end{pmatrix}(t) \qquad \textbf{(5- 8)}$$

$$y(t) = \begin{pmatrix} C_1 & ... & C_n \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ ... \\ x_n \end{pmatrix}(t) + \begin{pmatrix} D_1 & D_2 \end{pmatrix} \cdot \begin{pmatrix} u \\ -v \end{pmatrix}(t) \qquad \textbf{(5- 9)}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

donde n es el orden del modulador y $x_i(t)$ es la variable de estado i.

Esta información podemos resumirla de forma esquemática en la matriz extendida de la ecuación (5- 10).

$$ABCD = \left(\begin{array}{c|c} A & B \\ \hline C & D \end{array}\right) = \left(\begin{array}{ccc|cc} A_{11} & \dots & A_{1n} & B_{11} & B_{12} \\ \dots & .. & \dots & \dots & \dots \\ A_{n1} & \dots & A_{nn} & B_{n1} & B_{n2} \\ \hline C_1 & \dots & C_n & D_1 & D_2 \end{array}\right) \quad \textbf{(5- 10)}$$

Cualquiera que sea el método de diseño de un modulador Sigma-Delta elegido, uno de los pasos más importantes es la elección de una arquitectura de implementación. La selección de la arquitectura la realizaremos atendiendo a consideraciones tipo hardware: consumo de potencia y distorsión entre otras.

Generalmente, existen dos tipos de arquitecturas para la implementación de los moduladores Sigma-Delta. El primer tipo consiste en filtros de uno o múltiples lazos que contienen integradores y/o resonadores. El segundo tipo son arquitecturas que emplean filtros conformadores de ruido multietapa (*MASH* del inglés *Multi stAge noise SHaping*) [Sch05]. Por comodidad, en la implementación de moduladores SDTC se suele emplear el primer tipo. Esto es debido a la correspondencia del hardware con las ecuaciones de estado que describen el sistema [Pat04]. Por lo tanto, aquí nos centraremos en este tipo.

Una función de transferencia dada podremos implementarla con múltiples topologías. La elección de esta arquitectura es muy importante en el rendimiento del circuito, existen diversas figuras de mérito (FOM) para evaluar dicho rendimiento. En nuestro caso nos hemos decantado por la FOM explicada en [Sch05] (ecuación (5-11)).

$$FOM = DR \cdot 10 \log\left(\frac{BW}{P}\right) \quad \textbf{(5- 11)}$$

donde DR es el rango dinámico, BW el ancho de banda de la señal y P es el consumo de potencia.

Fijándonos en las topologías de implementación basadas en usar una cascada de integradores o resonadores obtenemos una familia de arquitecturas como la mostrada en la Figura 5.9 .

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Como hemos visto anteriormente los ceros de la NTF podrán estar optimizados o no. Si queremos que los ceros estén optimizados tendremos que utilizar resonadores. Esto es dos integradores conectados en cascada y realimentados mediante una ganancia *g* como en la Figura 5.9 . Si no queremos optimizarlo deberíamos eliminar estas realimentaciones.

Considerando la Figura 5.9 encontramos varias familias para realizar la NTF:

- Cascada de integradores con múltiples realimentaciones (CIFB).
- Cascada de integradores con múltiples prealimentaciones (CIFF).
- Cascada de resonadores con múltiples realimentaciones (CRFB).
- Cascada de resonadores con múltiples prealimentaciones (CRFF).

Observamos que esta familia de arquitecturas no da lugar a ninguna de las formas canónicas de representación de los sistemas de ecuaciones de estado, a saber, forma canónica controlable, forma canónica observable, forma diagonal y forma de Jordan [Oga95].

Al elegir la topología de implementación, optaremos por una arquitectura que tenga, o bien múltiples realimentaciones, o bien múltiples prealimentaciones, pero no ambas ya que con ambas aumentará el consumo de potencia [Pat04].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

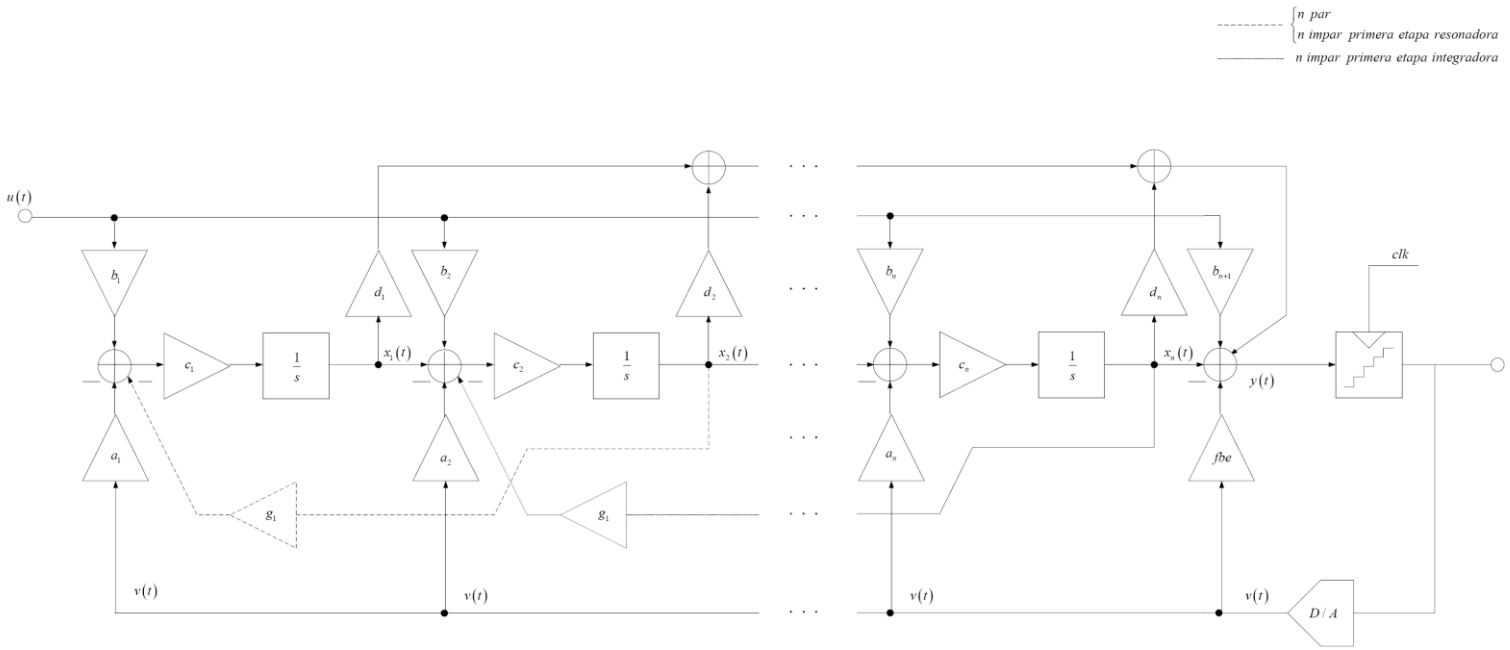


Figura 5.9 Arquitectura genérica de un modulador SDTC

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

5.3 Diseño de un modulador Sigma-Delta en Tiempo Continuo

En este apartado explicaremos el diseño de un modulador Sigma-Delta en tiempo continuo para una frecuencia de muestreo de 20MHz.

Para su diseño haremos uso del *toolbox delsig* de Matlab [Sch03] el cual ya hemos nombrado anteriormente. El primer paso será diseñar la NTF, posteriormente decidiremos la arquitectura de implementación, calcularemos los coeficientes y, por último, procesaremos los datos obtenidos.

5.3.1 Aproximación de diseño

En esta sección diseñaremos un modulador en tiempo discreto como punto de comienzo en el diseño de nuestro modulador final. Diseñamos este sistema primero en tiempo discreto, porque como nombramos anteriormente vamos a emplear el *toolbox delsig* de Matlab [Sch03], el cual está orientado al diseño de moduladores SDTD.

Esta herramienta es muy útil ya que nos evita realizar muchos cálculos. Entre las funciones que tiene implementada encontramos *synthesizeNTF* y *realizeNTF*, las cuales nos serán muy útiles a la hora de nuestro diseño. La primera nos devuelve la NTF(z) correspondiente a las características que hemos fijado y, la segunda, nos devuelve los coeficientes de la arquitectura con la que deseemos implementar la NTF. Debido al cálculo que nos evitaremos por emplear estas funciones hemos decidido seguir los siguientes pasos en el flujo de diseño [Jui05]:

1. Calcular la NTF(z).
2. Calcular los coeficientes de nuestro modulador para la arquitectura elegida.
3. Buscar el equivalente en tiempo continuo de los integradores en tiempo discreto [Che00].
4. Simular la arquitectura obtenida.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Previamente al cálculo de la NTF tendremos que fijar algunos parámetros de nuestro modulador. Éstos podemos verlos en la Tabla 5. 1.

Tabla 5. 1 Parámetros elegidos para nuestro modulador

Ancho de Banda (BW)	Relación de Sobremuestreo (OSR)	Orden del modulador	Frecuencia de muestreo (Fs)
100 KHz	100	4	20MHz

Además, queremos que la NTF esté optimizada, es decir que los ceros se encuentren repartidos a lo largo de todo el ancho de banda. Una vez definido estas características obtenemos la NTF de la ecuación (5- 12).

$$NTF(z) = \frac{\left(z^2 - 2z + 1\right)\left(z^2 - 1.999z + 1\right)}{\left(z^2 - 1.492z + 0.5645\right)\left(z^2 - 1.702z + 0.787\right)} \quad \textbf{(5- 12)}$$

En la Figura 5.10 podemos ver el diagrama de polos y ceros de esta función. Y en la Figura 5.11 su respuesta en frecuencia.

El siguiente paso, será el cálculo de los coeficientes de nuestro modulador. En nuestro caso hemos decidido emplear la arquitectura 'CRFF', es decir, múltiples resonadores en cascada con prealimentaciones, esta elección la hemos hecho en base a que las realimentaciones constituyen un parte importante en el consumo total del modulador y, por lo tanto, cuanto menos realimentaciones empleemos menor será el consumo del circuito (Figura 5.12).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

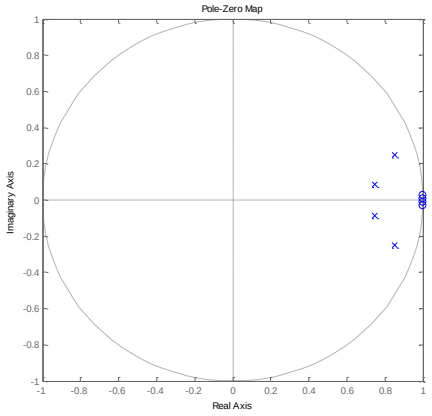


Figura 5.10 Diagrama polo-cero de la NTF

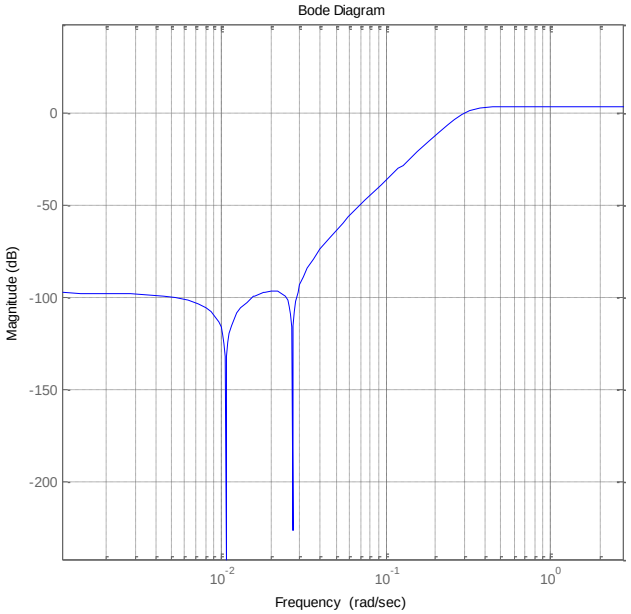


Figura 5.11 Respuesta en frecuencia de la NTF

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

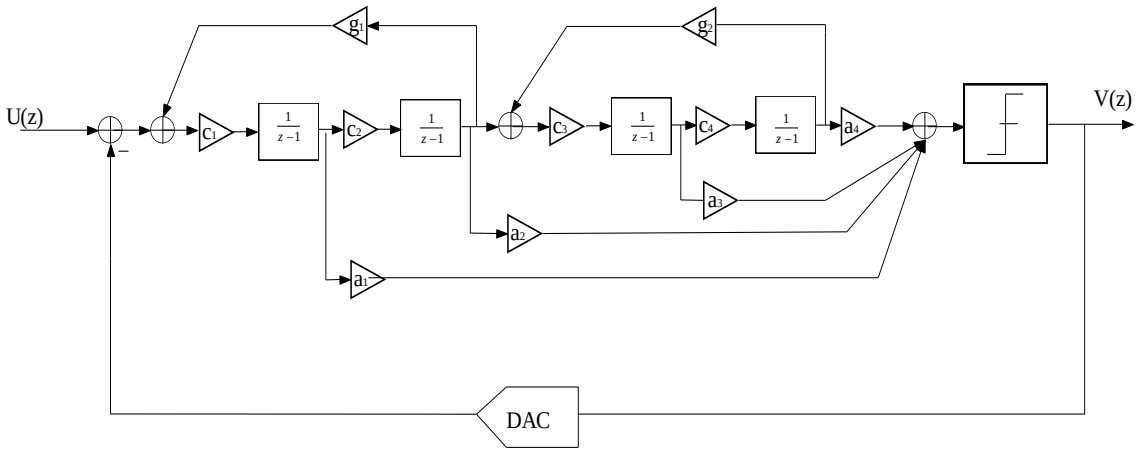


Figura 5.12 Arquitectura CRFF

El valor de los coeficientes obtenidos para esta arquitectura se muestran en la Tabla 5. 2. Tener en cuenta que la ganancia de los integradores, c_k, son todos fijados a uno.

Tabla 5. 2 Valor de los coeficientes para la arquitectura elegida

a_1	a_2	a_3	a_4	g_1	g_2
0.5556	0.2499	0.0524	0.0061	7.13E-6	4.57E-5

Una vez obtenida la arquitectura y los coeficientes, el siguiente paso será cambiar los integradores discretos por su equivalente en continuo (Figura 5.13).

Para simular nuestro modulador hemos empleado el programa Simulink de Matlab [Mat].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

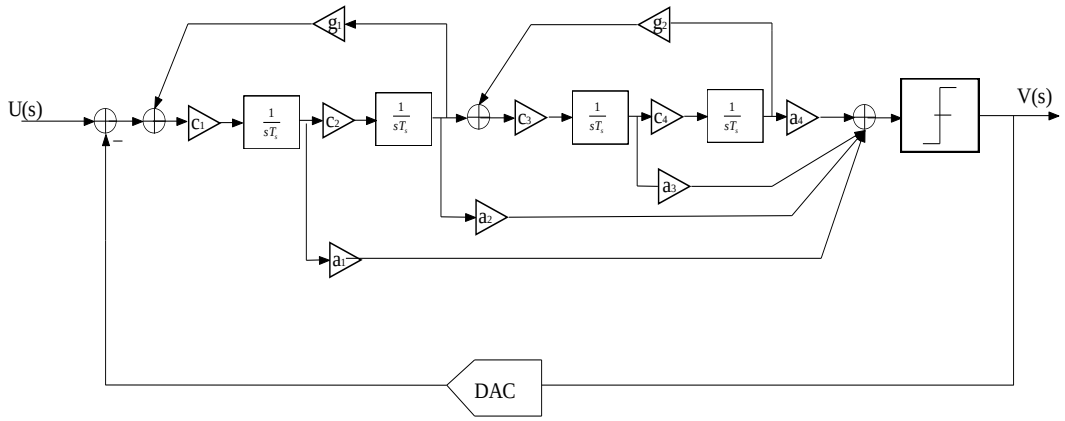


Figura 5.13 Equivalente del modulador en tiempo continuo

Para determinar el comportamiento de nuestro modulador tendremos que conocer parámetros como la SNR, pero al simular nuestro sistema lo que obtenemos a la salida es un tren de pulsos. Con la salida de bits no seremos capaces de saber si el comportamiento de nuestro modulador es correcto o no. Para esto, tendremos que representar dicha salida en el dominio de la frecuencia. Concretamente, nos centraremos en la representación del espectro de potencia de los bits de salida. Una de las herramientas que podemos emplear para calcular este espectro es la transformada rápida de Fourier (FFT). En el Anexo podremos ver la rutina en Matlab empleada para este fin.

Si suponemos que tenemos N datos muestreados uniformemente, usaremos el llamado periodograma para estimar el espectro de potencia. Un periodograma es una representación discreta de dicho espectro. La discretización da lugar a dos problemas en los periodogramas, el primero es la fuga de espectro (*spectral leakage*) y la segunda se refiere a la incertidumbre. Ambos problemas son discutidos con detenimiento en [Che98].

En la Tabla 5. 3 se muestran los datos empleados en la simulación. Estos datos se han elegido en base a evitar los problemas nombrados anteriormente [Che98].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Tabla 5. 3 Datos empleados en la simulación

Frecuencia de Entrada (f_{in})	Amplitud de Entrada (A_{in})	Frecuencia de Muestreo (f_s)	Tiempo de simulación (t_{sim})	Número de muestras (N)
19531.25 Hz	0.3V	20MHz	0.0524288seg	1048576

El espectro de la salida obtenida se muestra en la Figura 5.14 , donde podemos comprobar que el modulador tiene un comportamiento adecuado con una SNR superior a 100dB.

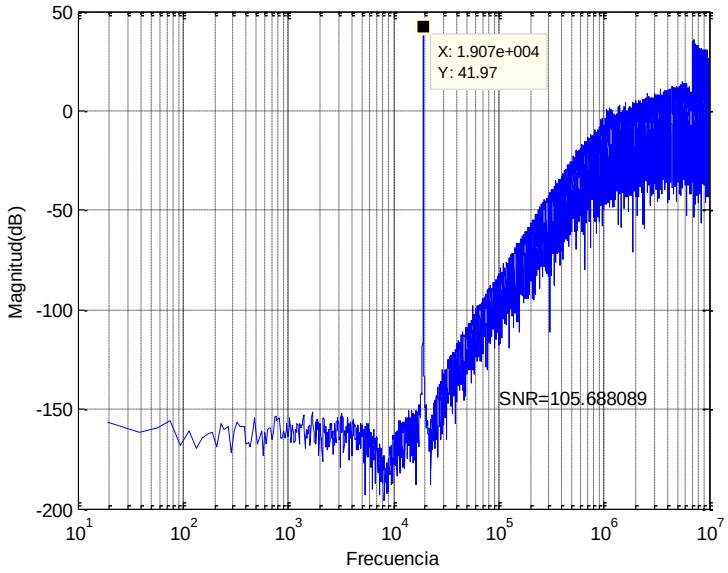


Figura 5.14 Espectro de la simulación

5.4 Conclusiones

En este capítulo hemos visto cómo diseñar un modulador Sigma-Delta y qué herramientas podemos emplear para ello. Concretamente nos hemos centrado en el diseño de moduladores SDTC ya que ese es nuestro objetivo.

Además, hemos llevado a cabo paso por paso el diseño de un modulador SDTC a nivel de sistema y visto los resultados obtenidos simulando dicho sistema en Simulink.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

En el siguiente capítulo diseñaremos un modulador Sigma-Delta en Cadence, empleando la tecnología 90nm de UMC. Para ello, deberemos diseñar los diferentes bloques que compondrán nuestro modulador.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Capítulo 6

Diseño de un modulador Sigma-Delta en la tecnología 90nm de UMC

En este capítulo explicaremos el diseño de un modulador Sigma-Delta de orden 2. La decisión de diseñar este modulador se ha hecho en base a que nuestro circuito, como ya hemos explicado, forma parte de un proyecto mayor y, para cumplir con las especificaciones del mismo, será suficiente con emplear un modulador de este orden.

Para realizar este modulador hemos realizado dos diseños diferentes que, posteriormente, compararemos. El primero se basa en la estructura típica de un modulador SDTC de orden 2 [Che00], el cual está compuesto por dos integradores, un comparador y sus respectivas realimentaciones. El siguiente diseño será realizado empleando un filtro *biquad* de orden 2 [Wen06], de este modo podremos emplear una única realimentación, lo que nos permitirá reducir el consumo. En el siguiente apartado se explican en más detalle estas estructuras.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

6.1 Estructuras para el modulador Sigma-Delta

Como hemos dicho en la introducción al capítulo, se han realizado dos moduladores de orden 2 empleando dos estructuras diferentes. Estas estructuras se muestran en las Figuras 6.1 y 6.2.

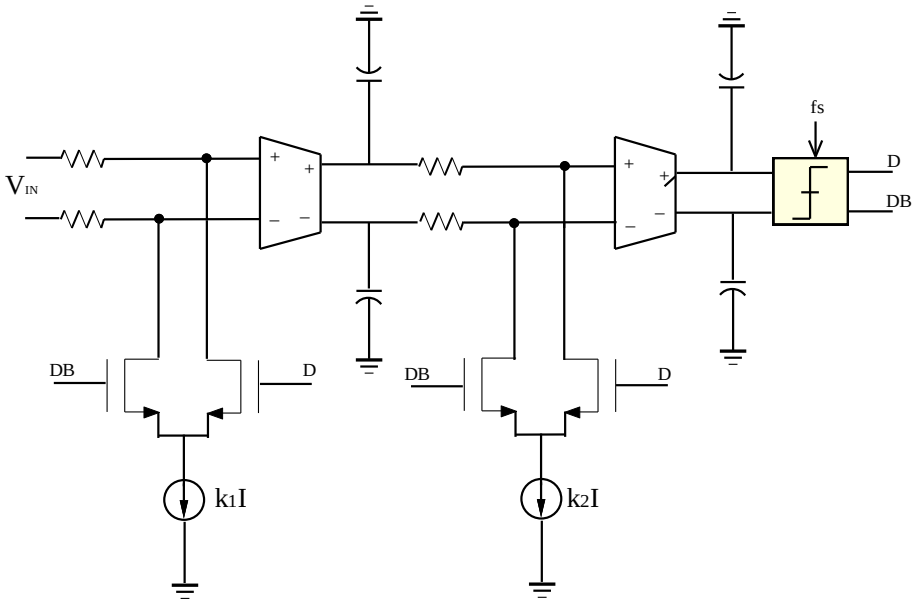


Figura 6.1 Modulador Sigma-Delta de orden dos empleando integradores

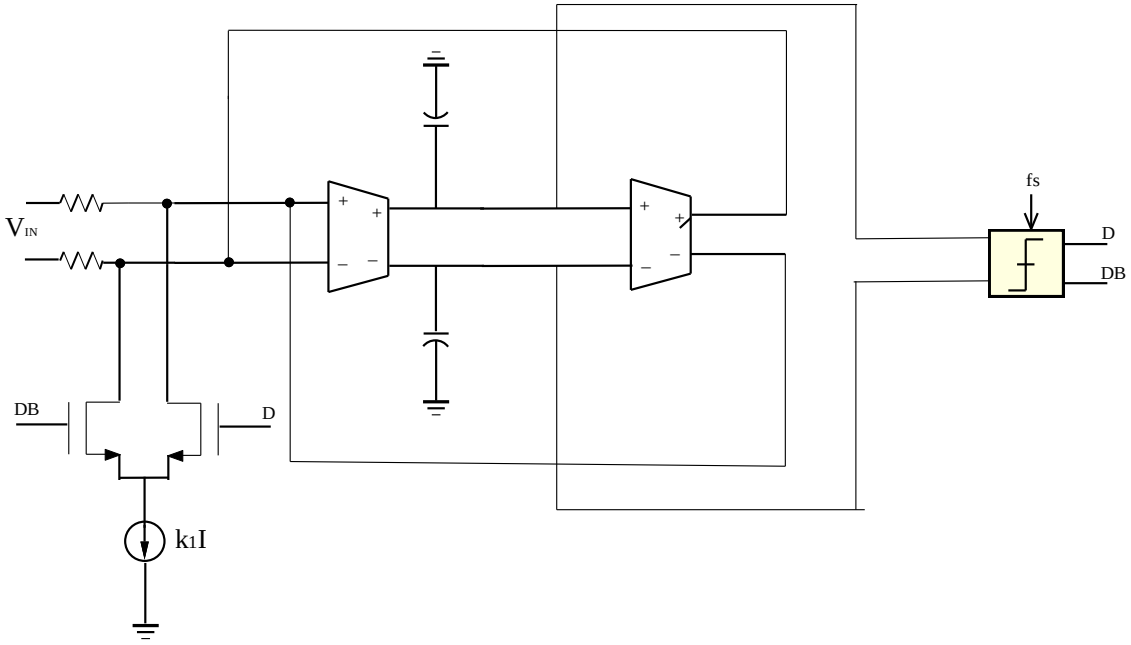


Figura 6.2 Modulador Sigma-Delta empleando un filtro *biquad* de segundo orden

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Los elementos más importantes que componen estos moduladores son, en el caso del modulador de la Figura 6.1, los integradores, el comparador y las realimentaciones, y en el caso del modulador de la Figura 6.2, el filtro *biquad*, el comparador y la realimentación. A continuación, daremos una pequeña explicación de cada uno de estos elementos.

Integradores

Para la implementación de los mismos hemos decidido emplear una estructura Gm-C, los cuales se componen de un transconductor, que básicamente es una fuente de corriente controlada por tensión, y un condensador. La Figura 6.3 muestra una posible implementación de los mismos siguiendo un esquema diferencial.

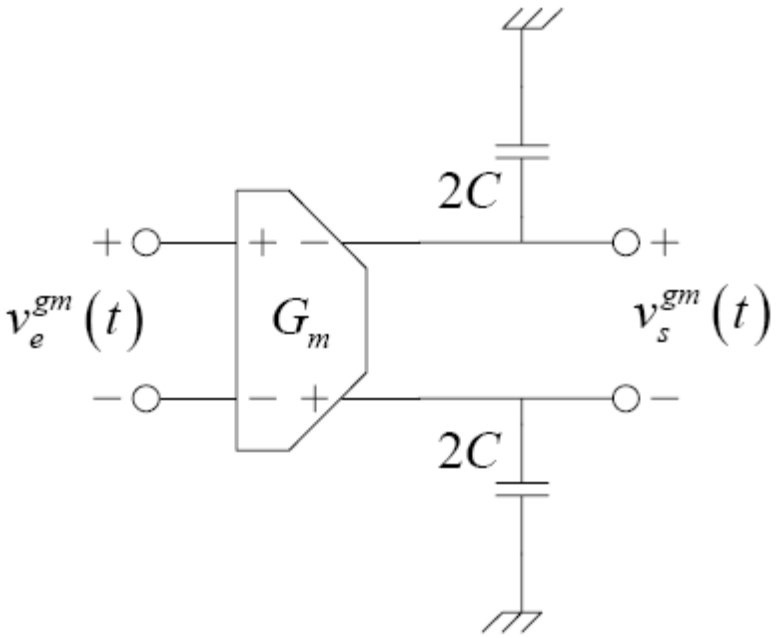


Figura 6.3 Integrador Gm-C diferencial

El comportamiento en alta frecuencia y la ganancia a baja frecuencia dependen del circuito concreto que se escoja para el transconductor. No obstante, si se considera el modelo de primer orden para la transconductancia mostrado en la ecuación (6- 1), la función de transferencia del integrador puede obtenerse de la forma inmediata como en la ecuación (6- 2).

$$Gm(s) = \frac{Gm_0}{1 + \frac{s}{\omega_0}} \qquad \textbf{(6- 1)}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

$$H(s) = \frac{Gm_0}{C} \cdot \frac{1}{s \cdot \left(1 + \frac{s}{\omega_0}\right)} = \frac{\omega_{ti}^{gm}}{s} \cdot \frac{\omega_0}{s + \omega_0} \qquad \textbf{(6- 2)}$$

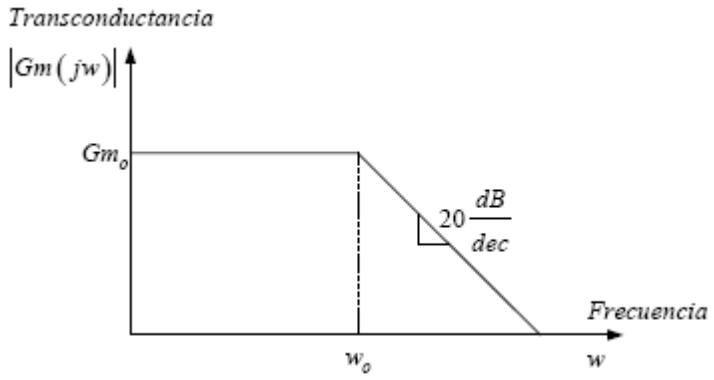


Figura 6.4 Modelo de primer orden para una transconductancia

La función de transferencia obtenida tiene una frecuencia a ganancia unidad ligeramente distinta a la del integrador ideal ω_{ti}^{gm}. No obstante esta diferencia puede considerarse despreciable si se emplea un transconductor con una ω_0 3 ó 4 veces superio a ω_{ti}^{gm}.

El principal problema que presenta esta estructura es que las capacidades parásitas tienen gran influencia en este tipo de diseño modificando directamente la frecuencia a ganancia unidad [Pat04].

Filtro *biquad*

Estos filtros se emplean en diversas aplicaciones ya que ofrecen muchas ventajas sobre otros filtros en términos de bajo consumo y capacidades en altas frecuencias.

El esquema básico de un filtro *biquad* totalmente diferencial se muestra en la Figura 6.5 [Pro96], el cual hemos empleado en nuestro modulador. Como vemos este está compuesto básicamente de transconductores y capacidades.

Además, esta configuración biquad es muy útil ya que con ella se pueden producir tanto respuestas paso-bajo como paso-banda [Kum11].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

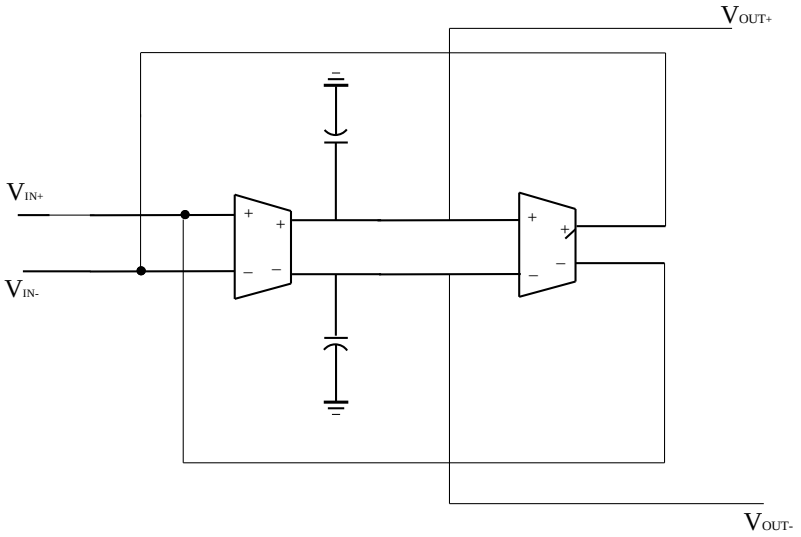


Figura 6.5 Filtro biquad

Comparador

Un comparador es un bloque muy importante en el diseño del modulador Sigma-Delta. Éste básicamente compara una señal analógica con otra señal analógica (referencia) y da como resultado una señal binaria basada en esta comparación. Como sabemos un comparador es un circuito no lineal

Existen varios tipos de arquitecturas de comparadores, nosotros hemos decidido emplear un *latch-comparator* con preamplificador (Latch-Comparator + PreamplificadorFigura 6.6) por las ventajas que este presenta ya que el uso de un preamplificador permite reducir la sensibilidad del comparador.

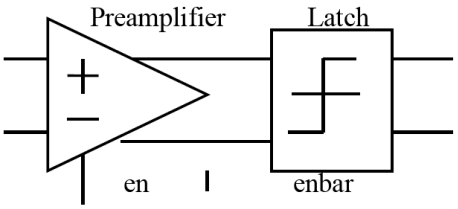


Figura 6.6 Latch-Comparator + Preamplificador

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Realimentación

La implementación de las realimentaciones se muestra en la Figura 6.7. Este circuito básicamente consiste en una fuente de corriente y dos interruptores que conducen la corriente bien hacia el ramal positivo o bien hacia el ramal negativo dependiendo del valor digital de la entrada (D y DB). Es decir, estas realimentaciones se comportan básicamente como un DAC de un bit.

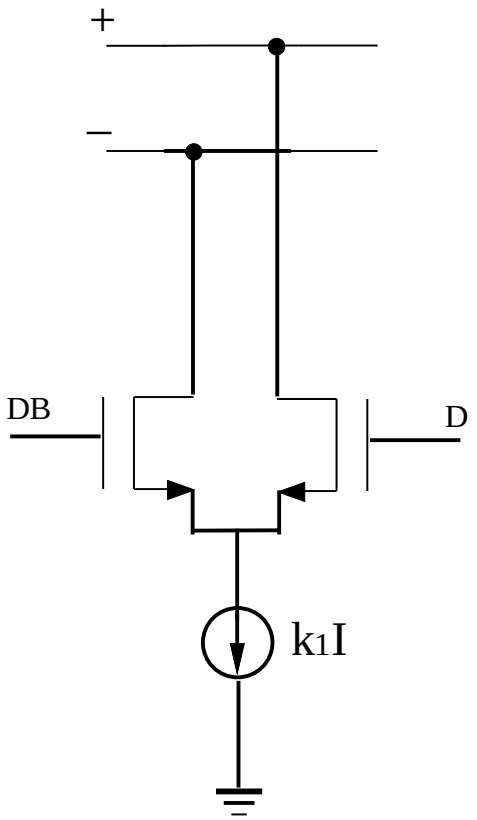


Figura 6.7 DAC de realimentación

Una vez hemos explicado los diferentes elementos que componen los moduladores, el siguiente paso será el diseño de los mismos a nivel de transistores. Para ello emplearemos la metodología g_m/I_D que explicaremos a continuación.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

6.2 Metodología g_m/I_D

Debido a los avances que últimamente han tenido lugar en los procesos de fabricación de circuitos integrados, las dimensiones de los transistores se han visto reducidas drásticamente. Esta tendencia a la miniaturización ha supuesto una ventaja en los circuitos digitales, ya que ha permitido una mayor densidad de integración. Sin embargo, para el caso del diseño analógico ha supuesto un problema debido al decremento de las tensiones de alimentación y, consecuentemente, a la disminución del rango dinámico, de las ganancias, etc.

Los bloques más delicados en el diseño de los moduladores Sigma-Delta son, en nuestro caso, el OTA que se empleará para implementar tanto los integradores como el filtro y el comparador. La tecnología que vamos a implementar nos permitirá alimentar a los circuitos con una tensión de 1.2V.

Para el diseño de estos bloques emplearemos una metodología denominada g_m/I_D [Jes10] que tiene en cuenta el funcionamiento de los transistores en todas sus regiones de inversión y, por lo tanto, podremos reducir bastante su consumo y mejorar sus prestaciones.

Para poder explicar esta metodología primero tendremos que explicar el funcionamiento de los transistores MOS.

6.2.1 El Transistor MOS

Actualmente la tecnología CMOS (*Complementary Metal Oxide Semiconductor*) está bastante difundida, siendo usada tanto en circuitos analógicos como digitales, gracias a la posibilidad de obtener grandes densidades de integración, permitiendo realizar sistemas cada vez más rápidos y complejos.

El principio de funcionamiento de los transistores MOS se basa en el uso de un campo eléctrico para la creación de un canal de conducción por donde circulará la corriente que podrá ser en forma de electrones o huecos.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

6.2.1.1 Funcionamiento

El transistor MOS es un dispositivo de cuatro terminales denominados drenador (D, del inglés Drain), puerta (G, del inglés Gate), surtidor o fuente (S, del inglés Source) y sustrato (B, del inglés Bulk). La corriente (electrones o huecos) en el interior del dispositivo, circula desde la fuente hasta el drenador, y es controlada por la puerta. Al terminal del sustrato se le aplica una tensión constante y ésta fijará la tensión umbral del transistor.

En estos transistores bajo el terminal de puerta existe una capa de óxido (SiO_2) que impide prácticamente el paso de corriente; por lo que el control de la puerta se establece en forma de tensión. La calidad y estabilidad con que es posible fabricar estas finas capas de óxido es la principal causa del éxito de este transistor.

Existen dos tipos de transistores MOS, dependiendo de que la corriente sea por huecos o electrones: NMOS y PMOS. El corte esquemático y símbolo de estos transistores se muestra en la Figura 6.8.

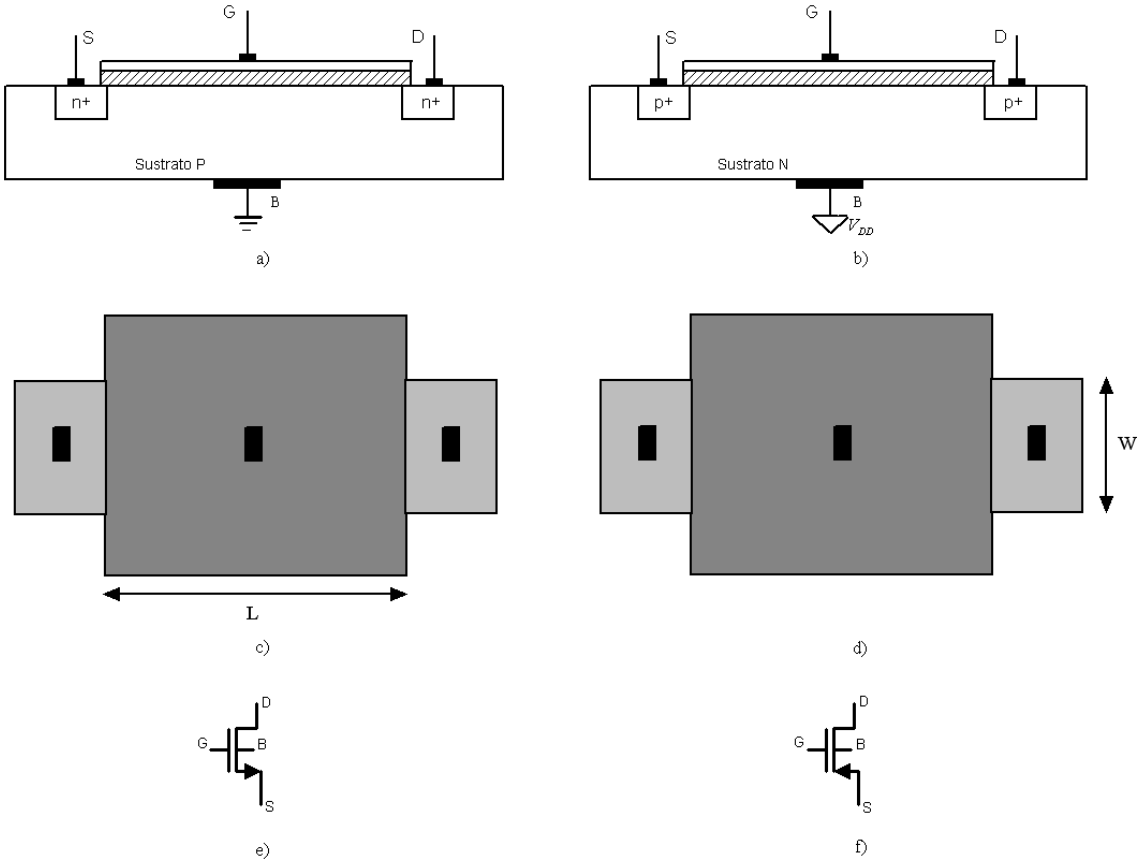


Figura 6.8 Corte esquemático y símbolo de los transistores MOS

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Para comprender el funcionamiento de estos transistores nos hemos apoyado en [Pie94] [Raz01] y [Tsi95]. A continuación analizaremos el comportamiento de un transistor NMOS, siendo este análisis extensible a los transistores PMOS.

Cuando aplicamos una tensión positiva al terminal de puerta de un transistor NMOS, se crea un campo eléctrico bajo la capa de óxido que incide perpendicularmente sobre la superficie del semiconductor. Este campo atrae a los electrones hacia la superficie bajo el óxido, repeliendo los huecos hacia el sustrato. Si el campo eléctrico es muy intenso se logra crear en dicha superficie una región muy rica en electrones, denominada canal N, que permite el paso de corriente de la fuente al drenador; cuanto mayor sea la tensión de puerta mayor será el campo eléctrico y, por tanto, la carga en el canal. Una vez creado el canal, la corriente se origina aplicando una tensión en el drenador positiva respecto a la de la fuente.

La tensión de puerta necesaria para que se produzca el canal se conoce como tensión umbral, V_t. Normalmente, consideramos que por debajo de la tensión umbral la corriente de drenador es nula.

La operación de los transistores MOS se puede dividir en tres regiones principales de operación, dependiendo de las tensiones en sus terminales. Cada región se regirá por una ecuación diferente.

Región de corte

Cuando la tensión de la puerta es idéntica a la del sustrato (Figura 6.9), el transistor está en estado de no conducción: ninguna corriente fluye entre fuente y drenador aunque se aplique una diferencia de potencial entre ambos.

$$V_{GS} \leq V_T ; V_{DS} > 0 \Rightarrow I_D = 0 \qquad \textbf{(6- 3)}$$

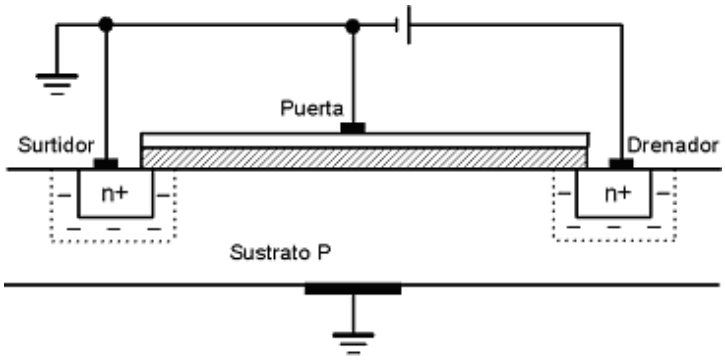


Figura 6.9 Transistor en corte

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Región lineal u óhmica

Al polarizarse la puerta con una tensión, el transistor pasa entonces a estado de conducción (Figura 6.10), de modo que una diferencia de potencial entre fuente y drenador dará lugar a una corriente.

$$V_{GS} > V_T ; 0 < V_{DS} \leq V_{GS} - V_T \Rightarrow I_D = \frac{k \cdot W}{L}\left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \textbf{(6- 4)}$$

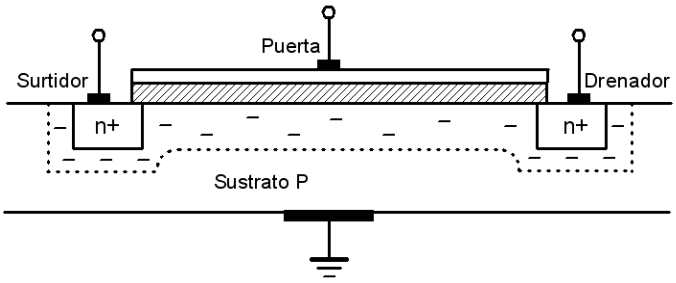


Figura 6.10 Transistor en región lineal

Región de saturación

Cuando la tensión entre drenador y fuente supera cierto límite se produce un estrangulamiento del canal y la corriente entre fuente y drenador se hace independiente de la diferencia de potencial entre ambos terminales como se muestra en la Figura 6.11.

$$V_{GS} > V_T ; V_{DS} > V_{GS} - V_T \Rightarrow I_D = \frac{k}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad \textbf{(6- 5)}$$

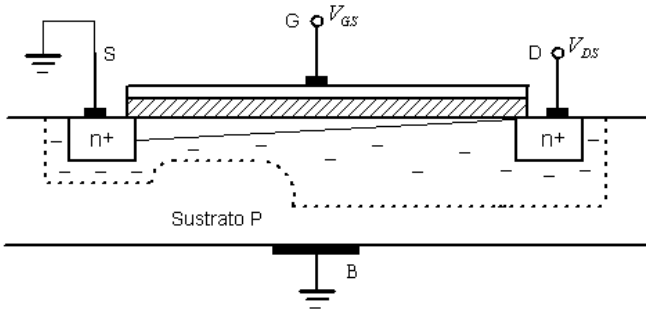


Figura 6.11 Transistor en saturación

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Donde V_t es la tensión umbral, W y L la anchura y longitud del canal respectivamente, y k es el llamado parámetro de transconductancia cuyo valor viene dado por ecuación(6- 6).

$$k = \mu_n \cdot C_{OX} \qquad \textbf{(6- 6)}$$

donde μ_n es la movilidad de los electrones y C_{OX} es la capacidad de la puerta por unidad de área.

Estas ecuaciones, sin embargo, no modelan varios aspectos importantes para el diseño de circuitos integrados analógicos, ya que no tienen en cuenta la modulación de la longitud del canal y, además, consideran que cuando la tensión de puerta es inferior a la tensión umbral la corriente de drenador es cero.

En realidad, cuando el transistor opera en la región de saturación la corriente de drenador no es independiente del voltaje entre el drenador y la fuente, sino que a medida que aumenta V_{DS} la corriente crece ligeramente. Este efecto se denomina modulación de la longitud del canal o efecto Early, el parámetro que modela esto es λ. Para tener en cuenta esta discrepancia con el modelo ideal, basta con multiplicar la ecuación de la I_D por el factor $(1+\lambda \cdot V_{DS})$, según el modelo analítico de Sah [Sah64]. La presencia de λ en la ecuación de la corriente de drenador produce una ligera pendiente ascendente de la I_D con respecto a V_{DS} como se muestra en la Figura 6.12.

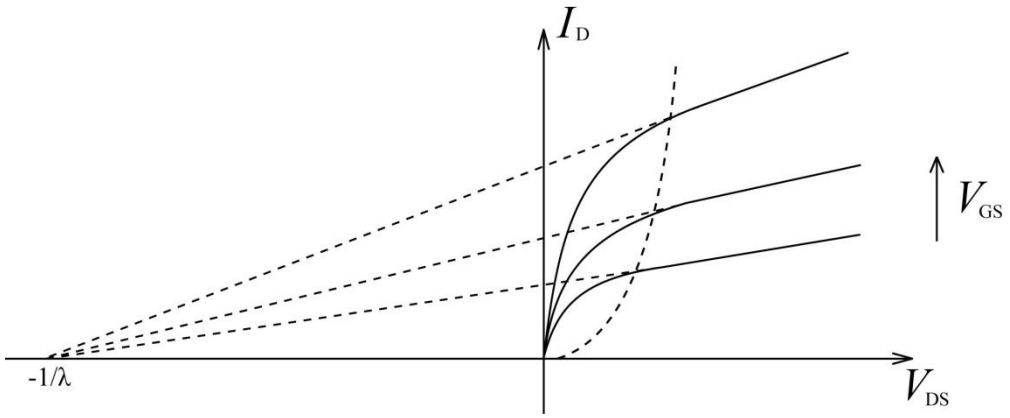


Figura 6.12 Efecto de la modulación de la longitud del canal

Además, cuando la tensión de puerta es no nula e inferior a la tensión umbral, existe una corriente dependiente de dicha tensión y que nos permitirá distinguir diferentes niveles de inversión del transistor como veremos a continuación.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

6.2.1.2 Niveles de Inversión del Transistor

El modelo y ecuaciones planteadas hasta ahora consideran que al acercarse la tensión de puerta a la tensión umbral, teniendo un valor por debajo de la misma la corriente de drenador es cero. Sin embargo, si analizamos la curva característica logarítmica I_D vs V_{GS} (Figura 6.13), se observa que por debajo de la tensión umbral la corriente no es nula y que tiene una dependencia exponencial con la tensión de puerta.

Según la tensión de puerta, nos encontramos con tres niveles diferentes de inversión que vendrán determinados por el número de electrones o huecos que conformen el canal: débil, fuerte o moderada (Figura 6.13) [Tsi95].

Cuando estamos en inversión débil el canal es muy pequeño y la corriente que encontramos es la de difusión (por lo que la corriente será exponencial con respecto a la tensión de puerta). En inversión fuerte, la corriente dominante es la de arrastre (la corriente de saturación sigue una ley cuadrática respecto a la tensión de puerta). Finalmente, en la región de inversión moderada encontramos la corriente de difusión y de arrastre en equilibrio y, por lo tanto, no es una región fácil para modelar con una ecuación, sin embargo, es una región que presenta muchas ventajas puesto que en esta región podemos conseguir un buen compromiso entre velocidad y consumo.

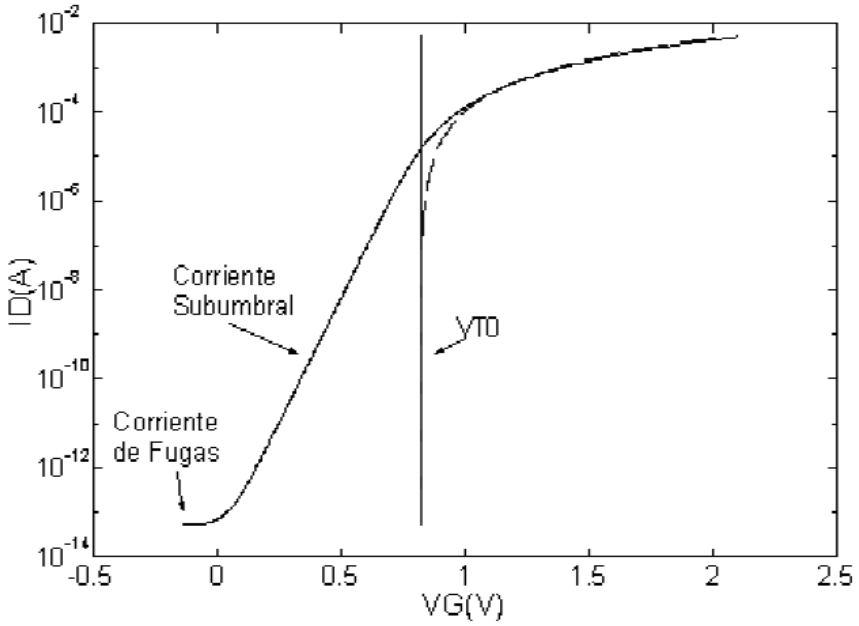


Figura 6.13 Curva característica ID vs. VG

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Por lo tanto, para el diseño analógico de bajo consumo, deberemos tener en cuenta los diferentes niveles de inversión del transistor. Para ello, en el apartado siguiente veremos la metodología de diseño g_m/I_D, la cual nos permitirá diseñar los transistores según la región en la que queramos que trabaje.

6.2.2 Introducción a la metodología gm/ID

Hasta ahora, a la hora de diseñar circuitos analógicos siempre suponíamos una corriente de drenador nula cuando la tensión de puerta era inferior a la tensión umbral, es decir, considerábamos siempre al transistor en inversión fuerte. Sin embargo, tal y como acabamos de ver, si analizamos la curva característica I_D-V_{GS} (Figura 6.13) podemos observar que por debajo de la tensión umbral la corriente no es nula y que, además, tiene una dependencia exponencial con la tensión de puerta. Si tenemos en cuenta esta corriente podremos diseñar circuitos analógicos de muy bajo consumo.

La metodología que vamos a emplear en el diseño de los circuitos nos va a permitir trabajar en cualquiera de las regiones de operación de los transistores. Esta metodología explota la realación existente entre la transconductancia y la corriente de drenador (g_m/I_D). Esta relación es una potente herramienta a la hora de llevar a cabo el modelado del tamaño de los transistores [Jes10]. Un buen compromiso entre área, consumo y velocidad se puede conseguir cuando los transistores trabajan en la región de inversión moderada [Yan00].

Este método [Jes10] explota el hecho de que tanto la transconductancia como la corriente de drenador varían con el ancho de puerta y, por lo tanto, la relación g_m/I_D no dependerá del mismo. Gracias a esto, las corrientes de drenador para conseguir algún producto de ganancia por ancho de banda dado podremos derivarlas de la ecuación (6- 7) donde el numerador es la transconductancia del mismo y el denominador es la relación g_m/I_D del transistor derivada de un transistor similar cuyo ancho de puerta W* y longitud L* son conocidos.

$$I_D = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*} \qquad \textbf{(6- 7)}$$

Conociendo las corrientes de drenador, los anchos siguen la ecuación (6- 8).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

$$W = (W)^* \frac{I_D}{(I_D)^*} \quad \textbf{(6- 8)}$$

Estas dos ecuaciones nos ayudarán a determinar la corriente de drenador y el ancho de puerta para un producto de ganancia por ancho de banda fijado por g_m. La clave de esta metodología la encontramos en el denominador de la primera ecuación. Para explicarlo mejor, consideramos como ejemplo la llamada "etapa de ganancia intrínseca" (Figura 6.14) que consiste en un transistor en configuración fuente común. Llamaremos VA a la tensión de Early, la cual controla la conductancia de salida del transistor ($g_D=I_D/VA$). Por lo tanto, tenemos que la frecuencia de ganancia unidad y la ganancia en DC vendrán dadas respectivamente por las ecuaciones (6- 9) y (6- 10).

$$\omega_T = \frac{g_m}{C} \quad \textbf{(6- 9)}$$

$$A_{DC} = -\frac{g_m}{g_d} = -\frac{g_m}{I_D} V_A \quad \textbf{(6- 10)}$$

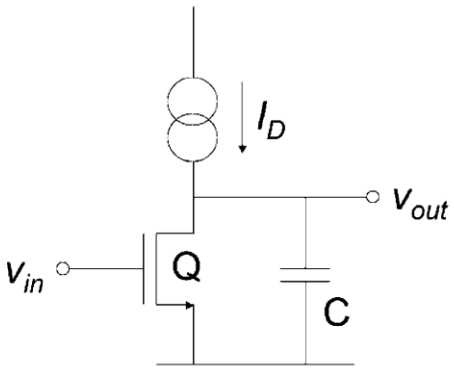


Figura 6.14 Etapa de ganancia intrínsica

Podemos ver la relación de g_m/I_D con el modo de operación del transistor en la ecuación (6-11), donde vemos que g_m/I_D es igual a la derivada del logaritmo de I_D con respecto a V_G [Sil96][Pai03].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

$$\frac{g_m}{I_D} = \frac{1}{I_D}\frac{\partial(\ln I_D)}{\partial V_G} = \frac{\partial\left\{\ln\left[\frac{I_D}{\left(\frac{W}{L}\right)}\right]\right\}}{\partial V_G} \qquad \textbf{(6- 11)}$$

Esta derivada será máxima cuando el transistor se encuentre en la región de inversión débil, donde la dependencia de I_D frente a V_G es exponencial.

Otra característica interesante de esta metodología es que tanto la relación g_m/I_D como la corriente normalizada ($I_D/(W/L)$) son independientes del tamaño de los transistores. Por lo tanto, la relación entre g_m/I_D y la corriente normalizada es una característica única para todos los transistores del mismo tipo (NMOS o PMOS) de una tecnología determinada. Aunque esta afirmación deberá ser revisada cuando tratamos con transistores de canal corto.

Por tanto, la curva de g_m/I_D frente a la corriente normilazada ($I_D/(W/L)$) la emplearemos durante la realización de los diseños. A partir de unas especificaciones dadas para un determinado diseño, y una vez que un par de valores de g_m e I_D son obtenidos, podremos determinar la relación de aspecto (W/L) de los transistores. En la Figura 6.15 se muestra el flujo cómo llevar a cabo esta metodología.

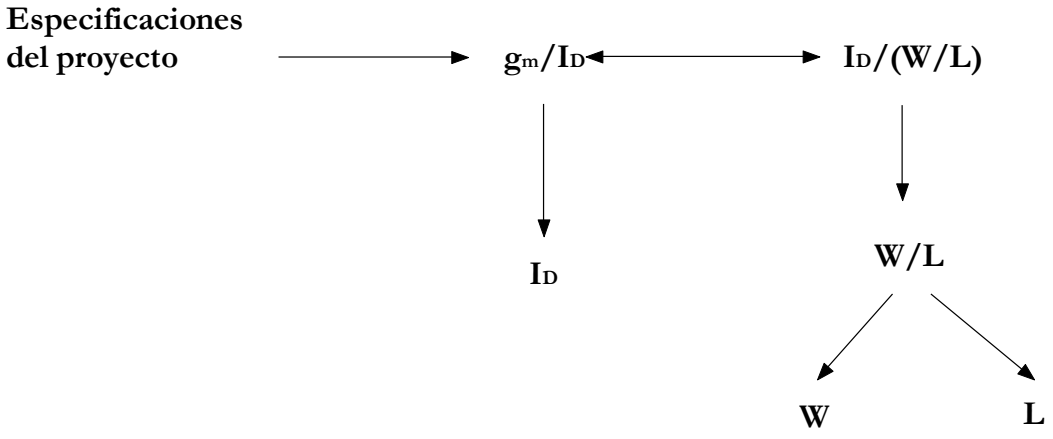


Figura 6.15 Flujo para realizar la metodología gm/ID

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

6.2.3 La curva g_m/I_D *vs.* $I_D/(W/L)$

La curva de g_m/I_D frente ($I_D/(W/L)$) puede usarse en la fase de diseño para determinar la relación de aspecto de los transistores (W/L). Podremos obtener dicha curva de dos maneras diferentes: experimental o analíticamente. La primera forma podemos llevarla a cabo realizando medidas sobre un transistor cuyo ancho y longitud son conocidos, esto nos permitirá derivar la relación g_m/I_D de las características $I_D(V_{GS})$ de dicho transistor. El otro método, emplea expresiones analíticas para la relación g_m/I_D, estas expresiones las obtenemos de modelos matemáticos como pueden ser el modelo EKV [Jes10]. Con estos modelos matemáticos podremos hacer dicho cálculo a mano o empleando programas de cálculo como puede ser Matlab [Mat].

En nuestro caso llevaremos a cabo el primer método, pero para obtener la curva experimental serían necesarias varias medidas de transistores típicos de la tecnología que aquí vamos a emplear (90nm de UMC [Umc]). Como no disponemos de dichos dispositivos físicos, hemos optado por realizar varias simulaciones de dichos transistores en Cadence [Cad].

A continuación explicamos cómo obtener estas curvas, en este caso vamos a explicar el proceso para el transistor NMOS, siendo este proceso extensible a los transistores PMOS.

En Cadence [Cad], realizamos una simulación DC del circuito de la Figura 6.16, haciendo un barrido de la tensión de puerta (V_{GS}) de 0 a 3V. Por comodidad, hemos elegido la relación de aspecto del transistor igual a 1. Guardando el punto de operación durante la simulación podremos guardar los siguientes parámetros: transconductancia (g_m), capacidad de puerta (C_{GS}), impedancia de salida (r_o) y otros parámetros importantes que podrían sernos útiles para emplear esta metodología.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

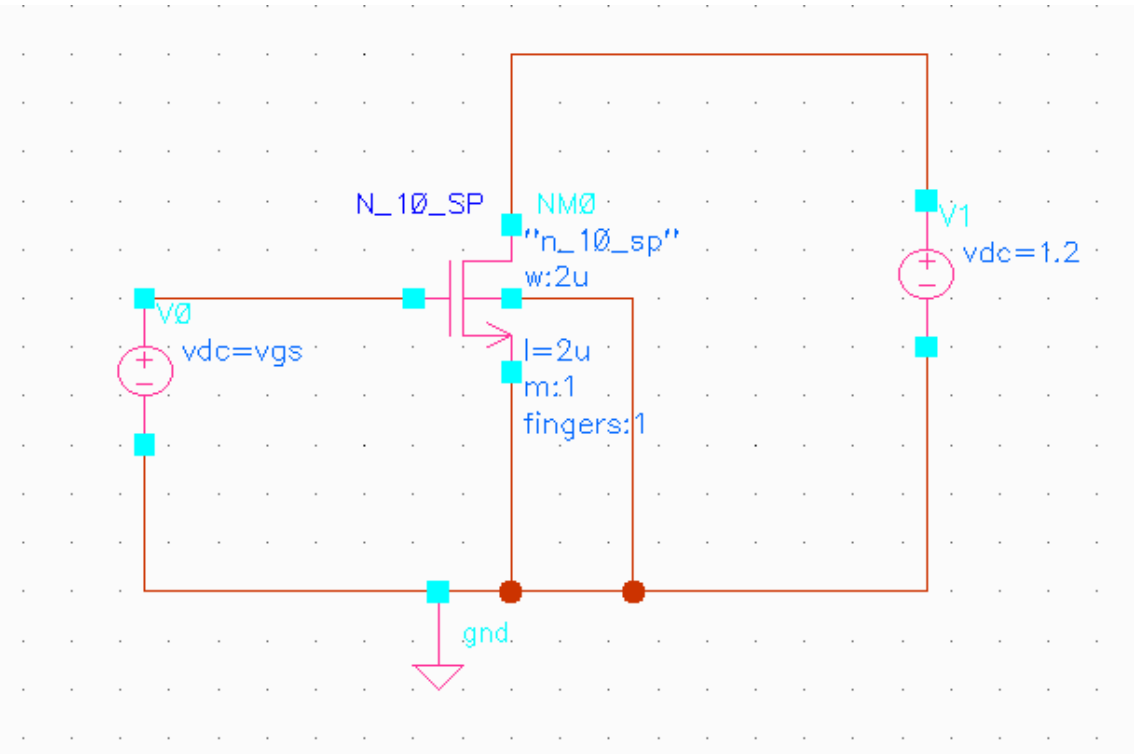


Figura 6.16 Circuito para simular la gráfica g_m/I_D

Una vez tenemos estos valores en una tabla de datos, los procesamos para obtener la gráfica g_m/I_D vs. $I_D/(W/L)$. En las Figuras 6.17 y 6.18 podemos ver estas las gráficas obtenidas para los transistores NMOS y PMOS de la tecnología 90nm de UMC respectivamente.

Una vez obtenidas estas curvas podemos pasar a diseñar los diferentes circuitos empleando esta metodología.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

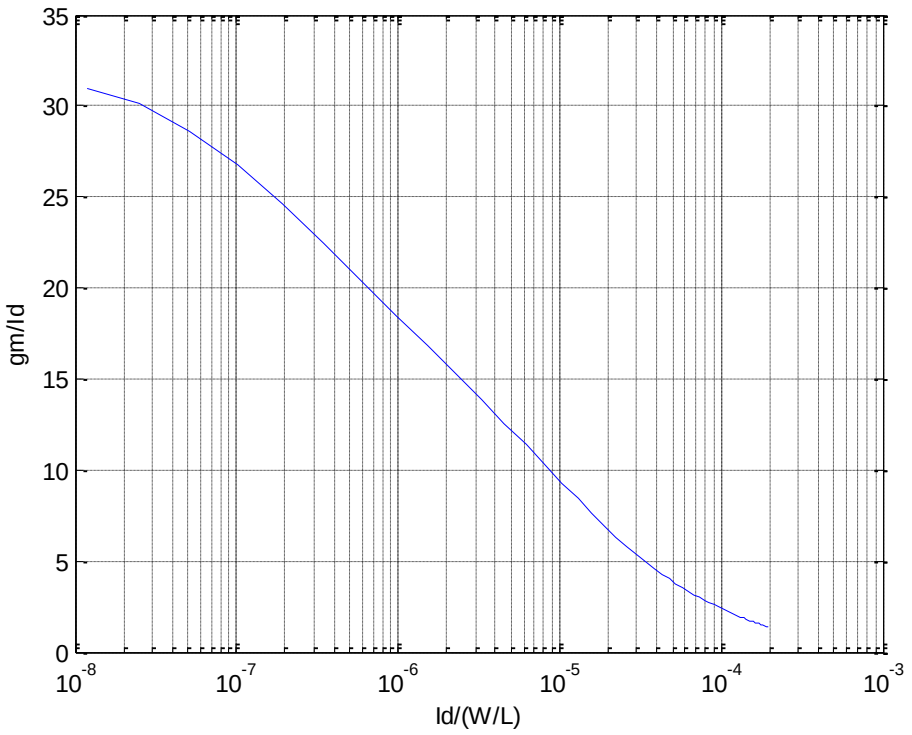


Figura 6.17 Curva gm/ID vs. ID(W/L) del transistor NMOS

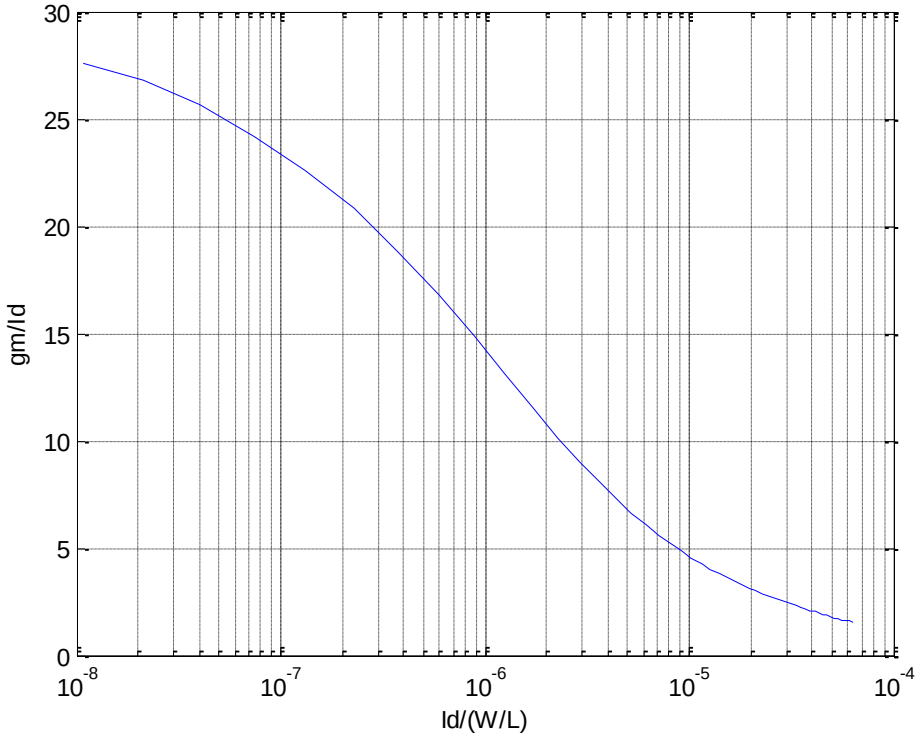


Figura 6.18 Curva gm/ID vs. ID(W/L) del transistor PMOS

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

6.3 Diseño del Amplificador Operacional de Transconductancia (OTA)

En este apartado veremos el diseño del Amplificador Operacional de Transconductancia (OTA) en la tecnología 90nm de UMC. Como hemos dicho este OTA será diseñado empleando la metodología g_m/I_D que acabamos de explicar.

El principal cuello de botella en muchos circuitos analógicos son los amplificadores operaciones. Existen diferentes estructuras de OTAs y será el diseñador quién deba elegir qué estructura tendrá mejores características para las especificaciones que anda buscando [Raz01].

Un OTA podemos definirlo como una fuente de corriente controlada por tensión. Su transconductancia vendrá dada por la ecuación (6- 12) y normalmente está fijada por la transconductancia de la etapa diferencial [Dam08].

$$G_m = \frac{I_{out}}{V_{IN+} - V_{IN-}} \qquad \textbf{(6- 12)}$$

Nosotros hemos optado por un OTA "cascodo doblado" debido a la ganancia y el amplio ancho de banda que presenta [Bak98]. La estructura de este OTA podemos verlo en la Figura 6.19.

Para entender cómo funciona este OTA, éste está compuesto por una etapa diferencial NMOS (M9 y M10). Los transistores M11 y M12 proporcionarán la tensión de polarización a M1, M2, M7 y M8. Las ecuaciones (6- 13) y (6- 14) nos darán la ganancia en lazo abierto y el producto de ganancia por ancho de banda, respectivamente.

$$A_V = \frac{g_{m9} \cdot g_{m6} \cdot g_{m4}}{I_D^{\,2}\left(g_{m4}\lambda_N^{\,2} + g_{m6}\lambda_P^{\,2}\right)} \qquad \textbf{(6- 13)}$$

$$GBW = \frac{g_{m9}}{C_L} \qquad \textbf{(6- 14)}$$

donde g_{mx} son las transconductancias de los transistores, I_D es la corriente de drenador de M4, M6 y M9, C_L es la capacidad del nodo de salida y λ_N y λ_P son los parámetros que modelan la modulación de la longitud del canal para los transistores N y P respectivamente.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Teniendo en cuenta que los transistores M4 y M6 son complementarios, es decir, $g_{m4}=g_{m6}$, podemos reescribir la ecuación (6- 13) en la ecuación (6- 15).

$$A_V = \frac{g_{m9} \cdot g_{m6}}{I_D^{\,2}\left(\lambda_N^{\,2} + \lambda_P^{\,2}\right)} \qquad \textbf{(6- 15)}$$

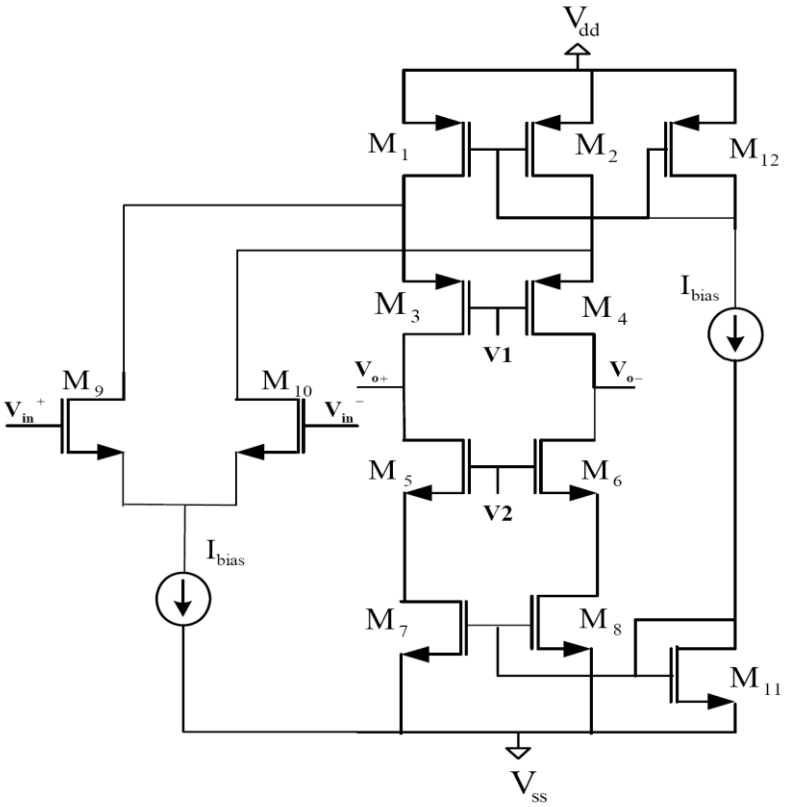


Figura 6.19 Cascodo doblado

Para diseñar este OTA según la metodología g_m/I_D tendremos que seguir el flujo de diseño visto anteriormente. Por lo tanto, lo primero que tendremos que hacer es fijar algunas especificaciones (Tabla 6.1). Estas especificaciones se han fijado basándonos en el diseño de otros de amplificadores operacionales vistos en la literatura y empleados en moduladores Sigma-Delta.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Tabla 6.1 Especificaicones del OTA

Especificaciones	Valores
Ganancia (dB)	>20
Ganancia por ancho de banda (MHz)	>100
Capacidad de salida (pF)	0.1
Tensión de alimentación (V)	1.2
Potencia disipada (uW)	<500

A partir de estas especificaciones, decidimos fijar la relación g_m/I_D para los transistores del par diferencial en la región de inversión moderada puesto que es en esta región donde encontramos mejor equilibrio entre consumo y características. Con las especificaciones anteriores y las ecuaciones podremos ir fijando los diferentes parámetros del circuito. La ecuación (6- 16) derivada de la ecuación (6-14) nos puede ayudar a decidir la corriente de polarización, esta la hemos ido ajustando a lo largo de varias simulaciones para al final decidir quedarnos con una corriente de polarización de 20μA.

$$GBW = \frac{g_{m9}}{I_D}\frac{I_D}{C_L} \qquad \textbf{(6- 16)}$$

Como hemos dicho, queremos que los transistores del par diferencial de entrada (M9 y M10) trabajen en la región de inversión moderada $(g_m/I_D)_{9,10}$=20. Los transistores del espejo de corriente M12, M11, M1, M2, M7 y M8 deberán estar en inversión fuerte, para garantizar un buen apareamiento y unas buenas propiedades de ruido [Pai03].

Los tamaños calculados de todos los transistores se muestran en la Tabla 6.2. Además, las tensiones V1 y V2 se han fijado a -667mV y 667mV, respectivamente. Estos valores se han calculado haciendo un barrido de diferentes valores en simulaciones.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Tabla 6.2 Relación de tamaños de los transistores del OTA

	W/L	W	L
M1	4	480n	120n
M2	4	480n	120n
M3	2	240n	120n
M4	2	240n	120n
M5	1.25	150n	120n
M6	1.25	150n	120n
M7	1.25	150n	120n
M8	1.25	150n	120n
M9	20	2.4u	120n
M10	20	2.4u	120n
M11	2.5	300n	120n
M12	4	480n	120n

Con estos valores hemos cumplido con las especificaciones que nos proponíamos del diseño, los resultados de la simulación se muestran en la Tabla 6.3. Además, en la Figura 6.20 podemos ver la gráfica de la respuesta en frecuencia.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Tabla 6.3 Características del OTA diseñado

Ganancia (dB)	24
Ancho de banda a 3dB (MHz)	20
Ganancia por ancho de banda (MHz)	289
Margen de Fase (º)	84,78
Slew Rate (V/us)	550
Tensión de salida máxima (V)	1,01
Tensión de salida mínima (V)	0,004
Potencia disipada (uW)	73,8
Transconductancia (uS)	6

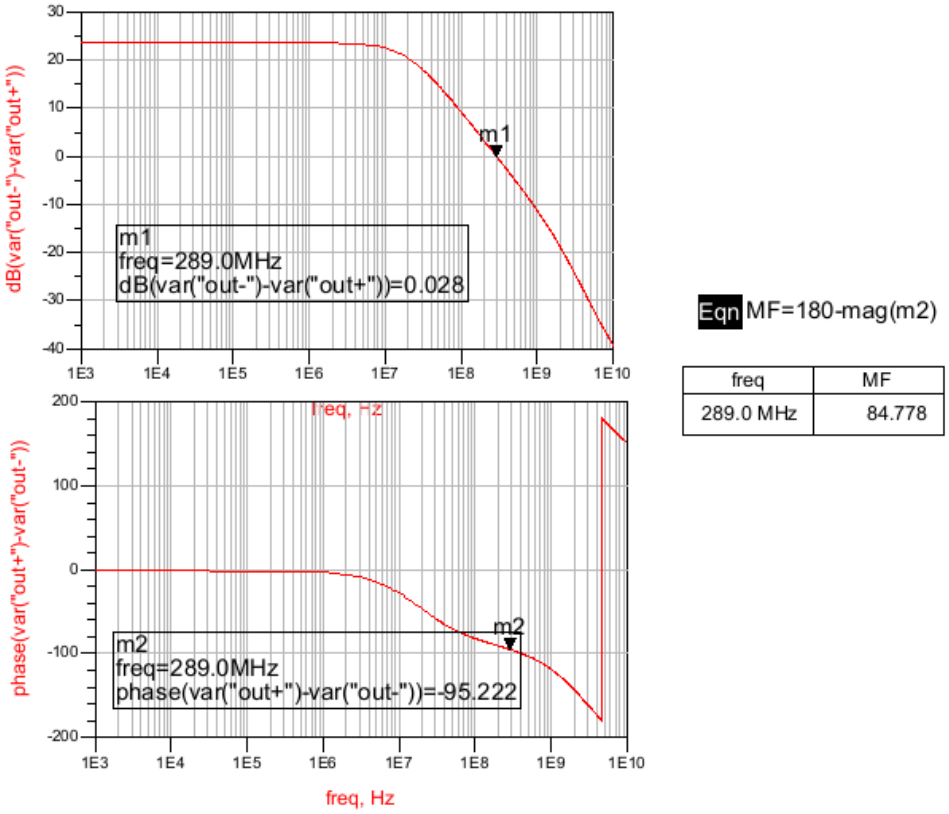


Figura 6.20 Análisis AC del OTA

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

6.4 Diseño del Comparador

Como hemos dicho vamos a emplear un *latch-comparator* con preamplificador (Latch-Comparator + PreamplificadorFigura 6.6) por las ventajas que presenta. Típicamente, un preamplificador consiste en una o dos etapas de un comparador en lazo abierto con una ganancia elevada [Jun10], el uso de este preamplificador permite reducir la sensibilidad del comparador, esto se debe a que si en un principio tenemos una sensibilidad de 5mV y tenemos un preamplificador de ganancia 10, nuestra sensibilidad se verá reducida a 500µV. Además, el uso de una etapa de preamplificación reducirá considerablemente el ruido *kickback* [San11] (el cual explicaremos con detenimiento más adelante).

El preamplificador empleado se muestra en la Figura 6.21, este preamplificador deberá tener un gran ancho de banda para conseguir altas velocidades. El tamaño del los transistores de este preamplificador se muestran en la Tabla 6. 3, estos tamaños se han calculado siguiendo la metodología explicada anteriormente y haciendo que los transistores del par diferencial se encuentren en inversión moderada. Además, la corriente de polarización se ha elegido de 1µA.

Tabla 6. 3 Tamaño de los transistores del preamplificador

	L	W
M1	120n	255n
M2	120n	255n
M3	1.2u	240n
M4	1.2u	240n
M5	1.2u	240n
M6	1.2u	240n

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Hemos simulado el comportamiento de este preamplificador, en su salida como carga hemos utilizado puertas de transmisión que como veremos más adelante serán utilizadas para disminuir el ruido *kickback*. El resultado de la simulación se muestra en la Figura 6.22 donde vemos que tiene un producto de ganancia por ancho de banda (GBW) mayor que 1GHz y, además, es estable.

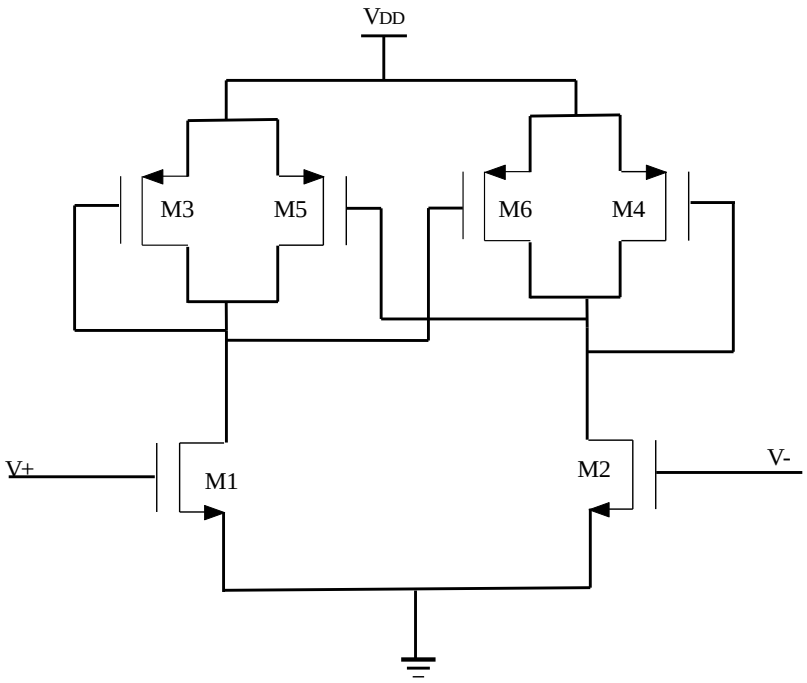


Figura 6.21 Preamplificador

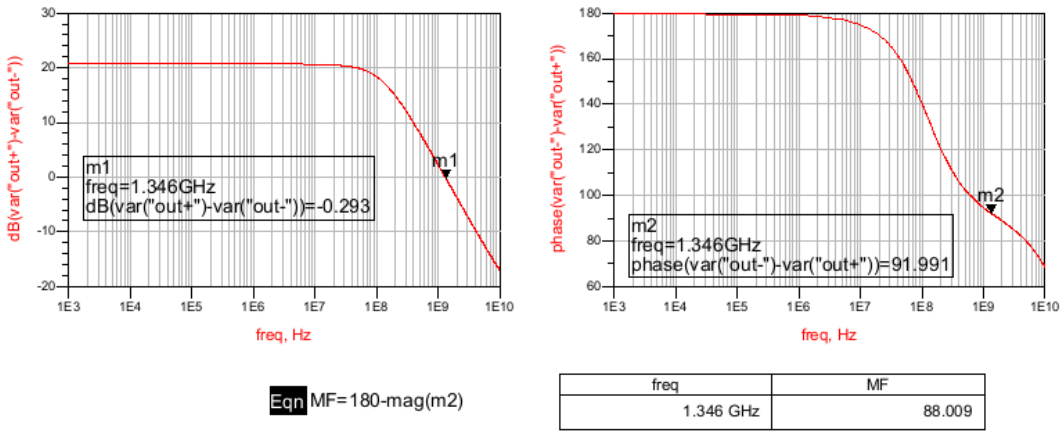


Figura 6.22 Simulación AC del preamplificador

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

El *latch-comparator* [Pai03], mostrado en la Figura 6.23, tiene un par diferencial de entrada NMOS (M1 y M2), dos inversores (M4-M9 y M3-M8) conectados en configuración de realimentación positiva, dos transistores de precarga (M6 y M7) y una fuente controlada por tensión (M5). Esta estructura posee la ventaja de tener un bajo consumo en *stand-by* debido a que en la fase de reset, cuando el reloj está a "nivel bajo", el consumo de corriente cae a cero.

Cuando la señal de reloj está a "nivel bajo" (fase de reset), los transistores M7, M3, M4 y M6 resetean los nodos de salida y los drenadores de los transistores del par diferencial (M1 y M2) a V_{DD}. El transistor M5 estará apagado y no existirá corriente de alimentación. Cuando la señal de reloj "sube" los transistores de precarga son abiertos; la corriente comienza a fluir por M5 y, por lo tanto, por el par diferencial. Dependiendo de la tensión de entrada, uno de los inversores recibirá más corriente, lo cual determinará el estado final de salida.

Después de que se complete la regeneración, uno de los nodos de salida estará a V_{DD} y la otra salida y los drenadores del par diferencial tendrán una tensión de 0V. En esta situación, no hay corriente de alimentación, lo cual maximiza la eficiencia energética.

La velocidad de este tipo de comparadores es fuertemente dependiente de la corriente de polarización.

De los diferentes comparadores existentes [Fig06], éste es uno de los que más velocidad y eficiencia energética presenta, pero también es uno de los que más ruido *kickback* tiene.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

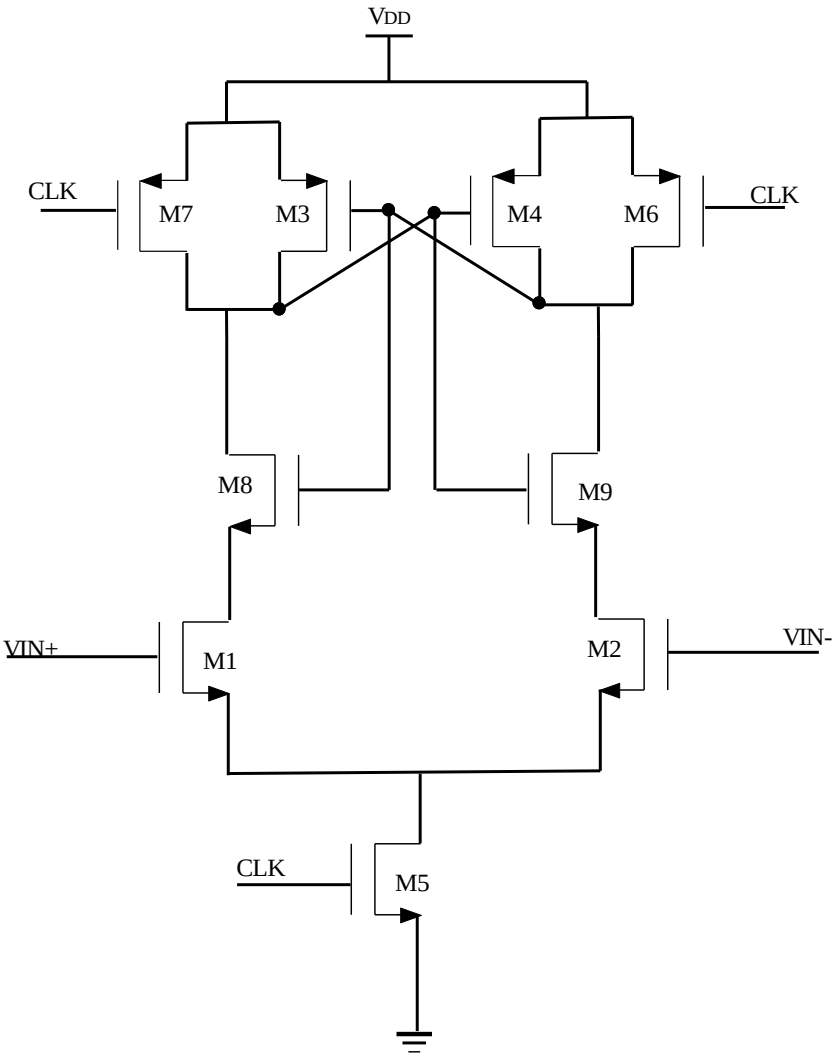


Figura 6.23 Latch-Comparator

En el diseño de este comparador se ha seguido la misma metodología que en los circuitos anteriores, los tamaños de los transistores se muestran en la Tabla 6. 4.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Tabla 6. 4 Tamaño de los transistores del Latch-Comparator

	W	L
M1	18u	120n
M2	18u	120n
M3	6u	1u
M4	6u	1u
M5	4u	120n
M6	400n	120n
M7	400n	120n

Los *latch-comparators* trabajan síncronamente con la señal de reloj. Éste compara las señales que tiene a su entrada y da una señal digital en función del valor de las mismas. Para ello, usa un mecanismo de realimentación positiva que regenera la señal de entrada analógica en una señal digital [Wu88].

Las grandes variaciones de tensión sobre los nodos de regeneración son acopladas, a través de las capacidades parásitas de los transistores, a la entrada del comparador. Como el circuito que precede al comparador no tiene una impedancia de salida nula, estas variaciones podrían degradar la precisión del comparador afectando a la tensión de entrada del mismo [Raz95]. Estas variaciones de tensión acopladas a la entrada se conocen como ruido *kickback*.

Como hemos dicho, añadiendo un preamplificador antes del comparador atenuaremos el problema del ruido *kickback*, con la desventaja de que este preamplificador introducirá una disipación de energía estática [Fig06]. Para reducir el efecto de este ruido podemos insertar en las entradas del comparador puertas de transmisión que actúan como interruptores, estos interruptores se abrirán en la fase de regeneración [Kim01]. Esto eliminará el ruido *kickback* durante la fase de regenración pero, sin embargo, tendremos ruido *kickback* al comienzo de la fase de reset cuando los interruptores son cerrados de nuevo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Existen diversas técnicas para minimizar el ruido *kickback* [Fig06]. Sin embargo, nosotros hemos decidido emplear la técnica nombrada anteriormente de introducir puertas de transmisión entre el preamplificador y el comparador [San11]. Hemos decidido emplear esta técnica por su sencillez y, ya que con la misma, hemos conseguido disminuir significativamente dicho ruido.

Una vez hemos diseñado el *latch-comparator* con preamplificador y hemos visto su rendimiento, los valores más importantes de su comportamiento se muestran en la Tabla 6. 5. Las simulaciones se han realizado con una carga de salida de 0,1pF.

Tabla 6. 5 Resultados del Comparador diseñado

Retardo $t_{DHL}(ns)_{phi1 \to Vo^+}$	2,2
Retardo $t_{DLH}(ns)_{phi1 \to Vo^+}$	4,9
Frecuencia (MHz)	40
Sensibilidad ΔV_{in} **(uV)**	50
Corriente polarización (uA)	170

Como vemos hemos conseguido una sensibilidad muy alta, esto se debe al uso del preamplificador a la entrada del comparador.

6.5 Resultado de las simulaciones de los moduladores Sigma-Delta propuestos

Una vez vistas las estructuras de los moduladores Sigma-Delta a implementar y diseñado los bloques que los componen, pasamos a la simulación de los mismos en Cadence [Cad]. Como sabemos, la salida de estos moduladores será una cadena de bits que, en este caso, tendremos que guardar para su posterior procesado, el cual se realizará en Matlab [Mat].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

En primer lugar simulamos el circuito de la Figura 6.1. El espectro de la salida del mismo se muestra en la Figura 6.24, donde la SNR obtenida es de 18dB. Una vez visto el resultado con esta estructura, simulamos el modulador de la Figura 6.2. El espectro de salida del mismo se muestra en la Figura 6.25, donde la SNR obtenida es de 21dB.

Además, hemos comprobado el consumo de cada uno de ellos. El primer modulador posee un consumo de 1.84mW, mientras que en el segundo éste se ve reducido drásticamente a 636uW. Esto se debe a que el primer modulador emplea dos realimentaciones, las cuales son responsables de gran parte del consumo del mismo.

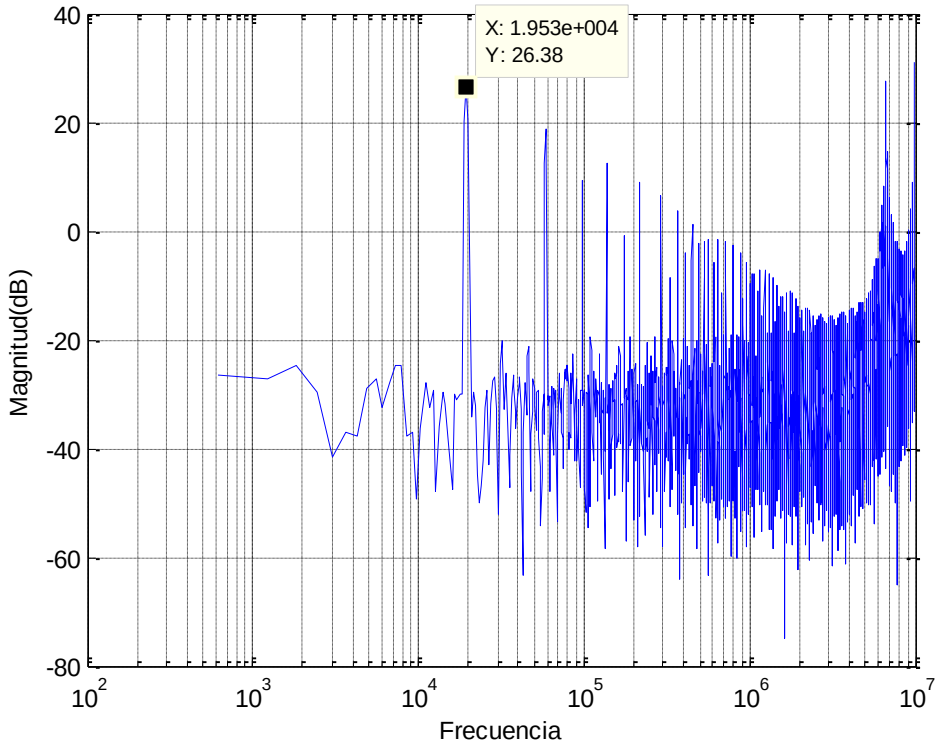


Figura 6.24 Espectro del modulador con integradores

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

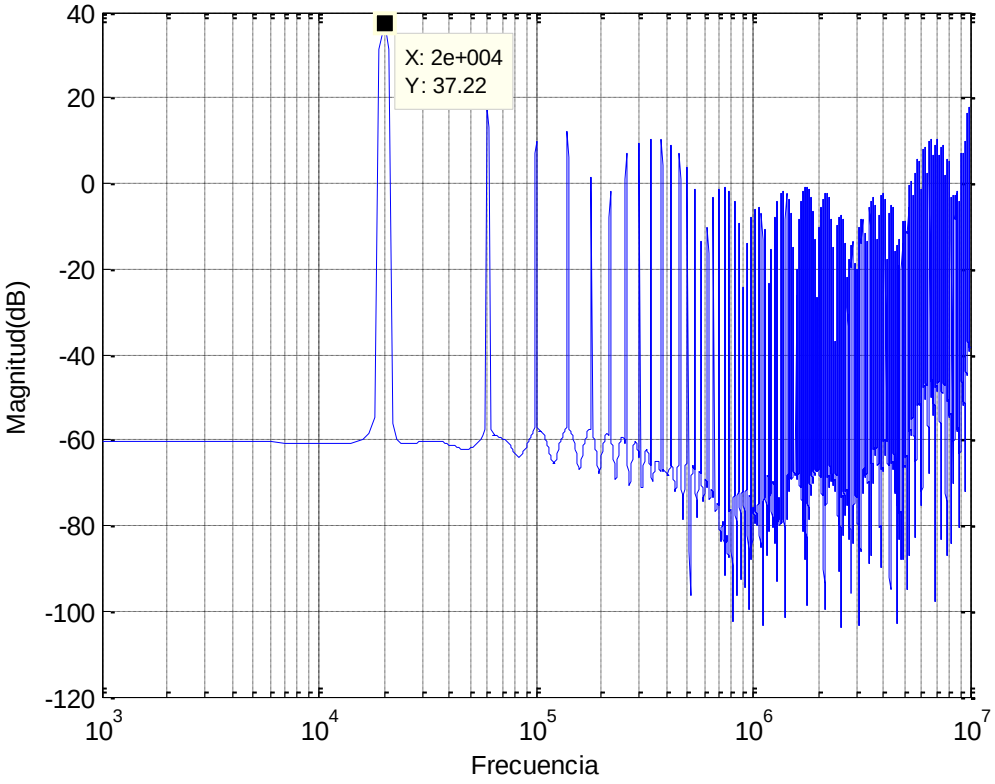


Figura 6.25 Espectro de salida del modulador con filtro biquad

6.6 Conclusiones

En este capítulo hemos visto dos estructuras diferentes para la implementación de un modulador Sigma-Delta de orden 2.

Además, hemos explicado los bloques más importantes que componen un modulador Sigma-Delta y su diseño a nivel de transistores. En este caso, hemos empleado una novedosa metodología que nos permite colocar a los transistores en el nivel de inversión que deseemos. Esto nos permite mejorar las prestaciones de los mismos y reducir su consumo.

Una vez diseñado estos bloques hemos realizado las simulaciones de los dos moduladores de orden 2 en Cadence [Cad] analizando y comparando sus resultados. Con los datos obtenidos, llegamos a la conclusión de que el modulador diseñado de la Figura 6.2 presenta mejores características.

El siguiente paso será la realización a nivel de *layout* de uno de estos dos moduladores, atendiendo a los elementos que componen cada uno, el modulador de la Figura 6.2 será

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

fácilmente integrable debido a que emplea condensadores de 3pF. En cambio, en el caso del modulador de la Figura 6.1, los condensadores empleados son del orden de decenas de pF. Por lo tanto, debido a esto y a los resultados obtenidos, en el siguiente capítulo procederemos al diseño a nivel de *layout* del modulador de la Figura 6.2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Capítulo 7

Layout

Realizar un *layout* consiste en definir los planos de fabricación del circuito conforme a las limitaciones impuestas por los procesos de fabricación, el flujo de diseño según la tecnología y los requisitos de rendimiento que tiene que cumplir el diseño.

En este capítulo explicaremos las diferentes técnicas que hemos seguido para la implementación del *layout* de nuestro diseño.

Empleando estas técnicas diseñaremos el *layout* del modulador visto en el capítulo anterior (Figura 6.2). Veremos que gracias a emplear estas técnicas el resultado no diferirá prácticamente del obtenido en las simulaciones a nivel de esquemático.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

7.1 Diseño de *layout*

A la hora de diseñar un *layout* tendremos que tener en cuenta una serie de reglas de diseño que dependerán del tipo de tecnología usada para la fabricación del circuito, en nuestro caso como ya hemos nombrado emplearemos la tecnología 90nm de UMC. La mayoría de estas reglas hacen referencia a la distancia entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaños, anchos de las pistas, etc. Todas estas reglas las proporciona el fabricante y son de carácter confidencial.

Además, de las reglas de diseño impuestas por las tecnologías tenemos que tener en cuenta más aspectos que influirán en el comportamiento y funcionamiento de nuestro circuito. Como las dispersiones que pueden producirse en los parámetros de los componentes del circuito en el proceso de fabricación, la aparición de elementos parásitos como capacidades e inductancias y corrientes parásitas que degradarán la calidad de nuestro diseño. Para minimizar lo máximo posible estos efectos o evitarlos en su totalidad existen técnicas de diseño a la hora de realizar el *layout* de un circuito, algunas de las cuales las usaremos en nuestro diseño.

Para la realización del *layout* utilizamos la herramienta Virtuoso integrada dentro del software Cadence.

Una vez realizado el *layout*, seguiremos un proceso de verificación: Verificación de reglas de diseño (DRC) y Verificación *Layout Versus Schematic* (LVS). Esto nos asegurará que la célula realizada a nivel físico cumple las reglas de diseño especificadas por la tecnología y nos permitirá comparar el *layout* realizado con el esquemático de partida, asegurando el funcionamiento.

7.1.1 *Layout* de pistas

Las pistas de un circuito integrado tienen como función unir los distintos componentes. Éstas se ven sometidas a diversas tensiones y dependiendo de si éstas tensiones son variantes en el tiempo o no, las podremos clasificar en pistas de alimentación o pistas para la transmisión de señales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Las pistas de alimentación tienen como misión conectar dispositivos a tensiones constantes o que varían en el tiempo de forma lenta. Por ejemplo, pistas de alimentación son todas las que unen los puntos de tierra. Las pistas de transmisión de señales tienen por objetivo conectar distintos dispositivos soportando señales que varían en el tiempo.

En ambos tipos de pistas es necesario minimizar los efectos parásitos que se puedan introducir, pero sobre todo tenemos que tener cuidado con las pistas de transmisión de señales. Estos efectos pueden ser: resistivos, capacitivos, inductivos, reflexiones que pueden aparecer en las pistas de transmisión de señales, etc.

El ancho de las pistas dependerá de la densidad de corriente que circule por ellas y de la conductividad que posean. La conductividad dependerá de la tecnología empleada.

7.1.2 *Layout* de transistores MOS

Como sabemos la corriente que pasa a través de un transistor MOS es determinada por el tamaño de éste. Si aumentamos el ancho del transistor o disminuimos su longitud el flujo de corriente aumenta. Esto lo entenderemos mediante la comprensión de las características físicas de los transistores.

En el caso de los transistores PMOS la fuente y el drenador se realizan mediante difusiones tipo P+. Éstas no se hacen directamente sobre el sustrato tipo P ya que existiría conducción entre las difusiones P+ y el sustrado conectado a tierra. Por este motivo se realiza sobre el sustrato una implantación de material tipo N formando un pozo sobre el cual se realiza el transistor. La puerta está formada por una fina capa de óxido de silicio depositada sobre el pozo. En la Figura 7.1 vemos el corte esquemático de este transistor. En las uniones PN se formarán diodos parásitos y para evitar que estén polarizados en directa y, por lo tanto, que conduzcan se conecta el sustrato a la tensión más positiva.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

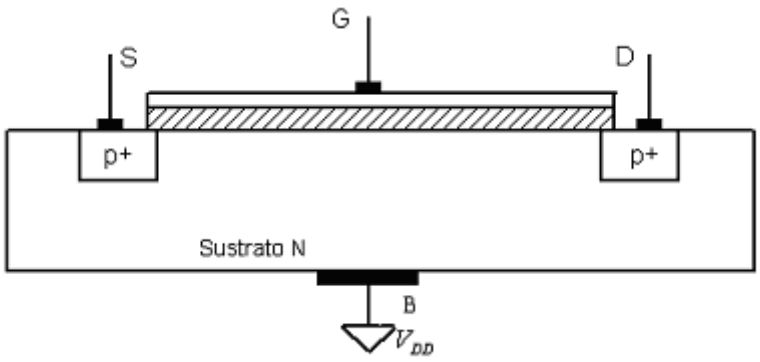


Figura 7.1 Corte esquemático del transistor PMOS

En los transistores NMOS la fuente y el drenador se realizan mediante difusiones tipo N+ sobre el sustrato tipo P, en este caso sí se pueden hacer estas difusiones sobre el sustrato tipo P directamente y no necesitamos ningún pozo. La puerta está formada al igual que en el caso de los PMOS por una fina capa de óxido, esta vez depositada sobre el sustrato. En la Figura 7.2 vemos el corte esquemático de este transistor. Al igual que ocurría en el caso anterior en las uniones PN se forman diodos parásitos, y para evitar que conduzcan los polarizamos en inversa conectando el sustrato a tierra.

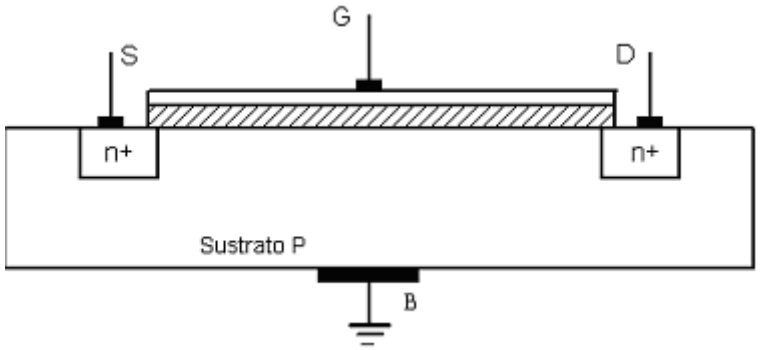


Figura 7.2 Corte esquemático del transistor NMOS

En la Figura 7.3 se muestra el *layout* de un transistor PMOS simple. Donde notamos que:

- La puerta del transistor está definida por un polígono de polisilicio.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

- Los 4 terminales del transistor se muestran y son etiquetados.
- Las áreas de difusión adyacentes a la puerta del transistor define las áreas de la fuente y del drenador, vemos que el drenador y la fuente son intercambiables.
- Al ser un transistor PMOS se localiza sobre un pozo tipo N (N-well).

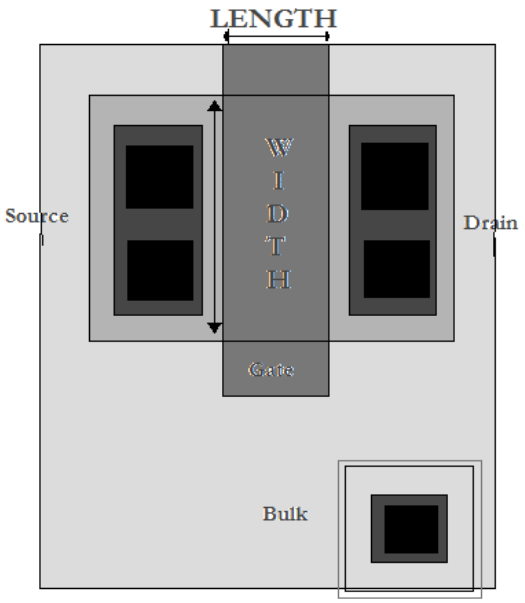


Figura 7.3 Layout de un transistor PMOS

En el caso del *layout* de un transistor NMOS simple sería igual pero, como dijimos antes, no necesitaremos ningún pozo, las difusiones se hacen directamente sobre el sustrato tipo P.

Como sabemos el flujo de corriente dependerá del tamaño de la puerta. La longitud de un transistor hace referencia a la distancia entre la fuente y el drenador, es decir, la distancia que tienen que recorrer los electrones cuando la puerta está activa (recordar que el voltaje de puerta es la que controla el flujo de corriente). Si dos transistores tienen el mismo ancho, aquel con menor longitud de puerta será el que producirá más corriente. En cambio, el ancho de un transistor puede ser considerado como el número de canales paralelos posibles para que pase corriente de la fuente al drenador, cuanto mayor ancho mayor flujo de corriente. Siempre que

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

se hable del tamaño de la puerta de una tecnología, se está haciendo referencia a la mínima longitud de puerta.

7.1.3 *Layout* de resistencias

Cuando se desea incluir en el diseño resistencias de ciertos valores hay que tener en cuenta que dicha resistencia se debe definir en el *layout*. Para ello el primer paso que debemos seguir es elegir una capa apropiada. Para esta elección debemos tener en cuenta los siguientes factores:

- La resistividad de las diferentes capas.
- Las variaciones que se producen en la resistividad bajo diferentes condiciones como puede ser la temperatura.
- La variación del ancho de la capa bajo diferentes condiciones del proceso.
- El área resultante con la capa elegida.

Algunos procesos tienen una capa altamente resistiva que es ideal para esta aplicación.

La resistencia se calcula usando la ecuación (7- 1), de este modo para implementar una resistencia con un valor específico seleccionaremos un ancho y una longitud adecuada según la resistividad de la capa elegida:

$$R = \rho \cdot l / w \qquad \textbf{(7- 1)}$$

donde ρ es la resistividad de la capa dada en $\Omega \cdot m$, l es la longitud, y w es el ancho del conductor.

La elección del ancho y la longitud deberán ser de tal forma que la resistencia tenga un tamaño razonable.

A la hora del proceso de fabricación de las películas que constituyen las resistencias integradas existen dispersiones que provocan diferencias entre el valor deseado de una resistencia integrada y el real. La única forma de minimizar esta divergencia es empleando

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

grandes dimensiones y siguiendo las recomendaciones de las reglas de diseño que proporciona la tecnología.

7.1.4 *Layout* de capacidades

La fórmula que usamos para calcular la capacidad de un conductor se muestra en la ecuación 6.2.

$$C = \varepsilon \cdot A / d \qquad \textbf{(7- 2)}$$

donde A es la superficie de el conductor ($A = WxL$), d es la distancia física entre el conductor y el nodo de referencia y ε es una constante característica de la capa aislante entre el conductor y el nodo de referencia. En la Figura 7.4 se muestra teóricamente un condensador.

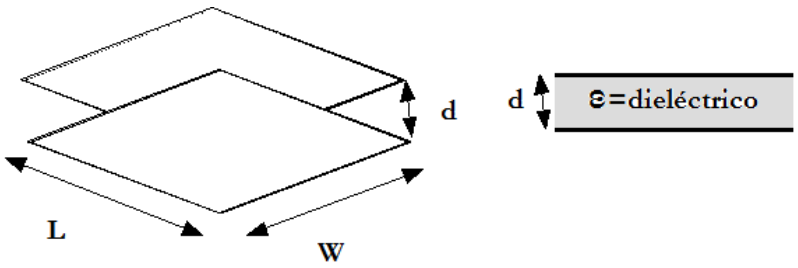


Figura 7.4 Condensador teórico

Para aumentar la capacidad, d debería minimizarse lo máximo posible y de esta manera evitar consumir mucha área. Para realizar *layout* de condensadores existen capas con las características adecuadas.

Al igual que pasaba en el *layout* de resistencias a la hora de los procesos de fabricación de las películas que constituyen el condensador se producen dispersiones que dan lugar a divergencias entre el valor deseado y el fabricado. La única manera de minimizar la dispersión es empleando capas que presenten poca dispersión en la capacidad que aparece entre ellas,

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

eligiendo grande dimensiones y siguiendo las recomendaciones de las reglas de diseño del fabricante.

7.1.5 Técnicas de diseño

7.1.5.1 División de los transistores en dedos

A la hora de realizar el *layout* de un transistor tenemos que tener en cuenta las dimensiones del mismo. En el caso de diseñar transistores con un ancho de canal muy grande pueden aparecer problemas en la polarización del mismo. Debido a la elevada anchura del canal, las caídas de tensión que se producen a lo ancho del mismo puede provocar que la tensión que hay en el punto medio del transistor sea tan baja que esta zona no esté polarizada correctamente.

Para conseguir diseñar transistores de dimensiones elevadas y evitar que el ancho sea excesivo se emplea una técnica que consiste en dividir el transistor con canal ancho en transistores más pequeños y conectarlos en paralelo como puede verse en la Figura 6.8. Cada uno de estos transistores se llama dedo.

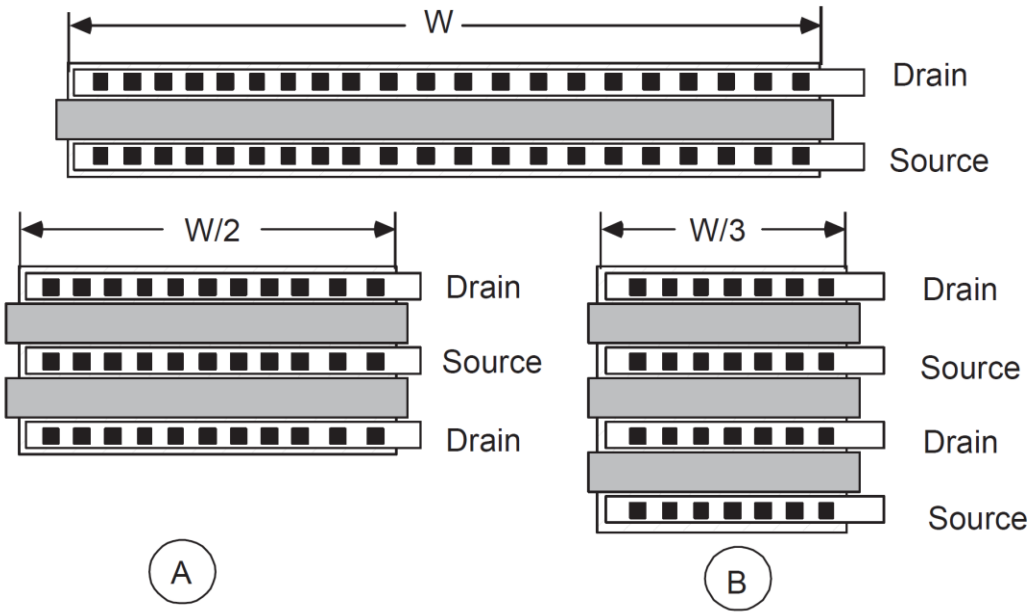


Figura 7.5 División de un transistor en dedos

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Con esta técnica podemos dividir el tamaño del transistor a nuestro gusto y, en el caso de transistores de gran tamaño nos evitaremos los problemas de polarización.

El número de dedos se calcula de forma que el ancho de cada dedo w multiplicado por el número de dedos total, N, sea igual al ancho total del transistor que se quiere diseñar (ecuación (7- 3)).

$$W = N \cdot w \qquad \textbf{(7- 3)}$$

7.1.5.2 Apareamiento o *matching*

En nuestro diseño hemos usado pares diferenciales y espejos de corriente. A la hora de realizar el *layout*, con este tipo de configuraciones debemos tener especial cuidado ya que los transistores deben estar bien apareados. En el caso de un par diferencial debemos conseguir que las dos ramas que componen el amplificador sean simétricas para lo cual emplearemos la técnica del centroide común explicada más adelante. Y en los espejos de corriente donde necesitamos transistores de diferentes tamaños según la relación de corriente deseada, debemos dividirlos en dedos de tamaños iguales y buscar una simetría.

7.1.5.3 Técnica del centroide común

Con esta técnica, al realizar el *layout* conseguimos minimizar el efecto de las dispersiones que se puedan producir durante el proceso de fabricación en transistores que deben estar bien apareados como es el caso de los pares diferenciales y en el caso de producirse dichas dispersiones que éstas afecten del mismo modo a todos los elementos. Estas dispersiones dependen sobre todo de dónde esté situado el circuito integrado dentro de la oblea y actúan siempre de manera lineal y en una dirección determinada.

Se pueden distinguir varios tipos de dispersiones. Como por ejemplo:

- Variación en el espesor de la capa de óxido. Esto afecta a la capacidad Cox y, por lo tanto, a las capacidades parásitas del transistor.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

- Variación en el número de impurezas. Esto afecta a la movilidad de los electrones y, como consecuencia, al valor de la transconductancia del transistor.

- Variación del tamaño de los transistores. Afecta al valor de la transconductancia, capacidades parásitas y resistencia del transistor.

Como hemos dicho las dos ramas del par diferencial deben de ser idénticas, es decir, debe existir la máxima simetría posible entre ambas. Para conseguir esto utilizamos esta técnica que pretende que los transistores usados en cada rama sean idénticos. Para conseguirlo, los transistores deben tener el mismo centro geométrico de forma que las dispersiones producidas les afecten de la misma manera. El patrón utilizado en todo el diseño es el de *arrays* unidimensionales (ABCDDCBA), el cual tiene un eje de simetría que divide en dos el conjunto, formando una de las mitades un espejo con la otra (ABCD y DCBA). Para conseguir esta estructura lo que se hace es realizar una división de los transistores por multiplicidad, es decir, que a partir de un transistor se obtienen dos transistores con unas dimensiones tales que consiguen la equivalencia con el de partida.

Por ejemplo, si tenemos el par diferencial de la Figura 7.6 formado por dos transistores Ma y Mb acoplados por la fuente.

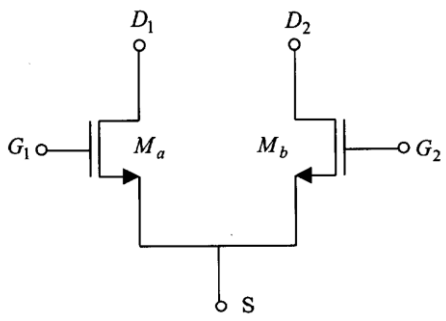


Figura 7.6 Par diferencial

Para conseguir la máxima simetría entre estos dos componentes, los transistores los dividimos en 2 y los colocamos como se muestra en la Figura 7.7, donde comparten un centro común.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

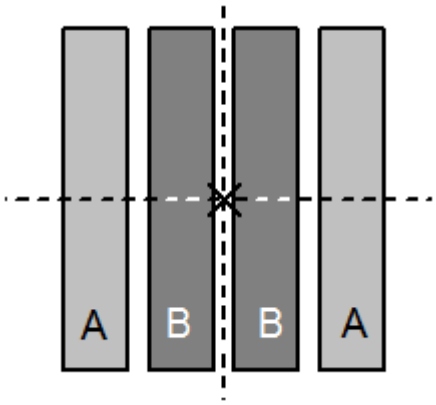


Figura 7.7 Técnica del centroide común

Además, para minimizar el efecto de las dispersiones conviene implementar los transistores de forma que el sentido de la corriente sea el mismo en un par de transistores que se desea que se comporten idénticamente [Mel01].

7.1.6 Reglas de diseño

Las reglas de diseño son aquellas que se deben respetar cuando hacemos el *layout* de un diseño. En este apartado veremos algunas que hacen referencia a los polígonos o las pistas, transistores y contactos. Estas reglas de diseño representan las limitaciones físicas de los procesos de fabricación.

Para comprobar que se cumplen todas estas reglas se realiza un DRC (*Desing Rule Check*). El DRC, es un programa que chequea cada una de las partes del *layout* comparándola con las reglas de diseño del proceso empleado. Se testea cada extremo con sus bordes vecinos para comprobar violaciones de ancho y separación de pistas. Si se ha violado alguna de las reglas, la herramienta nos indica dónde se ha producido y por qué.

7.1.6.1 Tamaño de los polígonos

El ancho mínimo de un polígono es una dimensión crítica, está definido por las limitaciones de los procesos de fabricación, por ejemplo, como vimos anteriormente la longitud de las puertas tiene un mínimo. Una violación de esta regla puede resultar en un circuito abierto.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

En cuanto a las pistas de metal1, metal2 y metal3, han de tener un determinado ancho dependiendo del flujo de corriente que circule a través de ellas. Estas dimensiones son recomendadas por la tecnología usada.

La longitud de un polígono o pista es normalmente ilimitado; sin embargo, en algunos procesos puede haber reglas acerca de requisitos de área (por ejemplo, en el caso de un contacto o vía donde habrá una regla de longitud y anchura).

También se debe evitar ángulos en las pistas menores a 45º.

7.1.6.2 Regla de separación

Esta regla nos muestra la distancia mínima entre dos polígonos. Generalmente se usa para evitar cortocircuitos. Son aplicadas a polígonos entre la misma capa y también entre capas diferentes.

7.1.6.3 Regla de solapamiento

Esta regla hace referencia al solapamiento de un polígono con otro. Un ejemplo sería el solapamiento de una capa de metal por encima de una via o contacto.

7.2 *Layout* del modulador Sigma-Delta

En este apartado realizamos el *layout* del modulador mostrado en la Figura 6.2 empleando las técnicas nombradas anteriormente. Este *layout* se muestra en la Figura 7.8 donde el área total es de 392x794μm^2. Vemos que la mayor parte de esta área está ocupada por los *pads*.

En la Figura 7.9 puede verse un zoom del *layout* de la parte donde se encuentra el modulador donde comprobamos que la mayor parte de esta área está ocupado por los condensadores. Por lo tanto, a la hora de realizar un diseño tendremos que tener muy en cuenta el tamaño de los mismos para su posible integración.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

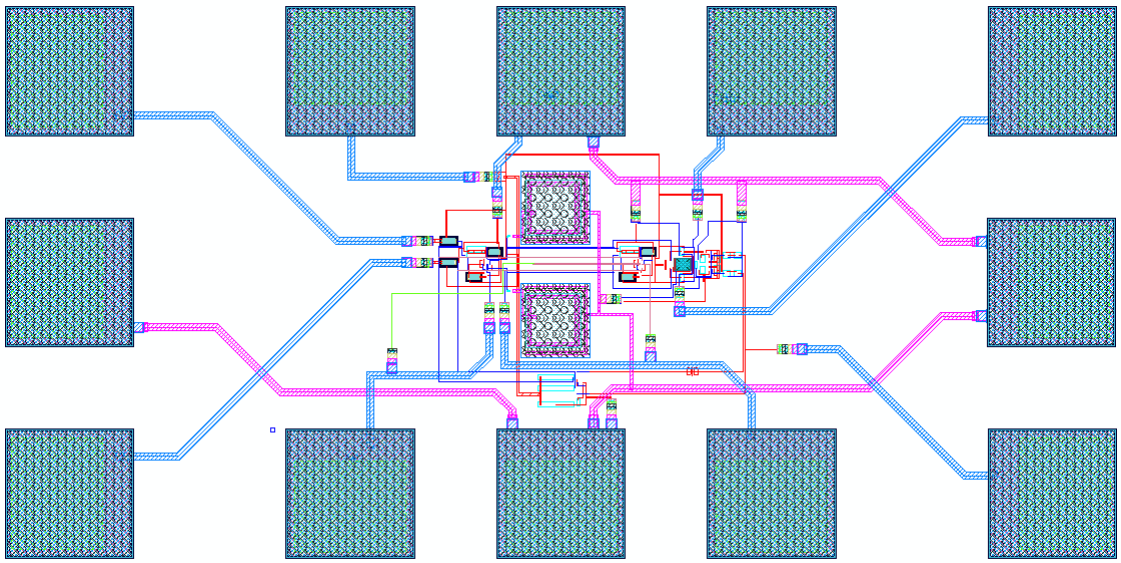


Figura 7.8 ***Layout*** **del modulador Sigma-Delta**

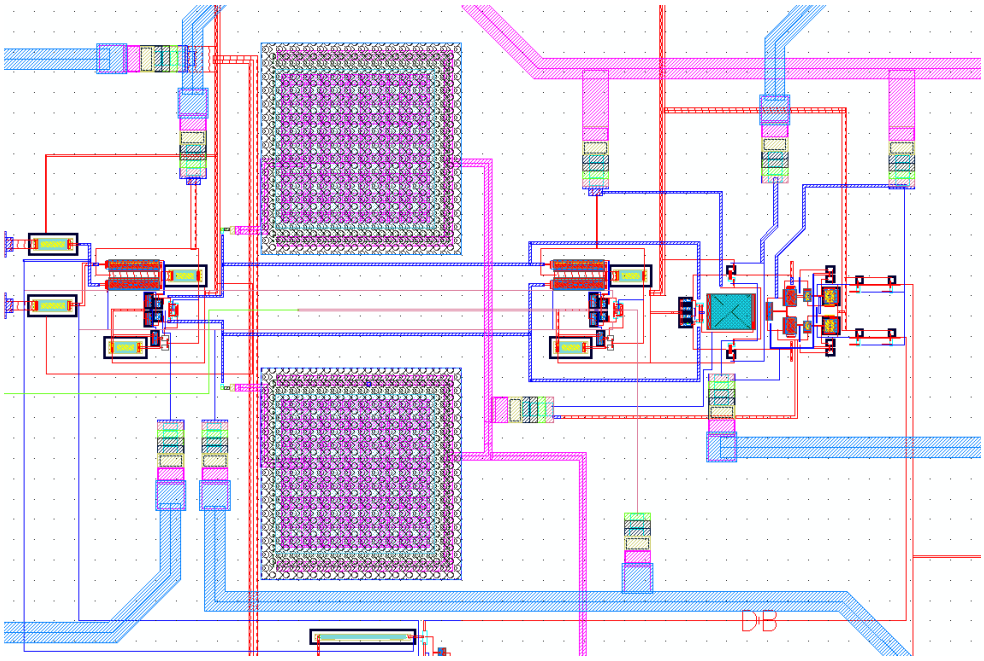


Figura 7.9 Zoom del *layout* del modulador Sigma-Delta

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Una vez diseñado el *layout*, realizamos la simulación del modulador completo. El espectro de salida de dicha simulación se muestra en la Figura 7.10, donde obtenemos una SNR de 18dB, la cual es inferior a la obtenida en la simulación a nivel de esquemático. Si nos fijamos en ambas simulaciones nos damos cuenta de que ambas salidas son prácticamente iguales, simplemente en la simulación *post-layout* debido a las no idealidades aparece el segundo armónico que en las simulaciones a nivel de esquemático no aparecía.

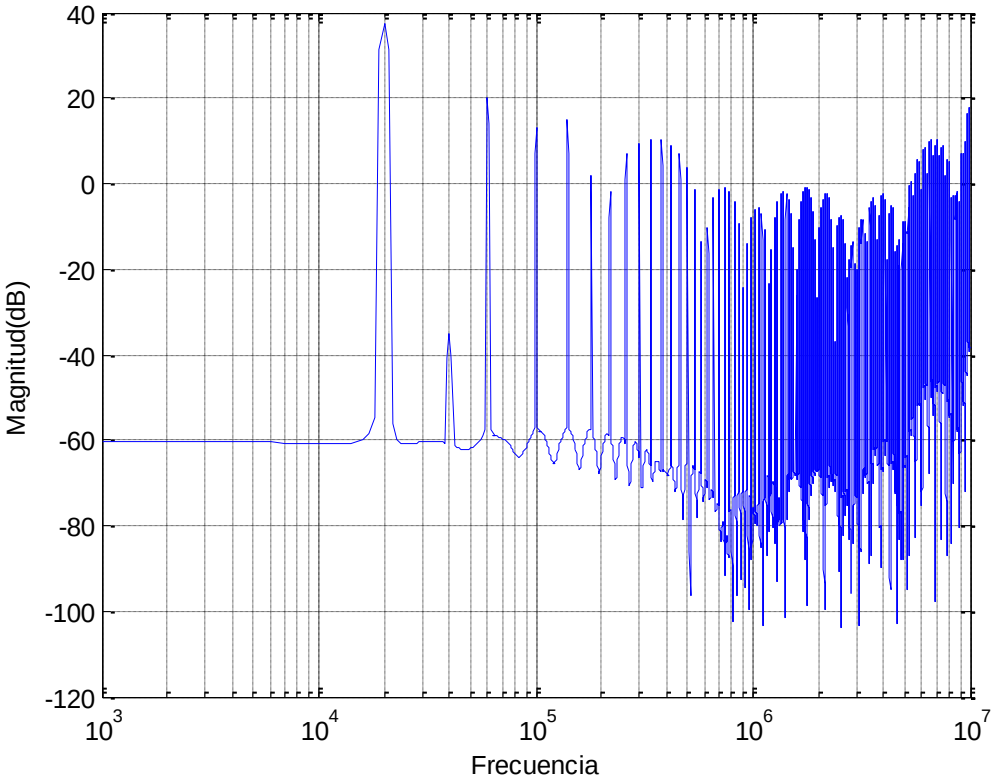


Figura 7.10 Resultado de la simulación *post-layout* del modulador

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

7.3 Conclusiones

En este capítulo hemos hecho una pequeña introducción a la teoría del *layout* donde hemos explicado algunas técnicas y reglas de diseño que hemos empleado a la hora de realizar el *layout* de nuestro circuito.

Además, hemos realizado la simulación *post-layout* de nuestro modulador y hemos comprobado que su comportamiento es prácticamente el mismo que el obtenido en la simulación a nivel de esquemático.

En el siguiente capítulo daremos las conclusiones obtenidas después de realizar nuestro diseño y, daremos unas pautas para mejorar el comportamiento del mismo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Capítulo 8

Conclusiones

Como hemos dicho en la introducción el objetivo final de este proyecto es el diseño de un modulador Sigma-Delta de Tiempo Continuo en la tecnología 90nm de UMC para ser utilizado en un sintetizador de frecuencias.

En capítulos anteriores hemos visto como trabaja un modulador Sigma-Delta y las diferentes metodologías para su diseño a nivel de bloques.

Una vez aclarados estos conceptos, hemos pasado al diseño del modulador a nivel de circuitos. Para ello, hemos decidido realizar un modulador Sigma-Delta de orden 2 ya que cumple perfectamente con las especificaciones pedidas. Este modulador lo hemos llevado a cabo a nivel de esquemático empleando dos estructuras y posteriormente hemos realizado el *layout* de la que mejor prestaciones presentaba.

Debido a la inexperiencia en el diseño de moduladores Sigma-Delta, nos hemos dado cuenta de que estamos teniendo serios problema con los armónicos de salida. Por esta

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

razón, hemos optado por revisar detenidamente la literatura y ver cómo podemos solucionarlo. En el apartado siguiente explicaremos las conclusiones obtenidas y daremos las pautas a seguir para poder solucionar este problema.

8.1 Escalado de los coeficientes

Si volvemos a revisar el Capítulo 5, donde explicamos la metodología de diseño seguida para realizar un modulador Sigma-Delta en tiempo continuo, nos damos cuenta de que cuando calculamos los coeficientes consideramos que los integradores empleados son ideales. Es decir, que tanto su rango de tensión de salida como de entrada es ilimitado. Sin embargo, esto en la práctica no es así ya que tanto la excursión de salida de los integradores como el rango de señal que podremos aplicar a su entrada estarán limitados por los circuitos que estamos empleando.

Para mostrar este problema, si en el modulador diseñado en el Capítulo 5 (Figura 5. 12) limitamos la salida de los integradores, con lo que ya no serían ideales, el espectro de la salida obtenida es el que se muestra en la Figura 8.1 y no el que mostrábamos en la Figura 5.14. Podemos comprobar que limitando la salida de los integradores tenemos bastante distorsión y que la SNR ha disminuido hasta 27dB.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

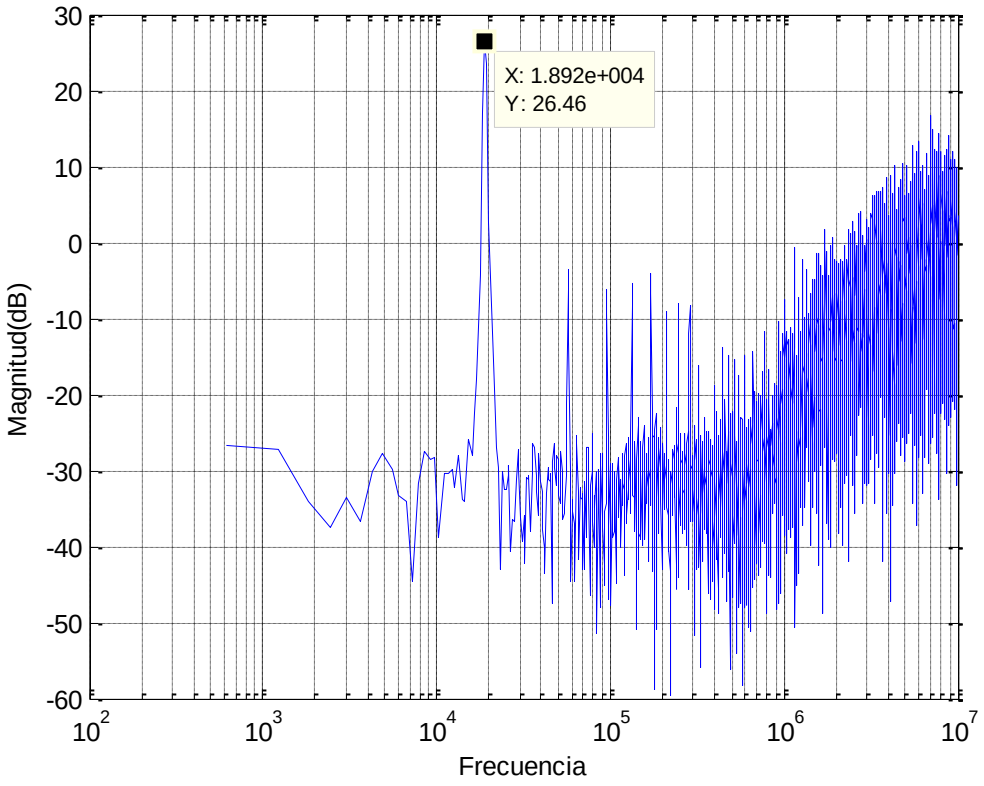


Figura 8.1 Espectro de salida con la salida de los integradores limitada

Si nos fijamos con detenimiento en este resultado y el obtenido en las Figuras 6.24 y 6.25, nos damos cuenta de su parecido, por lo que el problema que tenemos en nuestros circuitos es que estamos saturando los diferentes bloques que componen los mismos.

La solución a este problema consiste en escalar los coeficientes obtenidos para el modulador con integradores ideales. Este método lo explicaremos a continuación empleando como ejemplo el modulador diseñado en el Capítulo 5 (Figura 5.12).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

8.2 Ejemplo del método de escalado de los coeficientes

Existen diversos métodos para determinar los coeficientes de un modulador Sigma-Delta, tanto en tiempo continuo como en tiempo discreto. El problema es que estos métodos solo tienen en cuenta el diseño a nivel de sistema y la estabilidad de la NTF. Cuando llega la hora de implementar el modulador a nivel de circuitos, estos coeficientes deben ser escalados para limitar la excursión de salida de los integradores [Bos90] [Kir90] [Zhi02].

El método que se ha seguido para calcular el valor de los coeficientes [Sch03] fija todas las ganancias de los integradores a uno y no toma en cuenta el nivel de la señal de salida de cada integrador. Por lo tanto, los integradores pueden ser saturados si la tensión llega a ser demasiado grande. Esto generará distorsión a la salida del modulador.

El método que emplearemos para escalar estos coeficientes es el descrito en [Bei03], el cual se basa en la idea de modificar estos coeficientes de forma que no saturemos la salida de los integradores y, además, preservemos la NTF (ecuación (8- 1)).

$$NTF = \frac{1}{1 + H_{DAC} H_d} \qquad \textbf{(8- 1)}$$

En la ecuación (8- 1) H_d es el filtro de lazo y H_{DAC} es la función del DAC de realimentación. De esta ecuación podemos deducir que solo H_d determina la NTF ya que H_{DAC} no la consideraremos en el proceso de escalado. Por lo tanto, para conservar la NTF todos los factores de escalado (f_i) introducidos en la ganancia de los integradores para limitar su excursión de salida, tienen que desaparecer en la expresión final de H_d. Para respetar esta condición debemos hacer lo siguiente:

1. Dividir la ganancia de cada integrador por su factor de escalado correspondiente, f_i.

2. Distribuir f_i de forma que no aparezca en la expresión final de H_d.

La distribución de estos factores de escalado dependerá de la arquitectura elegida, que en este caso es la 'CRFF'.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Como sabemos los moduladores Sigma-Delta son sistemas no lineales. Por lo tanto, en la práctica, para determinar el valor de fi debemos usar simulaciones de su comportamiento [Bei03]. Comenzamos por el primer integrador y realizamos los siguientes pasos:

1. Poner el valor inicial para todos los factores de escalado a 1, f1=f2=….fn=1.

2. Simular el modulador Sigma-Delta con los factores de escalado mantenidos a 1.

3. El factor de escalado, fi, correspondiente a la simulación i^{th} lo calculamos siguiendo la siguiente expresión:

$$f_i = \frac{\max(salida\_i^{th}\_integrador)}{deseada\_i^{th}\_excursión\_de\_salida\_del\_integrador} \qquad \textbf{(8- 2)}$$

4. Repetir los pasos 2 y 3 hasta que i sea igual al orden del modulador.

Empleando esta metodología hemos escalado los coeficientes del modulador de la Figura 5.12. Ahora la ganancia de los integradores, c_k, ya no será uno. Los valores ya escalados se muestran en la Tabla 8.1.

Tabla 8.1 Valores de los coeficientes escalados

a_1	a_2	a_3	a_4	g_1	g_2	c_1	c_2	c_3	c_4
2.778	1.25	1.048	0.435	3.56e-5	3.26e-3	0.2	1	0.25	0.28

Una vez calculado estos coeficientes, simulamos de nuevo en Simulink con la salida de los integradores limitada. El resultado se muestra en la Figura 8.2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

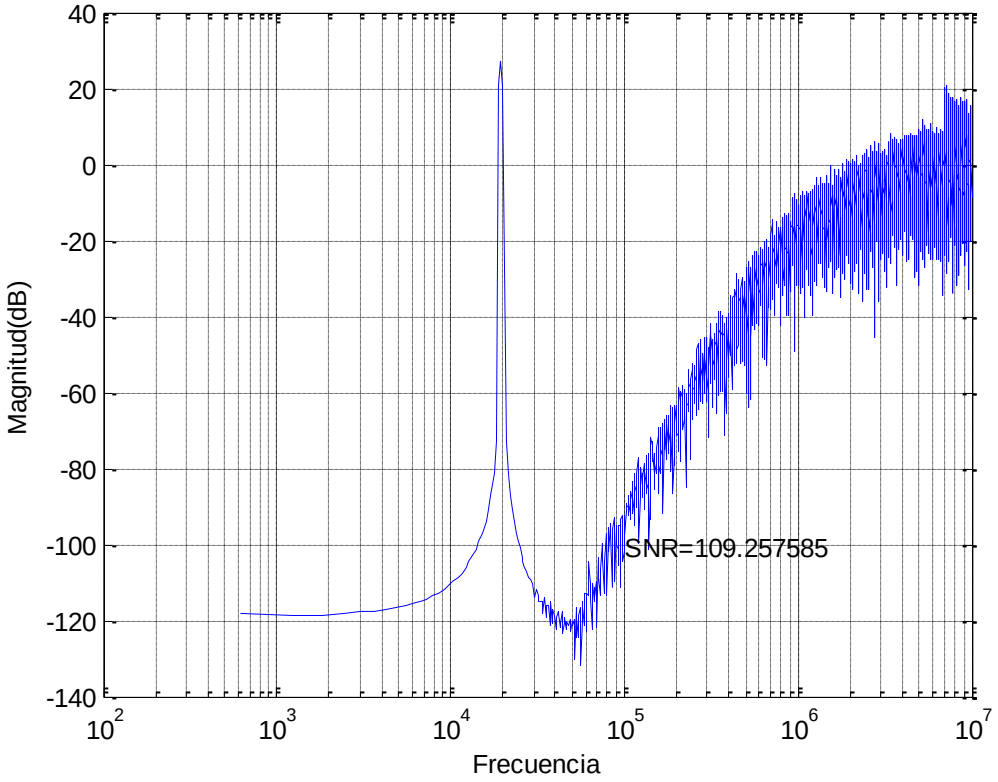


Figura 8.2 Resultado de la simulación con los coeficientes escalados

Comprobamos que la distorsión debida a los armónicos ha desaparecido y que nuevamente tenemos una SNR superior a 100dB.

8.3 Corrección del modulador diseñado de orden 2

En este caso vamos a realizar el escalado de los coeficientes del modulador mostrado en la Figura 6.1. La elección de realizar el escalado en este modulador se debe a que la metodología empleada se adapta mejor a esta estructura.

Una vez corregido los coeficientes de este modulador la salida obtenida es la mostrada en la Figura 8.3.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

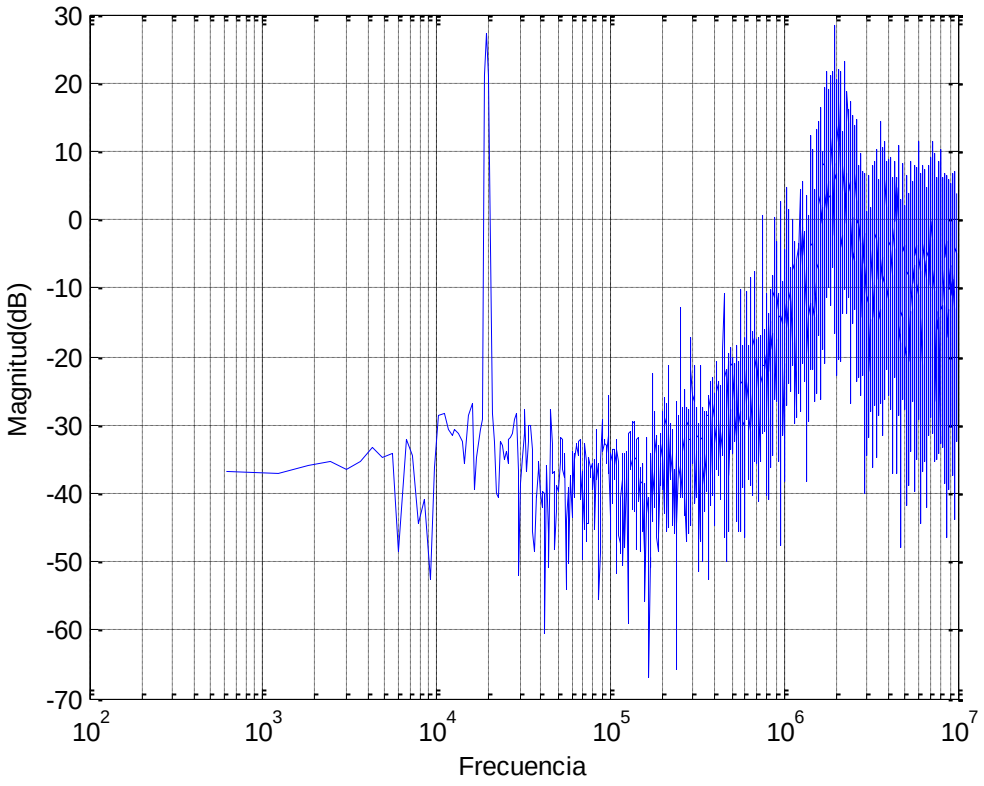


Figura 8.3 Resultado del modulador de orden dos con los coeficientes escalados

Donde ahora tenemos una SNR superior a 40dB y hemos eliminado considerablemente los armónicos que presentaba cuando no habíamos limitado la ganancia de los integradores.

Por lo tanto, hemos conseguido solucionar el problema que arrastrábamos desde el comienzo del diseño a nivel de circuitos de nuestro modulador y, por lo tanto, hemos conseguido el objetivo de este proyecto que es el diseño de un modulador SDTC para ser empleado en un PLL.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

8.4 Conclusiones

En este proyecto hemos dado una visión de cómo trabajan los moduladores Sigma-Delta y qué problemas están asociados a los mismos. Además, hemos diseñado los principales bloques que componen estos moduladores empleando una novedosa metodología que nos permite realizar dichos diseños intentando minimizar el consumo, puesto que estamos alimentando nuestros circuitos con una tensión de 1.2V y tenemos que maximizar la excursión de salida de los mismos.

Una vez diseñado estos bloques hemos pasado al diseño de un modulador Sigma-Delta de orden 2 en Cadence [Cad]. Con este diseño nos hemos dado cuenta realmente de los problemas que presentan estos moduladores en cuanto a estabilidad. En principio se han realizado dos moduladores de orden 2 (uno de ellos con dos integradores y, el otro, con un filtro *biquad*). Después de diversas pruebas se ha decidido realizar el *layout* del modulador con filtro *biquad* puesto que presentaba mejor SNR y un menor consumo.

Después de muchas simulaciones, nos hemos dado cuenta del problema que presentan los moduladores en cuanto a la saturación de la salida de los integradores. Una vez nos hemos dado cuenta de este problema hemos estudiado una metodología para su solución y hemos conseguido implementarla en el modulador de orden 2 realizado con integradores.

Otra de las cosas que nos ha llamado la atención mientras diseñábamos este modulador es el consumo de las realimentaciones, que en el caso de que quisiéramos elevar el orden del modulador se multiplicarían y, por lo tanto, subiría el consumo significativamente. Una alternativa a utilizar realimentaciones es el uso de prealimentaciones las cuales permiten hacer moduladores de orden superior manteniendo un consumo moderado. Es por esta razón que cuando hemos hecho el estudio del diseño del modulador a nivel de bloques hemos optado por realizar un modulador con una arquitectura CRFF de orden 4 aunque a la hora de la implementación circuital optamos por un modulador CIFB de orden 2 por su simplicidad.

A pesar de que los objetivos inicialmente planteados se han logrado de forma satisfactoria, el presente trabajo tiene continuidad en aspectos como la integración del modulador Sigma Delta en un sintetizador de frecuencias para DVB-SH, el desarrollo de conversores analógico-digital (ADC) basados en moduladores Sigma-Delta, etc.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Además, podría realizarse como línea futura un modulador CRFF de orden 4 con un bajo consumo para conseguir, de esta forma, incrementar la SNR con lo que podría ser empleado en circuitos con unas restricciones más exigentes.

Otro aspecto a mejorar en este proyecto es estudiar el retardo de bucle en exceso (ELD) de los moduladores diseñados y realizar las compensaciones explicadas en el capítulo 4 para minimizar dicho problema con objeto de mejorar su SNR.

En cualquier caso, la línea de trabajo que subyace en este proyecto fin de carrera es parte de una línea de investigación de más envergadura en la que se desarrollan varios proyectos de investigación.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Presupuesto

Una vez completado el diseño de nuestro circuito y comprobado su correcto funcionamiento, para concluir con el proyecto, en este capítulo se realizará un estudio económico con los costes tanto parciales como totales del mismo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Costes debidos a los Recursos Humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias. Este personal está formado por dos técnicos a tiempo completo para un total de cien usuarios.

Descripción	Gastos
2 Técnicos a tiempo completo	36.060,73 €/año
Proporción suponiendo 100 usuarios	360,61 €/año-usuario
TOTAL (9 meses)	**270,46 €**

Costes de Ingeniería

Se ha invertido un total de 9 meses a tiempo completo en el desarrollo de este proyecto. Durante este tiempo se han desarrollado las tareas de formación, estudio y análisis, especificación, desarrollo, análisis de resultados y documentación; como muchas de estas tareas se solapan en el tiempo se han incluido los períodos de tiempo en función de la tarea predominante. En este presupuesto se ha incluido los costes de formación al ser específicos para el desarrollo de este proyecto. Tomando la tarifa por costes de ingeniería aplicada a un ingeniero junior en España, asciende a un total de 2.232,16€/mes englobando en la misma el salario, la Seguridad Social, y el IRPF (Impuesto sobre la Renta de las personas físicas). En la siguiente tabla se muestra los costes de ingeniería desglosados.

Descripción	Tiempo (meses)	Gastos (€/mes)	Gastos (€)
Formación y estudios previos	2	2232,16	4464,32
Estudio de las herramientas de trabajo	1	2232,16	2232,16
Desarrollo del circuito	5	2232,16	11160,80
Realización de la memoria	1	2232,16	2232,16
		TOTAL	**20089,44**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Costes de amortización

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes *software*, material *hardware* y el mantenimiento de estos. Estos equipos *hardware* y paquetes *software* presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se ha estimado en 10.

Descripción	Tiempo de uso (€/mes)	Coste anual		Total
		Total (€/años)	Usuario (€/año-usuario)	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	9	3300	330	247,50
Servidor para simulación SUN Sparc Station 10	9	3926	392,6	294,45
Impresora Hewlett Packard Laserjet 4L	9	4000	400	300,00
Ordenador Personal Pentium IV 2.5 GHz	9	1200	120	90,00
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	9	900	90	67,50
Microsoft Office 2007	9	450	45	33,75
Advance Design System (ADS)	9	3200	320	240,00
Cadence con Kit de diseño	9	1500	150	112,50
Matlab	9	900	90	67,50
			TOTAL	**1.453,20**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Otros costes

Para finalizar con los costes parciales a continuación se muestran los costes debidos al material fungible y a la elaboración del documento final del proyecto.

Descripción	Unidades	Coste Unidad (€)	Gastos (€)
Paquetes de DIN_A4 80 gr/m	3	4	12,00
Fotocopias	1000	0,03	30,00
CDs	3	3	9,00
Otros gastos			100,00
		TOTAL	**151,00**

Coste Total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Descripción	Gastos (€)
Costes de recursos humanos	270,46
Costes de ingeniería	20.089,44
Costes de amortización	1.453,20
Otros costes	151,00
PRESUPUESTO FINAL	**21.964,10**
TOTAL (IGIC 5%)	**23.062,30**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

Dña. Enara Ortega García declara que el proyecto "Diseño de un modulador Sigma-Delta en Tiempo Continuo para un PLL N-Fraccional en Tecnología UMC 90nm" asciende a un total de veintitrés mil sesenta y dos euros con treinta céntimos.

Fdo.: Enara Ortega García

DNI: 42193868-T.

Las Palmas de Gran Canaria, a 9 de noviembre de 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

BIBLIOGRAFÍA

[Ads] Software y manuales ADS: http://www.agilent.com

[Bai96] R. T. Baird y T. S. Fiez, "*A low oversampling ratio 14-b 500-kHz Delta Sigma ADC with a self-calibrated multibit DAC*", IEEE J. Solid-State Circ., pp. 312–320, Marzo 1996.

[Bak98] R. Jacob Baker, Harry W. Li, David E. Boyce, "*CMOS: Circuit Design, Layout, and Simulation*", IEEE Press, 1998.

[Bao08] Bao-ni Han, Yin-tang Yang, Zhang-ming Zhu, "*A Novel 1.25GSPS Ultra High-Speed Comparator in 0.18um*", IEEE International conference, 2008.

[Bei03] N. Beilleau, H. Aboushady, M. M. Louërat, "Systematic Approach for Scaling Coefficient of Discrete-Time and Continuous-Time Sigma-Delta Modulators", IEEE Circuits and Systems, 2003.

[Ben97] P. Benabes, M. Keramat y R. Kielbasa. "*A methodology for designing continuous-time sigma-delta modulators*". En Proc. European Design Test Conf., pp. 46-50, 1997.

[Bos88] B. Boser and B. Wooley. "*The design of Sigma-Delta Modulation Analog-to-Digital Converters*", IEEE J. Solide-State Circuits, vol. 23, Diciembre 1988.

[Bre01] L. Breems y J.H. Huising. "*Continuous-Time Sigma-Delta Modulation for A/D Conversion in Radio Receivers*", Kluwer Academic Publishers, 2001.

[Bro90] J.E.C. Brown, M. alexander y D.F. Bowers. "*Mixed-Mode simulation of a continuous-time SD ADC*". En Proc. Int. Symp. Circ. Syst., volumen 3, pp. 1915-1918, 1990

[Can74] J.C. Candy, "*A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters*", IEEE Transactions on Communications, Vol. COM-20, pp. 298-305, 1974.

[Can81] J.C. Candy, O.J. Benjamin, "*The Structure of Quantization Noise from Sigma-Delta Modulation*", IEEE Transactions on Communications, Vol. COM-29, No. 9, pp. 1316-1323, 1981.

[Can85] J.C. Candy. "*A use of double integration in sigma-delta modulation*", IEEE Trans. Communications, pp. 249-258, Marzo 1985.

[Cad] Manuales *Cadence*: http://www.cadence.com

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

[Che00] J.A. Cherry y W.M. Snelgrove. "*Continuous-time delta-sigma modulators for high-speed A/D conversion: theory, practice, and fundamental performance limits*", Kluwer Academic Publishers, Massachusetts, 2000.

[Che98] James A. Cherry, "*Theory, Practice, and Fundamental Performance Limits of High-Speed Data Conversion Using Continuous-Time Delta-Sigma Modulators*", Carleton University, Noviembre 1998.

[Dam08] H. Daoud Dammak, S. Bensalem, S. Zouari, and M. Loulou, "*Design of Folded Cascode OTA in Different Regions of Operation through gm/ID Methodology*", World Academy of Science, Engineering and Technology, 2008

[Del06] Dolores Tamara Delgado Alemán, "Diseño de un Filtro Polifásico Activo en Tecnología SiGe 0.35 um para un Receptor basado en el Estándar IEEE 802.11a", Universidad de Las Palmas de Gran Canaria, Noviembre 2006.

[Dua09] Rui Duarte, Jorge R. Fernandes, "*A Behavioural Model for Sigma Delta Fractional PLL*", MIXDES, 2009.

[ECC07] "ECC 2007/98/EC. *COMISSION DECISION of 14 February 2007 on the harmonized use of radio spectrum in the 2GHz frequency bands for the implementation of Systems providing Mobile satellite services*"

[EN302304] "EN302304: *Transmission system for handheld terminals*", ETSI.

[EN302583] "EN302583*: Framing structure, channel coding and modulation for satellite services to hadheld devices (SH) below 3GHz*", ETSI.

[Fig06] Figueiredo, P.M., Vital, J.C., "*Low Kickback Noise Techniques for CMOS Latched Comparators*", IEEE Transactions on Circuits and Systems II, Julio 2006.

[Gra97] R.M. Gray. "*Quantization Noise in ΣΔ A/D Converters*", S.R. Norsworthy, R. Schreier, y G.C. Temes, editores, "*Delta-Sigma Data Converters: Theory, Design, and Simulation*", capítulo 4. IEEE Press, New York, 1997.

[Hor90] U. Horbach. "*Design of a 20bit sigma-delta A/D converter for audio applications*", Proc. Int. Symp. Circ. Syst., volumen 4, pp 2789-2792, 1990.

[Jen95] J. F. Jensen, G. Raghavan, A. E. Cosand, and R. H. Walden, "*A 3.2-GHz second-order delta-sigma modulator implemented in InP HBT technology*", IEEE J. Solid-State Circ., pages 1119–1127, Octubre 1995.

[Jes10] Paul G. A. Jespers, "*The gm/ID methodology, a sizing tool for low-voltage analog CMOS Circuits*", Springer, 2010.

[Joh97] D. Johns y K. Martin, "*Analog Integrated Circuit Design*", John Wiley & Sons, 1997.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

[Jui05] N. Juida, C. Rebai, A. Ghazel, and D. Daller, "*Design strategy for high order continuous-time delta-sigma modulator for multistandard receiver*", ICECS, Gammarth, Tunisia, Diciembre 2005.

[Jun10] Heung Jun Jeon, "*Low-power high-speed low offset fully dynamic CMOS latched comparator*", Northeastern University, Enero 2010

[Kim01] S. Kim, "*An 8-bit 200MSPS CMOS A/D Converter for Analog Interface Module of TFT-LCD Driver*", ISCAS, vol. 1, pp. 528-531, Mayo 2001

[Kir90] Kirk C-H Chao, Shujaat Nadeem, Wai L Lee, and Charles G. Sodini, "*A higher order topology for interpolative modulators for oversampling A/D converters*"., IEEE Trans. Circuit and Sys., CAS-37:309–318, 1990.

[Kum11] Montree Kumnyern, "*New Electrically Tunable Voltage-Mode Lowpass, Highpass, Bandpass Filter using Simple OTAs*", International Journal of Computer and Electrical Engieneering, Vol. 3, No. 5, Octubre 2011.

[Luh00] L. Luh, J. Choma Jr., J. Drapper, "*A 400 MHz 5th Order Continuous- Time Switched-Current Sigma Delta Modulator*", En Proc. European Solid-State Circ. Conf., 2000.

[Mak04] P. -I. Mak, S. –P. U, and R. Martins, "*A low-if/zero-if reconfigurable receiver with two-step channel selection technique for multistandard applications*", Circuits and Systems, 2004

[Mat] Matlab and Simulink for *Technical Computing*: http://www.mathworks.com

[Mel01] Juan Meléndez Lagunilla, "Diseño de un Terminal de Conversión Directa a Baja Frecuencia para GPS en Tecnología CMOS", Universidad de Navarra, 2001.

[Nor97] S. R. Norsworthy, R. Schreier, and G. C. Temes, "*Delta-Sigma Data Converters: Theory, Design, and Simulation*", IEEE Press, New York, 1997.

[Oga95] K. Ogata, "*Discrete-Time Control Sytems*", Prentice Hall, New Jersey, 1995

[Ous90] C. Ouslis, W. M. Snelgrove, and A. S. Sedra, "*FiltorX: An interactive Design Language for Filters*", Advances in Electrical Engineering Somare, 1990

[Pai03] Fernando Da Rocha Paixao Cortes, "*Modelagem e Projeto de Módulos Amplificadores e Comparadores em Tecnologia CMOS 0,35um*", Universidade Federal do Rio Grande do Sul, Abril 2003

[Pat04] Patón Álvarez, Susana, "Contribución al modelado y Diseño de Moduladores Sigma-Delta en Tiempo Continuo de Baja Relación de Sobremuestreo y Bajo Consumo de Potencia", Universidad Carlos III de Madrid, 2004.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

[Pay09] Payam Goshayesh Safe, "*A Wide-band, Continuous-time, Bandpass, Complex Delta-Sigma ADC for Digital Radio Receivers*", Julio 2009.

[Pie94] Robert F. Pierret, "Dispositivos de efecto de campo", Addison-Wesley Iberoamericano, 1994.

[Pro96] Vladimir I. Prodanov and Michael M. Green, "*Biquad Gm-C Structures which use Double-Output Transconductors*", IEEE, 1996.

[Raz01] Behzad Razavi, "*Design of Analog CMOS Integrated Circuits*", McGraw-Hill Higher Education, 2001.

[Raz95] B. Razavi, "*Principles of Data Conversion Systems*", IEEE Press, 1995.

[Sah64] C. T. Sah, "*Characteristics of the Metal-Oxide Semiconductors Transistors*", IEEE Trans. Electron Devices, ED-11, 324, 1964.

[San11] Sandeep K. Arya, Neelkamal, "*A Comparative Study of Dynamic Latch Comparator*", International Conference on Advanced Computing, Communication and Networks, 2011.

[Sch03] The delta-sigma toolbox, versión 6.0, Enero 2003 Disponible en web: <http://www.mathworks.co.uk/matlabcentral/fileexchange/loadFile.do?objectId=19&objectType=file>

[Sch05] R. Schreier y G. C. Temes, "*Understanding Delta-Sigma Data Converters*", IEEE Press, 2005.

[Shu05] K. Shu y E. Sánchez-Sinencio, "*CMOS PLL Synthesizers: Analysis and Design*", Springer, 2005.

[Sie03] M. Sierra Pérez, "Electrónica de Comunicaciones", Pearson Prentice Hall, 2003.

[Sil96] F. Silveria, D. Flandre, P. G. A. Jespers, "*A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA*", IEEE Journal of Solid-State Circuits, Vol. 31, No. 9, Septiembre 1996.

[Tsi95] Yannis Tsividis, "*Mixed Analog-Digital VLSI Devices and Technology*", McGraw-Hill, 1995.

[Umc] Website oficial de UMC: http://www.umc.com

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

[Vit77] E. Vittoz and J. Fellrath, "*CMOS analog integrated circuits based on weak inversion operations*", Solid-State Circuits, IEEE Journal of, vol. 12, no. 3, pp224-231. 1977.

[Wen06] Wensheng V. Kuang, Jim S. Wight, "A Novel Biquad Filter Circuit for Continuous-Time Sigma-Delta Modulators", IEEE Xplore, 2006.

[Wu88] J. Wu, "*A 100MHz pipelined CMOS comparator*", IEEE Journal Solid-State Circuits, vol. 23, pp. 1379-1385, 1988.

[Yan00] Shoull Yan y Edgar Sanchez Sinencio, "*Low Voltage Analog Circuit Design Techniques: A Tutorial*", IECE Trans. Analog Integrated Circuits and Systems, Vol. E00-A, No.2, Febrero 2000.

[Yeo05] K. Yeo and K. Roy, "*Low voltage, low power VLSI subsystems*", McGraw-Hill Professional, 2005.

[Zar05] F. Zarkeshvari, P. Noel y T. Kwasniewski, "*PLL-Based Fractional-N Frequency Synthesizers*", IEEE, 2005.

[Zhi02] Zhi-Ming Lin and Wen-Huei Sheu. "*A generic multiple-feedback architecture and method for the design of high-order Sigma-Delta modulators*", IEEE Trans. Circuit and Sys. 2, CAS-49:465–473, July 2002.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

ANEXO

En este proyecto, tanto para calcular las gráficas empleadas en la metodología g_m/I_D como para realizar el diseño de los moduladores Sigma-Delta y procesar los datos obtenidos a su salida, ha sido ampliamente utilizado Matlab. Las rutinas empleadas más importantes se muestran a continuación.

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%GRÁFICA GM/ID VS ID/(W/L)%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Id=data;
Ida=log(Id(:,3));       %logaritmo de la corriente
Id1=Id(:,3);
gmn=diff(Ida)./diff(Id(:,1));  %derivada del logaritmo de la corriente
con respecto a vgs
[a1,b1]=max(gmn);
semilogx(Id1(b1:size(gmn)),gmn(b1:size(gmn)));
grid;
ylabel('gm/Id');
xlabel('Id/(W/L)');
```

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%CALCULO DE LA SNR%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

Ntotal=32769;                %Número de muestras
Ndemas=100;                   %Número de muestras que se desechan (las
primeras
Neje=Ntotal+Ndemas;
fs=20e6;                     %frecuencia de muestreo
ts=1/fs;                     %periodo de muestreo
OSR=100;                     %relación de sobremuestreo
fb=19531.25;                 %frecuencia de la señal de entrada
fN=200e3;                    %frecuencia de Nyquist
Nfb=round(Ntotal*fb/fs)            %muestra dónde se encuentra la señal de
entrada
Nbw=round(Ntotal/(2*OSR));  % NUMERO DE MUESTRAS DEL ANCHO DE BANDA DE fb
salida=z(Ndemas:Ntotal);
[potencia,F]=psd(salida,Ntotal,fs);
potencia1=10*log10(potencia);
grid;
semilogx(F,potencia1);
xlabel('Frecuencia');
ylabel('Magnitud(dB)');


senal=0;

for i=Nfb-15:Nfb+8
    senal=senal+potencia(i);
    potencia(i)=0;
end

vruido=potencia(1:Nbw);
snr=10*log10(senal/sum(vruido))

s=sprintf('SNR=%f\n',snr);
text(10e4,-105,s);
grid;



%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%CALCULO DE LA NTF Y SUS COEFICIENTES%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

osr=100; %relación de sobremuestreo osr=fs/2fb
order=4; %orden del modulador
opt=1;   %optimización de los ceros de la ntf

ntf=synthesizeNTF(order,osr,opt,1.5,0); %Calculo de la ntf aplicando
                                        %aplicando la norma infinito
                                        %y para un modulador paso bajo


[a,g,b,c]=realizeNTF(ntf,'CRFF');   %coeficientes d ela ntf calculada
                                    %para la arquitectura CRFF

%%%%%%%%%%%%%%%%%%%%%%%%%%%%
```


© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

```
%%CT--->DT%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%

order=4; %orden del modulador a convertir
fs=20e6; %frecuencia de muestreo del modulador
ABCD=stuffABCD(a,g,b,c,'CRFF');
A=ABCD(1:order,1:order);
B=ABCD(1:order,order+1:order+2);
C=ABCD(order+1,1:order);
D=ABCD(order+1,order+1:order+2);
Ts=1/fs;
[F,G,H,J]=c2dm(A,B,C,D,Ts,'zoh');
ABc=[F G];
CDc=[H,J];
ABCDc=[ABc;CDc];
[ac,gc,bc,cc]=mapABCD(ABCDc,'CRFF');  %coeficientes en tiempo continuo
```

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013