UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA UNIVERSITARIA DE INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN



PROYECTO FIN DE CARRERA

Estudio de la influencia del encapsulado en un LNA para UWB

Titulación: Sistemas Electrónicos

Autor: D. Krisnaya Orbaiceta Ezcurra

Tutores: Dr. D. Francisco Javier del Pino Suárez

Dr. D. Sunil Lalchand Khemchandani

Fecha: Junio 2012

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA UNIVERSITARIA DE INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN



PROYECTO FIN DE CARRERA

Estudio de la influencia del encapsulado en un LNA para UWB

Presidente:	Secretario:	Vocal:
Tutores:		Autor:
ľ	NOTA:	

Titulación: Sistemas Electrónicos

Autor: D. Krisnaya Orbaiceta Ezcurra

Tutores: Dr. D. Francisco Javier del Pino Suárez

Dr. D. Sunil Lalchand Khemchandani

Fecha: Junio 2012

Agradecimientos

En primer lugar quiero darles las gracias a mis tutores Francisco Javier del Pino Suárez y Sunil Lalchand Khemchandani por darme la oportunidad de hacer el proyecto fin de carrera con ellos. No tengo palabras para expresar mi gratitud por toda la ayuda que me han prestado, ya que sin ella no podría haber aprendido tanto. Por otro lado, quiero darles las gracias a Hugo García Vázquez y Dailos Ramos Valido por su inestimable ayuda a la hora de realizar este pfc, también me gustaría agradecer a todos los compañeros que también han estado ahí para todo lo que me hizo falta.

Agradezco al Instituto Universitario de Microelectrónica Aplicada (IUMA) por darme la oportunidad de utilizar sus instalaciones y recursos. A todas esas personas que de una manera u otra colaboraron o fueron parte de este proyecto.

No me gustaría dejar de mencionar a todos aquellos profesores que han hecho que me forme adecuadamente para poder llegar hasta aquí. A mis compañeros y amigos que han sido un punto de apoyo y con los que he pasado muy buenos momentos.

Por último agradecerles a Erica, a mi madre Adelaida y a mi abuela Adelaida por todo, ya que son las más importantes de mi vida.

Gracias.

Índice

CAPÍTULO 1 INTRODUCCIÓN	1
1.1 Objetivos	3
1.2 Estructura de la memoria	3
1.3 Peticionario	4
CAPÍTULO 2 ESTUDIO DEL LNA	5
2.1 Características de los sistemas de RF	6
2.1.1 Ganancia (G)	6
2.1.2 Ruido	6
2.1.2.1 Tipos de ruido en circuitos integrados	7
2.1.2.2 Factor de ruido (F) y Figura de ruido (NF)	9
2.1.3 Punto de Intercepción de Tercer orden (IP3)	11
2.1.4 Coeficiente de onda estacionario (VSWR)	13
2.2 Estándar ECMA-368 y estándar ISO/IEC 26907	14
2.2.1 Canalización	15
2.2.2 Desafíos en el diseño de MB-OFDM	17
2.3 Especificaciones del receptor para UWB-WiMedia	18
2.4 Estructura del LNA utilizado	19
2.4.1 Diseño del layout	22
2.4.2 Layout del amplificador de bajo ruido	23
2.4.3 Simulaciones post-layout del amplificador de bajo ruido	25
2.5 Resumen	27
CAPÍTULO 3 ESTUDIO DEL ENCAPSULADO QFN 16	29
3.1 Funciones del encapsulado	30
3.1.1 Material de construcción del encapsulado	30

3.2 Tipos de encapsulados	31
3.2.1 Encapsulados de inserción	31
3.2.2 Encapsulados de montaje superficial o <i>SMD</i>	32
3.3 Interconexión entre el encapsulado y el chip	37
3.4 Elección de un encapsulado	38
3.4.1 Elección del encapsulado para el LNA	39
3.4.2 Reglas de encapsulado (QFN)	40
3.5 Modelado del QFN16	41
3.5.1 Partes del QFN16	41
3.5.2 Partes sustrato	44
3.6 Simulación y resultados	48
3.6.1 Problemas de simulación	54
3.7 Resumen	54
CAPÍTULO 4 INFLUENCIA DEL ENCAPSULADO SOBRE EL LNA	57
4.1 Descripción de los componentes	58
4.2 Simulaciones	59
4.2.1 LNA con pads de alimentación y pines+bonding en alimentación y entrada LNA	_ 59
4.2.2 LNA con pad_ESD a la entrada, pads y pines más bonding en alimentación y entrada.	_60
4.2.3 LNA con Alimentación: pads, pines y bonding, Entrada: pad_ESD	61
4.2.4 LNA con pads, pads_ESD y pines más bonding en alimentación, entrada y salida	64
4.3 Resumen	66
CAPÍTULO 5 MEDIDAS	69
5.1 Realización de la PCB	70
5.1.1 Características del sustrato	70
5.1.2 Modelado de las pistas de la PCB	71
5.1.3 Simulación de los parámetros de la PCB	74
5.2 Medidas	77

5.2.2 Resultado de la medida de los parámetros S	78
5.2.3 Factores que afectan a la medida	80
5.3 Resumen	81
CAPÍTULO 6 CONCLUSIONES	83
6.1 Resumen	83
6.2 Conclusiones	84
6.3 Líneas futuras	86
PRESUPUESTO	P -1
BIBLIOGRAFÍA	B-1
ANEXO	A-1

MEMORIA

CAPÍTULO 1

INTRODUCCIÓN

En los últimos años se ha incrementado el uso de las comunicaciones inalámbricas, introduciéndose en la sociedad como algo cotidiano e imprescindible. Gracias a la investigación en nuevas tecnologías y a la tendencia por integrar muchos dispositivos en un solo chip, cada vez se desarrollan sistemas de comunicaciones más compactos y de menor consumo. Hoy en día podemos encontrar una amplia gama de dispositivos tanto fijos como móviles que implementan conexiones inalámbricas, de largo o corto alcance. Un ejemplo de ello son los equipos portátiles, los equipos de escritorio, los teléfonos móviles, *tablets*, etc.

Además, en los últimos años se ha incrementado el interés por las redes de área personal (WPAN, Wireless Personal Area Network). Esto es debido a las nuevas aplicaciones de

consumo. Muchas de estas nuevas aplicaciones son de corto alcance y se conforman con velocidades de datos limitadas, como la que ofrecen el *Bluetooth* [1] o *Zigbee*. Pero hay una nueva gama de aplicaciones que además requiere más velocidad de datos con baja potencia de transmisión, como la que ofrece *Ultra Wide Band* (UWB), que trabaja en la banda de 3,1 a 10,6 *GH*_₹:

Un receptor de UWB está formado por una primera etapa analógica (front-end) encargada de "llevar la señal" a baja frecuencia para que la procese la segunda etapa digital (back-end). En la Figura 1.1 se muestra el esquema de un transmisor-receptor para UWB, siendo uno de sus bloques más importantes dentro del "front-end" el amplificador de bajo ruido (LNA, Low Noise Amplifier). De acuerdo con la ecuación de Friis, el ruido del receptor depende en gran parte de este bloque. Por ello, existen muchos trabajos de investigación con nuevas estructuras y técnicas de diseño referentes a LNAs de banda ancha.

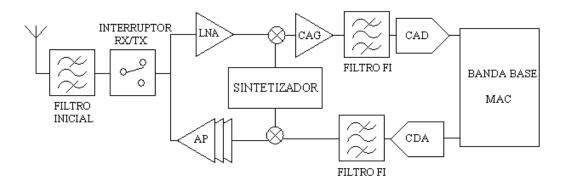


Figura 1.1 Esquema de un transmisor-receptor para UWB.

Gracias al gran avance de la tecnología a la hora de desarrollar y fabricar circuitos integrados sobre oblea, se ha disminuido mucho el tamaño de los chips encapsulados. Se han conseguido dispositivos de menor tamaño, menor consumo y altas prestaciones. Los circuitos fabricados sobre oblea sin ninguna protección son muy delicados. Por ello, y para dotarlos de protección mecánica, ambiental y mantener la temperatura estable es necesario encapsularlos (ver Figura 1.2). Cuando se trabaja a frecuencias de RF los parásitos generados por el encapsulado pueden afectar notablemente a las características del circuito. Por eso es muy importante tener en cuenta una serie de consideraciones, con el fin de seleccionar el encapsulado más apropiado para cada aplicación. En este trabajo se optó por la elección de un *QFN* de 16 "patillas" de 5x5 mm.

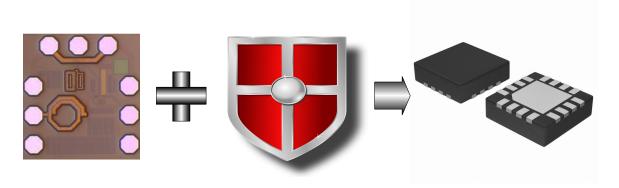


Figura 1.2 Circuito en oblea más la protección da como resultado el circuito encapsulado.

1.1 Objetivos

El objetivo principal de este proyecto es el estudio de cómo afecta el encapsulado a un LNA de ultra banda ancha UWB (estándar *ECMA-368 ó ISO/IEC 26907* [4]-[5]). El LNA está realizado mediante transistores CMOS y la tecnología de BiCMOS 0.35 μm suministrada por la empresa AMS (*Austria Micro System*) [2]-[3] .

En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.2 Estructura de la memoria

En el capítulo 2 se comenzará con una explicación general de las características comunes a cualquier sistema de radiofrecuencia (RF). A continuación, abordaremos el estudio de las características del estándar ECMA-368 ó ISO/IEC 26907. Por último se verá la estructura y los parámetros del LNA utilizado.

En el capítulo 3 estudiaremos las funciones del encapsulado profundizando en los tipos y características físicas. Se elegirá un encapsulado y se modelará siguiendo las reglas de diseño impuestas por el fabricante, obteniendo los parámetros S del modelo.

En el capítulo 4 nos centraremos en la influencia del encapsulado sobre el LNA, para ello se hará el análisis de varias combinaciones del circuito y del encapsulado, observando que sucede en cada una de ellas.

Una vez fabricado el circuito encapsulado, en el capítulo 5 se procederá a medirlo, siendo necesaria la realización de una placa de circuitos impresos PCB. Una vez modeladas las pistas se añadirán al modelo del encapsulado, tanto el generado en este proyecto como el facilitado por el fabricante. Tras la fabricación y soldado de los componentes a la PCB se procederá con las medidas. Además de presentar los resultados, en este capítulo se explicará cómo se han realizado las medidas. Por último, se hará una breve comparación entre la medida y los modelos.

Finalmente, en el capítulo 6 se resumen las principales conclusiones y los resultados obtenidos.

1.3 Peticionario

Actúa como peticionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA) y la Escuela de Ingeniería de Telecomunicación y Electrónica (EITE).

CAPÍTULO 2

ESTUDIO DEL LNA

En este capítulo analizaremos los parámetros característicos del estándar ECMA-368/ISO-IEC 26907, ya que protagonizan un importante papel dentro de nuestro estudio. Para ello, comenzaremos con una introducción de las características de los sistemas de radio frecuencia (RF) en general [1], [9], [10], [11]. Con esta información, nos encontraremos capacitados para desarrollar en profundidad el estándar ECMA-368 y estándar ISO/IEC 26907. Por último nos centraremos en un LNA realimentado para la Banda de 3-10 GHz en tecnología BICMOS 0.35µm para un receptor de UWB fabricado sobre oblea, perteneciente a un proyecto

final de carrera [3] del alumno D. Hugo García Vázquez de la división de Tecnología Microelectrónica (*TME*) del Instituto Universitario de Microelectrónica Aplicada (*IUMA*).

2.1 Características de los sistemas de RF

Los conceptos tratados en este apartado son comunes a la mayoría de los bloques que componen un sistema de RF, por esta razón serán de utilidad más adelante para el estudio del sistema donde irán incluidos nuestros amplificadores.

2.1.1 Ganancia (G)

La ganancia de un circuito determina la relación entre las amplitudes de la señal de salida y la de entrada. La ganancia en tensión se puede expresar mediante la ecuación (2.1).

$$G = \frac{V_{salida}}{V_{entrada}} \tag{2.1}$$

Siendo su valor en decibelios el mostrado en la ecuación (2.2).

$$G(dB) = 20 \cdot \log \left(\frac{V_{salida}}{V_{entrada}} \right)$$
 (2.2)

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante hablaremos de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de un circuito se utilizan los parámetros S, más concretamente el parámetro S_{21} .

2.1.2 **Ruido**

El ruido se define como cualquier interferencia aleatoria no relacionada con la señal de interés. La inevitable presencia del ruido en un sistema de comunicación causa que la

transmisión de señales eléctricas a través del mismo no sea segura. Hay muchas fuentes potenciales de ruido. Éstas pueden ser externas al sistema (ruido atmosférico, ruido galáctico, ruido producido por el hombre) o propias del mismo sistema. En este apartado sólo se estudiará las fuentes de ruido generadas por el propio sistema.

El ruido interno está muy unido a los fenómenos físicos que caracterizan el comportamiento de los componentes de los circuitos empleados en RF. Estos fenómenos consisten en variaciones espontáneas de tensiones o corrientes causadas por la agitación temporal de las cargas en los conductores o por la estructura granular de dichas cargas. Por lo tanto, podemos deducir que el ruido producido por un circuito electrónico no puede ser eliminado por completo debido a que es intrínseco al propio funcionamiento del circuito. Sin embargo, si es posible minimizar sus efectos mediante un diseño adecuado del mismo.

2.1.2.1 Tipos de ruido en circuitos integrados

En este subapartado se explicará brevemente los tipos de ruido que se encuentran en los circuitos integrados, así como el motivo de su aparición.

El **Ruido Térmico** es una perturbación de carácter aleatorio que aparece de forma natural en los conductores debido a la agitación térmica de los electrones. Los electrones de un conductor poseen distintos valores de energía debido a la temperatura del conductor. Las fluctuaciones de energía en torno al valor más probable son muy pequeñas pero suficientes para producir la agitación de las cargas dentro del conductor. Estas fluctuaciones de las cargas crean una diferencia de tensión que se mezcla con la señal transmitida por el conductor, produciendo interferencias en la misma y degradando la calidad de la señal.

Como la causa de este tipo de ruido es el movimiento térmico de los electrones, es lógico esperar que esté relacionado con la temperatura y de hecho aumenta directamente con la misma. La potencia media de ruido térmico está definida por la ecuación (2.3):

$$\eta = 4 \cdot K \cdot T \cdot \Delta f \tag{2.3}$$

Donde:

- η es la potencia media de ruido media medida en vatios.

- K es la constante de Boltzmann, $K = 1.381 \times 10^{-23} Jul/^{\circ} K$.
- T es la temperatura absoluta.
- Δf es el ancho de banda de la señal.

Como se puede observar en la ecuación (2.3) el valor del ruido térmico también aumenta de forma proporcional con el ancho de banda de la señal. Las fuentes de ruido térmico más comunes en los circuitos integrados son las resistencias y los transistores *MOS*.

La base fundamental del **Ruido Shot** es la naturaleza granular de la carga eléctrica. El ruido *Shot* se origina solamente cuando hay un flujo de corriente a través de una barrera de potencial y está asociado al mecanismo físico de salto de una barrera de potencial por un transporte de carga.

Estos procesos físicos asumen la existencia de un promedio de flujo de corriente que se manifiesta en forma de huecos y electrones fluyendo en los semiconductores. En particular, en un semiconductor, la causa de este ruido es la dispersión aleatoria de los electrones o a la recombinación aleatoria de los huecos. Como consecuencia, el ruido *Shot* dependerá de la carga del electrón, del valor medio de la corriente y, como en el ruido térmico, del ancho de banda. Este tipo de ruido está caracterizado, al igual que el ruido térmico, por una función de densidad gausiana.

El **Ruido Flicker** aparece en todos los dispositivos activos, así como en algunos elementos pasivos. Está caracterizado por una densidad espectral de potencia que aumenta cuando la frecuencia decrece. Por esta propiedad este ruido es muy diferente del ruido térmico y del ruido *Shot*, aunque esté caracterizado también por una función de densidad de probabilidad gaussiana.

En los dispositivos electrónicos, la aparición del ruido *flicker* está más marcada en dispositivos que son sensibles a los fenómenos de superficie ya que los defectos e impurezas en la superficie del material del dispositivo pueden atrapar y liberar cargas aleatoriamente.

La corriente *I* generada por el ruido *flicker* presenta, en general, una densidad espectral de potencia como se muestra en la ecuación (2.4)

$$S_{i(t)} = K_1 \cdot \frac{I^a}{f^b} \tag{2.4}$$

Siendo:

- *I* el flujo de corriente directa del dispositivo.
- K_1 una constante particular para cada dispositivo.
- a una constante en el rango de 0.5 a 2.
- *b* una constante aproximada a la unidad.

Debemos considerar que al trabajar con circuitos de RF estamos tratando con altas frecuencias por lo que el ruido *flicker* no tiene un efecto considerable.

De todos los tipos de ruido que se han visto el más importante es el ruido térmico, ya que está directamente relacionado con el ancho de banda de la señal y con la temperatura a la que trabaja el dispositivo electrónico.

2.1.2.2 Factor de ruido (F) y Figura de ruido (NF)

En un sistema de RF, incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. El factor de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. El factor de ruido se expresa como muestra la ecuación (2.5).

$$F = \frac{P_{N0}}{P_{Ni} \cdot G_A} \tag{2.5}$$

Donde:

- P_{N0} es la potencia total de ruido disponible a la salida del sistema.
- P_{Ni} es la potencia de ruido disponible en un ancho de banda B, $P_{Ni}=k\cdot T\cdot B$ (k y T son respectivamente la constante de *Boltzmann* y la temperatura absoluta).
- G_A es la ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{So}) y la potencia de señal disponible a la entrada (P_{Si}) .

Sustituyendo G_A por dicha relación en la ecuación (2.5) obtenemos que el factor de ruido ecuación (2.6) viene dado por:

$$F = \frac{P_{S_i} / P_{N_i}}{P_{S_0} / P_{N_0}} = \frac{SNR_i}{SNR_0}$$
 (2.6)

Donde SNR_i y SNR_o son las relaciones señal a ruido medidas a la entrada y a la salida respectivamente. De esta forma, el factor de ruido es una medida de cuanto se degrada la SNR al pasar la señal a través del circuito. Si el circuito no añadiese ruido, entonces $SNR_i = SNR_o$, independientemente del valor de la ganancia del mismo. Esto es debido a que tanto la señal como el ruido son amplificadas (o atenuadas) por el mismo factor. Por lo tanto, el factor de ruido de un circuito sin ruido es igual a 1 aunque por lo general el factor de ruido suele ser mayor que la unidad.

Para dos etapas en cascada el factor de ruido viene dado por la ecuación (2.7).

$$F = F_1 + \frac{F_2 - 1}{G_{A1}} \tag{2.7}$$

Donde:

- F_1 y F_2 son los factores de ruido de ambas etapas por separado.
- G_{AI} es la ganancia de la primera etapa.

La ecuación (2.7) muestra que la primera etapa es la que más contribuye al ruido total ya que su factor de ruido se suma directamente a la del sistema y la de la segunda etapa es atenuada

por la ganancia de la primera etapa. En consecuencia, la primera etapa de un sistema de radiofrecuencia (LNA) debe tener un bajo factor de ruido y una alta ganancia.

Normalmente no se suele hablar de factor de ruido (F) sino de figura de ruido (NF) ecuación (2.8), la cual no es más que la representación en decibelios del primero:

$$NF = 10\log(F) \tag{2.8}$$

2.1.3 Punto de Intercepción de Tercer orden (IP3)

El punto de intercepción de tercer orden es una medida de la linealidad de un circuito. Cuando dos señales con diferentes frecuencias (ω_1 y ω_2) son aplicadas a un sistema no lineal, la salida exhibe, en general, términos armónicos de ω_1 y ω_2 , y también términos de frecuencias que siguen la ley $m\omega_1\pm n\omega_2$ los cuales se producen por mezcla de los anteriores. A estos se les denomina productos de intermodulación (IM). Se define el orden de cada producto como la suma de m+n. Los productos de intermodulación se pueden dar referidos a la salida (OIM) o a la entrada (IIM) y se suelen expresar en dBm. Ambos valores están relacionados a través de la ganancia del circuito (OIM = IIM+G dB). Los productos de intermodulación más importantes son los de tercer orden ($2\omega_1-\omega_2$ y $2\omega_2-\omega_1$), desechando el término de continua que normalmente no condiciona la información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la Figura 1.3 se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes interferencias.

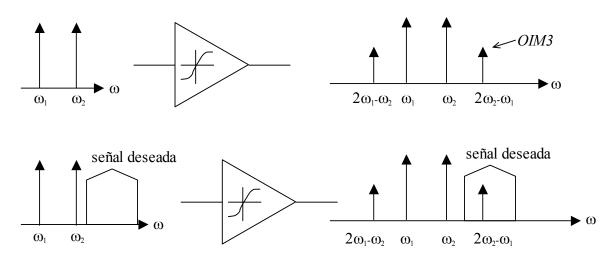


Figura 1.3 Efecto de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden *IP3* (third intercept point) el cual se puede dar referido a la entrada (*IIP3*) o a la salida (*OIP3*). Por medio de la ecuación (2.9) se puede calcular el *IIP3*.

$$IIP3_{dBm} = \frac{\Delta P_{dB}}{2} + Pin_{dBm} \tag{2.9}$$

Donde:

- P_{in} es la potencia de la señal interferente (tono).
- ΔP_{dB} es la diferencia de potencia entre la señal interferente y el IIM3.

En la Figura 2.1 se muestra la interpretación gráfica de ambas cantidades así como del *IP*3. Para determinar gráficamente el *IP*3 se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel *RF* a la entrada. El *IP*3 es la intercepción extrapolada de esas dos curvas. En general cuanto mayor sea el *IP*3 más lineal será nuestro circuito.

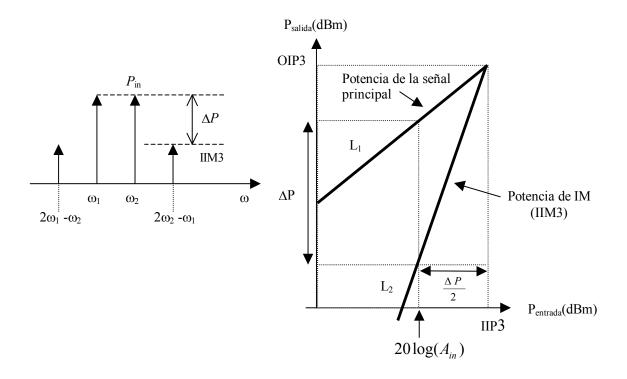


Figura 2.1 Medida del IP3 referido a la entrada.

Así, el IIP3 se puede determinar a partir de la ecuación (2.9) como se muestra en la ecuación (2.10).

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM 3}{2} + Pin_{dBm}$$
 (2.10)

El IIM3 viene dado por la ecuación (2.11).

$$IIM3_{dBm} = Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm})$$

 $IIM3_{dBm} = 3Pin_{dBm} - 2IIP3_{dBm}$ (2.11)

Es digno de mención que el representar la linealidad de un componente mediante el uso del *IM3* presenta el inconveniente que debe ser especificada la potencia de entrada. Con el *IP3* se salva este problema. El *IIM3* y el *OIM3* son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el *IIP3* y el *OIP3* son medidas relativas a los valores de los tonos de test utilizados. De esta forma, haciendo uso del *IIP3* o el *OIP3* podemos comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos y por ello son la forma más habitual de caracterizar los efectos de la intermodulación.

2.1.4 Coeficiente de onda estacionario (VSWR)

Está relacionado con el coeficiente de reflexión ($\Gamma_{\rm L}$, relación entre la onda incidente y la reflejada) según la ecuación (2.12) e indica una medida cuantitativa de la adaptación del circuito a la entrada (VSWR1) o a la salida (VSWR2). En la ecuación (2.12), Z_0 es la impedancia característica de la línea de transmisión y $Z_{\rm L}$ es la impedancia de carga. Como se puede observar, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica, el coeficiente de reflexión será cero, lo cual equivale a un VSWR de valor 1. El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión se debe a que es más fácil de medir (no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas).

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1}$$
 (2.12)

2.2 Estándar ECMA-368 y estándar ISO/IEC 26907

En 2002, la FCC (Federal Communications Commission) con el informe 02-48 establece el reglamento para UWB. La FCC aprueba el sistema de UWB para un rango de frecuencias de 3.1-10.6 $GH\chi$ [6]. Para definir un dispositivo como de UWB, éste debe tener un ancho de banda fraccional (BWFRACCIONAL) mayor de 0.2 u ocupar 0.5 $GH\chi$. Donde fs es la frecuencia superior y fi la frecuencia inferior a 10 dB.

$$BW_{\text{Fraccional}} = \frac{2(fs - fi)}{fs + fi} \tag{2.13}$$

Basándose en esta asignación, *UWB* no se considera como una tecnología sino un espectro libre para su uso. La *FCC* propuso para su comercialización de usos civiles las siguientes aplicaciones:

- Sistemas de proyección de imagen, médicos y de vigilancia.
- Radares de vehículos.
- Sistemas de comunicaciones y de medidas.

Un inconveniente importante es que UWB tiene que coexistir con un nivel de interferencias relativamente alto debido a los dispositivos de 2.4 GHz y de 5 GHz de las bandas ISM. En la Tabla 2.1 se observa la atenuación que debe tener las distintas interferencias para que el receptor de UWB funcione correctamente [3].

	Horno Micro ondas	Interferencias de Bluetooth & IEEE 802.15.1	Interferencias de IEEE 802.11b & IEEE 802.15.3	Interferencias de IEEE 802.11a	Interferencias de IEEE 802.15.4 (2.45GHz)
Mínima atenuación filtro banda base	35.4 dB	36.9 dB	36.9 dB	30.7 dB	35.6 dB
Atenuación del filtro inicial	35 dB	35 dB	35 dB	30 dB	35 B

Tabla 2.1 Atenuaciones del filtro inicial y del filtro en banda base

2.2.1 Canalización

Como parte de *WiMedia*, la *MBOA* (*Multiband OFDM Alliance*) para el estándar de *UWB* dividió el espectro en 14 bandas de 528 *MHz* agrupadas en 5 grupos empleando *OFDM* en cada banda (ver Figura 2.2). Los datos son modulados en *QPSK-OFDM* 128, permitiendo tasas de datos de 53.3 *Mb/s* a 480 *Mb/s* (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 *Mb/s*) [4], [5].

El primer grupo de bandas es utilizado para la primera generación de dispositivos (Modo 1 de 3.1 a 4.9 *GHz*).

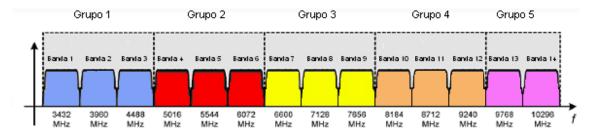


Figura 2.2 Bandas de frecuencia.

Usando únicamente las el grupo 1se puede usar un filtro paso banda que reduce el nivel de interferencias de las bandas ISM de los 5 GHz.

Para proporcionar robustez frente a la multitrayectoria y a las interferencias se utiliza la técnica de *frequency hopping* (saltos de frecuencia) entre las bandas de cada grupo. El receptor debe tener por tanto una alta linealidad y un oscilador local de banda ancha que pueda cambiar de frecuencias en menos de 9.5 *ns* (ver Figura 2.3).

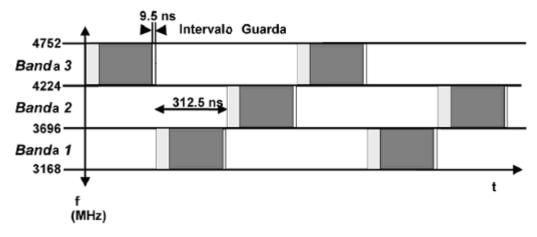


Figura 2.3 Frequency hopping o salto de frecuencia en grupos.

En la Tabla 2.2 se muestra la distribución de frecuencias de cada grupo de bandas MB-OFDM.

Tabla 2.2 Plan de frecuencias para UWB WiMedia.

GRUPO DE BANDAS	N° DE LAS BANDAS	FRECUENCIA INFERIOR (MHz)	FRECUENCIA CENTRAL (MHz)	FRECUENCIA SUPERIOR (MHz)
	1	3168	3432	3696
1	2	3696	3960	4224
	3	4224	4488	4752
	4	4752	5016	5280
2	5	5280	5544	5808
	6	5808	6072	6336
	7	6336	6600	6864
3	8	6864	7128	7392
	9	7392	7656	7920
4	10	7920	8184	8448

	11	8448	8712	8976
	12	8976	9240	9504
Ē	13	9504	9768	10032
5	14	10032	10296	10560

Frecuencia central de la banda = $2904 + 528 \times n_b$, $n_b = 1....14$ (MHz)

2.2.2 Desafíos en el diseño de MB-OFDM

Los receptores MB-OFDM en comparación con los receptores de banda estrecha, tienen una serie de nuevos desafíos, los cuales se resumen en [12], [13],[13]:

- Necesidad de una adaptación de la impedancia de entrada de banda ancha, de 3.1 a 10.6 GHz. Se necesita un LNA en el receptor capaz de proporcionar una figura de ruido razonablemente baja, una alta ganancia y un consumo de corriente bajo. Esto es muy difícil usando LNAs convencionales de banda estrecha o amplificadores realimentados resistivamente [13].
- Cuando estamos recibiendo en un canal, la señal de los otros canales entran en el receptor y aparecen señales bloqueantes. Como consecuencia, aparecen restricciones a la linealidad dentro de la banda.
- Necesita una mejor linealidad al coexistir con otras bandas de 3.1-10.6 *GHz*, esto no ocurría con los receptores de banda estrecha. Por ejemplo, en los sistemas de banda estrecha la distorsión o la no linealidad debida a los armónicos de 2º orden no son importantes ya que están fuera de la banda. Sin embargo, en los receptores de *UWB*, la distorsión de 2º orden del canal 1 cae dentro del canal 5.
- Los receptores necesitan filtros para seleccionar los canales en banda base con un alto rechazo a la frecuencia de corte de 264 MHz. Es particularmente difícil realizar filtros activos con polos en este rango de frecuencias, y satisfacer rigurosamente el rango dinámico sin un consumo alto de corriente.

- Los receptores necesitan un sintetizador de frecuencia de banda ancha ágil, para toda la banda 3.1 a 10.6 *GH*%.
- Los sistemas de banda ancha usan esquemas complejos de modulación. Debido a la aglomeración en la constelación se necesita una ganancia equilibrada entre los canales I y Q y por lo tanto una buena eficiencia en las fases en cuadratura del oscilador local (OL).
- Al tener *UWB* un ancho de banda grande, los armónicos del *OL* pueden enviar algún canal no deseado de *UWB* a la *FI* e interferir el canal deseado.

2.3 Especificaciones del receptor para UWB-WiMedia

Para alcanzar una solución de bajo coste, se requiere una alta integración de la arquitectura del receptor, con un mínimo número de componentes externos. En la Figura 2.4 se muestra una arquitectura zen-IF (frecuencia intermedia nula) que satisface bien esta aplicación de UWB. Este esquema se ha puesto en práctica para aplicaciones radio de UWB recientemente publicadas [12], [13], [13]. La señal de la antena es filtrada por un filtro pasivo inicial, el cual reduce el nivel de las interferencias fuera de la banda. La señal de salida del filtro es amplificada por un LNA de Ultra banda ancha y convertida a frecuencia cero mediante los mezcladores en cuadratura. El sintetizador proporciona las señales del oscilador local. Los filtros de banda base y el control de ganancia automático (AGC) adecuan la señal de salida del mezclador al convertidor analógico digital (ADC).

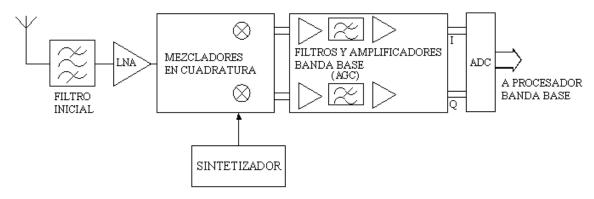


Figura 2.4 Receptor para UWB.

En la siguiente Tabla 2.3 se muestran las especificaciones del receptor propuesto [3].

Tabla 2.3 Requisitos del receptor

Parámetro	Valor	
Sensibilidad	-83.6 a -72.6 dBm	
Máxima señal de entrada	-41 dBm	
NF (Figura de ruido)	6 dBm	
Ganancia de compresión a 1 dB/IIP3	-18.56 dBm/ -9dBm	
Ganancia	50 dB / 64dB	
Control de ganancia	14 dB	

2.4 Estructura del LNA utilizado

En este proyecto se ha utilizado un amplificador con realimentación activa (ver Figura 2.5) [3]. El amplificador consiste en una etapa en configuración de emisor-común y un seguidor de emisor en el camino de la realimentación. Con el propósito de mejorar el ancho de banda del amplificador, se suele usar comúnmente una bobina en configuración shunt-peaking [30]. Esta técnica consiste en añadir una bobina en serie con la resistencia de carga de forma que resuene fuera de las capacidades parásitas y se aumente el ancho de banda. En este amplificador, la bobina $L_{\rm B}$ (inductor 3-D modificado [15]) se situó dentro del lazo de realimentación.

El inductor L_{EN} se usa para conseguir una buena respuesta en frecuencia de la adaptación de entrada del circuito (a 50 Ω). Esta bobina está en el camino directo de la señal y normalmente tiene un valor inductivo que hace que se pueda realizar con un pequeño número de vueltas. Por este motivo, se puede obtener un factor de calidad alto y, como consecuencia, su contribución a la figura de ruido será baja.

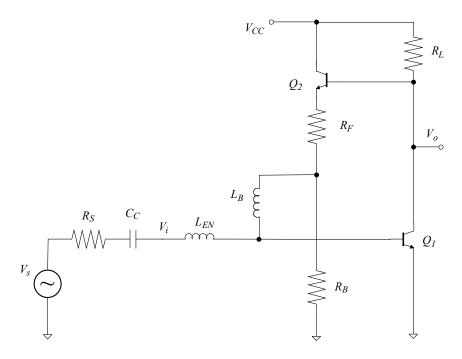


Figura 2.5 Esquema del amplificador con realimentación activa.

Tabla 2.4 Valores de los componentes del circuito

	Q1	Q2	RL	RF	RB	LB	LEN
Valor	36 μm²	1.6 μm²	271.212 Ω	271.212 Ω	1631.58 Ω	6 nH	0.5 nH

Ignorando las capacidades del transistor, la ganancia en tensión viene dada por:

$$A_{v} = \frac{v_{o}}{v_{i}} = \frac{\frac{R_{L}}{R_{F}} - g_{m}R_{L}}{1 + \frac{R_{L}}{R_{F}}} \approx \frac{-g_{m}R_{L}}{1 + \frac{R_{L}}{R_{F}}}$$
(2.14)

A baja frecuencia la impedancia de entrada viene dada por:

$$Z_{in} = \frac{1 + g_{m2}R_F}{g_{m2}(1 + g_{m1}R_L)} \approx \frac{R_F}{g_{m1}R_L}$$
 (2.15)

Donde g_{m2} es la transconductancia del transistor Q_2 en el seguidor de emisor.

Realizando el análisis del ruido, se obtiene la expresión del factor de ruido simplificada dada por

$$F = 1 + \frac{r_b + r_e}{R_S} + \frac{1}{2g_m R_S} + \frac{g_m R_S}{2\beta} + \frac{g_m R_S}{2\beta^2} + \frac{1}{2g_m} \frac{R_S}{R_E^2} + \frac{R_S}{R_E}$$
(2.16)

Donde r_b y r_e son las resistencias parásitas de la base y el emisor, y β es la ganancia de corriente para pequeña señal. El análisis del ruido muestra que la resistencia de realimentación R_F impacta significativamente en la figura de ruido del amplificador debido a su relativa magnitud con respecto a la resistencia de fuente de entrada (R_s) .

A continuación se muestra la Tabla 2.5 con las principales prestaciones del LNA (Figura 2.5).

Valor 15 S_{21} (dB) NF (dB) < 3.8 BW_{3dB} (GHz) 0.1 - 6.5IIP3 (dBm) 0.24 Vcc (V) 3.3 5.1 I_{TOTAL} (mA) P_{DC} (mW) 16.8 Área efectiva (mm²) 0.1

Tabla 2.5 Prestaciones del circuito.

2.4.1 Diseño del layout

El *layout* consiste en definir los planos de fabricación del circuito integrado. Mediante la tecnología (BICMOS 0.35 µm) con sus reglas de diseño y la herramienta de diseño *CADENCE* [3].

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede

atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc.

De la misma manera, hay que tener en cuenta una serie de aspectos que nos permitan obtener el comportamiento óptimo del diseño realizado. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se enumeran a continuación:

- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común *Vdd* o tierra.
- El sustrato debe estar conectado a tierra.
- Se debe usar, en la medida de lo posible, las estructuras *dummies* en las resistencias. Con ellas lograremos la reducción de la tolerancia que presentan dichos dispositivos.

Otro de los aspectos importantes es el referido al consumo de potencia del circuito. Éstos toman especial relevancia en el dimensionado de las pistas de interconexionado de los componentes. Así, hemos de saber que cantidad de corriente circula por cada una de ellas y, en consecuencia, ajustar su anchura para que soporte dicho flujo. Para asegurarnos de que no se destruya ninguna parte del circuito, se han sobredimensionado las anchuras mínimas. Dichos valores vienen determinados por la tecnología usada y por el tipo de materiales que conforman las pistas.

2.4.2 Layout del amplificador de bajo ruido

En la Figura 2.6 [3] se muestra el *layout* del amplificador de bajo ruido (LNA), el cual utiliza para la bobina L_B el inductor 3-D modificado. Se puede apreciar la disposición de los distintos componentes, destacando que en este caso el área ocupada por L_B es reducida en gran medida con respecto al inductor convencional.

Se ha tratado de no utilizar líneas excesivamente largas ya que introducen capacidades parásitas. Cuando no se ha tenido más remedio que utilizarlas, se han implementado con los metales mayores ya que estos tienen menor resistencia y aportan menos capacidades parásitas.

Los contactos a tierra los colocamos por todos los espacios libres que nos queden, excepto dentro de las bobinas. Con ello evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

Usamos un tipo de terminal, el denominado *Ground-Signal-Ground* (*GSG*), tanto para la alimentación como para la entrada y la salida de la señal de radiofrecuencia.

En la parte superior derecha del *layout* se ha puesto un condensador de 5 pF entre VCC y GND para filtrar señales parásitas que pueden entrar por la fuente de alimentación.

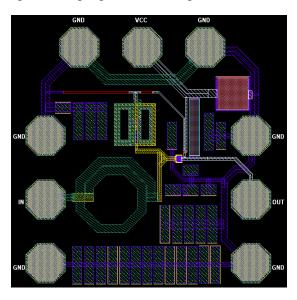


Figura 2.6 Layout del LNA.

El área ocupada por los circuitos excluyendo los *pads* es de 330 μ m × 310 μ m para el *LNA* con el inductor 3-D modificado. Con el uso del inductor 3-D modificado se consigue reducir en un 40% el área utilizada respecto al que usa el inductor convencional sin afectar a las prestaciones del circuito. En la Figura 2.7 se observa una fotografía del chip ya fabricado.

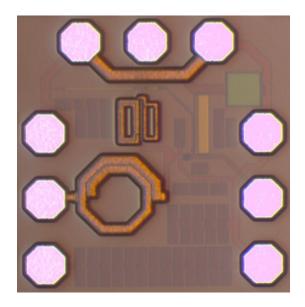


Figura 2.7 Fotografía del chip.

En la Tabla 2.6 se muestran los resultados de las simulaciones *post-layout* para el peor caso (*worst case*) y las medidas del LNA una vez fabricado [3].

Tabla 2.6 Comparación resultados de las medidas con las simulaciones post-layout.

	Simulaciones post-layout LNA	Medidas LNA
S ₂₁ (dB)	15	11.74
NF (dB)	3.5-3.7	3.8-4
BW _{3 dB} (GHz)	0.1-6.5	0.1-5.43
IIP3 (dBm)	0.24	-4.4
Vcc (V)	3.3	3.3
I _{TOTAL} (mA)	5.1	4
P_{DC} (mW)	16.8	13.2
Área efectiva (mm²)	0.1	0.1

Para poder encapsular el LNA, se deben eliminar del *layout* los *pads* de medida que no son más que unas islas de metal conectadas a las zonas adecuadas del circuito integrado sobre el cual descansan las puntas de medida. Al ser una zona de metal sobre un sustrato de silicio, éste puede moldearse mediante una capacidad parásita en serie con una resistencia entre el metal y el sustrato. Los valores de la capacidad y resistencia parásita asociadas a los *pads* son de $C = 360 \, fF$ y $R = 31 \, \Omega$.

En la Figura 2.8 se muestra el circuito sin *pads*. Al que se le añadirán los *bondpad* (*pad* donde se conecta el hilo del *bonding*) y las protecciones contra las descargas electroestáticas (*ESD*) necesarias para encapsularlo.

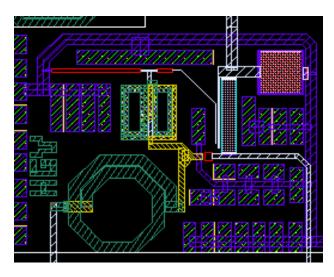


Figura 2.8 Layout sin pads.

2.4.3 Simulaciones post-layout del amplificador de bajo ruido

Las medidas de este último *layout* con y sin *pads* dispuesto para ser encapsulado serán la base de nuestro estudio. En la Figura 2.10 se muestran los resultados obtenidos de las simulaciones (de la Figura 2.9) de los principales parámetros necesarios para ser utilizados en capítulos posteriores con el fin de analizar la influencia del encapsulado en el LNA.

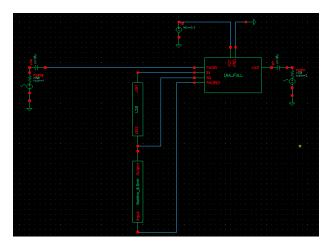


Figura 2.9 Esquema del LNA en Cadence.

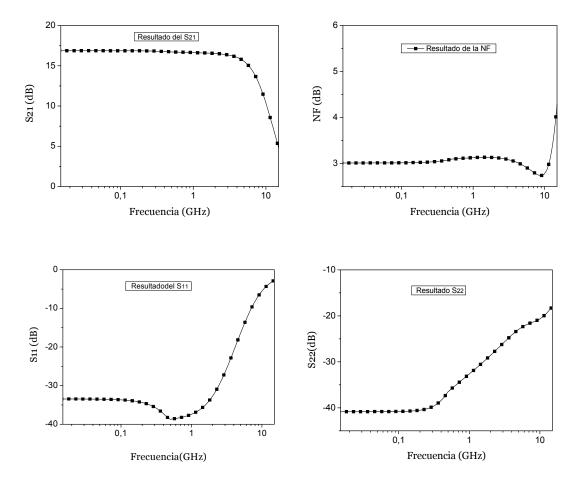


Figura 2.10 Resultados de las simulaciones.

La ganancia varía de 16.3 a 9.2 dB entre la banda de 3.1-10.6 GHz, siendo mayor que 1 dB en la banda de 0.1-15 GHz. La figura de ruido del LNA es de 2.9 dB para baja frecuencia, llegando hasta los 3.1 dB a 10.6 GHz.

Tanto la adaptación de entrada como la de salida del circuito son de banda ancha y son similares en ambos circuitos. Por ejemplo, el S_{11} varía de -25.5 a -4.7 dB de 3.1 a 10.6 GHz. Mientras que el S_{22} varía de -25.6 a -20.3 dB de 3.1 a 10.6 GHz. Todas las simulaciones se han realizado con una tensión de alimentación de 3.3 V.

2.5 Resumen

En este capítulo hemos visto las principales características de los sistemas de RF. Igualmente, hemos dado una descripción detallada del estándar *ECMA-368* y estándar *ISO/IEC 26907* (WiMedia). Tras analizar los principales desafíos del diseño del receptor, se ha estudiado la arquitectura *zero-IF*, la cual es altamente integrable. Siguiendo posteriormente con un breve análisis de la estructura y las principales características del LNA. Por último se realizaron las simulaciones del LNA sin los *pads* de medida y modificado para poder ser encapsulado a falta de los *bondpads* y las protecciones *ESD*. En el próximo capítulo se estudiarán las principales características de los encapsulados, se modelará el encapsulado elegido en la herramienta software ADS y se simularán los parámetros necesarios, analizándose el conjunto en el capítulo 4.

CAPÍTULO 3

ESTUDIO DEL ENCAPSULADO QFN16

Los circuitos integrados fabricados sin encapsular son muy delicados y están expuestos a diferentes agentes como polvo, una gota de agua o incluso la luz que los pueden dañar. Para protegerlos se usa un envase o recipiente que denominamos encapsulado. En este capítulo veremos las características externas así como los principales tipos de encapsulados. Posteriormente se pasará a analizarlos internamente; para ello comenzaremos con las técnicas de interconexión del chip con el encapsulado. También se analizarán cuales son los factores a tener en cuenta a la hora de elegir el tipo de encapsulado, eligiendo cual es el que más se ajusta a nuestro circuito (LNA). Al encapsularlo se han de seguir una serie de reglas básicas propuestas por el fabricante en lo que se refiere a medidas y colocación de los hilos del *bonding*.

Como último paso se procederá con el modelado del encapsulado elegido y la unión con el *chip*, de donde obtendremos el modelo de los parámetros del *bonding*, *pin* y el *bondpad* que posteriormente necesitaremos.

3.1 Funciones del encapsulado

El encapsulado suministra protección mecánica y ambiental [16], [17], evitando que se dañe el circuito integrado ó chip por efecto de la humedad, el polvo o cualquier otro agente externo. Además le confiere rigidez mecánica para que pueda ser manipulado fácilmente a la hora de realizar un montaje o ante golpes y vibraciones.

Para que circuito integrado pueda intercambiar señales con el exterior, es necesario dotarlo de conexiones, por ello el encapsulado dispone de pines que a su vez están conectados al chip mediante los *bonding* (cables de interconexión muy finos desde los contactos del chip hasta los del encapsulado).

El encapsulado mantiene la temperatura del chip dentro de un rango ya que éstos, al estar fabricados de silicio, se calientan durante el funcionamiento. Si la temperatura del chip se eleva hasta valores demasiados altos, el chip funcionará mal, se dañará o se destruirá. Los encapsulados ayudan a liberar el calor generado, más o menos eficientemente según el material del que estén fabricados. Dependiendo del uso y tipo de chip, no es de extrañar que en algunos casos requiera de medidas adicionales de refrigeración (disipador).

3.1.1 Material de construcción del encapsulado

Los encapsulados se pueden clasificar por su material de construcción, existen dos tipos; plásticos y cerámicos.

Los de **plástico** son más económicos, permeables a la humedad y no son buenos conductores térmicos, pero debido a su menor coste se usan más en aplicaciones estándares o en las que no requieran altas prestaciones. Por otro lado, los **cerámicos** poseen una mayor fiabilidad y resistencia a golpes y vibraciones. Además como están sellados herméticamente contra la humedad y poseen mejores propiedades térmicas que el plástico, se emplean en chips de alta potencia por lo que su uso está indicado para entornos muy duros como el militar o aplicaciones especiales.

3.2 Tipos de encapsulados

Otro tipo de clasificación de encapsulados es relativo a la manera en la que se mantienen sobre la placa. Podemos diferenciar dos grupos: encapsulados de inserción y encapsulados de montaje superficial [16], [17].

3.2.1 Encapsulados de inserción

Sus pines atraviesan la placa PCB (*Printed Circuit Board*) (Figura 3.1), permanecen debido a su disponibilidad, fácil ensamblaje y manipulación a nivel placa tanto PCB como *protoboard* (placa de pruebas).

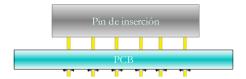
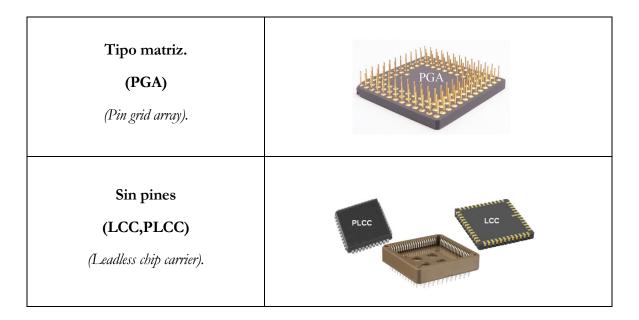


Figura 3.1 Pines en los encapsulados de inserción.

En la Tabla 3.1 se reflejan los principales tipos de encapsulados de inserción divididos por sus características físicas.

Tabla 3.1 Tipos de encapsulados de inserción.

DESIGNACIÓN	FIGURA
Pines a un solo lado. (SIP,ZIP) (Single In-Line Package, Zigzag In-Line Package)	ZIP
Pines a ambos lados. (DIP) (Dual In-Line Package)	DIP



3.2.2 Encapsulados de montaje superficial o SMD

Como su nombre indica se colocan en la superficie de la PCB (Figura 3.2), por lo que no es necesario hacer agujeros. Al no traspasar la placa pueden montarse en ambos lados de la misma. Generalmente ocupan mucho menos espacio debido a que son más pequeños, más baratos y poseen un mejor funcionamiento para alta frecuencia. Esto es debido a que los pines son más cortos y se ha reducido su inductancia. Uno de los mayores inconvenientes que poseen es su manipulación en placas de prototipo o test que puede resultar algo incómoda.

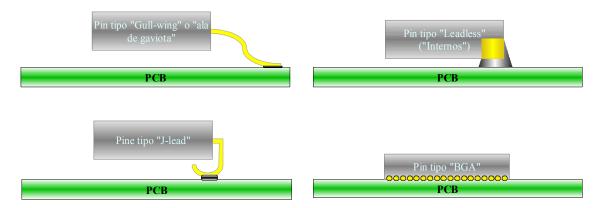


Figura 3.2 Principales tipos de pines en los encapsulados de montaje superficial.

En la Tabla 3.2 se muestran los principales tipos de encapsulados *SMD* divididos por tipo de patilla.

Tabla 3.2 Principales tipos de encapsulados SMD.

DESIGNACIÓN	FIGURA
Tipo flat - Pines a dos lados (SOP, TSOP) (Small Outline Package, Thin Small Outline Package) - Pines a cuatro lados (QFP, TQFP) (Quad Flat Package, Thin Quad Flat Package)	TSOP
Tipo J-lead - Pines a dos lados (SOJ) (Small Outline J-Lead) - Pines a cuatro lados (QFJ) (Quad Flat J-Lead)	SOJ productiva de la companya de la
Leadless chip carrier - Pines a dos lados (DFN) (Dual Flat No-Lead) - Pines a cuatro lados (QFN) (Quad Flat No-Lead Package)	DFN QFN HILLIAM STREET
Tipo matriz (BGA,SPGA) (Ball Grid Array, Staggered pin grid array)	BGA

Tras enumerar los materiales de construcción y los tipos de encapsulados tanto de inserción como de montaje superficial (*SMD*) en la Tabla 3.3 se muestran una serie de encapsulados, siendo éstos los más populares en la industria de los circuitos integrados [18].

Tabla 3.3 Encapsulados más populares en la industria de los circuitos integrados.

FIGURA	DESIGNACIÓN	FIGURA	DESIGNACIÓN
THITITI I	SIP - Single-In-Line Package		SOT - Small Outline Transistor
New Market	PDIP - Plastic Dual-in-Line Package	in the second	SOIC - Small Outline IC Package
probability .	SPDIP - Shrink Plastic Dual-in-Line Package		CerPack - Ceramic Package
THITT	CerDIP - Ceramic Dual-in- Line Package	mman	QSOP - Quarter Size Outline Package
hammana	SBDIP - Sidebraze Dual- in-Line Package	THE REAL PROPERTY.	MSOP - Micro Small Outline Package
	PPGA - Plastic Pin Grid Array		SSOP - Shrink Small Outline Package
	CPGA - Ceramic Pin Grid Array		TSOP - Thin Small Outline Package
4 Manager and American State of the American	DPAK - Decawatt Package		TSSOP - Thin Shrink Small Outline Package

Total Marie	D2PAK or DDPAK - Dou-ble Decawatt Package		VSOP - Very Small Outline Package
A.	D3PAK - Decawatt Package 3		PSOP - Power Small Outline Package
2"	PQFP - Plastic Quad Flat Pack		XQFN - Extreme Thin Quad Flat No Leads Package
	CQFP - Ceramic Quad Flat Pack		PQFN - Power Quad Flat No Leads Package
THE REAL PROPERTY.	LQFP - Low-Profile Quad Flat Package		QFN - Quad Flat No Leads Package
Dame of the same o	MQFP - Metric Quad Flat Package		TQFN - Thin Quad Flat No Leads Package
DECENTION.	TQFP - Thin Quad Flat Pack	The state of the s	CLCC - Ceramic Leadless Chip Carrier
Trent	DFN - Dual Flat No Leads Package	nuntumur.	SOJ - Small Outline J-Lead Package
REAL PROPERTY.	TDFN - Thin Dual Flat No Leads Package	Carried Marie Control of the Control	JLCC - J-Leaded Ceramic Chip Carrier
	UTDFN - Ultra Thin Dual Flat No Leads Package	We are	PLCC - Plastic Leaded Chip Carrier
	XDFN - Extreme Thin Dual Flat No Leads		CCGA - Ceramic Column Grid Array

	MLP - Micro Leadframe Package	PBGA - Plastic Ball Grid Array
El Troit	UTQFN - Ultra Thin Quad Flat No Leads Package	FBGA - Fine-Pitch Ball Grid Array
	TFBGA - Thin Fine-Pitch Ball Grid Array	VFBGA - Very Thin Fine- Pitch Ball Grid Array
	CBGA - Ceramic Ball Grid Array	LGA - Land Grid Array
	LFBGA - Low Profile Fine-Pitch Ball Grid Array	

Una vez vistas las características externas de los encapsulados y los principales tipos de los mismos, se pasará a analizarlos internamente. Para ello comenzaremos con las técnicas de interconexión del chip con el encapsulado, también analizaremos cuales son los factores a tener en cuenta a la hora de elegir el tipo de encapsulado que más se ajuste a nuestro circuito (LNA) así como los que tenemos disponibles.

Una vez elegido el tipo de encapsulado deberemos tener en cuenta una serie de reglas básicas propuestas por el fabricante en lo que se refiere a medidas y colocación de los hilos del *bonding*.

Como último paso se procederá con el modelado del encapsulado elegido y la unión con el chip, de donde obtendremos el modelo de los parámetros del *bonding*, *pin* y el *bondpad* que posteriormente necesitaremos.

3.3 Interconexión entre el encapsulado y el chip

Una vez que concluye el proceso tecnológico sobre la oblea, se procede al corte de la misma para separar los diferentes circuitos. Posteriormente se procede al encapsulado. Para dotar de conectividad a los circuitos con el exterior es necesario unir los *pads* del chip con los *pines* del encapsulado, para ello existen tres técnicas o métodos que son: "Wire-Bonding", TAB "Tape Automatic Bonding" y "Flip-Chip".

El *Wire-Bonding* (Figura 3.3) consiste en la unión de los *pads* con los pines a través de un hilo conductor delgado generalmente de oro o aluminio. Este proceso se realiza directamente entre el hilo, los *pads* y los *pines*, aplicando ultrasonidos y calor para unir cada punta del hilo a su contacto sin necesidad de ningún producto como el estaño. La unión debe ser los suficiente fuerte mecánicamente para evitar el desprendimiento del hilo y además homogénea para evitar problemas eléctricos.

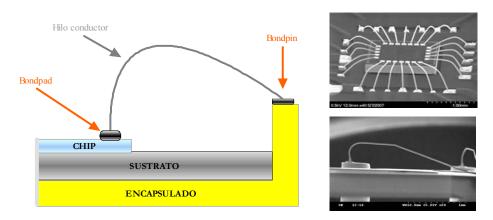


Figura 3.3 Unión entre el *pad* y el *pin* mediante un hilo conductor.

El **TAB** (*Tape Automatic Bonding*) es una alternativa al método de *Wire-Bonding*. Esta técnica se basa en la unión de los *pads* y los *pines* mediante unas delgadas pistas de metal depositadas en una cinta de polímero, el cual es como un circuito impreso flexible en miniatura. La unión entre las pistas y los *pads* se realiza mediante un material conductor a modo de pequeñas pelotas llamadas "*bumps*". Una vez unido el *chip* y las pistas metálicas se llevan a la base del encapsulado para unirlas a los *pines*.

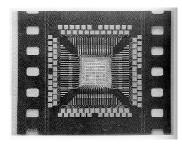




Figura 3.4 Imagen de un chip unido mediante TAB e imagen muy ampliada de un "bump".

Por último, el "Flip-Chip" (ver Figura 3.5) es una técnica de conexionado en el cual el chip se suelda directamente a unas pistas conductoras (en el sustrato laminado) con ayuda de unas microesferas (bumps) que se depositan sobre las obleas en sus etapas finales. El sustrato laminado es el encargado mediante sus pistas conductoras de unirlo con los pines o contactos.

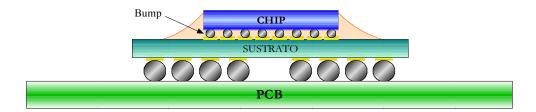


Figura 3.5 Chip unido mediante Flip-Chip al sustrato y a la PCB.

3.4 Elección de un encapsulado

Una buena elección del encapsulado es crucial. Hay que escogerlo dependiendo de la aplicación a la que va destinado, del tamaño del chip, el coste y buen funcionamiento. A la hora de elegir el encapsulado tendremos presentes las siguientes consideraciones:

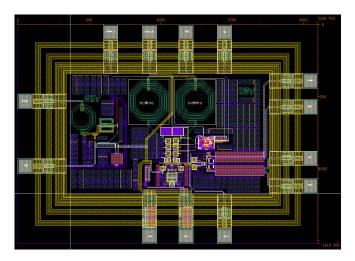
- Tamaño del chip.
- Número de pines.
- Disipación del calor que debe poseer el chip.
- Frecuencia de funcionamiento.
- Material del chip, si es mejor para la aplicación a la que va destinado el de plástico o el de cerámica.

- Interconexión entre el chip y el encapsulado (Wire-Bonding, Flip-Chip, TAB).
- Interconexión entre el encapsulado y la PCB (Inserción o montaje superficial).
- Geometría (footprint) del encapsulado según los estándares.
- Producción en serie.
- Coste.

3.4.1 Elección del encapsulado para el LNA

En este apartado hemos de tener en cuenta que no solo se va a encapsular un LNA, para ahorrar costes además se añadirá al diseño un PLL [19]. De cara a este proyecto el PLL aparecerá en el esquema general pero no lo analizaremos. En la Figura 3.6 se muestra el chip final sin encapsular y con los *bondwires* conectados.

Como ya vimos anteriormente hay una serie de factores que influyen en la elección. Uno de los más determinantes es que solo se dispone de una serie de encapsulados[20], [21]. Consultando en el IUMA los encapsulados disponibles solo tenemos uno para este circuito el QFN de 16 patillas o pines con una dimensión de 5x5mm.



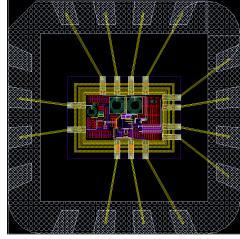


Figura 3.6 Layout de la célula a fabricar y layout con package y los bondwires.

3.4.2 Reglas de encapsulado (QFN)

Por norma general la técnica más empleada en los encapsulados es el *Wire-Bonding*, mientras que las otras se usan en casos muy específicos. Por ello nos hemos centrado en sus principales reglas [21], [20].

Lo primero que se debe hacer es seleccionar el encapsulado adecuado. A la hora de seleccionar el encapsulado hay unas reglas establecidas por el fabricante en lo que se refiere a distancias, tamaños mínimos y máximos tanto de *Bondpad (pads* del circuito sobre los cuales se unirán los hilos), *Bondpines* (aéreas sobre la base del encapsulado donde se unirán los hilos procedentes del dado), así como del conexionado de ambos que se deben cumplir.

Los *Bondpines* se distribuyen alrededor de los 4 lados de la cavidad donde se pone el chip. *El Bondpin* 1 en el encapsulado QFN se sitúa en la esquina superior izquierda, se numeran desde el primero en sentido contrario a las agujas del reloj (ver Figura 3.7).

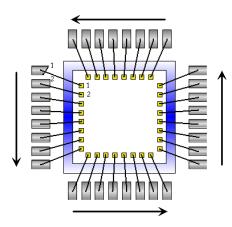


Figura 3.7 Orden de numeración de las patillas del chip.

El chip debe quedar lo más ajustado posible a la base del encapsulado para evitar hilos de conexión demasiado grandes, pero respetando una distancia mínima para que pueda trabajar la máquina de *bonding*.

A su vez los hilos han de cumplir unos requisitos. No pueden ser muy largos ya que introducen parásitos, estando limitadas en altura y no debiendo cruzarse nunca. A la hora de elegir dónde irán ubicados los *pines* y los *pads* hay que dividir el dado en 8 partes. Solo se pueden

conectar los *pads* y los *pines* del mismo sector como se muestra en la Figura 3.8. Además, la línea que los une debe formar un ángulo mayor de 45° (ver Figura 3.8 b).

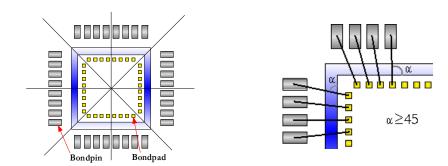


Figura 3.8 a) chip dividido en 8 partes.

b) Representación de los ángulos.

3.5 Modelado del QFN16

Tras elegir el encapsulado, a continuación vamos a ver sus principales características. Seguidamente, se hará un análisis del sustrato utilizado (partes que lo componen) y el modelado con la herramienta software ADS. Por último nos centraremos en las simulaciones, medidas realizadas y principales problemas surgidos. Una vez obtenidos los datos que nos interesan los exportaremos a la herramienta software CADENCE para ver la influencia del encapsulado en el LNA[6], [8].

3.5.1 Partes del QFN16

A modo de sintetizar los apartados anteriores y centrándonos en el QFN16, a continuación se enumeran las partes y medidas del encapsulado, empezando por la parte exterior y terminando por desglosarlo interiormente.

El QFN empleado es de 16 patillas y tiene unas dimensiones de 5x5mm de lado y una altura de 0,8mm. Las patillas son del tipo *Leadless* (sin pines) y en la parte inferior posee un plano para conectarlo a masa que a su vez nos indica cual es la patilla 1 mediante el rebaje de una de

sus esquinas. La unión del circuito con el encapsulado se ha realizado mediante el método del *Wire-Bonding*.

El encapsulado (Figura 3.9) es de plástico y lo proporciona la fundidora virtual Europractice.

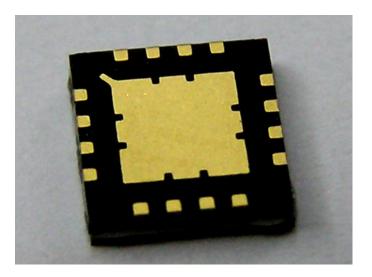


Figura 3.9 Foto del encapsulado QFN16 5x5 mm fabricado.

Las medidas del encapsulado en *mm* facilitadas por el fabricante se pueden observar en la Figura 3.10.

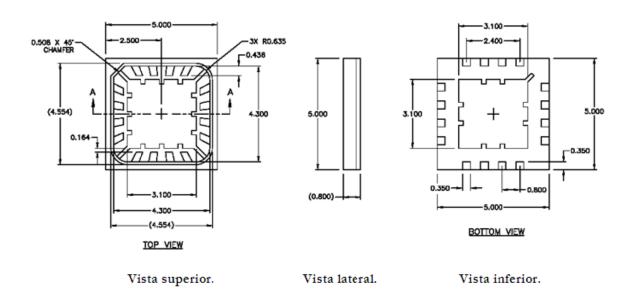


Figura 3.10 Dimensiones del encapsulado QFN16 de 5x5 mm.

En la Figura 3.11 se muestra el encapsulado con las diferentes partes que lo componen. A la hora de realizar nuestro diseño, en la herramienta software ADS, representamos el sustrato (capas y vías), los *Bondpad*, *Bondpines* y los *Bond-Wire*.

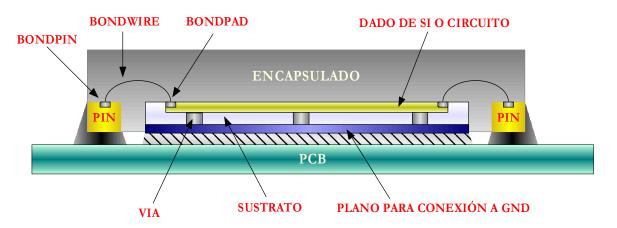


Figura 3.11 Partes del encapsulado con el chip.

Para realizar el modelado del encapsulado y las partes que lo componen creamos un proyecto nuevo en el ADS, dentro de ese proyecto incluimos un nuevo diseño *Layout* donde daremos forma a nuestro encapsulado siguiendo las medidas del fabricante y añadiendo también el dado donde va emplazado el LNA. El dado tiene unas medidas de 1,65mm de alto por 2,25mm de ancho.

Una vez modeladas las diferentes capas se añaden los hilos del *bonding* y los puertos necesarios para realizar las simulaciones, tal como se muestra en la Figura 3.12. En este caso, solo se simularán las patillas nº: 2 (LNA IN), 3 (LNA OUT), 6 (VCC) y patilla 7 (GND) ya que el resto de patillas pertenecen al PLL y no las vamos a utilizar.

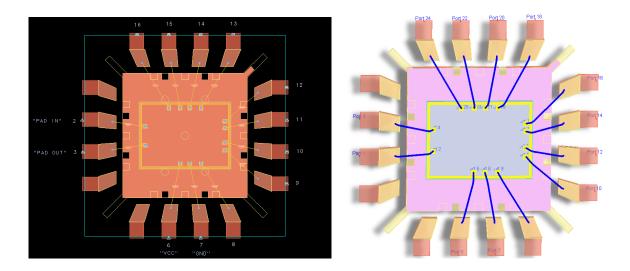


Figura 3.12 Layout del encapsulado y vista en tres dimensiones.

3.5.2 Partes sustrato

En la Figura 3.13 se pueden observar desglosadas las diferentes capas del sustrato y del encapsulado en ADS.

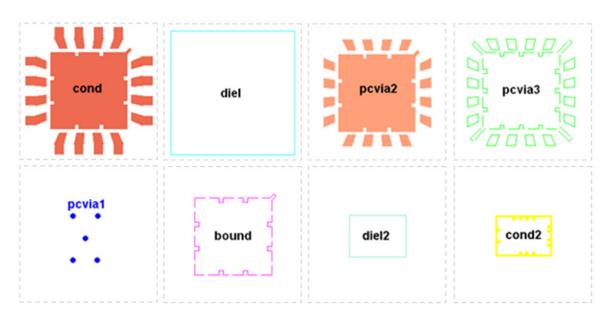
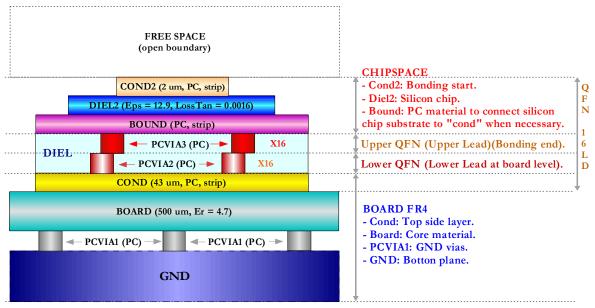


Figura 3.13 Desglose de las capas y vías.

En la Figura 3.14 se puede observar las diferentes capas de las que se compone el sustrato de EMDS. Está dividida en las siguientes partes:

- **BOARD FR4:** se definen los parámetros de la PCB (FR4) las pistas y las vías de conexión con el plano se masas.
- Upper QFN y Lower QFN: Se definen las capas asociadas a la parte baja y alta
- del encapsulado.
- CHIPSPACE: se definen las capas relativas al dado de silicio que se encapsula.



PC: Perfect conductor.

Figura 3.14 Definición de las diferentes capas del sustrato para la simulación mediante EMDS.

El simulador Electro Magnético 3-D (EMDS) posee una opción para generar bondwires (ver Figura 3.15). EMDS permite realizar de dos tipos diferentes de bondwire, el Jedec bondwire y el Shape Bondwire. En la Figura 3.16 se muestran las dos opciones, apreciándose como uno posee más segmentos así como la posición del eje Z.

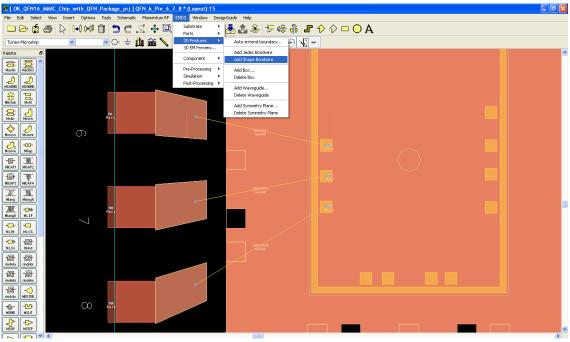


Figura 3.15 Opciones menú *EMDS*.

La principal diferencia entre uno u otro es el número de segmentos en los que se divide el hilo del *bonding*, además el *Shape Bondwire* proporciona los parámetros para el modelo 3-D con los que trabaja el EMDS.

En la Figura 3.16 más adelante se muestra una descripción gráfica de ambos tipos, apreciándose como uno posee más segmentos así como la posición el eje Z.

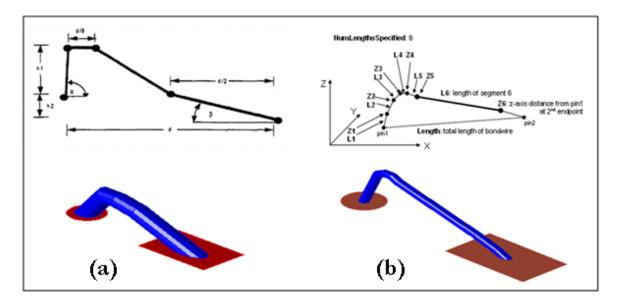


Figura 3.16 *Jedec Bondwire* (a), *Shape bondwire* (b).

Los parámetros Shape Bondwire se pueden observar a continuación.

- Radio del hilo del bonding.
- Conductividad del hilo.
- Si tiene Mesh (malla) interior.
- Capa del pin 1, pin 2 y cuerpo del hilo (nombre de la capa del sustrato).
- Longitud total del *Bondwire* (hilo del bonding).
- Número de segmentos en los que se divide el par Li y Zi del hilo (de 1 a 6).

En la Figura 3.17 tenemos los parámetros del Shape Bondwire empleados en este proyecto.

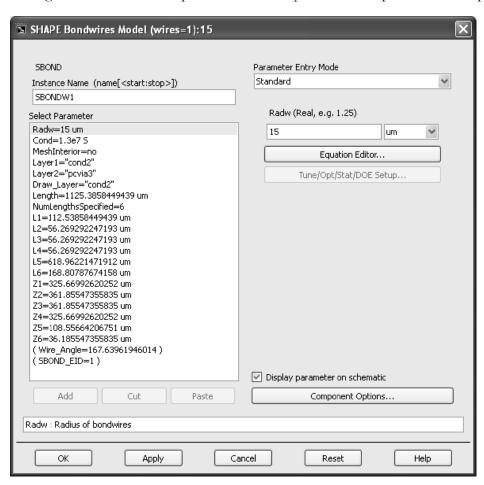


Figura 3.17 Parámetros del Shape bondwire.

En la Figura 3.18 tenemos el resultado obtenido del modelado de las capas, vías y el *bonding* desde diferentes ángulos de vista a nivel de *layout*.

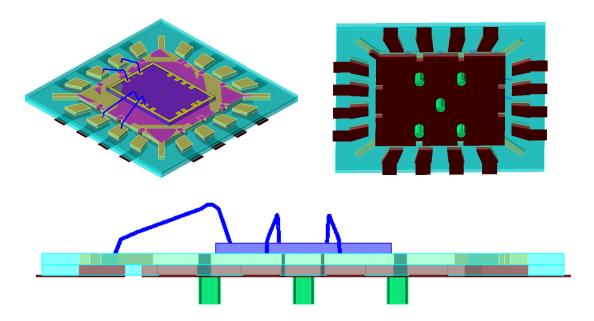


Figura 3.18 Distintas vistas del encapsulado.

3.6 Simulación y resultados

Después de finalizar el modelado completo con sus correspondientes capas, el bonding y los puertos, creamos el símbolo de simulación. Disponemos de dos opciones para crearlo, como una caja negra o por el contrario con la vista look alike, que muestra la forma del layout, en este caso la forma del encapsulado. También disponemos de una opción para el tipo de modelo. Como estamos trabajando con EMDS usaremos éste y seleccionaremos nuestros parámetros del sustrato.

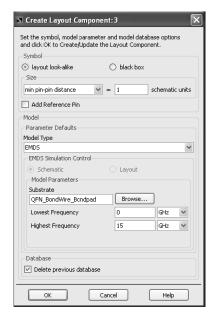


Figura 3.19 Menú creación símbolo.

Una vez creado el símbolo, insertamos el componente (vista "Look Alike View") en un nuevo diseño Schematic, añadimos los Term (Port Impedance Termination) a 50Ω y simulamos los parámetros S y los parámetros Y de 0Hz a 15GHz.

Los valores de los parámetros S en ese rango de frecuencias los exportaremos más adelante a la herramienta software *Cadence* con el fin de ver cómo afectan al LNA.

En la Figura 3.20 se muestran las patillas del encapsulado 2 y 3 preparadas para su simulación de 0 Hz a 15 GHz.

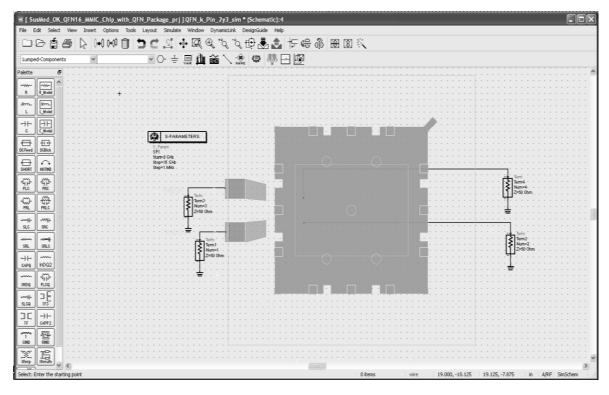


Figura 3.20 Vista Look Alike View.

En la Figura 3.21 se muestra una captura de los parámetros de simulación.

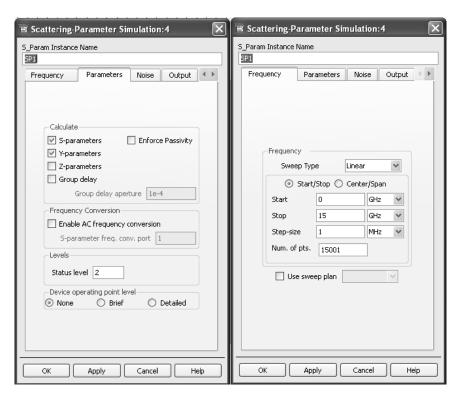
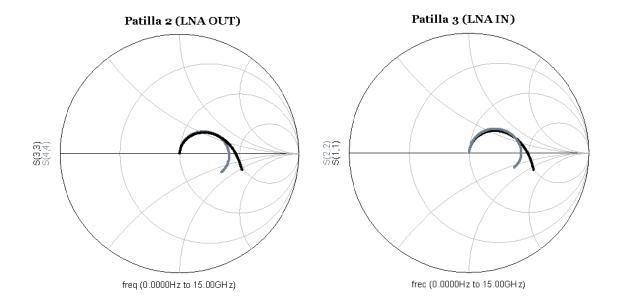


Figura 3.21 Parámetros de simulación.

Los resultados obtenidos en las simulaciones del *bonding* y el pin del encapsulado de las 4 patillas (LNA IN, LNA OUT, VCC y GND) son los que se muestran a continuación (Figura 3.22, Figura 3.23, Figura 3.24 y Figura 3.25).



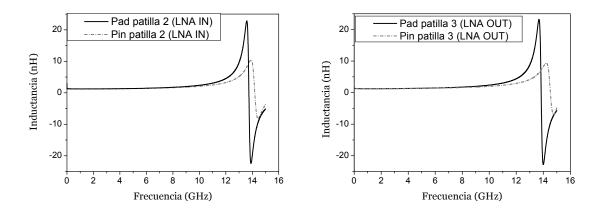


Figura 3.22 Inductancia patillas 2 y 3.

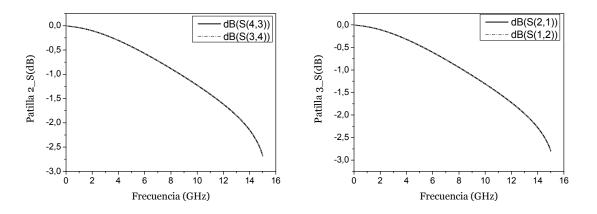
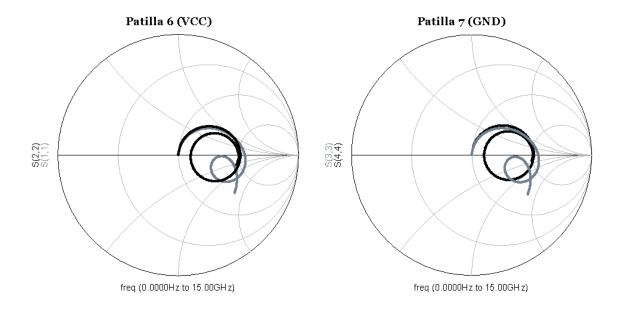
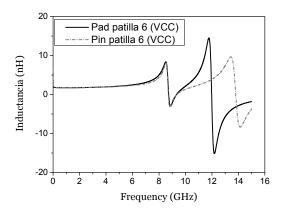


Figura 3.23 Parámetros S patillas 2 y 3.



Se observa que en las patillas 6 y 7 hay un comportamiento diferente tanto de la inductancia como de los parámetros S con la frecuencia frente a las patillas 2 y 3, ello es debido a que la longitud del hilo del *bonding* es diferente. Siendo más largo en las patillas de alimentación.



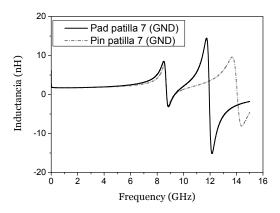
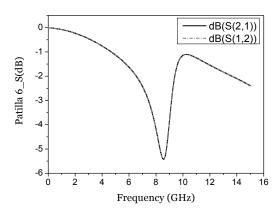


Figura 3.24 Inductancia patillas 6 y 7.



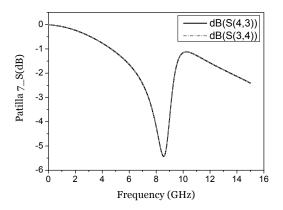


Figura 3.25 Parámetros S patilla 6 y 7.

Nº Patilla **Puerto** Frecuencia L_nH Nº Patilla Puerto Frecuencia L_nH 3GHz LnH11 1,274 LnH55 3GHz 1,832 LnH22 1,26 3GHz LnH66 3GHz 1,804 **PATILLA** PATILLA LnH55 LnH11 7GHz1,587 7GHz 3,095 Nº 1 Nº 6 LnH22 7GHz 1,487 LnH66 7GHz 2,778 (LNA IN) (VCC) LnH11 10GHz 2,377 LnH55 10GHz 2,129 LnH22 10GHz 1,98 LnH66 10GHz 1,333 LnH33 3GHz 1,262 LnH77 3GHz 1,834 LnH44 3GHz 1251 LnH88 3GHz 1,8 **PATILLA** PATILLA LnH77 LnH33 7GHz 1,577 7GHz 3,126 Nº 2 Nº 7 LnH44 7GHz 1,5 7GHz 2,717 (LNA OUT) LnH88 (GND) LnH33 10GHz 2,383 LnH77 10GHz 2,144 LnH44 10GHz 2,067 LnH88 10GHz 1,307

Tabla 3.4 Resumen inductancias en tres puntos de frecuencia.

A la hora de realizar algunos cálculos y para tener una idea aproximada del valor de la inductancia a ciertas frecuencias creamos la Tabla 3.4. La inductancia aproximada por milímetro del *bonding* es el del orden de 1nH.

Llegados a este punto hemos concluido el modelo de los *pines* y el *bonding*, para ello se han empleado los datos del sustrato y del hilo del *bonding* y medidas del encapsulado facilitados por el fabricante, generando las diferentes capas del QFN16 de 5x5 *mm* y conectando el dado (*bondpads*) donde irá el LNA con las patillas del encapsulado (*bondpines*) que realizan la conexión con el exterior mediante los pines.

3.6.1 Problemas de simulación.

Al modelar el sustrato se presentaron varios inconvenientes, puesto que se utilizó una herramienta software relativamente "reciente", el *EMDS* (Diseño de Sistemas Electromagnéticos). Uno de ellos surgió con la disposición de algunas de las capas que lo componen, gracias a la vista 3D y el marcador de errores integrado de ADS se solventó sin mayor inconveniente.

De cara a realizar la simulación para obtener los parámetros, se creó el símbolo y tras importarlo a un nuevo diseño *Schematic* (*Look Alike Vien*) se le añadieron los terminales con impedancia de 50 ohmios y los puertos necesarios. Una vez realizado el paso anterior se simuló, para ello, el ADS generó la "MESH" o mallado. Después de muchos intentos de simulación con errores y datos erróneos se observó que solo había problemas cuando las patillas simuladas estaban dispuestas de manera vertical, mientras que las horizontales no presentaban ninguno. Se llegó a la conclusión, después de hacer muchas pruebas, qué esto era debido a que a la hora de generar el modelo del mallado el simulador convergía cuando estaban colocados solo de manera horizontal. Por lo que como opción para solventar el problema se optó por simular primero las patillas que estaban en horizontal, y después las que estaban en vertical giradas 90°, obteniendo así dos esquemáticos de simulación, uno para las patillas 2 y 3, y otro para las patillas 6 y 7. Otro factor a tener en cuenta es que cuando se rota el diseño *layout* en ADS los *bonding* no rotan, por lo que hay que rehacerlos de nuevo.

3.7 Resumen

En este capítulo se ha comenzado haciendo un análisis de los encapsulados, los tipos y sus características principales. Luego se ha elegido un encapsulado entre los disponibles para el LNA del capítulo anterior. Se ha continuado realizando un repaso a las reglas que se deben cumplir para encapsularlo. Una vez completado el estudio, se procedió al modelado del QFN16 mediante la herramienta software ADS para poder simular los parámetros S y la inductancia de las patillas del chip junto con el *bonding*. Por último se ha terminado exponiendo los principales problemas del modelado y simulación.

En el próximo capítulo se analizará como influye el encapsulado sobre el LNA, siendo necesarios gran parte de los datos obtenidos en las simulaciones de en este capítulo.

CAPÍTULO 4

INFLUENCIA DEL ENCAPSULADO SOBRE EL LNA

En este capítulo procederemos a analizar cómo afecta el encapsulado sobre el LNA, para ello usaremos los datos obtenidos en los dos capítulos anteriores, simulación del LNA y modelo del encapsulado y se procederá a realizar más simulaciones en CADENCE. Además al LNA se le añadirán los *pines* y *bondings* (parámetros S obtenidos en ADS), así como los *pads* de alimentación y los *pads* en la entrada y salida del LNA con las protecciones *ESD* necesarias.

4.1 Descripción de los componentes

En la Figura 4.1 se puede observar el esquema de simulación del LNA, el cual consta de las siguientes partes:

- El amplificador de bajo ruido (LNA).
- Los *pads* de alimentación (PAD), donde se coloca un extremo de hilo del *bonding*.
- Los pads más la protección ESD (PAD+ESD), para que no se dañe nuestro circuito se sitúan en la entrada y salida del LNA dependiendo del uso al que se destine el amplificador. Estos pads además realizan la misma misión que los de alimentación, sirven de conexión mediante el bonding del circuito al encapsulado.
- Por último tenemos la parte correspondiente a los pines más el bonding (VCC Pin+Bonding, GND Pin+Bonding, LNA IN Pin+Bonding, LNA OUT Pin+Bonding), tanto en la alimentación como en la parte de entrada y salida dependiendo del uso que se le dé al circuito del LNA. Son los encargados de dotar de conectividad al dado del circuito con el exterior (conectan el pad con el pin del encapsulado).

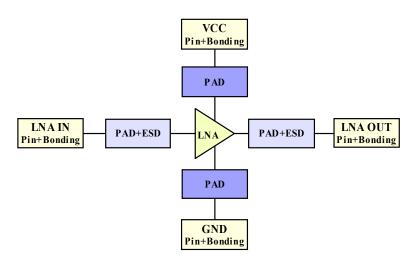


Figura 4.1 Esquema de simulación del LNA con los pads, pads_ESDy los pines más Bonding.

Tras enumerar las partes que componen nuestro circuito comenzamos con las simulaciones. Primero simulamos el LNA sin nada, como ya hicimos en capítulos anteriores, para poder comparar los resultados.

4.2 Simulaciones

4.2.1 LNA con pads de alimentación y pines+bonding en alimentación y entrada LNA

Como nuestro LNA forma parte de un receptor, a la salida del mismo irá conectada otra etapa. Para poder alimentar nuestro circuito debe estar conectado con el exterior, dicha conexión se realiza mediante los *pads* de alimentación (VCC y GND) y la entrada del amplificador ambos conectados mediante el *wire bonding* a los *pines*. Quedando el circuito como se muestra en la Figura 4.2.

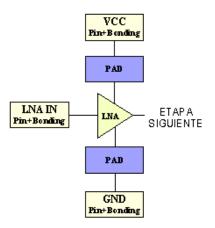


Figura 4.2 LNA con pads de alimentación y pines+bonding en alimentación y entrada LNA.

Se realizaron las simulaciones del LNA y el LNA con los *pads* de alimentación y los *pines* más los *bondings* de alimentación y entrada del LNA (Figura 4.3).

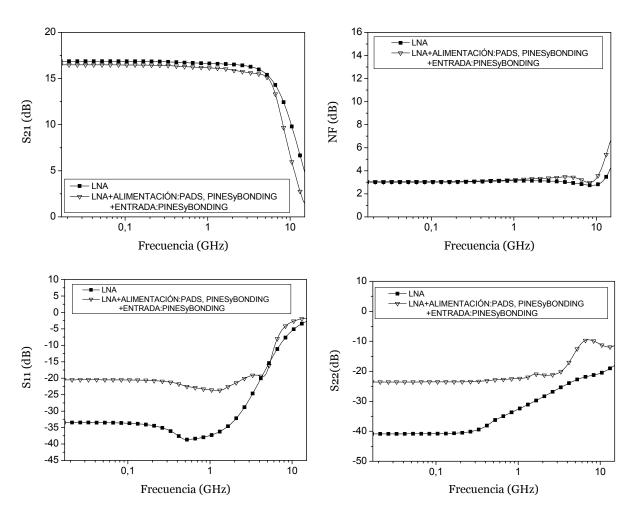


Figura 4.3 Simulaciones LNA y LNA con pads de alimentación y pines+bonding de alimentación

En las gráficas anteriores se observa que para el caso del LNA frente al LNA con los pads de alimentación y los pines más el bonding de alimentación hay una disminución de ganancia menor a 1 dB hasta 6,6 GHz, viéndose afectado ligeramente a su vez el ancho de banda. Respecto a la figura de ruido, hay un ligero incremento de ruido a partir de 1 GHz. La adaptación tanto en la entrada como en la salida y con la inclusión de los parásitos, ha empeorado pero sigue estando en valores aceptables.

4.2.2 LNA con pad_ESD a la entrada, pads y pines más bonding en alimentación y entrada

Además, al circuito como mínimo, hay que añadirle a la entrada del LNA otro *pad*. Para proteger el amplificador, junto con el *pad* se coloca una protección contra descargas electrostáticas (*pad_ESD*). Quedando el circuito como se ilustra en la Figura 4.4.

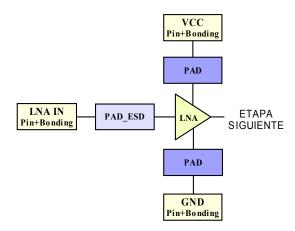


Figura 4.4 LNA con pad_ESD a la entrada, pads y pines más bonding en alimentación y entrada.

En las siguientes simulaciones vemos el comportamiento del circuito una vez añadido el *pad_ESD* tras el *pin* más el *bonding* a la entrada del LNA y manteniendo los *pads* de alimentación y los *pines* más el *bonding* de alimentación (Figura 4.5).

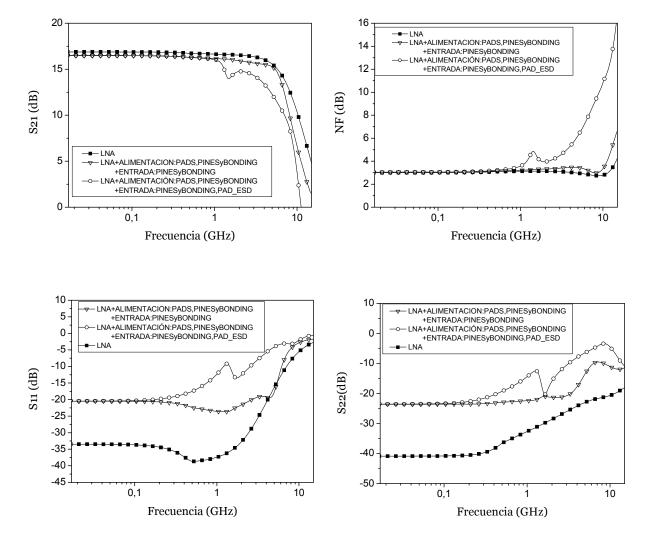


Figura 4.5 Simulación LNA, Alimentación: pads, pines y bonding, Entrada: Pin y bonding y pad_ESD.

Al realizar esta última simulación se aprecia claramente en las gráficas que el circuito no se está comportando de la manera deseada, puesto que aparece un recorte y un pico negativo en la ganancia, reduciéndose el ancho de banda. También se ve afectada la figura de ruido y aparece una resonancia a 1,05 *GH*₃.

4.2.3 LNA con Alimentación: pads, pines y bonding, entrada: pad_ESD

Con el fin de averiguar qué elemento del circuito sumado a la protección *ESD* genera dicho problema, procederemos quitando el *pin* más *bonding* de entrada del LNA, dejando el *pad* con la protección *ESD*. En la alimentación dejaremos los *pads* y el *bonding* más el *pin*. (Figura 4.6).

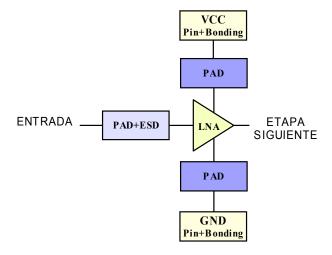
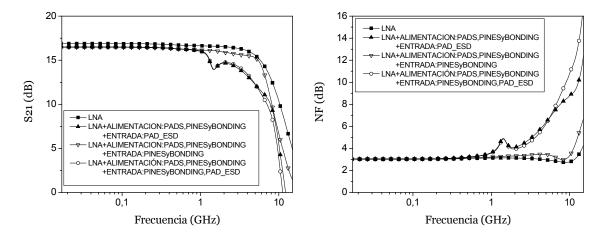


Figura 4.6 LNA con Alimentación: pads, pines y bonding, Entrada: pad_ESD.

El resultado de las simulaciones se puede observar en la Figura 4.7.



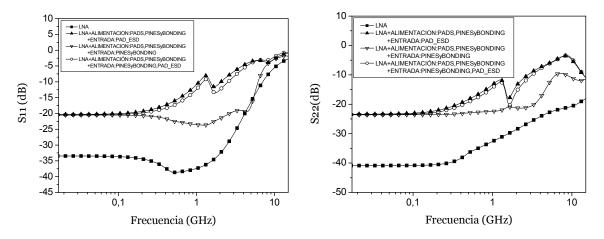


Figura 4.7 LNA, Alimentación: pads, pines más bonding. Entrada: pad_ESD.

Tras modificar el circuito y volver a simularlo obtenemos unos resultados muy similares a los que presentaba la simulación anterior que incluía el *pin* más *bonding* de entrada al *LNA*. Como primera conclusión vemos que el *pin* más el *bonding* de entrada al LNA no es el causante del problema. El pico aparece cuando tenemos el *pads_ESD* de entrada al LNA y el *pin* más el *bonding* de alimentación VCC. Con el fin de averiguar que produce el pico hay que analizar más rigurosamente el *pad_ESD* de entrada al LNA en conjunto con el *pin* más el *bonding* de alimentación VCC.

Empezaremos con el *pad_ESD* de entrada. Este lo forman varios diodos colocados de forma inversa cuya misión es proteger al circuito contra las descargas electrostáticas (ver Figura 4.8). A alta frecuencia estos diodos generan unas capacidades parásitas que por sí solas no perjudican en exceso al circuito.

El *pin* más el *bonding* de alimentación VCC no es más que un hilo de metal (*wirebond*) junto con un pin. Como ya se vio en el capítulo anterior ambos generan una inductancia que varía con la frecuencia.

Al resonar a alta frecuencia la capacidad parásita del *pad_ESD* de entrada con la inductancia del *pin* más el *bonding* de alimentación VCC genera en nuestro amplificador el pico indeseado.

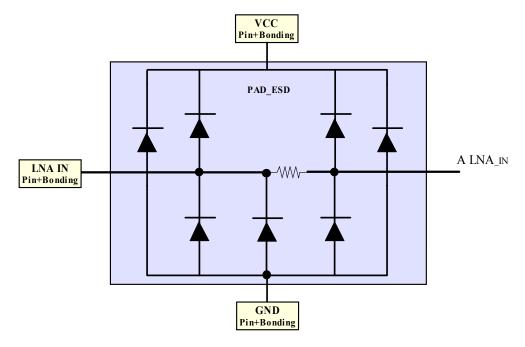


Figura 4.8 PAD_ESD.

4.2.4 LNA con pads, pads_ESD y pines más bonding en alimentación, entrada y salida

Una vez visto donde estaba el problema para el caso anterior analizaremos que sucede si deseamos encapsular el LNA. El circuito quedará igual que el anterior pero añadiéndole a la salida del LNA el *pads* con la protección *ESD* correspondiente y el *bonding* más el *pin* como se muestra en la Figura 4.9 (esto lo denominamos LNA más encapsulado).

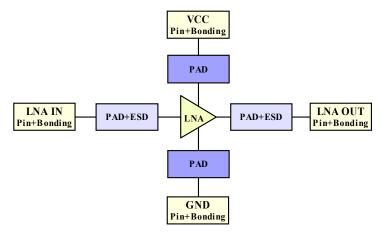
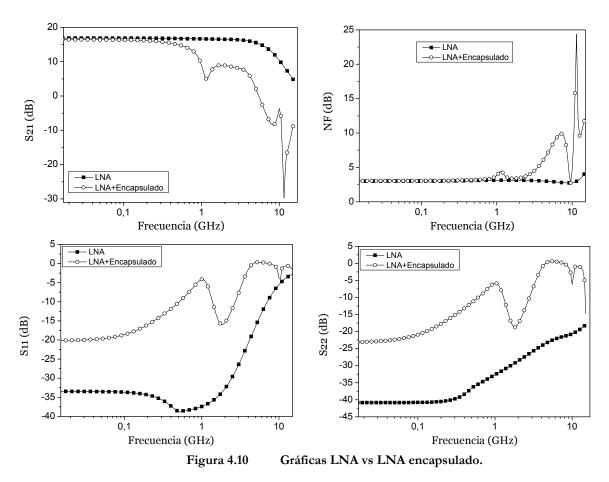


Figura 4.9 LNA con pads, pads_ESD y pines más bonding en alimentación, entrada y salida.



En las gráficas de la Figura 4.10 observamos claramente como se deteriora la ganancia del amplificador encapsulado respecto a la medida del amplificador sin encapsular. Tras la simulación del LNA sin nada a la salida era de esperar que al añadirle los *pads* con la protección *ESD* y el pin más el *bonding* se degenerará aun más la ganancia. Además aparecen dos picos más frecuencias superiores adicionales a los que se observaba cuando simulamos sin nada a la salida. Esto puede ser debido a que también resuenen los *pads_ESD* de la salida con la alimentación. Estos picos se ven reflejados en un aumento del factor de ruido en las frecuencias donde se producen. Tanto la adaptación de entrada como la de salida se ven influidas respecto al LNA sin encapsular pero no hay una gran diferencia respecto a la configuración de la Figura 4.6.

Para solucionar los problemas anteriores se propone usar múltiples *bondings* en paralelo con el fin de reducir la inductancia en el nodo de alimentación, para lograr que el conjunto resuene fuera de la frecuencia deseada. Otra solución es quitar los *pads_ESD* o usar otros que no influyan en el circuito o que tengan un impacto despreciable. También se podría modificar la bobina **Len** del amplificador de manera que teniendo presente el valor aproximado de la inductancia del *bonding* en el momento del diseño, podríamos realizar otro ajuste.

El circuito se mando a fabricar con la configuración de la Figura 4.9. Además se han propuesto varias mejoras como consideraciones futuras a la hora de encapsular el LNA.

En la Figura 4.11 se muestra el *layout* del encapsulado con el LNA, los *bondings*, los pines, los *pads* y los *pads_ESD* [19].

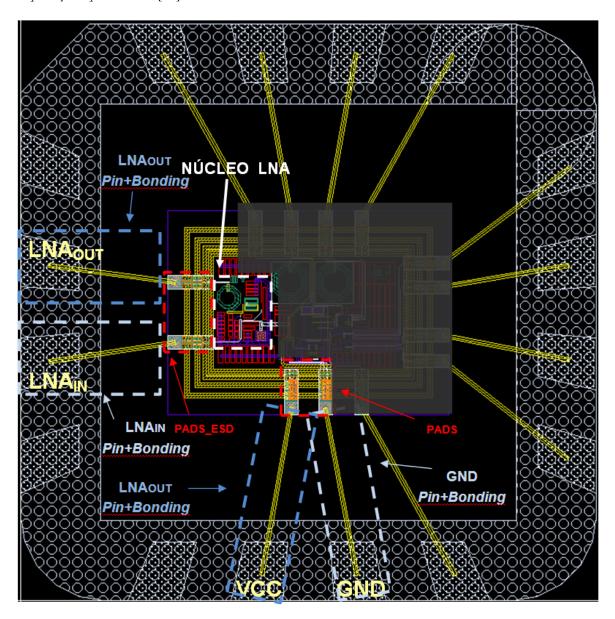


Figura 4.11 Layout con pads y encapsulado.

4.3 Resumen

A lo largo de este capítulo se ha realizado un estudio de diferentes combinaciones de entrada y de la alimentación en lo que se refiere a los *pads*, protecciones electrostáticas y el pin

con el *bonding*, observando cómo las distintas configuraciones afectan al LNA. En dichas simulaciones se llegó a la conclusión que habían varias resonancias parásitas debidas a los *pad_ESD* y los *bondings*. Por último se simuló el LNA con todo el "encapsulado", una vez vistos los principales problemas se propusieron soluciones para mejoras futuras.

En el próximo capítulo se realizarán las medidas del LNA encapsulado y se comparará el modelo obtenido en ADS de los pines más *bonding* con el modelo facilitado por el fabricante AMS.

CAPÍTULO 5

MEDIDAS

En este capítulo se describe el proceso de medida del LNA encapsulado. Para ello fue necesario realizar una *PCB* (*Printed Borad Circuit*) o placa de circuitos impresos, en la cual se soldaron los componentes necesarios para realizar la medida. La obtención de los parámetros S se hizo de forma análoga a capítulos anteriores, utilizando el ADS y el Cadence.

5.1 Realización de la *PCB*

A la hora de realizar la placa de circuitos impresos, lo primero que debemos tener en cuenta es el tipo de sustrato del que disponemos. Posteriormente, adaptamos la longitud y el ancho de las pistas a nuestro diseño según la frecuencia deseada.

5.1.1 Características del sustrato

Para la realización de nuestra PCB usaremos los parámetros facilitados por el fabricante (ver Figura 5.1). Introduciremos los datos en la herramienta software ADS mediante el *Microstrip Substrate* [6]. A continuación se muestra una descripción de los parámetros del sustrato.

H: Espesor del sustrato.

Er: Constante relativa del dielectro.

Mur: Permeabilidad relativa.

Cond: Conductividad del conductor (Siemes/metro).

Hu: Altura del espacio libre sobre el sustrato (dieléctrico), también denominado cover height (K).

T: Espesor del conductor.

TanD: tangente de pérdida dieléctrica.

Rough: Rugosidad de la superficie del conductor.

MSUB (Microstrip Substrate)

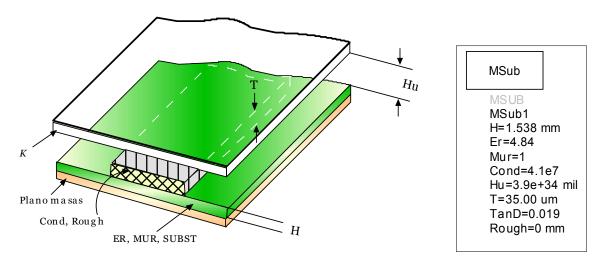


Figura 5.1 Sustrato Microstrip.

5.1.2 Modelado de las pistas de la PCB

Para modelar las pistas de la PCB se utilizó la aplicación *LineCalc*, incluida en el ADS. En la Figura 5.2 se puede ver una captura de dicha herramienta con los parámetros del sustrato utilizado. Dicha utilidad emplea el modelo *Hammerstead and Bekkadal*, para obtener el ancho y el largo de la pista. Introducimos la frecuencia deseada (entre 1GHz y 10GHz), la impedancia (50 Ω) y los grados (180°). Al tratarse de un LNA con un rango de frecuencias bastante amplio es imposible optimizar las dimensiones de la pista para todo el rango de frecuencias [44].

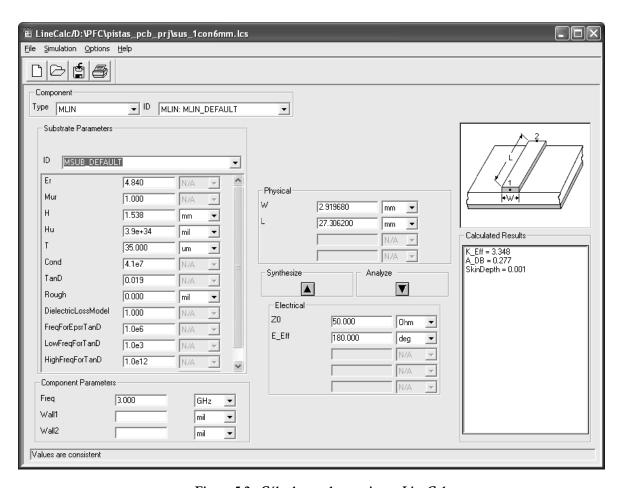


Figura 5.2 Cálculo con herramienta LineCalc.

Fijando el ancho, calculamos la longitud de cada pista de la PCB. Para que no se solapen, nos vimos obligados a no hacer las pistas rectas. Además, para realizar la unión con la patilla del encapsulado debemos a su vez disminuirlas puesto que los pines son muy inferiores en anchura a la pista calculada. A continuación le añadimos a la PCB las huellas para el conector SMA y las conectamos al *look alike view* del pin con el *bonding* con los *terms* correspondientes a 50Ω para su simulación (ver Figura 5.3).

Para verificar correctamente que no hay ningún problema, podemos generar el *layout* de las pistas con el encapsulado tal como se ve en la Figura 5.4.

A la hora de realizar las pistas para la alimentación no tuvimos tantas consideraciones, puesto que son de DC.

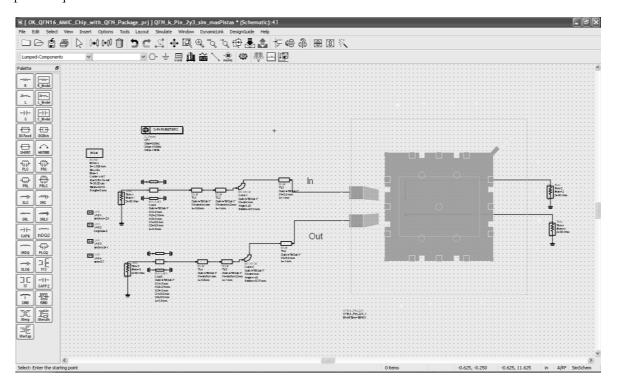


Figura 5.3 Pistas de la PCB para LNA entrada y salida más el bonding preparadas para simulación.

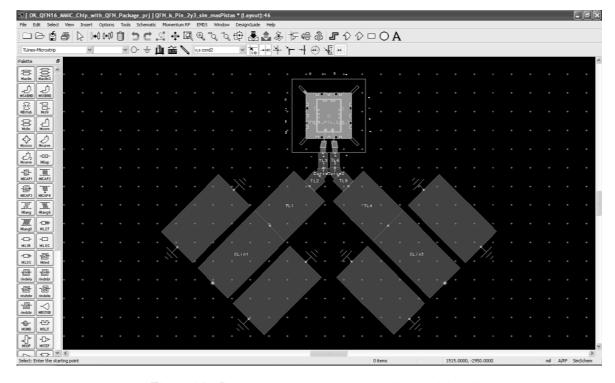


Figura 5.4 Layout de las pistas (entrada, salida) y el bonding.

La Figura 5.5 muestra el esquema de las pistas PCB de alimentación, incluyendo el modelo del conector *SMA* en ADS.

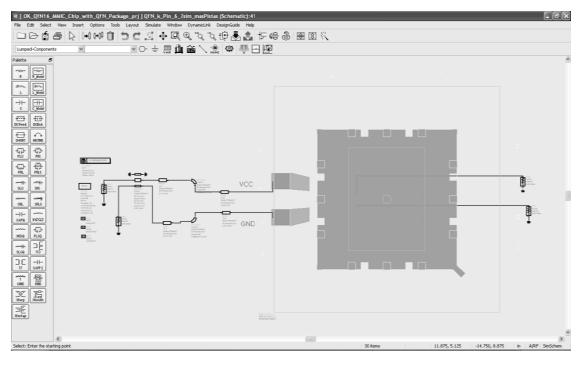


Figura 5.5 Pistas de la PCB para LNA Vccy Gnd más el bonding preparadas para simulación.

En la Figura 5.6 se observa como ha quedado el diseño de la PCB realizado con el programa de diseño de PCB *Altium*.

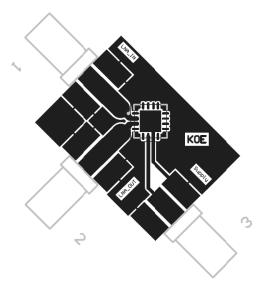


Figura 5.6 PCB lista para su fabricación.

5.1.3 Simulación de los parámetros de la PCB

Al disponer del modelo de las pistas, procederemos a la simulación de las mismas junto con el encapsulado (el pin más bonding). Se llevará a cabo de forma análoga que en casos anteriores, poniendo los terms correspondientes a 50Ω y simulando en un rango de frecuencias de 0 a 12 GHz. De esta forma se han obtenido los parámetros S de las pistas de la PCB junto con el modelo del bonding y los pines (encapsulado más pistas PCB) que añadiremos al LNA en Cadence, obteniendo así el modelo que más se aproxima al real. A continuación se muestran las gráficas (ver Figura 5.7) de los parámetros S para la entrada, salida, Vac y Gnd frente a la frecuencia.

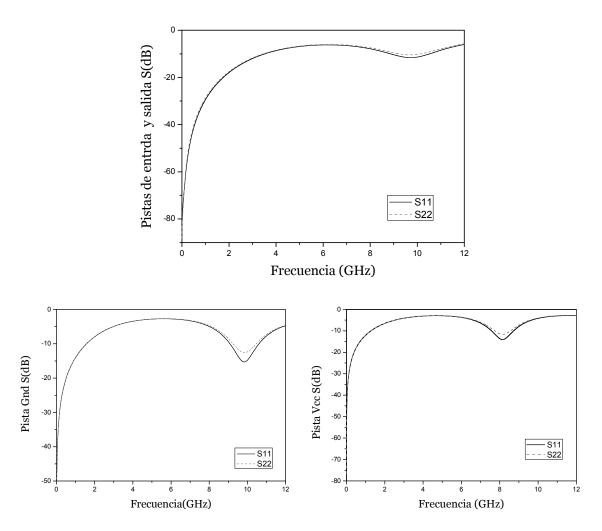


Figura 5.7 Gráficas de la simulación de los parámetros S11 y S11 de las pistas PCB.

Una vez obtenidos los parámetros S, la forma de exportarlos a Cadence, es introduciéndolos de igual manera que los parámetros del *bonding*, mediante una "caja de parámetros". No se ha podido utilizar el *Dynamic Link* por problemas de compatibilidad con la

versión de Cadence y el *hit-kit* de AMS. Estos irán ubicados en la alimentación, entrada y salida del LNA como muestra en la Figura 5.8.

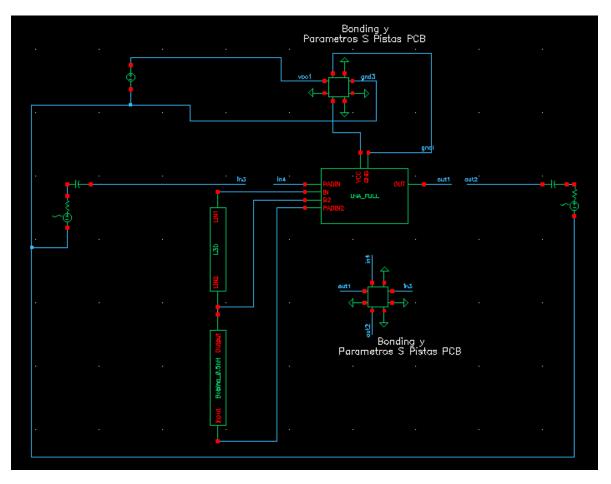


Figura 5.8 LNA con el bonding y los parámetros S de las pistas PCB.

Realizamos la simulación de los parámetros S y la figura de ruido del esquema anterior (ver Figura 5.9). El siguiente paso fue hacer lo mismo, pero sustituyendo nuestro modelo del bonding por el de la librería de Cadence (modelo del fabricante AMS). En este caso los parámetros que exportamos de ADS no deben contener nuestro modelo de bonding, solo el de las pistas de la PCB. Con ello se pretende comparar los resultados obtenidos entre ambos modelos con la medida real.

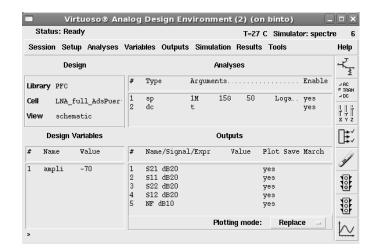


Figura 5.9 Parámetros simulación Cadence.

Las siguientes gráficas (ver Figura 5.10) muestran el resultado de las simulaciones anteriores, donde se compara los parámetros S obtenidos del modelo del *bonding* más los *pines* creado en ADS frente al del fabricante.

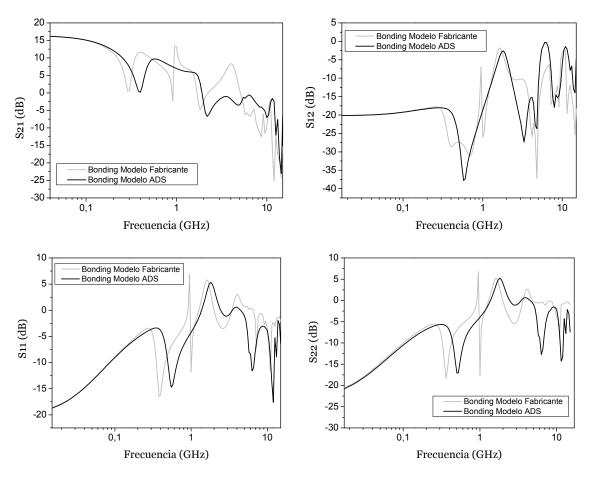


Figura 5.10 Gráficas modelo bonding más pines fabricante vs obtenido de ADS.

A continuación, se procedió a fabricar la PCB, soldar los componentes y por último hacer las medidas correspondientes y así poder comparar qué modelo se ajusta mejor a la medida real del LNA encapsulado.

En la Figura 5.11 se puede observar una fotografía de la PCB con los componentes ya soldados y lista para realizar la medida.

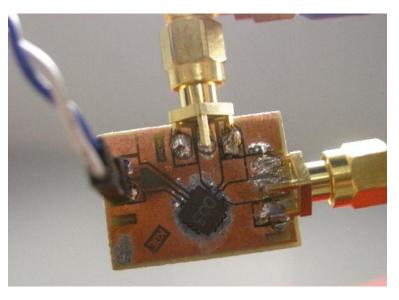


Figura 5.11 Fotografía de la PCB tomada durante las medidas.

5.2 Medidas

Las medidas de la PCB con el LNA encapsulado se realizaron en el Servicio de Estación de Puntas (SEP) del IUMA y se utilizaron los siguientes equipos y componentes:

- 1 Fuente de alimentación Hewlett Packard E3620A.
- 1 Analizador de redes (VNA) Agilent 8720E.
- 2 DC-blocks BLK-18.
- Kit de calibración Agilent 85052D 3.5mm.
- Cables de RF Sucoflex 104A.
- Cables de Alimentación y adaptadores SMA-BNC.
- Codos de Interconexionado.

Siempre, antes de comenzar con unas medidas, lo que se debe hacer es calibrar el *set-up* de medida. De esta forma, podemos contrarrestar las pérdidas asociadas a los cables y conectores. Para calibrar el VNA, utilizamos el kit de calibración *Agilent 85052D*, utilizando la calibración *"Full two Port"* [27].

Después de la calibración del VNA, para realizar la medida de nuestro amplificador debemos interconectar el VNA tal y como muestra la Figura 5.12. En ella se pueden apreciar los diferentes instrumentos utilizados, así como la PCB y los DC-BLOCK. El circuito se ha alimentado con una tensión de 3.3 V y consume 4 mA.

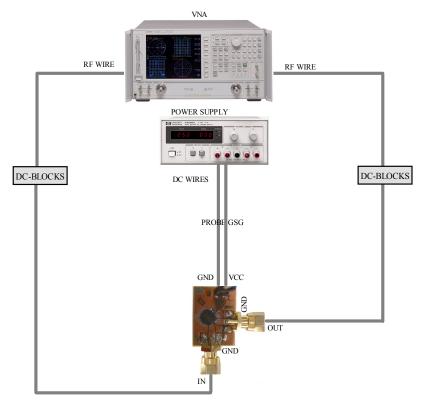


Figura 5.12 Set-up de medidas de los parámetros S.

5.2.1 Resultado de la medida de los parámetros S

En este apartado analizaremos los resultados obtenidos en las medidas. En la Figura 5.13 se muestran las medidas reales frente al modelo obtenido en ADS y el del fabricante para poderlas comparar.

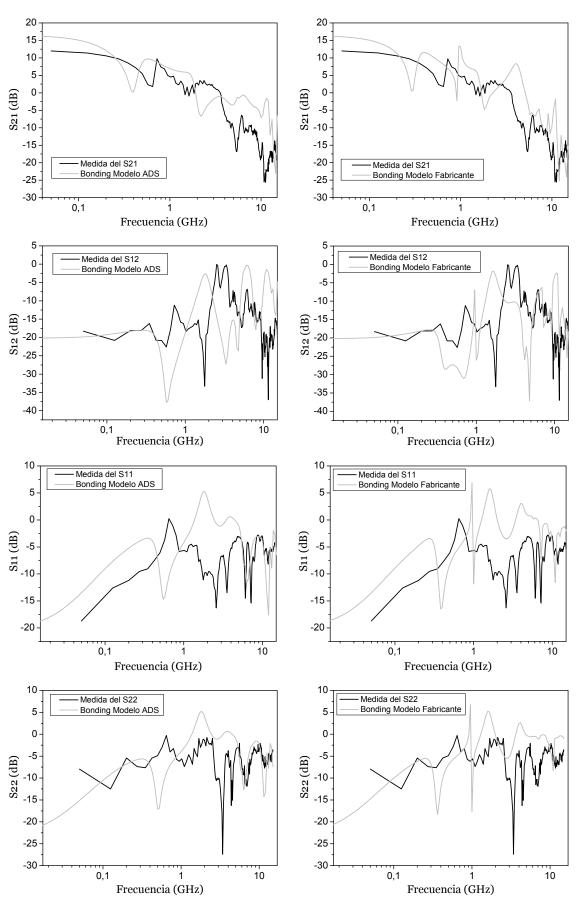


Figura 5.13 Parámetros S21, S12, S11 y S22, medido vs modelo ADS y medido vs modelo fabricante.

La ganancia de la medida es plana hasta unos 400 MHz; de 400 a 650 MHz hay decrecimiento mayor hasta los 2,5 dB, entre 650 y 720 MHz se produce un salto de 2,3 a 10 dB, seguidamente la señal va decreciendo hasta 1,5 GHz donde llega a 0dB. De 1,5 a 1,8 GHz va pasando de 0 a 2,5 dB. Se mantiene casi constante de 2 a 3 GHz para decrecer y pasar por 0 dB a 3,5 GHz y mantenerse por debajo en el resto de las frecuencias superiores.

La ganancia inversa S_{12} hasta 2 GHz está dentro de los rangos deseados a excepción del pico que aparece a 720 MHz, a 2,5 GHz llega a 0dB siendo un valor indeseado pero previsto.

Tanto la adaptación de entrada S_{11} como de salida S_{22} presentan unos valores elevados para lo deseado, como observamos en el capítulo 4 al añadirle los *pads*, *pads_ESD* y el *bonding* se producía un incremento notable en éstos parámetros. Además, hay que sumarle la PCB y los elementos necesarios para la medida.

En el modelo generado en ADS y el facilitado por el fabricante (AMS) observamos que las señales están desplazadas hacia la izquierda respecto de la señal medida, esto es debido a alguna capacidad o inductancia parásita que no tiene en cuenta el modelo del fabricante. Si desplazamos hacia la derecha en frecuencia los modelos, obtenemos grandes similitudes respecto a la medida, siendo más parecido el modelo obtenido en ADS que el facilitado por el fabricante. En este último aparece una discontinuidad en la ganancia a 900 MHz inexistente en nuestro modelo. Según las especificaciones del fabricante el encapsulado tiene una frecuencia de trabajo máxima de 2,5 GHz por lo tanto por encima de esa frecuencia el comportamiento del mismo lo consideramos impredecible.

5.2.2 Factores que afectan a la medida

Hay una serie de factores que debemos tener presentes, los cuales ayudan a que la medida difiera frente a los modelos, como por ejemplo el tipo de sustrato empleado para la fabricación de la PCB, el cual no es el más indicado para este tipo de diseños. En el proceso de fabricación de la PCB se han podido producir errores tanto en el ancho de la pista como en forma de pequeños desperfectos o lagunas debido al revelado por el ataque de los ácidos. A todo ello hay que sumarle los conectores *SMA* y el estaño procedente de la soldadura. A la hora

de exportar las pistas para realizar la PCB las terminaciones de las mismas pasaron de poseer forma recta a circular, pudiendo influir el resultado respecto a la simulación.

Además de los factores de la fabricación hay otros que afectan, que son los que se producen a la hora de realizar la medida, los cables y la fuente de alimentación introducen "ruido". Además, cualquier señal parasita de RF afecta a la medida.

Como último factor pero no menos importante, no debemos olvidar que dentro del encapsulado el LNA comparte sustrato con un *PLL* que trabaja a una frecuencia de 400 a 800MHz, el cual está siempre funcionando e introduciendo ruido por el sustrato al LNA.

5.3 Resumen

En este capítulo hemos visto como se realizó la *PCB*, para ello comenzamos analizando el sustrato y las herramientas de las que disponemos para modelar las pistas. Una vez realizado el esquema de la PCB, se procedió a su simulación, junto con el *pin* más el *bonding* del encapsulado, obteniendo como resultado los parámetros S necesarios para añadírselos al LNA. Tras la fabricación de la PCB se procedió a soldar los componentes y realizar la medida. Como último paso se vieron los resultados de la medida frente a el LNA con nuestro modelo de encapsulado y el del fabricante *AMS*.

CAPÍTULO 6

CONCLUSIONES

Una vez completado el diseño del LNA encapsulado, realizadas las simulaciones y las medidas, en este capítulo se expondrán los pasos seguidos y las conclusiones a las que hemos llegado. Finalmente se expondrán las posibles líneas de trabajo futuras.

6.1 Resumen

El objetivo de este proyecto era analizar cómo influye el encapsulado sobre un amplificador de bajo nivel de ruido realimentado para la banda de 3-10 GHz.

Tras el Capítulo 1, en el que se exponen los objetivos generales del proyecto y la estructura del mismo, en el Capítulo 2 se comenzó estudiando las principales características de los sistemas de RF y las características del estándar ECMA-386 ó ISO/IEC 26907. El siguiente paso consistió en el análisis de los principales desafíos del diseño del receptor para UWB, centrándonos en el estudio la arquitectura *zero-IF*, por su alta integrabilidad. Para esta arquitectura se ha especificado el panorama de interferencias, la sensibilidad, la linealidad, la figura de ruido y los requisitos del sintetizador y de los filtros. Luego se ha hecho un estudio de las características del LNA utilizado y su *layout*.

El siguiente paso fue hacer un estudio detallado del encapsulado, llevándose a cabo en el Capítulo 3. Para ello, nos centramos en las funciones del encapsulado, los principales tipos que existen, sus características y los métodos de interconexionado con el chip. Después de realizar el estudio se eligió el encapsulado entre los disponibles y se realizó el diseño del *bonding* y los *pines*.

Una vez estudiadas las características de los encapsulados y realizado el diseño del *bonding* y los *pines*, en el Capítulo 4 se estudió como afecta al LNA las partes que se le añaden para encapsularlo. Para ello se llevaron a cabo un amplio número de simulaciones con diferentes topologías.

En el Capítulo 5, se describió el diseño de las pistas de una PCB para poder medir el LNA ya encapsulado. Por último se realiza una comparación entre el modelo del encapsulado obtenido en ADS y el facilitado por la fundidora virtual Europractice respecto a la medida.

6.2 Conclusiones

En el presente proyecto se ha superado el objetivo principal que era realizar el estudio teórico, mediante simulaciones, de cómo afecta el encapsulado y la PCB a un LNA para UWB en el rango de frecuencias de 3 a 10 GHz. Además, se realizó una PCB, así como la medida una vez encapsulado el LNA y soldado a la PCB.

Se han adquirido los conocimientos básicos de los sistemas RF, aprendiendo a utilizar y manipular dos herramientas software muy potentes para el diseño y análisis de los sistemas de alta frecuencia, el ADS y el Cadence. Además se ha aprendido a simular con el simulador electromagnético EMD.

Se han adquirido los conocimientos básicos para el diseño de PCB en alta frecuencia, así como sobre el montaje de componentes en la placa PCB, que se realizaron manualmente con la ayuda de un soldador con la dificultad e inconveniente que esto presentaba, debido al reducido tamaño de los pines del chip encapsulado. Este inconveniente pudo haberse evitado con el uso de máquinas que facilitaran el posicionamiento de los componentes y la soldadura.

Para realizar las medidas, también hubo que familiarizarse con los instrumentos de medida en el rango de microondas (analizador de red y fuente alimentación). Siendo aparatos muy precisos que ofrecen buenas características.

Respecto a los resultados obtenidos, se ha logrado realizar el modelo del *bonding* y el *pin* del encapsulado en ADS, obteniendo los parámetros S necesarios para añadírselos en Cadence al LNA con los *Pads* y las protecciones *ESD*. Además, se comprobó cómo afectan estos elementos a la hora de encapsular el LNA. Se estudio cuáles son las posibles soluciones para evitar en la medida de lo posible que el encapsulado afecte negativamente a las características deseadas del LNA. Por último se realizó la medida del LNA ya encapsulado, obteniendo unos resultados que no son totalmente satisfactorios pero esperados. Para ello comparamos el modelo del *bonding* y el *pin* del encapsulado obtenido en ADS con el que nos facilitó Europractice respecto a la medida del LNA encapsulado. Vimos que nuestro modelo generado en ADS se ajustaba mejor a los datos de la medida, presentando un desplazamiento en frecuencia. Las posibles causas de este desplazamiento pueden ser debidas a que se trabajó en frecuencias de microondas, donde cualquier imperfección de la soldadura o la propia PCB pueden afectar negativamente a los resultados. Además, de los cables utilizados en la alimentación, las propias interferencias ambientales y el ruido introducido por el PLL que comparte sustrato en el chip con el LNA.

Un logro a destacar es que se ha conseguido publicar un artículo de congreso internacional basado en este trabajo. El titulado "Analysis of Package E-ects on an UWB Feedback LNA" en el XXVI Conference on Design of Circuits and Integrated Systems en el que se presentaron los

resultados obtenidos sobre la influencia del encapsulado en el LNA para UWB. Al final de la memoria se encuentra anexa dicha publicación.

6.3 Líneas futuras

Para concluir se puede decir que los objetivos planteados inicialmente se han alcanzado. Como hemos visto en a lo largo del proyecto se han presentado una serie de inconvenientes que afectan al LNA a la hora de encapsularlo, por lo que se propone como línea futura de investigación el estudio de sus posibles soluciones y la implementación de las mismas, las cuales, algunas de ellas, fueron descritas en el capítulo 4.

PRESUPUESTO

PRESUPUESTO

Una vez completadas las simulaciones y realizada la PCB y las medidas, para concluir con el estudio, en este capítulo se realizará un análisis económico con los costes tanto parciales como totales del proyecto.

BAREMOS UTILIZADOS

Tomando la tarifa por costes de ingeniería aplicada a un ingeniero técnico junior en España, asciende a un total de 2.232,16€/mes englobando en la misma el salario, la Seguridad Social, y el IRPF (Impuesto sobre la Renta de las personas físicas).

CÁLCULO DEL PRESUPUESTO

Costes de ingeniería

En este apartado se incluyen los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función del salió medio por mes de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, en la siguiente tabla establecemos unos valores indicativos del tiempo parcial empleado en cada fase del mismo.

Tiempo empleado

DESCRIPCIÓN TIEMPO	PARCIAL (horas)
Búsqueda y estudio de la documentación	260
Estudio de la herramienta de diseño	175
Análisis y diseño del circuito	640
Realización de la memoria	275

En definitiva, se necesitaron un total de 1350 horas para la realización de este proyecto, consideradas en su totalidad del tipo de jornada normal.

El proyecto se desarrollo durante 9 meses, tomando como referencia el salario de 2.232,16€/mes citado anteriormente. Los honorarios asciende a 20.089,44 €

Costes de amortización de los equipos informáticos y herramientas software

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes software, material hardware y el mantenimiento de estos. Estos equipos hardware y paquetes software presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se han estimado en 100.

Costes de amortización

Descripción	Tiempo de uso	Coste anual		Total
Descripcion	Tiempo de uso	Total	Usuario	Total
Estación de trabajo SUN Sparc Modelo Sparc Station 10	9 meses	6.803 €	68,03 €	51,02€
Servidor para simulación SUN Sparc Station 10	9 meses	6.643 €	66,43 €	49,82€
Impresora Hewlett Packard Laserjet 4L	9 meses	296€	2,96€	2,22 €
Ordenador Personal Pentium Core Duo 1,6 GHz	9 meses	411 €	4,11€	3,08 €
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	9 meses	903€	9,03 €	6,77 €
Entorno Windows 2000 Profesional	9 meses	306€	3,06€	2,29 €
Microsoft Office XP	9 meses	449 €	4,49 €	3,37 €
Advance Design System (ADS 2009)	9 meses	3.200€	32€	24€
Cadence con Kit de diseño HIT-KIT V 3.7 Tech S 35 d4	9 meses	1.500€	15€	11,25€
Altium Designer Winter 09	1 mes	3132	€	261 €

TOTAL	414,82 €

Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación de los circuitos desarrollados.

Costes de fabricación

Descripción	Área / Cantidad	Precio	Gastos
Fabricación de los circuitos	3,1878 mm ²	1.000 € / mm ²	3187,8 €
Encapsulado	10	36 €	360€
Fabricación PCB	1	20 €	20 €
TOTAL			3567,8€

Otros costes

En este apartado se incluyen los costes debidos al uso de Internet, material fungible y la elaboración del documento final.

Otros costes

Descripción	Unidades	Costes unidad	Gastos
Paquetes de DIN_A4 80 gr/m ²	3	4€	12€
Fotocopias	1300	0,04€	52€
Otros gastos			110€
TOTAL			174 €

Presupuesto total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Presupuesto total

Descripción	Gastos	
Costes de ingeniería	20.089,44 €	
Costes de amortización	414,82 €	
Costes de fabricación	3567,8 €	
Otros costes	174€	
PRESUPUESTO FINAL	24246,06 €	
TOTAL (I.G.I.C 5%)	25458,36 €	

D. Krisnaya Orbaiceta Ezcurra declara que el proyecto "Estudio de la influencia del encapsulado en un LNA para UWB" asciende a un total de veinticinco mil cuatrocientos cincuenta y ocho euros con treinta y seis céntimos.

Fdo. DNI:78.508.997-S

Las Palmas de Gran Canaria, ade de 2012.

BIBLIOGRAFÍA

BIBLIOGRAFÍA

- [1] Página web official Bluetooth: http://www.bluetooth.com/
- [2] F. Javier del Pino, Apuntes de la asignatura: "Diseño de Circuitos Integrados de Radiofrecuencia", ULPGC, 2007.
- [3] Hugo García, "Diseño de un Amplificador de Bajo Ruido Realimentado para la Banda de 3-10 GHz en Tecnología BICMOS 0.35μm", Proyecto Final de Carrera, Escuela Técnica Superior de Ingenieros de Telecomunicación, Universidad de Las Palmas de Gran Canaria, 2009
- [4] High Rate Ultra Wideband PHY and MAC Standard, Mar. 2007, ISO/IEC standard 26907.
- [5] High Rate Ultra Wideband PHY and MAC Standard, Standard ECMA-368, 3rd Edition, Dec. 2008.
- [6] FCC, "Revision of Part 15 of the Commission's Rules Regarding Ultra-Wideband Transmission Systems" FCC 02-48, First Report and order, 2002.

- [7] Software (Versión 2009) y manuales ADS: http://www.agilent.com
- [8] Manuales Spectre RF, Cadence: http://www.cadence.com, y software (HIT-KIT V3.7 tech S35d4)
- [9] T.H. Lee, "The Design of CMOS RF Integrated Circuits" Cambridge University Press, 1998.
- [10] Behzad Razavi, "RF Microelectronics" University of California: Prentice Hall PTR, 1998.
- [11] Behzad Razavi, "Design of Analog CMOS Integrated Circuits" Mc Graw Hill, 2001.
- [12] A. Ismail and A. Abidi, "A 3.1 to 8.2 GHz direct conversion receiver for MB-OFDM UWB communication," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, 2005, pp. 208–209.
- [13] B. Razavi et al., "A 0.13 µm CMOS UWB transceiver," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, 2005, pp. 216–217.
- [14] R. Roovers, D. M. W. Leenaerts, J. Bergervoet, K. S. Harish, R. C. H. van de Beek G. van der Weide, H. Waite, Y Zhang, S. Aggarwal, and C. Razzell, "An Interference-Robus Receiver for Ultra-Wideband Radio in SiGe BiCMOS Technology", IEEE Journal of Solid-State Circuits, vol. 40, no. 12, 2005.
- [15] Amaya Goñi Iturri, dirigida por el Dr. D. Antonio Hernández Ballester, codirigida por el Dr. D. Francisco Javier del Pino Suárez, "Aportaciones al diseño, simulación, caracterización y modelado de inductores integrados sobre silicio", tesis doctoral ULPGC 2007.
- [16] Elena Valderrama. Introducción al diseño de circuitos integrados (apuntes curso 2009-10 ETSE). Universidad Autónoma de Barcelona.

- [17] Margarita L. Marrero Martín, Alfonso F. Medina Escuela. Microelectrónica (apuntes curso 2007/08 EUITT). Universidad de Las Palmas de Gran Canaria.
- [18] Página web: http://www.siliconfareast.com
- [19] Dailos Ramos Valido. Encapsulado de un chip (V1) 10/06/2010 Instituto de Microelectrónica Aplicada (IUMA). Universidad de Las Palmas de Gran canaria.
- [20] Página web del IUMA (Instituto Universitario de Microelectrónica Aplicada) http://www.iuma.ulpgc.es
- [21] Página web del fabricante de encapsulados: http://www.europractice-ic.com
- [22] AMS Austria Micro Systems, "0.35 µm BiCMOS Design Rules" Rev. 5.0. 2005.
- [23] AMS Austria Micro Systems, "0.35 µm BiCMOS Process Parameters" Rev. 4.0. 2005.
- [24] MEDEA+: http://www.medeaplus.org/
- [25] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio", Tesis doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [26] Informe "Run 2003" asociado al proyecto "Desarrollo de Circuitos Integrados para Redes Inalámbricas en la Banda de 5GHz" desarrollado por el Instituto de Microelectrónica Aplicada, Noviembre 2003.

- [27] Agilent Technologies, Network Analyzers User's Guide 8719ET/20ET/22ET8719ES/20ES/22ES, June 2002.
- [28] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout and Simulation", IEEE Press, 1998.
- [29] A. Ismail and A. Abidi, "A 3 to 10 GHz LNA using a wideband LC-ladder matching network," in ISSCC Dig. Tech. Papers, Feb. 2004, pp. 382–383.
- [30] A. Bevilacqua and A. Niknejad, "An ultra-wideband CMOS LNA for 3.1 to 10.6 GHz wireless receivers," in ISSCC Dig. Tech. Papers, Feb. 2004, pp. 384–385.
- [31] S. Shekhar, J. S.Walling, and D. J. Allstot, "Bandwidth extension techniques for CMOS amplifiers," IEEE J. Solid-State Circuits, vol. 41, no. 11, pp. 2424–2439, Nov. 2006.
- [32] A. S. Virdee and B. S. Virdee, "2-18GHz ultra-broadband amplifier design using a cascaded reactively terminated single stage distributed concept", Electronics Letters, vol.35, issue 24, pp.2122-2123, Nov. 1999.
- [33] X. Guan and C. Nguyen, "Low-Power-Consumption and High-Gain CMOS Distributed Amplifiers Using Cascade of Inductively Coupled Common-Source Gain Cells for UWB Systems", IEEE Transaction on Microwave Theory ans Techniques, vol. 54, issue. 8, pp. 3278-3283, Aug. 2006.
- [34] J. Lee and J. D. Cressler, "A 3-10 GHz SiGe resistive feedback low noise amplifier for UWB applications", IEEE Radio Frequency Integrated Circuits (RFIC) Symp., Long Beach, CA, USA, pp. 545-548, 12-14 June 2005.
- [35] N. Shiramizu, T. Masuda, M. Tanabe, and K. Washio, "A 3-10 GHz bandwidth low-noise and low-power amplifier for full-band UWB communications in 0.25-µm SiGe BiCMOS

- technology", IEEE Radio Frequency Integrated Circuits (RFIC) Symp., Long Beach, CA, USA, pp. 39-42, 12-14 June 2005.
- [36] M. T. Reiha and J. R. Long, "A 1.2-V reactive-feedback 3.1–10.6 GHz low-noise amplifier in 0.13 _m CMOS," IEEE J. Solid-State Circuits, vol. 42, no. 5, pp. 1023–1033, May 2007.
- [37] H. Knapp, D. Zoschg, T. Meister, K. Aufinger, S. Boguth, and L. Treitinger, "15 GHz wideband amplifier with 2.8-dB noise figure in SiGe bipolar technology" in IEEE Microwave Symp. (MTT-S) Dig., Phoenix, AZ, 2001, pp. 591–594.
- [38] A. Zolfaghari, A. Chan, and B. Razavi, "Stacked inductors and transformers in CMOS technology," IEEE Journal of Solid-State-Circuits. 36 (4), 620-628 (2001).
- [39] C-C. Tang, C-H. Wu, S-I. Liu, "Miniature 3-D Inductors in Standard CMOS Process" IEEE Journal of Solid-State Circuits, Vol. 37, No. 4, 2002.
- [40] Página web del COITT: http://www.coitt.es
- [41] R. Liu, C. Lin, K. Deng, and H. Wang, "Design and Analysis of DC-to-14-GHz and 22-GHz CMOS Cascode Distributed Amplifiers", IEEE Journal of Solid-States Circuits, vol. 39, issue. 8, pp.1370-1374, Aug 2004.
- [42] Y. Park, C.-H. Lee, J. D. Cressler, and J. Laskar, "The analysis of UWB SiGe HBT LNA for its noise, linearity, and minimum group delay variation," IEEE Trans. On Microwave Theory and Techniques, vol. 54, no. 4, April 2006, pp. 1687-1697.
- [43] C-T. Fu and C-N. Kuo, "3–11-GHz CMOS UWB LNA using dual feedback for broadband matching," in Radio Freq. Integr. Circuits Dig., Jun. 2006, pp. 67–70.
- [44] Rick Hartley L- 3 Avionics Systems "RF / Microwave PC Board Design and Layout"

ANEXO



Analysis of Package Effects on an UWB Feedback LNA

H. García-Vázquez, K. Orbaiceta-Ezcurra, Sunil L. Khemchandani, R. Díaz, J. Arias, J. del Pino

Department of Electronic and Automatic Engineering (DIEA), Institute for Applied Microelectronics (IUMA), Universidad de Las Palmas de Gran Canaria, Spain

Abstract— In this work, the package influence on a feedback low noise amplifier for Ultra Wide Band (UWB) has been studied. The electromagnetic simulator of ADS was used to obtain the QFN16 package model and the bonding model. The influence of the package and the pad on the supply node was negligible when it was studied separately. However, the circuit performance is reduced when the inductance introduced by the bonding of the supply node is combined with the parasitic capacities associated to the pad with electrostatic discharge (ESD) protection.

Index Terms—Low-Noise Amplifier (LNA), Noise Figure (NF), Active Feedback Amplifier, Package, Ultrawideband (UWB), ADS, Electromagnetic.

I INTRODUCTION

In recent years, the interest in wireless personal area network (WPAN) applications has increased significantly because it enables new consumer applications, but one drawback is that some systems such as Bluetooth and Zigbee, offer limited data rates which are not adequate for many applications. Therefore, in order to increase the data rate to fulfill a higher range of applications and use low power transmission, Ultra Wide Band (UWB)[1][2] has been proposed.

An UWB receiver is formed by an analog front-end and a digital stage. The analog front-end is responsible for shifting the RF signal and, to process the low frequency signal, a digital stage is used. In the front-end, one of the most important blocks is the low noise amplifier (LNA) since, according to the Friis equation, the receiver noise depends directly on this block. There are many research papers related to designing ultra wideband low noise amplifiers with new structures and design techniques.

Integrated circuits need to be packaged for several reasons, including:

- Mechanical protection
- Keeping chip temperature stable

At radio frequency, the parasites generated by the packaging affect the circuit performance and should be taken into account [3]-[7].

The package must be chosen according to the application which will be allocated to it. In order to select one of the

packages available on the market we must consider some factors: size of the chip, necessary pins, temperature, cost, etc. In this paper the QFN16 package was selected.

This paper describes the effects in the design and implementation of a packaged LNA for UWB system. In section II, the feedback wide band amplifier with a modified 3D inductor is presented. The electromagnetic simulator (ADS) is used to make a package model in section III. The final simulations of the LNA with the package and the results are reported in Section IV. Finally, conclusions are given in Section V.

II. CIRCUIT ANALYSIS

The schematic of the packaged circuit is shown in Figure 1 [8]. The amplifier consists of a single stage in commonemitter configuration and an emitter follower in the feedback path. The circuit was implemented in a standard low cost 0.35 μm process of Austria Mikro System. The die photograph of the LNA is shown in Figure 2. The chip area excluding the test pads is $330\mu m \times 310\mu m$. The circuit only requires 4 mA from a 3.3-V supply.

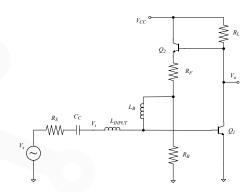


Figure 1 Schematic of the amplifier with active feedback

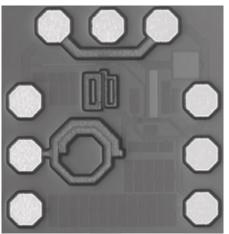


Figure 2 Chip Photograph of LNA: with modified miniature 3-D inductor.

Figures 3 and 4 show the on wafer measured gain and noise figure for 50Ω source and load impedance. The amplifier provides a gain which varies from 14 to 7 dB in the band between 3.1 to 10.6 GHz, being greater than 1 dB from 0.1 to 15 GHz. The gain response is flat which indicates that no excessive peaking was employed to obtain the desired bandwidth. The noise figure of the LNA is between 2.9 and 4 dB from 3.1 to 10.6 GHz. The noise figure improves at high frequencies due to the added resistance associated with the low Q 3D inductor.

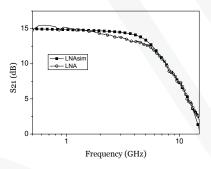


Figure 3 Measured and simulated power gain versus frequency for a source impedance of $50\Omega.$

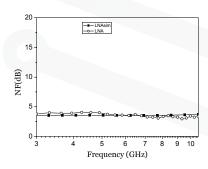


Figure 4 Measured and simulated noise figure versus frequency for a source impedance of 50Ω .

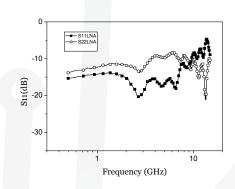


Figure 5 Measured input and output return loss (S11, S22).

Figure 5 shows the measured input and output return loss of the wideband amplifier. S_{11} and S_{22} for the LNA are lower than -9 dB between 3.1-10.6 GHz.

The two-tone test for third-order intermodulation distortion (IIP3) is shown in Figure 6. The test is performed at 5 GHz and the tone spacing is 100 KHz. The amplifier achieves an IIP3 of -4.4 dBm. The circuit only requires 4 mA from a 3.3-V supply.

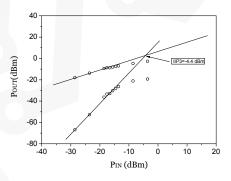


Figure 6 Measured two-tone test at 5 GHz

The S-Parameter and the noise figure of the circuit were measured using ground-signal-ground microwave probes. As depicted in Figure 2 the probe pads were octagonal, optimized for RF, and three ground-signal-ground (GSG) pad structures with 150 µm pitch were used.

However, in order to make the packaging another configuration was used. As shown in Figure 7 and 8, the final configuration includes the package and the pads. The package model takes into account the pins, the bondpins and also the bondwires. On the other hand, two different pad models were used: PAD, which includes only the pad itself (PAD), and PAD_ESD, which is composed by the pad and the ESD protections.

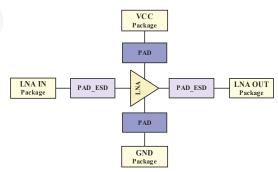


Figure 7 Chip configuration with full packaged.

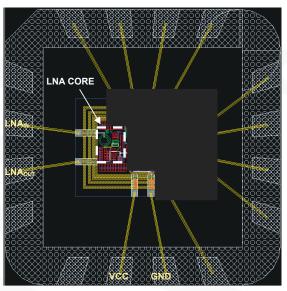


Figure 8 Chip layout.

III. PACKAGE MODELING

According to the QFN package specifications, it has 16 pins, a total dimension of 5mm for each side and a height of 0.8mm. In order to connect the circuit die with the package, in this kind of package a wire-bonding is used. Figure 9 shows a package interconnection model. In order to simulate it in ADS, the substrate, vias, metal layers, bondpads, bondpins and bondwires have been modelled.

As stated above, to simulate the package effects in ADS, the entire package has been modelled. Figure 10 shows: a)the different layers that compose the package and b)a package vertical section. In order to do a precise simulation, the Printed Circuit Board (PCB) parameters and the chip layers specifications provided by the foundry, have been taken into account.

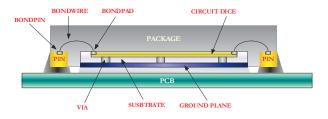


Figure 9 Package interconnection model.

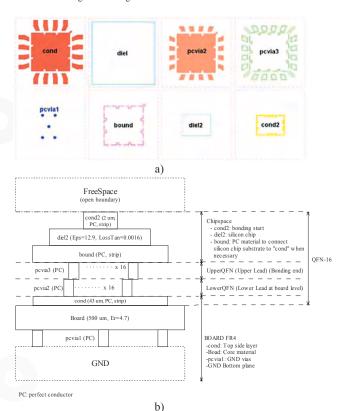


Figure 10 a)Package layer model. b)Vertical section.

After modelling the package, the bond wire and all necessary ports have been added. In this case, the models of the following pins have been obtained: LNA $_{\rm IN}$, LNA $_{\rm OUT}$ and $V_{\rm CC}$, the rest of the chip pins are used by other circuit and are not taken into account in this work. Figure 11 shows the interconnection between the die and pin through the bond wire

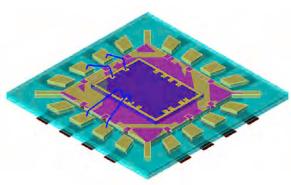
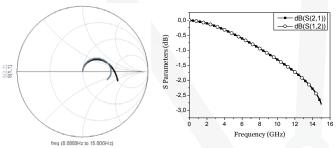


Figure 11 Package ready for simulation.

inductance in each pin.

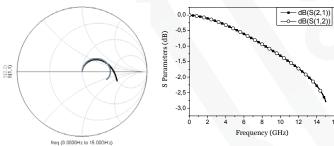
Figures 12, 13 and 14 show the S parameters simulation and the inductances for all used pins. In order to obtain the package influence over the LNA specifications, these simulations results will be included in the LNA simulations in next section.

At this point, the package and bonding are ready for simulations. The simulations have been done by ADS using the "Look Alike View" to obtain the S parameters and



20 —— Pad (LNA IN)
10 —— Pin (LN

Figure 12 Input node pin and bonding simulation results.



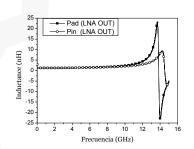
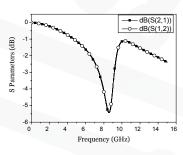


Figure 13 Output node pin and bonding simulation results.





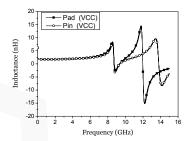


Figure 14 Supply node pin and bonding simulation results.

IV. EXPERIMENTAL RESULTS

After obtaining the package model, the next step was to study its influence on the LNA. To do this, different tests were carried out. The influence of the package and the pad on the supply node was analysed and found to be negligible when they were studied separately. Figure 7 shows the pin distribution required to measure the circuit separately. However, this pin distribution does not coincide with the actual setup in an integrated receiver front-end. In that case, the amplifier output will be directly connected to the input of a mixer and, hence, the effects of the pad and the bonding at the output of the amplifier should not be taken into account. Figure 15 shows the pin distribution of the mentioned case.

Regarding the input, three cases have been simulated: the package, the PAD_ESD and the package+PAD_ESD (see Figure 16). When considering only the effect of the package, the circuit preserves the performance. However the same can not be said for the PAD_ESD. In this case, a deep peak appears in the gain. This resonance appears due to the combination of the parasitic capacities associated with the PAD_ESD (formed by the pad itself and 2 reverse

biased diodes) with the inductance introduced by the bonding of the supply node. To eliminate this resonance, it is possible to reduce the inductance of the supply node by using multiple parallel bondings and pins for this input and to explore different ESD protection topologies. In any case, the package effects should be taken into account in early stages of the design process.

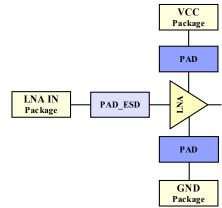


Figure 15 Chip configuration with semi packaged.

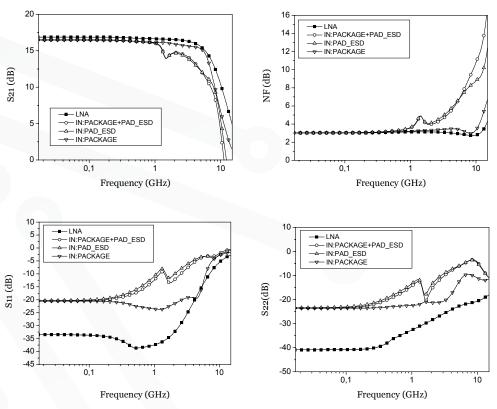


Figure 16 Results for different combinations at the input.

V. CONCLUSIONS

In this paper the influence of the package and the bonding of a low noise amplifier implemented in a standard low cost 0.35 μm process (Austria Mikro System) have been analyzed. The electromagnetic simulator of ADS was used to make a QFN16 package model. The influence of the package and the pad on the supply node was and found to be negligible when they were studied separately. However, a resonance appears due to the combination of parasitic capacities associated to the PAD_ESD with the inductance introduced by the bonding of the supply node. A possible solution to eliminate this resonance is to reduce the inductance of the supply node by using multiple parallel bondings and pins for this input. As a final conclusion, we consider that the package modelling and its influence on the circuit should be included in the LNA design process at early stages.

ACKNOWLEDGMENT

This work is partially supported by the Spanish Ministry of Science and Innovation (TEC2008-06881-C03-01), the Spanish Ministry of Industry, Tourism and Trade (TSI-020400-2010-55) and the "Programa de ayudas de Formación del Personal investigador, de la Agencia Canaria de Investigación, Innovación y Sociedad de la Información del Gobierno de Canarias y la cofinanciación y tasa de cofinanciación del F.S.E.".

REFERENCES

- High Rate Ultra Wideband PHY and MAC Standard, Mar. 2007, ISO/IEC standard 26907.
- [2] High Rate Ultra Wideband PHY and MAC Standard, Standard ECMA-368, 3rd Edition, Dec. 2008.
- [3] Agilent Technologies, "EM Insights Series", Agilent EEsoft EDA, September 2008.
- [4] Yang Boon Quek, "QFN Layout Guidelines", Texas Instruments, July 2006.
- [5] How-Siang Yap, Hee-Soo Lee, "3-D EM Simulator is Integrated with ADS to Lower the Cost of Design", High Frequency Electronics, June 2009.
- [6] Hee-Soo Lee, "MMIC/RFIC Packaging Challenges", Agilent Technologies, July 2009.
- [7] Agilent Technologies, "An integrated 3D EM design flow for EM/Circuit Co-Design", ADS user's group meeting 2009, Rome.
- [8] H. García-Vázquez, S. L. Khemchandani, R. Pulido, A. Goñi-Iturri and J. del Pino, "A Wideband Active Feedback LNA with a Modified 3D Inductor" Microwave and Optical Technology Letters, vol. 52, pp. 1561-1567, 2010