

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN
Y ELECTRÓNICA**



PROYECTO FIN DE CARRERA

**Diseño de un detector de fase integrado con eliminación de la
zona muerta**

Titulación: Ingeniero Técnico de Telecomunicación, especialidad en Sistemas Electrónicos

Tutores: Dr. Francisco Javier del Pino Suárez

Dailos Ramos Valido

Autor: José Joaquín Sarabia Muñoz

Fecha: Julio 2012

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN
Y ELECTRÓNICA**



PROYECTO FIN DE CARRERA

**Diseño de un detector de fase integrado con eliminación de la
zona muerta**

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:

Titulación: Ingeniero Técnico de Telecomunicación, especialidad en Sistemas Electrónicos

Tutores: Dr. Francisco Javier del Pino Suárez

Dailos Ramos Valido

Autor: José Joaquín Sarabia Muñoz

Fecha: Julio 2012

Agradecimientos

El presente proyecto es un esfuerzo en el cual, directa o indirectamente, participaron varias personas leyendo, opinando, corrigiendo, teniéndome paciencia, dando ánimo, acompañando en los momentos de crisis y en los momentos de felicidad.

Agradezco al Dr. Francisco Javier del Pino por haber confiado en mí, por la lectura de este trabajo y por su dirección. A D. Dailos Ramos Valido por la paciencia ante mi inconsistencia y por sus comentarios en todo el proceso de elaboración de este proyecto final de carrera.

Gracias también a mis queridos compañeros, que me apoyaron y me permitieron entrar en su vida durante todos estos años de convivir dentro y fuera de las aulas.

A mi familia, que a pesar de la distancia siempre me acompañaron en esta aventura que significó la maestría y que, de forma incondicional, entendieron mis ausencias y mis malos momentos. A mi madre y su ternura, a mi padre y su sacrificio quienes han conseguido que hoy este aquí.

“Y a los que quiero les digo que aguanten, no desfallezcan que nuestros días de gloria se acercan” N.S. 2008.

Gracias a todos.

Índice

Capítulo 1	1
Introducción.....	1
1.1. Objetivos	2
1.2. Estructura de la memoria	3
1.3. Peticionario	4
Capítulo 2	5
Conceptos básicos de los lazos enganchados en fase	5
2.1. Introducción	6
2.1.1. Aplicaciones	6
2.1.2. Frecuencia y fase instantáneas.....	7
2.2. Estudio de un PLL ideal.....	8
2.2.1. Detector de fase.....	9
2.2.2. Filtro del bucle	9
2.2.3. VCO	10
2.2.4. Funciones de transferencia del lazo	10
2.3. Resumen.....	14
Capítulo 3	15
El detector de fase y la bomba de carga.....	15
3.1. Detectores de fase	15
3.1.1. Multiplicador analógico	16
3.1.2. Detector digital de onda cuadrada.....	18
3.1.3. Detector digital biestable	19
3.1.4. Detector digital de fase-frecuencia	20
3.2. Bomba de carga	23
3.3. Resumen.....	25

Capítulo 4	27
Descripción de la tecnología UMC 90 nm	27
4.1. Introducción	27
4.2. La tecnología UMC 90 nm para señal mixta y RF	28
4.3. Metodología de diseño orientado a la fabricación.....	31
4.4. Flujo de diseño MS/RF y FDK.....	32
4.5. Resumen.....	33
Capítulo 5	35
Diseño de PFDs, CP y solución a la Zona Muerta	35
5.1. La zona muerta en el PLL	35
5.2. Diseño de los PFD	37
5.2.1. PFD I	37
5.2.2. PFD II.....	43
5.3. Diseño de la bomba de carga (CP)	50
5.4. Unión del PFD y la CP.....	51
5.4.1. PFD I y CP.....	51
5.4.2. PFD II y CP	55
5.5. Solución a la zona muerta	60
5.6. Resumen.....	67
Capítulo 6	69
Diseño final y <i>layout</i>	69
6.1. Diseño final a nivel esquemático.....	69
6.2. Diseño final a nivel de <i>layout</i>	75
6.2.1. Conceptos relacionados con el diseño a nivel de <i>layout</i>	76
6.2.2. Diseño del <i>layout</i>	77
6.2.3. Distribución de <i>pads</i> en el <i>layout</i> final.....	82
6.3. Resumen.....	84

Capítulo 7	85
Conclusiones.....	85
7.1. Conclusiones y líneas futuras	85
Presupuesto.....	89
P.1. Costes de recursos humanos.....	91
P.2. Costes de ingeniería	92
P.3. Costes de amortización	92
P.4. Costes de fabricación	94
P.5. Otros costes	94
P.6. Presupuesto total.....	95
Bibliografía.....	97

MEMORIA

Capítulo 1

Introducción

A lo largo de la historia, la información se ha convertido en el eje promotor de la evolución de la sociedad que durante el transcurrir de los años ha buscado alternativas para hacer más práctica su existencia mediante el desarrollo de multitud de técnicas, la modificación de los diferentes tipos de vida, la transformación de las necesidades sociales, económicas, tecnológicas y culturales hasta conseguir un grado de bienestar que podríamos calificar de óptimo.

Estas transformaciones continuas en la sociedad van dando lugar a nuevos intereses, herramientas y actitudes que conducen ineludiblemente a otras formas de enfrentarse a los distintos ámbitos que encontraremos a lo largo de nuestra vida. Se puede afirmar, por lo que respecta a estos cambios, que el desarrollo tecnológico ha proporcionado infinitas posibilidades, ya que permite acceder cada vez en mejores condiciones a los diferentes espacios en donde tienen lugar fenómenos de la más variada índole. Dichos cambios, han llevado a realizar un gran número de investigaciones tecnológicas para poder dar respuesta a esas necesidades, especialmente en la rama de las telecomunicaciones.

Desde la primera mitad del siglo XIX, cuando las telecomunicaciones comienzan a dar sus primeros pasos con la creación del telégrafo eléctrico hasta hoy en día la mayoría de las investigaciones han estado dirigidas hacia el desarrollo de nuevos dispositivos cuyo objetivo principal se orientaba a albergar más capacidad, así como a la realización de nuevas y mejores funciones.

Actualmente, producto de estos trabajos, se han obtenido resultados satisfactorios, como por ejemplo los conseguidos en los dispositivos móviles, que son capaces de recibir señales digitales de video, procesarlas y mostrar canales de televisión en sus pantallas. Hoy en día, la principal preocupación del desarrollo de las nuevas tecnologías se dirige hacia la obtención de un bajo consumo de energía, así como hacia la consecución de dispositivos más pequeños.

Es en este nuevo escenario de trabajo, donde los bucles enganchados en fase o PLL juegan un destacado papel en el campo de la comunicación, motivado por el uso tan frecuente en la generación de señales de reloj, tanto en circuitos integrados analógicos como en circuitos de procesado digital y microprocesadores.

El continuo aumento de estándares provoca que las especificaciones de los PLL sean más restrictivas a fin de evitar que los errores en el circuito, bien sean por causas internas como pudiera ser el ruido generado por la fuente de alimentación o bien, por causas externas que tengan tanto impacto que puedan provocar errores de cálculo o la pérdida de datos. Es por ello, por lo que en este trabajo nos centraremos en el diseño y estudio de los dos primeros bloques de un PLL: el detector de fase-frecuencia o PFD, y la bomba de carga o CP con la finalidad de intentar eliminar o disminuir una de las causas expuestas anteriormente que afectan al circuito, la zona muerta.

1.1. Objetivos

El presente proyecto tiene como objetivo principal realizar el diseño de dos detectores de fase-frecuencia, uno convencional y otro con Zona Muerta Cero (*Zero Dead Zone*), este último para mejorar las características y conseguir eliminar la zona muerta.

Posteriormente, analizar los resultados obtenidos usando ambas estructuras con objeto de comparar las soluciones propuestas.

Finalmente, diseñar una bomba de carga para su posterior integración en dichas estructuras. El hecho de que dentro de un PLL, el elemento que sigue al detector de fase es la bomba de carga y que el diseño de este elemento depende del detector de fase utilizado, conlleva la necesidad de formulación de este objetivo del proyecto, aunque éste sea con carácter secundario.

La tecnología a utilizar para el diseño de los circuitos propuestos será la CMOS 90 nm suministrada por la empresa UMC (*United Microelectronic Corporation*) [1]. Además para el diseño a nivel esquemático se utilizará la herramienta ADS (*Advanced Design System*) [2], así como para su implementación a nivel de *layout* se usará el *Cadence* [3].

1.2. Estructura de la memoria

Esta memoria se encuentra dividida en 7 capítulos. A continuación, se incluye un presupuesto en el que se valora la ejecución del proyecto objeto de esta memoria.

En este capítulo introductorio se ha pretendido ofrecer una visión general sobre la situación referida a los PLL, así como la finalidad y objetivos planteados para este proyecto fin de carrera.

El capítulo 2 incluye la explicación de los conceptos básicos de los PLL analizando las diferentes partes que los forman.

Posteriormente, en el capítulo 3, una vez explicados los conceptos necesarios, se describen detalladamente todos y cada uno de los diferentes tipos de detectores de fase existentes, así como el funcionamiento de la bomba de carga.

En el capítulo 4 se procede al estudio de la tecnología a emplear en este trabajo, la CMOS 90 nm suministrada por la empresa UMC.

Seguidamente en el capítulo 5, con el fin de completar la fundamentación teórica se explica el último concepto en el que se fundamenta este trabajo, la zona muerta. Adoptados los principios fundamentales sobre los que se ha de construir este proyecto, se estudian dos estructuras básicas de PFD y CP a nivel esquemático, prestando especial atención a la zona muerta existente en dichas estructuras, mediante las simulaciones pertinentes.

En el capítulo 6, se procederá a realizar las modificaciones pertinentes del diseño a nivel esquemático realizando un estudio mediante simulaciones de la zona muerta, así como una comparativa con sus antecesoras, obteniendo las conclusiones derivadas del estudio en cuestión. Finalizada esta parte del trabajo a nivel de esquemático, se desarrolla a nivel de *layout* el circuito final de PFD y CP.

Finalmente, en el capítulo 7, tras realizar el diseño completo y la comparativa pertinente, se incluye un resumen con las principales conclusiones de este proyecto.

Con posterioridad se presenta el presupuesto del proyecto en el que se detallan la totalidad de los costes: materiales, mano de obra, etc.

1.3. Peticionario

Actúan como peticionarios para este Proyecto Fin de Carrera, la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA) y la Escuela de Ingeniería de Telecomunicación y Electrónica (EITE) de la ULPGC.

Capítulo 2

Conceptos básicos de los lazos enganchados en fase

A medida que las telecomunicaciones han ido evolucionando en las últimas décadas, algunos circuitos han ido obteniendo una mayor responsabilidad en los sistemas de telecomunicación, es el caso de los lazos enganchados de fase o, PLL. Se trata de un circuito realimentado de control con el que se intenta conseguir que la fase de un oscilador variable sea una réplica de la fase de la señal de entrada.

Aunque el primer PLL conocido como tal data del año 1932, hubo que esperar hasta la aparición de los primeros circuitos integrados que contenían gran parte de los elementos necesarios, alrededor de 1970, para que se generalizara su uso. Hoy en día es fácil encontrar circuitos integrados que contienen uno o más PLL, solos o combinados con otros elementos para formar subsistemas. Los PLL pueden ser analógicos, es decir, implementados sobre señales en forma de tensiones o corrientes eléctricas o digitales, en los que las señales son series numéricas en un procesador digital. En nuestro caso, los que se van a estudiar son analógicos.

En este proyecto nos centraremos en el diseño y estudio de los dos primeros bloques del PLL: el detector de fase-frecuencia y la bomba de carga, independientemente de ello, este capítulo consta de una pequeña introducción de cada uno de los bloques que lo conforman.

El estudio realizado en este capítulo es eminentemente teórico y, por ello, se deja a la elección del lector la posibilidad de leerlo al completo o, por el contrario, utilizarlo como referencia cuando se esté leyendo capítulos posteriores.

2.1. Introducción

Comenzaremos nombrando aplicaciones y conceptos de los lazos enganchados en fase a modo introductorio, ya que en este proyecto solo nos centraremos en el detector de fase y la bomba de carga [4]-[5].

2.1.1. Aplicaciones

Las aplicaciones de los lazos enganchados en fase se basan en que la señal sinusoidal del oscilador de salida siga en fase al oscilador de entrada, todo ello matizado por su efecto de filtrado. Una aplicación inmediata es la recuperación de portadoras extrayéndolas de la señal y del ruido que las acompañan. En el caso de señales moduladas en fase o frecuencia se puede hacer que el PLL filtre la señal y entregue una señal con la fase media de la señal de entrada, que coincidirá con la portadora si la señal de modulación tiene valor medio nulo. Estas portadoras recuperadas pueden utilizarse en el proceso de demodulación de la señal, aunque en los casos de señales moduladas en fase o frecuencia el propio PLL puede entregar la señal demodulada. En el caso de señales digitales, también se puede recuperar su señal de reloj debido a la propiedad de los PLL de mantener la oscilación de salida en ausencia de pulsos en la señal de entrada.

Igualmente es posible modificar el PLL de forma que la señal de salida resulte modulada en fase o frecuencia mientras se mantiene la estabilidad a largo plazo del oscilador de entrada.

Otra aplicación de los PLL son los sintetizadores. En este caso las frecuencias de entrada y salida son diferentes, manteniéndose entre ellas una relación exacta, con lo que el ruido de fase y la estabilidad de la entrada se transfieren a la salida.

2.1.2. Frecuencia y fase instantáneas

Antes de avanzar en el análisis de los PLL conviene repasar los conceptos de fase y frecuencia instantánea. Las señales de banda estrecha en el dominio del tiempo pueden representarse como:

$$v(t) = a(t) \cos(\Phi(t)) = a(t) \cos(\omega_c t + \phi_r(t)) \quad (2.1)$$

Donde $a(t)$ es la amplitud de la señal y $\Phi(t)$ su fase absoluta. De esta última se puede extraer una pulsación constante ω_c , que en principio podría ser cualquiera, para definir una fase relativa $\phi_r(t)$. La señal queda definida tanto por el par $a(t)$ y $\Phi(t)$ como por el trío $a(t)$, ω_c y $\phi_r(t)$.

Desde el punto de vista de un PLL la característica fundamental de una señal es su fase absoluta o relativa. Esta fase se puede considerar como una suma de varios términos:

$$\Phi(t) = \omega_0 t + \Delta\phi \cos \omega_m t + \phi_n t \quad (2.2)$$

$$\phi_r(t) = \Delta\omega t + \Delta\phi \cos \omega_m t + \phi_n t \quad (2.3)$$

Donde el primer término da cuenta de la frecuencia media, el segundo de la modulación y el tercero del ruido asociado.

Otro concepto importante en un PLL es el de frecuencia instantánea, definido como:

$$f(t) = \frac{1}{2\pi} \frac{d\Phi(t)}{dt} = f_c + f_r(t) \quad (2.4)$$

$$f_r(t) = \frac{1}{2\pi} \frac{d\phi_r(t)}{dt} \quad (2.5)$$

En estas expresiones se ha introducido el concepto de frecuencia relativa como el resultado de restar de la frecuencia instantánea una frecuencia tomada como referencia (f_c). Conviene dejar claro que la elección de esta frecuencia (f_c) es arbitraria y, por tanto, no tiene que estar relacionada con la señal. Normalmente, en señales de banda estrecha, se puede definir una frecuencia media (f_o), como el valor medio de la frecuencia instantánea, que tomada como frecuencia de referencia lleva a una fase relativa (ϕ_o), que está acotada:

$$\Phi(t) = 2\pi f_o t + \phi_o(t) \quad (2.6)$$

Si la frecuencia de referencia no coincide con la frecuencia media, la fase de referencia no estará acotada, pero ello no impide trabajar con ella como una función variable en el tiempo.

2.2. Estudio de un PLL ideal

El esquema de bloques básico de un PLL se muestra en la Figura 2.1. Está compuesto por un detector de fase o PD (*Phase Detector*), un filtro paso bajo y un oscilador controlado por voltaje o VCO (*Voltage Controlled Oscillator*). En algunos casos se puede añadir en la parte de realimentación un divisor para proporcionar la función de síntesis de la frecuencia.

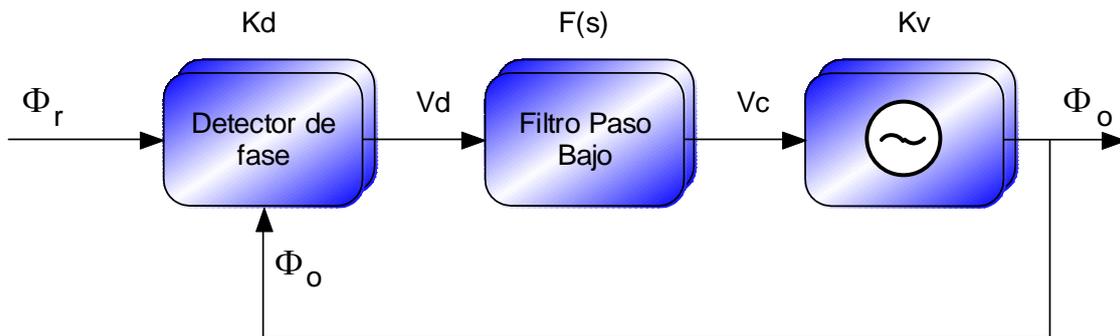


Figura 2.1 Esquema de bloques básico de un PLL ideal.

El funcionamiento básico de un PLL puede dividirse en tres fases. Primera, la fase de salida (Φ_o) se sincroniza con la de referencia (Φ_r) comparándolas en el detector de fase. En la segunda, la tensión obtenida (V_d), una vez filtrada para eliminar las

componentes de alta frecuencia (V_c), se aplica al VCO para corregir la posible diferencia de fases. Por último, en la tercera, obsérvese que la magnitud que se controla es la fase de la señal de salida, y que cuando el bucle está enganchado deben coincidir las fases de las señales de referencia y de salida. Dentro de ciertos límites los distintos bloques del PLL se comportan de forma lineal y se pueden describir como elementos ideales.

2.2.1. Detector de fase

Los detectores de fase, son circuitos mezcladores de frecuencias o multiplicadores analógicos que generan una señal de voltaje que representa la diferencia de fase entre dos señales de entrada. Existe una gran variedad y, dependiendo de la aplicación para la que se desee el PLL, se escogerá entre uno u otro.

En un detector de fase ideal la tensión a la salida es proporcional a la diferencia de fases de las señales de entrada.

$$V_d(t) = K_d[\Phi_r(t) - \Phi_o(t)] = K_d\Phi_e(t) \quad (2.7)$$

Donde $\Phi_r(t)$ y $\Phi_o(t)$ son, respectivamente, las fases de referencia del VCO, y $\Phi_e(t)$ el error de fase, que se define como la diferencia de las dos anteriores. La constante de proporcionalidad K_d se expresa en (V/rad) y se denomina constante del detector. El valor del error de fase está limitado por el margen dinámico del detector, a unos pocos radianes a lo sumo, y la máxima excursión de la señal de salida a unos pocos voltios.

2.2.2. Filtro del bucle

El filtro del bucle se encarga de suavizar la señal generada por el detector de fase, ya que en ocasiones suele moverse de forma abrupta. Queda definido por su función de transferencia, que en el espacio de *Laplace* se puede poner como:

$$F(s) = \frac{V_c(s)}{V_d(s)} \quad (2.8)$$

Es el único elemento del PLL para el que hay libertad de elección de sus características, ganancia, polos y ceros, y así controlar el comportamiento del PLL.

2.2.3. VCO

El VCO (*Voltage Controlled Oscillator*) es la parte más importante de un PLL, es el encargado de generar las frecuencias del oscilador local. El VCO ideal está formado por un oscilador en el que su frecuencia de oscilación varía linealmente con la tensión de entrada donde f_c sería la frecuencia a la que oscilaría el VCO con una tensión de control nula.

$$f_0(t) = f_c + K_v V_c(t) \Leftrightarrow \Phi_0(t) = \omega_c t + 2\pi K_v \int_0^t V_c(t) dt \quad (2.9)$$

El valor de la constante K_v , que se expresa en (Hz/V), está condicionado por la excursión de la tensión de control y por la banda de frecuencias que genera. Otro tanto se puede decir de su frecuencia central.

2.2.4. Funciones de transferencia del lazo

Las funciones de transferencia del lazo describen el comportamiento del lazo frente a variaciones de la fase de referencia. El primer paso para su obtención es referir las fases de referencia del VCO a la frecuencia central de este último (f_c):

$$\Phi(t) = \omega_c t + \phi_o(t) \quad (2.10)$$

$$\Phi_r(t) = \omega_c t + \phi_r(t) \quad (2.11)$$

Sustituyendo en (2.7) se puede obtener la respuesta del detector de fase y su transformada de *Laplace*:

$$v_d(t) = K_d[\phi_r(t) - \phi_o(t)] \Leftrightarrow V_d(s) = K_d[\phi_r(s) - \phi_o(s)] \quad (2.12)$$

Comparando (2.9), (2.10) y (2.11) se obtiene la expresión de ϕ_o y su transformada de Laplace:

$$\phi_o(t) = 2\pi K_v \int_0^t v_c dt \Leftrightarrow \phi_o(s) = 2\pi K_v \frac{V_c(s)}{s} \quad (2.13)$$

Sustituyendo la tensión de control obtenida después del filtrado, la fase de salida queda como:

$$\phi_o(s) = 2\pi K_v \frac{F(s)V_d(s)}{s} = 2\pi K_v K_d \frac{F(s)}{s} [\phi_r(s) - \phi_o(s)] \quad (2.14)$$

Despejando el cociente entre la fase de salida y la de entrada se obtiene la función de transferencia del lazo:

$$H(s) = \frac{\phi_o(s)}{\phi_r(s)} = \frac{KF(s)}{s + KF(s)} \quad (2.15)$$

Donde, $K = 2\pi \cdot K_v \cdot K_d$.

Se puede analizar esta función teniendo en cuenta que el filtro del lazo es siempre paso bajo, es decir, toma un valor distinto de cero en el origen de frecuencias. En estas condiciones la función $H(s)$ es siempre una función paso bajo y toma el valor unidad en $s = 0$. Otro aspecto importante a destacar es que la función de transferencia no relaciona tensiones o corrientes de entrada y salida, relaciona fases. Esto significa que una señal

de fase continua corresponde a una tensión de entrada de frecuencia fija e igual a la de referencia del lazo.

En frecuencias altas la función de transferencia tiende a cero, ya que el filtro del lazo toma valores finitos o nulos y en cualquier caso la respuesta global tiende a anularse. Para interpretar la respuesta de la función de transferencia se debe considerar una señal de entrada sinusoidal a dicha frecuencia. Pero, como la señal que se considera es la fase, significa que la tensión de entrada es una portadora modulada en fase por un tono puro de modulación a la frecuencia f_m . Así, se puede establecer que la relación entre la fase de salida y la de entrada, con señales moduladas en fase por sinusoides, es de la forma siguiente:

$$v_r(t) = V_r \cos(\omega_0 t + \Delta\phi_r \cos(2\pi f_m t + \alpha_r)) \quad (2.16)$$

$$v_o(t) = V_o \cos(\omega_0 t + \Delta\phi_o \cos(2\pi f_m t + \alpha_o)) \quad (2.17)$$

La función de transferencia está definida por:

$$H(j2\pi f_m) = \frac{\Delta\phi_o}{\Delta\phi_r} \exp(j(\alpha_o - \alpha_r)) \quad (2.18)$$

El carácter paso bajo de la función de transferencia implica que las modulaciones lentas se transfieren a la salida, mientras que las modulaciones rápidas de fase se ven rechazadas en el proceso de filtrado.

Además de la función de transferencia, también tienen interés otras funciones como la función de transferencia de error:

$$H_e(s) = \frac{\phi_e(s)}{\phi_r(s)} = \frac{\phi_r(s) - \phi_o(s)}{\phi_r(s)} = 1 - H(s) = \frac{s}{s + KF(s)} \quad (2.19)$$

Si se analiza esta otra función, con los mismos criterios que la anterior, se puede ver que es complementaria y por tanto, tiende a anularse en el origen y a tomar el valor unidad para frecuencias altas en las que el filtro del lazo toma valor finito o nulo. La interpretación es igual a la anterior: si la frecuencia de modulación es baja, la modulación se transfiere de forma completa a la salida, y por tanto el error entre las fases de salida y entrada es muy pequeño. En caso contrario, cuando la frecuencia de modulación es alta, la fase de modulación no se transfiere y el error tiende a tomar exactamente el mismo valor de la fase de entrada.

Una última función utilizada en el análisis del PLL es la de transferencia en lazo abierto dada por:

$$G(s) = \left. \frac{\phi_o(s)}{\phi_r(s)} \right|_{\text{lazo abierto}} = \frac{KF(s)}{s} \quad (2.20)$$

Esta función determina el comportamiento del lazo. Es interesante destacar el carácter integrador de la función de transferencia en lazo abierto, con un polo en el origen, creado por el VCO, cuya tensión de control define la frecuencia de salida y consecuentemente, la derivada de la fase. La fase es entonces proporcional a la integral de la tensión de entrada.

La función de transferencia dada por la expresión (2.15) también se puede aplicar directamente a variaciones de frecuencia alrededor de la frecuencia central del VCO:

$$\left. \begin{aligned} \Delta\omega_o(s) &= \frac{\phi_o(s)}{s} \\ \Delta\omega_r(s) &= \frac{\phi_r(s)}{s} \end{aligned} \right\} \Rightarrow H(s) = \frac{\Delta\omega_o(s)}{\Delta\omega_r(s)} \quad (2.21)$$

Todas las conclusiones obtenidas para la respuesta del PLL a una señal modulada en fase son también aplicables a la respuesta a una señal modulada en frecuencia, ya que ambas modulaciones son equivalentes.

2.3. Resumen

En este capítulo se han visto los conceptos básicos de los PLL, tratándose de un circuito realimentado de control con el que se intenta conseguir que la fase de un oscilador variable sea una réplica de la fase de la señal de entrada. Los distintos bloques del PLL son el detector de fase, el filtro del bucle y el VCO.

Se ha observado la respuesta del detector de fase ideal, además en cuanto al filtro del bucle se ha visto su influencia, puesto que este es el único elemento del PLL para el que hay libertad de elección de sus características (ganancia, polos y ceros), y así controlar el comportamiento del PLL (orden, tipo). El VCO no es más que un oscilador en el que su frecuencia de oscilación varía teóricamente de forma lineal con la tensión de entrada.

En el capítulo siguiente veremos detalladamente el detector de fase, que es el bloque en el que se fundamenta este proyecto, así como un elemento que suele ir acoplado a él, la bomba de carga.

Capítulo 3

El detector de fase y la bomba de carga

Una vez explicadas las diferentes partes de las que constan los PLL, nos disponemos a estudiar en profundidad el primer bloque de los mismos, los detectores de fase y la bomba de carga, que es el fundamento de este proyecto [4]-[5].

A lo largo de todo este capítulo se explicará detalladamente cada uno de los diferentes tipos de detectores de fase existentes, donde se expondrán algunas de las ventajas e inconvenientes de cada uno de ellos.

3.1. Detectores de fase

Si a un detector de fase con característica ideal, $V_d(t) = K_d \cdot \Phi_e(t)$, se le conectan a sus entradas dos señales de frecuencias distintas debería entregar a su salida una señal que creciera linealmente de forma indefinida. En la práctica esto no es posible, los detectores de fase tienen un margen lineal limitado, y su característica es periódica, con un período de valor 2π en la mayoría de los casos. En la Figura 3.1 se han representado los principales detectores de fase.

Tipo	Señales	Diagrama	Respuesta en fase	Respuesta en frecuencia
1. Multiplicador analógico				Indefinida
2. Multiplicador digital				Indefinida
3. Bistable JK				
4. Fase-frecuencia				

Figura 3.1 Diferentes tipos de detectores de fase.

3.1.1. Multiplicador analógico

Se corresponde con el tipo 1 de la Figura 3.1. Simplemente la función que realiza es multiplicar las dos señales de entrada. En el caso de referir las dos señales a una misma frecuencia central se obtiene:

$$V_d(t) = K u_2(t) u_1(t) =$$

$$\frac{K U_2 U_1}{2} [\text{sen}(2\omega_c t + \phi_2(t) + \phi_1(t)) + \text{sen}(\phi_2(t) - \phi_1(t))] \quad (3.1)$$

$$u_1(t) = U_1 \cos(\omega_c t + \phi_1(t)) \quad (3.2)$$

$$u_2(t) = U_2 \text{sen}(\omega_c t + \phi_2(t)) \quad (3.3)$$

A la salida aparecen dos componentes, una continua y otra de frecuencia doble. La componente de frecuencia doble se debe eliminar con el filtro del lazo ya que puede dar lugar a una modulación parásita de fase de la señal de salida del lazo. La componente continua es la que tiene interés: es proporcional al seno de la diferencia de fases y si la diferencia de fases es inferior en valor absoluto a 60° , se puede considerar proporcional a ella, $V_d = K_d(\phi_2 - \phi_1)$. La constante de proporcionalidad, $K_d = KU_2U_1/2$, depende de la amplitud de las señales de entrada, por lo que en la mayor parte de las aplicaciones habrá que incluir circuitos que regulen o limiten su amplitud. Si la diferencia de fase supera los 90° , la pendiente de la función de transferencia se invierte y el PLL perderá el enganche.

Debe tenerse en cuenta que la salida es nula cuando $\phi_2 = \phi_1$, siendo una señal del tipo seno y la otra de tipo coseno, consiguiéndose la salida nula cuando la diferencia real de fases entre las entradas sea de 90° . La importancia de este hecho dependerá de la aplicación concreta, no afectando al desarrollo teórico que se ha realizado.

Si las dos frecuencias de entrada son diferentes, la salida es la suma de dos componentes sinusoidales de igual amplitud y de frecuencias iguales a la suma y a la diferencia de las frecuencias de entrada. La señal de salida variará entre los extremos de su margen dinámico, y en ausencia de realimentación de fase su valor medio sería nulo. Si la componente de frecuencia diferencia consigue mantener un nivel apreciable a la salida del filtro, el PLL tenderá a igualar las frecuencias cuando el error de fase sea menor que 90° en valor absoluto, tendiendo a aumentarla en caso contrario. Este efecto, cuya tendencia es enganchar el lazo, quedará enmascarado por el ruido cuando la diferencia de frecuencias sea apreciable, por lo que no debe confiarse el enganche del bucle a este proceso.

La principal ventaja de este detector es que pueden construirse en todas las frecuencias multiplicadores analógicos, pues en definitiva cualquier circuito no lineal funciona como tal. En frecuencias de microondas y ópticas es el único detector de fase existente, construido con diodos.

3.1.2. Detector digital de onda cuadrada

Si las señales de entrada tienen forma de onda cuadrada pueden llevarse a un multiplicador digital a cuya salida se obtendrá una onda rectangular cuyo ciclo de trabajo será proporcional al error de fase.

En el caso 2 de la Figura 3.1, el detector es una puerta OR-EXCLUSIVA, cuya salida es de nivel bajo cuando los niveles de las entradas coinciden, y de nivel alto cuando son diferentes. Así, si las entradas están en fase, la salida será siempre de nivel bajo y si están en contrafase será de nivel alto. La señal de salida es una onda de frecuencia doble de la de entrada, cuyo ciclo de trabajo dependerá de la diferencia de fases de las señales de entrada. La parte útil de esta señal es su valor medio, porque varía de forma lineal, oscilando entre el valor correspondiente al nivel “0”, cuando las señales están en fase y al nivel “1” cuando están en contrafase. El punto central corresponde a una diferencia de fase de $\pi/2$ y el margen lineal se extiende entre 0 y π . Para diferencias de fase entre $-\pi$ y 0 la pendiente de la función de transferencia es negativa y el PLL no es estable. Así pues, la constante de fase toma el valor siguiente:

$$K_d = \Delta V / \pi \quad (3.4)$$

Donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

Si el ciclo de trabajo de las señales de entrada no es exactamente el 50%, la característica se distorsiona en los extremos, reduciendo su margen dinámico. Los armónicos de la señal de salida del detector pueden perjudicar la pureza espectral del VCO y deben ser eliminados por el filtro del PLL. El primer armónico tiene una frecuencia doble de la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada, su máximo aparece justo para una diferencia de fases de 90° , siendo el centro de su margen lineal, y toma el valor:

$$V_{2fr} = 2\Delta V / \pi \quad (3.5)$$

Frente al detector analógico, este detector presenta la ventaja de un margen lineal algo mayor. No obstante, este tipo presenta algunos inconvenientes como el nivel de armónicos a su salida, que es algo mayor y está limitado en frecuencia por la tecnología usada en su fabricación o la similitud de respuesta a señales de frecuencias diferentes a la del multiplicador analógico, siendo semejante su proceso de enganche. La respuesta a señales de frecuencias diferentes es parecida a la del multiplicador analógico siendo análogo su proceso de enganche.

3.1.3. Detector digital biestable

Para eliminar la necesidad de trabajar con señales cuadradas y aumentar el margen lineal del detector se puede utilizar un biestable JK como se recoge en el caso 3 de la Figura 3.1. Se trata de un circuito biestable JK activado por los flancos de bajada de las señales de entrada, donde los flancos de bajada de la señal $U1$, conectada a la puerta J , ponen a nivel alto la salida Q ; los flancos de bajada de la señal $U2$, conectada a la puerta K , ponen a nivel alto la salida $\neg Q$, que es la negada de la Q . La salida Q es una onda rectangular con ciclo de trabajo dependiente linealmente del desfase de los flancos de bajada de las señales de entrada, de manera que no es necesario que las señales de entrada sean cuadradas. El ciclo de trabajo varía entre casi cero cuando la $U2$ está ligeramente retrasada respecto de la $U1$, hasta casi el 100% cuando el retraso de $U2$ está próximo a 2π . La frecuencia de Q es la misma, que la de las señales de entrada.

La parte útil de esta señal es su valor medio, que varía entre los niveles correspondientes al “0” y al “1”. El punto central corresponde a una diferencia de fase de π y el margen lineal se extiende entre 0 y 2π . Por ello la constante de fase toma el valor siguiente:

$$K_d = \Delta V / 2\pi \quad (3.6)$$

Donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

Esta constante se multiplica por dos si se toma como salida la diferencia entre la salida Q y su negada, $\neg Q$. El primer armónico tiene una frecuencia igual a la frecuencia

de referencia y su amplitud depende de la diferencia de fases de entrada; su máximo aparece justo para una diferencia de fases π , el centro de su margen lineal, tomando el valor:

$$V_{fr} = 2\Delta V/\pi \quad (3.7)$$

Si las frecuencias de las señales de entrada son claramente diferentes, habrá varios flancos de bajada de forma habitual de la señal de frecuencia más alta entre cada dos flancos de la otra señal. El resultado es que la salida tendrá tendencia a esta, en el nivel adecuado para que se produzca el enganche. No obstante, si las frecuencias son muy parecidas, será extraño que se produzca el fenómeno anterior, y la salida, una vez filtrada, será una señal en forma de dientes de sierra, como corresponde a una diferencia de fase que varía linealmente con el tiempo. En este caso el enganche se realizará de forma lenta.

Frente al multiplicador analógico, este detector presenta la ventaja de un margen lineal doble y una mayor facilidad para el enganche debido a su respuesta a frecuencias diferentes. Como inconvenientes presenta una menor frecuencia para el primero de los armónicos de salida y su mayor limitación en frecuencia, entre un 50% y un 75% del límite de un multiplicador con la misma tecnología. El que responda a los flancos de las señales de entrada también es un inconveniente si alguna de ellas, normalmente la referencia, está acompañada de ruido, en estos casos se pueden producir cambios de nivel espurios, que aunque sean de corta duración harán que se dispare el biestable y, dependiendo del instante en que se produzcan, pueden obligar al lazo a deslizamientos de un ciclo completo para recuperar la situación de equilibrio.

3.1.4. Detector digital de fase-frecuencia

El detector de fase-frecuencia es un dispositivo que mejora las prestaciones del detector JK al aumentar su margen dinámico, reducir los armónicos de las señales de referencia y mejorar la respuesta a frecuencias diferentes. Sus características corresponden al tipo 4 de la Figura 3.1.

Existen muchas estructuras de dispositivos de este tipo, y la que se va a explicar es la más simple. Se trata de un dispositivo con dos salidas, U y D , capaz de estar en tres estados diferentes, siendo controlados los cambios de estado por los flancos de subida de las señales de entrada. Su diagrama de estados se representa en la Figura 3.2.

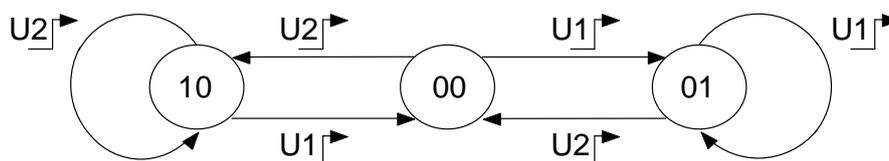


Figura 3.2 Diagrama de estados de un detector de fase-frecuencia.

Los niveles asociados de las señales de salida se representan en la Tabla 3.1. Su funcionamiento se puede describir con relativa sencillez si se asocia la primera cifra del nombre del estado a la salida D y la segunda a la salida U . Suponiendo el detector en el estado 00 con sus salidas a nivel bajo, el primer flanco de subida de una de las señales de entrada hace que la salida correspondiente se ponga a nivel alto. El dispositivo sólo sale de este estado, retornando al 00, con un flanco de subida de la otra señal. Cuando ambas señales tienen la misma frecuencia y la señal $U1$ está adelantada respecto de la $U2$, la salida D se mantiene a nivel bajo, mientras que en la salida U aparecerá una onda rectangular cuyo ciclo de trabajo variará entre el 0% y el 100% para desfases entre 0 y 2π . Si fuera la señal $U2$ la que estuviera adelantada, sería la salida U la que se mantendría a nivel bajo y la onda rectangular aparecería en la salida D .

Tabla 3.1 Niveles asociados de las señales de salida del PFD

Estado	D	U
00	0	0
01	0	1
10	1	0

El margen lineal es de 4π radianes y tomando como salida el valor medio de la diferencia $U-D$ la constante del detector valdrá:

$$K_d = 2\Delta V/4\pi = \Delta V/2\pi \quad (3.8)$$

Donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

El primer armónico tiene una frecuencia igual a la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada; su máximo aparece justo para una diferencia de fases $\pm 2\pi$, el extremo de su margen lineal, y toma el valor:

$$V_{fr} = 2\Delta V/\pi \quad (3.9)$$

Si las frecuencias de las señales de entrada son diferentes, una de las salidas se mantendrá a nivel bajo y en la otra aparecerá una onda rectangular de ciclo de trabajo variable que llevará el lazo al enganche.

Este detector presenta, frente a los anteriores la ventaja de un mayor margen lineal y una mayor facilidad para el enganche debido a su respuesta a frecuencias diferentes. Como inconvenientes presenta una menor frecuencia para el primero de los armónicos de salida y su mayor limitación en frecuencia, entre un 50% y un 75% del límite de un multiplicador con la misma tecnología. Otro inconveniente de este detector proviene de que la respuesta de los elementos que lo componen no es instantánea, por lo que cuando la diferencia de fases es inferior a este tiempo de respuesta no se producirá ningún pulso en sus salidas; lo que quiere decir que existe una holgura o zona muerta justo en el punto más importante de su respuesta. Otra forma de resaltar este fenómeno es que la constante de detector, K_d , se anula cuando se alcanza el equilibrio de fases. La importancia de esta holgura depende de su amplitud en comparación con el período de la señal de referencia y de la aplicación concreta. También, las constantes de tiempo asociadas a sus salidas pueden hacer que, dado un pequeño error de fase, la duración del pulso que efectivamente se aplica al VCO sea demasiado larga, con lo que el error

cambiaría de signo. Al ser el circuito simétrico, la corrección del nuevo error también sería excesiva, con lo que se generará ruido *flicker* a la salida del VCO.

Ambos efectos se pueden minimizar, además de con diseños más sofisticados, introduciendo un ligero *offset* en algún punto del lazo, de forma que el punto de equilibrio correspondiera a un cierto error de fase. Esto se puede conseguir con una simple resistencia. Su sensibilidad con respecto al ruido es similar a la del detector basado en biestables, por lo que sólo debe usarse con relaciones *S/N* elevadas.

3.2. Bomba de carga

Un detector de fase-frecuencia puede utilizarse en una configuración de PLL, como la estudiada hasta este momento, sin más que utilizar un amplificador diferencial como elemento activo del filtro. No obstante, en la práctica se asocia con un dispositivo conocido como bomba de carga (*Charge Pump*), que se encarga de traducir las señales de salida del PFD (*UP* y *DOWN*) para controlar la tensión de control del VCO. El esquema puede verse en la Figura 3.4.

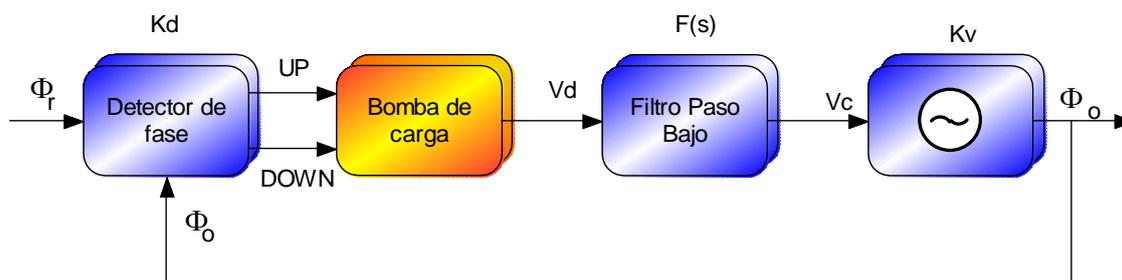


Figura 3.3 Esquema básico de un PLL asociado a una bomba de carga.

En la Figura 3.4, se muestra la bomba de carga. Esta consiste en un circuito formado por un par de generadores de corriente (I_B) que inyectan o extraen corriente de un filtro (C_L).

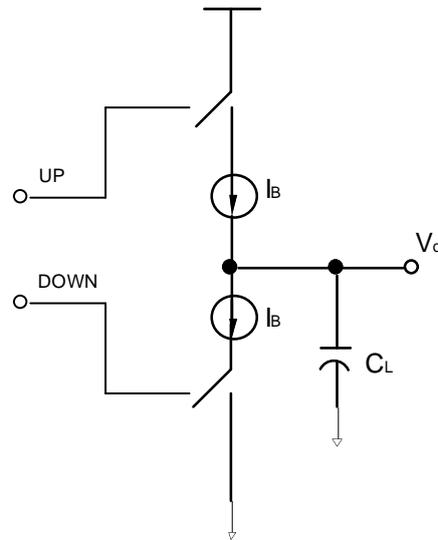


Figura 3.4 Esquema de una bomba de carga.

Los estados de control de la bomba de carga se muestran en Tabla 3.2. En un primer estado, cuando la señal *UP* esta a nivel lógico “1”, se inyecta una corriente I_B en la carga C_L aumentando la tensión en la salida V_o . En un segundo estado, cuando la señal *DOWN* está a nivel lógico “0” se extrae una corriente I_B en la carga C_L reduciendo la tensión V_o . En el estado en que las dos señales *UP* y *DOWN* sean “0”, las fuentes de corriente no suministrarán corriente por lo que V_o no variará.

Tabla 3.2 Triestados de una bomba de carga

UP	DOWN	Descripción
1	0	I_B inyecta corriente en C_L aumentando V_o
0	1	I_B extrae corriente de C_L reduciendo V_o
0	0	Ambos interruptores están apagados y V_o no varía

3.3. Resumen

En este capítulo se han visto los conceptos básicos de los diferentes tipos de detectores de fase existentes, explicando detalladamente cada uno de ellos, así como el dispositivo que suele ir asociado a éstos, la bomba de carga, que se encarga de inyectar o extraer corriente para controlar la tensión de control del VCO.

En el próximo capítulo se hará referencia a la tecnología que se va a utilizar en el proceso de diseño.

Capítulo 4

Descripción de la tecnología UMC 90 nm

En este capítulo se va a realizar un estudio de la tecnología que se va a utilizar en el proyecto. Con este estudio pretendemos dar una visión general de la tecnología 1P9M 90 nm de la fundidora UMC.

El capítulo está estructurado de la siguiente manera. Comienza con una pequeña introducción de la fundidora para seguir con una visión superficial de la tecnología UMC 90 nm para señal mixta y RF. Seguidamente se describe la metodología que se utiliza para realizar un diseño y finalmente se representa el flujo de diseño MS/RF y el kit de diseño.

4.1. Introducción

La compañía *United Microelectronics Corporation* (UMC) es una de las fundidoras de tecnologías en semiconductor líderes del sector [1]. Dicha compañía

ofrece modernas tecnologías para la fabricación de sofisticados diseños de sistemas *on-chip*.

UMC ha ofrecido productos personalizados para clientes basados en 90 nm desde el año 2003 y en la actualidad cuenta con una amplia gama de artículos que ocupan algunos de los sectores de mercado como son RF, banda-base, gráficos de alta velocidad, FPGA y SoC para WLAN en un solo *chip* (ver Figura 4.1). Para cada uno de ellos se dispone de diversas soluciones de diseño de dispositivos, como pueden ser los modelos de baja fuga (L90LL), de comportamiento estándar (L90SP) o de alta velocidad (L90G).

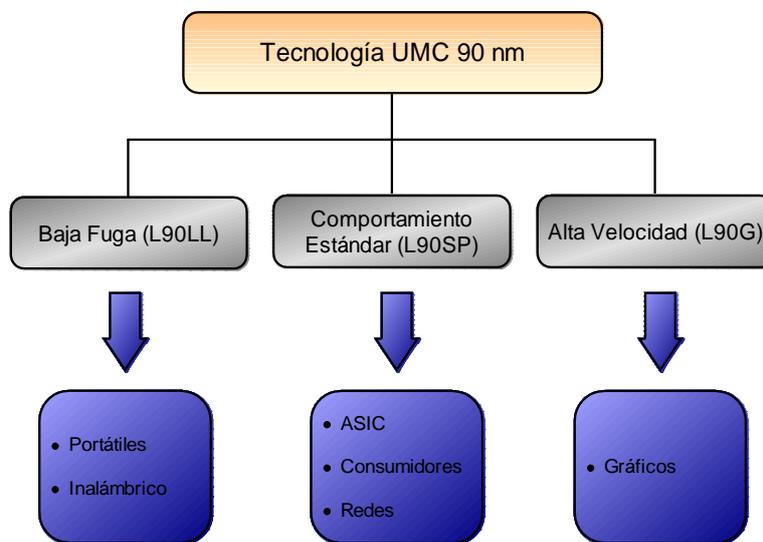


Figura 4.1 Gama de aplicaciones de la tecnología UMC 90 nm.

4.2. La tecnología UMC 90 nm para señal mixta y RF

Debido al gran número de dispositivos de comunicación portátiles y nuevas aplicaciones en el mercado, se ha fomentado el desarrollo de procesos avanzados de CMOS, tanto para señal mixta (MS) como para radiofrecuencia (RF). De esta forma, de entre las diversas soluciones tecnológicas que ofrece UMC, en el presente proyecto se ha elegido la tecnología de 90 nm en su modelo para señal mixta y RF (MS/RF), ya que ofrece grandes prestaciones con un coste no muy elevado.

El proceso permite disponer de dispositivos básicos, dispositivos de entrada/salida o para MS/RF tal como se aprecia en la Figura 4.2. Los dispositivos básicos pueden elegirse de entre elementos de baja fuga, de comportamiento estándar o de alta velocidad. Para los dispositivos de I/O se pueden trabajar con diferentes alimentaciones,

desde 1.8 V a 3.3 V. Los dispositivos MS/RF son los de interés en este proyecto, estando disponibles para aplicaciones de entre 1 V/2.5 V, teniendo una variedad de dispositivos como son los dispositivos de multi- V_t , transistores tanto bipolares como MOSFET, diodos, resistencias, condensadores metal-aislante-metal (MIM), condensadores metal-óxido-metal (MOM), condensadores NFET en un pozo N (NCAP), varactores, transformadores e inductores, disponiendo para este último del metal de la capa superior de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados.

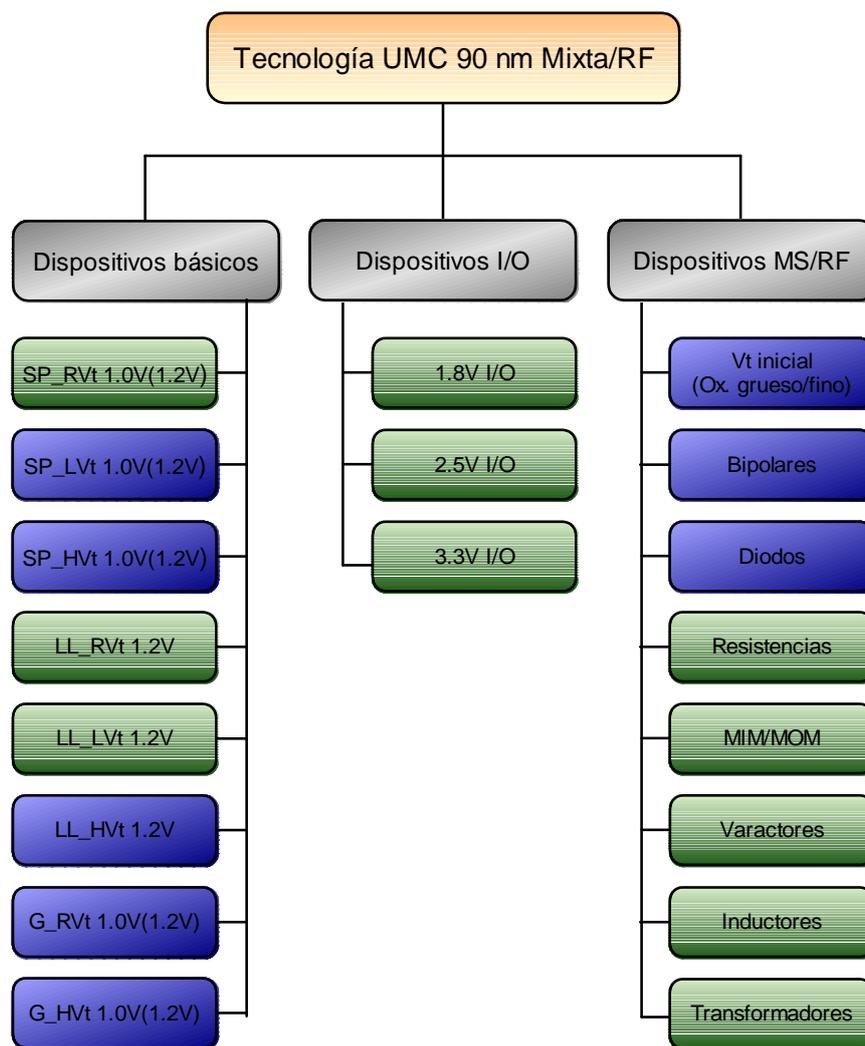


Figura 4.2 Dispositivos de la tecnología UMC 90 nm para señal mixta y RF.

La tecnología UMC 90 nm para señal mixta y RF consta de una capa de polisilicio y nueve capas de metal con baja constante dieléctrica (k) entre metales siendo la longitud de puerta mínima de 90 nm. La Figura 4.3 muestra la sección transversal de la tecnología UMC de 90 nm.

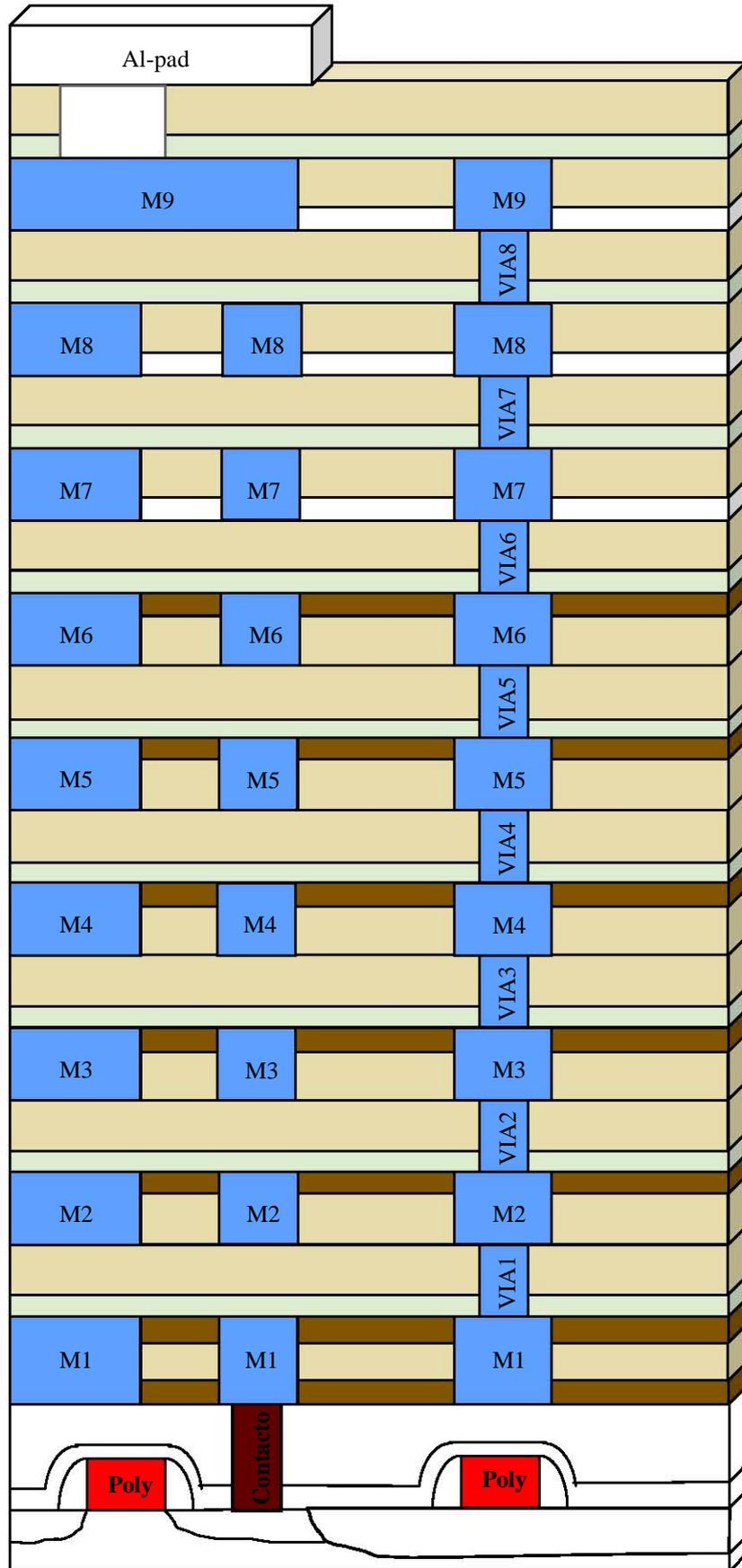


Figura 4.3 Sección transversal de la tecnología UMC 90 nm.

El kit de diseño de fundición de UMC 90 nm, ofrece 19 opciones diferentes de metal. Cada opción de metal define las capas del metal que se utilizan. La opción por defecto de metal es la opción 13, que utiliza 9 niveles de capas de metal (1P9M). La Tabla 4.1 resume los componentes de las capas presentes en la opción 13, que será la que se utilice en el proyecto.

Tabla 4.1 Opción 13 de UMC 90 nm

Opción	Número Total de niveles de capas	METAL1	Capa 1X METAL	Capa 2X METAL	Capa 4X30K METAL	Componentes de capas en las reglas de diseño
13	9	1	5	2	1	M1,V1,M2,V2, M3,V3,M4,V4, M5,V5,M6,V6, M7,MIM,V7, M8,V8,M9,L1, L2,L3

4.3. Metodología de diseño orientado a la fabricación

UMC ofrece soluciones óptimas para el diseño orientado a la fabricación (*Design For Manufacturability* o DFM) para abordar de forma eficaz y eficiente los factores que pueden afectar negativamente al rendimiento y al comportamiento en los diseños de tecnología avanzada. Las soluciones de UMC para DFM incluyen los modelos de proceso avanzado incorporados en SPICE y niveles de extracción para la predicción de las variaciones aleatorias y sistemáticas, los archivos de la tecnología, las bibliotecas compatibles con DFM e IP (*Intellectual Property*) que abarcan la complejidad del proceso de fabricación. Existen unas reglas concisas de recomendación en el DFM junto con un completo abanico de conjuntos de arranques de la tecnología para cumplir con una estrategia para diferentes requisitos de diseño.

La fundidora también ofrece corrección de proximidad óptica *pre-tapeout* (*Optical Proximity Correction* o OPC) y chequeo de reglas litográficas (*Litho Rule Check* o LRC) para diseños personalizados, además del servicio *post-tapeout* estándar

que incluye OPC, simulaciones del chequeo litográfico (*Check Litho Simulation* o LSC), relleno (*dummy fill*) y ranurado de metal.

En tecnologías de 65nm y por debajo, UMC ofrece un kit de diseño DFM (*Design Enablement Kit*) para apoyar sin problemas el modelo basado en herramientas para el DFM. El kit de diseño DFM ha incorporado un interfaz gráfico de usuario (*Graphic User Interface* o GUI) para la configuración de la base de datos del diseño DFM y se completa con notas de aplicaciones e informes de calidad para el diseño de referencia.

4.4. Flujo de diseño MS/RF y FDK

El kit de diseño de fábrica o *Foundry Design Kit* (FDK) proporciona a los diseñadores de IC un entorno de diseño automático. La Figura 4.4 muestra el flujo de diseño para señal mixta y RF. La metodología permite el acceso al diseño a nivel de esquemático y simulación, *layout* y verificación de *layout* con modelos precisos de dispositivos RF. En el interfaz, los componentes fundamentales en el proceso de MS/RF se implementan en entornos de diseño común y herramientas de simulación. El *back-end* incluye parametrizar las células obteniendo un diseño esquemático impulsado a proporcionar un flujo de diseño automático y completo. Las *call-back* también se proporcionan en el flujo de diseño para reducir al mínimo la entrada de datos.

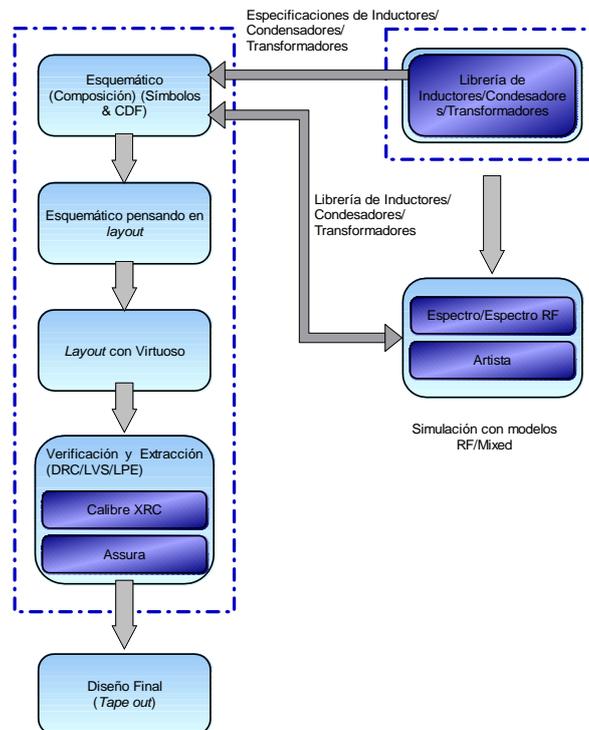


Figura 4.4 Esquema de diseño MS/RF y FDK.

En la Figura 4.5 se muestran las herramientas EDA que se soportan para realizar el flujo de diseño de los circuitos integrados. En ella se observa entre otras los *software* que se van a utilizar en el proyecto, como son ADS o *Cadence*. Además se observan el conjunto de paquetes necesarios en cada herramienta según el flujo de diseño que se esté realizando.

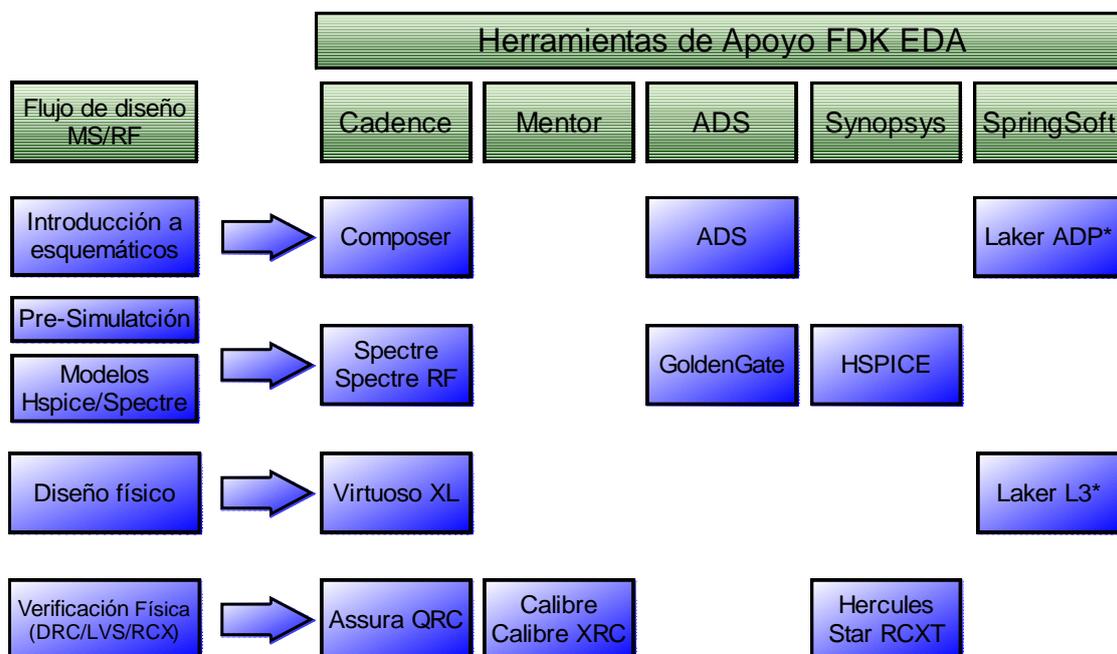


Figura 4.5 Metodología y herramientas de diseño.

4.5. Resumen

A lo largo de este capítulo se ha conseguido dar una visión algo más profunda de la tecnología CMOS de 90 nm suministrada por la empresa UMC. En el siguiente capítulo se procederá a la definición de la zona muerta, así como, también se explicarán detalladamente los diseños de los detectores de fase-frecuencia propuestos, y la solución que se plantea para la eliminación de dicha zona muerta.

Capítulo 5

Diseño de PFDs, CP y solución a la Zona Muerta

En este capítulo, primeramente se introducirá el concepto de zona muerta para entrar en detalle de lo que se pretende en este proyecto. Acto seguido se expondrán detalladamente dos diseños de PFD con topologías de circuitos diferentes y posteriormente se implementará una bomba de carga para finalmente unirla a los diferentes PFD y comparar los resultados. El estudio y simulación de los bloques se realizará con la herramienta ADS [2]. El diseño de los bloques se realizará con la herramienta *Cadence* [3] utilizando la tecnología CMOS de 90 nm de UMC.

5.1. La zona muerta en el PLL

La zona muerta o distorsión de cruce del PLL es la región donde las corrientes de carga no pueden fluir en proporción al error de fase, esto sucede cuando el error de fase es pequeño [12]. La razón principal del problema de zona muerta es el tiempo de retardo

de los componentes internos del biestable y el tiempo que necesitan las puertas lógicas para resetear ambos biestables.

A continuación, en la Figura 5.1 se muestra el problema de la zona muerta. Cuando las señales de reloj se encuentran muy cerca una de la otra (error de fase pequeño) debido al tiempo de retardo de la señal de RESET de los biestables, las señales UP y DOWN no serán capaces de cargar, y por lo tanto se perderá esta pequeña diferencia en la señal de salida, falseando la señal.

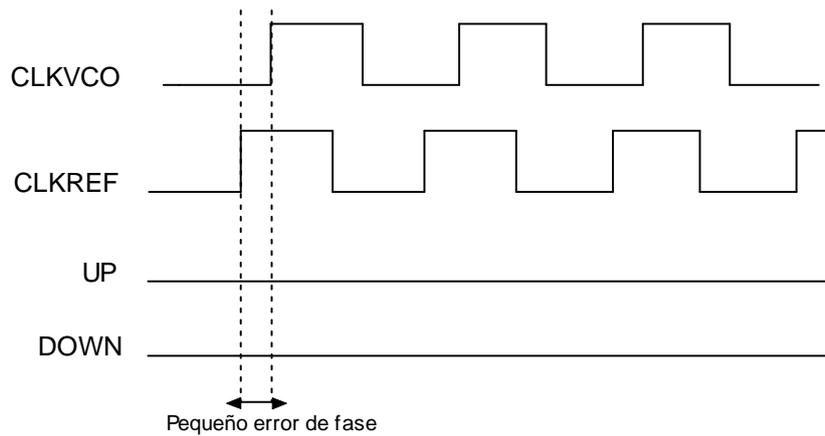


Figura 5.1 Zona muerta.

En la Figura 5.2 se muestra la tensión de salida con respecto al error de fase medido en el PFD. En la Figura 5.2 a) se ilustra la presencia de una zona muerta, alrededor de 0° , mientras que en la Figura 5.2 b) se ilustra el funcionamiento de un PFD sin zona muerta. Podemos comprobar que la zona muerta en la relación de los PFD puede ser no lineal entorno a cero. Esto se debe a la incapacidad para detectar el error de fase en esta región. La técnica convencional para solucionar el problema de la zona muerta es hacer que el retardo en el *path* de RESET del PFD sea más largo que el tiempo de conmutación de las corrientes de la bomba de carga. Este tiempo de conmutación de las corrientes de la bomba de carga depende de las corrientes de la misma, la capacidad de carga de los conmutadores MOS de la CP, y la capacidad de conducción del *buffer*.

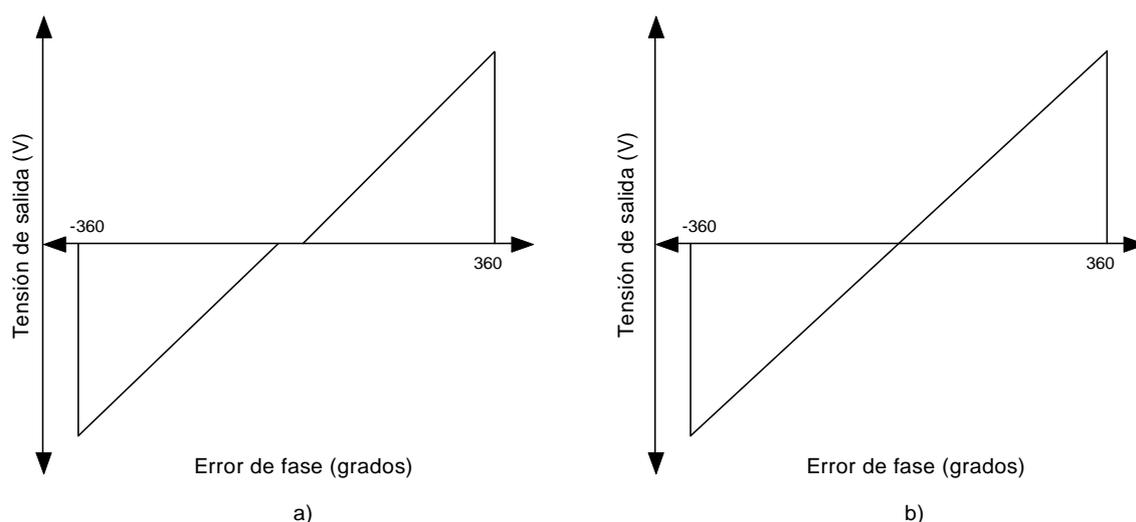


Figura 5.2 Respuesta del error de fase frente a la tensión de salida en un PFD; a) con zona muerta, y b) sin zona muerta.

5.2. Diseño de los PFD

Se ha trabajado en dos diseños con dos topologías de circuitos diferentes basadas en puertas lógicas. Para diseñarlos se ha fijado una frecuencia de trabajo de 40 MHz y se ha trabajado con la tecnología CMOS de 90 nm de UMC. Posteriormente se realizará una bomba de carga y finalmente se unirá con cada PFD comparando los resultados.

5.2.1. PFD I

Este primer diseño es una estructura convencional de PFD. El esquema completo de la estructura utilizada para la implementación de este circuito se muestra en la Figura 5.3, éste consta de inversores, puertas NAND de dos, tres y cuatro entradas y básculas RS realizadas con puertas NAND de dos entradas. Con esta estructura disponemos de dos salidas que no están activas simultáneamente. Si la entrada es diferente a la de referencia actúa una salida u otra. Cuando alcanzamos el equilibrio y son iguales, las salidas estarán inactivas permaneciendo en estado alto.

Al tener básculas RS, la característica de transferencia de este comparador es independiente de las relaciones cíclicas de las señales de entrada, pues los estados de salida de la báscula cambian con las transiciones de la entrada. Ésta es una característica que nos interesa.

La función de transferencia de este comparador es lineal, entre -2π y $+2\pi$, debido a que entre -2π y 0 actúa la salida DOWN, y entre 0 y $+2\pi$ la salida UP.

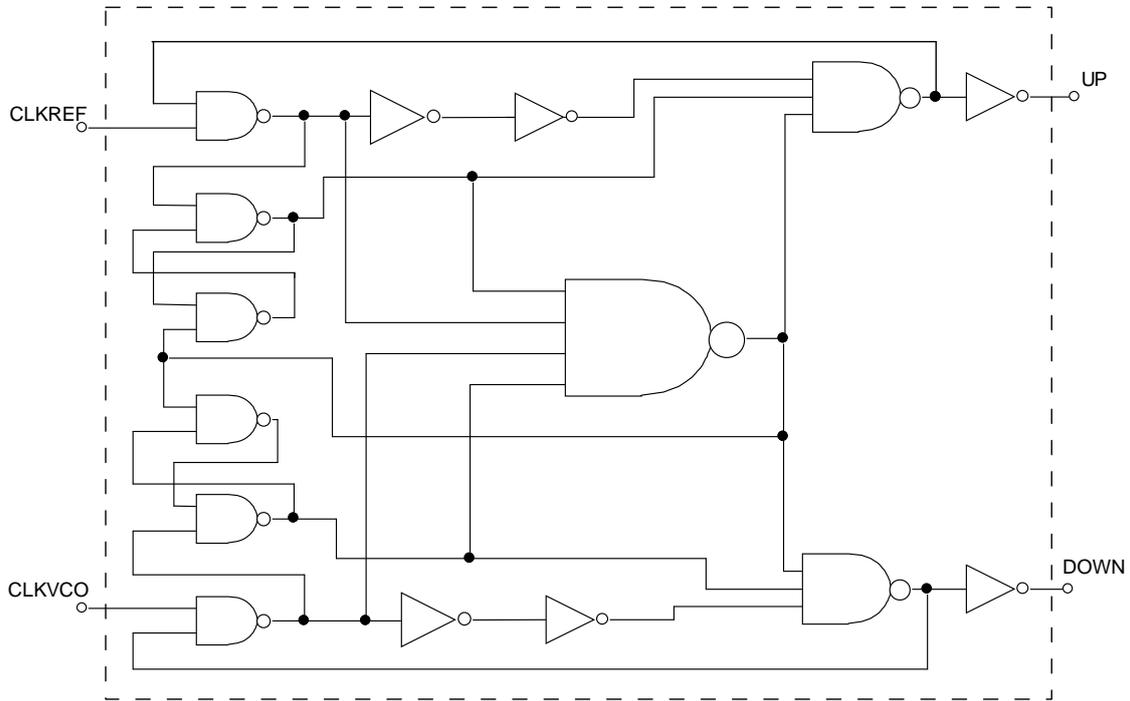


Figura 5.3 Diagrama de bloques del PFD I.

A continuación de la Figura 5.4 a la Figura 5.7 se muestran los esquemáticos de las diferentes puertas utilizadas para este diseño, como son, el inversor y las puertas NAND2, NAND3 y NAND4.

Para optimizar el detector de forma que la respuesta sea lo más lineal posible y que las señales de salida cambien rápida y correctamente, se han variado las relaciones de aspecto de los transistores quedando como muestra la Tabla 5.1.

Tabla 5.1 Dimensiones finales de los transistores MOSFET utilizados en el diseño de las puertas lógicas que conforman el PFD I

Dimensiones de los transistores	Medidas
Ancho del MOSFET tipo N	5 μm
Longitud puerta del MOSFET tipo N	350 nm
Ancho del MOSFET tipo P	10 μm
Longitud puerta del MOSFET tipo P	350 nm

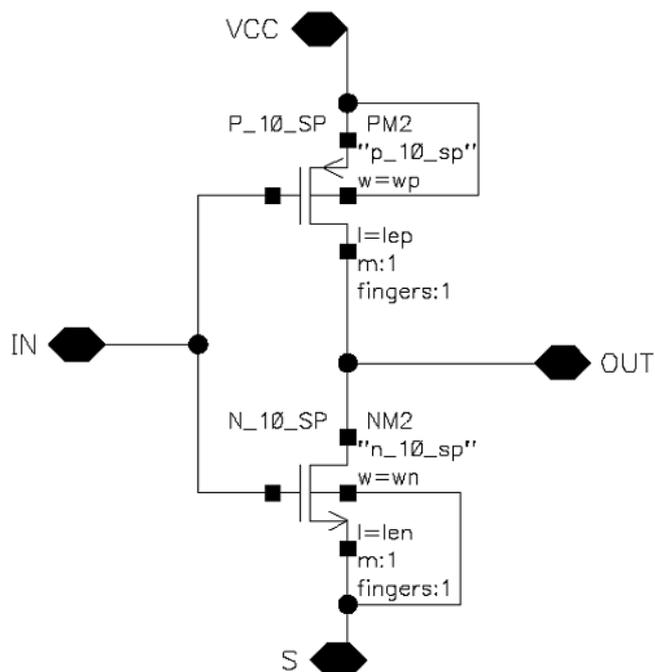


Figura 5.4 Esquemático del inversor.

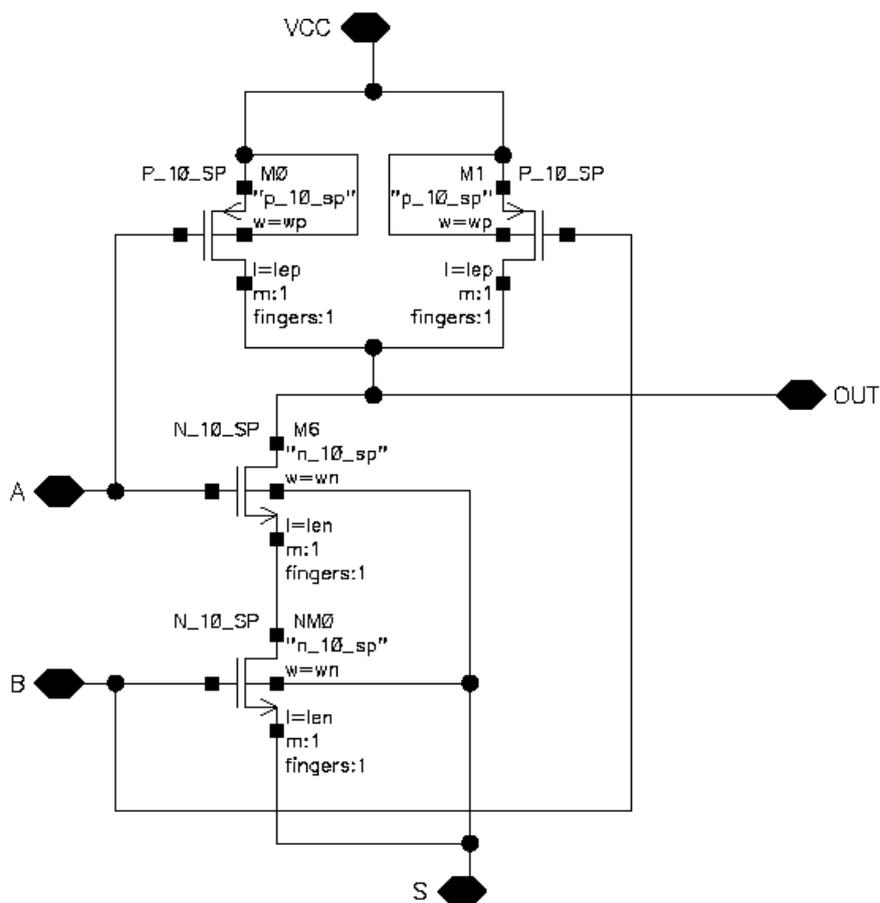


Figura 5.5 Esquemático de la NAND2.

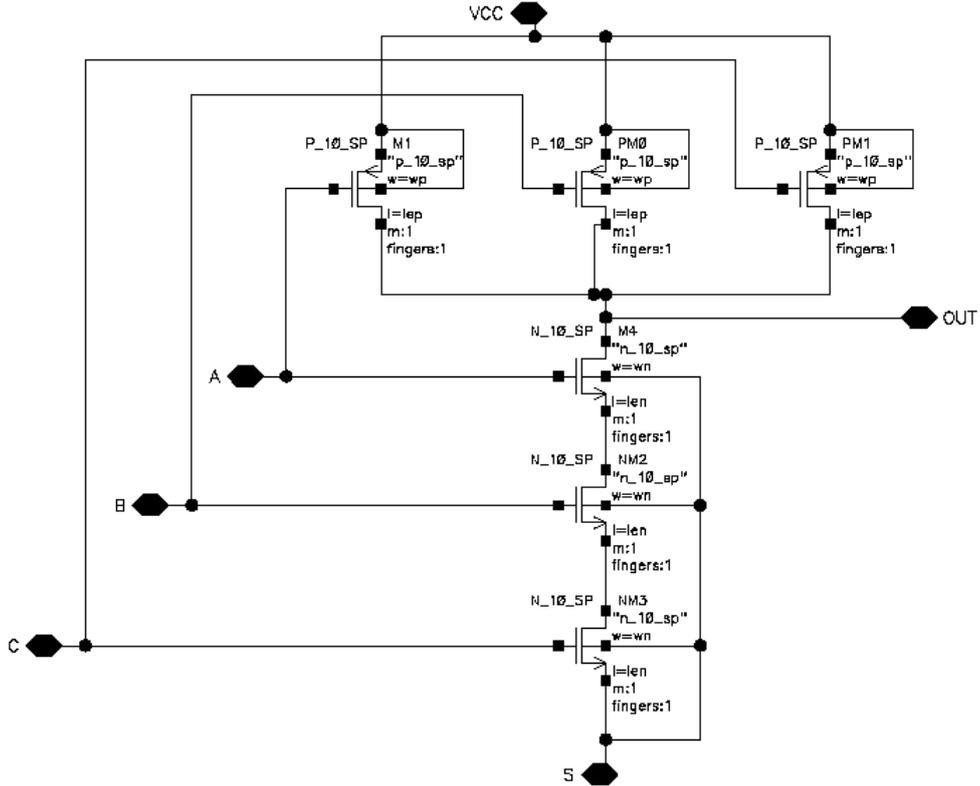


Figura 5.6 Esquemático de la NAND3.

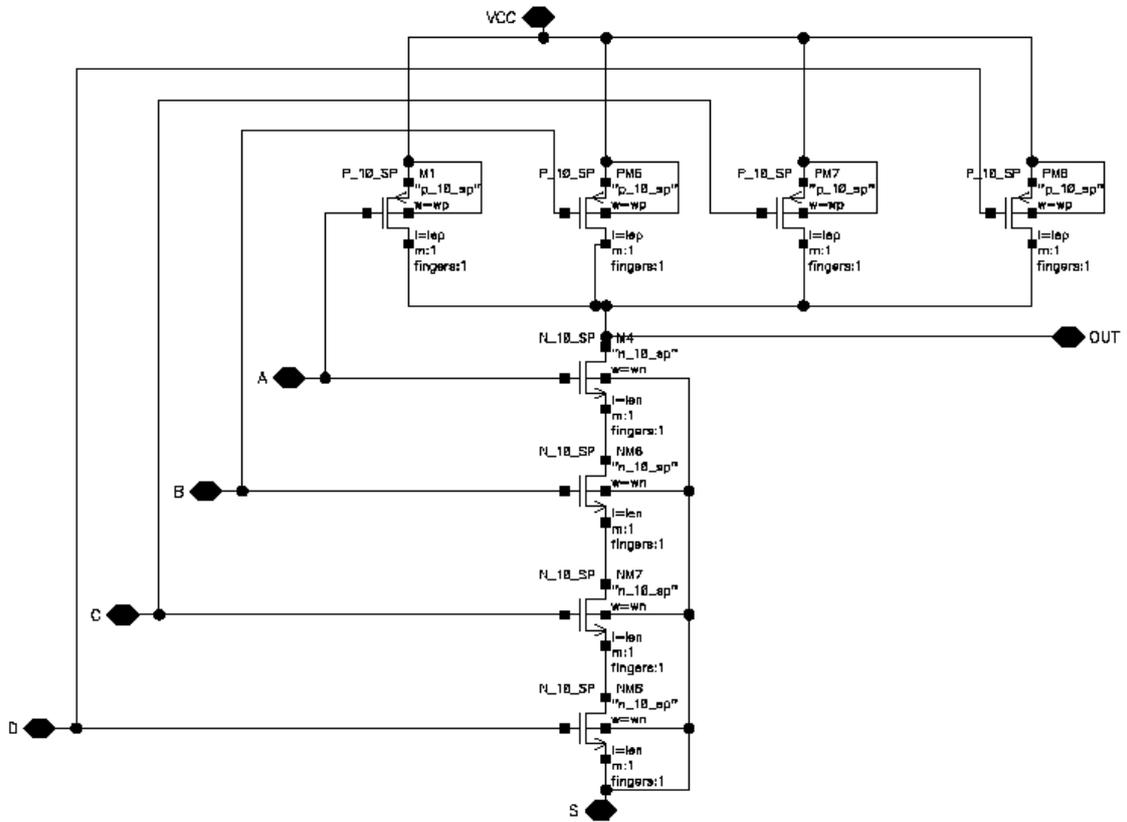


Figura 5.7 Esquemático de la NAND4.

En la Figura 5.8 se muestra el esquema de simulación en ADS del PFD I estudiado para comprobar su funcionamiento. Las entradas son periódicas y de frecuencias iguales (40 MHz), donde a una de las entradas se le ha realizado un barrido de fase para poder desplazarla respecto a la otra y observar los distintos desfases entre las entradas.

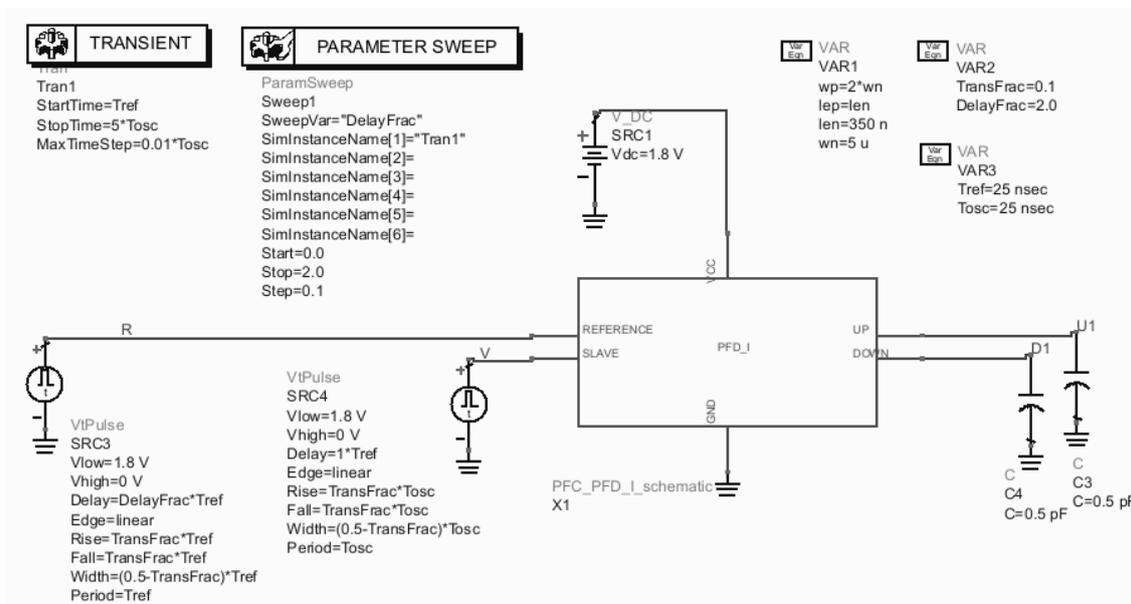


Figura 5.8 Test del PFD I.

En la Figura 5.9 podemos observar las simulaciones del PFD I. A la entrada tenemos dos señales rectangulares de frecuencias idénticas y de relaciones cíclicas idénticas. Vemos que cuando la entrada proveniente del VCO (V), está retrasada frente a la señal de referencia (R), tenemos un pulso del ancho de la diferencia de fases entre ambas señales, en la salida UP (U1). En el caso contrario, cuando la señal V está adelantada, el pulso se obtendría en la señal DOWN (D1), tal y como se muestra en la Figura 5.10. Si las señales no se encontraran desfasadas no tendríamos un pulso en ninguna de ellas encontrándose ambas a nivel bajo, Figura 5.11. En la Figura 5.12 se representa tanto la respuesta del detector de fase como el valor de la ganancia del detector de fase (K_d), siendo éste de 0,905 V/rad.

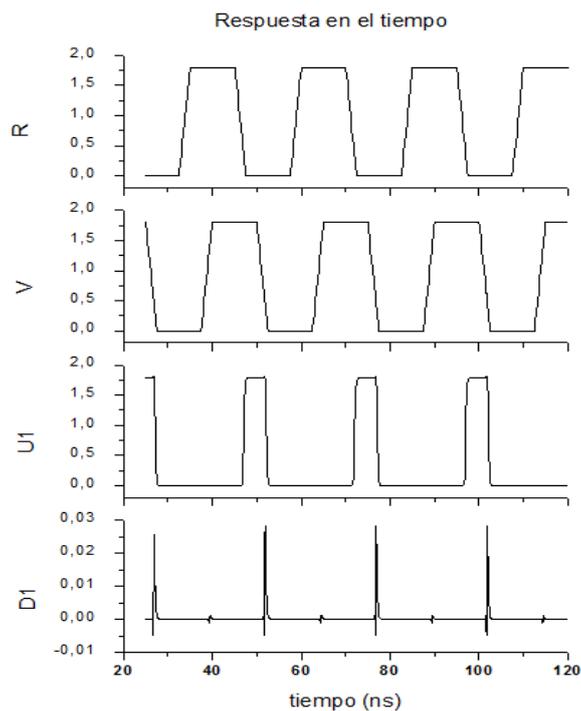


Figura 5.9 Simulación de la respuesta del PFD I, señal V retrasada respecto a R.

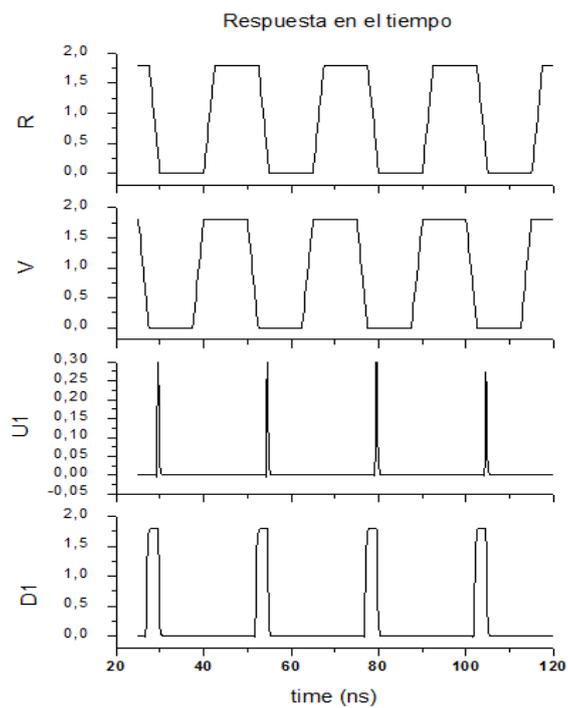


Figura 5.10 Simulación de la respuesta del PFD I, señal V adelantada respecto a R.

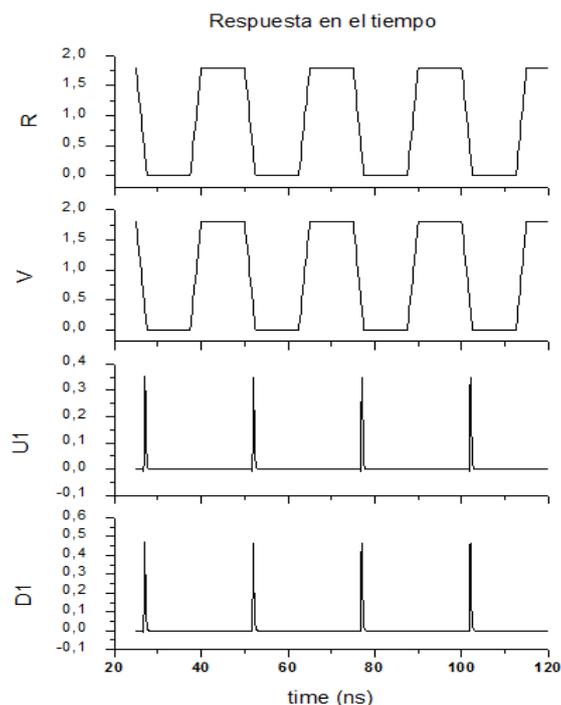


Figura 5.11 Simulación de la respuesta del PFD I, señal V en fase con R.

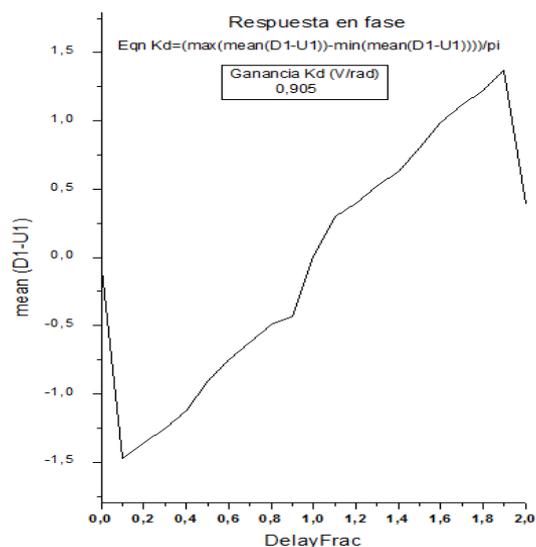


Figura 5.12 Simulación de la respuesta en fase y ganancia del PFD I.

5.2.2. PFD II

El segundo comparador de fase-frecuencia que vamos a estudiar consta de dos biestables tipo D, realizados con puertas lógicas NOR de dos entradas, y una puerta AND de dos entradas tal y como se muestra en la Figura 5.13. Con esta estructura, disponemos de dos salidas que no están activas simultáneamente. Cuando una de las entradas de reloj cambia a nivel alto, el biestable se carga y cambia la salida a nivel alto.

La puerta AND previene que ambos biestables estén a la vez a nivel alto. Como podemos ver, las entradas de la AND son las señales de salida del PFD (UP y DOWN) provenientes de ambos biestables. Tan pronto como las dos salidas (UP y DOWN) estén a nivel alto, la puerta AND generará una señal a nivel alto que se aplicará al RESET de los biestables y hará restablecer ambos biestables para evitar, como ya hemos dicho anteriormente, que ambos estén a nivel alto.

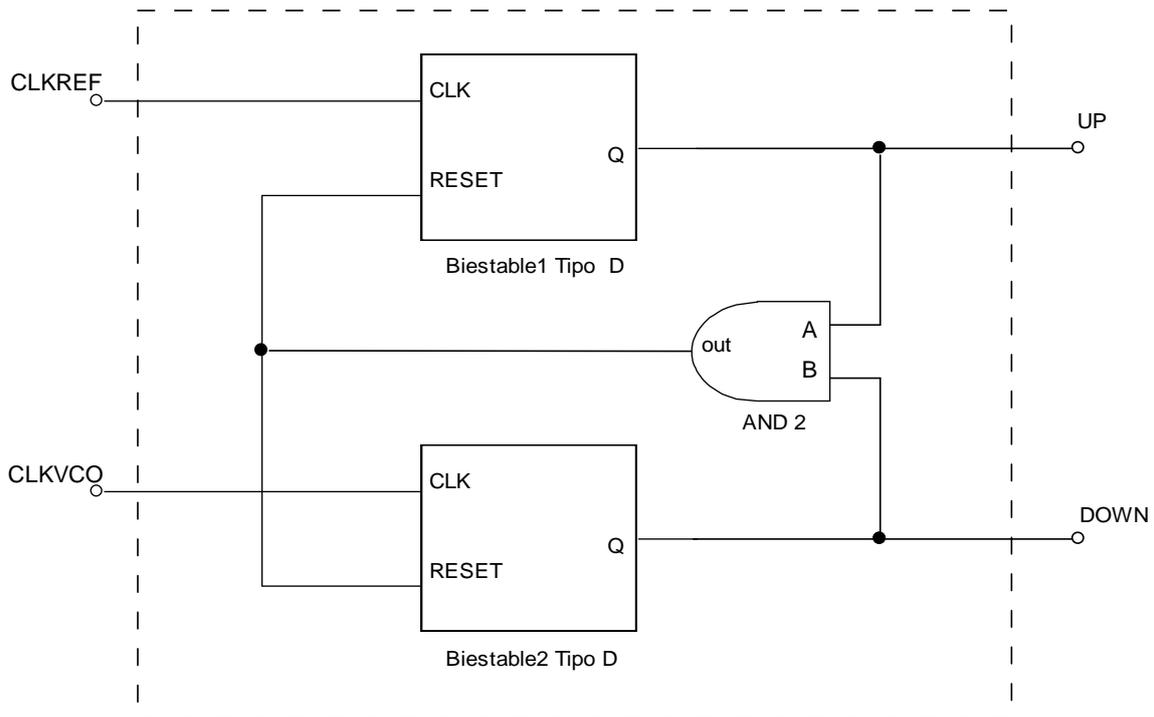


Figura 5.13 Diagrama de bloques del PFD II.

En la Figura 5.14, podemos ver la transición de las señales del PFD. Una vez que la señal de referencia (CLKREF) cambie a nivel alto, se cargará el biestable 1 provocando el cambio en la señal UP a nivel alto. Cuando la señal proveniente del VCO (CLKVCO) cambie a nivel alto, dará como resultado el cambio en la señal DOWN de nivel bajo a nivel alto, esto producirá que ambas salidas se encuentren a nivel alto, lo que provocará que la puerta AND restaure la señal y active la entrada RESET de ambos biestables poniéndolos a nivel bajo.

De igual manera pasaría si primero cambia la señal CLKVCO de nivel bajo a nivel alto y luego la señal CLKREF de nivel bajo a nivel alto. De igual forma cuando ambas salidas, UP y DOWN, se encuentran a nivel alto, esto provocará que la puerta AND active la entrada RESET de ambos biestables poniéndolos a nivel bajo.

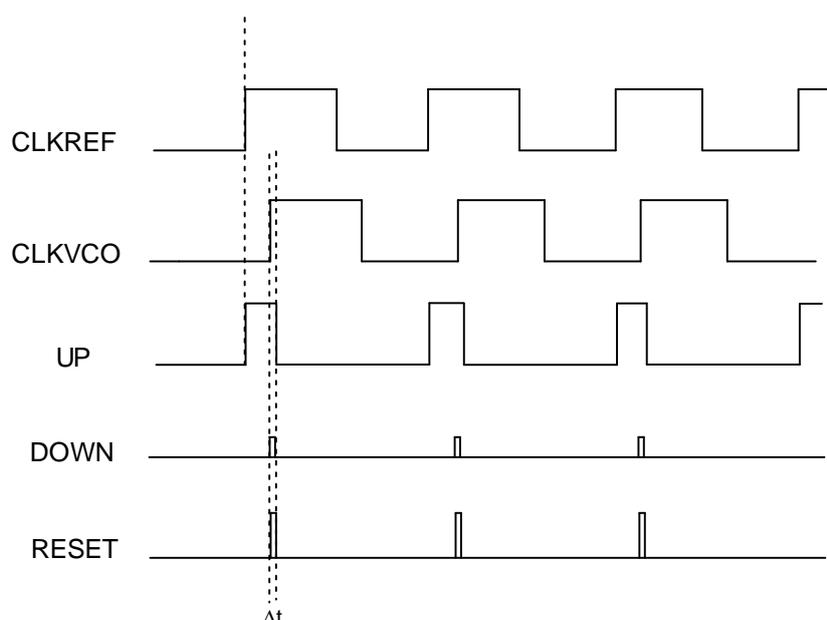


Figura 5.14 Transición de las señales del PFD II.

El esquema del biestable tipo D y de las puertas utilizadas para la implementación del PFD II, se muestra desde la Figura 5.15 a la Figura 5.17.

En el diseño se ha optimizado el detector para una respuesta lo más lineal posible y que las señales de salida cambien rápida y correctamente. Las relaciones de aspecto finales de los transistores se muestran en la Tabla 5.2.

Tabla 5.2 Dimensiones finales de los transistores MOSFET utilizados en el diseño de las puertas lógicas NOR2 y AND2 que conforman el PFD II

Dimensiones de los transistores	Medidas
Ancho del MOSFET tipo N	20 μm
Longitud puerta del MOSFET tipo N	90 nm
Ancho del MOSFET tipo P	40 μm
Longitud puerta del MOSFET tipo P	90 nm

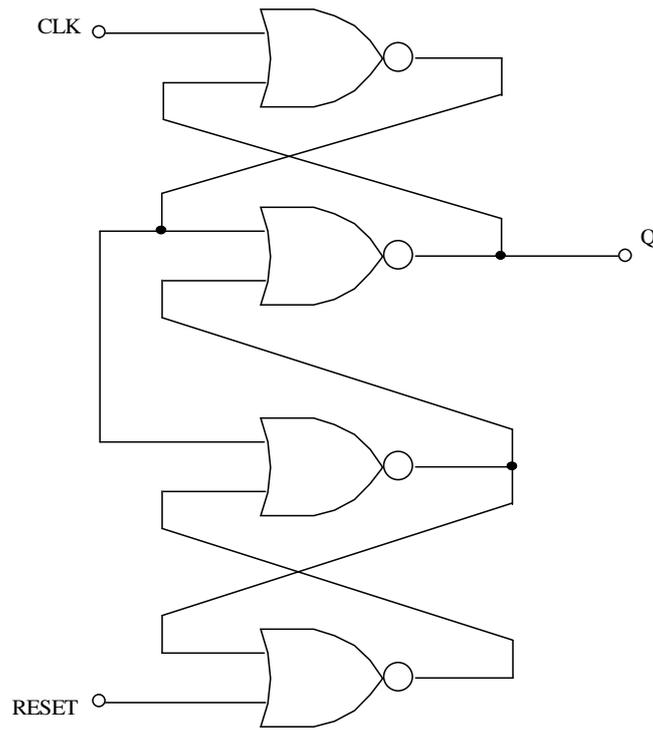


Figura 5.15 Diagrama de bloques del biestable tipo D.

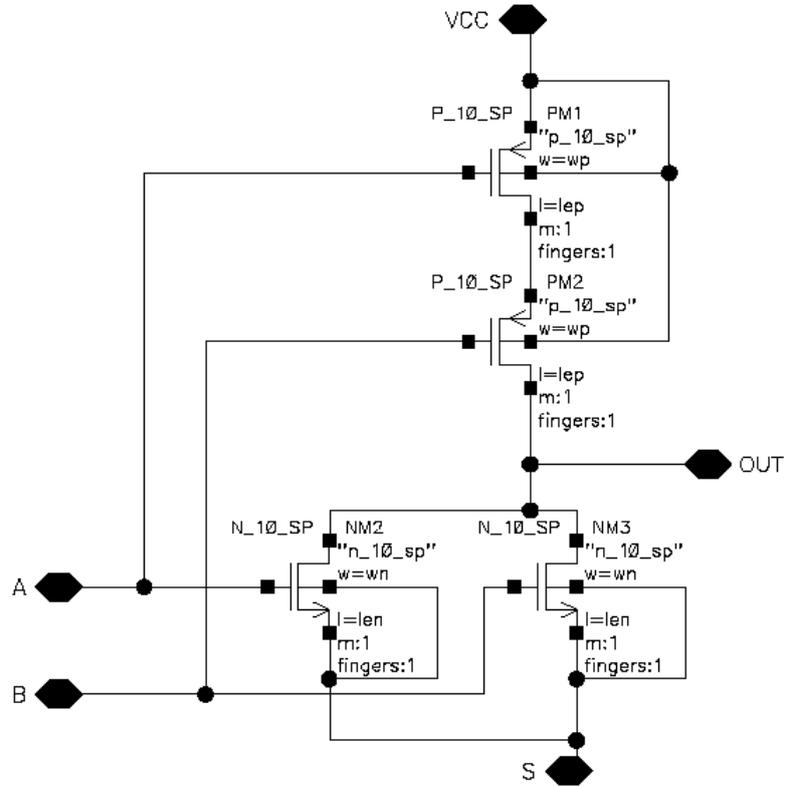


Figura 5.16 Esquemático de la NOR2.

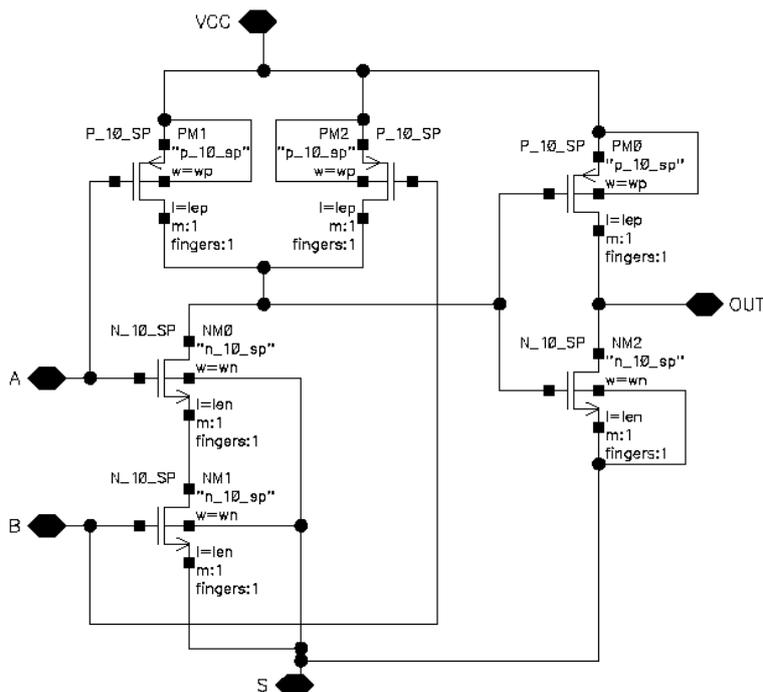


Figura 5.17 Esquemático de la AND2.

A continuación, en la Figura 5.18 se muestra el esquema de simulación realizado con la herramienta de diseño ADS del PFD II para comprobar su funcionamiento. Las entradas del PFD son periódicas y de la misma frecuencia, donde a una de las entradas se le ha realizado un barrido de fase para poder desplazarla respecto a la otra señal y observar los distintos desfases entre las entradas.

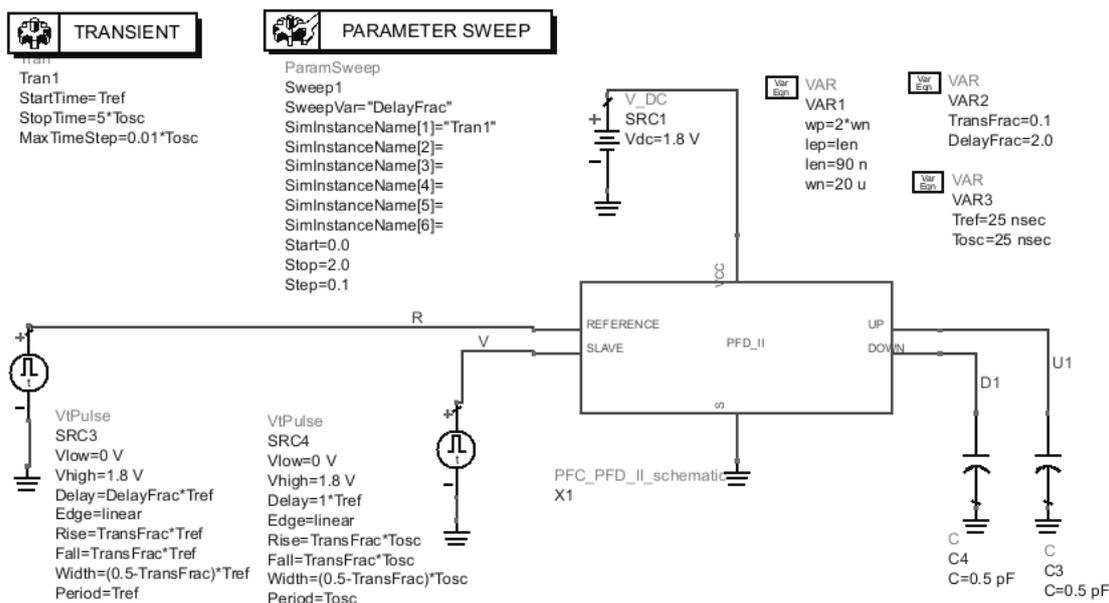


Figura 5.18 Test de PFD II.

De la Figura 5.19 a la Figura 5.22 podemos observar las simulaciones del PFD II. En la Figura 5.19 vemos que cuando la entrada proveniente del VCO (V), está retrasada frente a la señal de referencia (R), tenemos un pulso del ancho de la diferencia de fase entre ambas señales, en la salida U1 (UP). En el caso contrario, el pulso se obtendría en la señal D1 (DOWN), tal y como se muestra en la Figura 5.20. Si las señales no se encontraran desfasadas no tendríamos un pulso en ninguna de ellas encontrándose ambas a nivel bajo, (ver Figura 5.21). En la Figura 5.22 se representa la respuesta del detector de fase, así como la ganancia (K_d), siendo ésta de 0,837 V/rad.

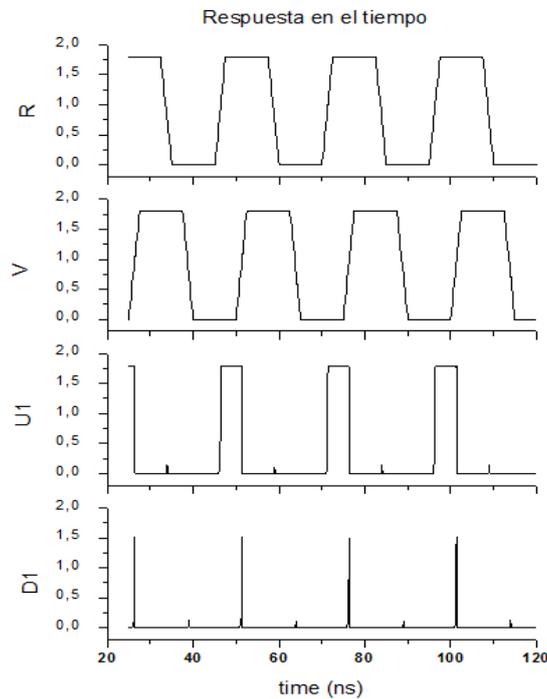


Figura 5.19 Simulación de la respuesta del PFD II, señal V retrasada respecto a R.

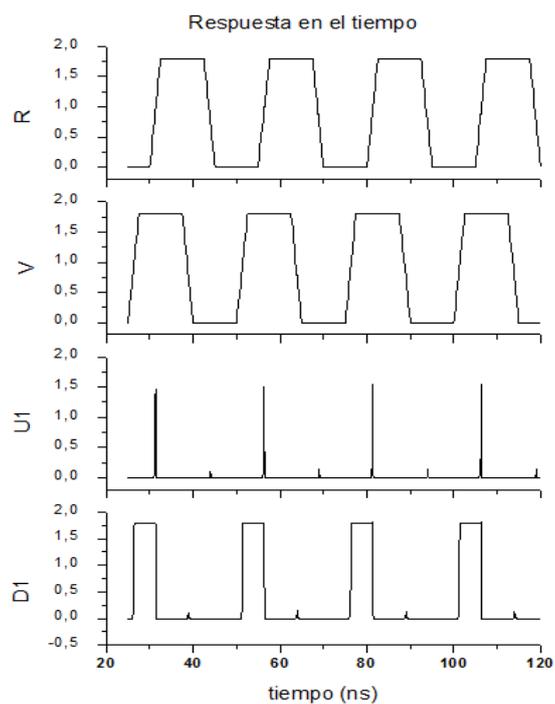


Figura 5.20 Simulación de la respuesta del PFD II, señal V adelantada respecto a R.

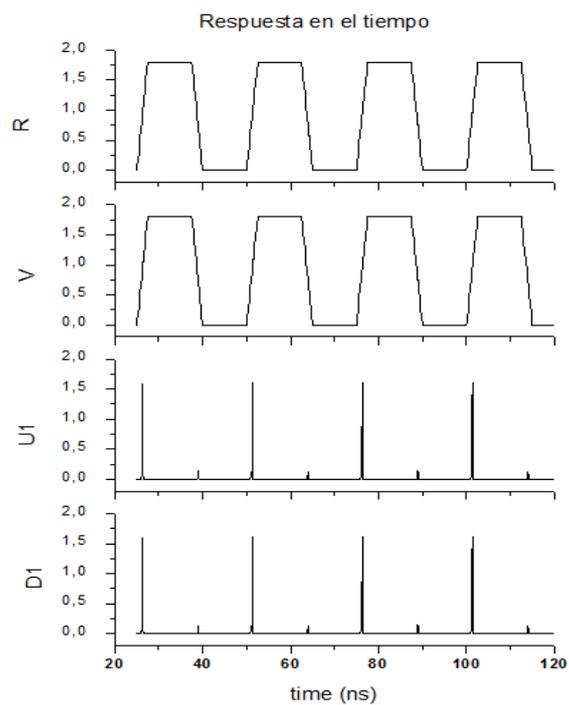


Figura 5.21 Simulación de la respuesta del PFD II, señal V en fase con R.

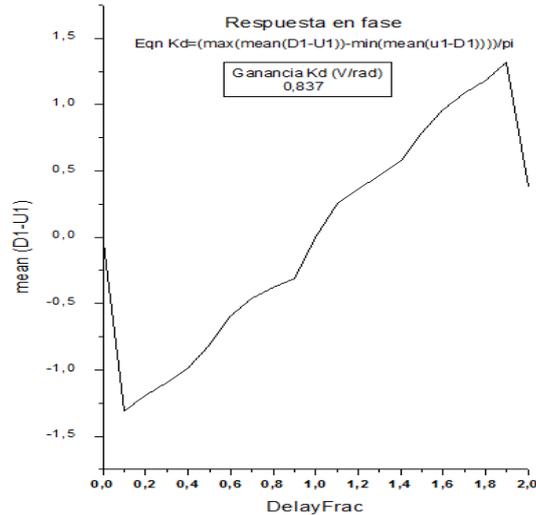


Figura 5.22 Simulación de la respuesta en fase y la ganancia del PFD II.

5.3. Diseño de la bomba de carga (CP)

La bomba de carga consiste en una pareja de fuentes de corriente con interruptores manejando la carga de un condensador. Ésta proporciona una ganancia para una diferencia de fase en la entrada del dispositivo. Cuando los pulsos se inyectan por la entrada UP, la fuente de corriente introducirá corriente en la carga de salida y la tensión de la salida de la CP se incrementará. Si por el contrario los pulsos vienen desde la entrada DOWN, la carga del condensador fluirá a tierra. La Figura 5.23 representa el esquemático de la bomba de carga.

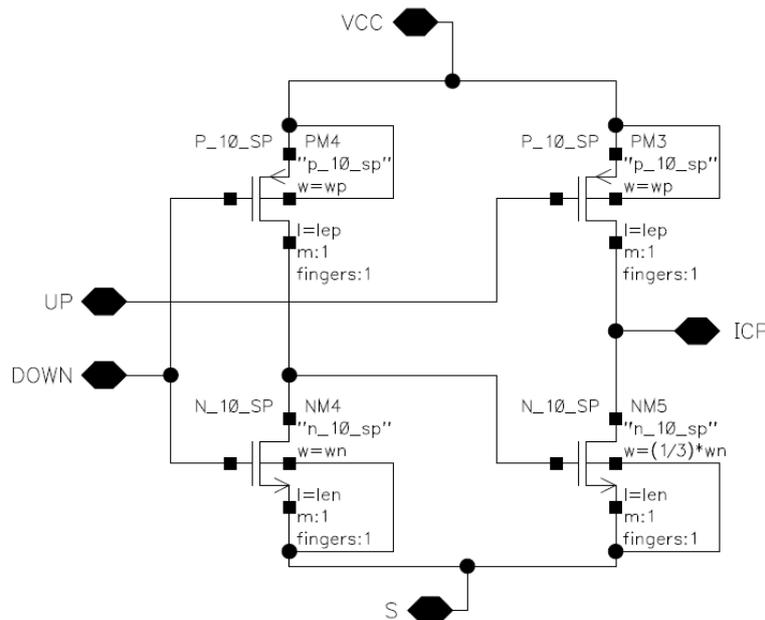


Figura 5.23 Esquemático de la bomba de carga.

A la hora de diseñar la CP, se dimensionan los transistores para obtener un valor específico de corriente de salida. En nuestro caso no se tienen especificaciones para esta corriente por lo que se decide en un principio que sea de 800 μA . Con las dimensiones de los transistores de la Tabla 5.3 obtenemos la corriente de salida que deseamos, aproximadamente de 800 μA . El transistor tipo P de salida (PM3) tiene un ancho de 1,9 μm , dimensionado para suministrar +800 μA . El transistor tipo N de salida (NM5) tiene una relación aproximada de (1/3) sobre el ancho del transistor tipo P de salida (PM3) para obtener -800 μA y conseguir finalmente equilibrar los 800 μA positivos y los 800 μA negativos.

Tabla 5.3 Dimensiones finales de los transistores MOSFET utilizados en el diseño de la bomba de carga

Dimensiones	Medidas
Ancho del MOSFET PM4, NM4	2 μm
Longitud puerta del MOSFET PM4,NM4	90 nm
Ancho del MOSFET PM3	1,9 μm
Longitud puerta del MOSFET PM3	90 nm
Ancho del MOSFET NM5	670 nm
Longitud puerta del MOSFET NM5	90 nm

5.4.Unión del PFD y la CP

Una vez comprobadas las partes implicadas, se dispone a realizar un test de funcionamiento de los detectores de fase-frecuencia y la bomba de carga de forma conjunta.

5.4.1. PFD I y CP

En la Figura 5.24 se observa el test de funcionamiento del PFD I y la CP. Se ha realizado un barrido de desplazamiento de la señal de entrada V frente a la señal de entrada R .

Como se puede observar, a la salida de la CP se han añadido unos convertidores (corriente-tensión y tensión-tensión) además de un par de comparadores para poder estudiar la zona muerta. La función de cada bloque es la siguiente: a la salida de la bomba de carga hemos colocado un convertidor de corriente-tensión para poder trabajar

con las señales en tensión. Seguidamente, se han añadido dos comparadores, que funcionan como filtros para eliminar los picos existentes en la señal de corriente y evitar de esta manera que la señal pueda ser falseada. Por último, se han incorporado dos convertidores de tensión-tensión con una ganancia determinada (0,00075 y 0,0008 para la estructura I) con el fin de centrar las señales a 0 V y obtener la corriente deseada, fijada en nuestro caso a 800 μA , en forma de tensión.

Desde la Figura 5.25 hasta la Figura 5.28, se muestran los resultados obtenidos en las simulaciones del PFD I y la CP. Así, la Figura 5.28 a) representa la respuesta en fase del circuito y en la Figura 5.28 b) se puede ver como se ha realizado un *zoom* en torno a 0° donde se puede observar claramente la zona muerta de la estructura del PFD I. Este es el momento en que las señales de entrada están próximas a estar en fase y existe una pequeña región en la que las corrientes de carga no pueden influir en proporción al error de fase, provocando la zona muerta.

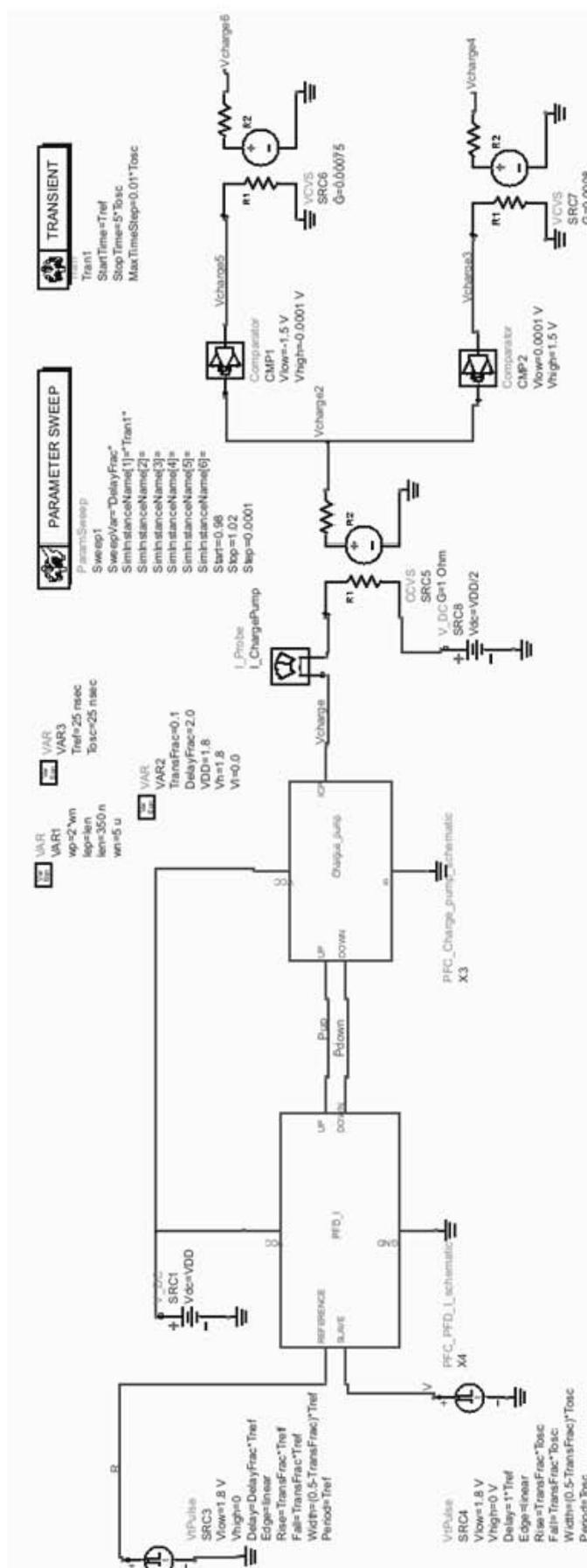


Figura 5.24 Test del PFD I y la CP.

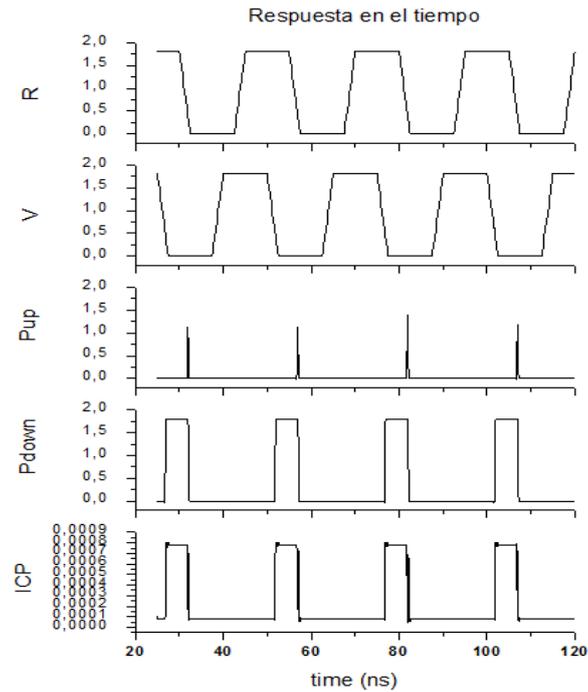


Figura 5.25 Simulación de la respuesta del PFD I y la CP, señal V adelantada respecto a R.

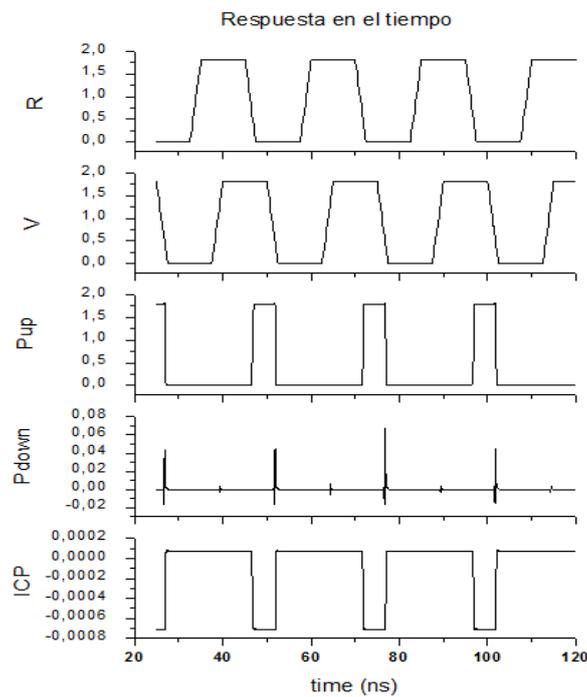


Figura 5.26 Simulación de la respuesta del PFD I y la CP, señal V retrasada respecto a R.

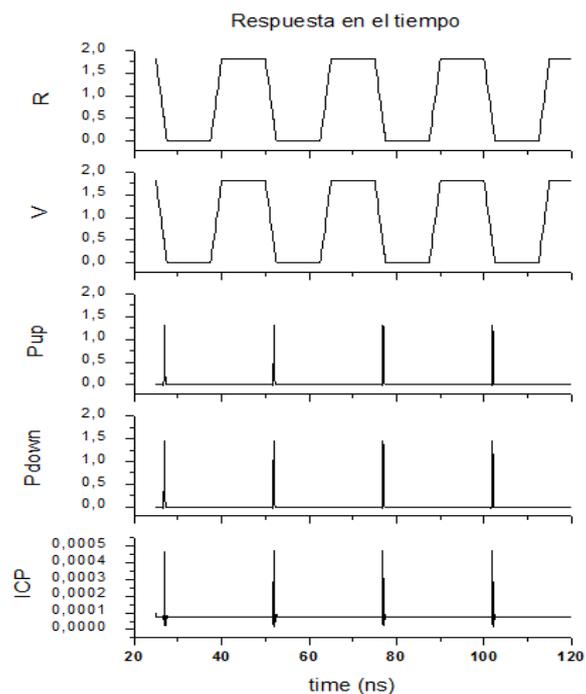


Figura 5.27 Simulación de la respuesta del PFD I y la CP, señal V en fase con R.

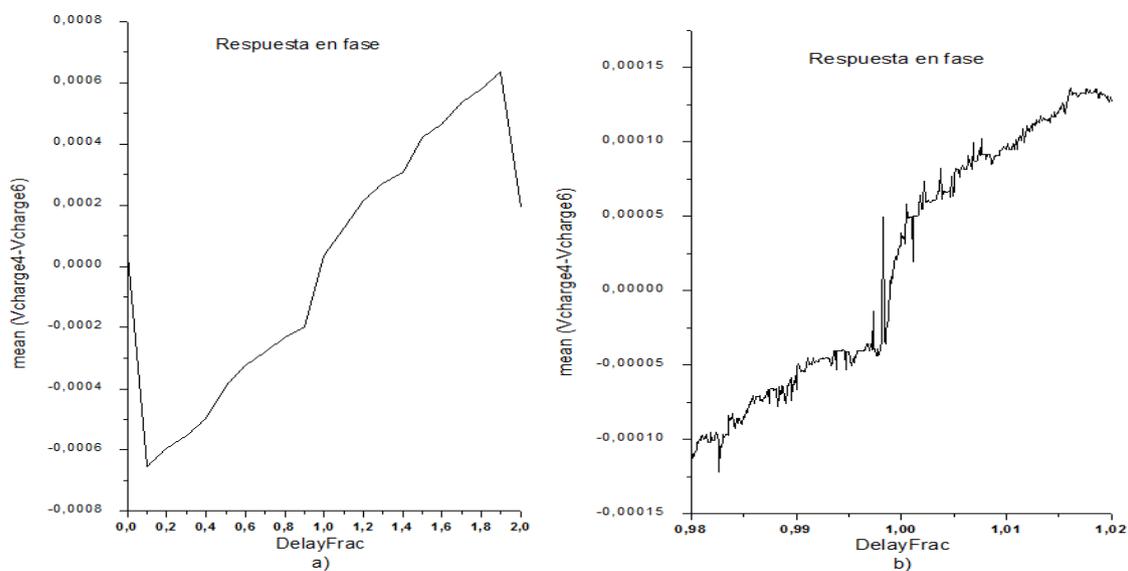


Figura 5.28 Simulación de la respuesta en fase del PFD I y la CP; a) entre -2π y $+2\pi$, y b) próximo a 0° .

5.4.2. PFD II y CP

En la Figura 5.29 se observa el test de funcionamiento del PFD II y la CP. Al igual que con la estructura anterior se ha realizado un barrido de desplazamiento de la señal de entrada V frente a la señal de entrada R.

Para poder estudiar la zona muerta, se han insertado unos convertidores (corriente-tensión y tensión-tensión) además de un par de comparadores tal y como hicimos para el PFD I.

Cabe destacar que la única diferencia en el estudio de la zona muerta es que las ganancias en los convertidores de tensión-tensión que se han incorporado en esta estructura son de 0,000915 y 0,00102 para la estructura II con el fin de centrar las señales a 0 V y así obtener la corriente deseada, fijada en este caso a 800 μ A.

Desde la Figura 5.30 hasta la Figura 5.33, se muestran los resultados obtenidos en las simulaciones del PFD II con las mismas condiciones. En la Figura 5.33 b) Se puede observar con mayor claridad la zona muerta de la estructura del PFD II.

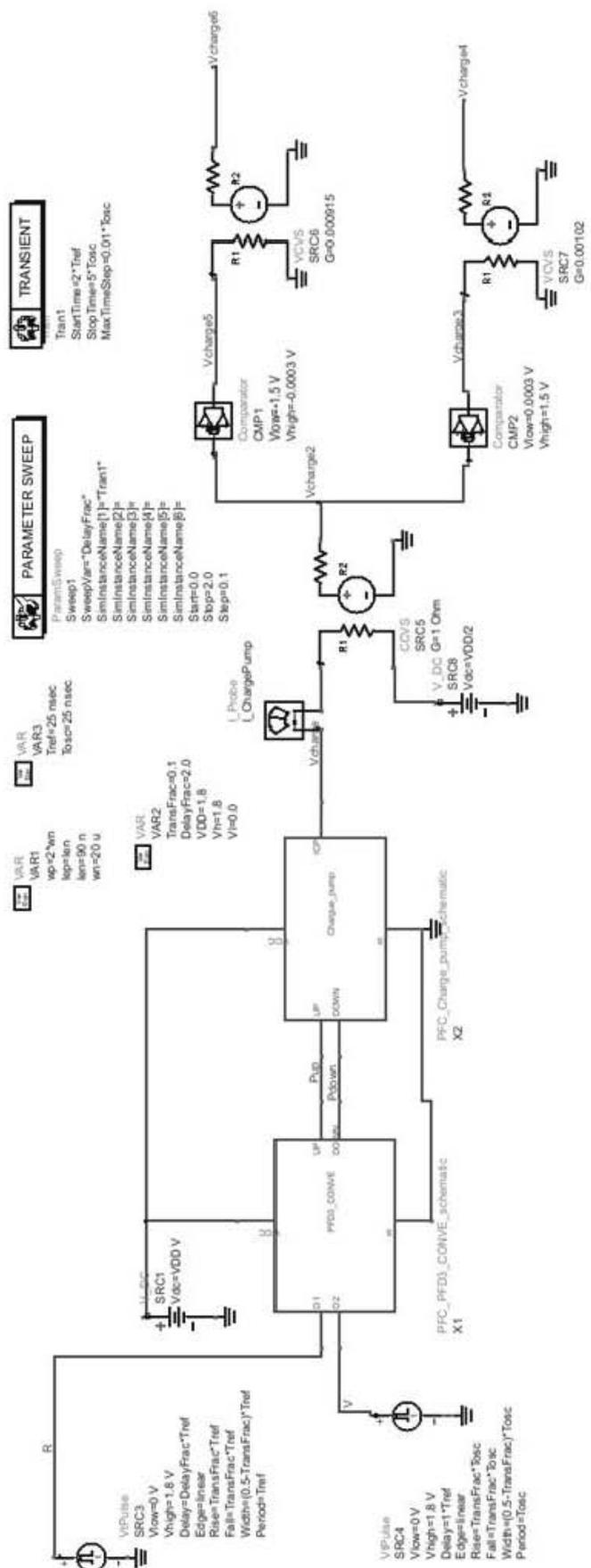


Figura 5.29 Test de PFD II con CP.

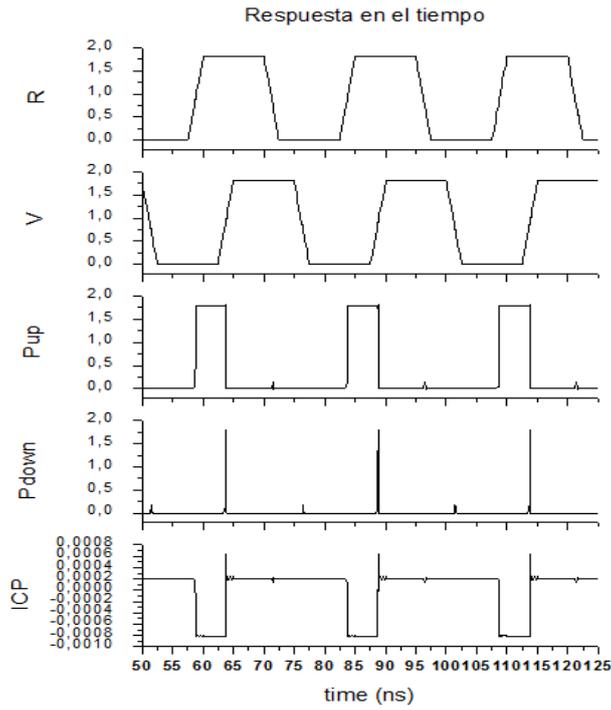


Figura 5.30 Simulación de la respuesta del PFD II y la CP, señal V retrasada respecto a R.

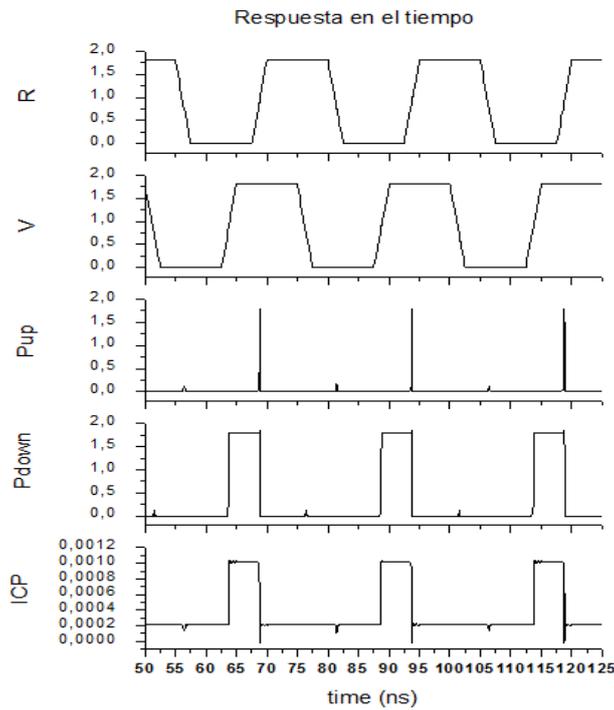


Figura 5.31 Simulación de la respuesta del PFD II y la CP, señal V adelantada respecto a R.

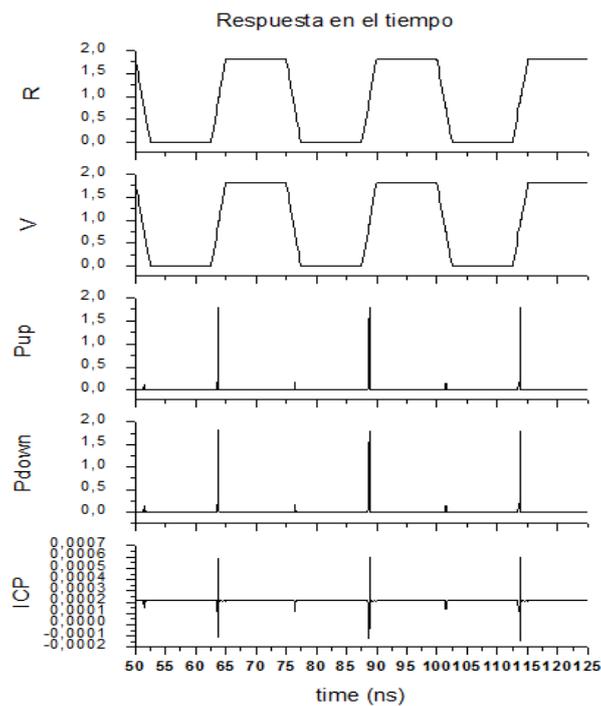


Figura 5.32 Simulación de la respuesta del PFD II y la CP, señal V en fase con R.

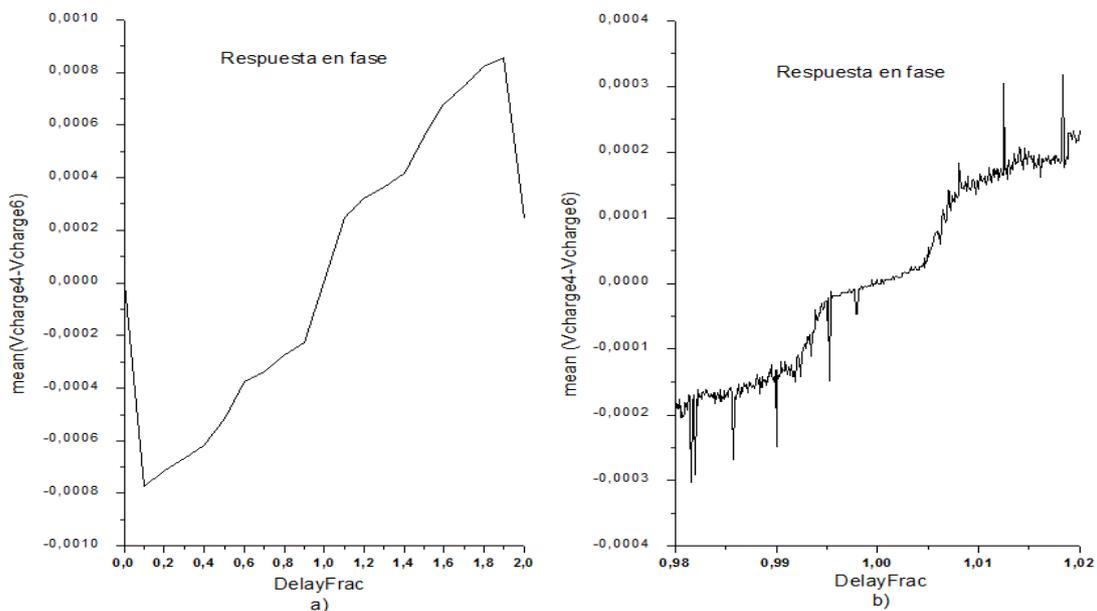


Figura 5.33 Simulación de la respuesta del PFD II y la CP; a) entre -2π y $+2\pi$, y b) próximo a 0° .

5.5. Solución a la zona muerta

Para dar solución a la zona muerta se ha elegido la segunda estructura de PFD debido a su menor número de puertas lógicas y, por consiguiente, menor consumo de área.

Como hemos mencionado con anterioridad, la zona muerta es una pequeña diferencia de fase entre las señales de entrada y el retardo en el *path* de RESET es el parámetro clave para solucionar dicho problema [12]. Por lo tanto, para eliminar el problema de la zona muerta debemos hacer que el tiempo de retardo en el *path* de RESET sea mayor al tiempo de conmutación de las corrientes de la CP y así conseguir que el sistema tenga el tiempo suficiente para la recarga. El retardo mínimo en el *path* de RESET viene determinado por:

$$\Delta_{TRmin} = T_{th} = \frac{T_r + T_f}{2} \quad (5.1)$$

Donde Δ_{TRmin} es el retardo mínimo del *path* de RESET y T_{th} es el tiempo de la conmutación de las corrientes de la CP, el cual se calcula como la media entre el tiempo de subida (T_r) y el tiempo de bajada (T_f) de las señales a la salida de la CP.

El retardo máximo en el *path* de RESET del PFD viene determinado por la máxima frecuencia de operación del PFD, según la siguiente expresión obtenida de la referencia [10].

$$\Delta_{TRmax} = \frac{1}{2 \cdot f_{PFDmax}} \quad (5.2)$$

Por lo tanto, una vez conocidas las relaciones necesarias para el diseño del retardo, los pasos a seguir para el diseño de un esquema útil son los siguientes:

- En primer lugar, para una aplicación particular, debemos calcular T_{th} y determinar Δ_{TRmin} .

- En segundo lugar, a partir de la f_{PFDmax} se determina el Δ_{TRmax} para la aplicación.
- Por último, fijamos Δ_{TR} a un valor intermedio entre Δ_{TRmin} y Δ_{TRmax} .

$$\Delta_{TRmin} < \Delta_{TR} < \Delta_{TRmax} \quad (5.3)$$

El esquema que se propone para resolver el problema de la zona muerta es el de la Figura 5.34, en donde se fija el valor de Δ_{TR} mediante la colocación de un número par de inversores en cascada.

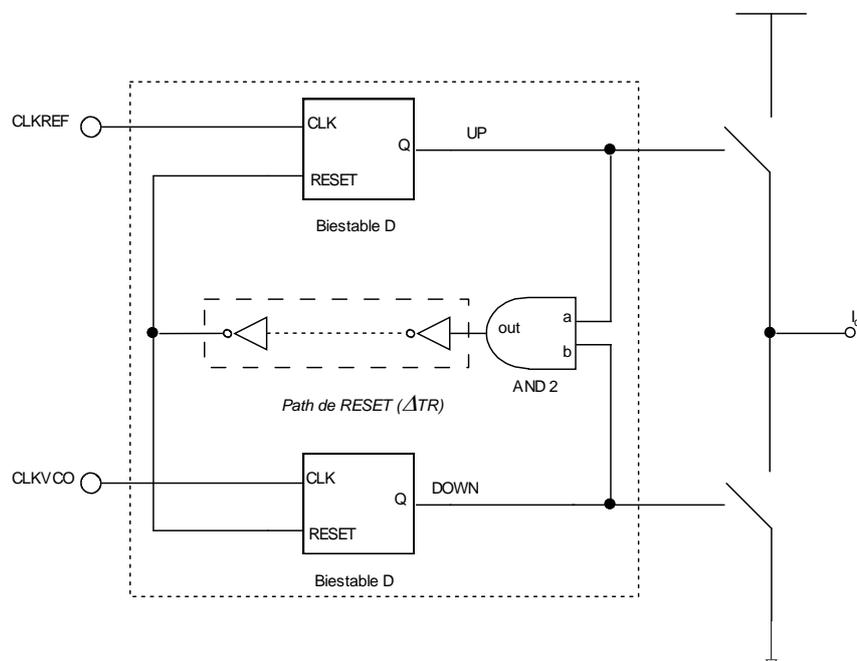


Figura 5.34 Diagrama de bloques del circuito propuesto para eliminar la zona muerta.

Para el cálculo del tiempo de conmutación de las corrientes de la CP (T_{th}), calculamos el T_r y el T_f de la señal a la salida de la CP. En la Figura 5.35 se observa el test realizado para determinar el retardo de la conmutación de las corrientes de la CP.

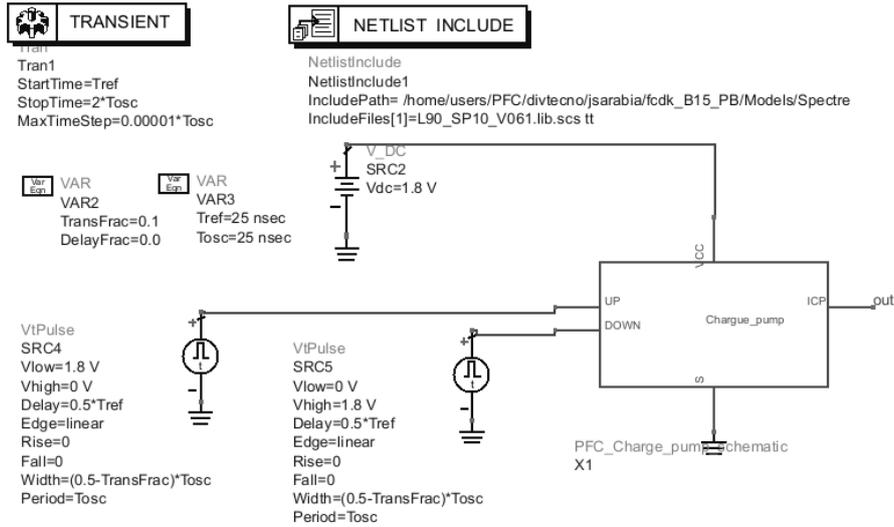


Figura 5.35 Test de tiempos de la CP

En la Figura 5.36 obtenemos los valores de tiempo de subida (T_r) y tiempo de bajada (T_f) correspondientes a la conmutación de las corrientes de la bomba de carga. Estos valores se consiguen obteniendo la diferencia existente entre el 10 % y el 90 % de la señal de subida y bajada respectivamente, en nuestro caso 0,18 V y 1,62 V. Estos valores son $T_r = 5,7 ps$ y $T_f = 4,3 ps$.

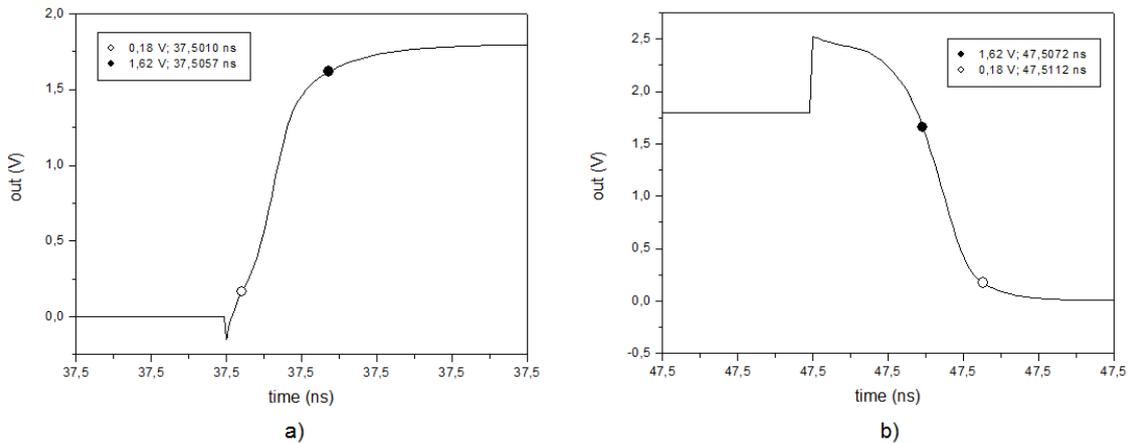


Figura 5.36 Simulación de la conmutación de la CP; a) Tiempo de subida, b) Tiempo de bajada.

Una vez obtenidos estos valores, y haciendo referencia a la ecuación 5.1, tenemos que:

$$\Delta_{TRmin} = T_{th} = \frac{T_r + T_f}{2} = \frac{(5,7 + 4,3) \cdot 10^{-12}}{2} = 5 ps \quad (5.4)$$

Una vez definido el valor mínimo necesario, calcularemos el Δ_{TRmax} para saber el intervalo en el que debe estar comprendido el retardo seleccionado. Para su cálculo hacemos referencia a la ecuación 5.2 y, sabiendo que la frecuencia a la que vamos a trabajar es de 40 MHz, tenemos que:

$$\Delta_{TRmax} = \frac{1}{2 \cdot f_{PFDmax}} = \frac{1}{2 \cdot (40 \cdot 10^6)} = 12,5 \text{ ns} \quad (5.5)$$

Haciendo referencia a la ecuación 5.3, el valor teórico para Δ_{TR} debe estar comprendido entre:

$$5 \text{ ps} < \Delta_{TR} < 12,5 \text{ ns} \quad (5.6)$$

Una vez obtenido el intervalo en el que podemos trabajar y teniendo en consideración lo explicado en este apartado y como consecuencia de la realización de varias pruebas y simulaciones tras haber estudiado detalladamente nuestro circuito, en lo que a la zona muerta respecta, hemos decidido que el valor sea $\Delta_{TR} = 216 \text{ ps}$.

A continuación se dispondrá a calcular el retardo de un inversor para conocer el número de inversores necesarios. En la Figura 5.37 se observa el test realizado para la obtención del tiempo de subida (T_r) y tiempo de bajada (T_f) correspondientes a un inversor.

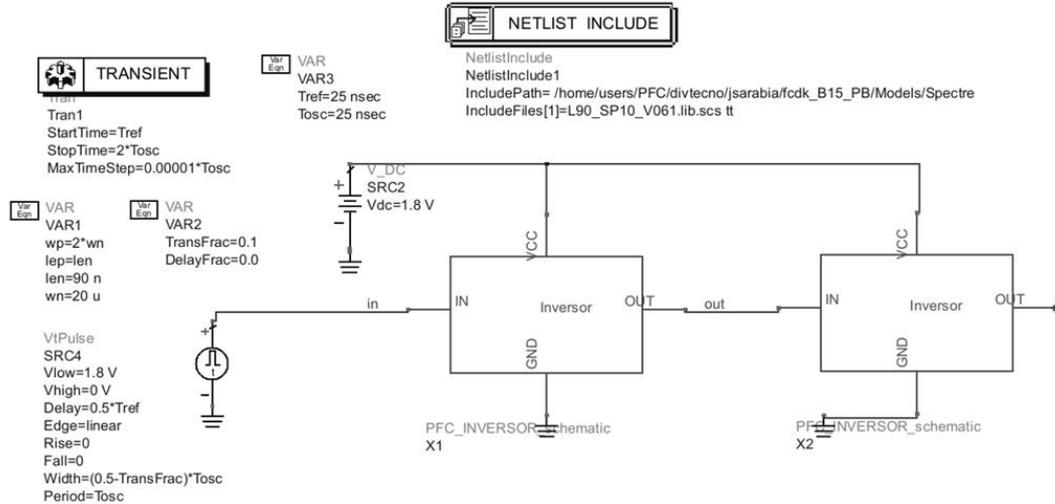


Figura 5.37 Test de modelado del inversor.

Estos valores se calculan de la misma manera que el tiempo de conmutación de la CP, es decir, obteniendo la diferencia existente entre el 10 % y el 90 % de la señal de subida y bajada respectivamente, en nuestro caso 0,18 V y 1,62 V. Estos valores son $T_r = 0,0108 \text{ ns}$ y $T_f = 0,0132 \text{ ns}$ (ver Figura 5.38).

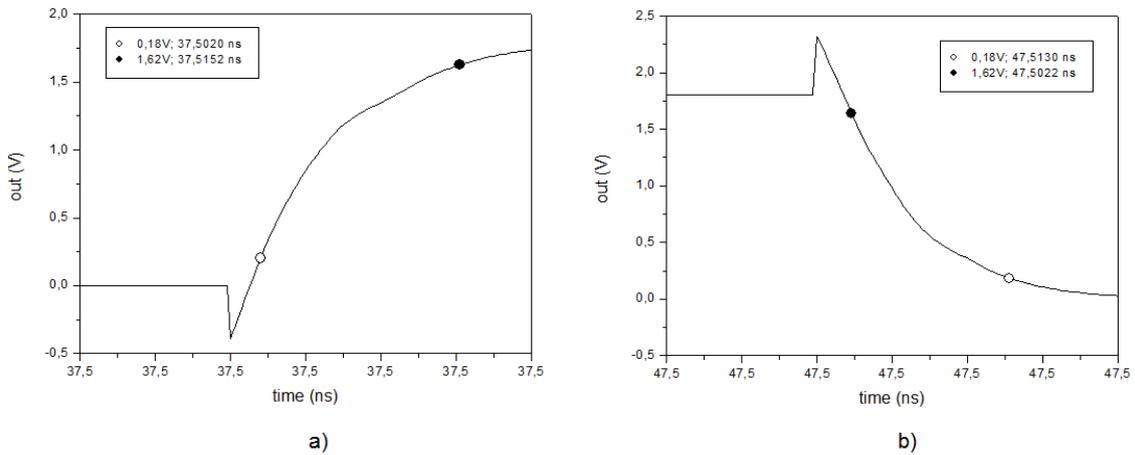


Figura 5.38 Simulación del inversor; a) Tiempo de subida, b) Tiempo de bajada.

El retardo de un inversor es el siguiente:

$$T_{inv} = \frac{(0,0132 + 0,0108) \cdot 10^{-9}}{2} = 0,012 \text{ ns} \quad (5.7)$$

Una vez obtenidos todos los valores necesarios para el cálculo del retardo en el *path* de RESET, se dispone a realizar el cálculo del número de inversores necesarios para eliminar la zona muerta.

$$N_{inv} = \frac{\Delta_{TR}}{T_{inv}} = \frac{0,216 \cdot 10^{-9}}{0,012 \cdot 10^{-9}} = 18 \quad (5.8)$$

Por lo tanto el *path* de RESET se implementará con 18 inversores en serie.

En la Figura 5.39 tenemos el diagrama de bloques del PFD propuesto para eliminar la zona muerta con los 18 inversores en el *path* de RESET.

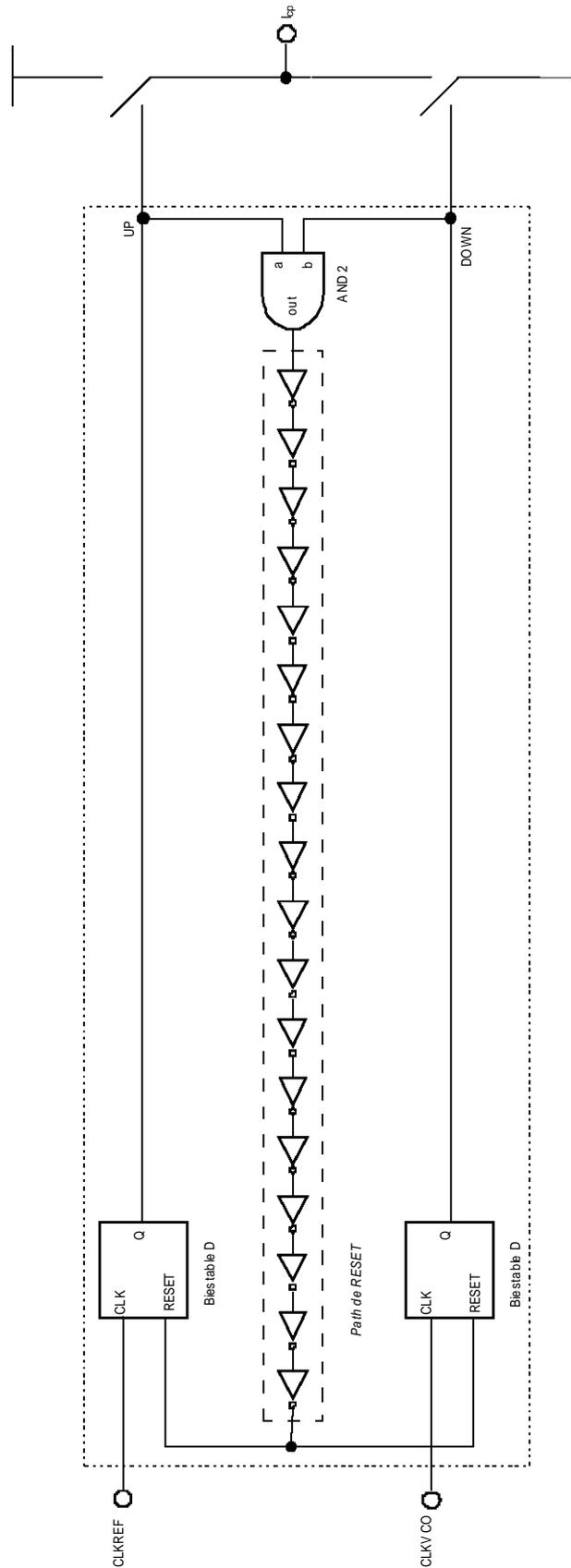


Figura 5.39 Diagrama de bloques final del circuito propuesto para eliminar la zona muerta.

5.6. Resumen

En este capítulo primeramente se ha explicado el concepto de zona muerta, quedando claro que es la región donde las corrientes de carga no pueden fluir en proporción al error de fase y que esto sucede cuando el error de fase es pequeño. La razón principal del problema de zona muerta es el tiempo de retardo de los componentes internos del biestable y el tiempo que necesitan las puertas lógicas para resetear ambos biestables.

Acto seguido, se han estudiado dos estructuras diferentes de PFD, así como la bomba de carga, mostrando los resultados obtenidos a partir de las simulaciones. Además se han realizado los cálculos pertinentes para la comprobación y eliminación de la zona muerta, profundizando más detalladamente en la estructura del PFD II debido a su menor número de puertas lógicas y a su simplicidad, lo que incurre directamente en el área a utilizar.

En el próximo capítulo haremos referencia al diseño final, así como la implementación física del circuito.

Capítulo 6

Diseño final y *layout*

Una vez visto el diseño preliminar de ambas estructuras a nivel de esquemático y comprobar que las simulaciones de los circuitos cumplen con las especificaciones, en este capítulo se realizará el diseño a nivel esquemático de la estructura final, así como el diseño del circuito a nivel de *layout*.

6.1. Diseño final a nivel esquemático

Como ya hemos explicado en el capítulo anterior, hemos seleccionado la segunda estructura, correspondiente al PFD II, debido a su menor número de puertas lógicas. La fundamentación por la que este apartado se encuentre en este capítulo se debe a que hemos tenido que rediseñar los circuitos debido a los parásitos que añade el *layout*.

Uno de los problemas que nos hemos encontrado ha sido que los transistores tenían una longitud muy larga de poli-silicio de puerta, teniendo éste una gran resistividad. Para solucionar este problema nos hemos visto obligados a modificar el número de *fingers* de los transistores pasando de 1 a 2 en los transistores tipo N y de 1 a 4 en los transistores tipo P. Desde la Figura 6.1 a la Figura 6.5 se muestran los esquemas de los componentes con sus dimensiones finales.

La Figura 6.1 muestra el esquema modificado de la NOR2 y la Figura 6.2 muestra el esquema de la AND2. La Figura 6.3 muestra la CP modificada y la Figura 6.4 muestra el esquema del inversor.

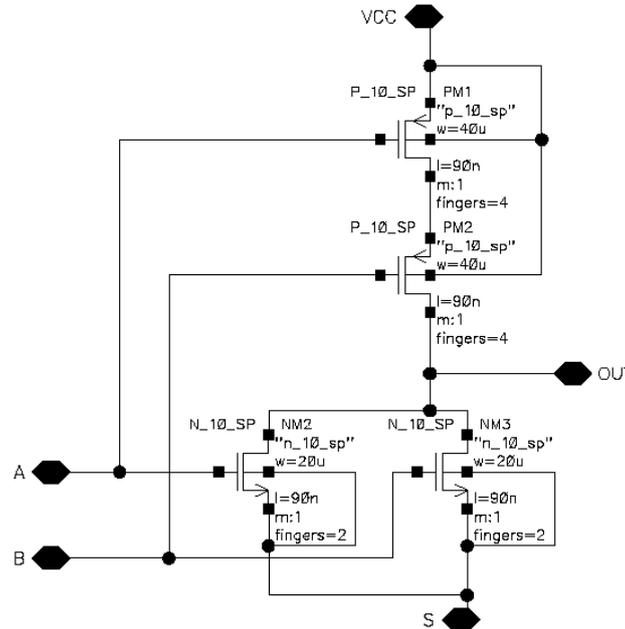


Figura 6.1 Esquemático de la NOR2 con modificaciones en *fingers*.

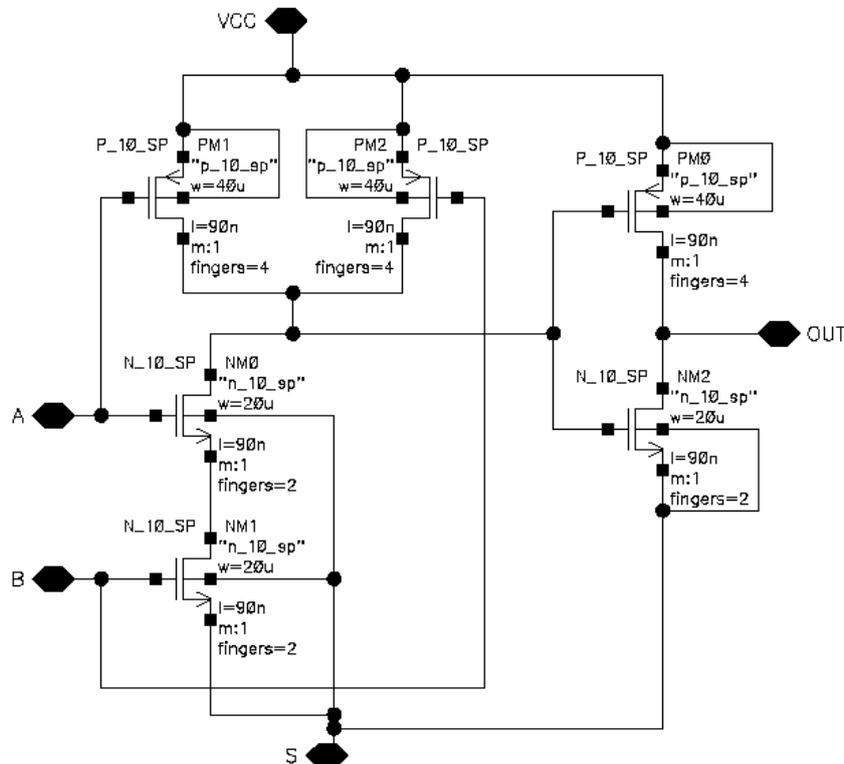


Figura 6.2 Esquemático de la AND2 con modificaciones en *fingers*.

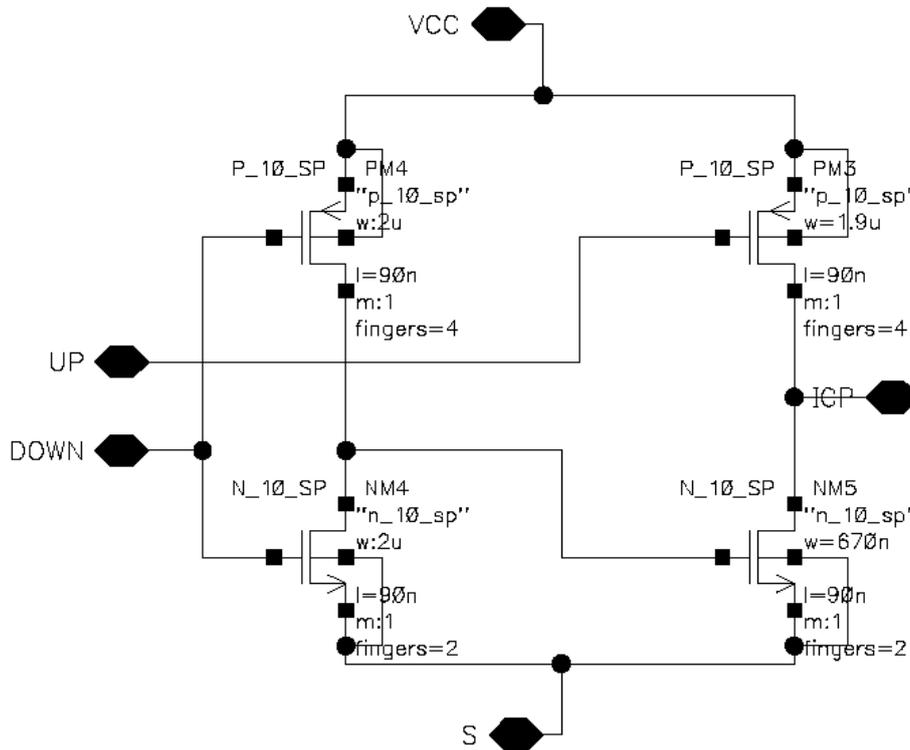


Figura 6.3 Esquemático de la CP con modificaciones en *fingers*.

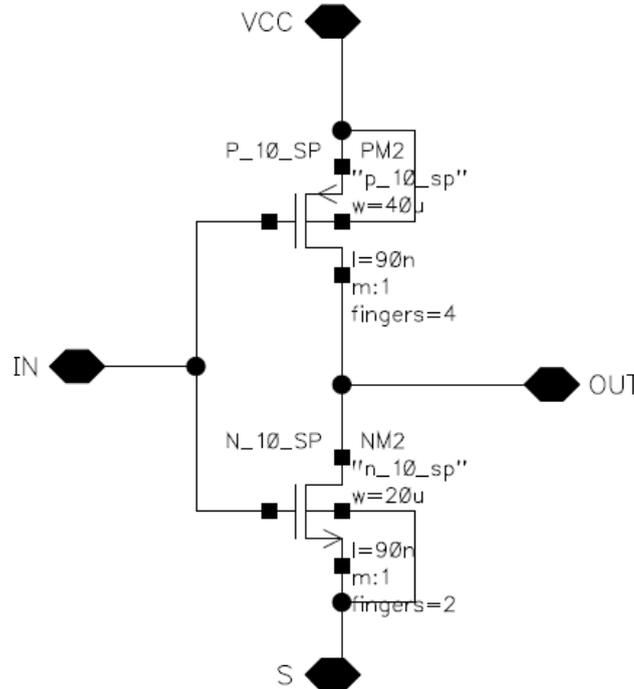


Figura 6.4 Esquemático del inversor.

La Figura 6.5 muestra el diagrama de bloques final del PFD, donde se han incorporado los 18 inversores en el *path* de RESET para solucionar la zona muerta.

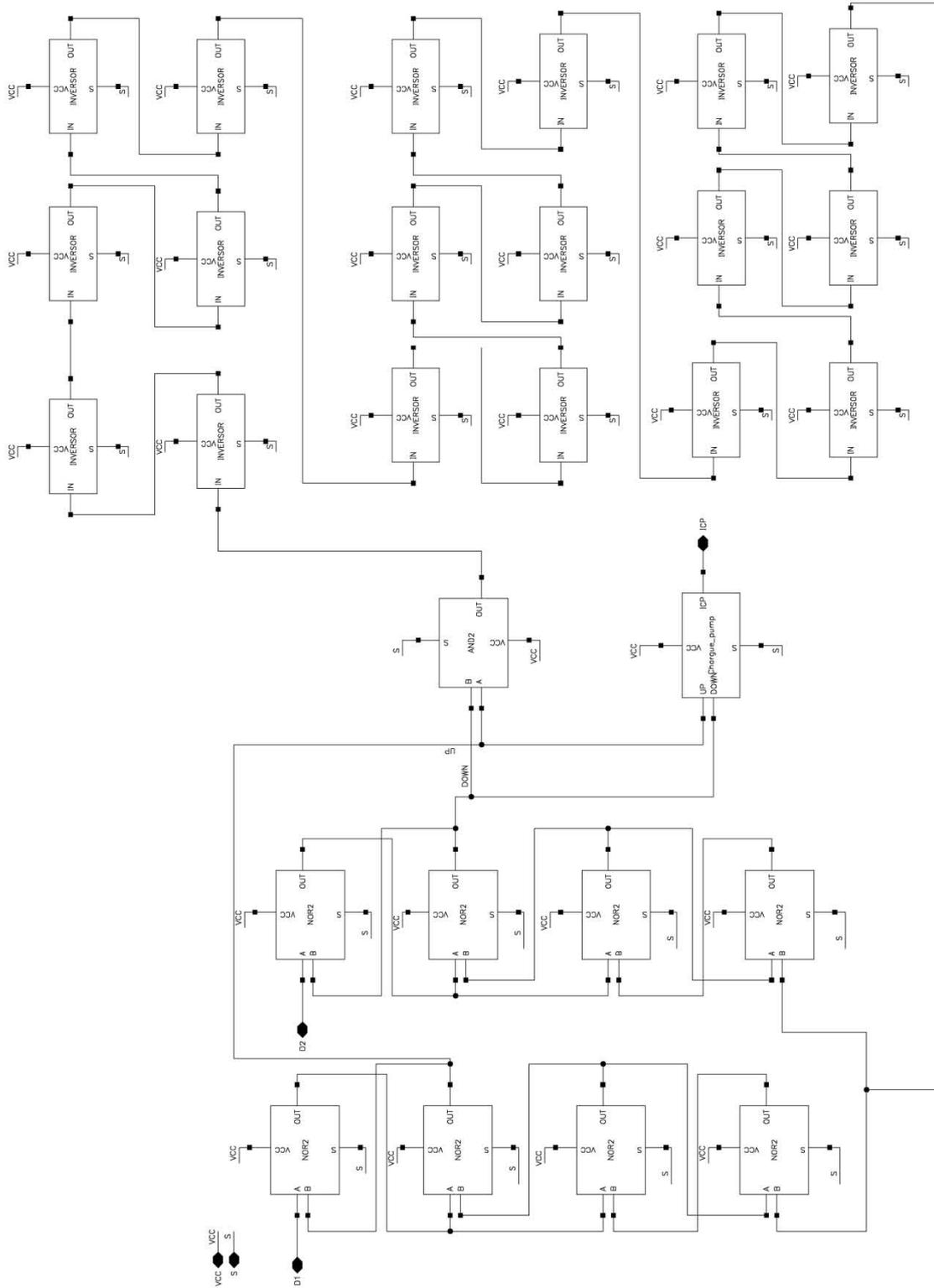


Figura 6.5 Diagrama de bloques del PFD y la CP con modificaciones en *fingers*.

A continuación, la Figura 6.6 muestra el test realizado en ADS para la estructura del PFD II modificada para eliminar la zona muerta.

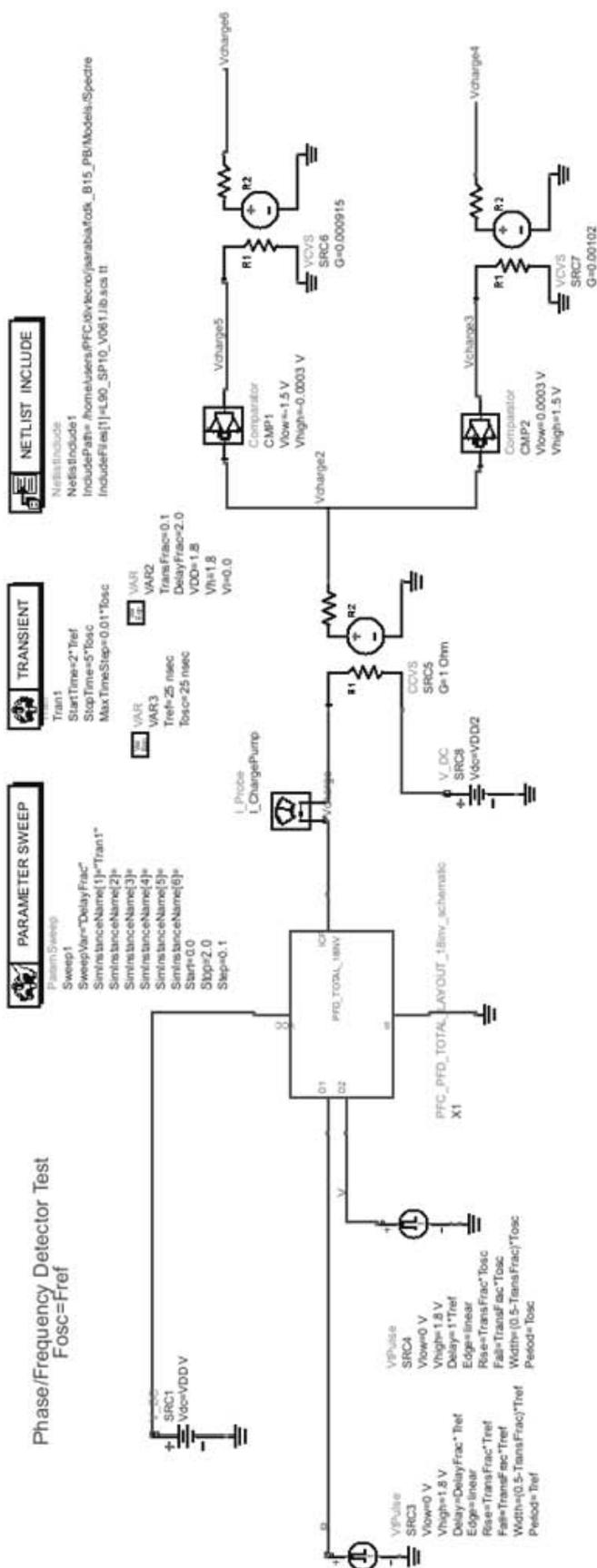


Figura 6.6 Test para la estructura PFD II y CP sin zona muerta.

Como se puede comprobar, en las Figura 6.7 a la Figura 6.9, el circuito responde correctamente y sin zona muerta. La Figura 6.10 muestra la respuesta en fase haciendo un *zoom* próximo a 0° , que es la zona de interés donde se encuentra la zona muerta y se observa que ya no existe dicha zona muerta.

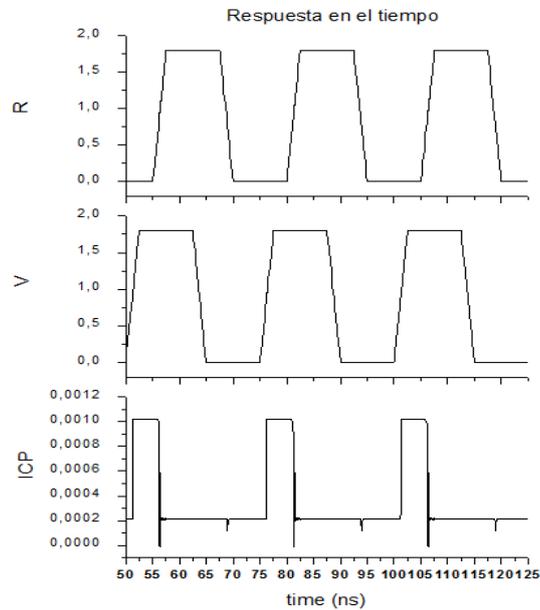


Figura 6.7 Respuesta del PFD II con bomba de carga sin zona muerta, señal *V* retrasada con respecto a *R*.

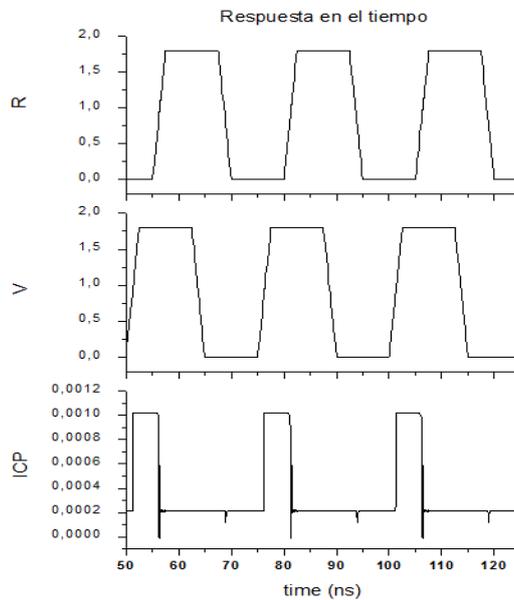


Figura 6.8 Respuesta del PFD II con bomba de carga sin zona muerta, señal *V* adelantada respecto a *R*.

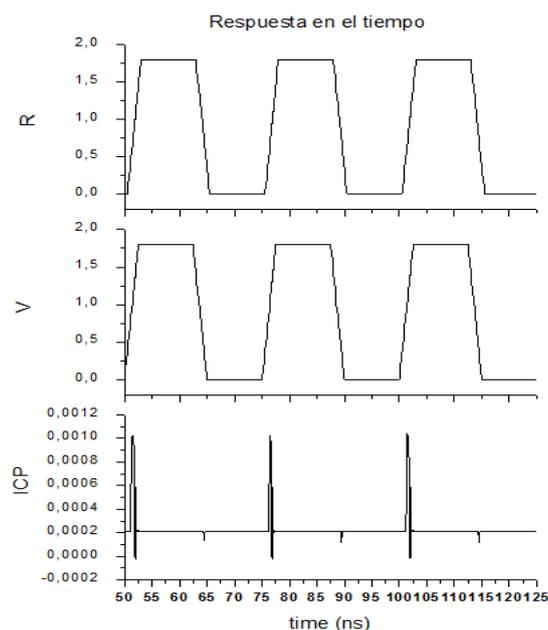


Figura 6.9 Respuesta del PFD II con bomba de carga después de los cambios.

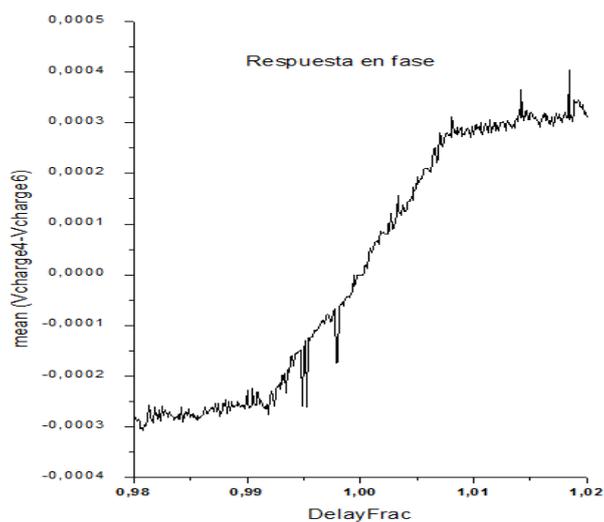


Figura 6.10 Simulación de la respuesta en fase, centrados en 0°.

6.2. Diseño final a nivel de *layout*

Una vez realizado el esquema completo del circuito a diseñar, se dispondrá a la realización del diseño a nivel de *layout*, para ello se han tenido en cuenta los conceptos explicados a continuación para su correcta implementación.

6.2.1. Conceptos relacionados con el diseño a nivel de *layout*

Para la realización del *layout* utilizamos la herramienta *Virtuoso* integrada dentro del *software Cadence*, que a su vez integra el paquete de verificación física *Assura* [3]. Esto nos va a permitir no sólo realizar el *layout full-custom* del circuito sino, además, hacer las simulaciones *post-layout*.

Para generar el *layout* correctamente deben cumplirse una serie de reglas que dependen de la tecnología empleada, como pueden ser: la distancia entre los distintos elementos, ángulos, densidad de corriente que pueden pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaños, anchos de pistas, etc.

Así mismo, existen una serie de aspectos a tener en cuenta que nos permiten obtener el comportamiento óptimo del diseño. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se muestran a continuación:

- El sustrato se debe conectar al potencial más negativo.
- Se ha de lograr la máxima simetría entre los componentes aplicando la técnica del centroide común. Esta técnica se emplea para que a dos elementos iguales le afecten del mismo modo las dispersiones que se puedan producir durante el proceso de fabricación.
- Se debe evitar que los ángulos de las pistas sean menores a 45°.
- Las pistas de poli-silicio deben ser lo más cortas posibles, ya que crean resistencias perjudiciales para el comportamiento del circuito.
- Tanto las pistas de poli-silicio como las de metales han de tener un determinado ancho dependiendo del flujo de corriente que circule a través de ellas. Estas dimensiones son recomendadas por la tecnología usada.

Generalmente, las pistas se han de sobredimensionar para evitar posibles roturas. Las pistas de alimentación las sobredimensionamos al máximo aprovechando los espacios vacíos, ya que se nos crea una capacidad parásita muy grande que nos sirve para filtrar cualquier ruido que viniera con dichas tensiones de alimentación. En cambio,

para las señales de reloj nos interesa que esta capacidad sea muy pequeña para que nos influya lo menos posible, realizando éstas más estrechas.

A la hora de fabricar el circuito, a los distintos componentes pueden afectarle una serie de dispersiones del proceso. Estas dependen, sobre todo, de donde esté ubicado el circuito integrado dentro de la oblea. Las dispersiones siempre actúan de manera lineal y en una dirección determinada. Se pueden distinguir varios tipos de dispersiones, entre las que destacan:

- Variación en el espesor de la capa de óxido: afecta, principalmente, a las capacidades parásitas de los transistores.
- Variación en el número de impurezas: afecta a la movilidad de los electrones, lo que modifica el valor de la transconductancia.
- Variación del tamaño de los transistores: afecta al valor de la transconductancia, capacidades parásitas y resistencias de los transistores.

Si queremos pasar de un metal a otro y colocamos una única vía de unión entre las capas de los diferentes metales, esto nos hace correr el riesgo de que si esta falla nos pueda repercutir en el mal funcionamiento del circuito. Por este motivo todo el circuito se diseña para evitar riesgos innecesarios colocando dos vías entre las diferentes capas de los metales en lugar de una sola si el diseño lo permite.

6.2.2. Diseño del *layout*

La metodología utilizada para el diseño del *layout* del PFD y la CP ha sido dividir el circuito en diferentes bloques e ir verificando con la vista extraída que cada bloque se ajustaba al esquemático. De este modo, cuando se finalizaba cada bloque se hacía una simulación añadiendo el nuevo bloque con el resto de los bloques ya diseñados. Así se podía detectar rápidamente errores, en el caso de que los hubiera. Una vez realizado este paso, se ha ido construyendo el *layout* en una misma célula.

Un problema con el que nos hemos encontrado ha sido la incompatibilidad de las herramientas de trabajo usadas a la hora de realizar los *layout*. El problema de incompatibilidad que se nos presentó fue que a la hora de sacar la vista extraída para realizar el *layout* estas no nos dejaban trabajar con varias células que tuvieran más de dos niveles de jerarquía y después unirlos. Debíamos hacer todo el esquemático en una

misma célula y como máximo, con un nivel de jerarquía de otras células, ya que los resultados obtenidos eran erróneos si se hacía en bloques de varios niveles. Finalmente se ha tenido que rediseñar el circuito cumpliendo con estas directrices.

Desde la Figura 6.16 a la Figura 6.17 se muestran los *layouts* de los elementos utilizados para la realización del PFD y la CP. Las puertas se han diseñado de manera que los anchos de éstas sean iguales para tratarlas como si fueran puertas estándar y poder realizar el diseño de una forma más uniforme.

La Figura 6.11 muestra la AND2 y la Figura 6.12 la NOR2, que son los elementos usados para el diseño del PFD. La Figura 6.13 muestra el *layout* del PFD.

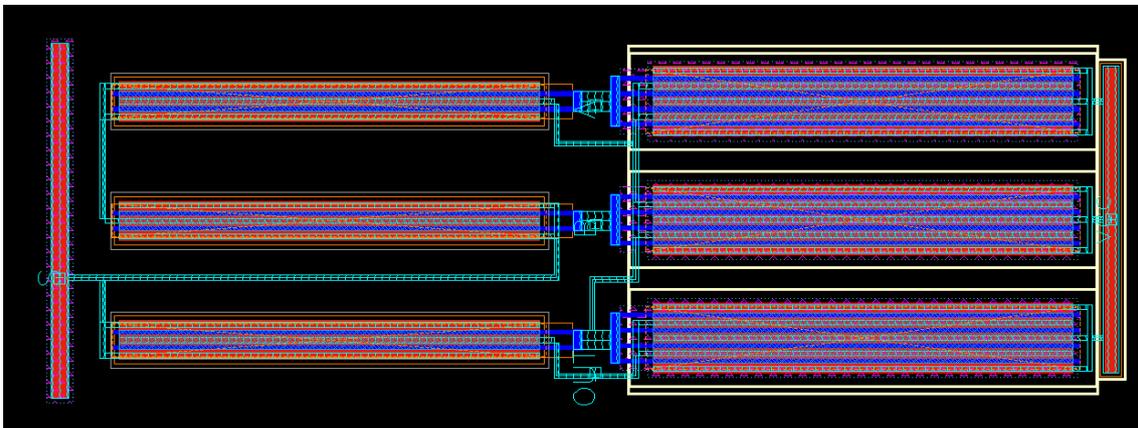


Figura 6.11 *Layout* de la AND2.

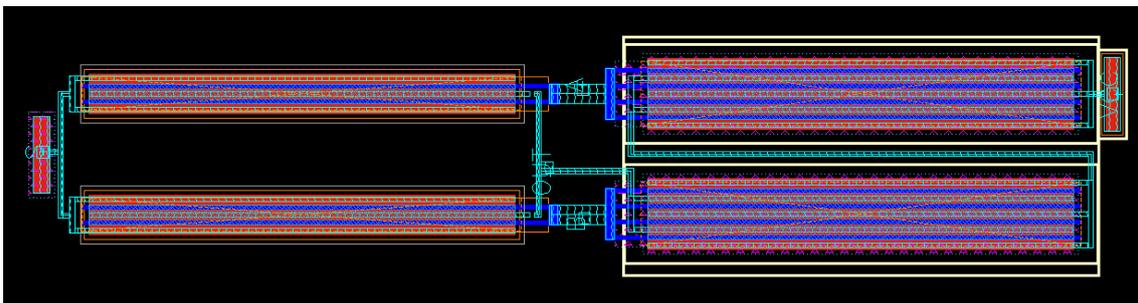


Figura 6.12 *Layout* de la NOR2.

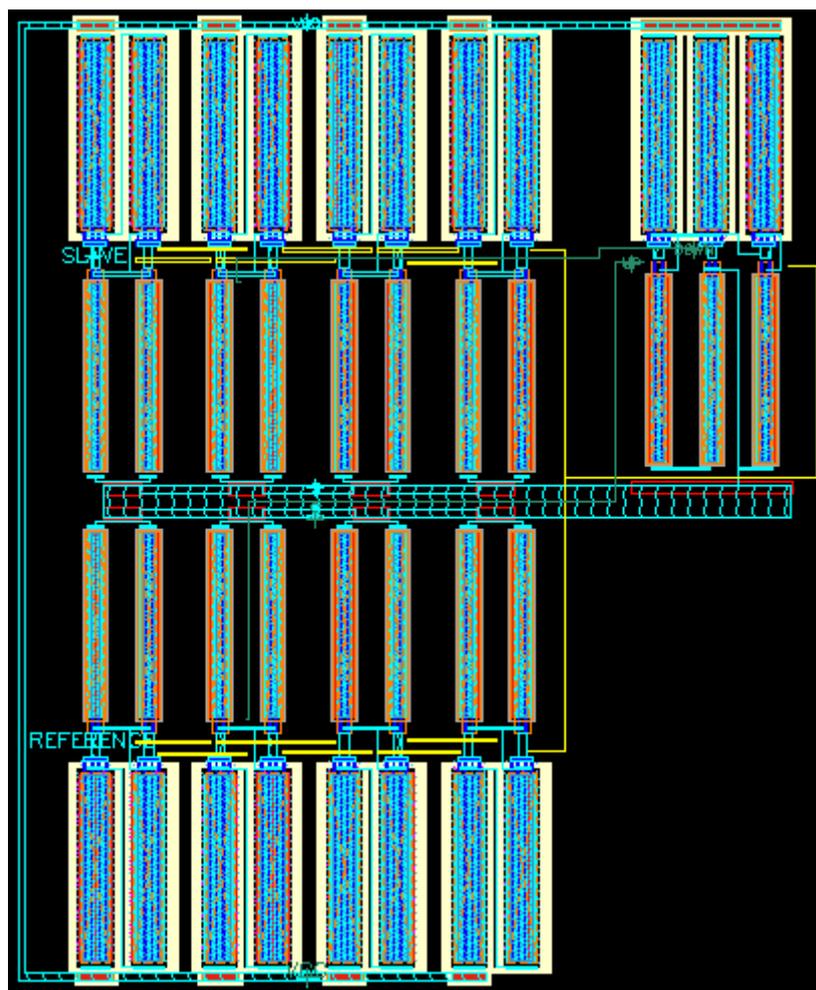


Figura 6.13 *Layout* del PFD.

La Figura 6.14 muestra el *layout* de la CP. Como se puede observar, las dimensiones de los transistores utilizados en este caso son específicas para obtener la corriente deseada, tal y como se comentó en el diseño del esquemático.

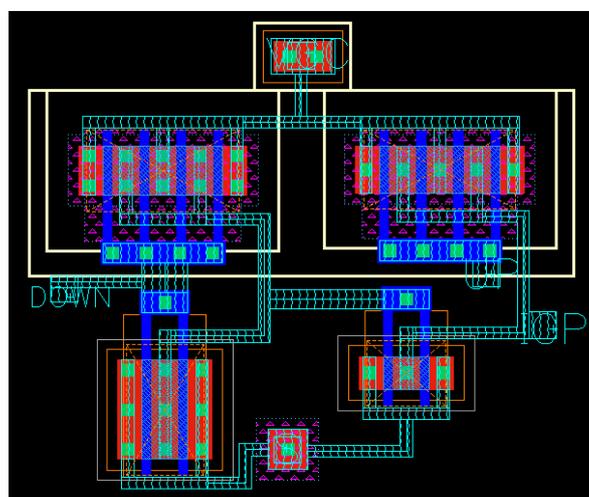


Figura 6.14 *Layout* de la CP.

Una vez tenemos los *layouts* por separado del PFD y la CP, se procede a la unión de ambos elementos tal y como se puede ver en la Figura 6.15.

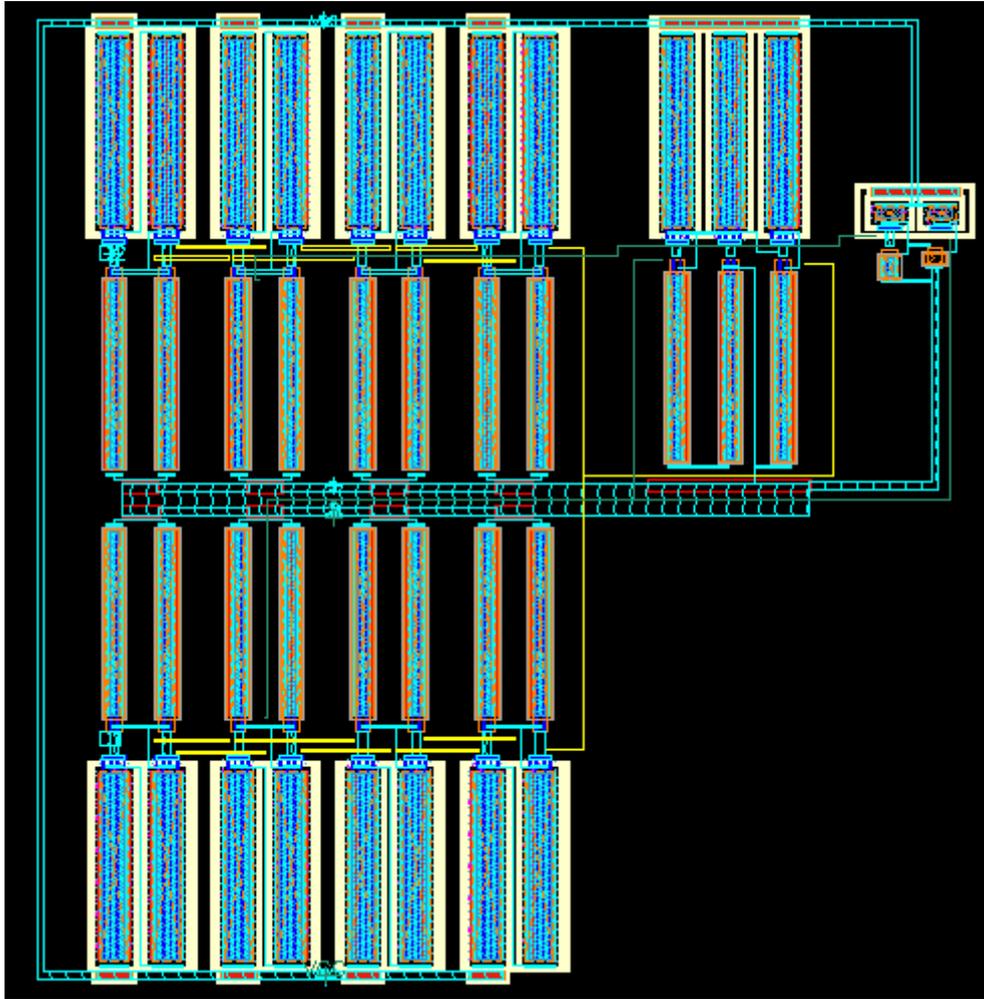


Figura 6.15 *Layout* del PFD y la CP.

Para eliminar la zona muerta se necesita incluir un número determinado de inversores en el *path* de RESET del PFD, como ya hemos comentado en el capítulo anterior, en nuestro caso es de 18. La Figura 6.16 muestra el *layout* del inversor y la Figura 6.17 muestra el *layout* del circuito final.

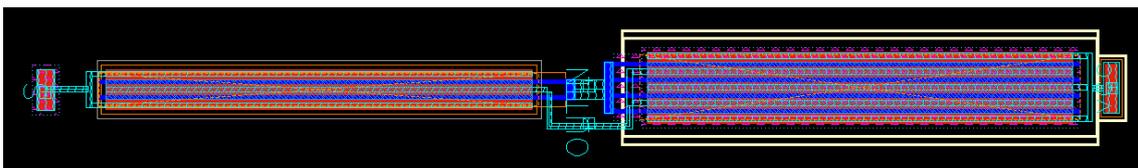


Figura 6.16 *Layout* del inversor.

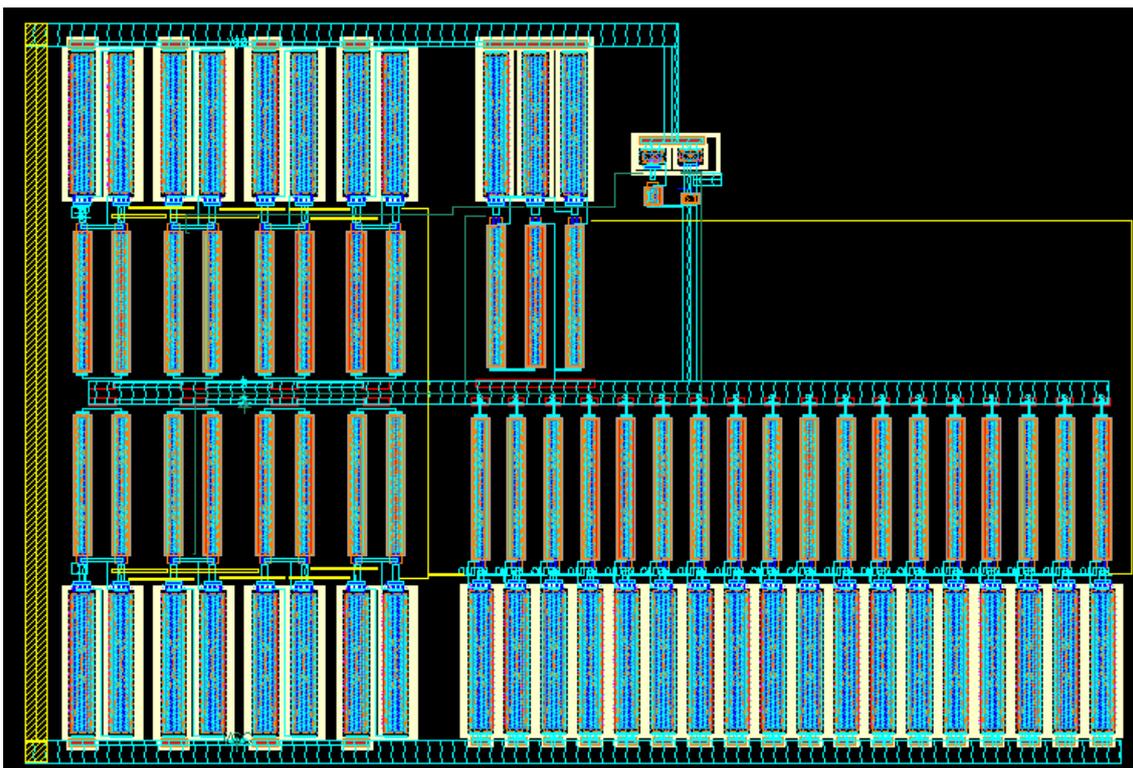


Figura 6.17 *Layout* del PFD y la CP más 18 inversores en *path* de RESET.

La Figura 6.18 muestra el resultado obtenido tras la simulación del circuito formado por el PFD y la CP, con el retardo necesario para reducir la zona muerta, que como podemos apreciar se reduce considerablemente hasta casi desaparecer.

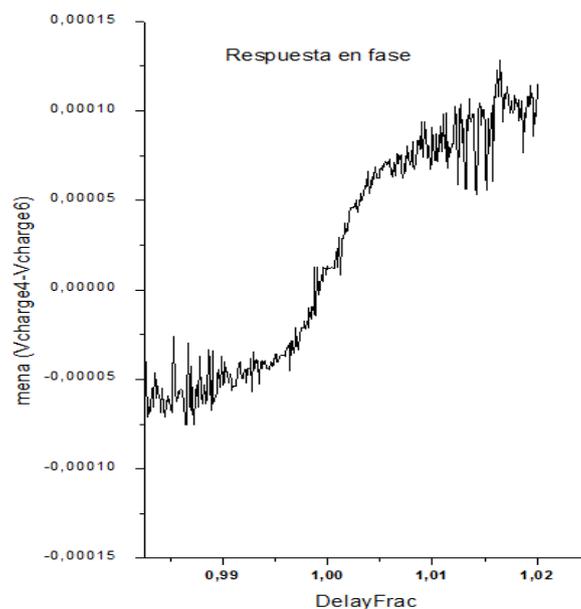


Figura 6.18 Simulación de la respuesta en fase, centrados en 0°.

6.2.3. Distribución de *pads* en el *layout* final

En la Figura 6.19 se muestra la distribución de las puntas de prueba tomadas para nuestro diseño. Como se puede observar, las puntas que se van a usar para realizar la medida del circuito son del tipo SGS (*Signal Ground Signal*).

A la hora de realizar la distribución, se tomó como premisa fundamental el tener los *pins* de las señales de entrada lo más simétricamente posible. En cuanto a los *pins* de alimentación se trató de enmarañar lo menos posible el diseño y evitar el solapamiento entre capas de metal adyacentes con el objetivo de evitar capacidades parásitas inesperadas.

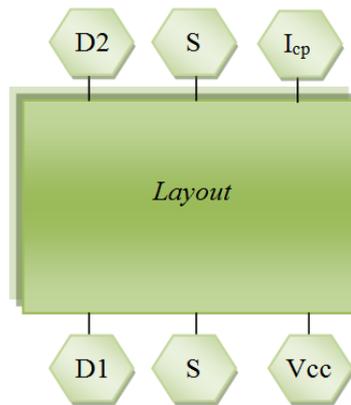


Figura 6.19 Distribución de los *pads* de medida.

Para ubicar los *pads* correctamente seguimos las recomendaciones del manual del fabricante de las puntas de medida (*CASCADE MICROTECH*) [19]. Los *pads* deben estar distanciados 150 μm de centro a centro de los *pads* más próximos y 200 μm los *pads* que utilizan distintas puntas de medida.

Otra consideración a tener en cuenta es que se debe colocar contactos al sustrato en las zonas del chip que quedan vacías. Esto se hace para evitar que aparezcan corrientes de fuga que interfieran en el funcionamiento del circuito.

En la Figura 6.20 se muestra como queda finalmente nuestro diseño con todos los bloques interconectados y los *pads* de medida.

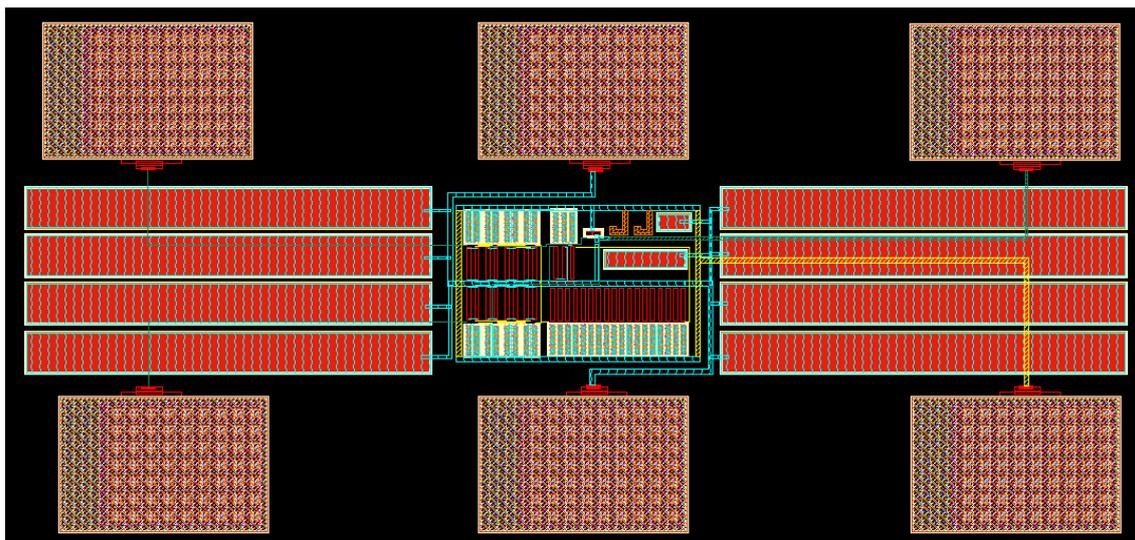


Figura 6.20 *Layout* del PFD y la CP con los *pads* de medida.

Finalmente se ha simulado el circuito final con los *pads* de medida, (ver Figura 6.21). Como se puede observar existe una región muy pequeña, en comparativa con las simulaciones anteriores, donde aún existe zona muerta. Esto se debe a las capacidades y resistencias parasitas introducidas por el *layout*, a lo que hay que sumarle las capacidades de los *pads* de medida.

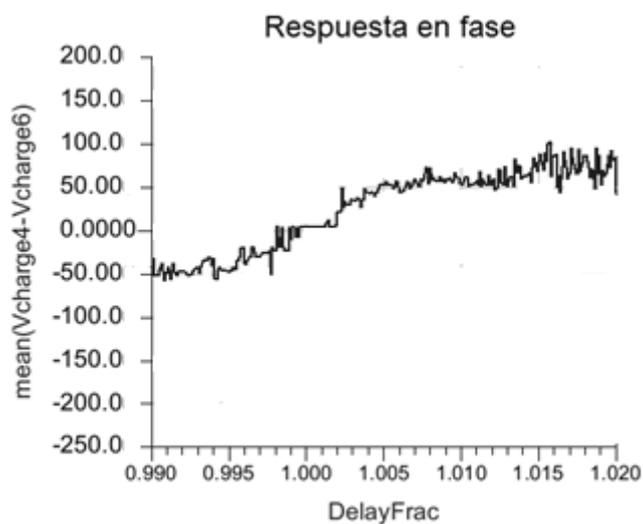


Figura 6.21 Simulación final del circuito.

6.3. Resumen

En este capítulo se han explicado algunos de los problemas que hemos tenido a la hora de realizar el diseño del *layout*. Se ha expuesto el diseño final a nivel de esquemático, así como la realización de los *layout* de cada una de las partes que conforman el PFD completo eliminando la zona muerta, verificando el funcionamiento con las respectivas simulaciones *post-layout*.

En el próximo capítulo se establece un balance del desarrollo del proyecto, lo que nos conduce a una serie de conclusiones, válidas para el desarrollo de futuros trabajos y diseños.

Capítulo 7

Conclusiones

Una vez finalizado el diseño del PFD y la CP tanto a nivel de esquemático como de *layout*, en este capítulo vamos a exponer las principales conclusiones obtenidas a lo largo de la realización de este proyecto.

7.1. Conclusiones y líneas futuras

El objetivo principal del presente proyecto ha sido el estudio del problema de la zona muerta en los detectores de fase-frecuencia y determinar las posibles soluciones para eliminarlo. Como resultado más relevante de este proyecto se encuentra la realización tanto a nivel de esquemático como de *layout* de un detector de fase-frecuencia con zona muerta cero.

El hecho de que dentro de un PLL el elemento que sigue al detector de fase sea la bomba de carga y que el diseño de este elemento depende del detector de fase utilizado, conlleva la necesidad de diseñar también una bomba de carga para su posterior integración en dichas estructuras.

El desarrollo de los diseños comenzó con el estudio de los conceptos básicos relacionados con los lazos enganchados en fase y posteriormente se profundizó en las

estructuras convencionales para la realización de los elementos críticos de este proyecto, es decir, los detectores de fase y la bomba de carga.

El siguiente paso fue estudiar la tecnología CMOS 90 nm suministrada por la empresa UMC que es la elegida para la implementación de los circuitos.

Tras el estudio de los antecedentes, se pasó al diseño propiamente dicho, el cual comenzó con la elección de las estructuras a utilizar y la determinación experimental del fenómeno de la zona muerta asociado a las mismas. Para ello, se desarrollaron los esquemas de simulación que nos permitían evaluar la zona muerta de los detectores de fase. La herramienta utilizada para la realización de esta tarea fue el ADS.

Inicialmente comenzamos con dos estructuras diferentes de detectores de fase-frecuencia, la primera de las cuales está basada en puertas NOR e inversores y la segunda estructura está constituida por dos biestables tipo D y una puerta AND de dos entradas. Una vez vista cada estructura por separado, se realizó el diseño de la bomba de carga y posteriormente se realizaron simulaciones conjuntas entre los diferentes detectores de fase y la bomba de carga.

Debido a su menor número de puertas lógicas y, por consiguiente, menor consumo de área, se escogió la segunda estructura para estudiar su zona muerta y eliminarla mediante la técnica de equalización de retardos que se explica a continuación:

- El parámetro clave para solventar el problema de la zona muerta es introducir un retardo en el *path* de RESET mediante la colocación de un número par de inversores en serie, de forma que se anule la diferencia de fase entre las señales de entrada del detector. Este retardo (Δ_{TR}) debe estar comprendido entre dos valores, uno mínimo (Δ_{TRmin}) y otro máximo (Δ_{TRmax}), los cuales dependen respectivamente del tiempo de conmutación de la bomba de carga y de la frecuencia máxima de trabajo del PFD.
- Obtenido este valor, se ha calculado el retardo de cada inversor para saber el número de inversores necesario a implementar en el circuito y así generar el retardo deseado para la eliminación de la zona muerta.

Una vez desarrollado a nivel de esquemático la estructura propuesta, se pasó a la implementación física del circuito a nivel de *layout*. En este caso, la herramienta utilizada fue el *Cadence* y para esta tarea se tuvo en cuenta tanto las reglas impuestas

por la tecnología así como una serie de aspectos que nos permiten obtener un comportamiento óptimo del diseño.

Para finalizar se puede decir que los objetivos planteados inicialmente se han alcanzado satisfactoriamente. En cualquier caso la línea de trabajo que subyace a este proyecto fin de carrera es parte de una línea de investigación de mayor envergadura en la que se desarrollan varios proyectos de investigación, como es el caso del proyecto “*Receptor de TV Digital DVB-SH (RECITAL+)*” con diseños de receptores y sintetizadores.

Como líneas futuras a este trabajo proponemos el envío del chip a fábrica para posteriormente realizar las medidas del mismo. Una vez verificado, se podría incorporar en un PLL comprobando su funcionamiento en busca de posibles mejoras y optimización de la propuesta inicial. Además, se puede rediseñar el circuito para un estándar determinado en el cual se tienen que cumplir unas especificaciones concretas, como pueden ser la frecuencia de referencia, la constante del detector o las corrientes de salida de la bomba de carga, parámetros propios que hay que tener en cuenta cuando se diseña un PLL.

PRESUPUESTO

Presupuesto

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento, para concluir con el proyecto, en este capítulo se realizará un estudio económico con los costes tanto parciales como totales del proyecto.

P.1. Costes de recursos humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias, ver Tabla 0.1. Este personal está formado por dos técnicos a tiempo completo para un total de cien usuarios.

Tabla 0.1 Costes de recursos humanos

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
2 Técnicos a tiempo completo	9	36060,73	360,61	270,46
TOTAL				270,46

P.2. Costes de ingeniería

Se ha invertido un total de 9 meses a tiempo completo en el desarrollo de este proyecto. Durante este tiempo se han desarrollado las tareas de formación, estudio y análisis, especificación, desarrollo, análisis de resultados y documentación; como muchas de estas tareas se solapan en el tiempo se han incluido los períodos de tiempo en función de la tarea predominante. En este presupuesto se ha incluido los costes de formación al ser específicos para el desarrollo de este proyecto. Tomando la tarifa por costes de ingeniería aplicada a un ingeniero técnico junior en España, asciende a un total de 2232,16 €/mes englobando en la misma el salario, la Seguridad Social, y el IRPF (Impuesto sobre la Renta de las personas físicas). La Tabla 0.2 muestra los costes de ingeniería desglosados.

Tabla 0.2 Costes de ingeniería

Descripción	Tiempo (meses)	Gastos (€/mes)	Gastos (€)
Formación y estudios	2	2232,16	4464,32
Estudio de las herramientas de trabajo	1	2232,16	2232,16
Desarrollo del circuito	5	2232,16	11160,80
Realización de la memoria	1	2232,16	2232,16
TOTAL			20089,44

P.3. Costes de amortización

En este apartado se exponen los costes derivados del uso de paquetes *software*, y material *hardware*, ver Tabla 0.3. Estos equipos *hardware* y paquetes *software* presentan un coste de amortización, en función del período de tiempo utilizado y el número de usuarios que accedan a estos, los cuales se han estimado en 10.

Tabla 0.3 Costes de recursos *hardware*

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	9	3300,00	330,00	247,50
Servidor para simulación SUN Sparc Station 10	9	3926,00	392,60	294,45
Impresora Hewlett Packard Laserjet 4L	9	4000,00	400,00	300,00
Ordenador Personal Intel Core2 Duo 2.13GHz	9	1200,00	120,00	90,00
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	9	900,00	90,00	67,50
TOTAL				999,45

El cálculo de los gastos totales de los recursos *software* bajo licencia utilizados, tienen un coste estimado de amortización y mantenimiento según el período de uso (referenciados a un período de un año). Estos costes de licencias pertenecen a licencias universitarias, no comerciales que se detallan en la Tabla 0.4.

Tabla 0.4 Costes de recursos *software*

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
Microsoft Office 2010	9	450,00	45,00	33,75
Advance Design System (ADS)	9	3200,00	320,00	240,00
Cadence con Kit de diseño	9	1500,00	150,00	112,50
TOTAL				386,25

A continuación la Tabla 0.5 muestra el total de los gastos por costes de amortización.

Tabla 0.5 Costes de amortización

Descripción	Gastos (€)
Costes por recursos <i>hardware</i>	999,45
Costes por recursos <i>software</i>	386,25
TOTAL	1385,70

P.4. Costes de fabricación

Los costes derivados de la fabricación se desarrollan en la Tabla 0.6. El circuito mide $0,178 \times 0,381 = 0,067\text{mm}^2$.

Tabla 0.6 Costes de fabricación

Descripción	mm ²	Precio del mm ² (€)	Gastos (€)
Detector de fase-frecuencia y bomba de carga	0,067	4209,80	282,05
TOTAL			282,05

P.5. Otros costes

En este apartado se incluyen los costes debidos al material fungible y a la elaboración del documento final del proyecto, ver Tabla 0.7.

Tabla 0.7 Otros costes

Descripción	Unidades	Costes unidad (€/unidad)	Gastos (€)
Paquetes papel DIN_A4 80 gr/m ²	3	6,00	18,00
Fotocopias	1000	0,04	40,00
CDs	3	3,00	9,00
Otros			100,00
TOTAL			167,00

P.6. Presupuesto total

Para finalizar la Tabla 0.8 recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Tabla 0.8 Presupuesto total

Descripción	Gastos (€)
Costes de recursos humanos	270,46
Costes de ingeniería	20089,44
Costes de amortización	1385,70
Costes de fabricación	282,05
Otros costes	167,00
PRESUPUESTO FINAL	22194,65
TOTAL (IGIC 5%)	23304,38

D. José Joaquín Sarabia Muñoz declara que el proyecto “Diseño de un PFD integrado con eliminación de la zona muerta” asciende a un total de 23304,38 euros.

Fdo.: J. Joaquín Sarabia Muñoz

DNI: 78698964-W

Las Palmas de Gran Canaria, a 12 de Julio de 2012

BIBLIOGRAFÍA

Bibliografía

- [1] Website oficial de UMC: <http://www.umc.com>
- [2] Website oficial ADS: <http://www.agilent.com>
- [3] Website oficial *Cadence*: <http://www.cadence.com>
- [4] Manuel Sierra Pérez, “Electrónica de comunicaciones”, Pearson Prentice Hall, 2003.
- [5] Paraninfo, “Electrónica aplicada a las altas frecuencias”, Thomson Learning, 2000.
- [6] Dailos Ramos Valido, “Diseño de un sintetizador de frecuencia integrado para DVB-H en tecnología BiCMOS 0,35 μ m”, Proyecto Fin de Carrera, ULPGC, Diciembre 2010.
- [7] Dailos Ramos Valido, “Diseño de un sintetizador para el estándar IEEE 802.11”, Proyecto Fin de Carrera, ULPGC, Octubre 2005.
- [8] Libro de Microelectrónica 3º E.U.I.T.T.
- [9] Website: <http://cmosedu.com>
- [10] Mehmet Soyuer and Robert G. Meyer, “Frequency Limitations of Conventional Phase- Frequency Detector,” IEEE J. Solid-State Circuits, vol. 29, pp. 1019. 1990.

- [11] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", Ed. MCGRAWHILL, 2001.
- [12] Han-il Lee, Tae-won Ahn, Duck-young Jung and Byeong-ha Park, "Scheme for No Dead Zone, Fast PFD Design", Journal of the Korean Physical Society, Vol. 40, N°. 4, pp.543-545, April 2002.
- [13] Foundry Design Kit (FDK), User Guide, UMC 2007.
- [14] Mhd Zaher Al Sabbagh, "0.18 μ m Phase-Frequency detector and charge pump design for digital video broadcasting for handheld's phase-locked-loop systems", Thesis, School of The Ohio State University, 2007.
- [15] A. Hill and A. Surber, "The PLL Dead Zone and How to Avoid it", RF Design, pp.131-134, Mar. 1992.
- [16] F. Javier del Pino, "Diseño de Circuitos Integrados de Radiofrecuencia", Electrónica Aplicada a las Comunicaciones, Departamento de Ingeniería Electrónica y Automática, ULPGC, 2005.
- [17] T.H. Lee, "The design of CMOS Radio-Frequency Integrated Circuits", Ed. Cambridge University Press, 1998.
- [18] B. Razavi, "RF Microelectronics", Ed. Prentice Hall, 1998.
- [19] Website oficial Cascade Microtech: <http://www.cmicro.com>
- [20] R. Jacob Baker, "CMOS: Mixed-Signal Circuit Design", Ed. Wyley-IEEE Press, 2009.
- [21] R. Jacob Baker, "CMOS: Circuit Design, Layout, and Simulation", Ed. Wyley-IEEE Press, 2010.