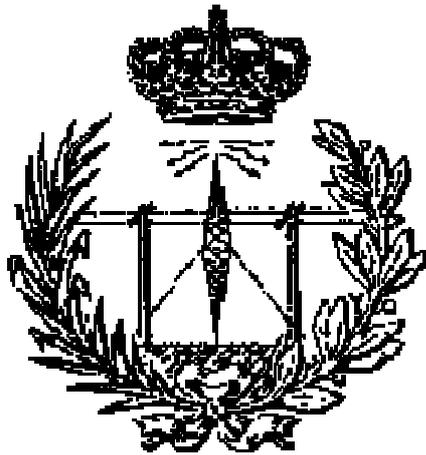


UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN
Y ELECTRÓNICA

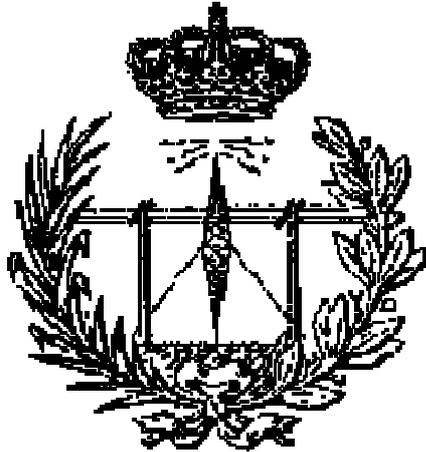


PROYECTO FIN DE CARRERA

DISEÑO DE UN LNA PARA UWB TIPO CASCODO
DOBLADO EN TECNOLOGÍA CMOS 0.18 μm

Autor: Sergio Rosino Rincón
Tutores: Francisco Javier Del Pino
Sunil Lalchand Khemchandani
Fecha: Julio de 2011

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN
Y ELECTRÓNICA



PROYECTO FIN DE CARRERA

DISEÑO DE UN LNA PARA UWB TIPO CASCODO
DOBLADO EN TECNOLOGÍA CMOS 0.18 μm

HOJA DE FIRMAS

Alumno

Fdo.: Sergio Rosino Rincón

Tutor

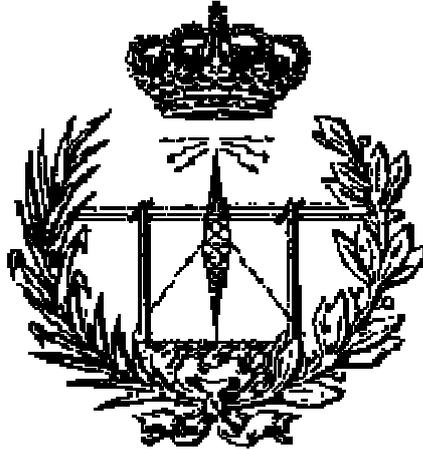
Fdo.: Francisco Javier Del Pino

Tutor

Fdo.: Sunil Lalchand Khemchandani

Fecha: Julio de 2011

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN
Y ELECTRÓNICA



PROYECTO FIN DE CARRERA

DISEÑO DE UN LNA PARA UWB TIPO CASCODO
DOBLADO EN TECNOLOGÍA CMOS 0.18 μm

HOJA DE EVALUACIÓN

Calificación: _____

Presidente

Fdo.: Nombre del Presidente

Vocal

Secretario/a

Fdo.: Nombre del vocal

Fdo.: Nombre del secretario

Fecha: Julio de 2011

DISEÑO DE UN LNA DE ULTRA BANDA ANCHA TIPO CASCODO DOBLADO EN TECNOLOGÍA CMOS 0.18 μm

Dedicado a mis padres, Juan Antonio y María Luisa, a mis hermanas Elena y Raquel, y a mi novia Matilde como agradecimiento por su infinita paciencia.

Índice

1. INTRODUCCIÓN	1
1.1 Objetivos	5
1.2 Estructura de la memoria	5
1.3 Peticionario	6
2. ESTÁNDAR IEEE 802.15.3a	7
2.1 Características de los sistemas de RF	8
2.1.1 Ganancia (G)	8
2.1.2 Ruido	8
2.1.2.1 Tipos de ruido en circuitos integrados	9
2.1.2.2 Fuentes de ruido en circuitos integrados de RF	11
2.1.2.3 Figura de ruido (NF)	15
2.1.3 Punto de Intercepción de Tercer orden (IP3)	16
2.1.4 Coeficiente de onda estacionario (VSWR)	19
2.2 Estándar IEEE 802.15.3a	19
2.2.1 Canalización	20
2.2.2 Desafíos en el diseño de MB-OFDM	21
2.3 Especificaciones del receptor para UWB-MBOA	22
2.3.1 Panorama de interferencia	22
2.3.2 Sensibilidad	23
2.3.3 Requisitos de linealidad	24
2.3.4 Requisitos de ruido	24
2.3.5 Requisitos del filtro	25
2.3.6 Requisitos del sintetizador	25
2.3.7 Especificaciones del receptor propuesto	26
2.4 Resumen	26
3. LNA PARA UWB	27
3.1 Amplificador en configuración fuente común	28
3.1.1 Respuesta en frecuencia del amplificador fuente común	29
3.2 Amplificador cascode	32

3.2.1 Respuesta en frecuencia del amplificador cascode	32
3.2.2 Amplificador cascode con circuito tanque	35
3.3 Amplificador cascode doblado	39
3.3.1 Estudio del amplificador cascode doblado	39
3.3.2 Ajuste del amplificador cascode doblado	40
3.3.3 Amplificador cascode doblado con circuito tanque	42
3.4 Adaptación de impedancias	43
3.4.1 Adaptación de la impedancia de entrada	43
3.4.1.1 Adaptación de resistiva	43
3.4.1.2 Adaptación con Etapa Puerta Común	44
3.4.1.3 Degeneración Inductiva	45
3.4.2 Adaptación de la impedancia de salida	50
3.4.2.1 Degeneración Inductiva	50
3.4.2.2 Fuente de corriente con transistores MOS	51
3.5 Amplificadores de banda ancha	53
3.5.1 Red de adaptación de entrada de banda ancha	56
3.5.2 Red de carga	61
3.5.3 Circuito resonante	64
3.6 Estructuras de los LNAs de banda ancha	65
3.6.1 Estructura del LNA Cascodo	65
3.6.2 Estructura del LNA cascode doblado	66
3.6.3 Análisis de las estructuras	67
3.6.3.1 Adaptación de entrada	67
3.6.3.2 Análisis de la ganancia	69
3.6.3.3 Análisis del ruido	72
3.7 Resumen	73
4. ESTUDIO DE LA TECNOLOGÍA	74
4.1 Resistencias	75
4.1.1 Construcción	75
4.1.2 Resistencias en la tecnología UMC 0.18 μm	76
4.1.3 Resistencias optimizadas para RF en la tecnología UMC 0.18 μm	77
4.2 Condensadores	79
4.2.1 Construcción	79

4.2.2	Condensadores en la tecnología UMC 0.18 μm	79
4.2.3	Condensadores optimizado para RF en la tecnología UMC 0.18 μm	81
4.3	Bobinas	83
4.3.1	Construcción	83
4.3.2	Funcionamiento	84
4.3.3	Modelo de la bobina	85
4.3.4	Bobinas en la tecnología UMC 0.18 μm	87
4.4	El Transistor MOSFET	89
4.4.1	Construcción	89
4.4.2	Funcionamiento	90
4.4.3	Modelo de Baja Frecuencia	92
4.4.4	Modelo de Alta Frecuencia	93
4.4.5	Transistores MOSFET en la tecnología UMC 0.18 μm	95
4.4.6	Transistores MOSFET optimizado para RF en la tecnología UMC 0.18 μm	97
4.5	Pads	99
4.5.1	Construcción	99
4.5.2	Pads en la tecnología UMC 0.18 μm	100
4.6	Lista de componentes	103
4.7	Resumen	104
5.	DISEÑO A NIVEL DE ESQUEMÁTICO	105
5.1	Filosofía de diseño	106
5.2	Diseño de un LNA cascodo de Banda Estrecha con componentes ideal a 10.6 GHz	109
5.2.1	Dimensionamiento y polarización de la estructura cascodo	110
5.2.2	Degeneración inductiva de la estructura cascodo simple	116
5.2.3	Buffer de Salida	119
5.2.4	Red de carga	120
5.2.5	Diseño completo del LNA tipo cascodo de banda estrecha	121
5.3	Diseño de un LNA cascodo de Banda Ancha con componentes ideal para UWB, 3.1-10.6 GHz	123
5.3.1	Diseño de la red de adaptación de entrada de banda ancha	124
5.3.2	Diseño de la red de carga de banda ancha	129
5.4	Ajuste del amplificador cascodo	132

5.4.1 Buffer de salida	133
5.4.2 Ajuste de la red de adaptación de entrada, dimensionamiento y polarización del amplificador cascode	137
5.4.3 Ajuste de la red de carga del amplificador cascode	148
5.4.4 Resultados del amplificador cascode con componentes ideales	151
5.5 Bobinas reales	153
5.5.1 Bobinas reales del circuito cascode	154
5.5.2 Bobinas reales del circuito cascode doblado	156
5.6 Diseños a nivel de esquemático finales	158
5.6.1 Amplificador Cascode con componentes reales	158
5.6.1.1 IIP3 del amplificador cascode con componentes reales	159
5.6.2 Amplificador Cascode Doblado con componentes reales	161
5.6.2.1 IIP3 del amplificador cascode doblado con componentes reales	169
5.7 LNA cascode vs cascode doblado	171
5.7.1 Conclusiones del análisis comparativo	172
5.8 Diseños para banda entera, modo 2 y modo 1	173
5.8.1 Amplificador Cascode	174
5.8.1.1 Banda entera: 3.1-10.6 GHz	174
5.8.1.2 Modo 1: 3.1-4.8 GHz	174
5.8.1.3 Modo 2: 3.1-8.2 GHz	175
5.8.2 Amplificador Cascode doblado	176
5.8.2.1 Banda entera: 3.1-10.6 GHz	176
5.8.2.2 Modo 1: 3.1-4.8 GHz	176
5.8.2.3 Modo 2: 3.1-8.2 GHz	177
5.9 Análisis de Montecarlo	178
5.10 Resumen	181
6. DISEÑO A NIVEL DE LAYOUT	182
6.1 Proceso de diseño	183
6.2 Layout del LNA cascode	184
6.2.1 Simulación post-layout LNA cascode	186
6.3 Layout del LNA cascode doblado	189
6.3.1 Simulación post-layout LNA cascode doblado	191
6.4 Resumen	194

7. CONCLUSIONES_____197

PRESUPUESTOS_____A

BIBLIOGRAFÍA_____B

INTRODUCCIÓN

En la actualidad las redes inalámbricas van desde las redes de voz y datos globales, que permiten a los usuarios establecer conexiones inalámbricas a través de largas distancias, hasta las tecnologías de luz infrarroja y radiofrecuencia que están optimizadas para conexiones inalámbricas a distancias cortas. Entre los dispositivos comúnmente utilizados para la interconexión inalámbrica se encuentran los equipos portátiles, equipos de escritorio, asistentes digitales personales (*PDA*), teléfonos móviles, localizadores, etc.

Las tecnologías inalámbricas tienen muchos usos prácticos. Por ejemplo, los usuarios de móviles pueden usar su teléfono móvil para tener acceso al correo electrónico. Las personas que viajan con equipos portátiles pueden conectarse a Internet a través de estaciones base instaladas en aeropuertos, estaciones de ferrocarril y otros lugares públicos. En casa, los usuarios pueden conectar dispositivos a su equipo de escritorio para sincronizar datos, transferir archivos, etc.

Las redes inalámbricas se pueden dividir en dos grupos: las fijas y las móviles. Las redes inalámbricas fijas son aquellas en las que tanto el emisor como el receptor están situados en enclaves físicos permanentes, mientras que las redes inalámbricas móviles son aquellas en las que no existe esta restricción, al menos en parte de los equipos que intervienen en la comunicación.

Dentro de las redes inalámbricas fijas nos podemos encontrar con:

- *MMDS* del inglés *Multichannel Multipoint Distribution Service*.
- *LMDS* del inglés *Local Multipoint Distribution Service*.
- Microondas punto a punto.
- Enlaces ópticos.

Las redes inalámbricas móviles se pueden clasificar en diferentes tipos en función de las distancias a través de las que se pueden transmitir los datos:

- Redes inalámbricas de área extensa (*WWAN*).
- Redes inalámbricas de área metropolitana (*WMAN*).
- Redes inalámbricas de área local (*WLAN*).
- Redes inalámbricas de área personal (*WPAN*).

Las *WWAN* permiten a los usuarios establecer conexiones inalámbricas a través de redes remotas públicas o privadas. Estas conexiones pueden mantenerse a través de áreas geográficas extensas, como ciudades o países, mediante el uso de antenas en varias ubicaciones o sistemas satélite que mantienen los proveedores de servicios inalámbricos.

Las tecnologías *WMAN* permiten a los usuarios establecer conexiones inalámbricas entre varias ubicaciones dentro de un área metropolitana (por ejemplo, entre varios edificios de oficinas de una ciudad o en un campus universitario), sin el alto coste que supone la instalación de cables de fibra o cobre y el alquiler de las líneas. Además, *WMAN* puede servir como copia de seguridad para las redes con cable, en caso de que las líneas alquiladas principales para las redes con cable no estén disponibles.

Las *WLAN* permiten a los usuarios establecer conexiones inalámbricas dentro de un área local (por ejemplo, un edificio corporativo o campus empresarial, o en un espacio público como un aeropuerto). Las *WLAN* se pueden utilizar en oficinas temporales u otros espacios donde la instalación de cableado sería prohibitiva, o para complementar una *LAN* existente. En las *WLAN* de

infraestructura, las estaciones inalámbricas (dispositivos con radiotarjetas de red o módems externos) se conectan a puntos de acceso inalámbrico que funcionan como puentes entre las estaciones y la red troncal existente. En las *WLAN* de igual a igual (*ad hoc*), varios usuarios dentro de un área limitada, como una sala de conferencias, pueden formar una red temporal sin utilizar puntos de acceso, si no necesitan obtener acceso a recursos de red.

Las tecnologías *WPAN* permiten a los usuarios establecer comunicaciones inalámbricas *ad hoc* para dispositivos (como *PDA*, teléfonos móviles y equipos portátiles) que se utilizan dentro de un espacio operativo personal (*POS*). Un *POS* es el espacio que rodea a una persona, hasta una distancia de 10 metros.

En la figura 1.1 se muestra una gráfica que enfrenta la movilidad con la tasa binaria de las redes inalámbricas.

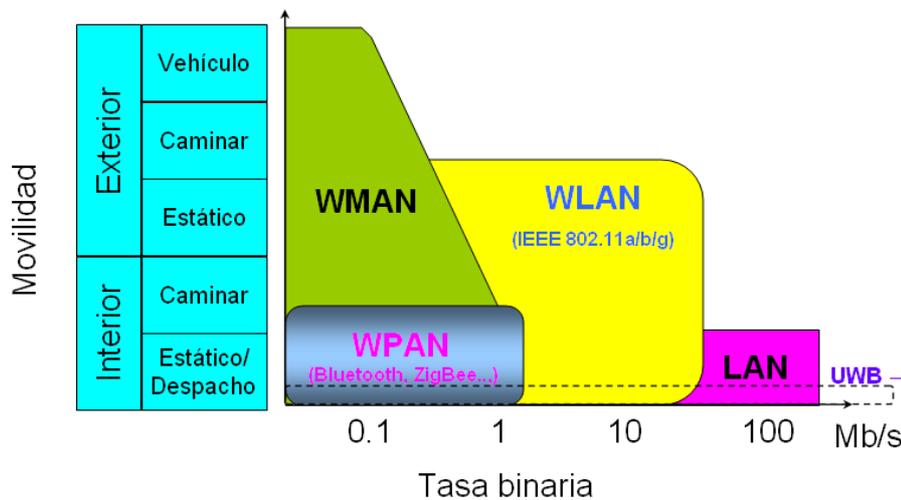


Figura 1.1 Redes inalámbricas: Movilidad frente a la tasa binaria.

Actualmente el mercado demanda tecnologías *WPAN* con velocidades similares a las ofrecidas por las tecnologías de conexión física, que ofrezcan por ejemplo transmisiones de video de alta definición en tiempo real. Hasta el momento *Bluetooth* era la tecnología dominante en el mercado debido a sus ventajas. Dispone de un protocolo de comunicaciones de área personal que integra a una amplia variedad de dispositivos, facilita el uso de tecnologías de diversos fabricantes y permite una rápida interconexión. Hasta la fecha éstas siguen siendo las principales ventajas de *Bluetooth* sobre otras tecnologías. En el aspecto técnico, *Bluetooth* opera en la llamada banda de aplicaciones industriales, científicas y médicas (ISM), con una frecuencia de 2.45 GHz, dividiendo esta banda en 79 canales de 1 MHz. En cuanto a la velocidad de transmisión, este protocolo permite transmisiones de hasta 2.1 Mbps, en su versión 2.0 [31].

Esta velocidad de transmisión es suficiente para muchas aplicaciones, sin embargo, no lo es para lo que actualmente demanda el mercado. De aquí surge la tecnología *UWB* (*Ultra Wide Band*, ultra banda ancha), la cual tiene un ancho de banda de 3.1-10.6 *GHz* y velocidades de transmisión de hasta 400-500 *Mbps* [17], [18].

Existen dos grandes métodos para la generación de las señales de *UWB*:

- *IR-UWB* (*Impulse Radio-UWB*): en este caso se utiliza señales de radio de pulsos cortos del orden de picosegundos en banda base, las cuales se transmiten sin una portadora que lo sustente.
- *CB-UWB* (*Carrier Based-UWB*): el segundo método de generación de señales de *UWB* es a través de técnicas con portadora (*DSSS* del inglés *Direct Sequence Spread Spectrum* o *FHSS* del inglés *Frequency Hopping Spread Spectrum*), técnicas de multiportadora (*OFDM* del inglés *Orthogonal Frequency Division Multiplexing*) o la combinación de ambas. La *FCC* (*Federal Communications Commission*) indicó que los sistemas *UWB* para propósitos comerciales, tales como *802.15.3a*, se basarán probablemente en *CB-UWB* [17].

Se han hecho varias propuestas para el estándar *802.15.3a*, pero nosotros nos centraremos en la propuesta por la *MBOA* (*Multiband OFDM Alliance*) [18]. La *MBOA* dividió el espectro de 3 *GHz* a 10 *GHz*, en bandas de 528 *MHz* empleando *OFDM* en cada banda. Los datos son modulados en *QPSK-OFDM* 128, permitiendo tasas de datos de 53.3 *Mb/s* a 480 *Mb/s* (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 *Mb/s*).

En la figura 1.2 se muestra el esquema de un transmisor-receptor para *UWB* basado en este estándar. Como se muestra, la parte del receptor está compuesta por diferentes bloques de entre los que destaca el amplificador de bajo nivel de ruido (*LNA*, *Low Noise Amplifier*) por ser el primer elemento activo con el que se encuentra la señal. Este proyecto en sí, trata del diseño de dicho amplificador.

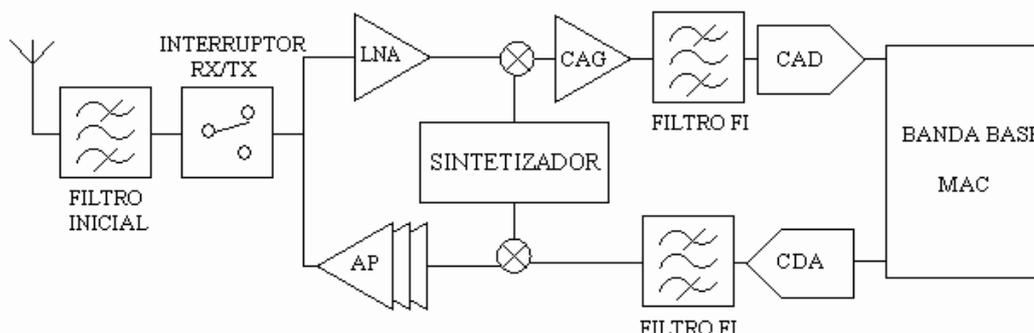


Figura 1.2 Esquema de un transmisor-receptor para *UWB*.

1.1 Objetivos

El objetivo principal de este proyecto es el diseño de un *LNA* tipo cascode doblado de ultra banda ancha con transistores *CMOS* para un receptor de *UWB* (estándar 802.15.3a). Par ello se hará uso de la tecnología *CMOS* 0.18 μm suministrada por la empresa *UMC* (*United Microelectronic Circuit*),[1]-[2].

Dicho amplificador forma parte de una línea de investigación de más envergadura *Short Range Radio (SR2)*, en la que se desarrollan varios proyectos encaminados a estudiar las posibilidades de integración de terminales inalámbricos basados en los estándares de última generación, así como las aplicaciones de las mismas.

En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.2 Estructura de la memoria

En este primer capítulo se han presentado las principales redes inalámbricas, centrándonos en las *WPANs*. Se ha visto qué motiva la aparición de *UWB* y las distintas propuestas para su estándar. Por último, se ha fijado los objetivos del proyecto.

En el capítulo 2 abordaremos el estudio de las características del estándar *IEEE* 802.15.3a. Se comenzará con una explicación general de las características comunes a cualquier sistema de radiofrecuencia (*RF*). A continuación, se estudiará en detalle los aspectos más importantes del estándar. Este proyecto es parte de una cadena de recepción de *UWB*, por lo que se presentará finalmente la estructura general de dicho receptor.

En el capítulo 3 nos centraremos en las características de los *LNAs* de ultra banda ancha. Para ello estudiaremos primero la arquitectura simple, después se estudiará el amplificador cascode, para posteriormente pasar al amplificador cascode doblado y finalmente abordar las estructuras de nuestros diseños.

En el capítulo 4 profundizaremos en el estudio de la tecnología *CMOS* de 0.18 μm de *UMC*. Como parte de este estudio, se analizarán los componentes de dicha tecnología que formarán parte

de nuestros LNAs.

Una vez estudiada la tecnología, en el capítulo 5 nos centraremos en el diseño a nivel de esquemático. Para simularlo se utilizará el *software* CADENCE [32].

En el capítulo 6 pasaremos a la implementación física de los diseños obtenidos en el capítulo anterior haciendo nuevamente uso del *software* CADENCE [32]. Una vez generados nuestros *layouts*, se realizan una serie de simulaciones *post-layout* para asegurar la correcta implementación de nuestro diseño.

Finalmente, en el capítulo 7 se resumen las principales conclusiones y resultados obtenidos.

1.3 Peticionario

Actúa como petionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA).

ESTÁNDAR IEEE 802.15.3a

En el capítulo anterior hemos visto una introducción general de cómo se ha desarrollado nuestro proyecto y se estableció el estándar sobre el que íbamos a trabajar. En nuestro caso se trata del denominado *IEEE 802.15.3a* propuesto por la *MBOA*.

En este capítulo analizaremos los parámetros característicos de este estándar, ya que protagonizan un importante papel dentro de nuestro estudio.

Para ello, comenzaremos con una introducción de las características de los sistemas de radiofrecuencia (*RF*) en general [7], [11]. Con esta información, nos encontraremos capacitados para desarrollar en profundidad el estándar *IEEE 802.15.3a*.

2.1 Características de los sistemas de RF

Los conceptos tratados en este apartado son comunes a la mayoría de los bloques que componen un sistema de RF, por esta razón serán de utilidad más adelante para el estudio del sistema donde irán incluidos nuestros amplificadores.

2.1.1 Ganancia (G)

La ganancia de un circuito determina la relación entre las amplitudes de la señal de salida y la de entrada. La ganancia en tensión se puede expresar mediante la ecuación (2.1).

$$G = \frac{V_{Salida}}{V_{Entrada}} \quad (2.1)$$

Siendo su valor en decibelios el mostrado en la ecuación (2.2).

$$G(dB) = 20 \cdot \log \left(\frac{V_{Salida}}{V_{Entrada}} \right) \quad (2.2)$$

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante hablaremos de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de un circuito se utilizan los parámetros S, más concretamente el parámetro S₂₁.

2.1.2 Ruido

El ruido se define como cualquier interferencia aleatoria no relacionada con la señal de interés. La inevitable presencia del ruido en un sistema de comunicación provoca que la transmisión de señales eléctricas a través del mismo no sea segura. Hay muchas fuentes potenciales de ruido. Éstas pueden ser externas al sistema (ruido atmosférico, ruido galáctico, ruido producido por el hombre) o propias del mismo sistema. En este apartado sólo se estudiará las fuentes de ruido generadas por el propio sistema.

El ruido interno está muy unido a los fenómenos físicos que caracterizan el comportamiento de los componentes de los circuitos empleados en RF. Estos fenómenos consisten en variaciones espontáneas de tensiones o corrientes causadas por la agitación temporal de las cargas en los conductores

o por la estructura granular de dichas cargas. Por lo tanto, podemos deducir que el ruido producido por un circuito electrónico no puede ser eliminado por completo debido a que es intrínseco al propio funcionamiento del circuito. Sin embargo, si es posible minimizar sus efectos mediante un diseño adecuado del mismo.

2.1.2.1 Tipos de ruido en circuitos integrados

En este subapartado se explicarán brevemente los tipos de ruido que se encuentran en los circuitos integrados, así como el motivo de su aparición.

Ruido Térmico

Es una perturbación de carácter aleatorio que aparece de forma natural en los conductores debido a la agitación térmica de los electrones. Los electrones de un conductor poseen distintos valores de energía debido a la temperatura del conductor. Las fluctuaciones de energía en torno al valor más probable son muy pequeñas pero suficientes para producir la agitación de las cargas dentro del conductor. Estas fluctuaciones de las cargas crean una diferencia de tensión que se mezcla con la señal transmitida por el conductor, produciendo interferencias en la misma y degradando la calidad de la señal.

Como la causa de este tipo de ruido es el movimiento térmico de los electrones, es lógico esperar que esté relacionado con la temperatura y de hecho aumenta directamente con la misma. La potencia media de ruido térmico está definida por la ecuación (2.3):

$$\eta = 4 \cdot K \cdot T \cdot \Delta f \quad (2.3)$$

Donde:

- η es la potencia media de ruido media medida en vatios.
- K es la constante de *Boltzmann*, $K = 1.381 \times 10^{-23} \text{ Jul } ^\circ / K$.
- T es la temperatura absoluta.
- Δf es el ancho de banda de la señal.

Como se puede observar en la ecuación (2.3) el valor del ruido térmico también aumenta de forma

proporcional con el ancho de banda de la señal. Las fuentes de ruido térmico más comunes en los circuitos integrados son las resistencias y los transistores *MOS*.

Ruido Shot

La base fundamental del ruido *Shot* es la naturaleza granular de la carga eléctrica. El ruido *Shot* se origina solamente cuando hay un flujo de corriente a través de una barrera de potencial y está asociado al mecanismo físico de salto de una barrera de potencial por un transporte de carga.

Estos procesos físicos asumen la existencia de un promedio de flujo de corriente que se manifiesta en forma de huecos y electrones fluyendo en los semiconductores. En particular, en un semiconductor, la causa de este ruido es la dispersión aleatoria de los electrones o la recombinación aleatoria de los huecos. Como consecuencia, el ruido *Shot* dependerá de la carga del electrón, del valor medio de la corriente y, como en el ruido térmico, del ancho de banda. Este tipo de ruido está caracterizado, al igual que el ruido térmico, por una función de densidad gaussiana.

Ruido Flicker

Este tipo de ruido aparece en todos los dispositivos activos, así como en algunos elementos pasivos. Está caracterizado por una densidad espectral de potencia que aumenta cuando la frecuencia decrece. Por esta propiedad este ruido es muy diferente del ruido térmico y del ruido *Shot*, aunque esté caracterizado también por una función de densidad de probabilidad gaussiana.

En los dispositivos electrónicos, la aparición del ruido *flicker* está más marcada en dispositivos que son sensibles a los fenómenos de superficie ya que los defectos e impurezas en la superficie del material del dispositivo pueden atrapar y liberar cargas aleatoriamente.

La corriente I generada por el ruido *flicker* presenta, en general, una densidad espectral de potencia como se muestra en la ecuación (2.4).

$$S_{i(t)} = K_1 \cdot \Delta f \cdot \frac{I^a}{f^b} \quad (2.4)$$

Siendo:

- I el flujo de corriente directa del dispositivo.

- K_1 una constante particular para cada dispositivo.
- a una constante en el rango de 0.5 a 2.
- b una constante cuyo valor es próximo a la unidad.

Debemos considerar que al trabajar con circuitos de RF estamos tratando con altas frecuencias por lo que el ruido *flicker* no tiene un efecto considerable.

De todos los tipos de ruido que se han visto el más importante es el ruido térmico, ya que está directamente relacionado con el ancho de banda de la señal y con la temperatura a la que trabaja el dispositivo electrónico.

2.1.2.2 Fuentes de ruido en circuitos integrados de RF

El ruido que se genera en los circuitos integrados es debido a los componentes que han sido integrados en el mismo. Aunque las resistencias y los transistores MOS son las fuentes de ruido principales en los circuitos integrados, existen otros dispositivos que también añaden ruido. Estos dispositivos pueden ser los condensadores y las bobinas. Idealmente estos componentes de carácter reactivo no son ruidosos pero al integrarse aparecen una serie de efectos parásitos que si contribuyen a la aparición de algún tipo de ruido.

Ruido térmico en resistencias integradas

En una resistencia R el ruido térmico que se origina puede ser modelado por una fuente de tensión en serie con la resistencia con un valor cuadrático medio o por un generador de corriente en paralelo con R de valor cuadrático medio, tal y como se representa en la figura 2.1.

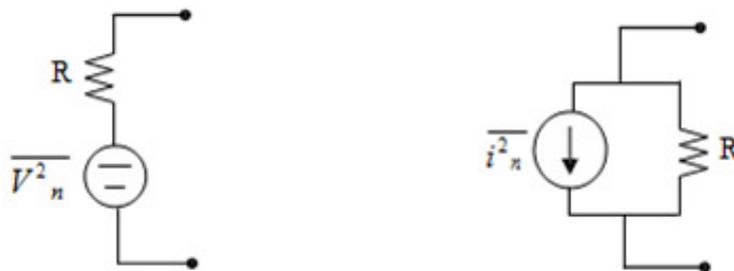


Figura 2.1 Fuentes de ruido equivalente en un resistencia.

La densidad espectral de potencia de la fuente de tensión serie y la del generador de corriente equivalente de ruido se muestra en las ecuaciones (2.5) y (2.6) respectivamente.

$$S_{v(t)} = 4 \cdot K \cdot T \cdot R \quad (2.5)$$

$$S_{i(t)} = \frac{4 \cdot K \cdot T}{R} \quad (2.6)$$

Como se puede observar en estas ecuaciones, la densidad espectral de potencia del ruido térmico es independiente de la frecuencia. Es decir, el ruido térmico generado por una resistencia a baja frecuencia es el mismo que el introducido a alta frecuencia.

El ruido térmico y en general todos los tipos de ruido que presentan esta característica son conocidos como ruido blanco.

El valor cuadrático medio de ruido para la fuente de tensión y para la fuente de corriente equivalente de ruido se representa en las ecuaciones (2.7) y (2.8).

$$V^2 n(t) = 4 \cdot K \cdot T \cdot R \cdot \Delta f \quad (2.7)$$

$$i^2 n(t) = 4 \cdot K \cdot T \cdot \frac{1}{R} \cdot \Delta f \quad (2.8)$$

De las ecuaciones anteriores se puede deducir que el valor del ruido térmico generado en una resistencia es directamente proporcional al ancho de banda de la señal.

Ruido térmico en transistores MOS

El ruido térmico aparece presente en el transistor MOS debido a que se comporta como una resistencia controlada por tensión. Este tipo de ruido puede ser modelado como un generador de corriente conectado entre el drenador y la fuente del transistor, como muestra la figura 2.2.

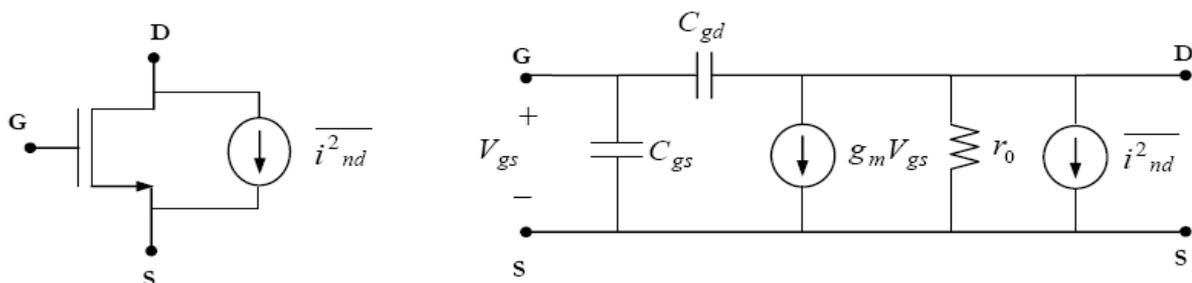


Figura 2.2 Representación del ruido térmico en un transistor MOS y su circuito equivalente.

La densidad espectral de potencia de esta fuente de ruido está dada por la ecuación (2.9):

$$S_{i_{nd}}(f) = 4 \cdot K \cdot T \cdot \gamma \cdot g_{d0} \quad (2.9)$$

Siendo:

- g_{d0} la conductancia de la fuente de drenador para $V_{DS} = 0$. En el caso de que el MOS sea de canal largo y esté en saturación, g_{d0} puede ser sustituido por la transconductancia del transistor g_m .
- γ un parámetro que en dispositivos de canal largo es función de V_{DS} .

Además del ruido térmico generado por la corriente de drenador, aparece otra fuente de ruido añadida. Esta fuente de ruido la genera la resistencia distribuida que presenta la puerta del transistor MOS. El polisilicio con el cual está fabricada la puerta, no es un conductor ideal y presenta una resistencia la cual tiene asociada una fuente de ruido térmico.

El valor de la resistencia de puerta de un transistor MOS se calcula mediante la ecuación (2.10).

$$R_g = \frac{R_* \cdot W}{3 \cdot n^2 \cdot L} \quad (2.10)$$

Donde:

- R_* es la resistencia por cuadro del polisilicio.
- W y L son las dimensiones del transistor MOS.
- n es el número de dedos o transistores en que se ha dividido el transistor MOS.

De la ecuación (2.10) se puede deducir que el ruido introducido por la resistencia de puerta puede minimizarse utilizando técnicas en la realización del *layout*.

En la figura 2.3 se muestra el circuito equivalente de un transistor MOS donde aparece enmarcado en línea discontinua la fuente de ruido equivalente al ruido de puerta y al ruido térmico generado por la corriente de drenador.

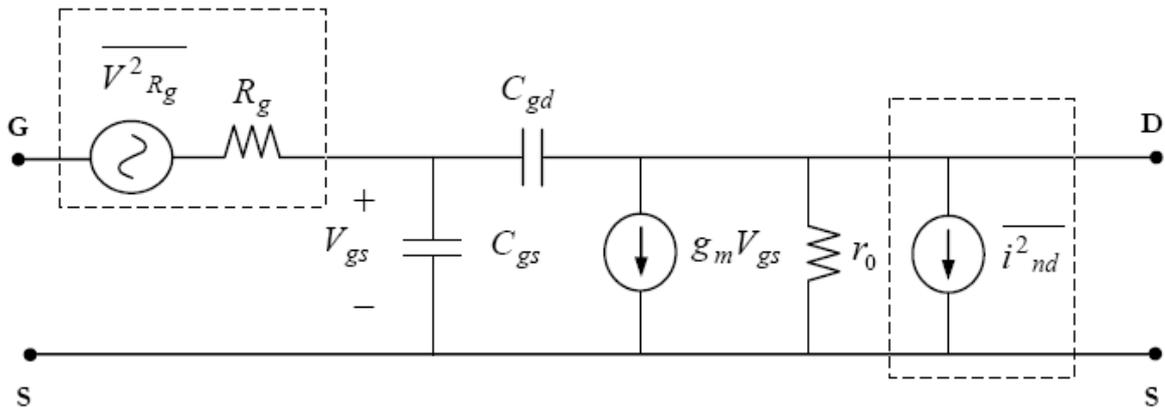


Figura 2.3 Representación del ruido térmico y ruido de puerta en un transistor MOS.

Ruido Shot en transistores MOS

Otra fuente de ruido que aparece en los dispositivos *MOS*, pero que apenas se manifiesta, es el ruido *Shot*. Este tipo de ruido es originado por las corrientes de fuga en la puerta del transistor *MOS* y puede ser modelado como un generador de corriente conectado entre la puerta y la fuente del transistor como se muestra en la figura 2.4.

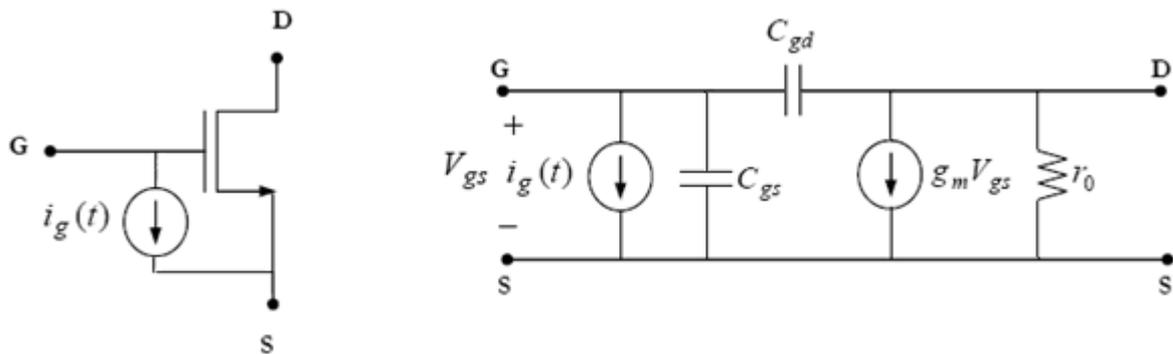


Figura 2.4 Representación del ruido Shot en un transistor MOS y su circuito equivalente.

El ruido *Shot* tiene una densidad espectral de potencia definida por la ecuación (2.11).

$$S_{i_{gt}}(f) = 2 \cdot q \cdot I_G \quad (2.11)$$

Donde:

- I_G es la corriente continua de fuga en la puerta del transistor *MOS*.
- q es la carga del electrón.

2.1.2.3 Figura de ruido (NF)

En un amplificador de RF, incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. La figura de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. La figura de ruido se expresa como muestra la ecuación (2.12).

$$NF = \frac{P_{No}}{P_{Ni} \cdot G_A} \quad (2.12)$$

Donde:

- P_{No} es la potencia total de ruido disponible a la salida del sistema.
- P_{Ni} es la potencia de ruido disponible en un ancho de banda B , $P_{Ni} = k \cdot T \cdot B$ (k y T son respectivamente la constante de Boltzmann y la temperatura absoluta).
- G_A es la ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{So}) y la potencia de señal disponible a la entrada (P_{Si}).

Sustituyendo G_A por dicha relación en la ecuación (2.12) obtenemos que la figura de ruido mostrada en la ecuación 2.13.

$$NF = \frac{P_{Si}/P_{Ni}}{P_{So}/P_{No}} = \frac{SNR_i}{SNR_o} \quad (2.13)$$

Donde SNR_i y SNR_o son las relaciones señal a ruido medidas a la entrada y a la salida respectivamente.

De esta forma, la figura de ruido es una medida de cuanto se degrada la SNR al pasar la señal a través del circuito. Si el circuito no añadiese ruido, entonces $SNR_i = SNR_o$ independientemente del valor de la ganancia del mismo. Esto es debido a que tanto la señal como el ruido son amplificadas (o atenuadas) por el mismo factor. Por lo tanto, la figura de ruido de un circuito sin ruido es igual a

1 aunque por lo general la figura de ruido suele ser mayor que la unidad.

Para dos etapas en cascada la figura de ruido viene dada por la ecuación (2.14).

$$NF = NF_1 + \frac{(NF_2 - 1)}{G_{A1}} \quad (2.14)$$

Donde:

- NF_1 y NF_2 son las figuras de ruido de ambas etapas por separado.
- G_{A1} es la ganancia de la primera etapa.

La ecuación (2.14) muestra que la primera etapa es la que más contribuye al ruido total ya que su figura de ruido se suma directamente a la del sistema, mientras que la de la segunda etapa es atenuada por la ganancia de la primera etapa. En consecuencia, la primera etapa de un sistema de radiofrecuencia (*LNA*) debe tener una baja figura de ruido y una alta ganancia.

2.1.3 Punto de Intercepción de Tercer orden (IP3)

El punto de intercepción de tercer orden es una medida de la linealidad de un circuito. Cuando dos señales con diferentes frecuencias (ω_1 y ω_2) son aplicadas a un sistema no lineal, la salida exhibe, en general, términos armónicos de ω_1 y ω_2 , y también términos de frecuencias que siguen la ley $m \cdot \omega_1 \pm n \cdot \omega_2$ los cuales se producen por mezcla de los anteriores. A estos se le denomina productos de intermodulación (*IM*). Se define el orden de cada producto como la suma de $m + n$. Los productos de intermodulación se pueden dar referidos a la salida (*OIM*) o a la entrada (*IIM*) y se suelen expresar en *dBm*. Ambos valores están relacionados a través de la ganancia del circuito ($OIM = IIM + G$ *dB*). Los productos de intermodulación más importantes son los de tercer orden ($2\omega_1 - \omega_2 \pm 2\omega_2 - \omega_1$), desechando el término de continua que normalmente no condiciona la información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la figura 2.5 se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes de interferencias.

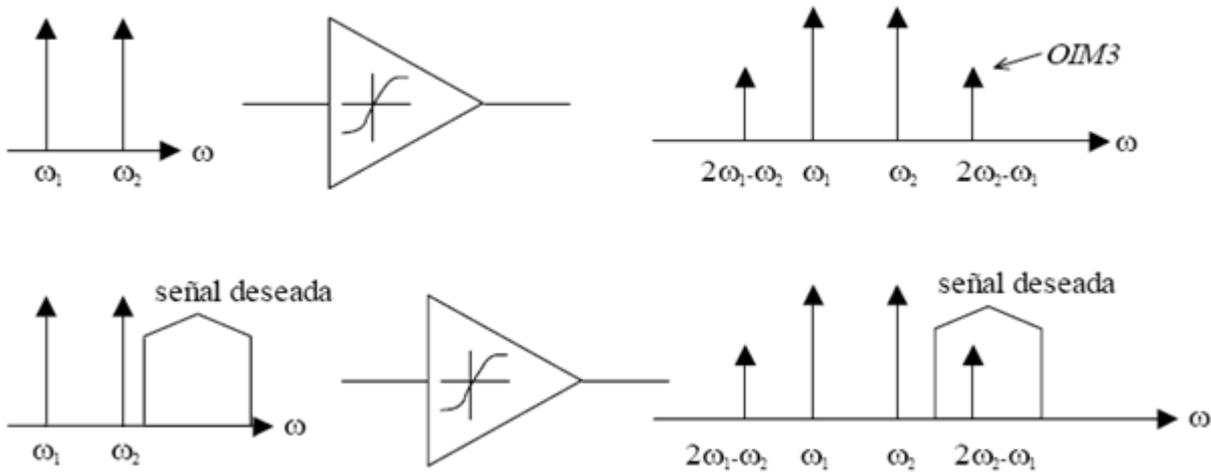


Figura 2.5 Efecto de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden $IP3$ (*third intercept point*) el cual se puede dar referido a la entrada ($IIP3$) o a la salida ($OIP3$). Por medio de la ecuación (2.15) se puede calcular el $IIP3$.

$$IIP3_{dBm} = \frac{\Delta P_{dB}}{2} + P_{in_{dBm}} \quad (2.15)$$

Donde:

- P_{in} es la potencia de la señal interferente (tono).
- ΔP_{dB} es la diferencia de potencia entre la señal interferente y el $IIM3$.

En la figura 2.6 se muestra la interpretación gráfica de ambas cantidades así como del $IP3$. Para determinar gráficamente el $IP3$ se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel RF a la entrada. El $IP3$ es la intercepción extrapolada de esas dos curvas. En general cuanto mayor sea el $IP3$ más lineal será nuestro circuito.

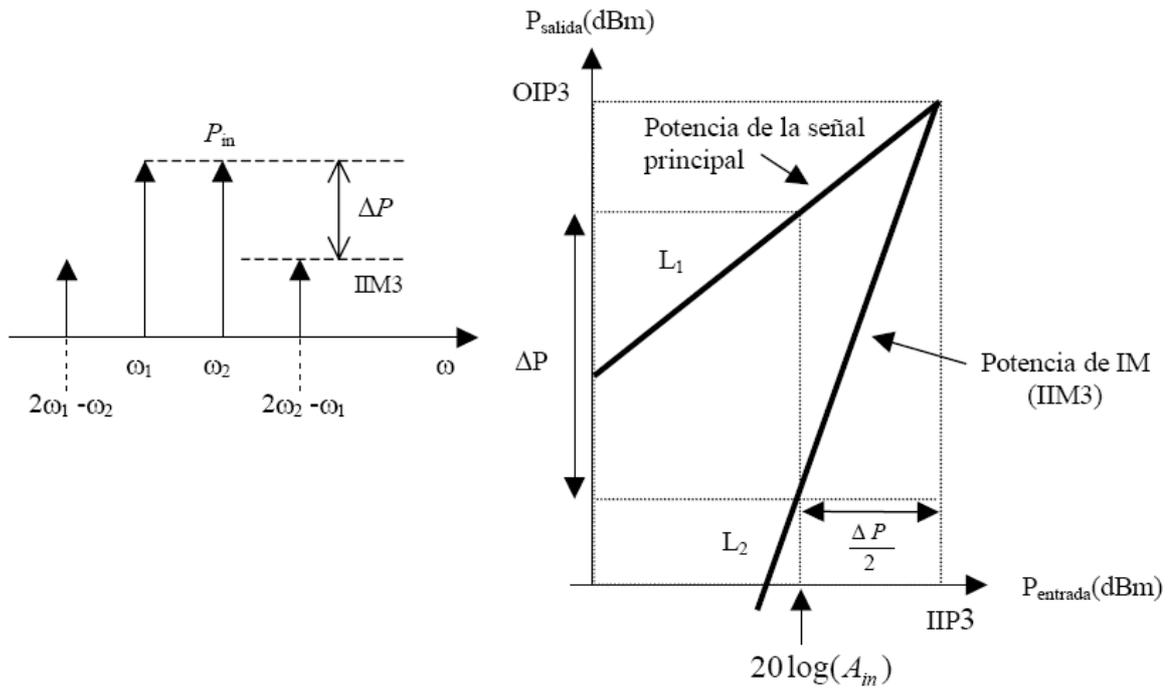


Figura 2.6 Medida del IP3 referido a la entrada.

Así, el $IIP3$ se puede determinar a partir de la ecuación (2.15) como se muestra en la ecuación (2.16).

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM3}{2} + Pin_{dBm} \quad (2.16)$$

El $IIM3$ viene dado por la ecuación (2.17).

$$IIM3_{dBm} = Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm}) \quad (2.17)$$

$$IIM3_{dBm} = 3Pin_{dBm} - 2IIP3_{dBm}$$

Es digno de mención que el representar la linealidad de un componente mediante el uso del $IM3$ presenta el inconveniente que debe ser especificada la potencia de entrada. Con el $IP3$ se salva este problema. El $IIM3$ y el $OIM3$ son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el $IIP3$ y el $OIP3$ son medidas relativas a los valores de los tonos de test utilizados. De esta forma, haciendo uso del $IIP3$ o el $OIP3$ podemos comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos y por ello son la forma más habitual de caracterizar los efectos de la intermodulación. La forma más práctica y sencilla de calcular el $IIP3$ y el $OIP3$ es a través del punto de compresión a 1 dB [5], aplicando la ecuación (2.18).

$$P_{1dB} - IIP3 = -9.6 \text{ dB} \quad (2.18)$$

2.1.4 Coeficiente de onda estacionario (VSWR)

Está relacionado con el coeficiente de reflexión (Γ_L , relación entre la onda incidente y la reflejada) según la ecuación (2.19) e indica una medida cuantitativa de la adaptación del circuito a la entrada ($VSWR1$) o a la salida ($VSWR2$). En la ecuación (2.19), Z_0 es la impedancia característica de la línea de transmisión y Z_L es la impedancia de carga. Como se puede observar, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica, el coeficiente de reflexión será cero, lo cual equivale a un $VSWR$ de valor 1. El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión se debe a que es más fácil de medir (no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas).

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1} \quad (2.19)$$

2.2 Estándar IEEE 802.15.3a

En 2002, la *FCC* (*Federal Communications Commission*) con el informe 02-48 establece el reglamento para *UWB*. La *FCC* aprueba el sistema de *UWB* para un rango de frecuencias de 3.1- 10.6 GHz [17]. Para definir un dispositivo como de *UWB*, éste debe tener un ancho de banda fraccional de 0.2 GHz u ocupar 0.5 GHz .

$$BW_{\text{Fraccional}} = \frac{2(fs - fi)}{2fs + fi} \quad (2.20)$$

Donde fs es la frecuencia superior y fi la frecuencia inferior a 10 dB .

Basándose en esta asignación, *UWB* no se considera una tecnología sino un espectro libre para su uso. La *FCC* propuso para su comercialización de usos civiles las siguientes aplicaciones:

- Sistemas de proyección de imagen, médicos y de vigilancia.
- Radars de vehículos.
- Sistemas de comunicaciones y de medidas.

Un inconveniente importante es que *UWB* tiene que coexistir con un nivel de interferencias relativamente alto debido a los dispositivos de 2.4 GHz y de 5 GHz de las bandas *ISM*.

2.2.1 Canalización

Como parte del IEEE 802.15, la MBOA (*Multiband OFDM Alliance*) para el estándar de UWB dividió el espectro de 3-10 GHz, en bandas de 528 MHz empleando OFDM en cada banda. Los datos son modulados en QPSK-OFDM 128, permitiendo tasas de datos de 53.3 Mb/s a 480 Mb/s (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 Mb/s) [18].

En la figura 2.7 se muestra como se definió en 5 grupos las bandas. El primer grupo de bandas es utilizado para la primera generación de dispositivos (Modo 1 de 3.1-4.8 GHz). Los grupos de bandas del 2 al 5 son reservados para usarlos en el futuro (Modo 2 3.1-8.2 GHz y Modo 3 3.1-10.6 GHz).

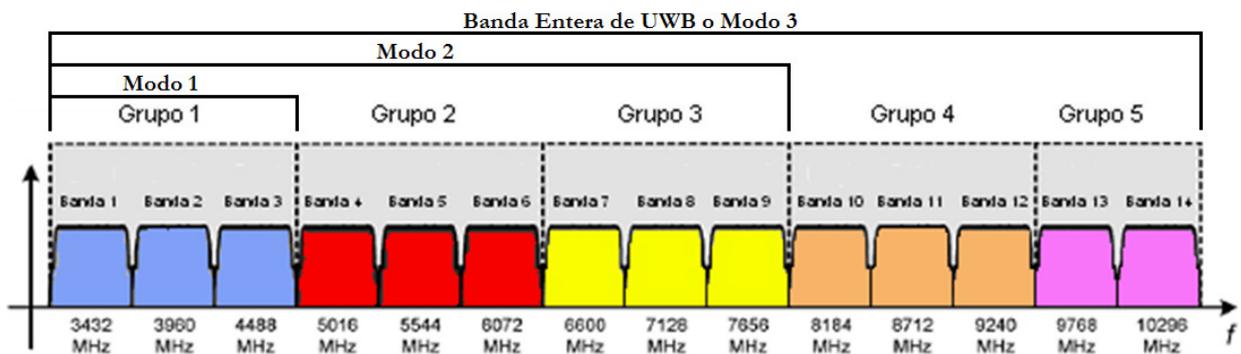


Figura 2.7 Bandas de frecuencia.

Conviene comentar que si usamos únicamente las 3 bandas inferiores (Modo 2) se puede usar un filtro pasobanda que reduce el nivel de interferencias de las bandas ISM a 5 GHz.

Para proporcionar robustez frente a la multitrayectoria y a las interferencias se utiliza la técnica de *frequency hopping* (saltos de frecuencia) entre las bandas de cada grupo de bandas. El receptor debe tener por tanto una alta linealidad y un oscilador local de banda ancha con saltos de frecuencias de menos de 9.5 ns de duración (ver figura 2.8).

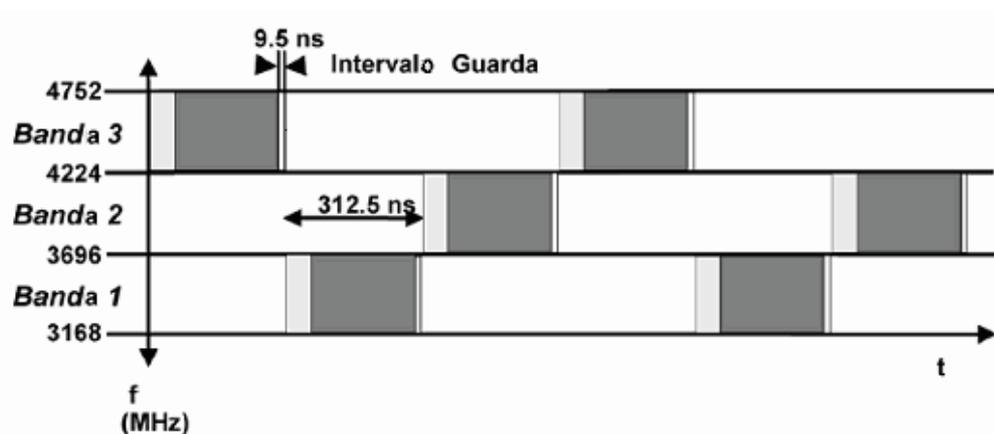


Figura 2.8 Frequency Hopping.

En la tabla 2.1 se muestra la distribución de frecuencias de cada grupo de bandas *MB-OFDM*.

Tabla 2.1 MB-OFDM plan de frecuencias

MODOS			GRUPO DE BANDAS	Nº DE LAS BANDAS	FRECUENCIA INFERIOR	FRECUENCIA CENTRAL	FRECUENCIA SUPERIOR
3	1	1	1	1	3168 MHz	3432 MHz	3696 MHz
				2	3696 MHz	3960 MHz	4224 MHz
				3	4224 MHz	4488 MHz	4752 MHz
	2	2	2	4	4752 MHz	5016 MHz	5280 MHz
				5	5280 MHz	5544 MHz	5808 MHz
				6	5808 MHz	6072 MHz	6336 MHz
	3	3	3	7	6336 MHz	6600 MHz	6864 MHz
				8	6864 MHz	7128 MHz	7392 MHz
				9	7392 MHz	7656 MHz	7920 MHz
				10	7920 MHz	8184 MHz	8448 MHz
	4	4	4	11	8448 MHz	8712 MHz	8976 MHz
				12	8976 MHz	9240 MHz	9504 MHz
				13	9504 MHz	9768 MHz	10032 MHz
	5	5	5	14	10032 MHz	10296 MHz	10560 MHz

Frecuencia central de la banda = $2904 + 528 \times n_b$, $n_b = 1 \dots 14$ (MHz).

2.2.2 Desafíos en el diseño de MB-OFDM

Los receptores *MB-OFDM* comparado con los receptores de banda estrecha, tienen una serie de nuevos desafíos, los cuales se resumen en [19], [20], [21]:

- Necesidad de una adaptación de la impedancia de entrada de banda ancha, de 3.1 GHz a 10.6 GHz. Se necesita un *LNA* en el receptor capaz de proporcionar una figura de ruido razonablemente baja, una alta ganancia y un consumo de corriente bajo. Esto es muy difícil de conseguir usando *LNAs* convencionales de banda estrecha o amplificadores realimentados resistivamente [15].
- Cuando estamos recibiendo en un canal, la señal de los otros canales entran en el receptor y aparecen señales bloqueantes. Como consecuencia, aparecen restricciones a la linealidad dentro de la banda.
- Necesita una mejor linealidad al coexistir con otras bandas de 3.4-10.3 GHz, esto no ocurría con los receptores de banda estrecha. Por ejemplo, en los sistemas de banda estrecha la distorsión o la no linealidad debida a los armónicos de 2º orden no son importantes ya que están fuera de la banda. Sin embargo, en los receptores de *UWB*, la distorsión de 2º orden del canal 1 cae dentro del canal 5.
- Los receptores necesitan filtros para seleccionar los canales en banda base con un alto rechazo

a la frecuencia de corte de 264 MHz. Es particularmente difícil realizar filtros activos con polos en este rango de frecuencias, y satisfacer rigurosamente el rango dinámico sin un consumo alto de corriente.

- Los receptores necesitan un sintetizador de frecuencia de banda ancha ágil, para toda la banda 3.4 a 10.3 GHz;
- Los sistemas de banda ancha usan esquemas complejos de modulación. Debido a la aglomeración en la constelación se necesita una ganancia equilibrada entre los canales I y Q, así como una alta eficiencia en las fases en cuadratura del oscilador local, en inglés *local oscillator (LO)*.
- Al tener *UWB* un ancho de banda grande, los armónicos del *LO* pueden enviar algún canal no deseado de *UWB* a la *FI* e interferir el canal deseado.

2.3 Especificaciones del receptor para UWB-MBOA

Para alcanzar una solución de bajo coste, se requiere una alta integración de la arquitectura del receptor, con un mínimo número de componentes externos. En la figura 2.9 se muestra una arquitectura *zero-IF* (frecuencia intermedia nula) que satisface bien esta aplicación de *UWB*. Este esquema se ha puesto en práctica para aplicaciones radio de *UWB* recientemente publicadas [19], [20], [21]. La señal de la antena es filtrada por un filtro pasivo inicial, el cual reduce el nivel de las interferencias fuera de la banda. Lo siguiente es un *LNA* de ultra banda ancha y un mezclador en cuadratura que convierte a frecuencias intermedias nulas. El sintetizador proporciona las señales en cuadratura y los saltos de frecuencia del oscilador local. El filtro en banda base proporciona filtrados y ganancias variables. La señal en banda base es digitalizada por un conversor analógico digital (*ADC*), al cual lo sigue un procesador digital en banda base.

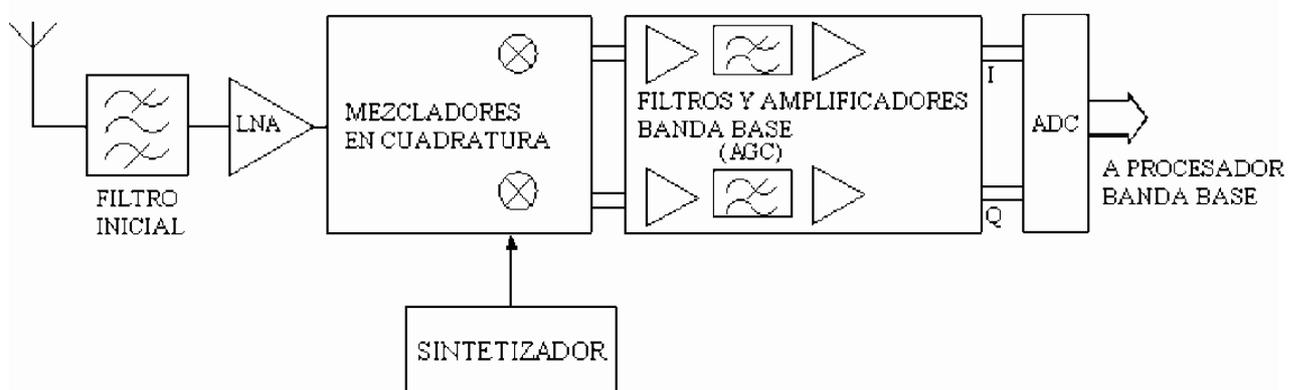


Figura 2.9 Receptor para UWB.

2.3.1 Panorama de interferencia

Debido al corto alcance y la alta tasa de datos de los sistemas inalámbricos de *UWB* estos se integrará dentro de multitud de dispositivos incluidos: ordenadores, impresoras, *HDTV*s, cámaras digitales, grabadores de *DVD*, *PDA*, etc. Para que puedan coexistir junto a otras tecnologías inalámbricas como *WLAN* 802.11 y *Bluetooth*, se necesita de un receptor robusto a las interferencias. Se ha propuesto como distancia máxima 10 metros, lo que quiere decir, que la potencia mínima de señal recibida será del orden de -74 dBm . A la hora de analizar la robustez de un sistema de *UWB* es necesario considerar varios tipos de interferencias: interferencias dentro de la banda, tales como *UWB* no deseadas, e interferencias fuera de la banda, como *WLAN* e interferencias de los móviles. Para demostrar que las interferencias pueden producir problemas de linealidad, se considera un caso típico en el que tenemos una señal interferente *IEEE* 802.11.a en la banda superior *UNII*. Con 30 dBm y 0.2 metros de distancia, la potencia recibida de esta interferencia puede alcanzar 5 dBm , aproximadamente 80 dB mayor que la potencia recibida de la señal de *UWB* deseada.

2.3.2 Sensibilidad

En la tabla 2.2 se muestra la sensibilidad mínima del receptor para las distintas tasas de datos disponibles. El *PER* (*packet error rate*, error en la tasa de paquetes) debe ser menor que el 8% con un *PSDU* (*PHY payload*) de 1024 bytes [18].

Tabla 2.2 Sensibilidad mínima para las diferentes tasas de datos

Tasa de datos (Mbps)	Sensibilidad mínima (dBm)
53.3	-83.6
80	-81.6
110	-80.5
160	-78.6
200	-77.2
320	-75.5
400	-74.2
480	-72.6

2.3.3 Requisitos de linealidad

Los niveles de interferencias esperados determinan los requisitos de linealidad tanto de 2° orden como de 3° orden. La propuesta de estándar de *UWB* define un sistema con una figura de ruido de 6.6 *dB*, dada una potencia de ruido dentro de la banda de -80.2 *dBm*. Los criterios para definir las interferencias, asumen que el receptor está funcionando 6 *dB* por encima de la sensibilidad. Al sumarle estos 6 *dB* al margen, la potencia de ruido e interferencias máxima permitida es igual a -74.2 *dBm*. Siendo el nivel de interferencias permitido inferior -75 *dBm*.

Primero se considera el requisito de no linealidad de 2° orden, es decir, el *IIP2*. En el caso extremo se relaciona con el 2° tono, donde el producto de 2° orden cae dentro de la banda del receptor de *RF*, por ejemplo, la combinación de las interferencias de una primera señal *IEEE 802.11.a* a 0.2 metros y las interferencias de una segunda señal *PCS/GSM1900* a 1 metro de distancia. Asumiendo que la potencia recibida es de 30 *dBm* para ambos sistemas, el nivel de potencia de las interferencias recibidas es de -4 *dBm* y -8 *dBm* respectivamente. Por lo tanto conduce a un requisito del *IIP2* de 20 *dBm*, teniendo en cuenta los 20 *dB* del filtro inicial. Para la no linealidad de 3° orden, el *IIP3*, la banda *ISM* de 5 *GHz* da lugar a 2 interferencias en el peor escenario. Si se asume que los dos tonos de la banda *ISM* de 5 *GHz* están a 0.2 metros y 1 metro, y otra vez el nivel de interferencias del filtro inicial es de 20 *dB*, el nivel potencia de interferencias es del orden de -24 *dBm* y -44 *dBm*, respectivamente. Por lo cual se obtiene un requisito del *IIP3* del orden de -9 *dBm*.

2.3.4 Requisitos de ruido

Dependiendo de la tasa de bit, la *MBOA* especifica una sensibilidad en la recepción que va de -84 *dBm* (para 55*Mb/s*) a -73 *dBm* (para 480*Mb/s*). Además, se requiere una *SNR* de unos 8 *dB*. Estas especificaciones se trasladan a una figura de ruido de ente 6 y 7 *dB* a través de la ecuación 2.21. A continuación dicha ecuación se muestra resuelta para el peor caso (Modo 3 y sensibilidad de -73 *dBm*).

$$\text{Sensibilidad} = -174\text{dBm} + 10 \cdot \log(B) + NF + SNF \quad (2.21)$$

$$NF = 174\text{dBm} - 10 \cdot \log(B) - SNR - \text{Sensibilidad}$$

$$NF = 174\text{dBm} - 10 \cdot \log(528\text{MHz}) - 8\text{dB} - 73\text{dB} = 6.13\text{dB}$$

Resumiendo, para un sistema de 5 bandas (Modo 3) con una tasa binaria de 480 *Mb/s*, la *MBOA* propone que la *NF* sea igual a 6.13 *dB*. Teniendo en cuenta que el filtro a la entrada tiene unas pérdidas reales de 2 *dB*, la *NF* máxima del resto de elementos de la cadena debe ser de 4.13 *dB*.

2.3.5 Requisitos del filtro

El receptor debe tener un filtro inicial que elimine el ruido y las interferencias de fuera de la banda. La salida del filtro inicial es amplificada usando un *LNA*. A continuación se pasa a banda base usando una frecuencia central apropiada. La señal en banda base se filtra usando un filtro paso bajo de 3° orden. En la tabla 2.3 se muestran las atenuaciones correspondientes al filtro inicial y al filtro en banda base.

Tabla 2.3 Atenuaciones del filtro inicial y del filtro en banda base

	Ondas Micro ondas	Interferencias de Bluetooth & IEEE 802.15.1	Interferencias de IEEE 802.11b & IEEE 802.15.3	Interferencias de IEEE 802.11a	Interferencias de IEEE 802.15.4 (2.45GHz)
Mínima atenuación filtro banda base	35.4 dB	36.9 dB	36.9 dB	30.7 dB	30.7 dB
Atenuación del filtro inicial	35 dB	35 dB	35 dB	30 dB	35 dB

2.3.6 Requisitos del sintetizador

Debido a que la señal tiene que cubrir las 5 bandas definidas en la *MBOA* y como se ha propuesto la arquitectura *zero-IF*, el sintetizador proporciona las frecuencias centrales de las bandas que se muestran en la tabla 2.1. En la propuesta del *MBOA*, el salto de frecuencias entre sub-bandas ocurre para cada símbolo con un periodo de 321.5 ns. Este periodo contiene un sufijo de 60.6 ns el cual es seguido por un intervalo de seguridad de 9.5 ns como se muestra en la tabla 2.4. El generador de frecuencias usado para la conmutación del mezclador tanto para el emisor como para el receptor tiene que cambiar dentro de los 9.5 ns, para lograr la frecuencia de salto. La portadora generada debe tener una gran pureza ya que existen fuertes interferencias en la señal. Por ejemplo, operando en la banda 1 los tonos de 5 GHz deben de estar por debajo de 50 dBc para evitar en la recepción las fuertes interferencias de *WLAN* fuera de banda. Por esta misma razón, los tonos en el rango de 2 GHz deberían estar por debajo de 45 dBc para poder coexistir con los sistemas que operan en la banda *ISM* de 2.4 GHz, como por ejemplo 802.11 b/g y *Bluetooth*. Finalmente, para asegurar que la *SNR* del sistema no se degradará más de 0.1 dB debido a la generación del oscilador local, la especificación del ruido de fase del *VCO* se fija en 100 dBc/Hz a 1 MHz de desviación y el ruido de fase integrado total no debe exceder 3.5 grados rms [20], [21].

2.3.7 Especificaciones del receptor propuesto

En la siguiente tabla se muestran las especificaciones del receptor propuesto.

Tabla 2.4 Requisitos del receptor

Sensibilidad	-83.6 a -72.6 dBm
NF	6-7 dB
Ganancia de compresión a 1dB/IIP3	-18.56 dBm/-9 dBm
Ruido de fase	-100 dBc/Hz a 1 MHz
Ganancia tensión	84 dB
Total CAG	60 dB

2.4 Resumen

En este capítulo hemos visto las principales características de los sistemas de *RF*. Igualmente, hemos dado una descripción detallada del estándar *IEEE* 802.15.3a propuesto por la *MBOA*. Tras analizar los principales desafíos del diseño del receptor, se ha estudiado la arquitectura *zero-IF*, la cual es altamente integrable. Además, para esta arquitectura se ha especificado el panorama de interferencias, sensibilidad, linealidad, figura de ruido y los requisitos del sintetizador y de los filtros.

En el siguiente capítulo veremos las principales características del dispositivo en torno al cual gira nuestro proyecto, un *LNA* para *UWB*.

LNA PARA UWB

En el capítulo anterior hemos visto las principales características de los sistemas de RF. Igualmente, se ha dado una descripción detallada del estándar *IEEE 802.15.3a*.

Hay pocos ejemplos de desarrollo de amplificadores integrados de banda ancha para alta frecuencia que empleen transistores de silicio, en particular en tecnología *CMOS*. La solución empleada suele ser amplificadores distribuidos, lo cuales requieren altos niveles de consumo y no se optimizan para el ruido. En este capítulo se estudiará la estructura en fuente-común para banda estrecha, así como la configuración en casodo y casodo doblado [4]-[5], [11]. A partir de ellos se desarrollarán nuestros dos diseños de banda ancha.

3.1 Amplificador en configuración fuente común

En la figura 3.1 se presenta un ejemplo de un amplificador en configuración fuente común con carga resistiva.

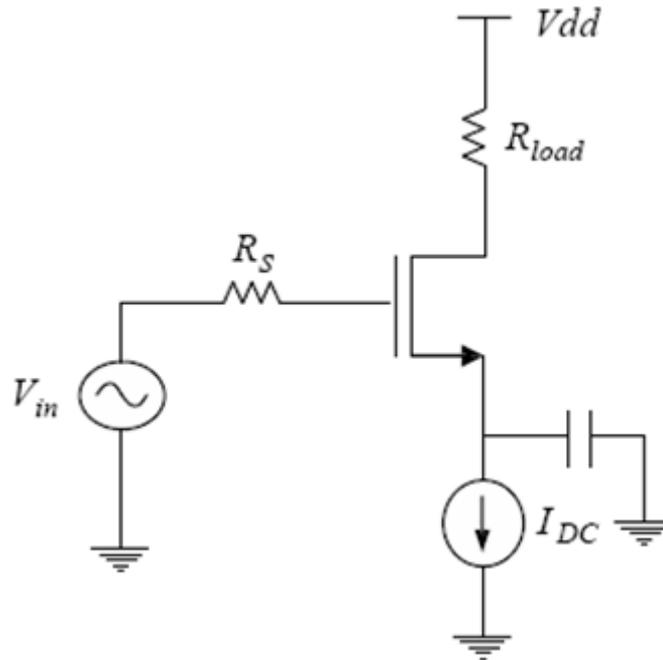


Figura 3.1 Amplificador con arquitectura simple.

Si aplicamos una corriente de polarización I_{DC} , la ganancia de tensión aproximada de este amplificador está dada por la ecuación (3.1):

$$A_V = \frac{V_{out}}{V_{in}} \approx g_m \cdot R_{load} \quad (3.1)$$

Donde g_m es la transconductancia del transistor MOS del circuito. El valor de g_m se obtiene a partir de la ecuación (3.2), suponiendo que el dispositivo está en zona de saturación:

$$g_m = \sqrt{2 \cdot \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot I_{DC}} \quad (3.2)$$

Siendo:

- μ_n movilidad de los electrones.
- C_{ox} capacidad de puerta por unidad de área.

- L longitud del canal del transistor (μm).
- W ancho del canal del transistor (μm).
- I_{DC} corriente de polarización.

3.1.1 Respuesta en frecuencia del amplificador fuente común

En las figuras 3.2 y 3.3 se puede ver el esquema básico de la etapa de amplificación fuente común y su circuito equivalente en alta frecuencia, respectivamente.

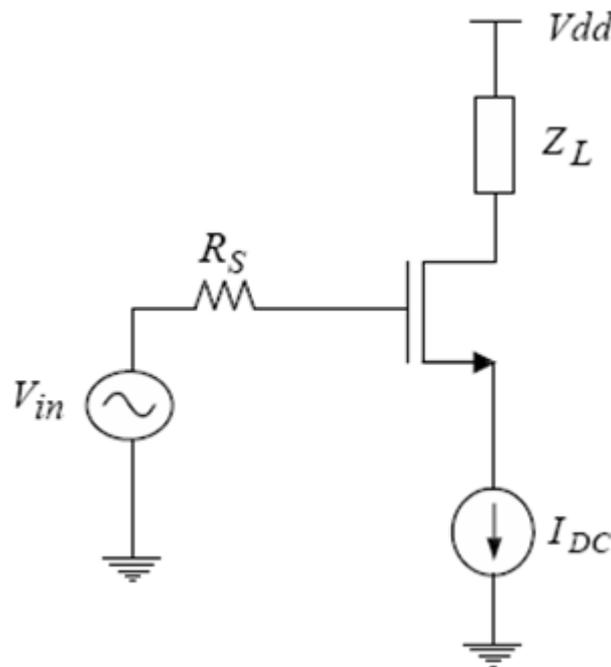


Figura 3.2 Amplificador fuente común.

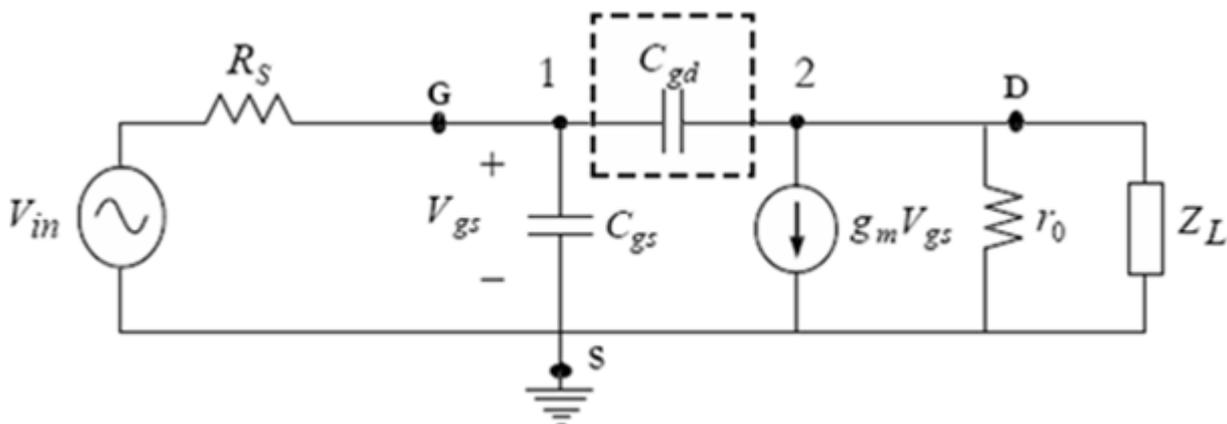


Figura 3.3 Modelo en alta frecuencia del amplificador fuente común.

Se podría intentar calcular la respuesta en alta frecuencia de este circuito, simplemente calculando su ganancia, teniendo en cuenta los condensadores parásitos del modelo. Sin embargo este cálculo no es tan sencillo debido al condensador C_{gd} que está conectado entre la puerta y el drenador del transistor como se observa en la figura 3.3.

Para simplificar el circuito y poder calcular la función de transferencia de una manera más sencilla aplicaremos el teorema de *Miller* al condensador C_{gd} . Aplicando el teorema a dicho condensador obtenemos las ecuaciones (3.3) y (3.4) que son las capacidades de *Miller* equivalentes de la capacidad C_{gd} .

$$C_{M1} = C_{gd}(1 - K) \quad (3.3)$$

$$C_{M2} = \frac{C_{gd}(1-K)}{K} \quad (3.4)$$

Donde K es la relación de tensión que existe entre el terminal 1 y 2 de la capacidad C_{gd} y tiene el valor que se muestra en la ecuación (3.5).

$$K = \frac{V_2}{V_1} = \frac{-g_m \cdot V_{gs} \cdot (r_0 // Z_L)}{V_{gs}} = -g_m \cdot (r_0 // Z_L) = -\frac{g_m}{g_0 + g_L} \quad (3.5)$$

Sustituyendo el valor de K en las ecuaciones (3.3) y (3.4) se obtienen los resultados de las ecuaciones (3.6) y (3.7).

$$C_{M1} = C_{gd} \left(1 + \frac{g_m}{g_0 + g_L}\right) \quad (3.6)$$

$$C_{M2} = \frac{C_{gd} \left(\frac{-g_m}{g_0 + g_L} - 1\right)}{\frac{-g_m}{g_0 + g_L}} \approx C_{gd} \quad (3.7)$$

De esta forma se puede simplificar el circuito de la figura 3.3 tal y como se muestra en la figura 3.4.

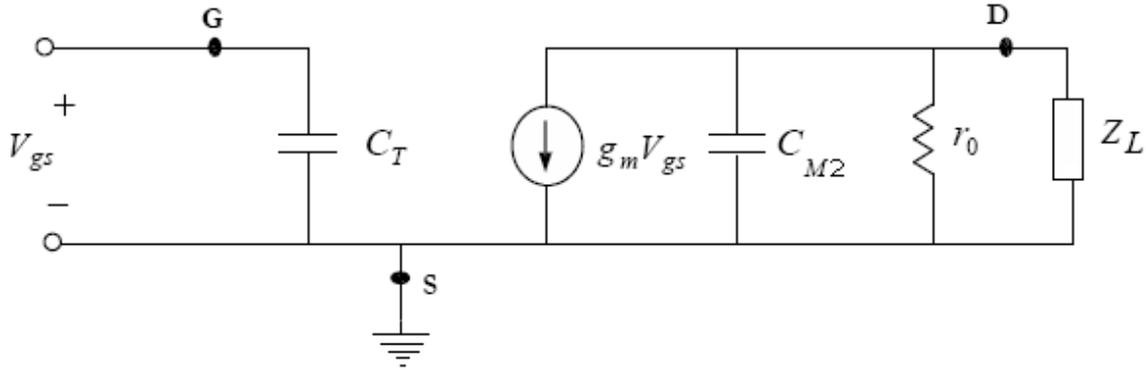


Figura 3.4 Modelo simplificado en alta frecuencia del amplificador fuente común.

El valor del condensador C_T se muestra en la ecuación (3.8), este condensador aparece representado en la figura 3.4 y es el equivalente del paralelo de C_{gd} y la capacidad de Miller C_{M1} .

$$C_T = C_{gs} + C_{gd} \left(1 + \frac{g_m}{g_0 + g_L} \right) \quad (3.8)$$

La capacidad que aparece conectada en el drenador es la mostrada en la ecuación (3.9).

$$C_{M2} \approx C_{gd} \quad (3.9)$$

Para hallar la función de transferencia del amplificador fuente común es necesario calcular el polo y el cero que introduce cada uno de estas capacidades. Realizando dicho cálculo obtenemos la función de transferencia de la etapa de amplificación fuente común (ecuación (3.10)).

$$F(s) = - \frac{g_m}{g_0 + g_L} \cdot \frac{\left(\frac{s}{g_m/C_{gd}} + 1 \right)}{\left(s \frac{g_0 + g_L}{C_{gd}} + 1 \right)} \quad (3.10)$$

De la ecuación (3.10) se deduce que la respuesta en frecuencia del amplificador fuente común está limitada por el polo introducido por la capacidad C_{M2} cuyo valor aproximado es C_{gd} . Este polo dominante determina la frecuencia de corte superior (ecuación (3.11)).

$$f_c = \frac{1}{2\pi} \cdot \frac{g_0 + g_L}{C_{gd}} \quad (3.11)$$

Debido al pequeño ancho de banda que se consigue con esta configuración, se busca otra solución que no sea el amplificador simple en fuente común. En el próximo apartado se estudia el amplificador cascode, ya que con esta configuración se consigue mejorar el aislamiento inverso de entrada

-salida y, como consecuencia, la respuesta en frecuencia del amplificador.

3.2 Amplificador cascodo

En este apartado se realizará un estudio completo en alta frecuencia de la etapa de amplificación cascodo. Se explicará la razón de su utilización y los resultados que se consiguen con el mismo.

3.2.1 Respuesta en frecuencia del amplificador cascodo

El cascodo es un amplificador que tiene unas características de funcionamiento muy similar al fuente común, excepto en ancho de banda donde es muy superior.

Si planteásemos el equivalente en alta frecuencia de este amplificador nos saldría un esquema relativamente complejo. Un análisis del circuito nos llevaría a la conclusión de que el cascodo no es más que un amplificador fuente-común a la entrada atacando a un puerta-común que hace de etapa de salida.

Si realizáramos un estudio en alta frecuencia del amplificador puerta-común se observaría que su frecuencia de corte es muy superior a la de un fuente-común. Esto es equivalente a decir que cuando en el fuente común la ganancia empieza a caer al llegar a su frecuencia de corte, el puerta-común aún está en su zona de frecuencias medias.

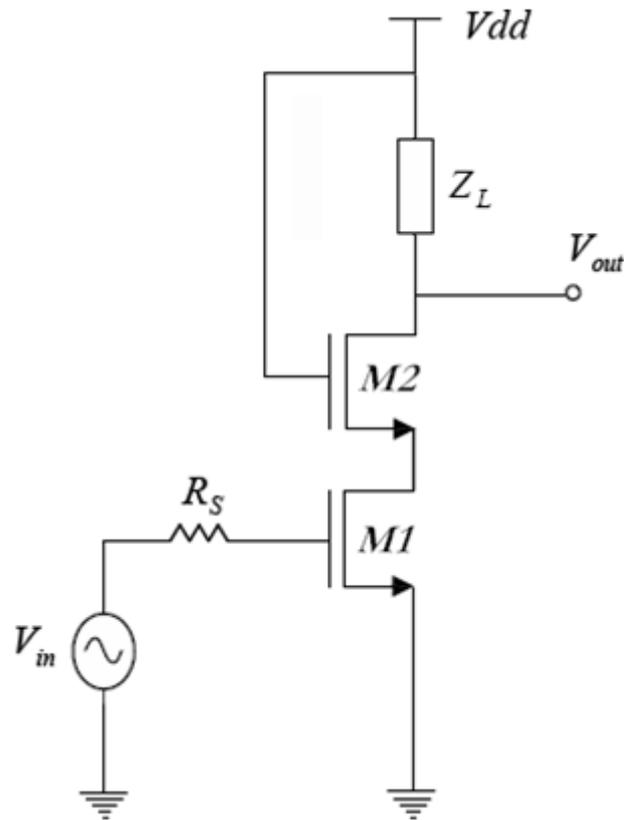


Figura 3.5 Amplificador cascode.

Para analizar el amplificador cascode plantearemos un equivalente en alta frecuencia del transistor en fuente-común y un equivalente a frecuencias medias del transistor en puerta-común. En las figuras 3.5 y 3.6 se muestran la arquitectura típica de un amplificador cascode y su equivalente simplificado en alta frecuencia, respectivamente.

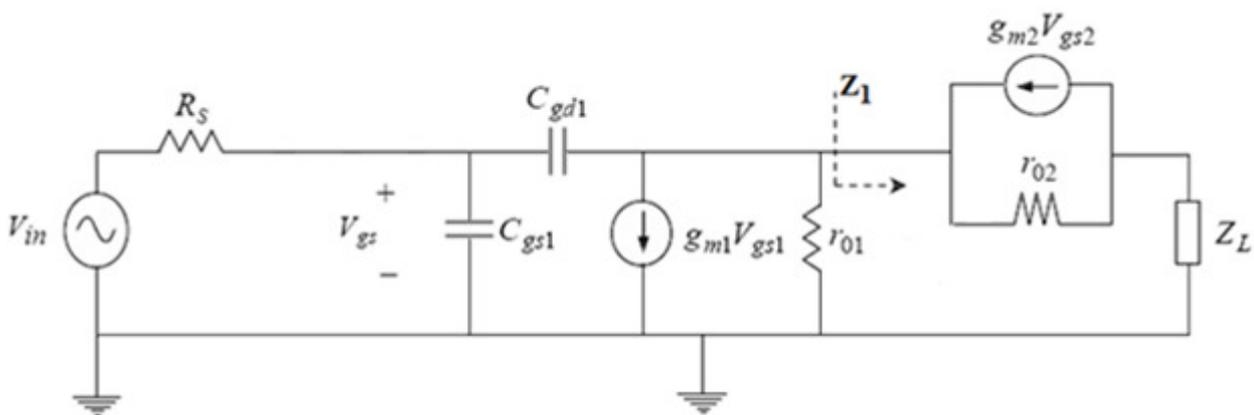


Figura 3.6 Modelo simplificado en alta frecuencia del amplificador cascode (I).

Aplicando el teorema de *Miller* a la capacidad C_{gd1} nos queda el circuito mostrado en la figura 3.7.

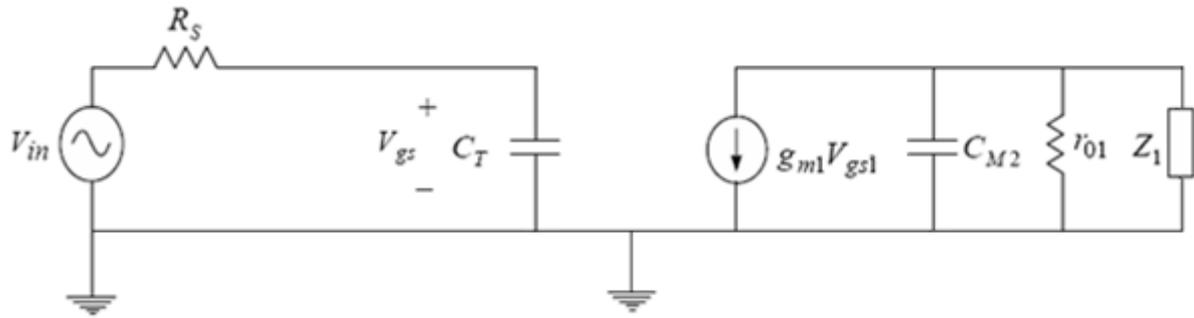


Figura 3.7 Modelo simplificado en alta frecuencia del amplificador cascode (II).

Siendo los valores de C_T y C_{M2} los que se muestran en las ecuaciones (3.12) y (3.13) respectivamente.

$$C_T = C_{gs1} + C_{gd1}(1 - K) = C_{gs1} + C_{gd1}(1 + g_{m1} \cdot (r_{01} // Z_1)) \quad (3.12)$$

$$C_{M2} = C_{gd1} \quad (3.13)$$

En la ecuación (3.14) se muestra que la impedancia de entrada del transistor en puerta-común es muy pequeña.

$$Z_1 \approx \frac{1}{g_{m2}} \quad (3.14)$$

Anteriormente se comprobó que el polo que determina la frecuencia de corte en las etapas en fuente común es el introducido por la capacidad de Miller C_{M2} , aproximadamente C_{gd} . Por esta razón nos centraremos en determinar el valor del polo introducido por esta capacidad en la etapa cascode. El valor de dicho polo se muestra en la ecuación (3.15).

$$f_c \approx f_p = \frac{1}{2\pi \cdot (r_{01} // Z_1) \cdot C_{gd1}} = \frac{1}{2\pi} \cdot \frac{(g_{01} + g_{m1})}{C_{gd1}} \quad (3.15)$$

Si comparamos las ecuaciones (3.11) y (3.15) vemos que la frecuencia de corte superior del amplificador cascode es mucho mayor que la del amplificador fuente común ya que Z_1 suele ser mucho menor que Z_L . Es decir, el ancho de banda de amplificación es mayor en un amplificador cascode que en una etapa simple fuente común.

Por tanto podemos terminar resumiendo los beneficios que conlleva utilizar una etapa de amplificación cascode:

- Mejora la respuesta en frecuencia. Es decir, minimiza el efecto de la capacidad *Miller* C_{gd} y por tanto se consigue un mayor ancho de banda de amplificación.
- Mejora el nivel de aislamiento, es decir aísla la salida del amplificador de la entrada. Con esto, se pretende evitar que la señal de salida aparezca reflejada en la entrada y produzca interferencias.
- Mejora la linealidad del circuito. La reutilización de corriente, I_{Bias1} igual a I_{Bias2} , estabiliza el circuito mejorando la linealidad.

La principal desventaja de esta arquitectura es que la agrupación en serie de dos transistores reduce significativamente la linealidad del circuito, estrechando el margen dinámico de salida. Este hecho limita su uso cuando se requiere operar con un voltaje bajo.

3.2.2 Amplificador cascode con circuito tanque

En la figura 3.8 se muestra el esquema del circuito tanque ideal.

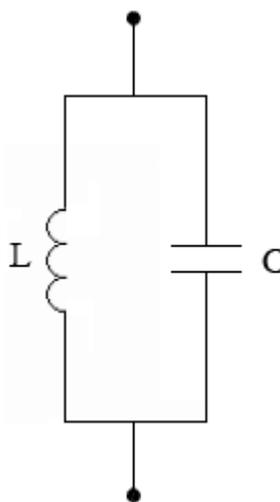


Figura 3.8 Circuito tanque ideal.

El factor de calidad del circuito tanque y en particular el factor de calidad de las bobinas que se utilizan en el diseño del mismo determinan el grado de selectividad del circuito. Un circuito resonante muy selectivo podría causar problemas de sintonización si se produce alguna dispersión en los componentes que lo constituyen. Este problema en la sintonización provocaría que no se estuviera amplificando la frecuencia o banda deseada.

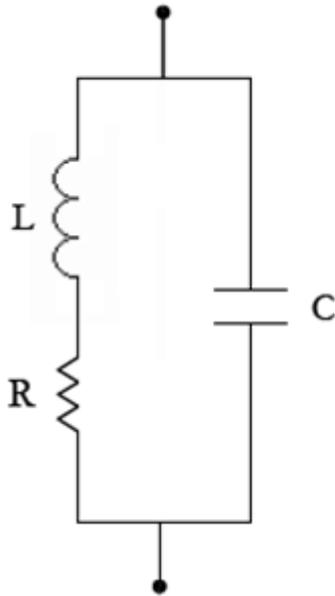


Figura 3.9A Circuito tanque real.

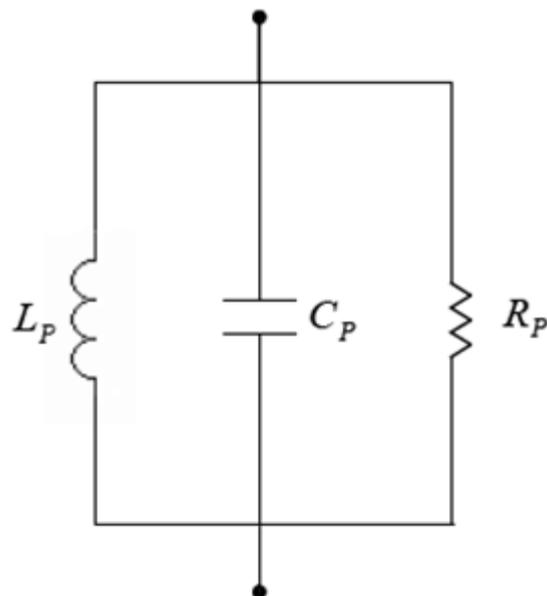


Figura 3.9B Circuito paralelo equivalente.

Figura 3.9A-B Circuito tanque real y circuito paralelo equivalente.

El modelo real del circuito tanque se presenta en la figura 3.9A. En este modelo se tiene en cuenta el efecto de la resistencia serie asociada a la inductancia L . En la figura 3.9B se muestra su circuito paralelo equivalente.

Las equivalencias entre ambos circuitos se muestran en las ecuaciones (3.16), (3.17) y (3.18).

$$R_P = R \cdot (Q^2 + 1) \quad (3.16)$$

$$L_P = L \cdot \left(\frac{Q^2 + 1}{Q^2} \right) \quad (3.17)$$

$$C_P = C \cdot \left(\frac{Q^2}{Q^2 + 1} \right) \quad (3.18)$$

Donde Q representa el factor de calidad del circuito tanque.

$$Q = \frac{\omega_0 \cdot L}{R} \quad (3.19)$$

En la figura 3.10 se expone un ejemplo donde se ha utilizado un circuito tanque para sintonizar una etapa de amplificación cascodo a una frecuencia determinada.

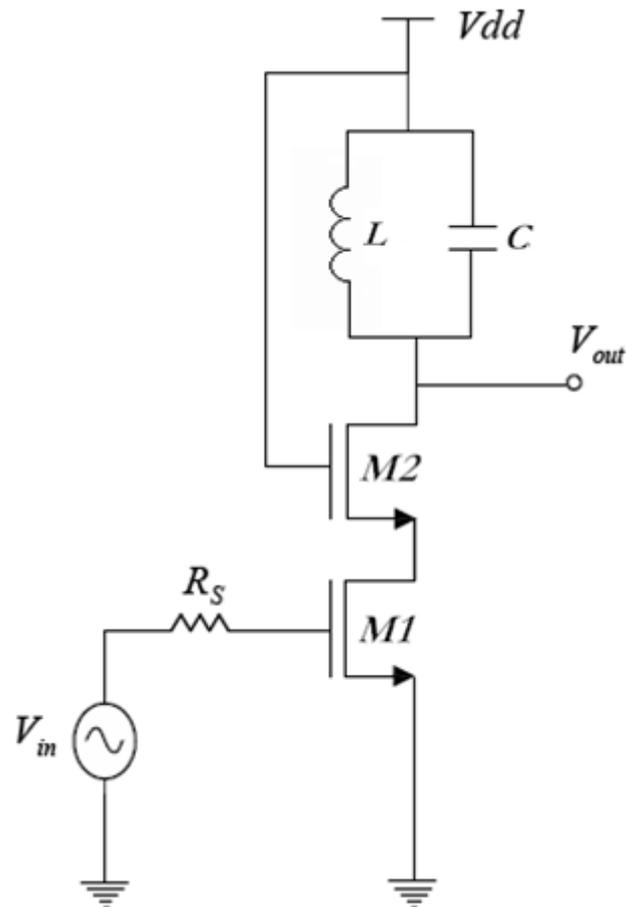


Figura 3.10 Amplificador cascode sintonizado.

El circuito equivalente para pequeña señal del amplificador cascode de la figura 3.10 se muestra en la figura 3.11.

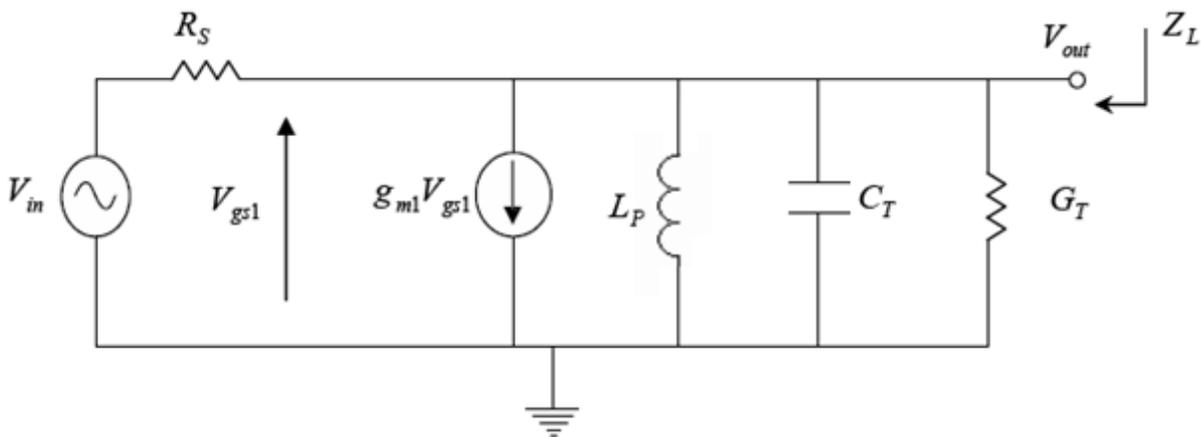


Figura 3.11 Circuito equivalente en pequeña señal del amplificador cascode sintonizado.

En la ecuación (3.20) se muestra la admitancia de salida Y_L del circuito de la figura 3.11.

$$Y_L = \frac{1}{Z_L} = G_T + \frac{1}{j\omega L_P} + j\omega C_T \quad (3.20)$$

Donde:

- C_T representa la capacidad total, que es la suma de la capacidad C_p y las capacidades asociadas al transistor $M2$.
- L_p representa la inductancia paralela equivalente asociada a la bobina L .
- G_T representa la conductancia total. Este término incluye la conductancia paralela equivalente asociada a la bobina L y la conductancia de salida del cascode.

Analizando la expresión de la ecuación (3.20) tenemos que:

- Para altas frecuencias $\rightarrow Y_L \cong G_T + j\omega C_T = \infty \rightarrow Z_L \cong 0$.
- Para bajas frecuencias $\rightarrow Y_L \cong G_T + \frac{1}{j\omega L_p} = \infty \rightarrow Z_L \cong 0$.

Por tanto existe una frecuencia intermedia donde Z_L es máxima como se muestra en la ecuación (3.21).

$$Z_L = \frac{1}{T_G} \quad (3.21)$$

Esto ocurre cuando el circuito tanque entra en resonancia y se cumple la igualdad que se muestra en la ecuación (3.22).

$$j\omega C_T = \frac{1}{j\omega L_p} \quad (3.22)$$

Despejando el valor de ω en la ecuación (3.22) obtenemos la frecuencia de resonancia del circuito tanque como se muestra en la ecuación (3.23).

$$f = \frac{1}{2\pi\sqrt{L_p C_T}} \quad (3.23)$$

De todo lo anterior se deduce que el circuito resonante LC actúa como una carga de alta impedancia a la frecuencia de resonancia, por lo que la ganancia del circuito tiene su pico máximo a esta frecuencia.

En la ecuación (3.24) se puede observar la ganancia en tensión del circuito de la figura 10.

$$A_V = -(g_{m1}/G_T) \quad (3.24)$$

Por tanto, para aumentar la ganancia del amplificador se necesita disminuir G_T , o lo que es lo mismo, aumentar el factor de calidad de la inductancia utilizada en el circuito tanque.

En resumen, la utilización de un circuito tanque en cualquier amplificador presenta las siguientes ventajas:

- Se realiza una amplificación selectiva. De esta manera filtra señales adyacentes y reduce el ancho de banda del amplificador con lo que se disminuye el ruido térmico.
- Se introduce menos ruido ya que se ha sustituido una resistencia de carga por una capacidad y una inductancia que en resonancia se comporta de la misma forma.

Si bien la principal desventaja de esta tipología es que al sustituir de la resistencia de carga por una capacidad y una inductancia aumentan considerablemente el área del circuito.

3.3 Amplificador cascode doblado

En este apartado se realizará un estudio completo del amplificador cascode doblado, así como de los requisitos que deben cumplirse para que dicho amplificador opere como un amplificador cascode. Se explicará la razón de su utilización y los resultados que se consiguen con el mismo.

3.3.1 Estudio del amplificador cascode doblado

El problema que caracteriza a la arquitectura cascode es que la agrupación en serie de dos transistores reduce significativamente la linealidad del circuito, estrechando el margen dinámico de salida. Debido a este hecho, cuando se requiere operar con un bajo voltaje, se suele optar por arquitecturas basadas en un único transistor, como el amplificador en fuente común, analizado anteriormente.

A fin de conservar las ventajas inherentes a la arquitectura cascode y poder operar con bajo voltaje se utiliza la arquitectura cascode doblado, que se muestra en la figura 3.12.

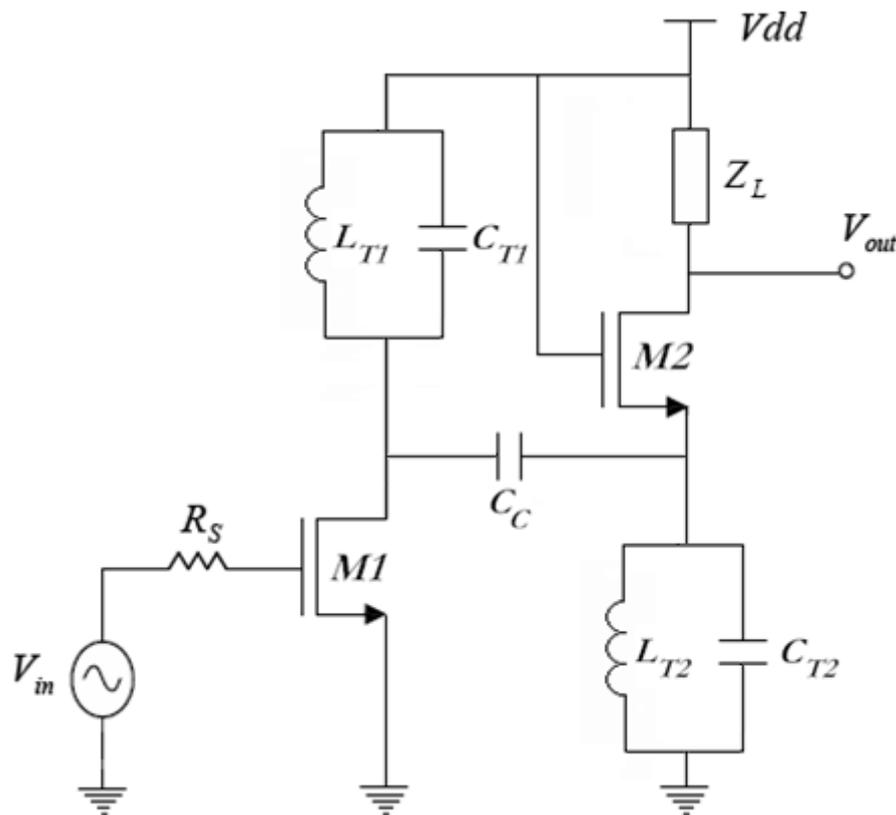


Figura 3.12 Amplificador cascode doblado.

La figura 3.12 muestra el típico esquemático de un *LNA* con arquitectura cascode doblado para banda estrecha. Se observa que para canalizar la señal de corriente emitida en el drenador del transistor de entrada (*M1*) hacia la fuente del transistor de salida (*M2*), ha sido necesario incluir un par de tanques resonantes *LC*. Si suponemos que dicha señal es canalizada en su totalidad y que los componentes son ideales, al comparar ambas arquitecturas bajo idénticas condiciones, es decir que los puntos de trabajo de los transistores *M1* y *M2* sean iguales en ambos diseños, obtenemos que ambos circuitos gozan de similares prestaciones y consumen la misma potencia, si bien la arquitectura cascode doblado utiliza la mitad de tensión que la arquitectura cascode a costa de requerir el doble de corriente. Esto permite a la arquitectura cascode doblado operar en condiciones de baja tensión. Si bien en la práctica, las prestaciones del amplificador cascode doblado son siempre ligeramente peores que las del amplificador cascode, debido a las resistencias parasita de los circuitos resonantes.

Esta técnica tiene dos desventajas. La principal de ellas es que al incluir las bobinas L_{T1} y L_{T2} aumenta considerablemente el área del circuito. La otra desventaja radica en el hecho de que al utilizar una arquitectura con dos ramas no hay reutilización de corriente entre ambos transistores.

3.3.2 Ajuste del amplificador cascode doblado

A fin de asegurar que el amplificador cascode doblado opere como un amplificador cascode [27], se deben cumplir dos condiciones simultáneamente:

- Primero, a fin de reducir el efecto *Miller* la ganancia de señal en el colector de ($M1$), relativo a la señal de entrada de radio frecuencia, debe ser cercana a la unidad.
- Segundo, la totalidad de la señal de corriente en el drenador del transistor de entrada ($M1$) debe de ser canalizada hacia el surtidor o fuente del transistor de salida ($M2$).

Para cumplir con la primera condición debe polarizarse y dimensionarse adecuadamente $M1$. Para la segunda condición se han introducido dos tanques resonantes LC sintonizados a la frecuencia de interés. Sin embargo, debido a que el factor de calidad de los inductores integrados es finito, la impedancia de los tanques LC es también finita. En la ecuación (3.25) y (3.26) se muestra el valor de las impedancias asociadas a los tanques resonantes:

$$R_{tank1} = (Q_{tank1} + 1) \cdot R_{T1} \quad (3.25)$$

$$R_{tank2} = (Q_{tank2} + 1) \cdot R_{T2} \quad (3.26)$$

Donde:

- R_{tank} es la impedancia asociada a los tanques resonantes LC .
- Q_{tank} es el factor de calidad de los tanques resonantes LC .
- R_T es la resistencia serie de las bobinas.

Para minimizar las pérdidas de señal durante el camino entre $M1$ y $M2$, debe tenerse en cuenta un par de consideraciones:

Primero, para minimizar las pérdidas debidas a la dispersión de la señal a la salida de $M1$ la impedancia del primer tanque resonante LC (R_{Tank1}) debe ser mucho mayor que la impedancia vista hacia el condensador de acoplo (C_C).

Segundo, para minimizar las pérdidas debidas a la dispersión de la señal a la entrada de $M2$ la impedancia del segundo tanque resonante LC (R_{Tank2}) debe ser mucho mayor que la impedancia vista hacia el surtidor de $M2$ (r_{e2}).

Aplicando las consideraciones anteriores a las ecuaciones (3.25) y (3.26) obtenemos:

$$R_{\text{tank1}} \gg \frac{1}{j\omega C_c} + R_{\text{tank2}} \parallel r_{e2} \quad (3.27)$$

$$R_{\text{tank2}} \gg r_{e2} = \frac{1}{g_{m2}} \quad (3.28)$$

En resumen, si se cumplen las restricciones anteriormente planteadas, el amplificador cascode doblado conserva todas las ventajas inherentes del amplificador cascode (salvo la reutilización de corriente) explicadas en el apartado 3.2, pudiendo además operar con baja tensión. No obstante la principal desventaja de esta arquitectura es el considerable aumento del área del circuito al necesitar incluir las bobinas L_{T1} y L_{T2} .

3.3.3 Amplificador cascode doblado con circuito tanque

En la figura 3.13 se expone un ejemplo donde se ha utilizado un circuito tanque para sintonizar una amplificador cascode doblado a una frecuencia determinada.

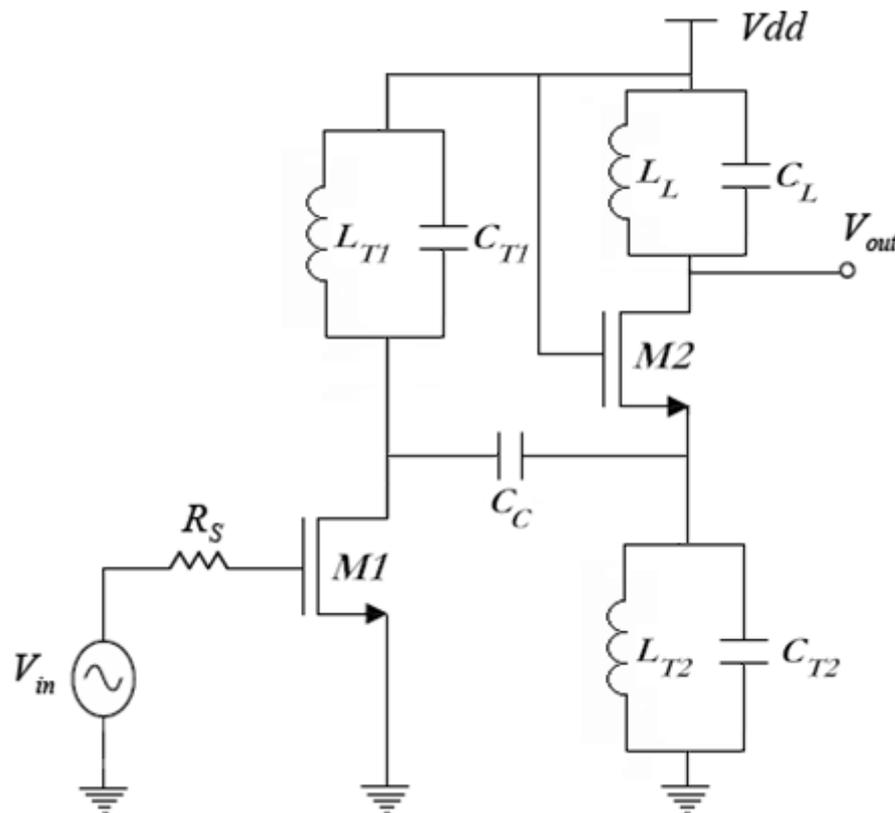


Figura 3.13 Amplificador cascode doblado sintonizado.

Si las condiciones explicadas en el apartado anterior se cumplen, el amplificador cascode doblado actúa como un amplificador cascode, por lo que el análisis de la sintonización de este último (Apartado 3.2.3) es igualmente válido para el amplificador cascode doblado. En dicho análisis se demostró que la utilización de un circuito tanque LC como red de carga en cualquier amplificador permite realizar una amplificación selectiva y reducir el ruido, por lo que dichas ventajas también son válidas en el caso del amplificador cascode doblado.

3.4 Adaptación de impedancias

Generalmente, las etapas integradas en un mismo chip no necesitan estar adaptadas a un valor estándar (50Ω), basta con que estén adaptadas entre ellas. En cambio si será necesario adaptar las entradas o salidas que correspondan a conexiones externas como, por ejemplo, conexión a antenas, filtros externos, inductancias o cuando se quiera testear por separado el chip con algún equipo de medida.

3.4.1 Adaptación de la impedancia de entrada

A continuación se muestran las 3 principales alternativas en cuanto redes de adaptación.

3.4.1.1 Adaptación Resistiva

La estructura de adaptación resistiva se representa en la figura 3.14.

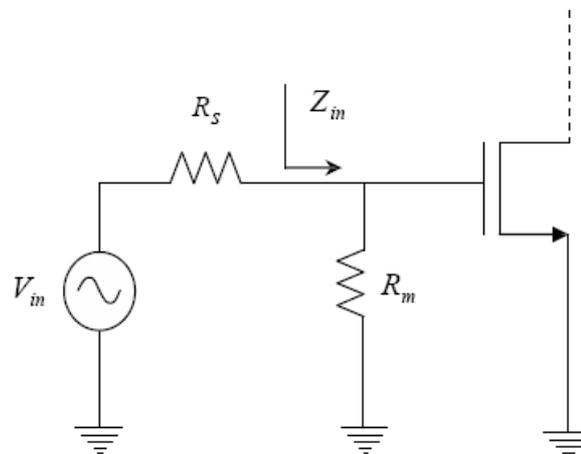


Figura 3.14 Adaptación resistiva.

Para conseguir que la impedancia de entrada sea de 50Ω se coloca la resistencia R_m en paralelo

con el transistor de entrada. La adaptación resistiva es la estructura más fácil de implementar, pero también es la que más degrada la NF del circuito. Esto se debe a que además del propio ruido introducido por la resistencia R_m , se está atenuando la señal a la entrada ya que parte de la señal se desvía a tierra.

El mínimo factor de ruido introducido por esta etapa es de 3 dB. Idealmente, si se coloca una resistencia R_m igual a 50Ω en paralelo con la impedancia de entrada del transistor (en la ecuación (3.29) se muestra la impedancia de entrada aproximada del transistor). La resistencia de entrada total es también de 50Ω porque el valor de la impedancia de entrada del transistor se puede despreciar frente al valor de la resistencia R_m .

$$Z_{in} \approx \frac{1}{j \cdot \omega \cdot C_{gs}} \quad (3.29)$$

En la ecuación (3.30) se muestra el factor de ruido que se obtiene.

$$F = \frac{R_m + R_S}{R_S} \quad (3.30)$$

Y por tanto la figura de ruido que nos queda es la mostrada en la ecuación (3.31).

$$NF = \frac{SNR_{OUT}}{SNR_{IN}} \approx 10 \cdot \log 2 \approx 3dB \quad (3.31)$$

3.4.1.2 Adaptación con Etapa Puerta Común

En la figura 3.15 se muestra la estructura de la adaptación con puerta-común.

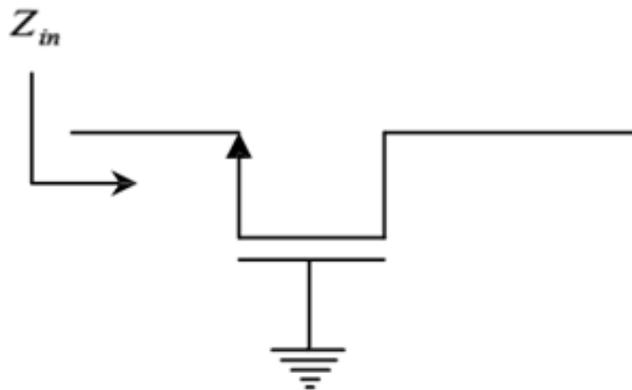


Figura 3.15 Etapa puerta común.

La impedancia de entrada típica de este tipo de etapas se muestra en la ecuación (3.32).

$$Z_{in} = \frac{1}{g_m} \quad (3.32)$$

Si se varía el ancho del transistor y modificamos el valor de g_m podemos llegar a conseguir una impedancia de entrada de 50Ω . Además con esta configuración no hay realimentación de la salida a la entrada. Sin embargo, el uso de esta etapa de entrada para el diseño del LNA también queda descartado pues la mínima NF alcanzable con esta arquitectura es de 3 dB .

Por ello este tipo de adaptación no es muy factible para diseños donde el ruido es un parámetro importante.

3.4.1.3 Degeneración Inductiva

En la figura 3.16 se puede ver la estructura de la adaptación de impedancias con degeneración inductiva.

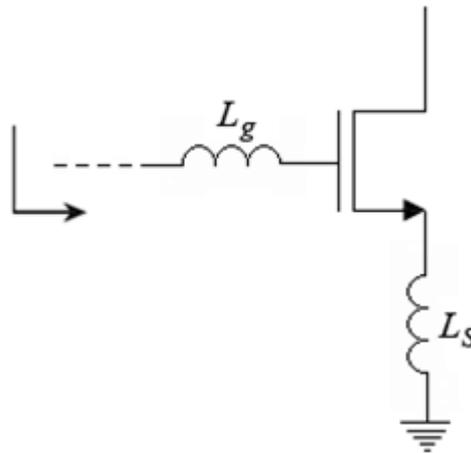


Figura 3.16 Degeneración inductiva.

Este método se basa en utilizar la inductancia de degeneración de fuente L_S para conseguir un término real en la impedancia de entrada. Seguidamente, con la inductancia L_g se consigue sintonizar la entrada de forma que a la frecuencia deseada desaparece el término imaginario de la impedancia de entrada. Por tanto con los valores adecuados de L_S y L_g se puede conseguir una impedancia de entrada igual a 50Ω .

Sus características más notables son las siguientes:

- Al no tener que utilizar resistencias en este tipo de adaptación es la que mejor NF presenta.

- Es una arquitectura selectiva en frecuencia, se puede sintonizar en una banda determinada ya que forma un circuito resonante *RLC* en su entrada.
- Esta arquitectura resonante realiza una preamplificación de la señal de entrada con lo que aumenta la ganancia y por lo tanto reduce la figura de ruido.
- La eficacia de esta arquitectura reside en la calidad de las inductancias que se utilizan en su implementación.

Por todas estas características la degeneración inductiva es la técnica más elegida para realizar la adaptación de la impedancia de entrada. Esta red permite realizar una primera sintonización a la entrada y además se consigue una primera amplificación de la señal de entrada del amplificador. Este dato es importante ya que con esta amplificación se reduce la figura de ruido del circuito. El principal inconveniente de este tipo de red de adaptación reside en que el uso de inductancias aumenta considerablemente el área del circuito.

Como se observa en la figura 3.17, la red de adaptación por degeneración inductiva forma una red *RLC*.

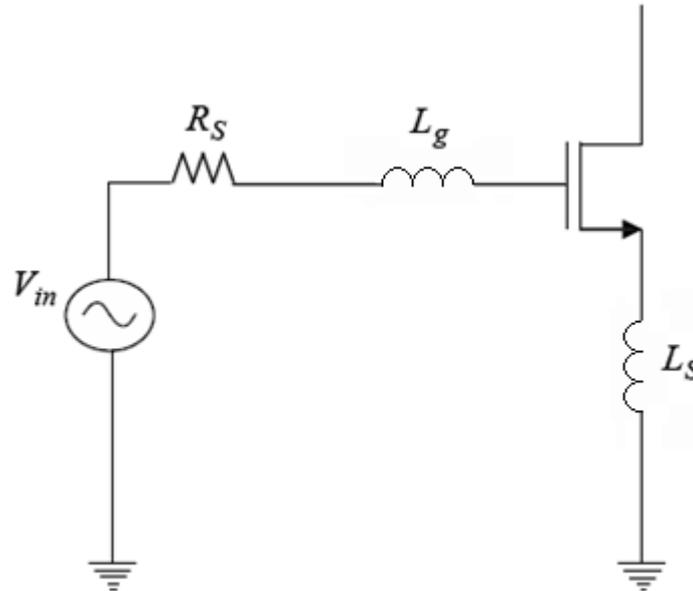


Figura 3.17 Entrada *RLC*.

En la figura 3.18 se muestra el circuito equivalente simplificado del circuito de la figura 3.17.

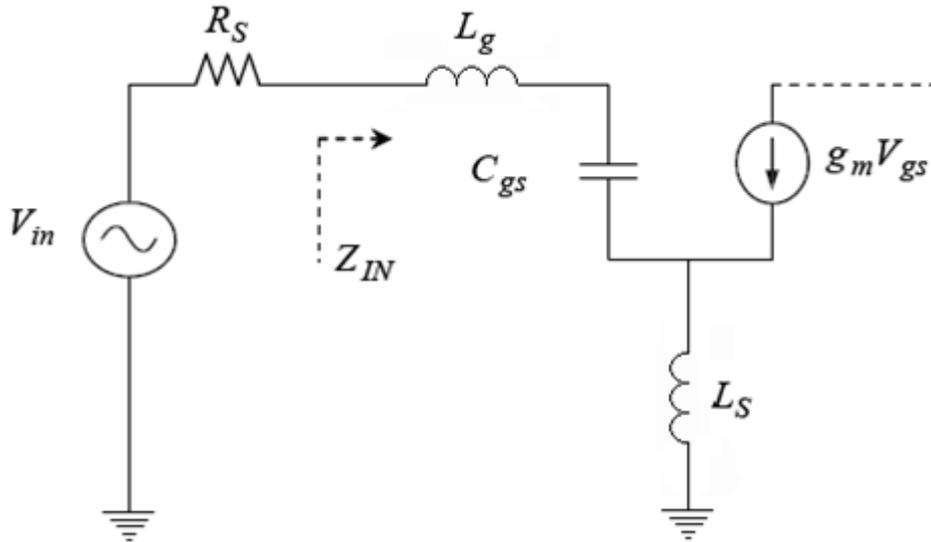


Figura 3.18 Circuito equivalente de entrada RLC.

En la ecuación (3.33) se muestra la expresión de la impedancia de entrada para el circuito mostrado en la figura 3.18, donde R_S es la impedancia de salida del puerto de entrada.

$$Z_{in} = g_m \frac{L_S}{C_{gs}} + \frac{1}{sC_{gs}} + s(L_g + L_S) \quad (3.33)$$

Donde:

- g_m es la transconductancia del transistor de entrada.
- C_{gs} es la capacidad parásita que aparece entre la puerta y la fuente del transistor.

De la ecuación (3.33) se deduce que si se elige correctamente el valor de L_S y L_g , se puede ajustar el valor de impedancia deseado, en nuestro caso 50Ω . Para ello, una vez polarizado y dimensionado el transistor, lo que implica que los valores de g_m y C_{gs} son fijos y conocidos, se puede proceder a calcular los valores de L_S y L_g necesarios para adaptar la impedancia de entrada.

En la ecuación (3.33), la parte real de la impedancia de entrada se fija con el valor L_S según se muestra en la ecuación (3.34).

$$\frac{g_m}{C_{gs}} L_S = R_S = 50 \Omega \quad (3.34)$$

Despejando L_S en la ecuación (3.34) se observa que su valor queda en función de g_m y de C_{gs} (ver ecuación (3.35)), y por lo tanto el valor de L_S dependerá de las dimensiones y de la polarización del transistor de entrada como se comentó anteriormente.

$$L_S = \frac{R_S \cdot C_{gs}}{g_m} \quad (3.35)$$

Analizando la ecuación (3.33) se deduce que para conseguir una impedancia de entrada resistiva pura se debe cumplir la igualdad de la ecuación (3.36).

$$\frac{1}{sC_{gs}} + s(L_S + L_g) = 0 \quad (3.36)$$

Simplificando la ecuación (3.36) obtenemos la ecuación (3.37).

$$\omega_0 = \frac{1}{\sqrt{C_{gs} \cdot (L_S + L_g)}} \quad (3.37)$$

Donde ω_0 es la frecuencia central de la banda que queremos amplificar.

De la ecuación (3.37) se puede despejar el valor de L_g que hace que la red *RLC* entre en resonancia y, por tanto, que la impedancia de entrada sea resistiva pura.

Como se comentó anteriormente, con la utilización de la etapa de degeneración inductiva además de adaptar la impedancia de entrada se consigue una primera amplificación de la señal de entrada. A continuación se explica cómo se produce esta amplificación de la señal de entrada.

En la ecuación (3.38) se muestra el factor de calidad del circuito serie *RLC* de la figura 3.18.

$$Q = \frac{\sqrt{(L_S + L_g)/C_{gs}}}{R_S} \quad (3.38)$$

En la ecuación (3.39) se muestra la tensión de la capacidad C_{gs} del circuito de la figura 3.18.

$$V_{gs} = \frac{1}{C_{gs} \cdot \omega} = \frac{V_{in}}{Z_{in}} \cdot \frac{1}{C_{gs} \cdot \omega} = \frac{V_{in}}{R_S \cdot \frac{1}{\sqrt{(C_{gs} \cdot (L_S + L_g))}} C_{gs}} = \frac{V_{in}}{R_S} \cdot \sqrt{\frac{(L_S + L_g)}{C_{gs}}} = Q \cdot V_{in} \quad (3.39)$$

Estos cálculos se han realizado suponiendo que a la frecuencia de resonancia de la red *RLC*, la impedancia de entrada Z_{in} es aproximadamente R_S .

Como se puede observar en la ecuación (3.39) la tensión V_{gs} es Q veces la tensión de entrada, lo

que significa que se ha amplificado la señal de entrada por un factor Q .

Esta primera amplificación de la tensión de entrada es importante ya que se consigue reducir el factor de ruido del amplificador según la ecuación:

$$F = \frac{P_{no}}{P_{ni}G} \cdot \frac{P_{si}}{P_{si}} = \frac{P_{si}/P_{ni}}{P_{si}G/P_{no}} = \frac{(S/N)_{entrada}}{(S/N)_{salida}} \quad (3.40)$$

Según esto sería interesante que el factor de calidad del circuito RLC de entrada sea lo más alto posible. Sin embargo la magnitud del factor de calidad está limitado, principalmente porque un factor de calidad elevado haría que la sintonización del LNA fuese muy selectiva y cualquier dispersión o variación en los valores de los componentes provocaría un desplazamiento de la banda que pretendemos amplificar.

Por otro lado el factor de ruido F del amplificador cascode degenerado es [8]:

$$F = 1 + \frac{g_{m1}}{2} \cdot Z_0 \left(\frac{\omega}{\omega_T} \right)^2 \quad (3.41)$$

Donde:

- g_{m1} es la transconductancia del transistor $M1$.
- Z_0 es 50Ω .
- ω_T es la frecuencia de ganancia unitaria de transistor $M1$.
- ω es la frecuencia para la que queremos conocer el ruido.

En la ecuación (3.41) podemos observar como la figura de ruido crece cuadráticamente con la frecuencia, lo cual se debe principalmente a que la tensión de entrada decrece con la frecuencia al atravesar el transistor $M1$, [28].

Finalmente el IIP3 del amplificador cascode degenerado es [8]:

$$IIP3_{LNA} \approx \frac{IIP3_{CMOS}}{\left(\frac{V_{gs}}{V_{in}} \right)^2} \approx IIP3_{CMOS} \cdot (g_m \cdot Z_0)^2 \cdot \left(\frac{\omega_0}{\omega_T} \right)^2 \quad (3.42)$$

Los valores de L_S y L_G planteados en este desarrollo son meramente orientativos y se deben utilizar como primer valor estimado para posteriormente ajustarse a través de la simulación, ya que el modelo utilizado es un modelo simplificado y por tanto no se han tenido en cuenta otros parámetros.

3.4.2 Adaptación de la impedancia de salida

Como sabemos, la ganancia de un amplificador depende en gran medida de la carga que se tiene conectada a su salida. Es decir, la ganancia de un amplificador está en función de la impedancia de entrada que presenta la etapa que le sigue. En muchos casos el valor de esta impedancia es muy bajo lo que produce que la ganancia del amplificador disminuya notablemente. Para solucionar este problema es necesario el uso de una etapa de salida llamada *buffer*.

El *buffer* tiene como finalidad bajar la impedancia de salida de un circuito con el fin de poder alimentar cargas pequeñas. Las características ideales de este tipo de etapa de salida son ganancia unitaria en tensión y ganancia alta en corriente.

El diseño de una buena etapa de salida con transistores *MOS* conlleva una serie de dificultades debido a las características de la tecnología. A continuación analizaremos la etapa de salida más comúnmente empleada en este tipo de diseños.

3.4.2.1 Etapa seguidor de fuente

El esquema de este tipo de etapa de salida con tecnología *MOS* se muestra en la figura 3.19. La ganancia en tensión ideal de la etapa seguidora de fuente está en torno a 1, si bien la realidad es que en la práctica dicha ganancia es menor por lo que se produce una atenuación de la señal de salida. Esta caída de ganancia se debe principalmente a la baja transconductancia que presenta el transistor y en menor medida al efecto de cuerpo (*body effect*). El efecto de cuerpo es la variación de la tensión umbral del transistor V_T debida a la variación de potencial del sustrato.

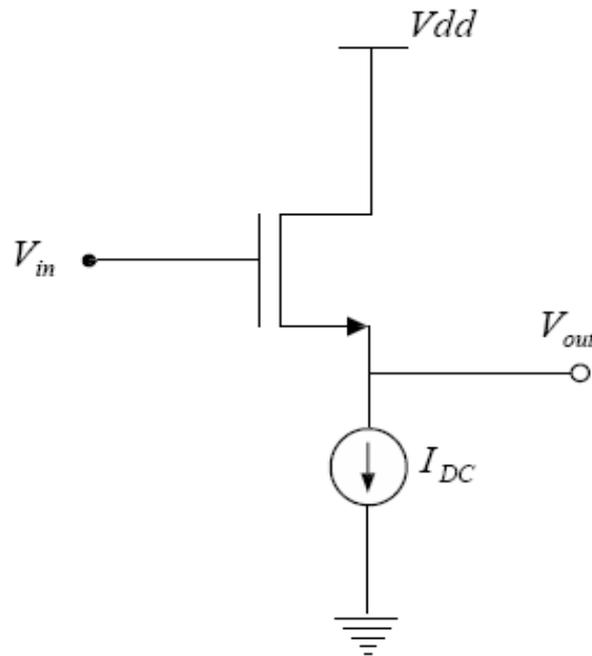


Figura 3.19 Etapa seguidora de fuente.

La impedancia de salida de esta etapa es más alta que en el caso de su equivalente en tecnología bipolar. Aunque el comportamiento de la etapa fuente seguidora no es tan bueno como el caso de su equivalente en tecnología bipolar, su uso está bastante extendido ante la dificultad de encontrar etapas que se comporten mejor. En el diseño de un seguidor de fuente se debe intentar que la ganancia sea lo más cercana posible a la unidad y conseguir al mismo tiempo una impedancia de salida de 50Ω . Si bien, como se comentó al comienzo del apartado 3.4.2., las etapas integradas en un mismo chip no necesitan estar adaptadas a un valor estándar (50Ω), basta con que estén adaptadas entre ellas. Los objetivos de este proyecto solo abarcan el estudio del LNA, pero lo sitúan dentro del esquema de un transmisor receptor para UWB, mostrado en la figura 1.2., por lo que cualquier otro valor podría ser igualmente válido siempre y cuando la siguiente etapa de dispositivo estuviera adaptada a él.

3.4.2.2 Fuente de corriente con transistores MOS

Como vimos en el apartado anterior, el *buffer* de salida necesita para su correcto funcionamiento una fuente de corriente ideal, es decir aquella que suministra la misma corriente independientemente de que existan variaciones de tensión entre sus extremos. A partir de la tecnología y de la figura 3.20, se puede deducir que si se mantiene constante la tensión aplicada entre la puerta y la fuente de un transistor MOS y nos aseguramos que está trabajando en la zona de saturación se puede conseguir que el transistor actúe como una fuente de corriente relativamente independientemente de la tensión aplicada entre el drenador y su fuente.

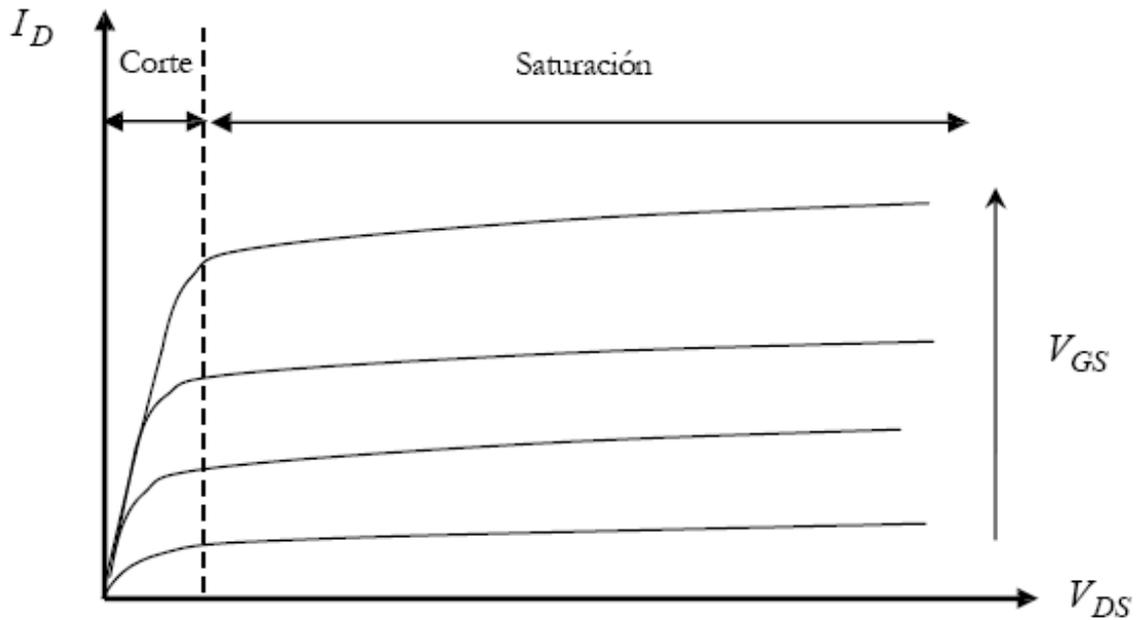


Figura 3.20 Curva tensión-corriente de un transistor NMOS.

En la figura 3.21 se muestra la arquitectura utilizada para implementar una fuente de corriente con transistores MOS, esta arquitectura se llama espejo de corriente.

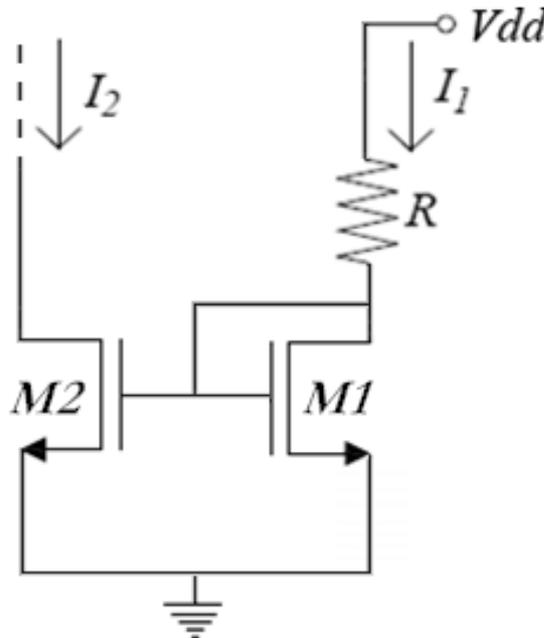


Figura 3.21 Fuente de corriente implementada con transistores MOS.

El espejo de corriente está formado por $M1$ conectado en estructura diodo que genera una tensión V_{gs1} impuesta por I_1 . Como V_{gs1} es igual a V_{gs2} y ambos transistores están en zona de saturación,

se obtiene la relación de corrientes. La tensión V_{gs1} , y por lo tanto V_{gs2} , se puede fijar modificando el ancho del transistor de la rama de referencia. Tendremos que llegar a un compromiso entre las áreas de los transistores y la tensión V_{gs} ya que un aumento demasiado grande de la tensión V_{gs} nos reduce la tensión para polarizar el resto del circuito. La relación existente entre las dos corrientes se obtiene a partir de las ecuaciones (3.43) y (3.44).

$$I_1 = \frac{\mu_n \cdot C_{ox}}{2} \left(\frac{W_1}{L_1} \right) (V_{GS} - V_T)^2 \quad (3.43)$$

$$I_2 = \frac{\mu_n \cdot C_{ox}}{2} \left(\frac{W_2}{L_2} \right) (V_{GS} - V_T)^2 \quad (3.44)$$

Siendo:

- μ_n la movilidad de los electrones.
- C_{ox} la capacidad de puerta por unidad de área.
- L la longitud del canal del transistor (μm).
- W el ancho del canal del transistor (μm).
- Al coeficiente $\mu_n \cdot C_{ox}$ se le denomina factor de ganancia y se denota con K_n .

Quedando relacionadas como se muestra en la ecuación (3.45).

$$\frac{I_2}{I_1} = \frac{(W/L)_2}{(W/L)_1} = N \quad (3.45)$$

A la hora de establecer los valores de la resistencia de referencia y dimensiones de los transistores se ha de recordar que existe un compromiso entre consumo y área. Si se quiere una corriente de referencia pequeña, el área de la resistencia y de los transistores de las ramas de salida será elevada.

Como norma general, para no tener un consumo de potencia inútil la corriente que recorre la referencia de tensión ha de ser aproximadamente un décimo de la corriente que suministra la fuente de corriente.

3.5 Amplificadores de banda ancha

La adaptación de banda ancha fue desarrollada inicialmente por Bode [9] en 1945 y por Fano [10] en 1950 con el propósito de aumentar el ancho de banda de las antenas. Fano había derivado un completo conjunto de integrales que predecían la relación entre la ganancia y el ancho de banda para una red de adaptación sin pérdidas que terminara en una impedancia de carga arbitraria. Como resultado, se demostró que conceptualmente era posible ensanchar la banda de un *LNA* de banda estrecha. Sin embargo, si bien el diseño de la antena está totalmente definido antes de diseñar la red de adaptación, durante el diseño del *LNA* de banda ancha, tanto el amplificador como el circuito de adaptación de entrada son desconocidos. En otras palabras, el criterio de adaptación de banda ancha usado por Fano, que parte del diseño de un amplificador de banda estrecha optimizado, proporciona un amplificador de banda ancha no necesariamente optimizado.

Actualmente, como se dijo al principio del capítulo, a la hora de realizar amplificadores de banda ancha la solución empleada suele ser usar amplificadores distribuidos, los cuales requieren altos niveles de consumo y no se optimizan para el ruido.

La solución propuesta en este proyecto para solventar los problemas de consumo y ruido que implica el uso de amplificadores distribuidos, es sustituir dichos amplificadores por amplificadores de banda ancha diseñados partiendo de amplificadores de banda estrecha.

Concretamente, nuestro propósito consiste en realizar un amplificador cascodo de banda ancha a partir de un amplificador cascodo de banda estrecha, como el analizado en apartados anteriores, para posteriormente doblarlo obteniendo así un amplificador cascodo doblado de banda ancha.

A continuación abordaremos las modificaciones del amplificador cascodo y cascodo doblado de banda estrecha que nos permitirán transformarlo en un amplificador cascodo de banda ancha. En la figura 3.22 se muestra la arquitectura elegida para diseñar nuestro amplificador cascodo de banda estrecha, que fue analizada en apartados anteriores.

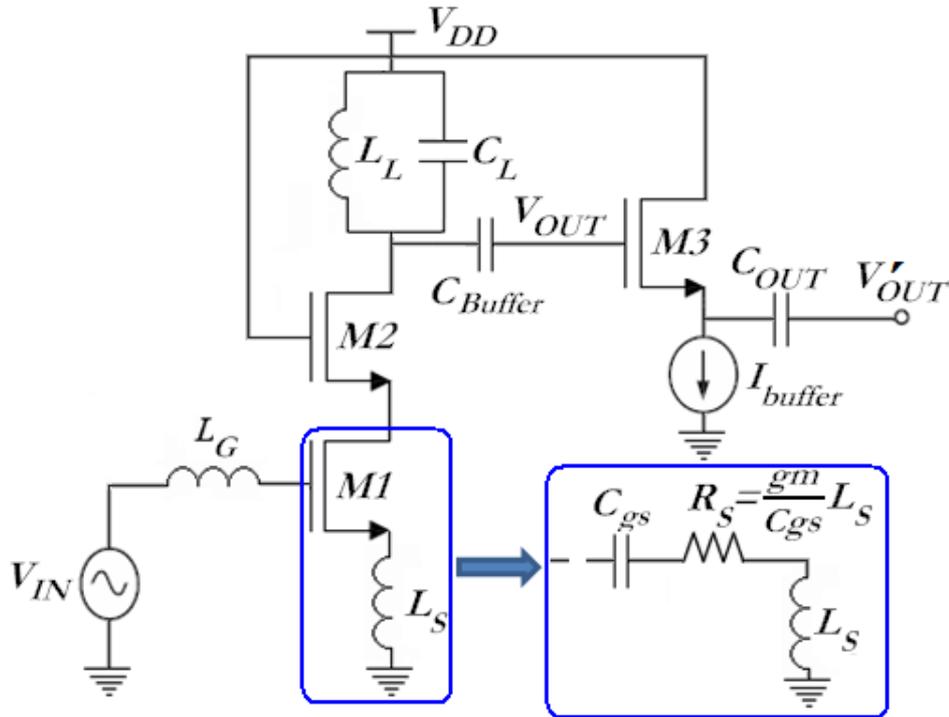


Figura 3.22 Amplificador cascode para banda estrecha.

En la figura 3.22 se muestra la arquitectura elegida para diseñar nuestro amplificador cascode doblado de banda estrecha, que fue analizada en apartados anteriores.

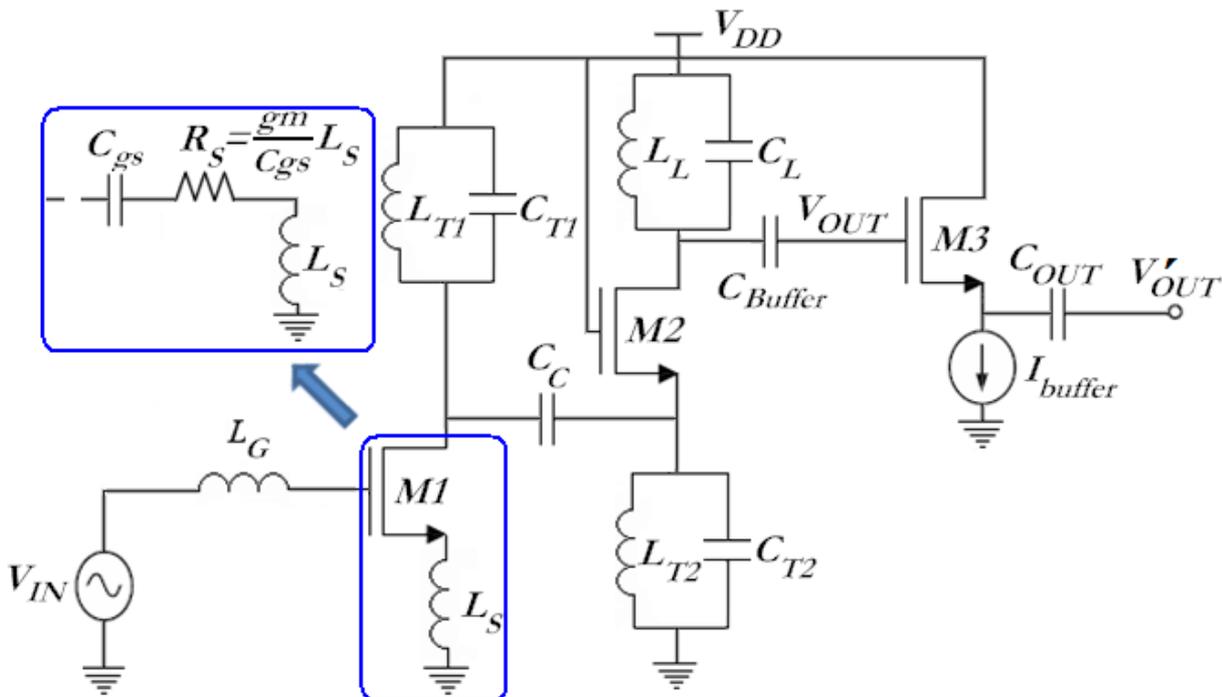


Figura 3.23 Amplificador cascode doblado para banda estrecha.

Para poder realizar amplificadores de banda ancha a partir de los diseños de amplificadores mostrados en las figuras 3.22 y 3.23 es necesario hacer las siguientes modificaciones:

- Se tiene que sustituir la red de adaptación de la entrada, anteriormente de banda estrecha sintonizada a una frecuencia determinada (inductor L_G), por una red de adaptación de banda ancha sintonizada a una banda determinada. Para ello, se utiliza un filtro adaptado a la banda de interés.
- Se tiene que sustituir la red de carga de banda estrecha (circuito tanque $L_L C_L$) por una de banda ancha. Las cargas para banda ancha que más se suelen usar son: carga RC , *series-peaking*, *shunt-peaking* y *shunt-series-peaking* que es una combinación de las dos anteriores [6].
- En el caso del amplificador cascodo doblado hay que sustituir los circuitos resonantes de banda estrecha (circuitos tanque $L_T C_T$) por circuitos resonantes de banda ancha. Lo más común es utilizar una bobina.

3.5.1 Red de adaptación de entrada de banda ancha

La red de adaptación de entrada de banda ancha es un filtro que se usa para que la parte reactiva de la impedancia de entrada resuene en la banda de interés. En nuestro caso la frecuencia de corte inferior (ω_L) es 3.1 GHz y la frecuencia de corte superior (ω_U) es 10.6 GHz. Para obtener dicho filtro comencemos considerando un cuadripolo doblemente terminado con una resistencia de entrada R_1 y una resistencia de carga R_2 , como el mostrado en la figura 3.24. Podemos definir la función de transferencia entrada-salida $H(s)$, las pérdidas α (en neperianos), y la fase β (en radianes) a través de las ecuaciones (3.46) y (3.47) [29].



Figura 3.24 Cuadripolo doblemente terminado.

$$\alpha + j\beta = \ln H(j\omega) = \ln \frac{E}{2V_2} \sqrt{\frac{R_2}{R_1}} \quad (3.46)$$

$$2\alpha = \ln |H(j\omega)|^2 = \ln \frac{\frac{|E|^2}{4R_1}}{\frac{|V_2|^2}{R_2}} = \ln \frac{P_{max}}{P_2} \quad (3.47)$$

Donde:

- P_{max} es la máxima potencia disponible.
- P_2 es la potencia disipada en R_2 .

Si suponemos que la red de adaptación contenida en el cuadripolo es una red sin pérdidas (compuesta exclusivamente por elementos ideales L y C) que nos permite realizar una adaptación de banda ancha, entonces en la banda de paso las pérdidas α son igual a cero y $P_{\text{max}} = P_2$. Bajo estas condiciones, la impedancia de entrada vista desde el terminal de fuente es real e igual a R_1 .

A fin de obtener nuestra red de adaptación de entrada, comenzaremos analizando el filtro paso bajo en escalera de segundo orden mostrado en la figura 3.25., en el que los valores de L y C se eligen de forma que se cumplan las ecuaciones (3.48) y (3.49).

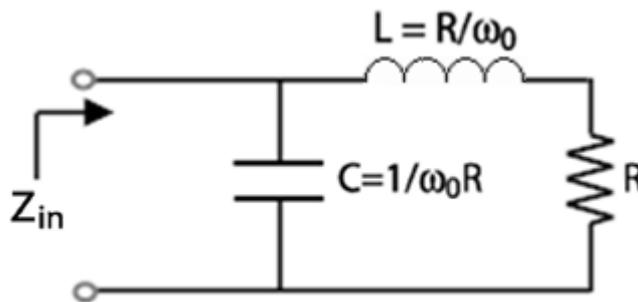


Figura 3.25 Filtro paso bajo en escalera de segundo orden.

$$L = \frac{R}{\omega_0} \tag{3.48}$$

$$C = \frac{1}{\omega_0 \cdot R} \tag{3.49}$$

En la figura 3.26 se muestra el valor de la impedancia de entrada del filtro paso bajo en función de la frecuencia. Observamos que en la banda de paso (hasta ω_0) la impedancia del filtro es mayormente resistiva, plana e igual a R . Por otro lado, en el resto de la banda la impedancia del filtro es mayormente reactiva y las señales no pueden propagarse a través del circuito [28].

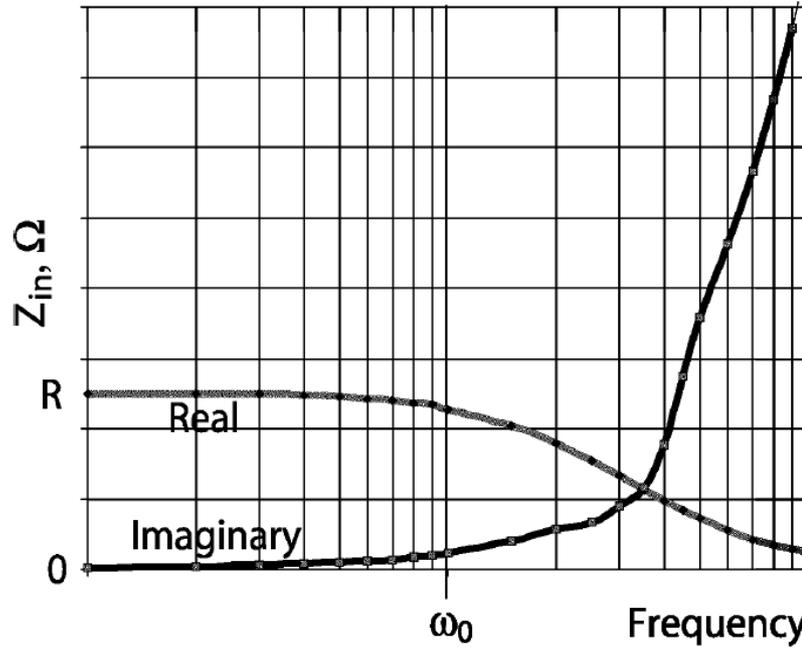


Figura 3.26 Impedancia de entrada del filtro paso bajo respecto de la frecuencia.

Para obtener las especificaciones del filtro paso banda se utilizando la transformación de paso bajo a paso banda, descrita en la ecuación (3.50).

$$\frac{s}{\omega_0} \Rightarrow \frac{s}{\omega_0} + \frac{\omega_0}{s} \quad (3.50)$$

Donde ω_0 toma los valores de:

- ω_L es la frecuencia de corte inferior del filtro paso banda.
- ω_U es la frecuencia de corte superior del filtro paso banda.

Por lo que:

- El condensador en paralelo (C) se sustituye por un inductor (L_1) en paralelo con un condensar (C_1).
- El inductor en serie (L) se sustituye por un inductor (L_2) en serie con un condensador (C_2).

Aplicando dichos cambios obtenemos el filtro paso banda en escalera de cuarto orden doblemente terminado mostrado en la figura 3.27.

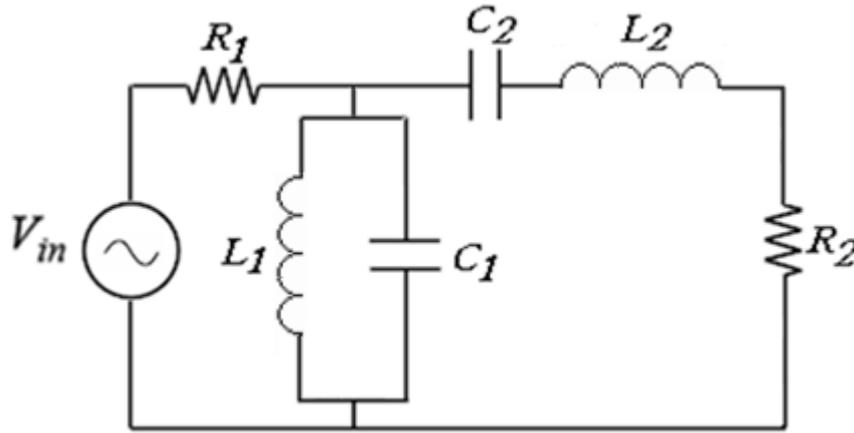


Figura 3.27 Filtro paso banda de cuarto orden en escalera.

En la figura 3.28 muestra el valor de la impedancia de entrada del filtro paso banda en función de la frecuencia. Observamos nuevamente que en la banda de paso ($\omega_L - \omega_U$) la impedancia del filtro es mayormente resistiva, plana e igual a R . Por otro lado, en el resto de la banda la impedancia del filtro es mayormente reactiva y las señales no pueden propagarse a través del circuito.

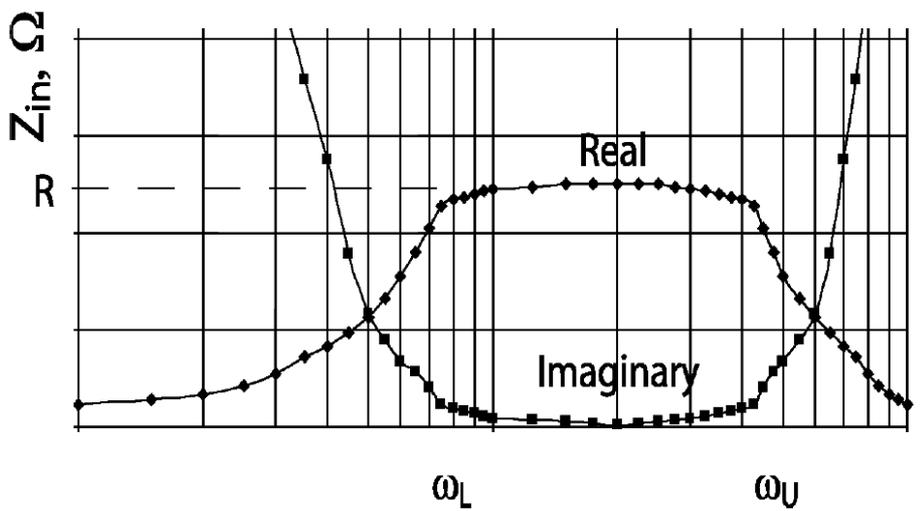


Figura 3.28 Impedancia de entrada del filtro paso banda respecto de la frecuencia.

Por otro lado, para todo filtro paso banda el ancho de banda relativo (n) se define como:

$$n = \frac{\omega_U - \omega_L}{\sqrt{\omega_L \cdot \omega_U}} = \frac{10.6 - 3.1}{\sqrt{3.1 \cdot 10.6}} = 1.308 \quad (3.51)$$

Al ser $n > 1$, el filtro paso banda puede ser visto como la unión de un filtro paso bajo seguido de un filtro paso banda, en donde los valores de L_1 , L_2 , C_1 y C_2 se obtienen a través de las ecuaciones (3.52) y (3.53).

Filtro Paso Bajo $L_1 \approx \frac{R_2}{\omega_L}$ y $C_2 \approx \frac{1}{\omega_L \cdot R_2}$ (3.52)

Filtro Paso Alto $L_2 \approx \frac{R_2}{\omega_U}$ y $C_1 \approx \frac{1}{\omega_U \cdot R_2}$ (3.53)

Llegados a este punto, podemos observar que la parte derecha del filtro paso banda en escalera de cuarto orden es igual que el circuito equivalente del transistor con degeneración inductiva analizado en el capitulo 3.4.1.3. La figura 3.29 muestra dicha similitud.

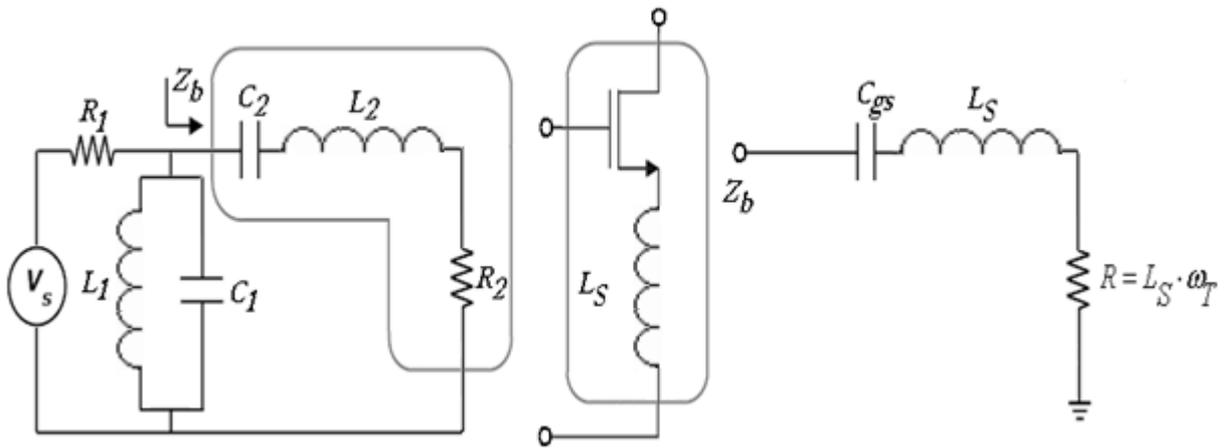


Figura 3.29 Similitud entre filtro paso banda de cuarto orden en escalera y el transistor con degeneración inductiva.

De tal forma que si:

$$L_2 = L_S \tag{3.54}$$

$$C_2 = C_{gs} \tag{3.55}$$

$$R_2 = \omega_T \cdot L_S \tag{3.56}$$

Ambos circuitos se pueden embeber conjuntamente, obteniendo el circuito mostrado en la figura 3.30.

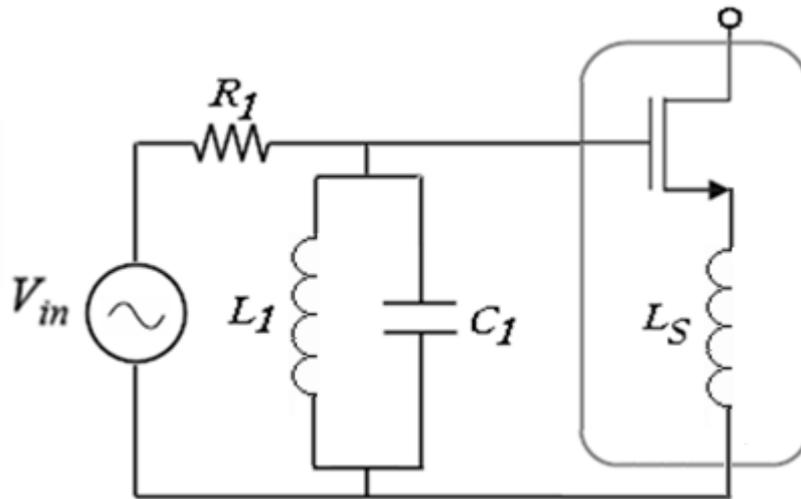


Figura 3.30 Transistor con degeneración inductiva y adaptación de banda ancha.

Queda demostrado que es posible embeber la red de adaptación de banda ancha, constituida por un filtro paso banda en escalera de cuarto orden, conjuntamente al transistor con degeneración inductiva, obteniendo de este modo una adaptación de impedancias de banda ancha para un transistor con degeneración inductiva.

La principal ventaja de esta técnica radica en el hecho de que, al solapar la red de adaptación de entrada y el amplificador degenerado, se reduce el número de componentes y, con ello, el área del circuito. No obstante, el solapamiento de componentes también implica un aumento de la complejidad del diseño, pues los parámetros de ajuste de la red de adaptación de entrada entran en conflicto con los del amplificador degenerado. En otras palabras, el valor de L_S óptimo para minimizar el ruido del amplificador y obtener máxima transferencia de potencia (ecuación (3.35)) no coincide con el L_S óptimo para adaptar el filtro paso banda a la banda de interés (ecuación (3.54)). Lo mismo sucede con el condensador C_{gs} . Esto implica que se deberá llegar a una solución de compromiso que será analizada en el capítulo 5.

3.5.2 Red de Carga

Para poder elegir una carga adecuada, se estudiarán los tipos de estructuras antes mencionados. En la figura 3.33 se muestra la estructura de la carga RC y su circuito equivalente.

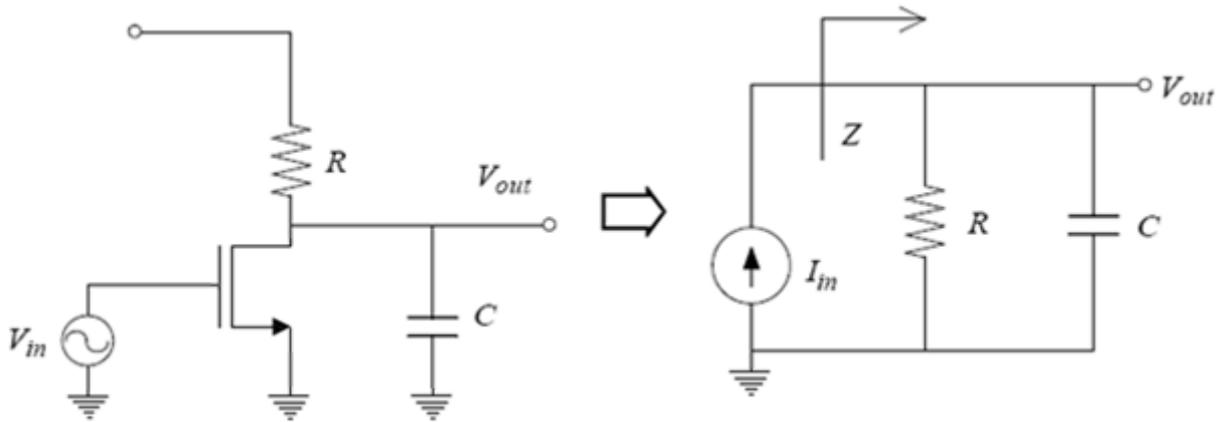


Figura 3.33 Carga RC.

Esta estructura viene a ser un filtro paso bajo. En la ecuación (3.57) se muestra la impedancia de esta carga.

$$Z(s) = R \parallel \frac{1}{s \cdot C} = \frac{R}{1 + R \cdot C \cdot s} \quad (3.57)$$

En la figura 3.34 se muestra la respuesta en frecuencia, la cual empieza a caer debido al polo que introduce esta carga.

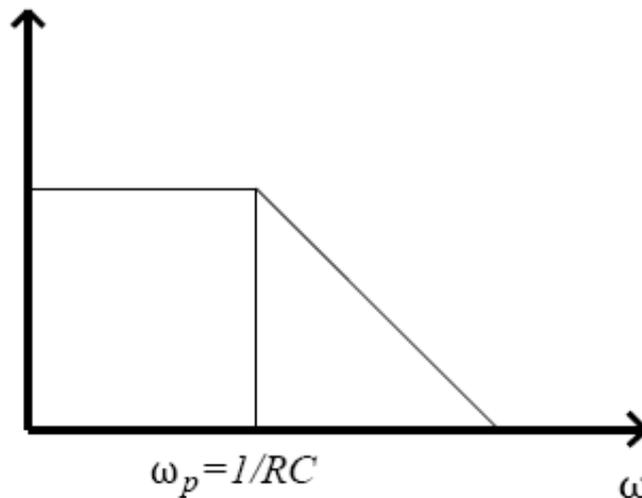


Figura 3.34 Respuesta en frecuencia de la carga RC.

La estructura *series-peaking* y su modelo se muestran en la figura 3.35. Con esta estructura se puede incrementar el ancho de banda con respecto a la carga RC, del orden de $1.41 \cdot BW_{RC}$ [6].

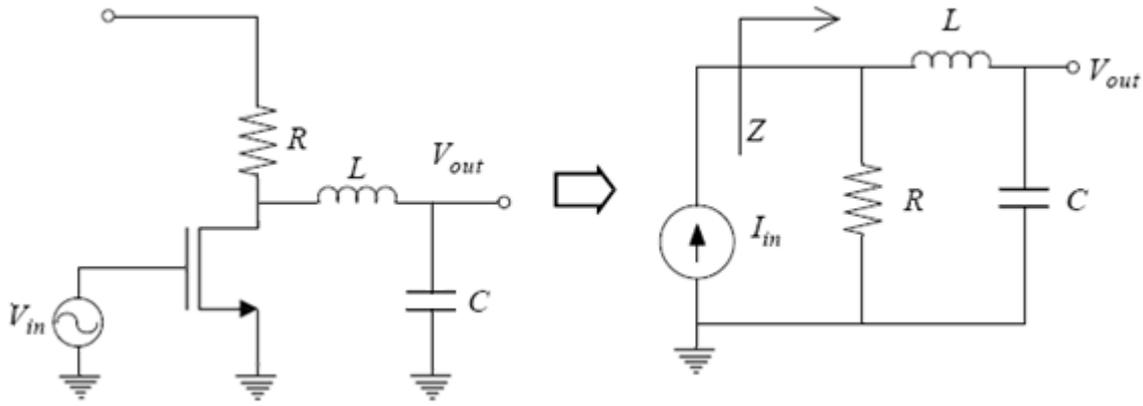


Figura 3.35 Carga series-peaking.

A partir del modelo equivalente de la figura 3.35 obtenemos su impedancia, mostrada en la ecuación (3.58).

$$Z(s) = R \parallel \left(s \cdot L + \frac{1}{s \cdot C} \right) = \frac{R(s^2 \cdot L \cdot C + 1)}{(1 + C \cdot L \cdot s)^2} \quad (3.58)$$

En la figura 3.36 se muestra la estructura de la carga *shunt-peaking* y su modelo. Con esta carga se consigue aumentar el ancho de banda respecto a la *series-peaking*. El aumento con respecto la carga RC viene a ser $1.85 \cdot BW_{RC}$ [6].

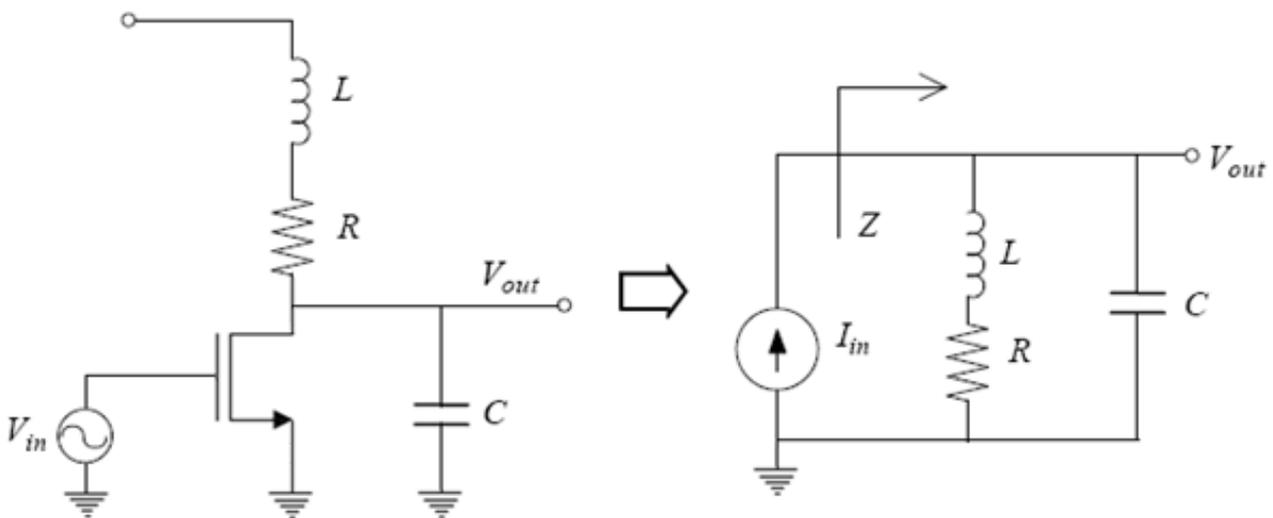


Figura 3.36 Carga shunt-peaking.

A partir del modelo equivalente de la figura 3.24 obtenemos su impedancia ilustrada en la ecuación (3.59).

$$Z(s) = (R + L \cdot s) \parallel \frac{1}{s \cdot C} = \frac{R + s \cdot L}{(1 + C \cdot R \cdot s)^2} \quad (3.59)$$

Analizando la ecuación (3.59), se observa que seleccionando adecuadamente los valores de L y C es posible modelar fácilmente la respuesta en frecuencia de este tipo de red de carga $Z(s)$. Debido a esto y a disponer de un mayor ancho de banda, la topología shunt-peaking, es la seleccionada como red de carga.

Otra posibilidad variante del anterior, es la mostrada en la figura 3.37 en la que se puede ver la estructura *series-shunt-peaking* y su modelo. Se trata de una combinación del *series-peaking* con el *shunt-peaking*.

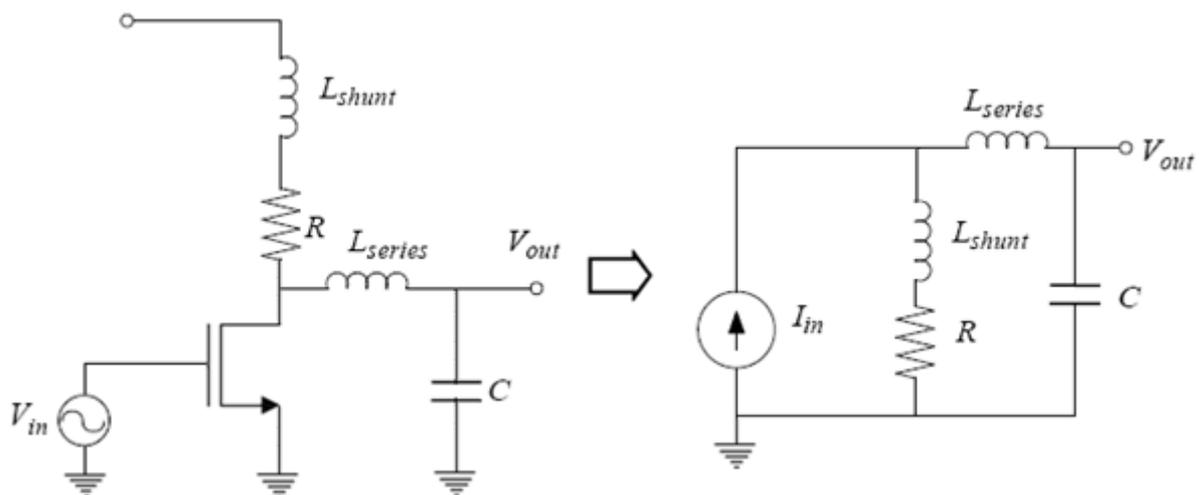


Figura 3.37 Carga shunt-series-peaking.

3.5.3 Circuito resonante

En el caso del amplificador cascode doblado necesitamos que en la banda de frecuencias de interés la señal de corriente de drenador del transistor de entrada ($M1$) fluya hacia el surtidor del transistor de salida ($M2$), para lo cual los circuitos resonantes de banda estrecha deben sustituirse por circuitos resonantes de banda ancha adaptados a la banda de interés. Como se ilustra la figura 3.38, dicho cambio consiste en sustituir el circuito tanque LC (R es la resistencia asociada a la bobina real L , apartado 3.2.2) por un simple inductor.

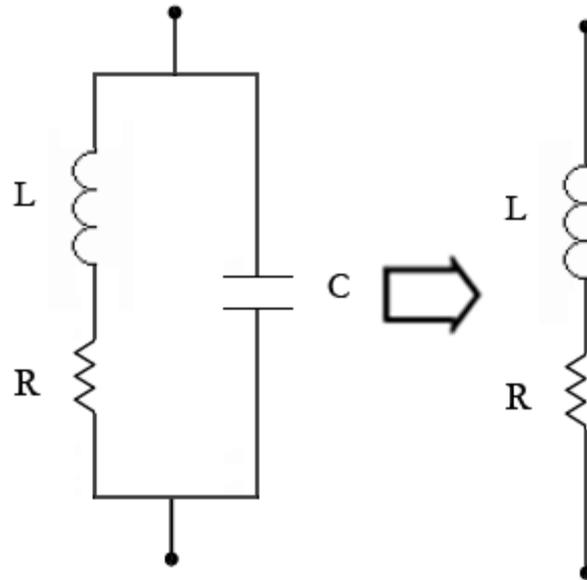


Figura 3.38 Sustitución del circuito resonante de banda estrecha por uno de banda ancha.

La impedancia del circuito resonante de banda ancha es:

$$Z(S) = L \cdot S + R \quad (3.60)$$

3.6 Estructuras de los LNAs de banda ancha

Si bien, el objetivo principal de este proyecto consiste en desarrollar un *LNA* cascode doblado de banda ancha, como hemos visto primero es necesario desarrollar un *LNA* cascode de banda ancha. Debido a esto, y con ánimo de ampliar y profundizar en el estudio que estamos realizando, optaremos por desarrollar completamente ambos *LNAs*. Es más, a fin de poder realizar un estudio comparativo entre las prestaciones de las estructuras cascode y cascode doblado procuraremos que ambos diseños las tensiones y corrientes de polarización de los transistores sean las mismas, si bien las redes de adaptación de entrada y carga así como el buffer se optimizarán para cada uno de los diseños.

3.6.1 Estructura del LNA Cascodo

En la figura 3.39 se muestra el esquema simplificado del primer diseño. Se trata de un amplificador cascode con degeneración inductiva, una técnica extensamente usada para diseños en banda estrecha con la diferencia que se ha modificado la red de adaptación de entrada y la carga por una de banda ancha.

Para tener una mayor flexibilidad se le añade el condensador C_{AUX} entre la puerta y la fuente de $M1$. Dicho condensador nos permite desacoplar en parte el diseño de la red de adaptación de entrada del dimensionamiento y polarización del transistor $M1$, añadiendo grados de libertad al diseño del circuito. Debe tenerse en cuenta que esta capacidad auxiliar que se suma a C_{gs} también modifica el término real de la impedancia de entrada, tal y como vemos en la figura 3.39.

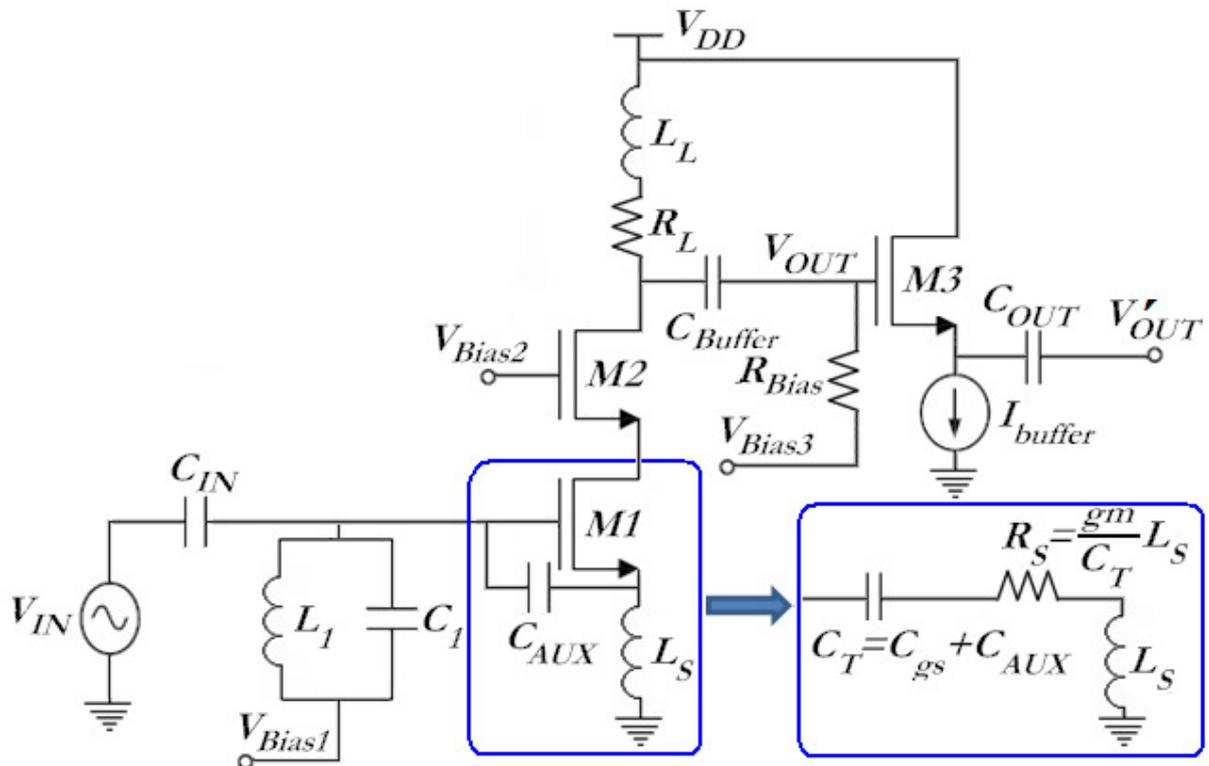


Figura 3.39 Esquema simplificado del LNA cascode de banda ancha.

3.6.2 Estructura del LNA cascode doblado

En la figura 3.40 se muestra el esquema simplificado del segundo diseño. Se trata de un amplificador cascode doblado con degeneración inductiva. Si se cumplen las restricciones planteadas en el apartado 3.3.2. este diseño se comportará como el circuito cascode mostrado en el apartado 3.6.1, por lo que cabe esperar que las prestaciones de ambos sean similares. Por otro lado, igual que en la estructura anterior se ha añadido el condensador C_{AUX} entre la puerta y la fuente de $M1$, para tener una mayor flexibilidad.

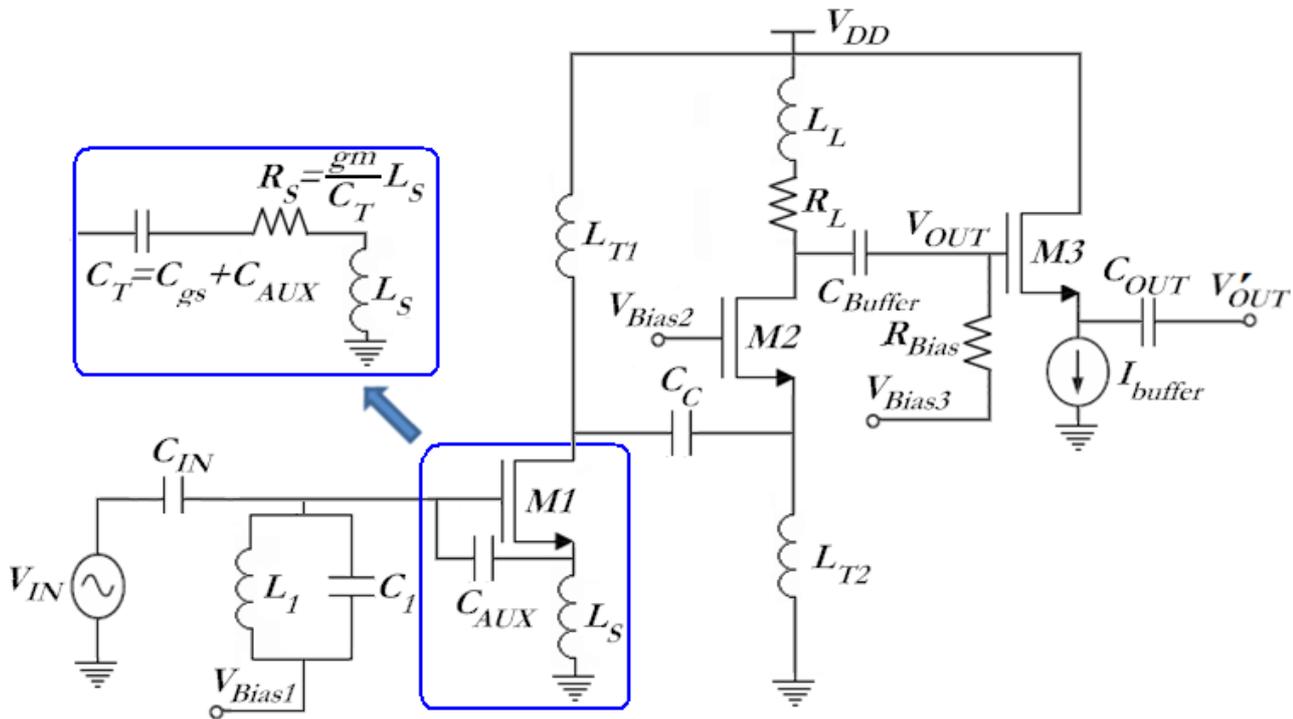


Figura 3.40 Esquema del LNA cascode doblado completo.

3.6.3 Análisis de las estructuras

En este apartado se analizan la adaptación de entrada, la ganancia y la figura de ruido de las estructuras planteadas de manera conjunta pues el estudio de ambas es idéntico si se cumplen las restricciones planteadas en el apartado 3.3.2.

3.6.3.1 Adaptación de entrada

En la figura 3.41 se muestra el esquema de la red de entrada del LNA. Se trata de la estructura de un filtro paso banda en escalera de quinto orden, si bien C_{IN} no es más que un condensador de desacoplo y debe dimensionarse adecuadamente para no afectar al resto de los elementos de la red de entrada.

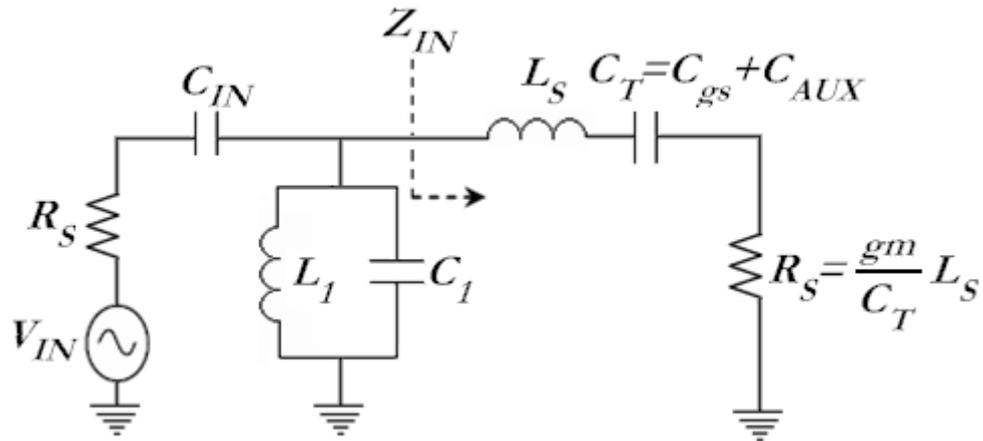


Figura 3.41 Esquema de la red de entrada.

A partir de este esquema se saca la impedancia de entrada del circuito serie RLC formado por el transistor, la bobina L_S y el condensador $C_T = C_{gs} + C_{AUX}$, que se muestra en la ecuación (3.61).

$$Z_{in}(S) = \frac{1}{S \cdot (C_{gs} + C_{AUX})} + S \cdot L_S + \frac{g_m}{(C_{gs} + C_{AUX})} \cdot L_S \quad (3.61)$$

La parte real de Z_{IN} se elige idealmente para ser igual a la resistencia de la fuente (terminación del filtro), tal y como se muestra en la ecuación (3.62).

$$\frac{g_m}{(C_{gs} + C_{AUX})} \cdot L_S = R_S \quad (3.62)$$

De tal forma que las pérdidas de energía en el filtro paso banda son de 0 dB. La elección de los elementos reactivos del filtro se determina por el ancho de banda del filtro que queremos hacer.

Hasta aquí parece sencilla la adaptación de entrada del circuito, sin embargo el cuadro descrito hasta ahora se complica por la presencia de la capacidad de puerta-drenador de $M1$ (C_{gd}), la cual hace que la parte real de Z_{IN} disminuya con respecto a la ecuación (3.61). En la figura 3.42 se muestra el esquema de la red de entrada con la capacidad C_{gd} incluida.

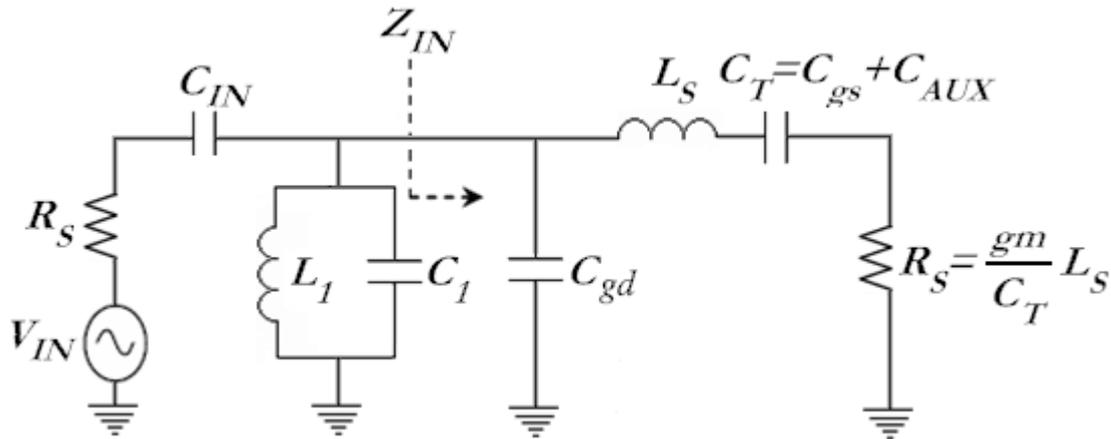


Figura 3.42 Esquema de la red de entrada con C_{gd} .

Además, esta capacidad introduce una serie de resonancias con el resto de elementos del circuito que hay que mantener lo más alejado de la banda de interés para que no interfiera en el funcionamiento esperado del circuito.

3.6.3.2 Análisis de la ganancia

En la ecuación (3.63) se muestra el valor de la impedancia de la red de entrada.

$$Z_{IN}(s) = \frac{R_S}{F(s)} \quad (3.63)$$

Donde $F(s)$ es la función de transferencia del filtro paso banda en escalera de cuarto orden (figura 3.25). La función de transferencia del filtro paso banda $F(s)$ es aproximadamente la unidad dentro de la banda de interés y tiende a cero fuera de ella. La impedancia que se ve en el amplificador es por lo tanto igual a R_S dentro de la banda, y es muy alta fuera de ella.

En la ecuación (3.64) se muestra la corriente que entra a $M1$.

$$I_{G-M1}(s) = \frac{F(s) \cdot v_{in}}{R_S} \quad (3.64)$$

En alta frecuencia, el transistor MOS actúa como un amplificador de corriente siendo la ganancia de corriente la especificada por la ecuación (3.65).

$$\beta(s) = \frac{g_m}{s \cdot C_T} \quad (3.65)$$

Como consecuencia, suponiendo que el cascode opera idealmente, la corriente de salida es la mostrada en la ecuación (3.66).

$$I_{D-M2}(s) = \frac{F(s) \cdot g_m \cdot v_{in}}{s \cdot C_T \cdot R_S} \quad (3.66)$$

Este resultado indica que la ganancia en corriente disminuye con la frecuencia debido a C_T .

Por otro lado en la figura 3.43 se muestra un amplificador con *shunt-peaking* y su modelo. Esta es la red de carga elegida para nuestros diseños.

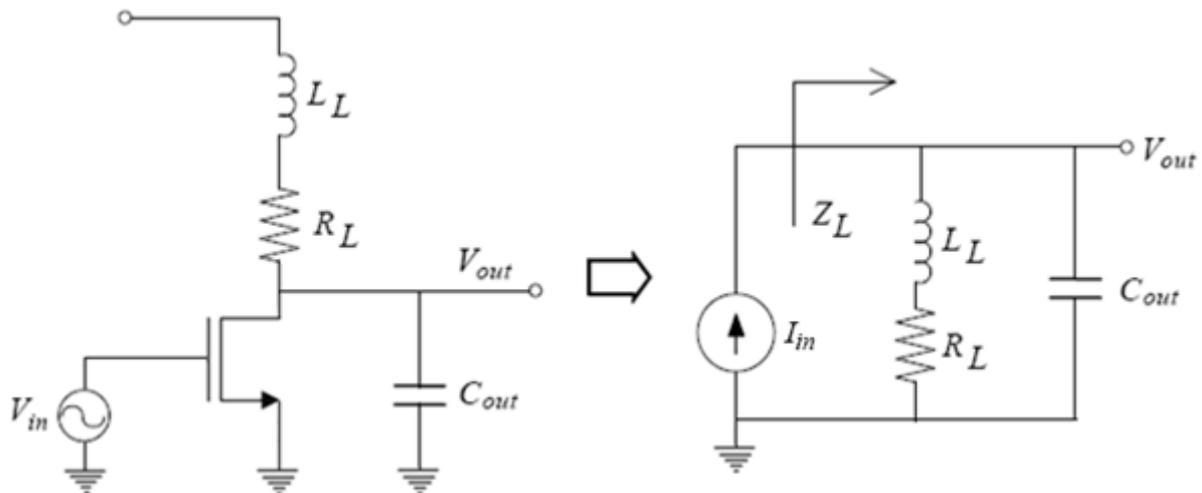


Figura. 3.43. Amplificador shunt-peaking y su modelo

La impedancia del circuito RLC de salida se muestra en la ecuación (3.67).

$$Z_L(S) = (S \cdot L_L + R_L) \parallel \frac{1}{S \cdot C_{out}} = \frac{R_L(1 + \frac{S \cdot L_L}{R_L})}{(S^2 \cdot L_L \cdot C_{out} + S \cdot R_S \cdot C_{out} + 1)} \quad (3.67)$$

Por lo tanto, la ganancia total con la carga *shunt-peaking* será la mostrada en la ecuación (3.68).

$$\frac{V_{out}}{V_{in}} = \frac{g_m \cdot F(S)}{s \cdot C_T \cdot R_S} \cdot \frac{R_L(1 + \frac{S \cdot L_L}{R_L})}{(S^2 \cdot L_L \cdot C_{out} + S \cdot R_S \cdot C_{out} + 1)} \quad (3.68)$$

Donde:

Donde:

- R_L es la resistencia de la carga.
- L_L es la inductancia de la carga.
- C_{out} es la capacidad total entre el drenador de M_2 y tierra, como se muestra en la ecuación (3.69).

$$C_{out} = C_{db2} + C_{gb3} \quad (3.69)$$

Donde:

- C_{db2} es la capacidad drenador-sustrato de M_2 .
- C_{gb3} es la capacidad puerta de M_3 .

La ecuación (3.70) muestra que C_{out} introduce una resonancia parásita con L_L , la cual debe ser mantenida fuera de la banda.

Otras capacidades parásitas tales como las de los nodos de fuente y drenador de M_1 tienen un efecto perjudicial en el funcionamiento del amplificador. La capacidad fuente-sustrato de M_1 (C_{sb1}) está en paralelo con L_S , como se muestra en la figura 3.44.

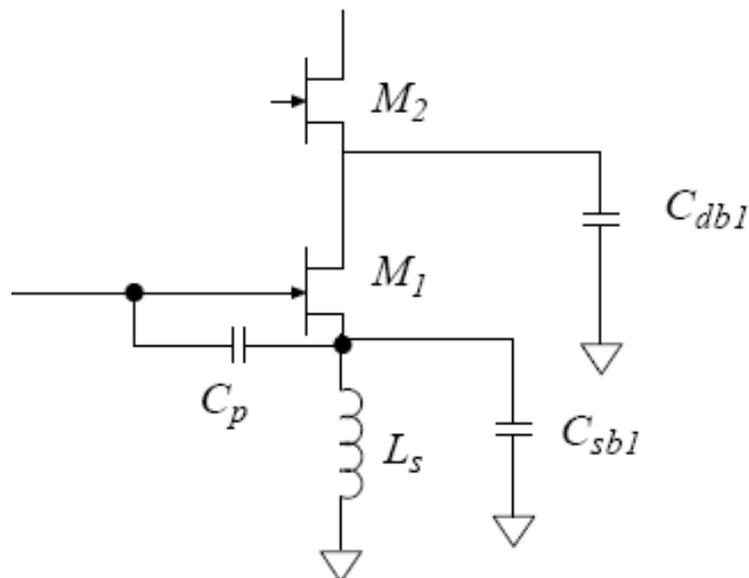


Figura 3.44 Capacidades parásitas.

Si la resonancia resultante del paralelo estuviese dentro de la banda, la degeneración inductiva quedaría comprometida.

Por otra parte, la inductancia a frecuencias más bajas se verá alzada. Como resultado, la parte real de la impedancia de entrada tiene una dependencia indeseable con respecto la frecuencia. La capacidad parásita total del drenador de $M1$ ($C_{db1} + C_{gs2}$) introduce un polo que limita el ancho de banda del amplificador a altas frecuencias.

Finalmente el *buffer* fuente-seguidor $M3$ es necesario para adaptar el amplificador a la carga externa, en nuestro caso R_{ext} es igual 50Ω . La tensión externa de salida V'_{out} está relacionada con el voltaje de salida del amplificador V_{out} por la ecuación (3.71).

$$\frac{V'_{out}}{V_{out}} = \frac{g_{m3} \cdot R_{ext}}{1 + g_{m3} \cdot R_{ext}} \quad (3.71)$$

3.6.3.3 Análisis del ruido

El ruido en este circuito se debe principalmente a las pérdidas de la red de entrada y a $M1$. La contribución de ruido de la red de entrada es debida al limitado factor de calidad Q de las bobinas. Esta contribución se optimiza usando bobinas con el mayor factor de calidad Q posible. La optimización del factor de ruido de $M1$ se consigue dimensionando y polarizando adecuadamente el transistor, esta técnica ha sido completamente estudiada para el caso de diseños de LNAs de banda estrecha [4]. En el caso de banda ancha, el ruido de $M1$ depende no sólo de la corriente I_{Bias1} y del ancho del transistor sino que depende también de la frecuencia, [8] y [28]. La figura de ruido de $M1$ para ambos diseños queda modelada por la ecuación (3.41), analizada en el apartado 3.4.1.3.

Además de la contribución de ruido por parte de la red de entrada y del dispositivo $M1$, hay que tener en cuenta:

- La contribución de $M2$, particularmente significativa a frecuencias altas [6].
- La contribución de la carga R_L .
- La contribución del *buffer* de salida $M3$.

3.7 Resumen

En este capítulo se han estudiado las características de la estructura en fuente-común para banda estrecha, así como la configuración en cascode y cascode doblado. Gracias a ello se ha podido entrar en detalle de las dos estructuras elegidas para nuestros diseños en banda ancha. Este capítulo es de gran importancia, ya que el diseño posterior, tanto a nivel de esquemáticos como a nivel de *layout* se hará en base a él.

En el siguiente capítulo veremos las características de la tecnología empleada para nuestro trabajo. Esta tecnología es la denominada *UMC 0.18 μm CMOS* de *United Microelectronic Circuit*. Para ello, estudiaremos uno a uno todos los componentes suministrados por *UMC* que entran en juego en el diseño de nuestros *LNAs*.

ESTUDIO DE LA TECNOLOGÍA

En el capítulo anterior estudiamos las principales características y topologías de los *LNAs* para *UWB*. Este paso será de gran utilidad a la hora de realizar nuestro diseño. Sin embargo, antes de comenzar con él debemos realizar un estudio de la tecnología que se va a utilizar. Por esta razón hemos realizado este capítulo, con el que pretendemos dar una visión general de la tecnología *UMC 0.18 μm Mixed Mode/RF CMOS 1.8 V / 3.3 V 1P6M (UMC 0.18 μm CMOS)* de la fundidora *United Microelectronic Circuit (UMC)*. Esta tecnología consta de seis metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, consta de transistores *MOSFET*, siendo la longitud de puerta mínima de $0.18 \mu\text{m}$. Así mismo la tecnología *UMC 0.18 μm* ofrece una amplia librería de componentes pasivos.

En el análisis de los componentes disponibles en las librerías comenzaremos con una descripción teórica de los dispositivos, para posteriormente analizar el modelo genérico de cada componente. Finalmente centraremos nuestro estudio en aquellos componentes que han sido optimizados para radio frecuencia.

4.1 Resistencias

4.1.1 Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la figura 4.1 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

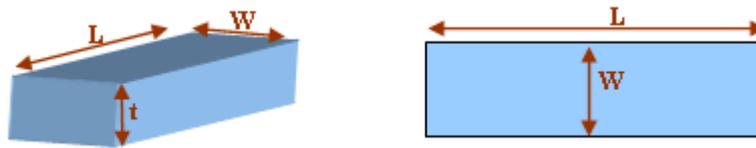


Figura 4.1 Parámetros de una resistencia.

Partiendo de la figura 4.1 el valor de la resistencia se obtiene a partir de la ecuación (4.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (4.1)$$

Donde los parámetros que intervienen son:

- ρ es la resistividad del material.
- t es el espesor del material.
- L es la longitud de la pista.
- W es la anchura de la pista.

En procesos de semiconductores el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia puede determinarse a partir de la ecuación (4.2).

$$R = R_{square} \cdot \frac{W}{L} \quad (4.2)$$

En la ecuación (4.2) R_{square} representa la resistencia por cuadro, que es el cociente entre la resistividad y el espesor de la resistencia.

4.1.2 Resistencias en la tecnología UMC 0.18 μm

La tecnología UMC 0.18 μm CMOS presenta múltiples resistencias; RNHR, RNNP0, RNPP0, RM1,..., que se utilizan dependiendo del valor resistivo que se pretenda integrar. En la figura 4.2 se muestra el cuadro de diálogo de Cadence donde se ajustan los parámetros de las resistencias.

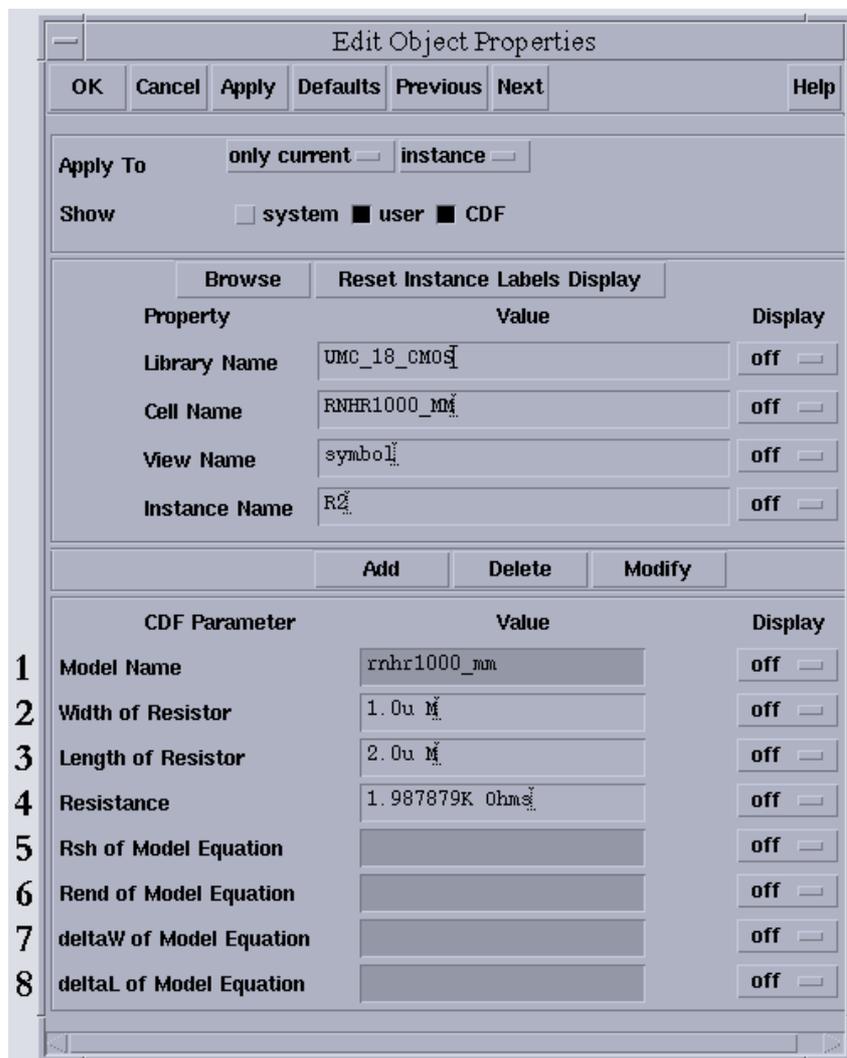


Figura 4.2 Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.2:

- 1 **Model Name:** Nombre del modelo usado durante la simulación (no editable).
- 2 **Width of Resistor:** Ancho del dispositivo.
- 3 **Length of Resistor:** Longitud del dispositivo.
- 4 **Resistance:** Resistencia total del dispositivo.

- 5 **Rsh of Model Equation:** Valor resistivo para el cuerpo de la resistencia (no editable).
- 6 **Rend of Model Equation:** Valor resistivo para el sustrato de la resistencia (no editable).
- 7 **deltaW of Model Equation:** Valor deltaW de la resistencia (no editable).
- 8 **deltaL of Model Equation:** Valor deltaL de la resistencia (no editable).

4.1.3 Resistencias optimizadas para RF en la tecnología UMC 0.18 μm

A partir de ahora nos centraremos en las resistencias de los tipos *RNHR_RF* y *RNNPO_RF/RNPP0_RF*. Durante la simulación de estos tipos de resistencias se utiliza el mismo circuito equivalente, si bien las ecuaciones que determinan los valores de los componentes que configurar dicho modelo varían en función del tipo de resistencia [2]. En la figura 4.2 se muestra el circuito equivalente de una resistencia en la tecnología *UMC 0.18 μm CMOS*.

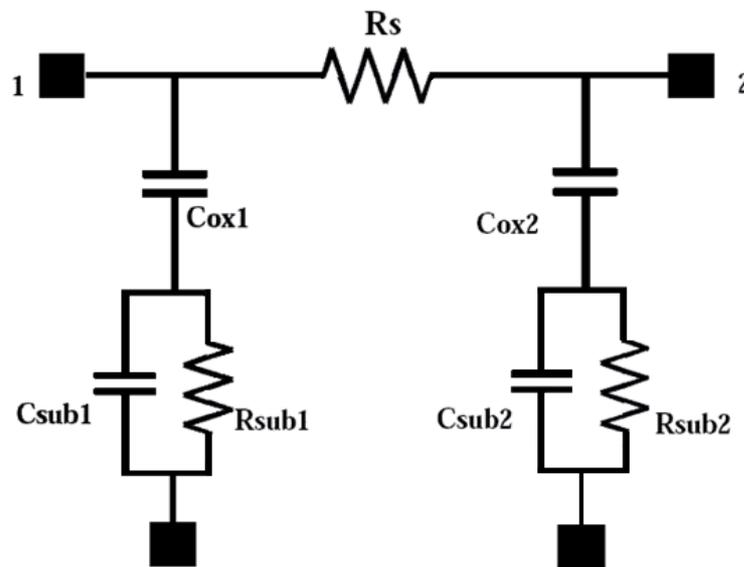


Figura 4.3 Circuito equivalente de una resistencia.

En la figura 4.3 observamos que el valor pretendido de la resistencia en cuestión es R_S . Por otro lado la capacidad asociada al oxido del condensador ha sido dividida en dos partes, una a cada lado de la resistencia; C_{ox1} y C_{ox2} . Por último, la influencia del sustrato ha sido modelada utilizando una red RC.

Las características de estos tipos de resistencias son:

- El cálculo de los parámetros del modelo se basa en una formula escalar.

- El rango de frecuencias de operación es: $100\text{ MHz} \sim 10\text{ GHz}$.
- El ancho de pista debe ser mayor a 2.
- La relación entre el largo y el ancho de la pista debe ser menor a 10.

En la figura 4.4 se muestra un ejemplo de resistencia del tipo $RNHR_RF$ generada a partir del asistente que presenta el *kit* de diseño de la tecnología.

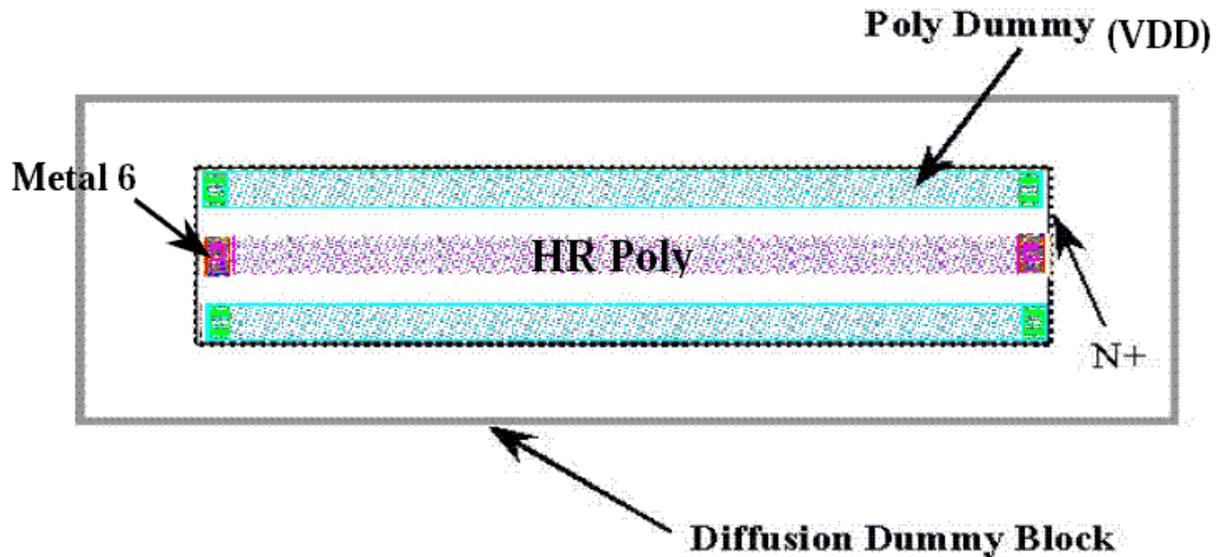


Figura 4.4 Layout de $RNHR_RF$.

En la figura 4.5 se muestra un ejemplo de resistencia del tipo $RNNPO_RF$ generada a partir del asistente que presenta el *kit* de diseño de la tecnología.

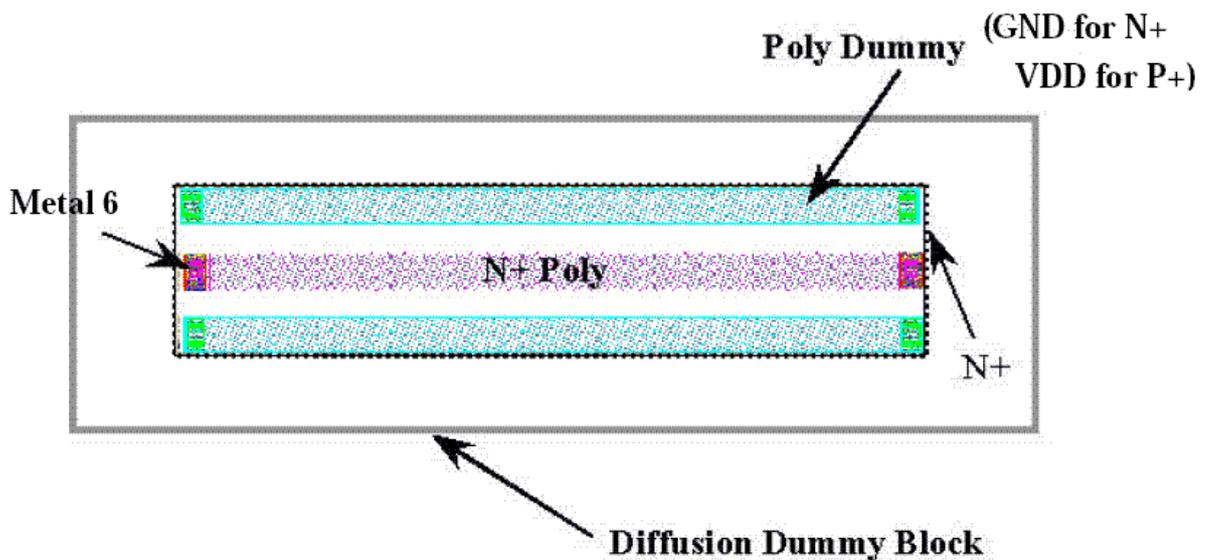
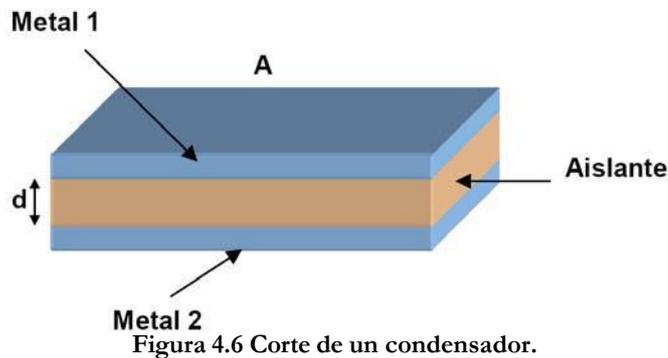


Figura 4.5 Layout de $RNNPO_RF$.

4.2 Condensadores

4.2.1 Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando dos capas de metal separadas por una capa de material aislante. En la figura 4.6 se muestra un esquema donde esto queda reflejado.



Partiendo de la figura 4.6 el valor de la capacidad del condensador viene dado por la ecuación (4.3).

$$R = \frac{\epsilon' \cdot \epsilon_0 \cdot A}{d} \quad (4.3)$$

4.2.2 Condensadores en la tecnología UMC 0.18 μm

Esta tecnología dispone de cuatro tipos de condensadores; *NCAP_MM*, *CCAP_MM*, *PCAPACITOR* y *MIMCAPM_RF*, que se utilizan dependiendo del valor capacitivo que se pretenda integrar. En la figura 4.5 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de los condensadores.

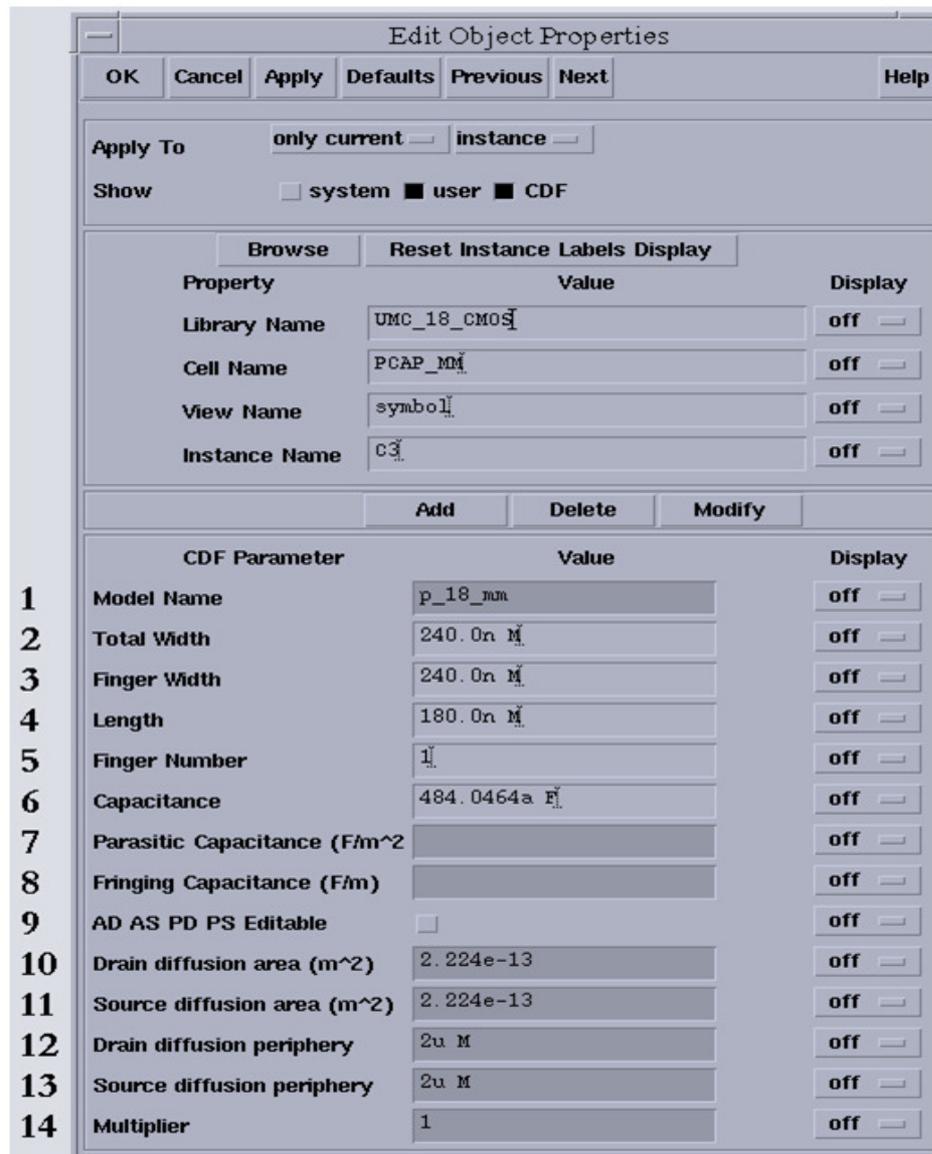


Figura 4.7 Parámetros ajustables en los condensadores.

A continuación se detallan los parámetros mostrados en la figura 4.7.

- 1 **Model Name:** Nombre del modelo usado durante la simulación (no editable).
- 2 **Total Width:** Ancho por *finger* del condensador multiplicado por el número de *fingers* (Ancho total).
- 3 **Finger Width:** Ancho de cada *finger*. Conocido el número de *fingers* y el ancho total del condensador, se calcula el ancho por *finger* dividiendo el ancho de puerta total por el número de *fingers*. Si dicho valor no coincide con un valor estándar, se reconfigura al valor estándar más cercano recalculando el ancho total del condensador.
- 4 **Length:** Ancho de puerta por *finger* del condensador.
- 5 **Finger Number:** Número de pistas de polisilicio usadas en el *layout*.
- 6 **Capacitance:** Valor capacitivo utilizado durante la simulación.

7 **Parasitic Capacitance (F/m^2):** Capacidad laminar (no editable, las unidades son faradios partido metros cuadrados).

8 **Fringing Capacitance (F/m):** Capacidad marginal (no editable, las unidades son faradios partido metros cuadrados).

9 **AD AS PD PS Editable:** Control booleano que permite controlar el área y periferia de la regiones de fuente y drenador (AD, AS, PD, PS) para ser usada en la simulación. Si dicho control esta seleccionado, el usuario puede introducir manualmente los valores. Por defecto dichos valores se calculan automáticamente.

10 **Drain diffusion area (AD):** Área total de la difusión en la región de drenador. Este parámetro es editable si el control AD AS PD PS Editable esta activado.

11 **Source diffusion area (AS):** Área total de la difusión en la región de fuente. Este parámetro es editable si el control AD AS PD PS Editable esta activado.

12 **Drain diffusion periphery (PD):** Perímetro total de la difusión en la región de drenador. Este parámetro es editable si el control AD AS PD PS Editable esta activado.

13 **Source diffusion periphery (PS):** Perímetro total de la difusión en la región de fuente. Este parámetro es editable si el control AD AS PD PS Editable esta activado.

14 **Multiplier:** Número de dispositivos *MOS* en paralelo (solo editable en el esquemático).

4.2.3 Condensadores optimizado para RF en la tecnología UMC 0.18 μm

A partir de ahora nos centraremos en el condensador *MIMCAPM_RF*. Este condensador se basa en un diseño modular que parte de un bloque o *finger* de condensador y lo replica a fin de obtener la capacidad deseada (mirar figura 4.10). En la figura 4.8 se muestra el circuito equivalente del condensador *MIMCAPM_RF* de la tecnología UMC 0.18 μm CMOS.

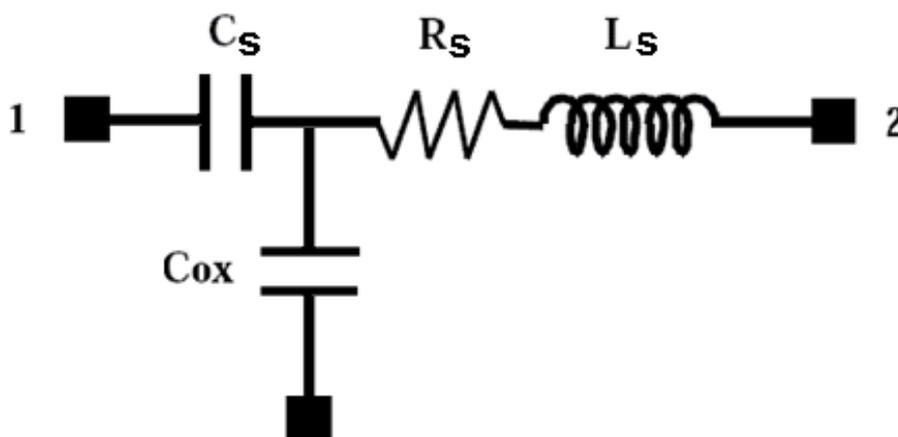


Figura 4.8 Circuito equivalente del condensador *MIMCAPM_RF*.

En la figura 4.8 observamos que el valor pretendido del condensador es C_S . Por otro lado L_S y R_S son la inductancia y resistencia parasitas. Finalmente, la capacidad parasita existente entre el metal más bajo y el oxido, se modela con C_{ox} .

Las características de este tipo de condensador son:

- El cálculo de los parámetros del modelo se basa en una formula escalar y se utiliza tanto para las características de un bloque o *finger* del condensador, como para las del condensador entero.
- El rango de frecuencias de operación es: $100\text{ MHz} \leq f < 10\text{ GHz}$.
- El tamaño mínimo del condensador es de $10\ \mu\text{m} \times 10\ \mu\text{m}$.
- Existe una limitación entre el ancho (W) y el largo (L) del transistor modelada por la ecuación (4.4).

$$1 \leq (L \cdot nx / W \cdot ny) \leq 6 \quad (4.4)$$

Donde nx y ny son el número de bloques o *fingers* horizontales y verticales respectivamente.

En la figura 4.9 se muestra un ejemplo de condensador del tipo *MIMCAPM_RF* generado a partir del asistente que presenta el kit de diseño de la tecnología.

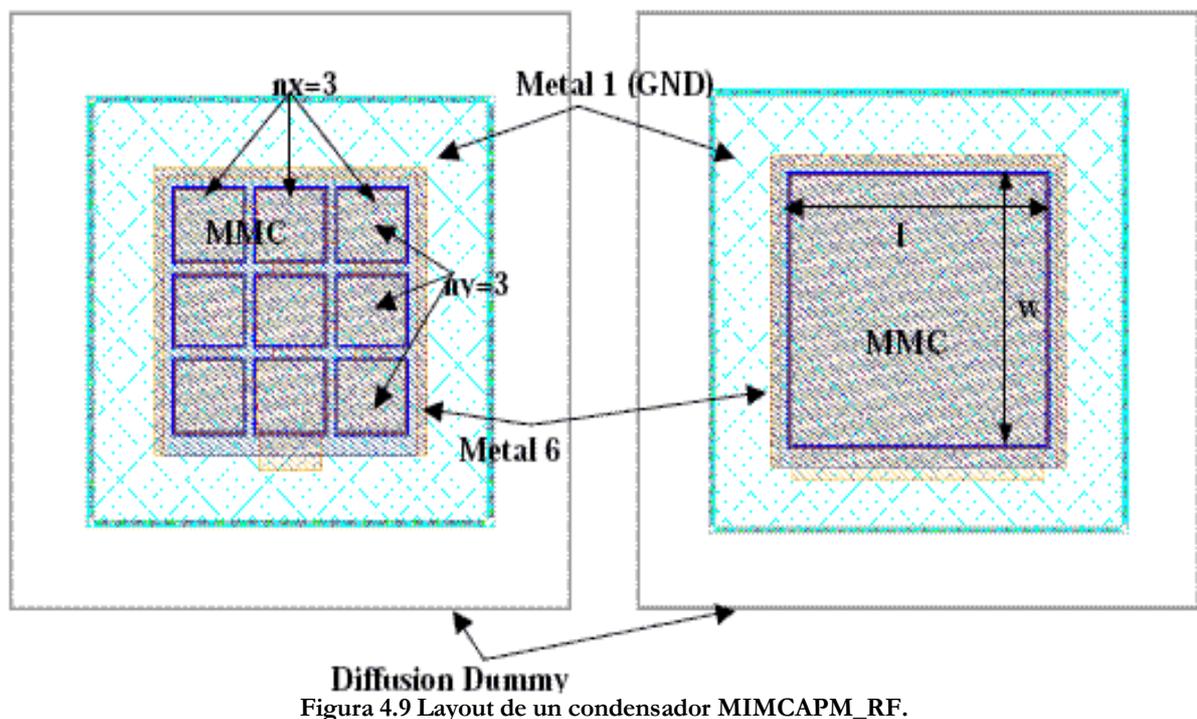


Figura 4.9 Layout de un condensador MIMCAPM_RF.

En la figura 4.10 se muestra un esquema de la sección transversal del condensador *MIMCAPM_RF*.

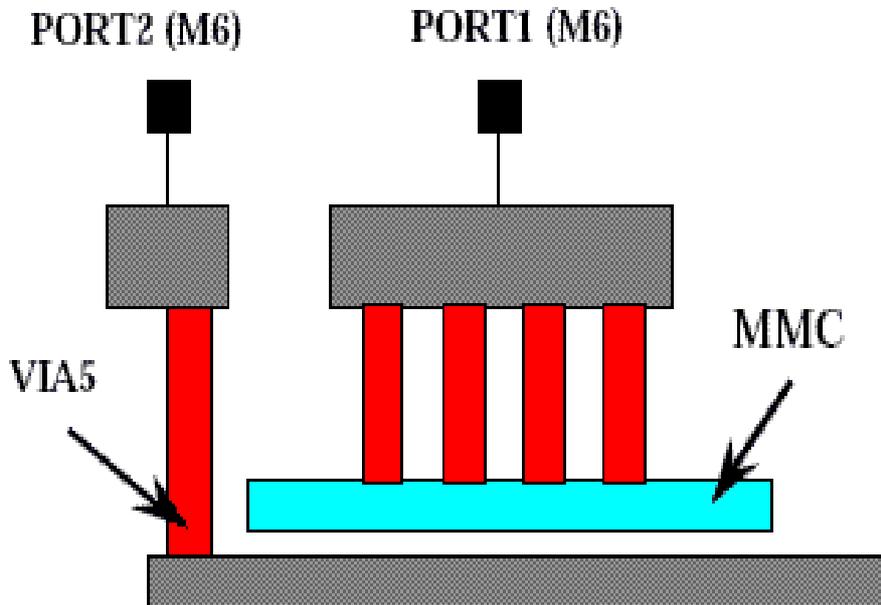


Figura 4.10 Sección del Layout de un condensador *MIMCAPM_RF*

4.3 Bobinas

4.3.1 Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espira queda en el interior de la misma, será necesario disponer al menos de dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la figura 4.7 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

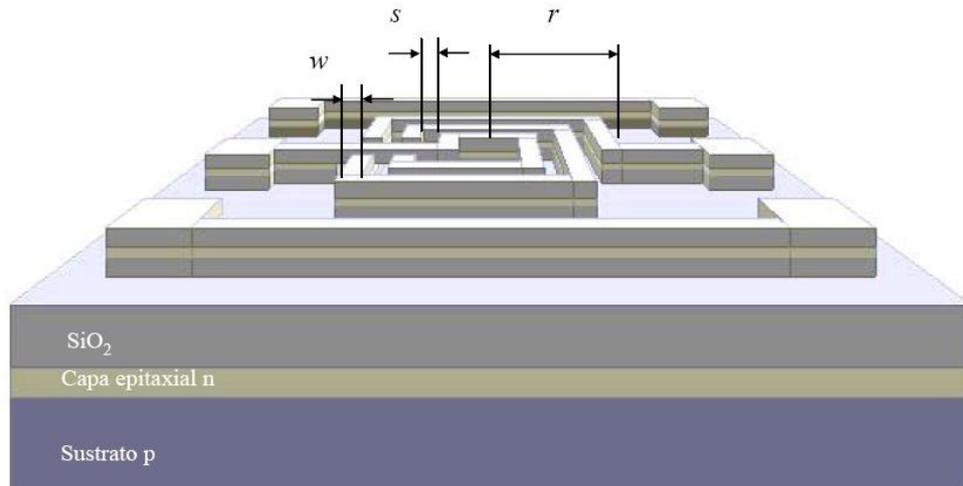


Figura 4.7 Layout de una bobina cuadrada simple.

4.3.2 Funcionamiento

Un inductor se caracteriza por su factor de calidad, cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros). La ecuación que modela el factor de calidad de un inductor es:

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (4.5)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) [7] y por las corrientes de torbellino (*eddy currents*) [7] inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la figura 4.8.

- El campo magnético $B(t)$ está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas

en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.

- $E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$ es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$ es el campo eléctrico entre la espira y el crossunder. Genera una capacidad parásita asociada en paralelo a la bobina.

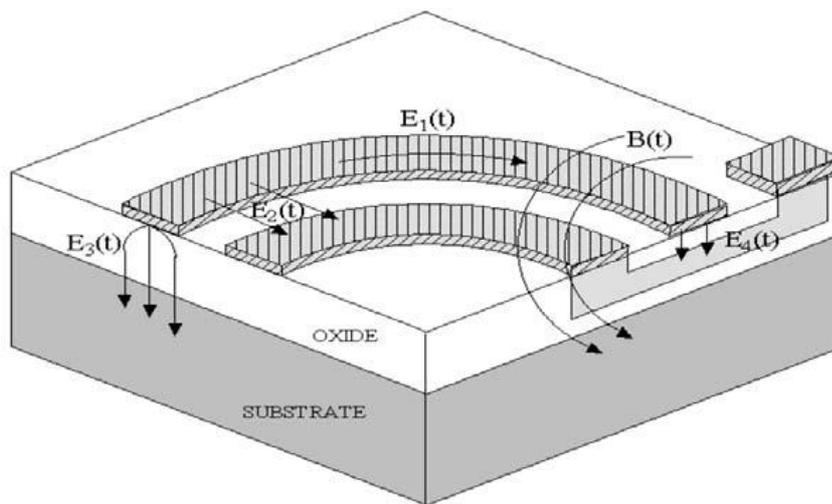


Figura 4.8. Campos eléctricos y magnéticos en un inductor integrado.

4.3.3 Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la figura 4.9.

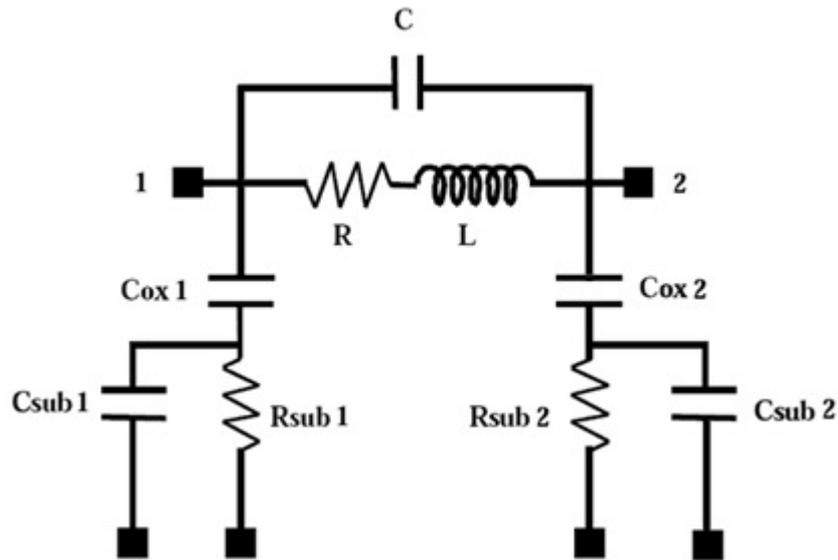


Figura 4.9 Modelo clásico de dos puertos de inductores espirales integrados.

En la figura 4.9 observamos que en serie con la inductancia deseada L , aparece una resistencia R que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver figura 4.8). El condensador C da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato.

En particular, los condensadores C_{ox1} y C_{ox2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{sub1} y C_{sub2} dan cuenta de la capacidad del sustrato. Por último R_{sub1} y R_{sub2} modelan las pérdidas óhmicas del sustrato. Además, se observa que el circuito equivalente de la figura 4.9 no es simétrico, debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de C_{ox1} , C_{sub1} y R_{sub1} ligeramente diferentes a los de C_{ox2} , C_{sub2} y R_{sub2} .

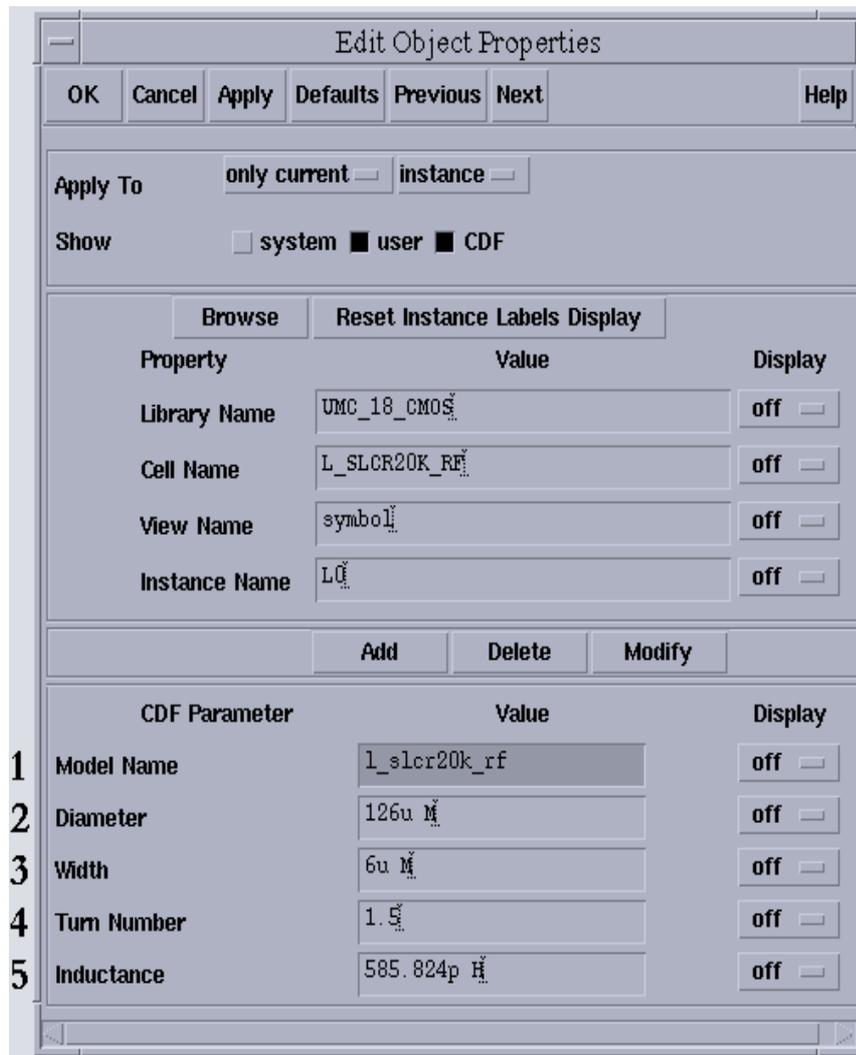
La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente.

Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [7],

si bien es el modelo equivalente utilizado para el único inductor disponible ($L_SLCR20K_RF$) en el kit de desarrollo de la tecnología [1].

4.3.4 Bobinas en la tecnología UMC 0.18 μm

La tecnología de UMC presenta un único modelo de bobina, el $L_SLCR20K_RF$. En la figura 4.10 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de la bobina.



4.10 Parámetros ajustables en la bobina.

A continuación se detallan los parámetros mostrados en la figura 4.10.

- 1 **Model Name:** Nombre del modelo usado durante la simulación (no editable).
- 2 **Diameter:** Diámetro de la Bobina.

- 3 **Width:** Ancho de la bobina.
- 4 **Turn Number:** Numero de vueltas que da la espiral que conforma la bobina.
- 5 **Inductance:** Resistencia total del dispositivo.

Las características de este tipo de bobinas son:

- El cálculo de los parámetros del modelo se basa en una formula escalar empírica que permite modelar el inductor en espiral en diferentes geometrías.
- El rango de frecuencias de operación es: $100\text{ MHz} \sim 10\text{ GHz}$.
- El rango efectivo de valores inductivos es: $1\text{-}12\text{ nH}$ a la frecuencia de 300 MHz .
- El rango del ancho de la capa de metal superior es: $6\text{ }\mu\text{m} \sim 20\text{ }\mu\text{m}$.
- El rango del diámetro interior de la espiral es: $126\text{ }\mu\text{m} \sim 238\text{ }\mu\text{m}$.
- El rango del número de vueltas es $1.5:1:5.5$ (1.5,2.5,3.5,4.5,5.5).
- El espaciado entre las pistas de metal está fijado a $2\text{ }\mu\text{m}$.
- El espesor de la capa de metal superior es de 20 KÅ .

En la figura 4.9 se muestra un ejemplo de bobina del tipo $L_SLCR20K_RF$ generada a partir del asistente que presenta el *kit* de diseño de la tecnología.

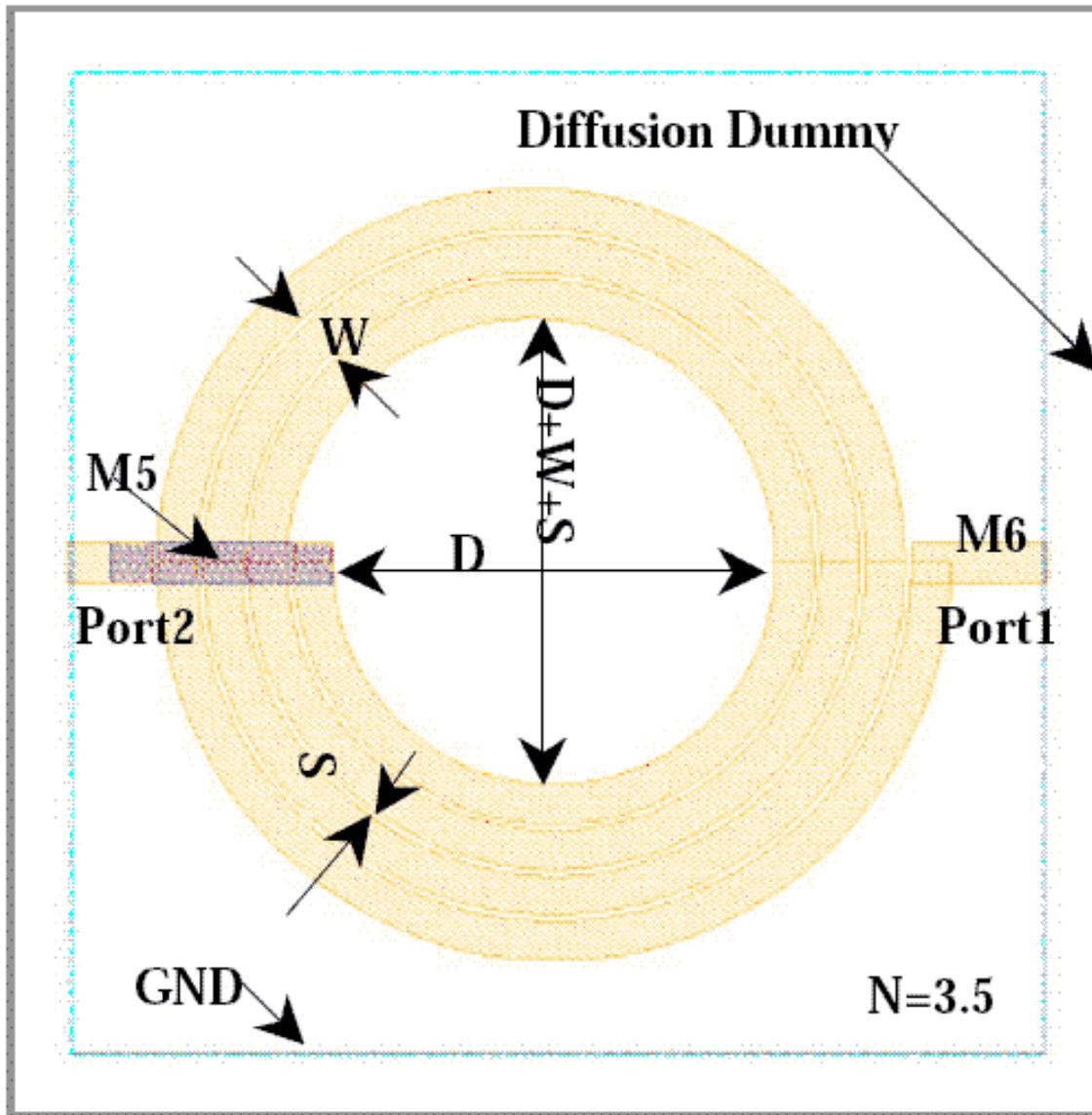


Figura 4.10 Layout de una bobina L_SLCR20K_RF.

4.4 El Transistor MOSFET

4.4.1 Construcción

En la figura 4.11 se muestra un corte esquemático de dos transistores MOS tipo n y tipo p respectivamente. En el caso del transistor tipo n, la fuente y el drenador están formados por difusiones n+, sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formadas con difusiones tipo p+ sobre un pozo tipo n. Tanto en el MOSFET tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO_2 .

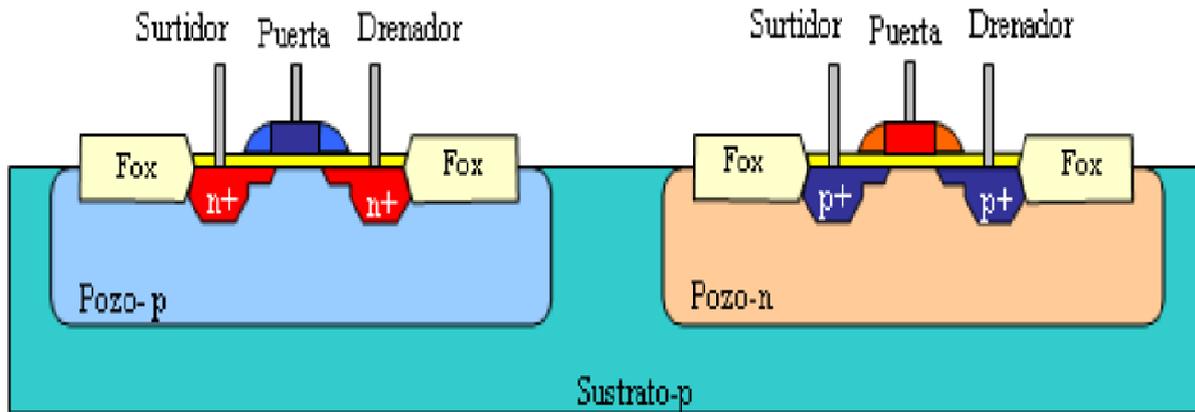


Figura 4.11 Corte esquemático de transistores MOS.

4.4.2 Funcionamiento

Como se muestra en la figura 4.12, si en un *MOSFET* tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor y se aplica una tensión positiva entre el drenado y el surtidor, no circulará corriente entre los terminales de drenador y surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor, sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor *MOSFET* se encuentra en corte.

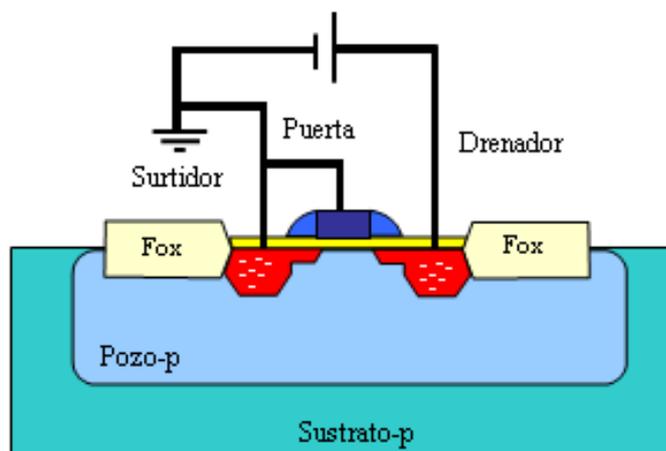


Figura 4.12 MOSFET tipo n en corte.

Si se aumenta la tensión, este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la figura 4.13. Por el contrario, los electrones se verán atraídos hacia la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de, se produce un aumento de la concentración de electrones cerca de la capa de SiO_2 hasta que

la región tipo n inducida pueda soportar un flujo de corriente entre el drenador y la surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del drenador al surtidor se le llama tensión de umbral (V_T). Cuando se consigue circulación de corriente del drenador al surtidor se dice que el *MOSFET* se encuentra en la región de triodo o zona óhmica.

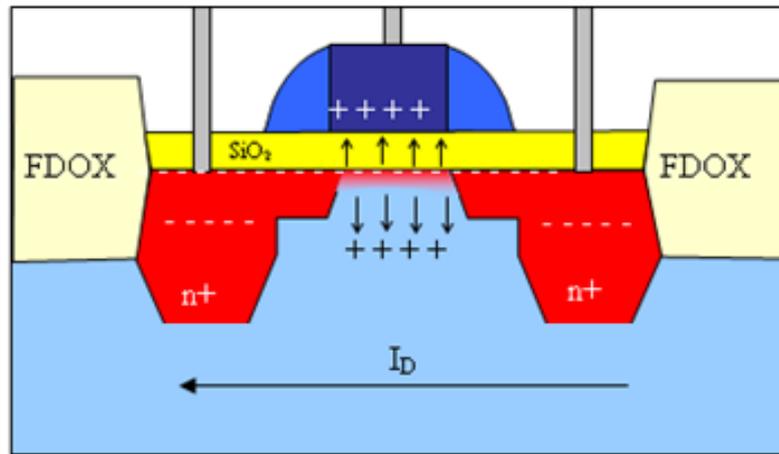


Figura 4.13 Detalle del MOSFET tipo n en zona óhmica.

En la región de triodo la ecuación (4.6) determina la corriente de drenador del *MOSFET*.

$$I_D = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.6)$$

Donde:

- μ_n es la movilidad de los electrones.
- C_{ox} es la capacidad de puerta por unidad de área.
- L es la longitud del canal del transistor (μm).
- W es el ancho del canal del transistor (μm).

Como ya se ha comentado cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de Drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de Drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la figura 4.14.

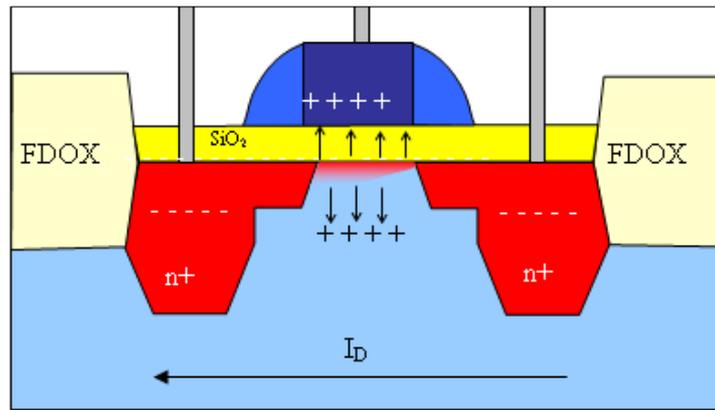


Figura 4.14 Detalle del MOSFET tipo n en zona de saturación.

La tensión de Drenador a Puerta (V_{DG}) viene dado por la ecuación (4.7).

$$V_{DG} = V_{DS} - V_{GS} \quad (4.7)$$

Si se mantiene V_{GS} fijo y se aumenta el valor de la tensión V_{DS} , tal como muestra la ecuación (4.7), el valor de la tensión V_{DG} se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente. En esta situación la corriente de drenador viene dada por la ecuación (4.8), diciéndose que el transistor se encuentra en zona de saturación.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (4.8)$$

Donde al coeficiente ($\mu_n \cdot C_{OX}$) se le denomina factor de ganancia y se denota con K_n .

A pesar de que el desarrollo anterior se refiere a un transistor *MOSFET* tipo n, en el caso del transistor *MOSFET* tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente I_D en el *MOSFET* tipo p es contrario del *MOSFET* tipo n.

4.4.3 Modelo de Baja Frecuencia

En la figura 4.15 se muestra el modelo en baja frecuencia del transistor *MOSFET*.

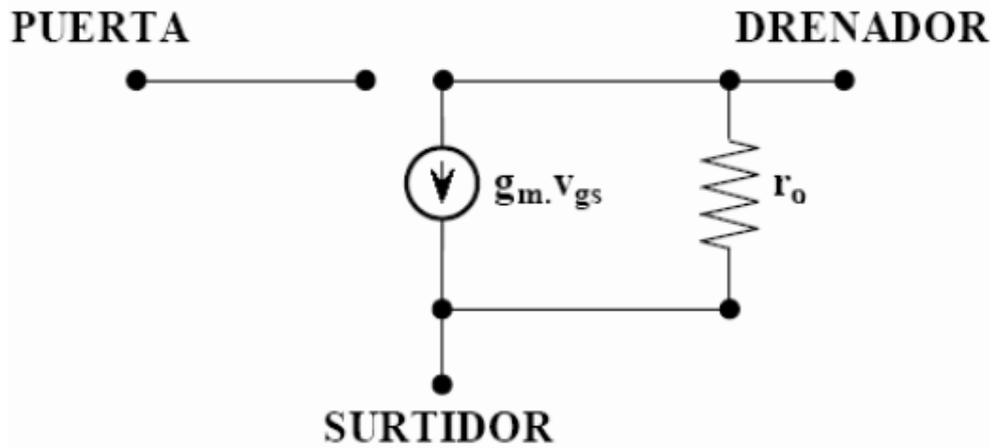


Figura 4.15 Modelo del MOSFET de Baja Frecuencia.

Donde:

- r_e representa la parte real de la impedancia de salida del transistor, es decir la resistencia del canal.
- g_m es la transconductancia del transistor y viene dada por la ecuación (4.9).

$$g_m = \sqrt{\frac{2 \cdot \mu_n \cdot C_{OX} \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{\mu_n \cdot C_{OX} \cdot W \cdot I_D}{L_{eff}}} \quad (4.9)$$

Donde:

- L_{eff} es la longitud efectiva del canal (μm).
- I_D es la corriente de drenador.

4.4.4 Modelo de Alta Frecuencia

En la figura 4.16 se muestra el modelo de alta frecuencia del transistor MOSFET, donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

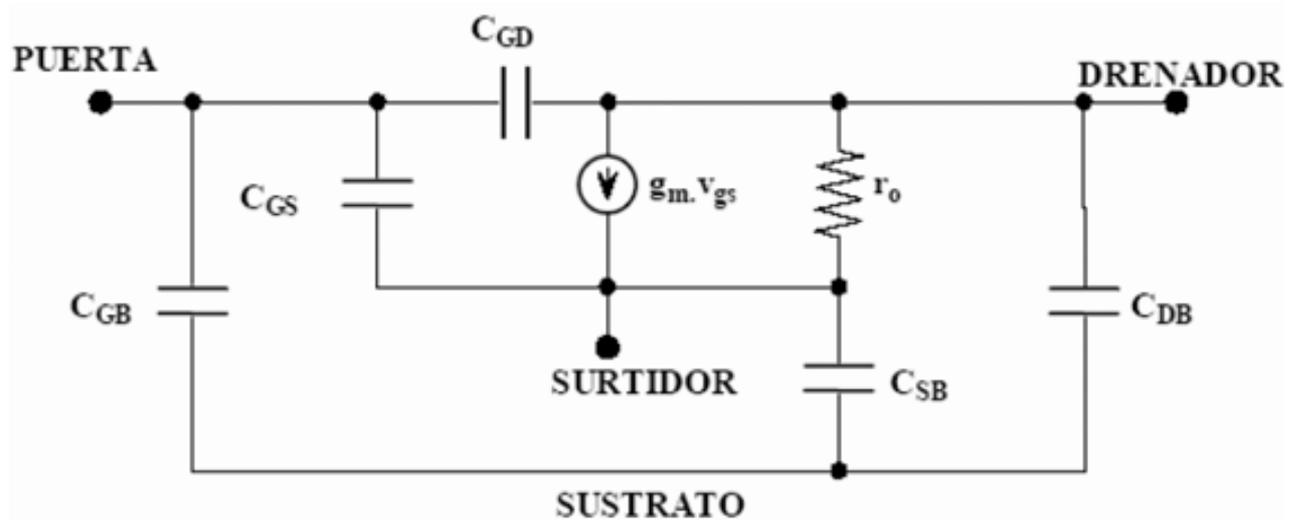


Figura 4.16 Modelo del MOSFET de Alta Frecuencia.

Estas capacidades son de dos tipos:

Capacidades de la zona de carga espacial

Se producen en las uniones PN, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones (4.10) y (4.11):

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_0}\right)^m} \quad (4.10)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_0}\right)^m} \quad (4.11)$$

Donde:

- C_S es la densidad de la capacidad de la unión cuando la polarización de esta es nula.
- V es la tensión directa de la unión.
- ψ_0 es la barrera de potencial.
- m es la constante dependiente del tipo de unión.

Capacidad en la zona del óxido

Aparecen capacidades entre dos zonas conductoras separadas por óxido sometidas a distintas tensiones. El valor de estas capacidades depende de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

- C_{GB} = Capacidad de óxido entre puerta y sustrato
- C_{SG} = Capacidad de óxido entre surtidor y puerta
- C_{GD} = Capacidad de óxido entre Puerta y drenador

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor.

En la tabla 4.1 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor *MOSFET*.

Tabla 4.1 Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{ox}L_dW$	$C_{ox}L_dW + 0.5C_{ox}LW$	$C_{ox}L_dW$
C_{GS}	$C_{ox}L_dW$	$C_{ox}L_dW + 0.5C_{ox}LW$	$C_{ox}L_dW + 0.66C_{ox}LW$
C_{GB}	$C_{ox}W$	0	0

En la tabla 4.1 los parámetros implicados en las expresiones son:

- C_{ox} = Capacidad de puerta por unidad de área.
- L_d = Distancia de difusión lateral que se produce bajo la puerta.
- L = Longitud del canal del transistor (μm).
- W = Ancho del canal del transistor (μm).

4.4.5 Transistores MOSFET en la tecnología UMC 0.18 μm

La tecnología UMC 0.18 μm CMOS presenta múltiples modelos de transistores MOSFET; *N_L18W500_18_RF*, *P_L34W500_33_RF*, *P_LV_33_MM*, etc. En la figura 4.17 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor MOSFET.

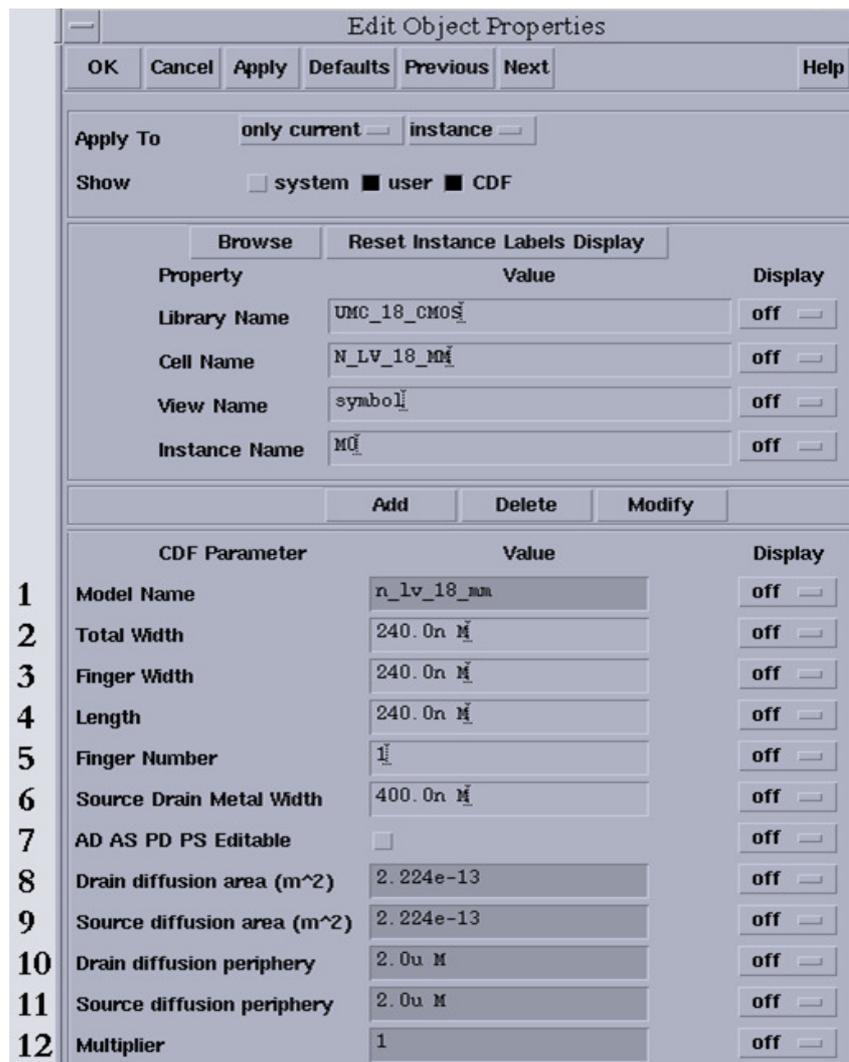


Figura 4.17 Parámetros en los MOSFET.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.17.

- 1 **Model Name:** Nombre del modelo usado durante la simulación (no editable).
- 2 **Total Width:** Ancho de puerta por *finger* multiplicado por el número de *fingers* (Ancho total).
- 3 **Finger Width:** Ancho de puerta del transistor por *finger*. Conocido el número de *fingers* y el ancho de puerta total, se calcula el ancho de puerta por *finger* dividiendo el ancho de puerta total por el número de *fingers*. Si dicho valor no coincide con un valor estándar, se reconfigura al valor estándar más cercano recalculando el ancho de puerta total del transistor.
- 4 **Length:** Ancho de puerta por *finger* del transistor.
- 5 **Finger Number:** Número de pistas de polisilicio usadas en el *layout*.

6 **Source Drain Metal Width:** Ancho de metal usado en la fuente y el drenador.

7 **AD AS PD PS Editable:** Control booleano que permite controlar el área y periferia de la regiones de fuente y drenador (AD, AS, PD, PS) para ser usada en la simulación. Si dicho control esta seleccionado, el usuario puede introducir manualmente los valores. Por defecto dichos valores se calculan automáticamente.

8 **Drain diffusion area (m^2) (AD):** Área total de la difusión en la región de drenador. Este parámetro es editable si el control *AD AS PD PS Editable* esta activado.

9 **Source diffusion area (m^2) (AS):** Área total de la difusión en la región de fuente. Este parámetro es editable si el control *AD AS PD PS Editable* esta activado.

10 **Drain diffusion periphery (PD):** Perímetro total de la difusión en la región de drenador. Este parámetro es editable si el control *AD AS PD PS Editable* esta activado.

11 **Source diffusion periphery (PS):** Perímetro total de la difusión en la región de fuente. Este parámetro es editable si el control *AD AS PD PS Editable* esta activado.

12 **Multiplier:** Número de dispositivos *MOS* en paralelo (sólo editable en el esquemático).

4.4.6 Transistores MOSFET optimizado para RF en la tecnología UMC 0.18 μm

A partir de ahora nos centraremos en el modelo *N_L18W500_18_RF* del transistor *MOSFET*. En la figura 4.18 se muestra el circuito equivalente del transistor *N_L18W500_18_RF* de la tecnología *UMC 0.18 μm* .

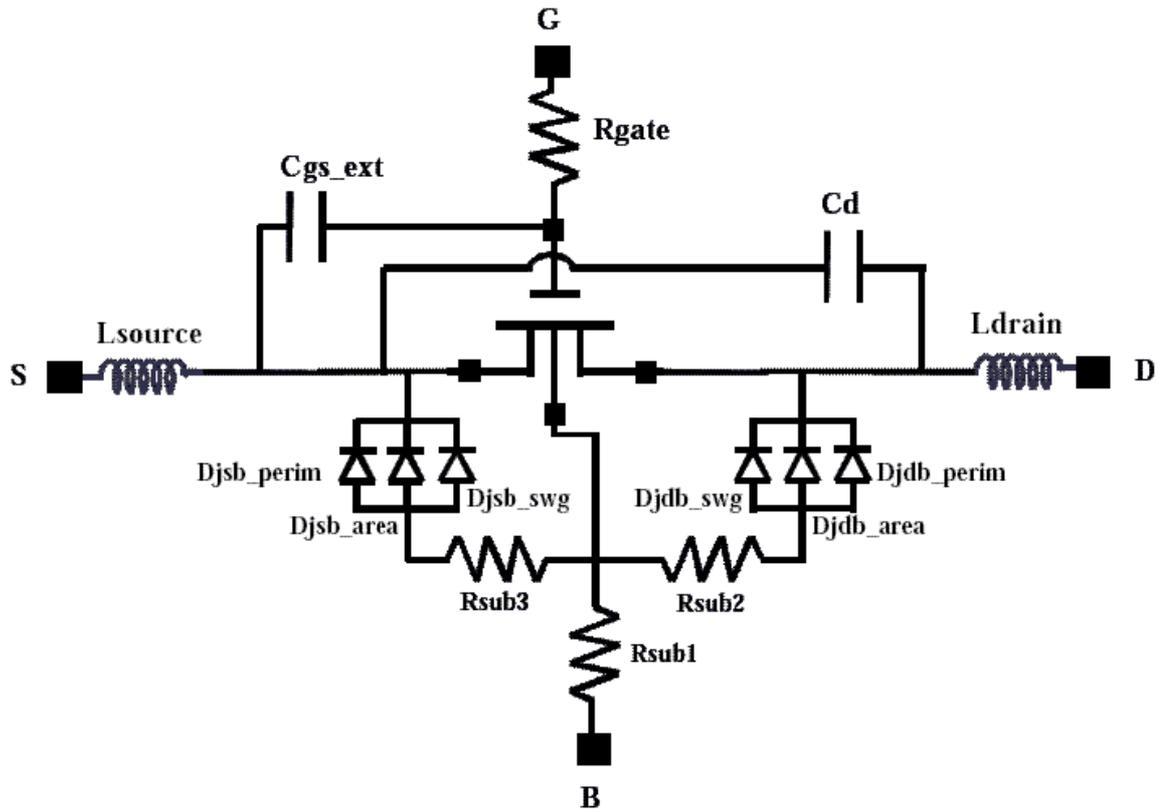


Figura 4.18 Circuito equivalente del transistor N_L18W500_18_RF.

Los valores de los componentes parásitos pasivos así como los diodos mostrados en la figura 4.8 se describen a continuación:

- R_{gate} modela de la resistencia de puerta.
- R_{sub1} , R_{sub2} , y R_{sub3} modelan las pérdidas del sustrato.
- D_{jdb_area} y D_{jdb_perim} modelan la unión drenador-surtidor.
- D_{jdb_swg} y D_{jsb_swg} modelan la unión drenador-surtidor.
- C_d y C_{gs_ext} representan la capacidad total equivalente entre el drenador y la fuente.
- L_{source} y L_{drain} inductancias parasitas de fuente y drenador.

Las características de este tipo de transistor son:

- El rango de frecuencias de operación es: $100 \text{ MHz} - 10 \text{ GHz}$.
- El rango efectivo de tensiones es: $|V_g| = 0.6 \sim 1.8 \text{ V}$, $|V_d| = 0 \sim 1.8 \text{ V}$.
- El rango de la longitud de puerta es: $0.18 \mu\text{m} \sim 0.5 \mu\text{m}$.
- El rango del ancho total de puerta es: $25 \mu\text{m} \sim 105 \mu\text{m}$.

- Rango del número de *fingers*: 5~21.

A modo de ejemplo en la figura 4.19 se muestra un transistor *MOSFET* tipo n con 4 puertas generado a partir de las diferentes opciones que presenta el *Kit* de la tecnología. En la figura se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

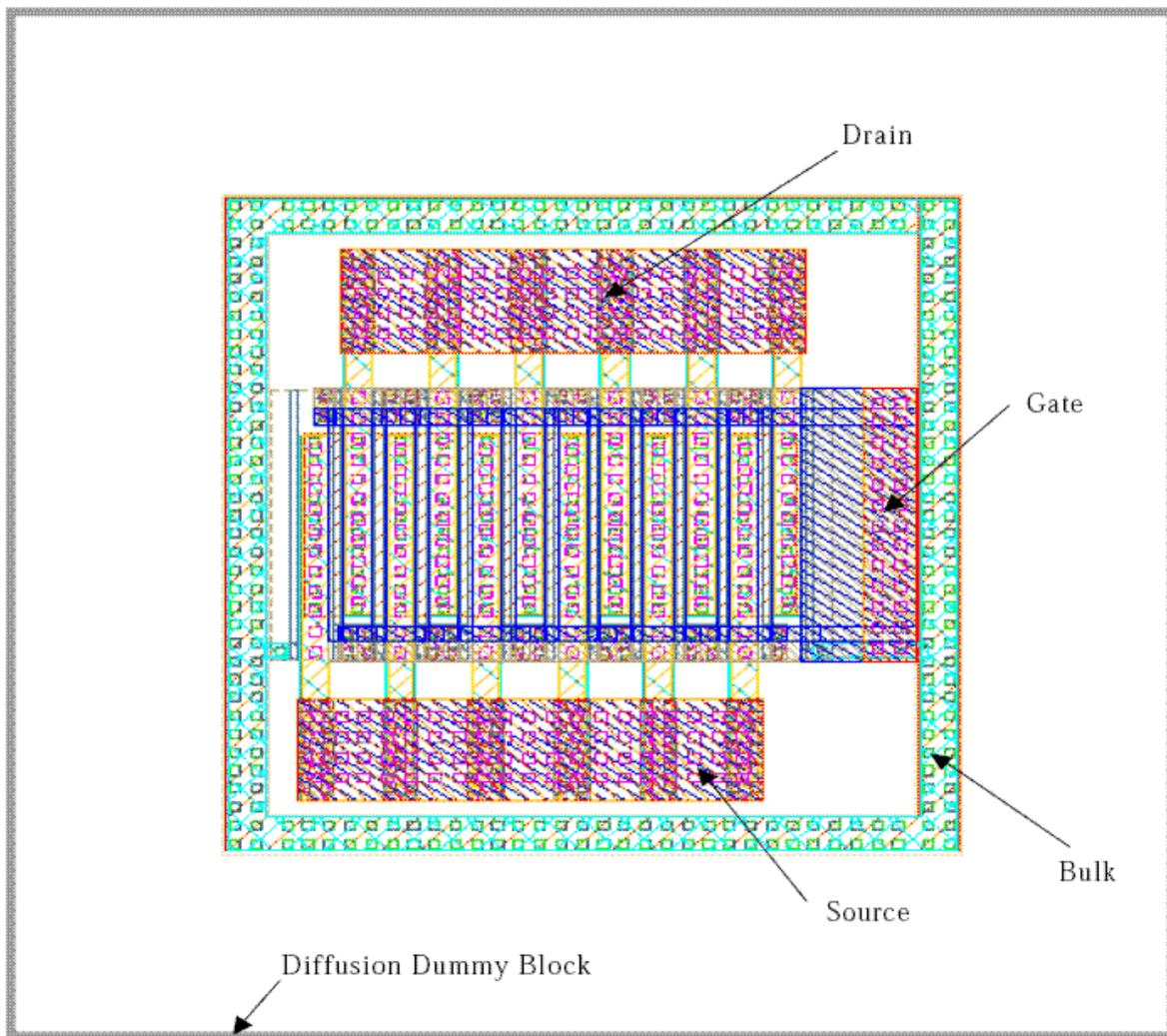


Figura 4.19 Ejemplo de transistor MOSFET.

4.5 Pads

4.5.1 Construcción

Los *Pads* se embeben a fin de disponer de una superficie suficientemente grande que nos permita alimentar el circuito, así como introducir y medir señales. Consecuentemente su diseño es bastante simple, se basa en la superposición e interconexión de entre 1 y 5 capas rectangulares metálicas, suficientemente amplias como para que una punta de prueba se pose sobre ella, que permiten interconectar las capas *M2*, *M3*, *M4* y *M5* del interior del circuito con la capa *M6* donde se realizan las conexiones externas. En la figura 4.20 se muestra una representación de un *Pad* como el descrito anteriormente.

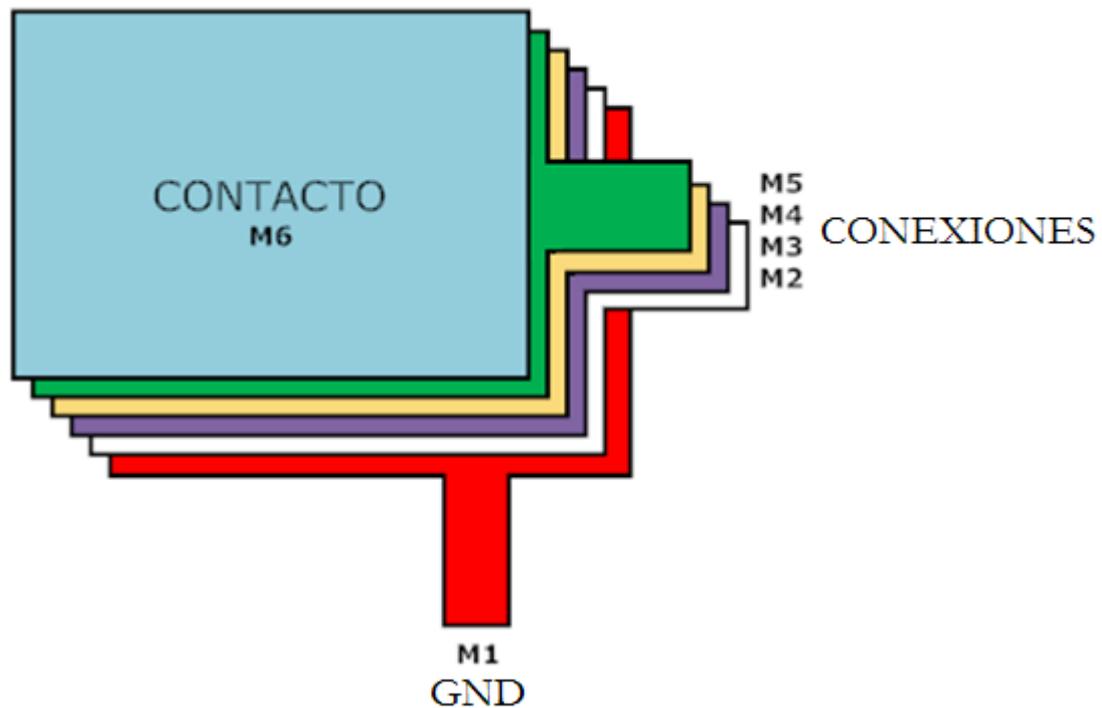


Figura 4.20 Representación de un Pad (Specified Index 5).

4.5.2 Pads en la tecnología UMC 0.18 μm

La tecnología de *UMC* presenta un único modelo de *Pad*, el *PAD_RF*. En la figura 4.21 se muestra el cuadro de diálogo donde se pueden ajustar los diversos parámetros de los *Pads*.

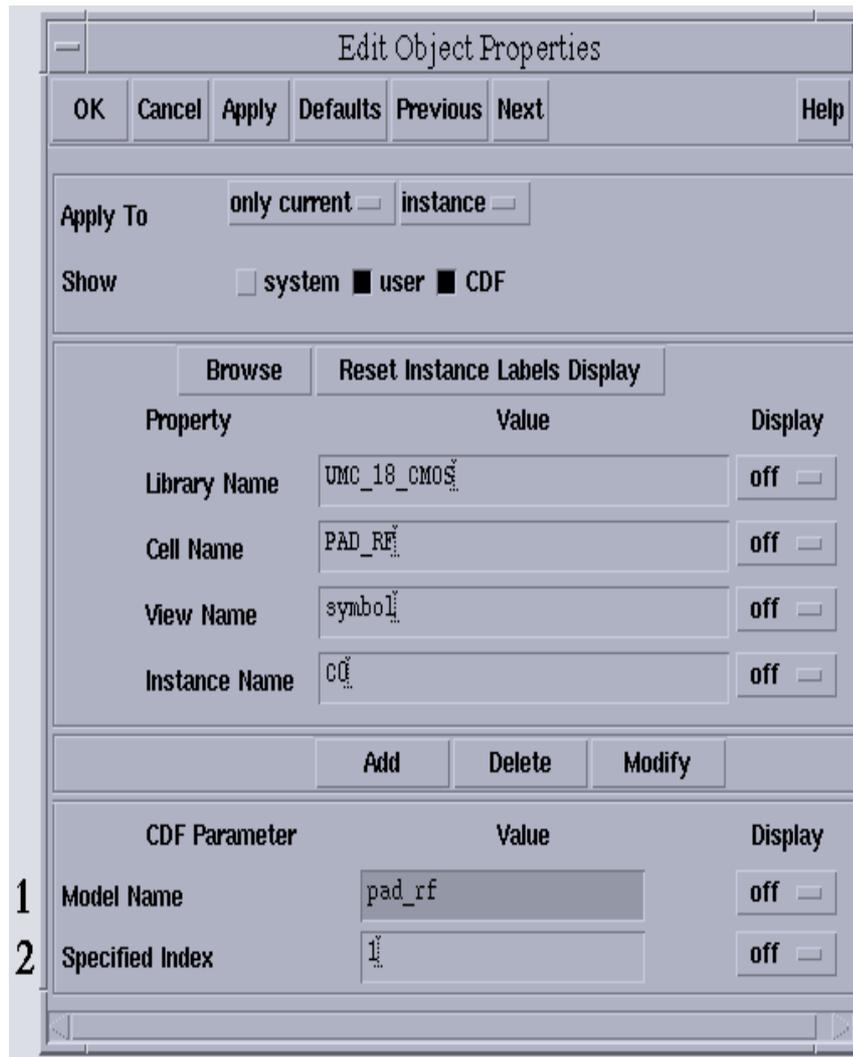


Figura 4.21 Parámetros ajustables del Pad.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.21:

- 1 **Model Name:** Nombre del modelo usado durante la simulación (no editable).
- 2 **Specified Index:** Fija el numero de capas metálicas interconectadas, tal y como se muestra en la tabla 4.2.

En la figura 4.22 se muestra el circuito equivalente del *Pad* utilizado en la tecnología UMC 0.18 μm .

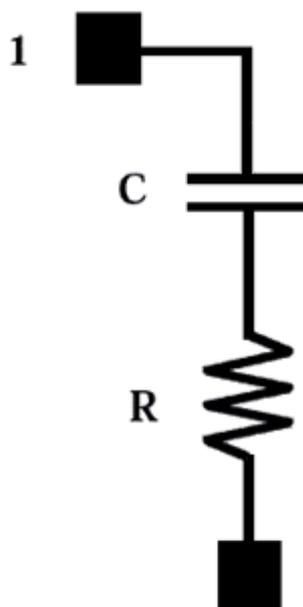


Figura 4.22 Circuito equivalente Pad.

En la figura 4.22 observamos que la capacidad entre la capa superior ($M6$) y el sustrato de tierra se modela a través de C , mientras que R representa las pérdidas del camino a tierra.

Las características de estos tipos de *pads* son:

- *Specified Index* debe ser un número entero entre 1 y 5.

Tabla 4.2 Parámetros más importantes de los MOSFET

Índice	Capas Metálicas Interconectadas
1	M6
2	M6-M5
3	M6-M5-M4
4	M6-M5-M4-M3
5	M6-M5-M4-M3-M2

En la figura 4.23 se muestra un ejemplo de *Pad* generado a partir del asistente que presenta el *kit* de diseño de la tecnología.

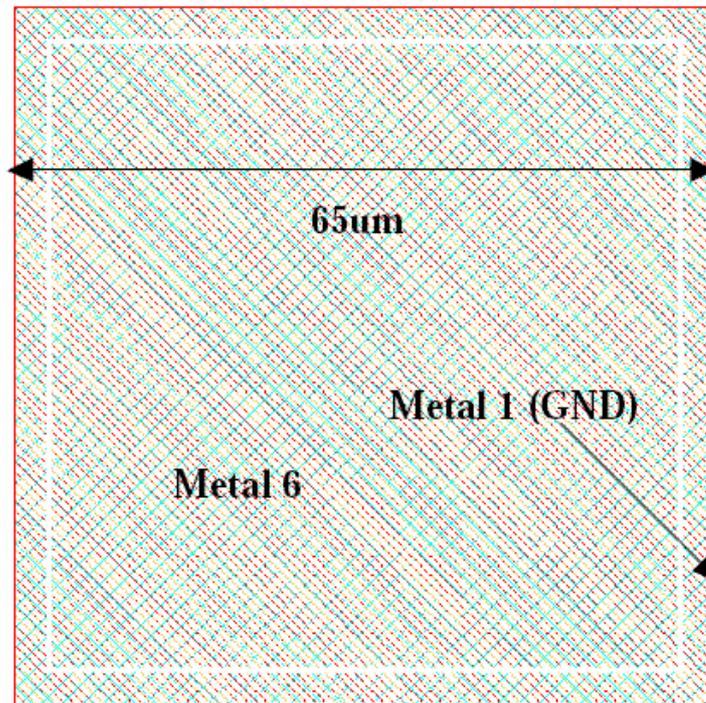


Figura 4.23 Layout del Pad.

4.6 Lista de componentes

A continuación se muestra la lista completa de componentes presente en el kit de desarrollo de la tecnología.

Tabla 4.3 Componentes

Tipo de Dispositivo	Nombre del Dispositivo	Tipo de Dispositivo	Nombre del Dispositivo
TRANSISTOR MOS	N_18_MM	TRANSISTOR BJT	PNP_V50X50_MM
TRANSISTOR MOS	N_33_MM	TRANSISTOR BJT	PNP_V100X100_MM
TRANSISTOR MOS	P_18_MM	DIODO	DION_MM
TRANSISTOR MOS	P_33_MM	DIODO	DIOP_MM
TRANSISTOR MOS	N_BPW_18_MM	DIODO	DIONW_MM
TRANSISTOR MOS	N_BPW_33_MM	RESISTENCIA	RNHR1000_MM
TRANSISTOR MOS	N_LV_18_MM	RESISTENCIA	RNNPO_MM
TRANSISTOR MOS	N_LV_33_MM	RESISTENCIA	RNPPO_MM
TRANSISTOR MOS	P_LV_18_MM	RESISTENCIA	RNNPO_RF
TRANSISTOR MOS	P_LV_33_MM	RESISTENCIA	RNPPO_RF

TRANSISTOR MOS	N_ZERO_18_MM	RESISTENCIA	RNHR_RF
TRANSISTOR MOS	N_ZERO_33_MM	CAPACIDAD	VARDIOP_RF
TRANSISTOR MOS	N_L18W500_18_RF	CAPACIDAD	VARMIS_18_RF
TRANSISTOR MOS	N_L34W500_33_RF	CAPACIDAD	MIMCAPM_RF
TRANSISTOR MOS	N_PO7W500_18_RF	CAPACIDAD	MIMCAPS_MM
TRANSISTOR MOS	N_PO7W500_33_RF	CAPACIDAD	NCAP_MM
TRANSISTOR MOS	P_L18W500_18_RF	CAPACIDAD	PCAP_MM
TRANSISTOR MOS	P_L34W500_33_RF	INDUCTOR	L_SLCR20K_RF
TRANSISTOR MOS	P_PO7W500_18_RF	PAD	PAD_RF
TRANSISTOR MOS	P_PO7W500_33_RF		

4.7 Resumen

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología *UMC 0.18 μm CMOS* de *United Microelectronic Circuit* para la implementación de sistemas integrados para radiofrecuencia. Una vez completado el estudio teórico de los *LNAs* y conocida la tecnología a emplear, en el próximo capítulo se comenzará a desarrollar el diseño de los *LNAs* en sí, gracias a la información aportada en el presente capítulo y el anterior.

DISEÑO A NIVEL DE ESQUEMÁTICO

En el capítulo anterior hemos visto las principales características de la tecnología empleada. En este capítulo nos centraremos en el diseño de los dos amplificadores de bajo ruido (*LNA*s) para *UWB* a nivel de esquemático. Teniendo en cuenta el estándar *IEEE 802.15.3a*, la tecnología y las topologías de los *LNA*s. Comenzaremos con el diseño de un *LNA* tipo cascode de banda estrecha. Dicho *LNA* nos servirá como base para el *LNA* de banda ancha y una vez diseñado este último se procederá a doblarlo. Para ello, optimizaremos los componentes para obtener en la medida de lo posible los mejores resultados.

A lo largo de este capítulo se van a presentar numerosas simulaciones en las que se muestra el comportamiento del circuito ante las variaciones de un determinado parámetro o variable. Para mostrar el rango y el paso de barrido empleado en la simulación de dicho parámetro de manera breve y sencilla, se ha optado por la siguiente nomenclatura; “*Parámetro (Inicio: Paso: Fin) Unidad de Medida*”.

5.1 Filosofía de diseño

Llegados a este punto podemos comenzar a diseñar nuestro circuito, si bien antes conviene analizar una serie de aspectos que a continuación se detallan a fin de definir cuál va a ser la estrategia de diseño en base a la cual se tomarán las decisiones. Dicho en otras palabras, debemos compendiar y analizar las imposiciones y limitaciones que tanto la tecnología *UMC 0.18 μm CMOS* como el estándar *UWB* presentan a la hora de diseñar un *LNA* para, en base a ello, clasificar los parámetros de optimización del circuito.

En todo amplificador hay al menos seis parámetros que deben ser optimizados a fin de obtener el mejor dispositivo posible: la ganancia (G), el consumo de potencia (P), la adaptación de la señal a la entrada ($S11$), la adaptación de la señal a la salida ($S22$), el ruido (NF) y el área que ocupa el circuito (A). A continuación pasamos a compendiar las limitaciones e imposiciones planteadas en los capítulos anteriores y a analizar su influencia sobre cada parámetro.

La ganancia (G): Se pretende diseñar *LNAs* que abarquen la banda de *UWB* entera; desde 3.1 GHz hasta 10.6 GHz , por lo que debemos tratar de obtener la mayor ganancia posible respetando que la caída de ganancia dentro de la banda de interés sea menor a 3 dB .

El consumo de potencia (P): Si bien debemos tratar de obtener el menor consumo posible, principalmente para hacer más atractivo el uso de nuestro *LNA* en sistemas móviles, no existe ninguna imposición o restricción al respecto salvo la recomendación de *UWB* de minimizar el consumo tanto como sea posible. Por otro lado, en el apartado 3.6 se planteó el deseo de poder comparar las arquitecturas cascode y cascode doblado, para lo cual necesitamos que las corrientes y tensiones de polarización de los transistores sean muy similares en ambos circuitos. Lo que conlleva que el consumo de potencia en ambos diseños debe ser el mismo, si bien la tensión de alimentación del tipo cascode es el doble que la del tipo cascode doblado, el cual utiliza el doble de corriente.

A la hora de seleccionar la tensión de alimentación de ambos diseños, V_{DD} , debemos tener en cuenta que la ventaja inherente a la estructura cascode doblado, con respecto a la estructura cascode es permitirnos trabajar con una menor tensión. A fin de ser coherentes con esta idea, la tensión de alimentación en el *LNA* tipo cascode doblado debe ser la mínima posible, es decir la tensión mínima que garantice el correcto funcionamiento del transistor *N_L18W500_18_RF*. Como se vio en el apartado 4.4.6 dicha tensión es 1.8 V , por lo que finalmente las tensiones de alimentación del tipo cascode

y cascode doblado serán de 3.6 V y 1.8 V respectivamente.

La adaptación de la señal a la entrada (S11) y a la salida (S22): Nuevamente, se pretende diseñar LNAs que abarque la banda de *UWB* entera, desde 3.1 GHz hasta 10.6 GHz , por lo que debemos asegurar una buena adaptación tanto a la entrada como a la salida en dicha banda. Teniendo en cuenta las especificaciones planteadas en el capítulo 2 y utilizando como referencia el gran número de publicaciones sobre LNAs para *UWB* consultados durante la fase de estudio inicial o estado del arte, podemos concluir que tanto el *S11* como el *S22* de ambos diseños debe ser menor a -10 dB en la banda de interés o lo que es lo mismo, el coeficiente de onda estacionaria de entrada y de salida en ambos circuitos debe ser menor a 1.4.

El ruido del sistema (NF): En el capítulo 2 se definió que la figura de ruido del receptor completo para la banda entera de *UWB* debía de estar entre los 6-7 dB . Si tenemos en cuenta que el filtro inicial tiene unas pérdidas reales de unos 2 dB , disponemos en el peor caso de un máximo de 4 dB para el resto de componentes de la cadena de recepción (figura 2.9). Tal y como describe la ecuación (2.14), la figura de ruido de dicha cadena queda determinada por la figura de ruido del primer componente activo de la misma, el LNA. Por lo que la figura de ruido de nuestros diseños debe de ser menor a 4 dB en la banda de interés, desde 3.1 GHz hasta 10.6 GHz .

El área que ocupa el circuito (A): En este tipo de diseños el área de los circuitos no suele poder optimizarse demasiado mediante técnicas de diseño “*custom*” debido al elevado tamaño de las bobinas en relación al resto de componentes del circuito, por lo que minimizar el área suele implicar minimizar el número de inductores.

Fortalezas y debilidades

En teoría debería poder satisfacerse todos los requisitos anteriormente planteados y optimizarse todas las variables de diseño equitativamente, pero en la práctica eso no es posible ya que estas variables tienden a entrar en conflicto, por lo que es necesario elegir aquellos aspectos en los que trataremos de optimizar nuestros circuitos y en cuales estamos dispuestos a asumir una respuesta menos óptima.

Las principales ventajas de nuestro circuito radican en el hecho de que nuestros diseños se basan en transistores *CMOS*, por lo que el consumo de potencia es considerablemente inferior al de los diseños que utilizan transistores *BJTs* o los *HBTs*.

Por otro lado, la estrategia de integrar conjuntamente la red de adaptación de entrada de banda ancha y la bobina de degeneración inductiva nos permite limitar el número de inductores a tres en el caso del amplificador cascode y a cinco en el caso del amplificador cascode doblado, lo cual reduce el área del circuito respecto a diseños similares.

La variable de diseño que más problemas nos va a plantear es el ruido. El motivo principal es que, tal y como se vio en el capítulo 3, la figura de ruido aumenta al aumentar la frecuencia y nuestro diseño pretende abarcar la banda completa de *UWB*. Además, nuestros diseños se basan en transistores *CMOS* cuya respuesta al ruido es considerablemente peor que la de los transistores *BJTs* o los *HBTs*. Corroborar este hecho el no haber podido encontrar ninguna publicación de un *LNA* para *UWB*, basado en transistores *CMOS* 0.18 μm , cuya figura de ruido a 10.6 GHz sea menor a 4 *dB*. Al final del proyecto en las conclusiones, se propondrán una serie de posibles soluciones al problema del ruido que pudieran servir como continuación de este proyecto, o bien ser tenidas en cuenta en futuros diseños similares a este.

Teniendo en cuenta todo lo anterior, concluimos que si bien debemos tratar de obtener la mejor relación posible entre las distintas variables, nos interesa optimizar nuestro diseño para que en toda la banda de *UWB* se obtenga la mejor relación posible entre la ganancia y el consumo, asegurando que la adaptación de entrada (*S11*) y de salida (*S22*) son menores a -10 *dB*. Respecto al ruido, si bien debemos asumir que va a ser alto especialmente en alta frecuencia lo que nos impedirá cumplir las restricciones impuestas en el apartado 2, debemos tratar de limitarlo tanto como sea posible. Finalmente, el área de nuestro circuito queda fijada por el número de inductores empleados y no puede optimizarse. En la tabla 5.1 se muestra en verde aquellas variables que pretendemos potenciar, en amarillo aquellas en las que nos limitaremos a cumplir con las restricciones impuestas, en rojo la que previsiblemente no cumplirá con las restricciones y en gris la que no puede ser optimizada.

Tabla 5.1 Variables de diseño

Ganancia	$\uparrow S_{21}$
Consumo	$\downarrow W = V \cdot I$
Adaptación de Entrada	$S_{11} \leq -10 \text{ dB}$
Adaptación de Salida	$S_{22} \leq -10 \text{ dB}$
Figura de Ruido	$\downarrow NF \leq 4 \text{ dB}$
Área del Circuito	XXX

Para ello comenzaremos dimensionar y polarizar la estructura cascode para obtener una figura de ruido mínima. Dicho proceso se muestra a continuación.

5.2.1 Dimensionamiento y polarización de la estructura cascode

La figura 5.2 muestra el esquema inicial de la arquitectura cascode en la que se va a basar nuestro diseño.

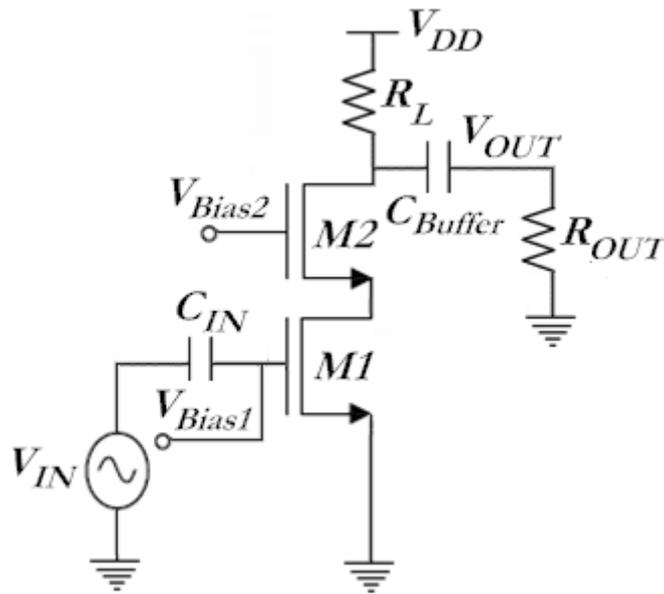


Figura 5.2 Esquemático del amplificador cascode.

El primer paso consiste en calcular que tensión debe aplicarse a la puerta del transistor $M1$ (V_{Bias1}) para obtener una figura de ruido mínima. En la figura 5.3 se muestra la figura de ruido de la estructura cascode respecto de la tensión de polarización V_{Bias1} , a la frecuencia de 10.6 GHz .

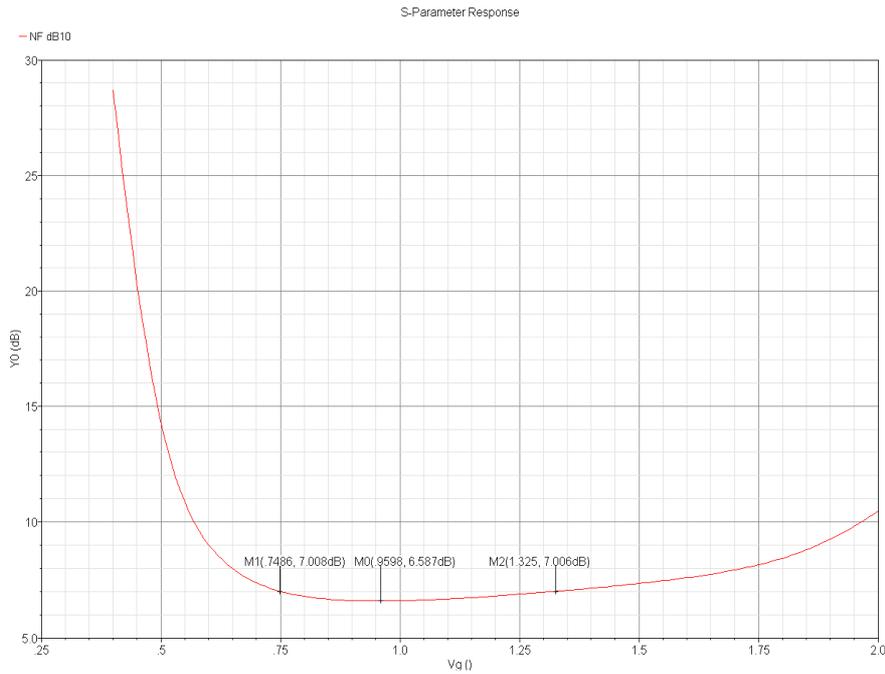


Figura 5.3 Figura de ruido a 10.6 GHz para V_{Bias1} (0.4~2) V.

De la figura 5.3 obtenemos que el valor de la tensión de polarización para mínimo ruido es de aproximadamente 1 V con una figura de ruido de 6.587 dB, si bien en un amplio rango de tensiones (0.75-1.325 V) la figura de ruido permanece próxima a la mínima figura de ruido, por lo que podemos trabajar dentro de dicho margen sin limitar la tensión de polarización a un valor concreto. Para ilustrar este hecho, en la figura 5.4 se muestran las figuras de ruido para distintos valores de tensión de polarización (V_{Bias1} (0.8:0.1:1.2) V) próximos a la tensión de mínimo ruido ($V_{\text{Bias1}} = 1$ V).

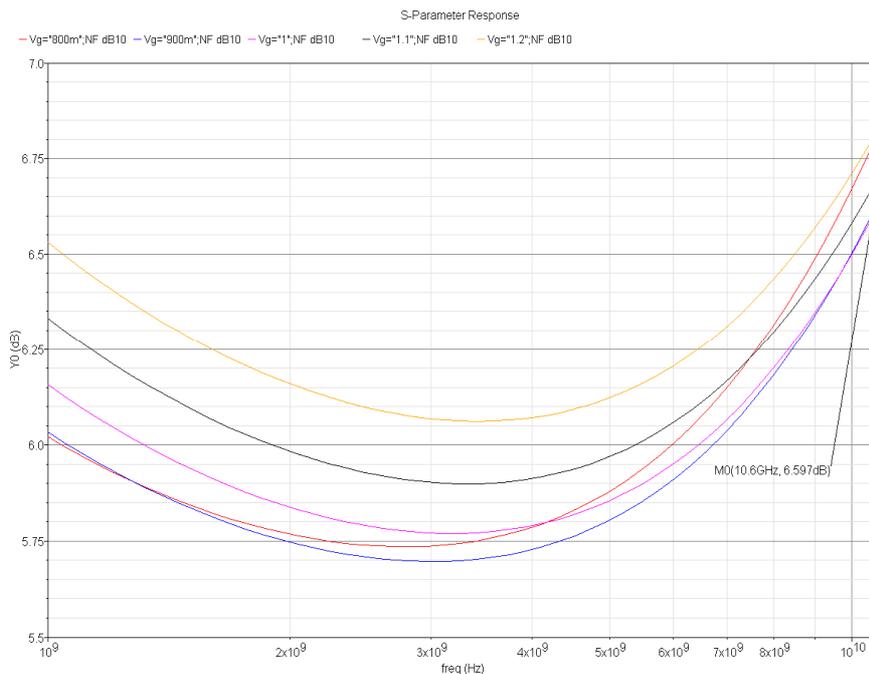


Figura 5.4 Figuras de ruido para V_{Bias1} (0.8:0.1:1.2) V.

En la figura 5.4 observamos, tal y como se comentó anteriormente, que el valor máximo de la figura de ruido queda determinado por su valor en alta frecuencia, 10.6 GHz . Además podemos comprobar, que si bien las variaciones de tensión en torno a la tensión de polarización para mínimo ruido producen grandes cambios en la figura de ruido en baja y media frecuencia, dichos cambios no son tan significativos en alta frecuencia, con lo que se asegura una cierta flexibilidad en la tensión de polarización para mínimo ruido.

Finalmente en la figura 5.5 se muestra la variación de la figura de ruido de la estructura cascode en función de la frecuencia para la tensión de polarización de mínimo ruido (1 V).

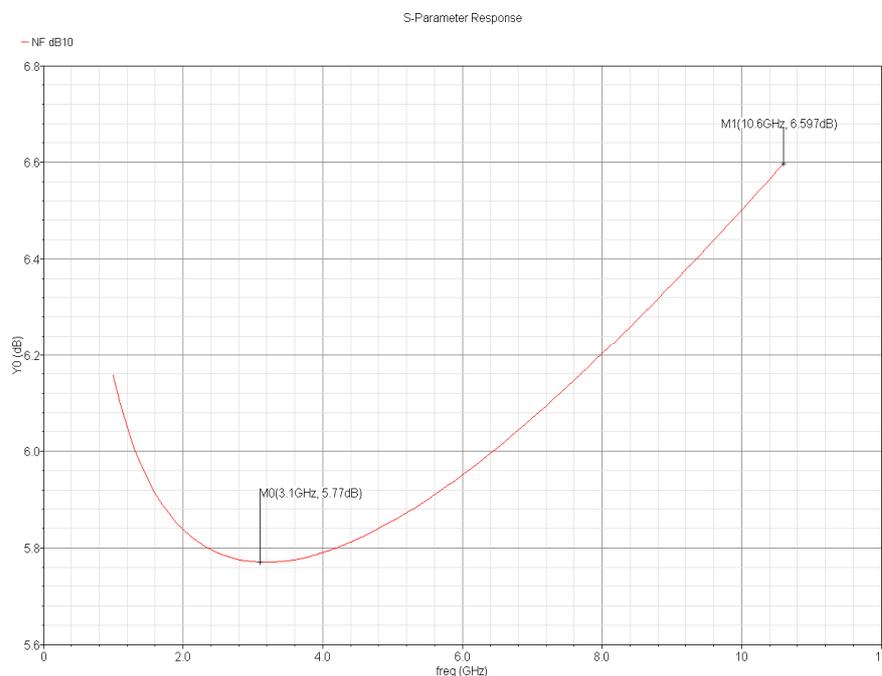


Figura 5.5 Figura de Ruido para $V_{Bias1} = 1 \text{ V}$.

Una vez conocida la tensión de polarización que hace mínima la figura de ruido $V_{Bias1} = 1 \text{ V}$, el siguiente paso para optimizar el ruido del amplificador es dimensionar adecuadamente el transistor $M1$ para fijar la resistencia de ruido equivalente R_n a 50Ω . Tal y como se vio durante el estudio de la tecnología en el capítulo 4, el largo de puerta de los transistores queda fijado a $L_{MN} = 0.18 \mu\text{m}$ y el ancho de puerta W_{MN} se configura en pasos fijos de $5 \mu\text{m}$ a los que llamaremos *fingers*. Debido a las limitaciones impuestas por el proceso de fabricación de la tecnología $UMC 0.18 \mu\text{m CMOS}$, los transistores tienen un tamaño mínimo de 5 finger ($W_{MN} = 25 \mu\text{m}$) y un máximo de 21 fingers ($W_{MN} = 105 \mu\text{m}$). De requerirse un transistor mayor deberán incluirse en el diseño transistores en paralelo. Ambos transistores continúan actuando como un único transistor pero de mayor área [1].

La figura 5.6 nos muestra el valor de la resistencia de ruido equivalente en función del número de *fingers* del transistor $M1$ para la $V_{Bias1} = 1\text{ V}$ a la frecuencia de 10.6 GHz .

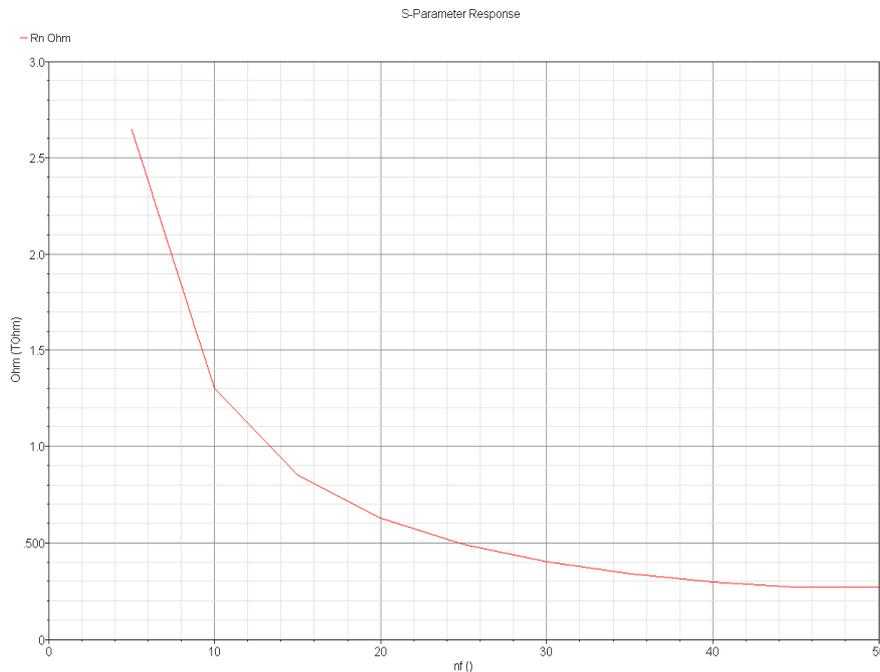


Figura 5.6 R_n a 10.6 GHz para $W_{M1}(nf(5\sim 50)) = 25\sim 250\ \mu\text{m}$.

Como podemos observar en la figura 5.6 se necesita un transistor mayor a 21 *fingers* para que la resistencia de ruido equivalente sea igual a 50Ω , por lo que es necesario añadir más transistores al circuito, lo cual implica que es necesario volver a recalcular la tensión de mínimo ruido. Este proceso debe repetirse hasta encontrar el número y tamaño adecuado de transistores.

De nuevo comenzamos por calcular la tensión polarización para mínimo ruido, si bien en este caso se ha embebido junto con el transistor $M1$ otro exactamente igual en paralelo, aumentando el área del transistor resultante al que seguiremos llamando $M1$. En la figura 5.7 se muestra la figura de ruido de la estructura cascode respecto de la tensión de polarización V_{Bias1} , a la frecuencia de 10.6 GHz .

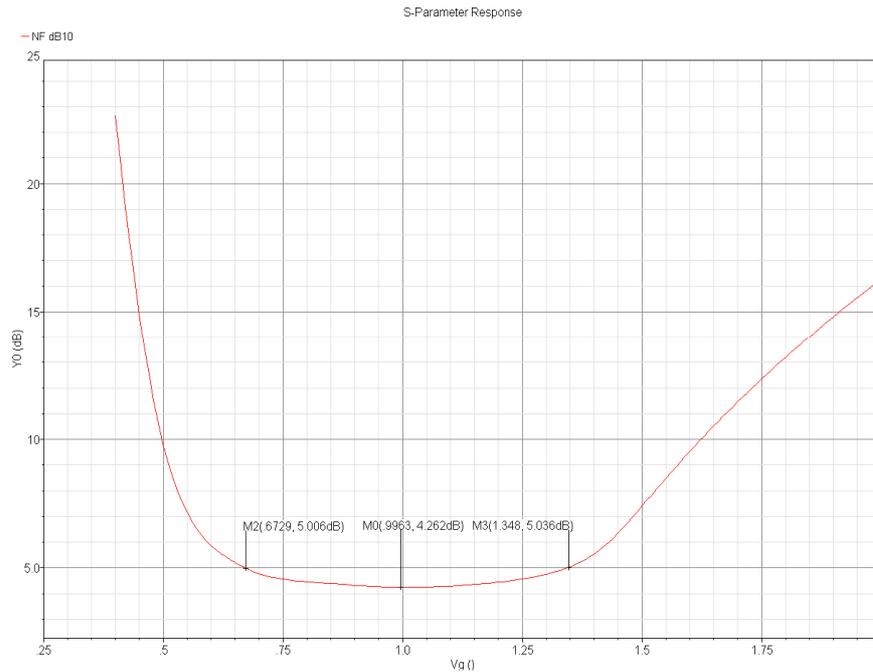


Figura 5.7 Figura de ruido a 10.6 GHz para V_{Bias1} (0.4~2) V.

De la figura 5.7 obtenemos que el valor de la tensión de polarización para mínimo ruido es de aproximadamente 1 V, con una figura de ruido de 4.262 dB. Nuevamente se observa como en un amplio el rango de tensiones (0.675-1.35 V) la figura de ruido permanece próxima al a la mínima figura de ruido, por lo que podemos trabajar dentro de dicho margen sin limitar la tensión polarización a un valor concreto. No obstante, comparando la figura 5.3 con la figura 5.7 podemos observar que el rango de tensiones útiles se estrecha si el área de transistor aumenta.

Finalmente en la figura 5.8 se muestra la variación de la figura de ruido de LNA cascado en función de la frecuencia para la tensión de polarización de mínimo ruido, $V_{Bias1} = 1$ V.

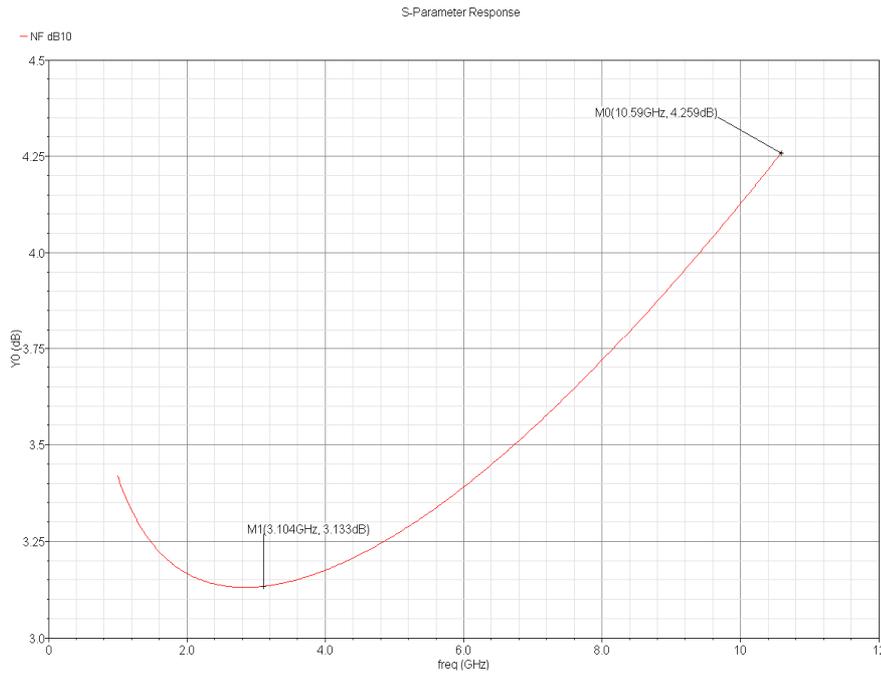


Figura 5.8 Figuras de Ruido para $V_{Bias1} = 1\text{ V}$.

La figura 5.9 nos muestra el valor de la resistencia de ruido equivalente en función del número de *fingers* para $V_{Bias1} = 1\text{ V}$ a la frecuencia de 10.6 GHz.

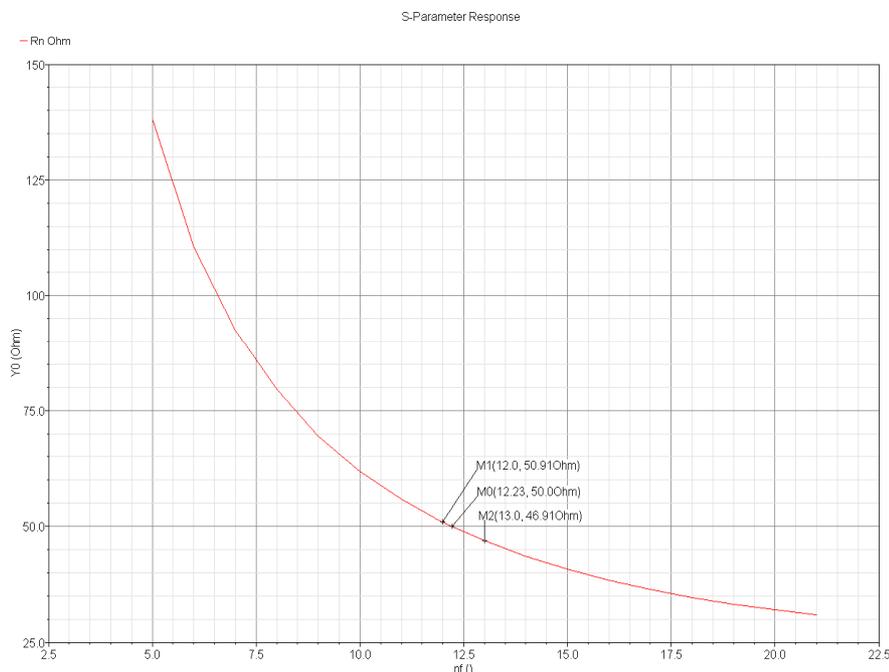


Figura 5.9 R_n para $nf(5\sim35)$ con $V_{Bias1} = 1\text{ V}$ a 10.6 GHz.

De la figura 5.9 obtenemos que para un número de *fingers* por transistor de $nf = 12.23$, la resistencia de ruido equivalente R_n vale $50\ \Omega$. El valor de nf a de ser un número entero por lo que se opta

por $nf = 12$ ($W_{M1} = 2 * (5 * 12) = 120 \mu m$). Debemos tener en cuenta, tal y como se observa en la figura 5.10, que la relación entre el ruido y la tensión de polarización aplicada varía considerablemente con el tamaño del transistor, por lo que al modificarse el número de *fingers* ($nf = 12$) respecto del número utilizado al calcular la tensión de polarización ($nf = 10$) tendremos que recalculer dicha tensión, a fin de re-optimizar el diseño respecto al ruido. En nuestro caso la tensión de polarización para mínimo ruido con $W_{M1} = 120 \mu m$ es $V_{Bias1} = 0,96 V$.

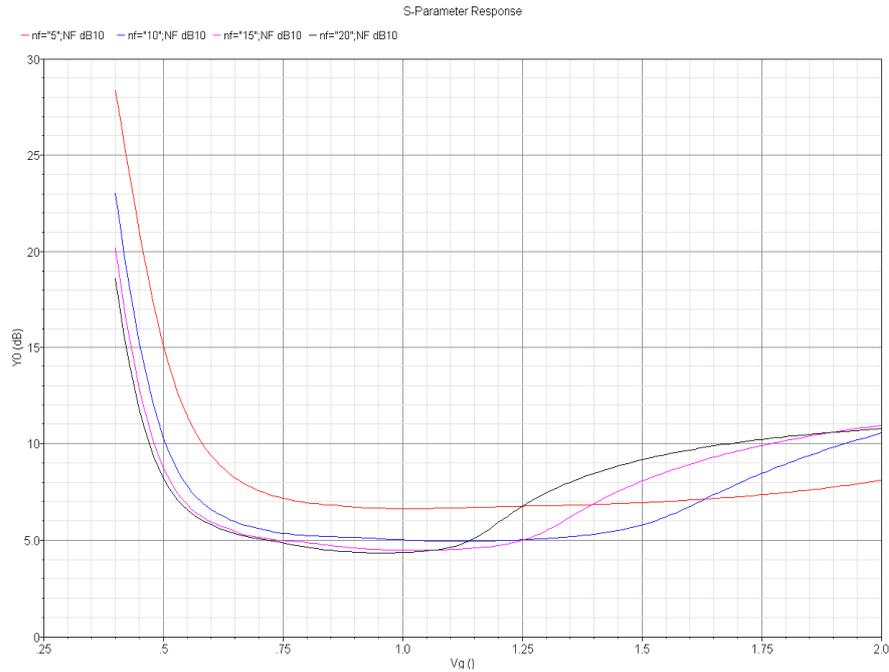


Figura 5.10 Tensión de polarización vs figura de ruido a 10.6 GHz para $W_{M1}(nf = 2*(5:5:20)) = 2*(25:25:100) \mu m$.

5.2.2 Degeneración inductiva de la estructura cascode simple

Una vez dimensionados, polarizados y adaptados los transistores del amplificador cascode, pasamos a calcular la bobina de degeneración de fuente L_S (capítulo 3.4.1.3). El valor de dicha bobina se elige a fin de asegurar que parte real de la impedancia de entrada sean 50Ω , tal y como se describe en la ecuación (3.35). Para ello se realiza un barrido de L_S y se analiza la adaptación de entrada (S_{11}) del circuito.

La figura 5.11 muestra la S_{11} de sistema para diferentes valores de L_S a $10.6 GHz$.

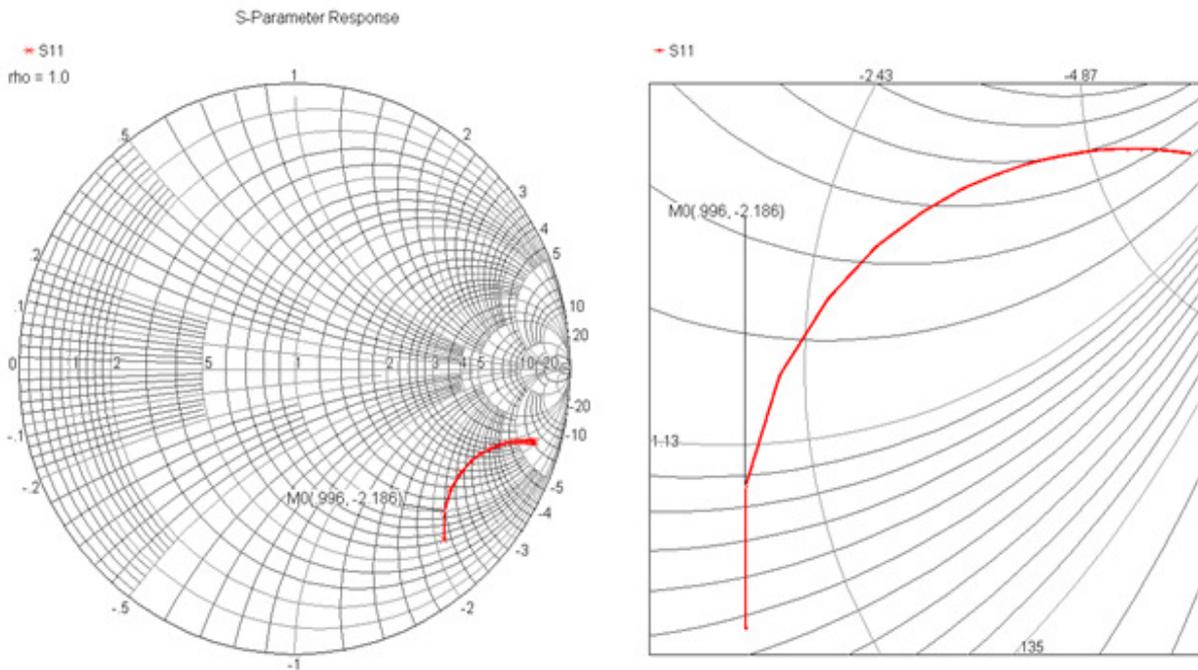


Figura 5.11 Adaptación de entrada a 10.6 GHz para L_S (0.1:0.1:2) nH.

En la figura anterior observamos que para $L_S = 0.2 \text{ nH}$ la parte real de S_{11} es 1, por lo que $R_S = 50 \Omega$. En la figura 5.12 se muestra la respuesta en frecuencia de la adaptación de entrada S_{11} con degeneración inductiva, $L_S = 0.2 \text{ nH}$.

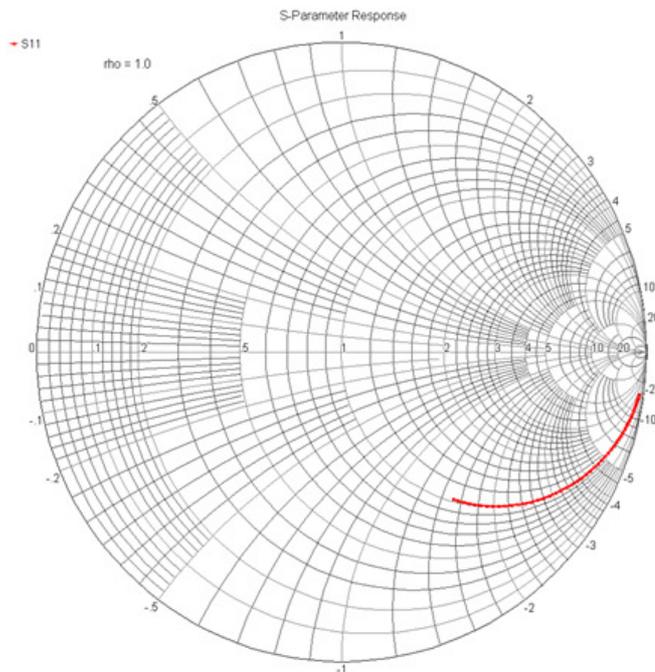


Figura 5.12 Adaptación de entrada respecto de la frecuencia, para $L_S = 0.2 \text{ nH}$.

En la figura anterior podemos observar que la parte real de la S_{11} permanece en torno a 1 ($R_S = 50 \Omega$) en toda la banda de UWB (3.1-10.6 GHz), por lo que podemos sintonizar cualquier frecuencia ajustando el valor de L_g (ecuación (3.33)). En nuestro caso optaremos por sintonizar el LNA de banda estrecha entorno a los 10.4 GHz embebiendo una L_g de 1.2 nH. De esta forma obtenemos, tal y como se muestra en la figura 5.13, una adaptación de entrada inferior a -36 dB en la banda de los 10.2-10.6 GHz.

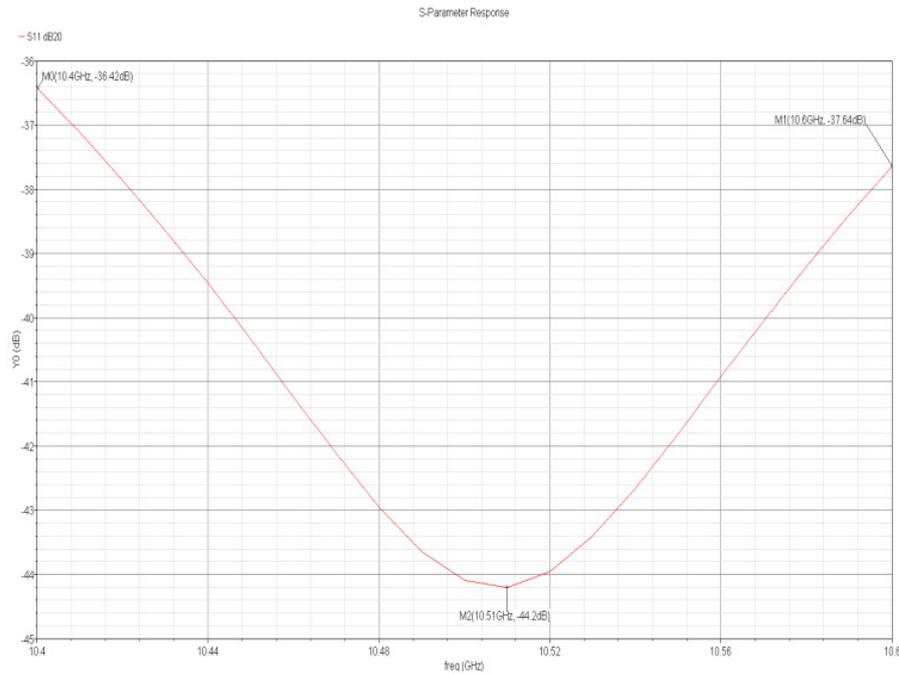


Figura 5.13 Adaptación de entrada para $L_S = 0.2$ nH y $L_g = 1.2$ nH.

No obstante como podemos apreciar en la figura 5.14 embeber una bobina de generación de fuente (L_S) aumenta la figura de ruido del LNA especialmente en alta frecuencia. Dicho aumento es proporcional al valor de L_S .

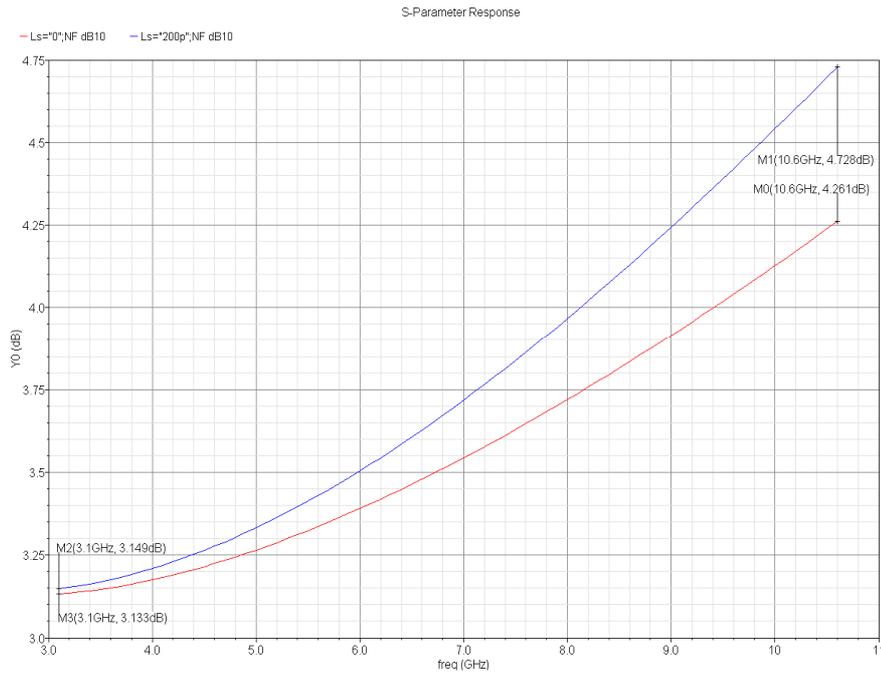


Figura 5.14 Figura de ruido respecto de la frecuencia con y sin $L_S = 0.2 \text{ nH}$.

5.2.3 Buffer de Salida

A fin de asegurar que la máxima cantidad de potencia presente en la red de carga se canalice hacia la siguiente etapa se hace necesario incluir un *buffer* de salida. Como se planteo en el apartado 3.4.2 embeberemos como *buffer* una etapa seguidora igual a la mostrada en la figura 5.15.

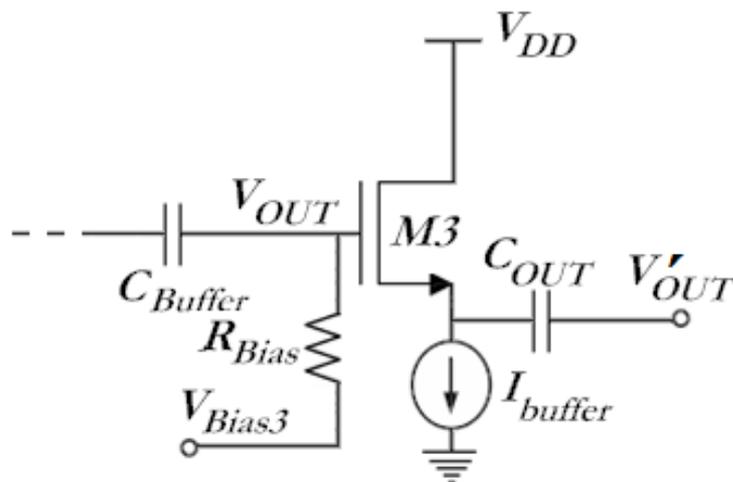
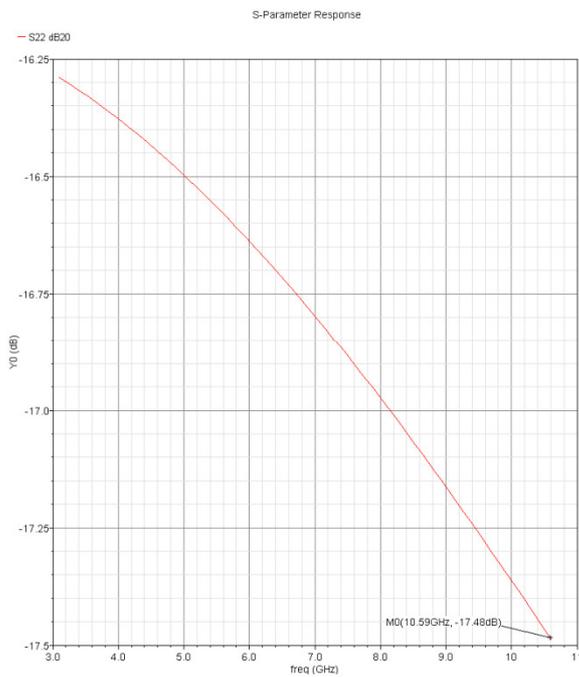


Figura 5.15 Esquemático del buffer de salida.

Los valores de los componentes del *buffer* han sido escogidos a fin de obtener, entorno a la frecuencia de interés (10.4 GHz), una tensión a la salida del *buffer* que sea la mitad que en la red de carga ($G_{Buffer} \approx V'_{out}/V_{out} \approx 0.5$) y que la adaptación de salida del circuito sea menor a -10 dB ($S22 < -10\text{ dB}$).

Las figuras 5.16A y 5.16B muestran respectivamente la adaptación de salida y la ganancia respecto de la frecuencia del circuito *buffer* propuesto.



Figuras 5.16A Adaptación de salida.

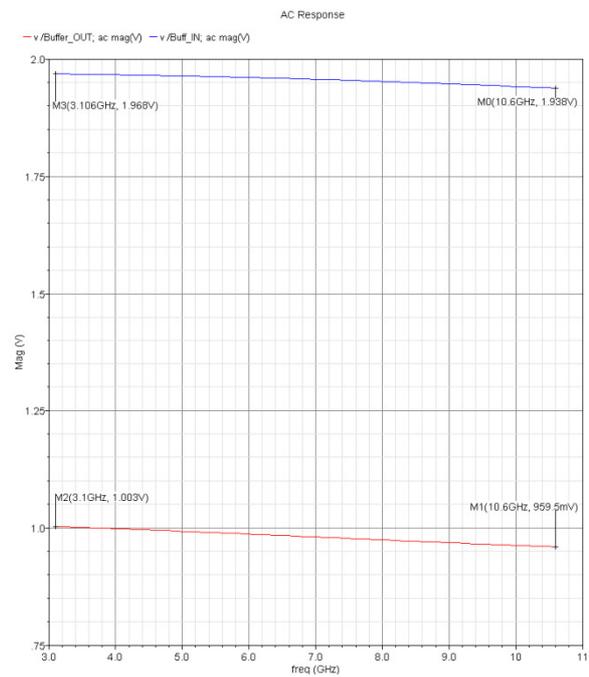


Figura 5.16B Ganancia.

Figuras 5.16A-B S22 y S21.

En la figura 5.16A podemos observar que nuestro *buffer* presenta en torno a 10.6 GHz una adaptación de salida de -17.48 dB , por otro lado en la figura 5.16B podemos comprobar que la tensión a la salida del *buffer* es la mitad que la tensión a la entrada del mismo en toda la banda de *UWB*.

5.2.4 Red de Carga

Tal y como vimos en el apartado 3.2.2 utilizaremos como red de carga de banda estrecha un circuito tanque como el mostrado en la figura 3.8 sintonizado a la frecuencia de interés, en nuestro caso a los 10.4 GHz . En la figura 5.17 se muestra la ganancia del *LNA* después de haber sintonizado el circuito

tanque a 10.4 GHz.

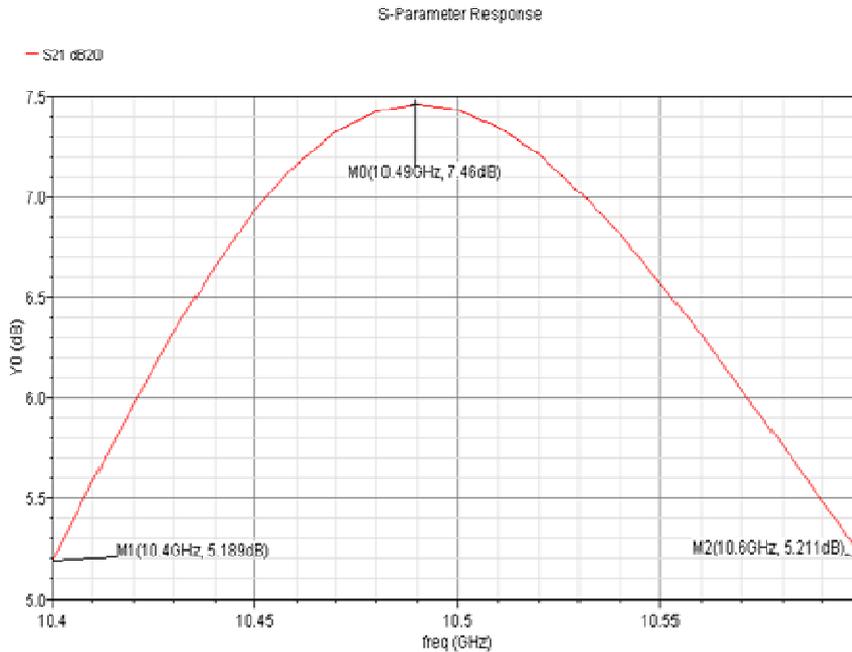


Figura 5.17 Ganancia.

En la figura anterior podemos observar que la ganancia del LNA de banda estrecha es superior a 5 dB.

5.2.5 Diseño completo del LNA tipo cascode de banda estrecha

La tabla 5.2 detalla los valores de los distintos elementos y parámetros que componen el circuito mostrado en la figura 5.1.

Tabla 5.2 Componentes del LNA cascode de banda estrecha

Valores de los componentes del LNA cascode de banda estrecha					
Parámetro	Valor de Simulación	Parámetro	Valor de Simulación	Parámetro	Valor de Simulación
L_g	1.3 nH	C_{IN}	3 pF	C_{OUT}	3 pF
W_{M1}	130 μm	W_{M2}	80 μm	W_{M3}	40 μm
V_{BIAS1}	1 V	V_{BIAS2}	2.6 V	V_{BIAS3}	0.7 V
R_N	50 Ω	L_L	275 pH	C_{OUT}	3 pF

L_S	0.2 nH	C_L	800 fF	I_{Buffer}	10 mA
W_{M4}	$5 \text{ }\mu\text{m}$	W_{M5}	$50 \text{ }\mu\text{m}$	R_{REF}	$112.5 \text{ }\Omega$
I_{BIAS}	23 mA	$I_{Vdd-gnd}$	33 mA	V_{dd}	3.6 V

Las figuras 5.18A, 5.18B, 5.18C y 5.18D muestran respectivamente la adaptación de entrada, la adaptación de salida, la figura de ruido y la ganancia de nuestro *LNA* cascode de banda estrecha sintonizado a 10.4 GHz .

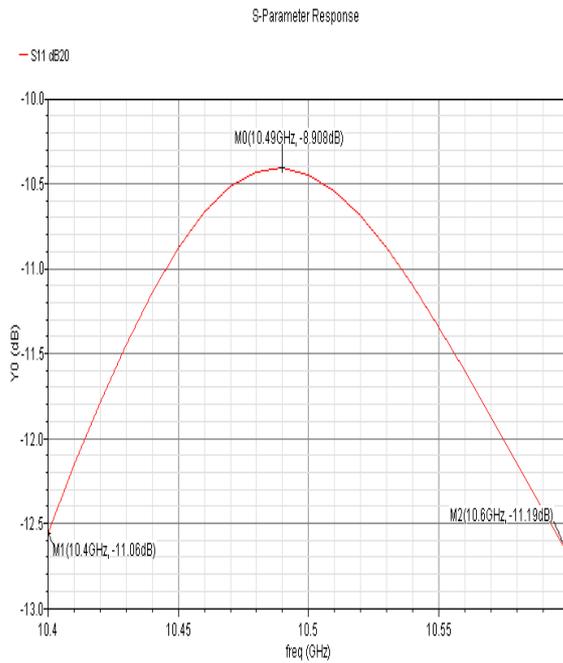


Figura 5.18A Adaptación de entrada.

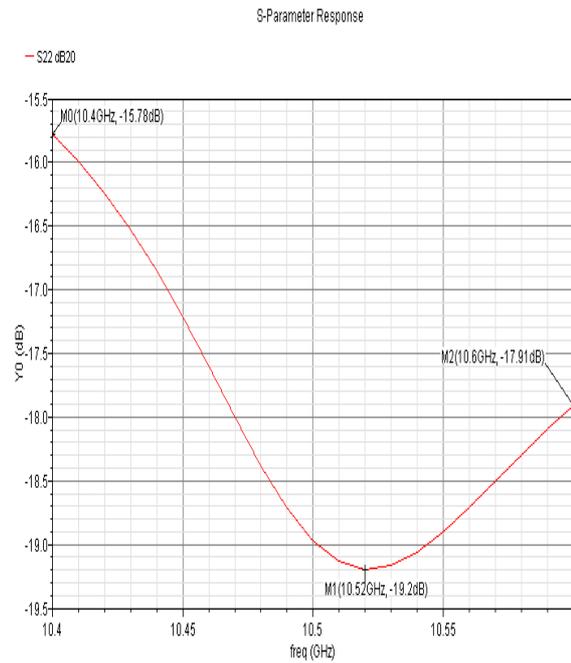


Figura 5.18B Adaptación de salida.

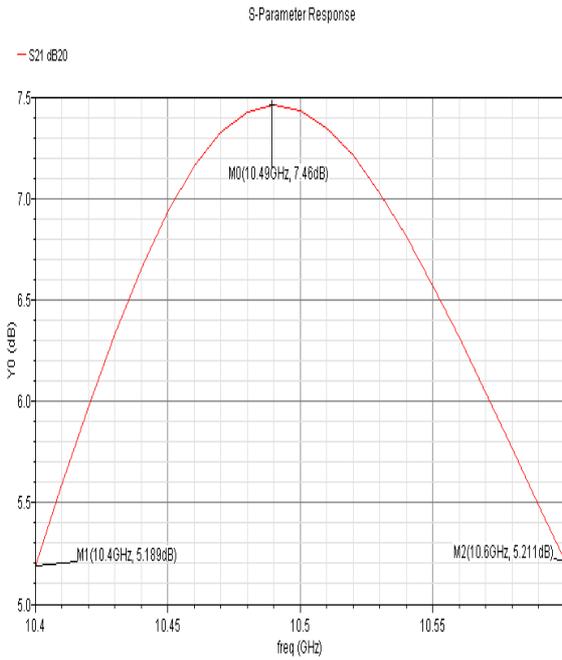


Figura 5.18C Ganancia.

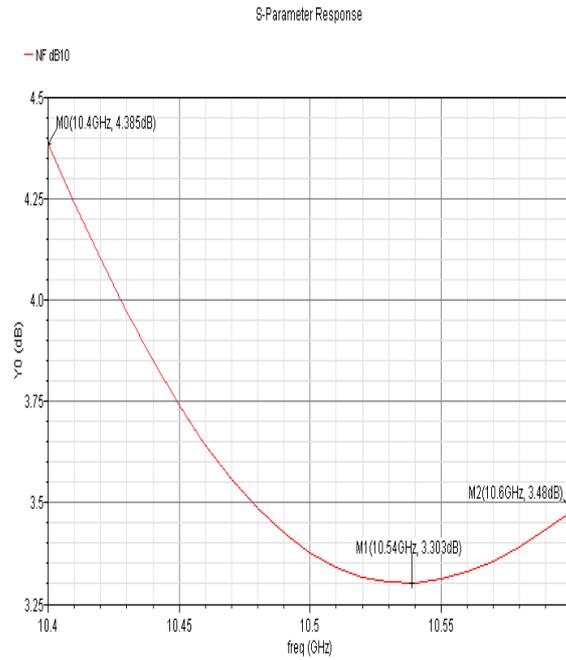


Figura 5.18D Figura de ruido.

Figuras 5.18A-D Resultados del amplificador cascode de banda estrecha.

Los resultados mostrados en las figuras 5.18A-D, si bien no son especialmente buenos, sirven de base para el desarrollo del LNA cascode de banda ancha.

Finalmente el consumo total de nuestro circuito es:

$$P = V * (I_{LNA} + I_{Buffer}) = 3.6 V * (23 + 10) mA = 118.8mW \quad (5.1)$$

5.3 Diseño de un LNA cascode de Banda Ancha con componentes ideal para UWB, 3.1-10.6 GHz

Utilizando como base el LNA de banda estrecha analizado en el apartado anterior se procede ahora a desarrollar el LNA cascode de banda ancha, para lo cual como se mostro en el capítulo 3 debemos sustituir las redes de adaptación de entrada (L_g) y de carga (Tanque $L_L C_L$) de banda estrecha por unas de banda ancha. La figura 5.19 muestra la parte común de ambos LNAs. Posteriormente deberemos ajustar el circuito para obtener las mejores prestaciones posibles y cumplir las restricciones planteadas en el apartado 5.1.

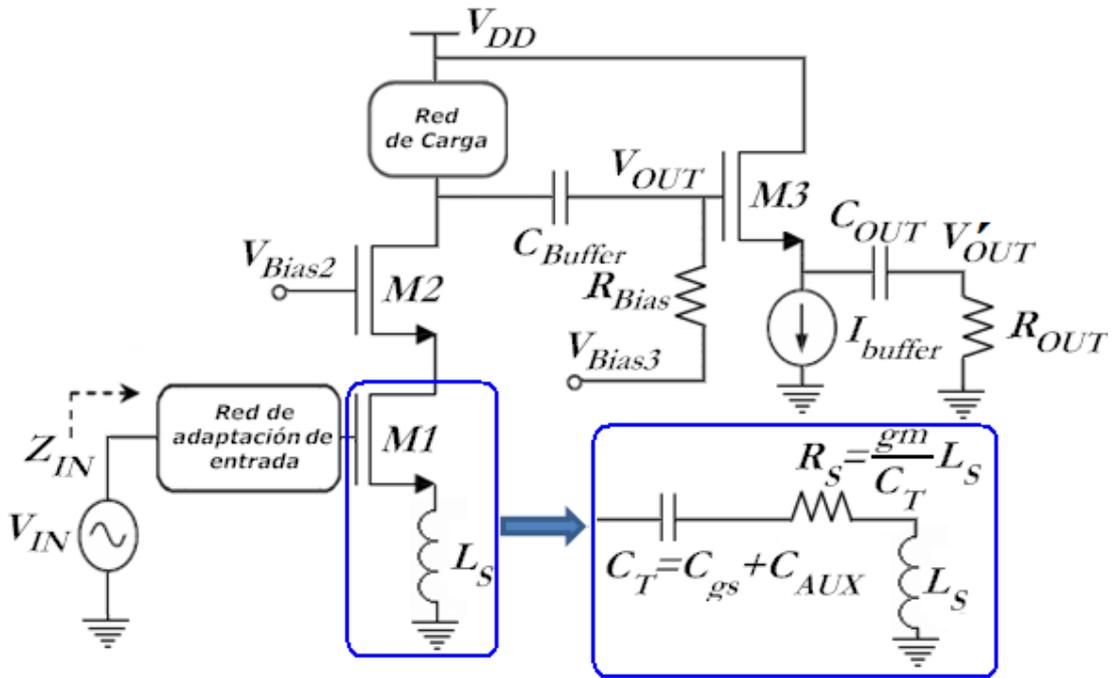


Figura 5.19 Esquemático simplificado del amplificador cascode con degeneración inductiva.

5.3.1 Diseño de la red de adaptación de entrada de banda ancha

El diseño de la red de adaptación de entrada de banda ancha es el mismo tanto para el *LNA* cascode como para el *LNA* cascode doblado. Como estudiamos en el apartado 3.5 a fin de expandir la banda de adaptación de entrada del amplificador con degeneración inductiva desde los 3.1 GHz hasta los 10.6 GHz, se embebe un tanque LC en la entrada del dispositivo amplificador de forma que la reactancia de la red de entrada resuene sobre toda la banda. Esto nos permite obtener al mismo tiempo una buena adaptación de entrada y un bajo nivel de ruido. La figura 5.20 muestra un modelo esquemático de la red de adaptación de entrada. Nótese que se ha embebido una capacidad entre la base y la fuente del transistor *M1* a fin de dar flexibilidad al diseño, y que dicha capacidad modifica la parte real de la impedancia de entrada

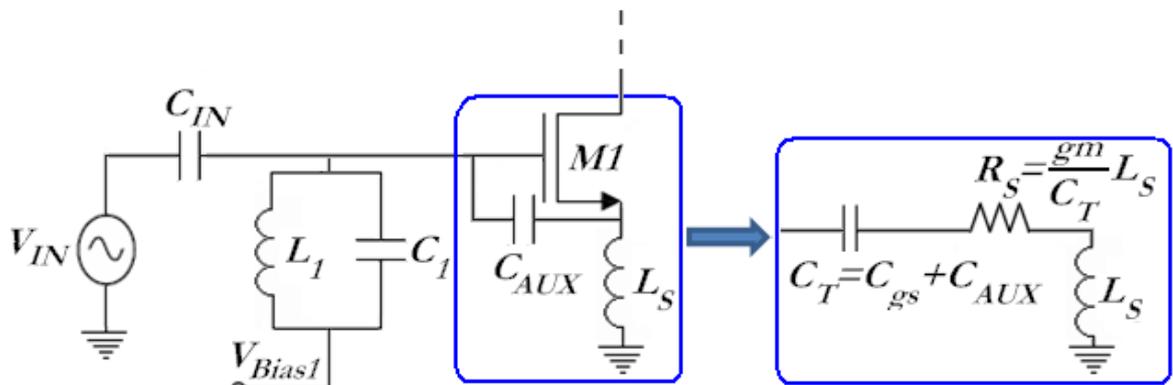


Figura 5.20 Esquemático de la red de entrada.

La figura anterior muestra un filtro paso banda LCR de quinto orden en escalera que sintonizaremos a la banda de 3.1-10.6 GHz, si bien el condensador C_{IN} no es más que el condensador de desacoplo de entrada y puede quedar fuera del análisis de la red de entrada si lo dimensionamos adecuadamente.

Por otro lado, como se analizó en el apartado 3.5.1, la banda superior (W_U) e inferior (W_L) de corte del filtro están muy separadas una de otra $n > 1$ (ecuación (3.51)) por lo que el estudio de dicho filtro se puede dividir en el estudio de dos filtros, uno paso bajo y otro paso alto. La tabla 5.3 ilustra las ecuaciones que modela dichos filtros.

La Tabla 5.3 Filtros de la red de adaptación de entrada

Filtro Paso Alto			Filtro Paso Bajo		
Elemento	Ecuación	Valor	Elemento	Ecuación	Valor
L_1	R/W_L	2.6 nH	L_S	R/W_U	0.75 nH
$C_T = C_{gs} + C_{AUX}$	$1/W_L * R$	1 pF	C_1	$1/W_U * R$	300 fF
R	$W_T * L_S$	50 Ω	R	$W_T * L_S$	50 Ω

A la hora de embeber el filtro planteado los valores obtenidos de L_1 y C_1 son perfectamente válidos y aplicables a nuestro diseño, pero los valores de C_{gs} y L_S óptimos para la red de entrada entran en conflicto con los valores del LNA de banda estrecha. Las ecuaciones 5.2 y 5.3 muestran los valores de C_{gs} y L_S del LNA de banda estrecha obtenidos para optimizar el diseño para mínimo ruido y máxima transferencia de potencia. La ecuación 5.2 fue extraída de la documentación asociada a la tecnología [1] y [2].

$$C_{gs}(nf = 12) = 2 \cdot (-2.0811 + 1.463 \cdot nf + 0.2297 * nf^2) 10^{-15} = 97.1 fF \quad (5.2)$$

$$L_S = \frac{RC_{gs}}{g_{m1}} = 0.2 nH \quad (5.3)$$

Al no coincidir dichos valores con los valores de la red de adaptación de entrada debemos tomar una decisión de compromiso entre la figura de ruido y la máxima transferencia de potencia, y la adaptación de entrada. A fin de poder tomar una decisión conforme a la filosofía de diseño planteada en el apartado 5.1, debemos analizar la influencia de L_S y C_{AUX} para asegurar una adaptación de entrada menor a -10 dB, minimizando el aumento del ruido y asegurando la máxima transferencia de potencia posible. Además debe tenerse en cuenta que al variar C_{AUX} se modifica también la parte real de Z_{IN} .

Para adecuar el elemento capacitivo del filtro paso alto durante el estudio teórico en el capítulo 3 planteamos embeber una capacidad auxiliar C_{AUX} en paralelo con C_{gs} , pero como se muestra en la figura 5.21 dicha técnica implica un aumento de la figura de ruido proporcional al tamaño de C_{AUX} .

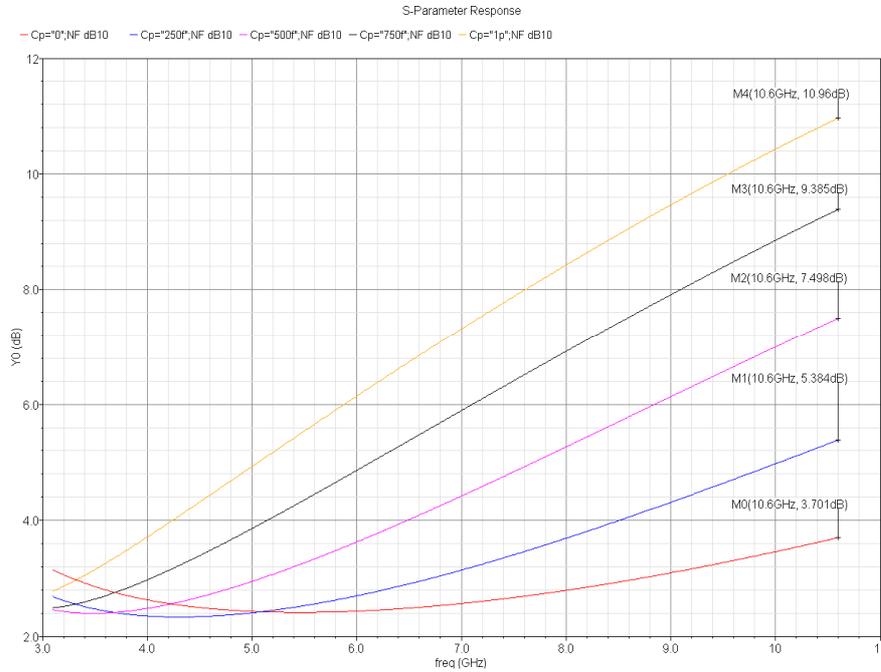


Figura 5.21 Figura de ruido para C_{AUX} (0:0.25:1) pF.

Por otro lado, no disponemos de ningún elemento que nos permita adecuar el elemento inductivo del filtro paso bajo y como se vio en el apartado 5.2., aumentar el valor de L_S implica aumentar proporcionalmente la figura de ruido en alta frecuencia, tal y como muestra la figura 5.22, por lo que no podemos modificar demasiado el valor de L_S .

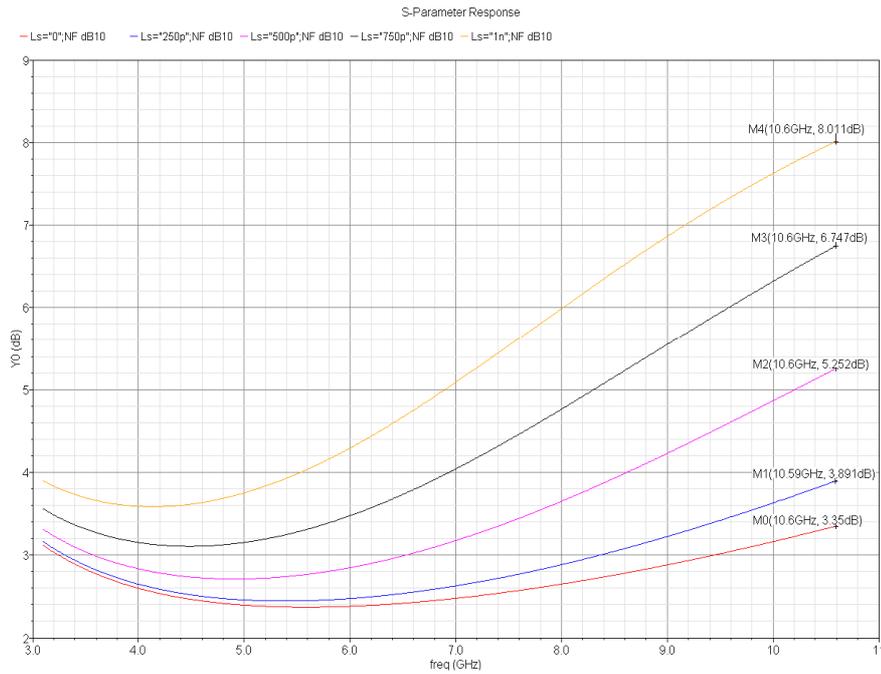


Figura 5.22 Figura de ruido para L_S (0:0.25:1) pF.

A la vista del comportamiento respecto al ruido de L_S y de C_{AUX} debemos tratar de minimizar el valor de dichos componentes tanto como sea posible para no tener un ruido desproporcionado. En otras palabras, debemos seleccionar los valores mínimos de L_S y de C_{AUX} que nos permita obtener una adaptación de entrada menor a -10 dB en toda la banda de UWB .

Para simplificar el diseño del circuito a nivel de *layout* se opta por ajustar el valor de L_S al valor mínimo configurable en los inductores $L_SLCR20K_RF$ de la tecnología $UMC\ 0.18\ \mu\text{m}$, que es $567,9646\ \text{nH}$. Una vez fijado L_S , calculamos el valor mínimo de C_{AUX} que nos permite obtener una adaptación de entrada menor a -10 dB . Las figuras 5.23A y 5.23B muestran respectivamente la adaptación de entrada y la figura de ruido para distintos valores de C_{AUX} .

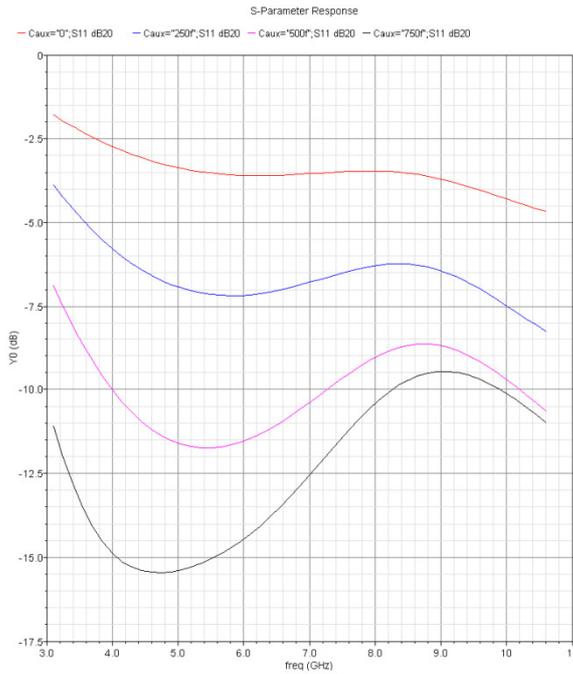


Figura 5.23A Adaptación de entrada.

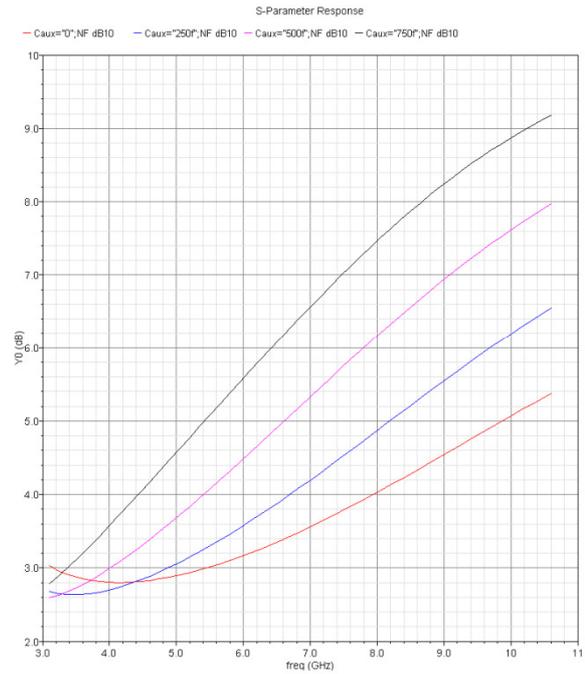


Figura 5.23B Figura de ruido.

Figuras 5.23A-B S11 y NF para C_{AUX} (0:0.25:1) pF.

En la figura 5.23A observamos que C_{AUX} debe tener un valor considerable para asegurar la adaptación de entrada en toda la banda de UWB , sin embargo no es posible fijar aun el valor de C_{AUX} pues otros elementos del circuito ajenos a la red de entrada influyen en la adaptación de entrada.

Por otro lado otro, debemos analizar la influencia del condensador de acoplo de entrada C_{IN} que ha quedado excluido del anterior análisis. Como se muestra en la figura 5.24 si el valor de C_{IN} es demasiado grande parte de esta capacidad se sumara a C_1 , lo cual afecta sensiblemente a W_U . Si por el contrario el valor de es demasiado pequeño el filtro paso banda no cumplirá las especificaciones sobre W_L . Finalmente el valor de C_{IN} elegido fue el más pequeño posible para no afectar a C_1 pero suficientemente grande para no modificar la W_L , $C_{IN} \approx 3 \text{ pF}$.

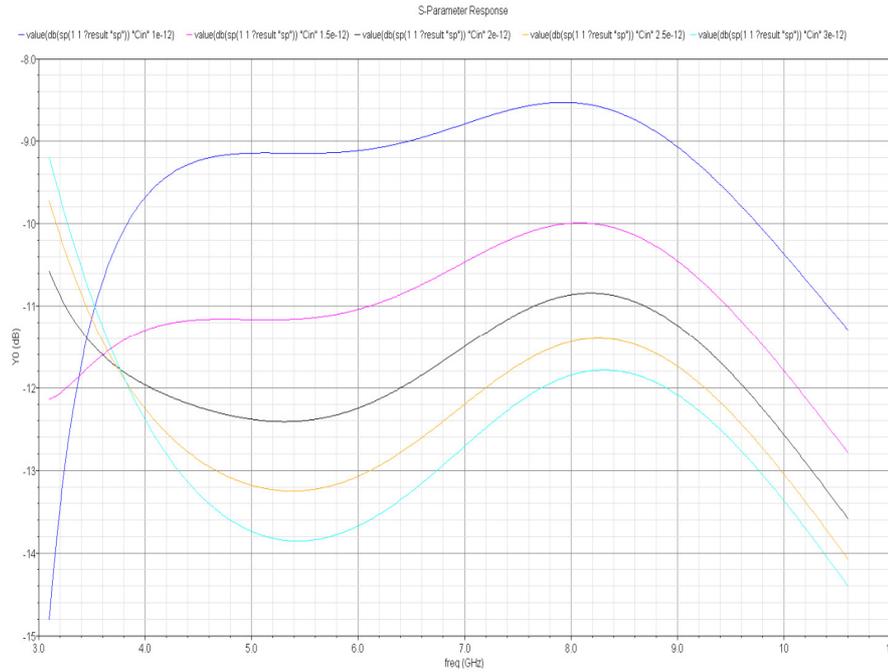


Figura 5.24 Adaptación de entrada para diferentes valores de C_{IN} (1:0.5:3) pF.

5.3.2 Diseño de la red de carga de banda ancha

El diseño de la red de carga de banda ancha es el mismo tanto para el LNA cascode como para el LNA cascode doblado. Como estudiamos en el apartado 3.5.2, a fin de expandir la ganancia a la banda completa de UWB sustituiremos el tanque LC por una red de carga del tipo *shunt-peaking* de forma que la reactancia de la red de carga resuene sobre toda la banda. De esta forma es posible obtener una buena ganancia en toda la banda de interés asegurando una caída en banda menor a 3 dB. La figura 5.25 muestra un modelo esquemático de la red de carga.

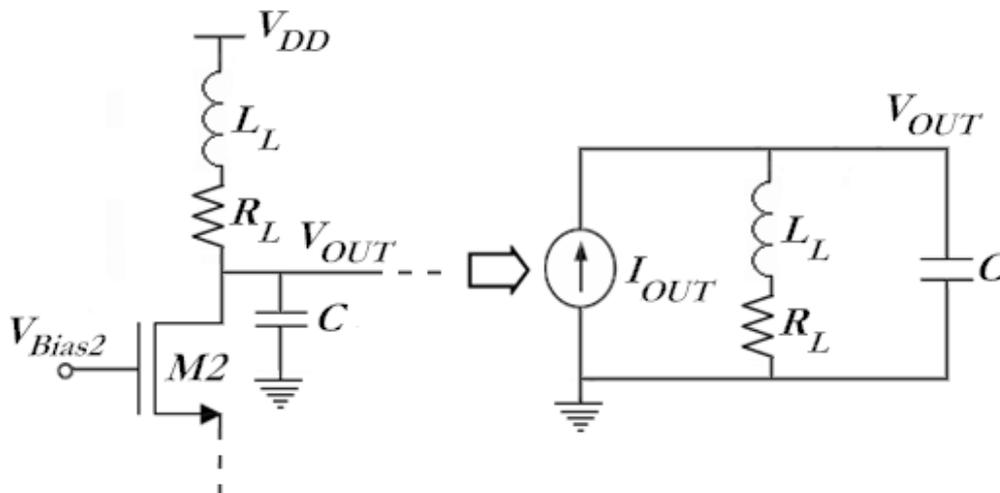


Figura 5.25 Esquemático de la red de carga tipo shunt-peaking.

En el capítulo 3.6.3.2 se analizó la ganancia del amplificador cascodo con red de carga tipo *shunt-peaking* siendo esta la mostrada en la ecuación (3.72). En dicho capítulo también se demostró que el valor del condensado de la red de carga debe ser el menor posible a fin de maximizar la ganancia, por lo que su valor se limita a la capacidad entre el drenador y tierra propia del transistor $M2$ cuya influencia ya ha sido estudiada, con lo que el análisis de la red de carga queda limitado a L_L y R_L . Comenzaremos embebiendo solamente la resistencia. La figura 5.26 muestra la ganancia para distintos valores de R_L .

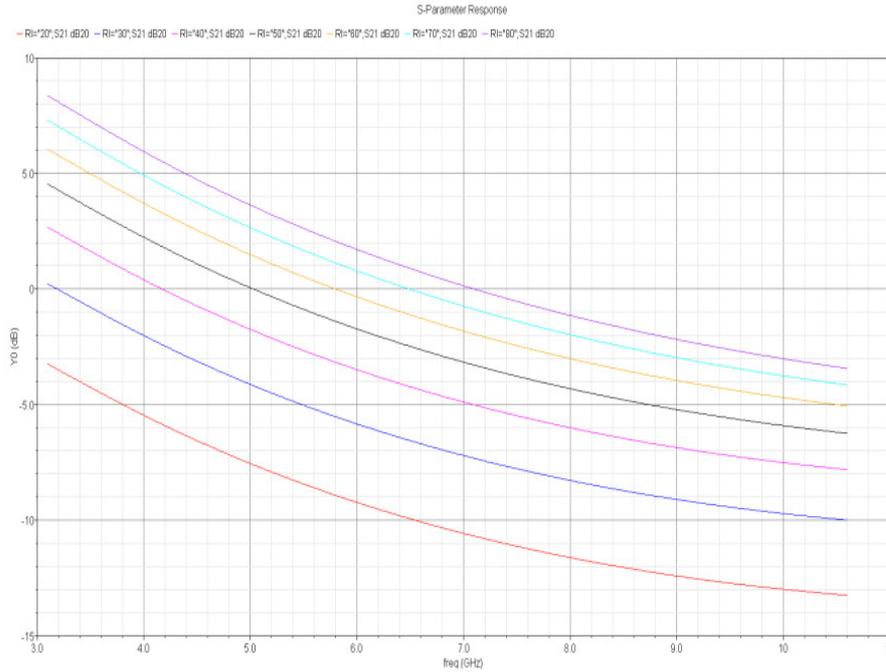


Figura 5.26 Ganancia para distintos valor de R_L (20:10:80) Ω .

En la figura anterior se observa que la ganancia aumenta al aumentar el valor de R_L . A continuación, si fijamos R_L a un valor pequeño entorno a los 50 Ω y embebemos el inductor L_L observamos que aparece un pico, que da nombre a esta técnica, proporcional al valor de inductor. Fijado $R_L = 50 \Omega$, la figura 5.27 muestra la ganancia para distintos valores de L_L .

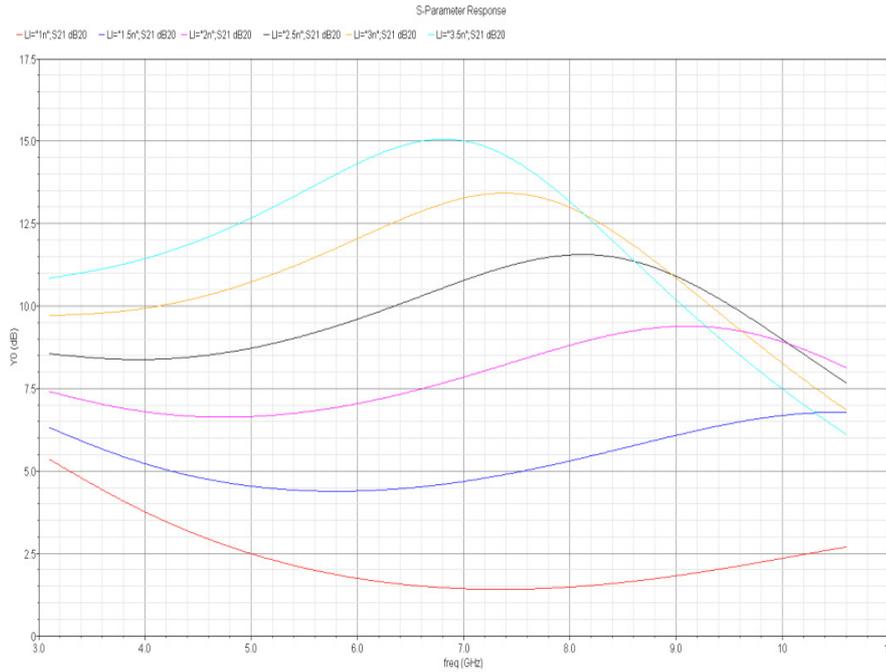


Figura 5.27 Ganancia para distintos valor de L_L (1.75:0.25:3.25) nH.

Calibrando adecuadamente el valor de L_L y R_L es posible ajustar el pico al centro de la banda, obteniendo de este modo una ganancia cuasi simétrica cuya caída dentro de la banda debe ser menor a 3 dB, tal y como se muestra en la figura 5.28.

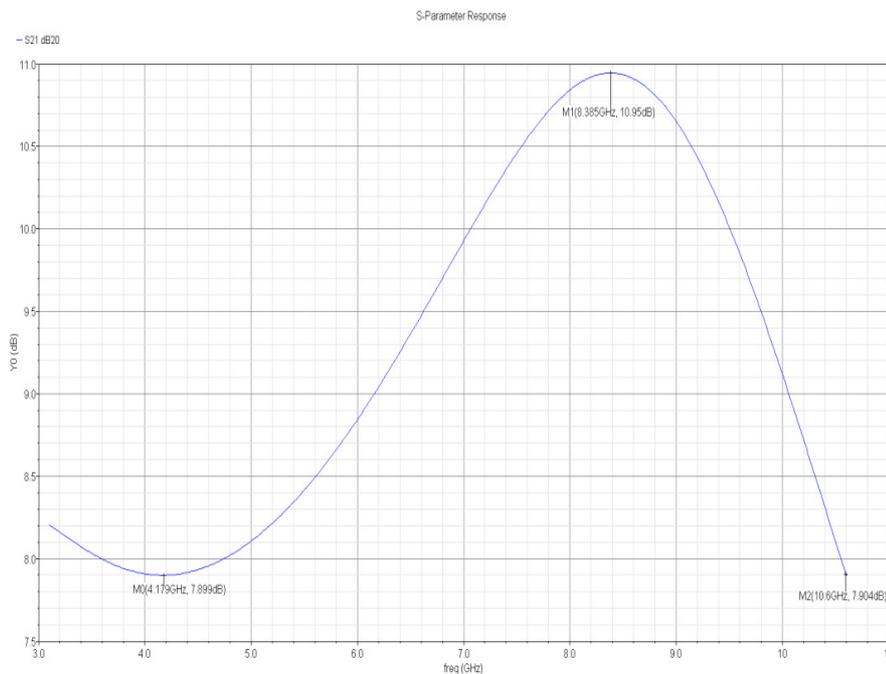


Figura 5.28 Ganancia característica de la red de carga Shunt-Peaking.

5.4 Ajuste del amplificador cascado

En este apartado ajustáramos el diseño completo del amplificador cascado. Como se comentó anteriormente, los valores obtenidos en los apartados anteriores son orientativos y se utilizará como base del ajuste del amplificador, pero es necesario reoptimizar la adaptación de entrada (S_{11}), la adaptación de salida (S_{22}), la ganancia (S_{21}), la figura de ruido (NF), la máxima transferencia de potencia y el consumo del amplificador cascado completo, por lo que se deberá llegar a un compromiso entre los diferentes parámetros, a través del ajuste de los diferentes componentes del circuito, en concordancia con lo planteado en el apartado 5.1. En la figura 5.29 se muestra el esquema completo del transistor cascado.

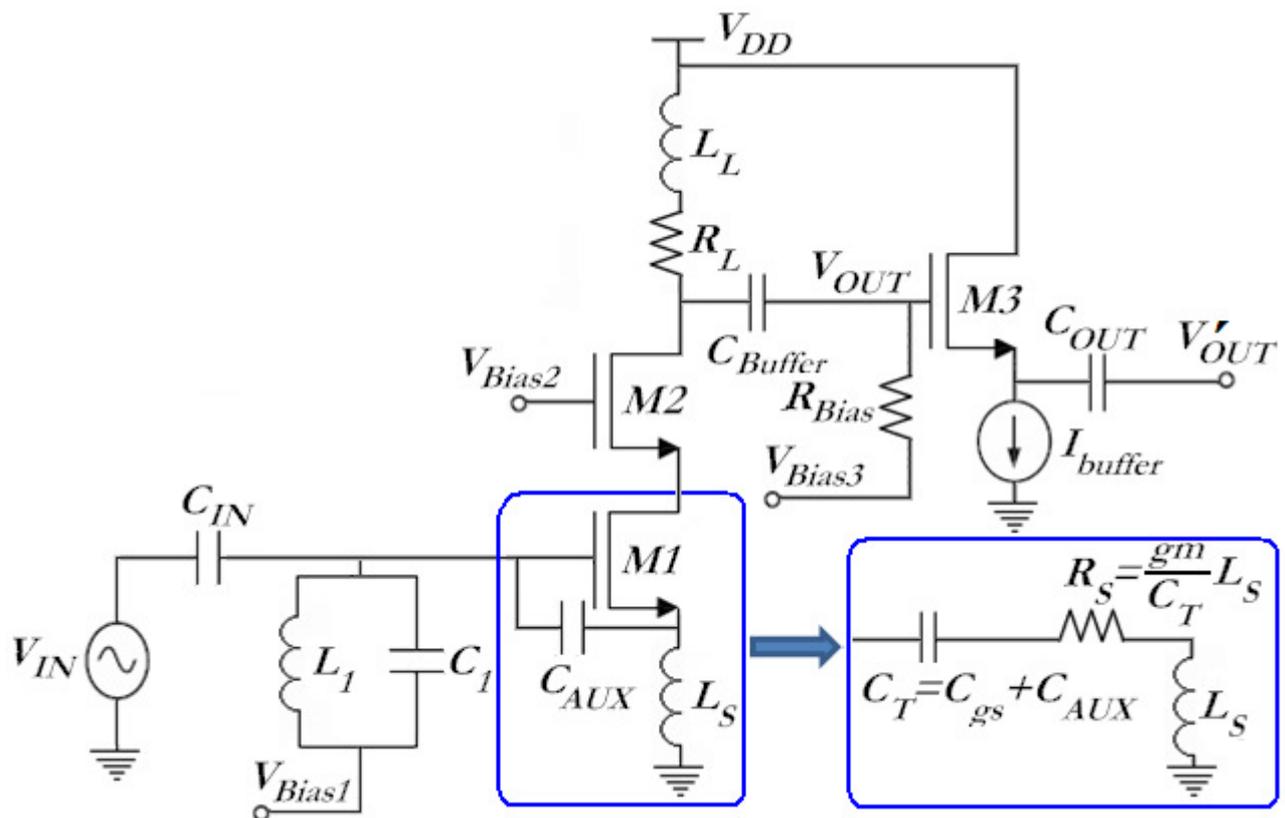


Figura 5.29 Esquemático del amplificador cascado completo de banda ancha.

A continuación pasaremos a analizar la influencia de los distintos componentes sobre las prestaciones del diseño. Comenzaremos recalibrando el *buffer* para obtener una buena adaptación de salida y una ganancia de $G_{Buffer} = V_{out}/V'_{out} \approx 0.5$. En todas las simulaciones se han ajustado W_{M3} de manera que la ganancia del *buffer* permanezca siempre plana, siendo el transistor $M3$ polarizado por medio de un espejo de corriente tal y como se estudió en el apartado 3.4.2.2. Finalmente, tanto la longitud de canal de $M1$ como la de $M2$ se ha elegido la mínima posible con esta tecnología, $0.18 \mu m$.

5.4.1 Buffer de salida

A fin de asegurar que la máxima cantidad de potencia presente en la carga *shunt-peaking* se canalice de manera homogénea, en la banda 3.1-10.6 GHz, hacia la siguiente etapa se hace necesario rediseñar el *buffer* de salida. Debemos asegurar que en toda la banda de interés la tensión a la salida del *buffer* es la mitad que en la red de carga y que la adaptación de salida del circuito es menor a -10 dB en toda la banda de *UWB*, para lo cual debemos dimensionar y seleccionar apropiadamente el punto de trabajo del transistor *M3*.

- I_{Buffer}

La figura 5.30 muestra la adaptación de salida del circuito para distintos valores de la corriente de polarización del *buffer*, I_{Buffer} .

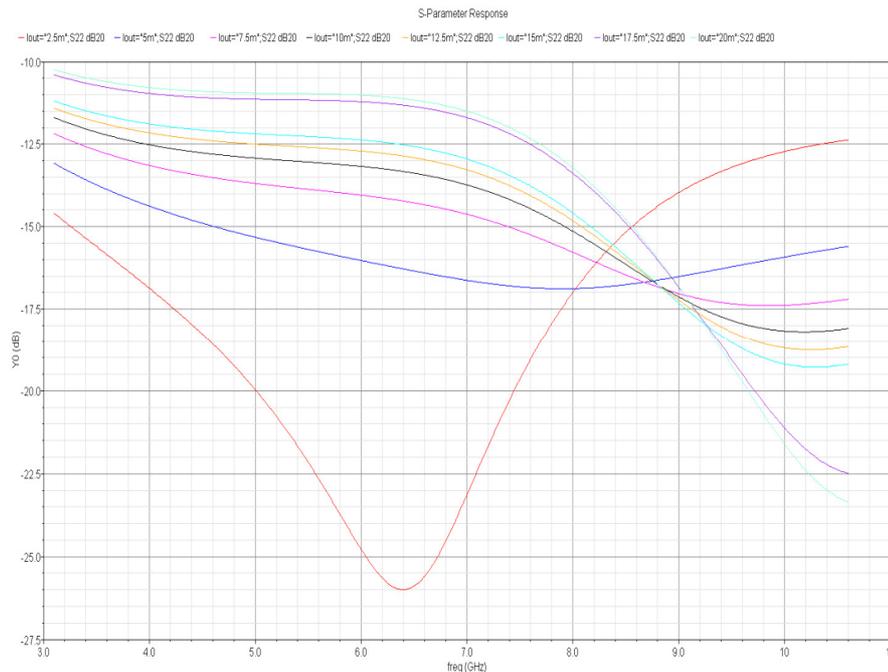


Figura 5.30 Adaptación de salida para distintos valores de I_{Buffer} (2.5:2.5:20)mA.

Tal y como muestra la figura anterior reducir la corriente mejora la adaptación de salida del circuito, si bien para $I_{Buffer} < 20 \text{ mA}$ permanece por debajo de los -10 dB dentro de la banda de *UWB*.

Las figuras 5.31A y 5.31B muestran respectivamente la tensión a la entrada y a la salida del *buffer* y la ganancia en potencia del circuito, para distintos valores de I_{Buffer} .

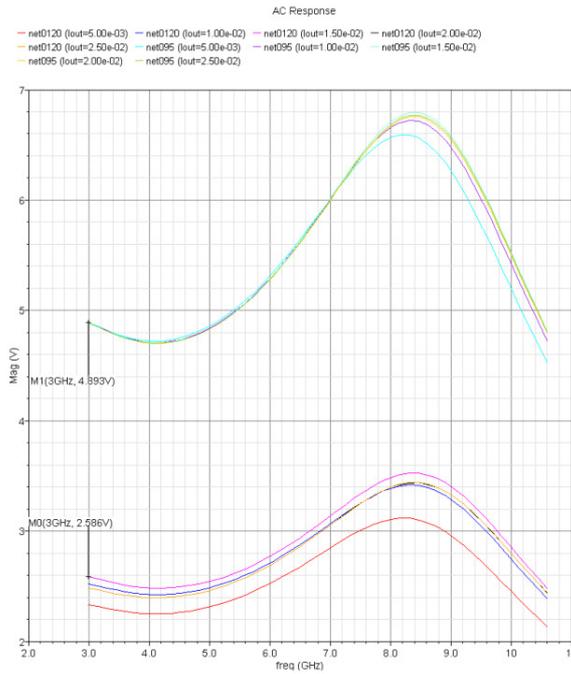


Figura 5.31A Ganancia del buffer.

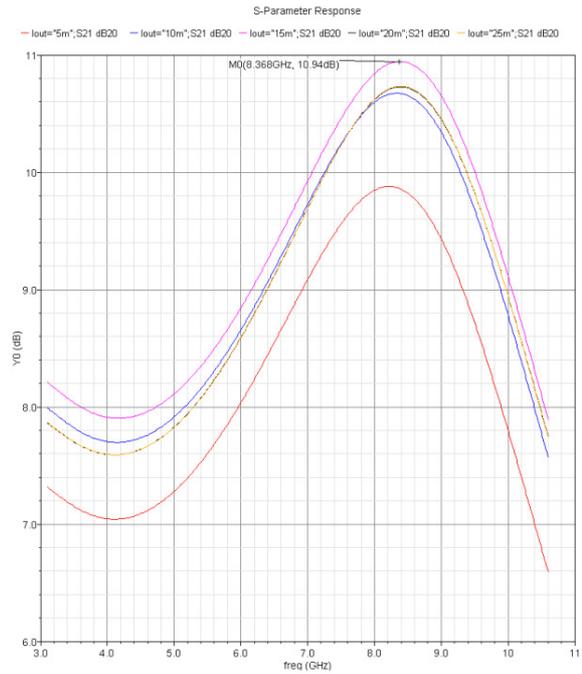


Figura 5.31B Ganancia en potencia del circuito.

Figuras 5.31A-B G_{Buffer} y S_{21} para I_{Buffer} (5:5:25) mA.

En la figura 5.31A observamos que es necesario que $I_{Buffer} > 10 \text{ mA}$ para asegurar que la ganancia en tensión del *buffer* sea al menos de 0.5. Por otro lado en la figura 5.31B se muestra que existe un valor de corriente ($I_{Buffer} \approx 15 \text{ mA}$) para el cual la ganancia en potencia del circuito es máxima.

En base a lo anterior I_{Buffer} debe ser lo suficientemente grande para no afectar a la ganancia en tensión y lo suficientemente pequeña como para asegurar la adaptación de salida del circuito, por lo que dentro de dicho margen elegiremos el valor de I_{Buffer} que nos proporcione la máxima ganancia en potencia.

- W_{M3}

La figura 5.32 muestra la adaptación de salida del circuito para distintos tamaños del transistor $M3$, W_{M3} .

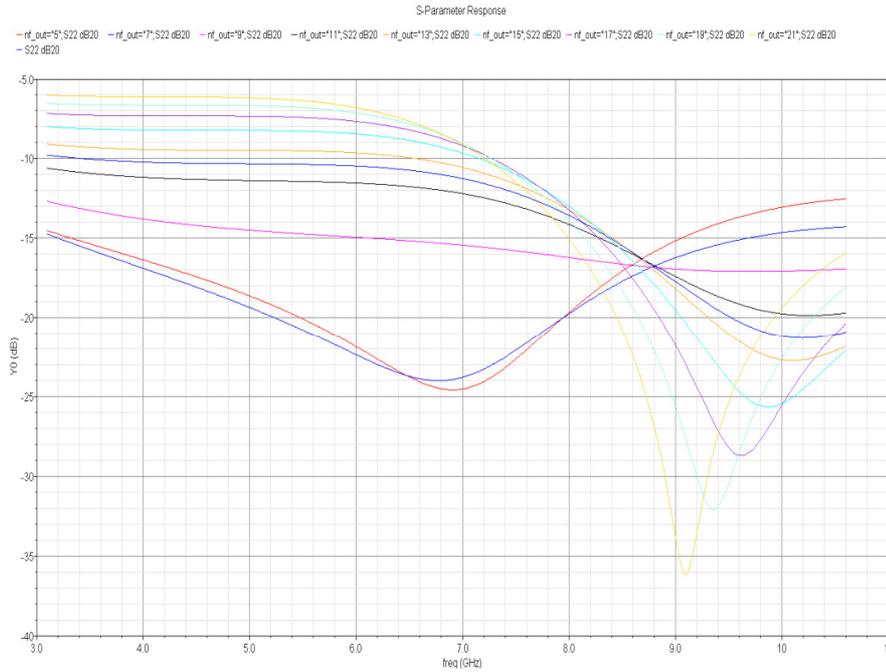


Figura 5.32 Adaptación de salida para distintos valores de $W_{M3}(nf(5:2:21)) = 25:10:105 \mu\text{m}$.

En la figura anterior observamos que es necesario que $nf < 12$ o lo que es lo mismo $W_{M3} < 60 \mu\text{m}$ para asegurar que la adaptación de salida permanece por debajo de los -10 dB .

Las figuras 5.33A y 5.33B muestran respectivamente la tensión a la entrada y a la salida del *buffer* y la ganancia en potencia del circuito, para distintos valores de W_{M3} .

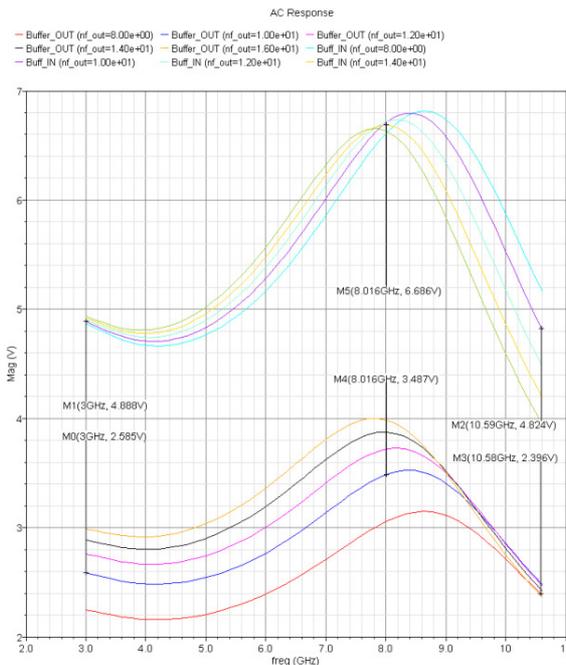


Figura 5.33A Tensión a la entrada y la salida del buffer.

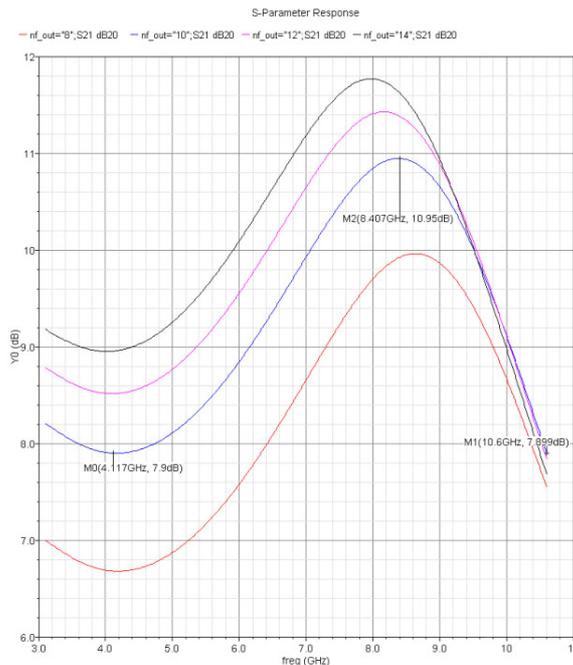


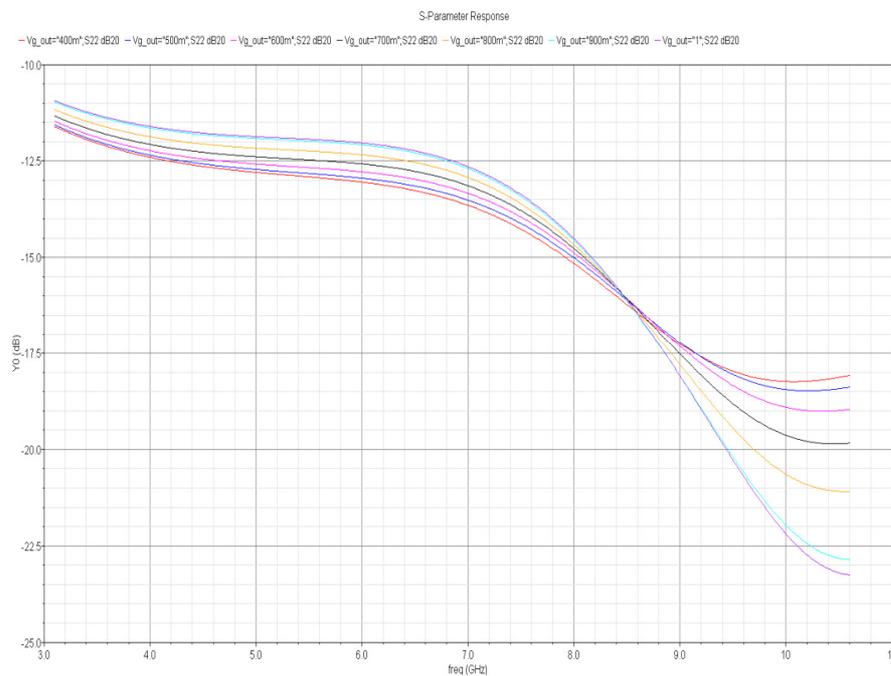
Figura 5.33B Ganancia en potencia.

Figura 5.33A-B G_{Buffer} y S_{21} para $W_{M3}(nf(6:2:14)) = 30:10:70 \mu\text{m}$.

Tal y como muestran las figuras anteriores, reducir el tamaño del transistor $M3$ mejora ligeramente la ganancia en la parte alta de la banda de UWB a costa de empeorarla sensiblemente en la parte baja y viceversa, por lo que se tratará de elegir un valor que equilibre y maximice el valor de ganancia mínimo del circuito dentro de la banda de UWB sin desadaptar la salida del mismo.

- V_{BIAS3}

La figura 5.34 muestra la adaptación de salida del circuito para distintos valores de la tensión aplicada a la puerta del transistor $M3$, V_{BIAS3} .



Figuras 5.34 Adaptación de salida para distintos valores de V_{BIAS3} (0.4:0.1:1) V.

En la figura anterior se observa que para un amplio margen de tensiones la respuesta del circuito permanece estable.

Las figuras 5.35A y 5.35B muestran respectivamente la tensión a la entrada y a la salida del *buffer* y la ganancia en potencia del circuito, para distintos valores de V_{BIAS3} .

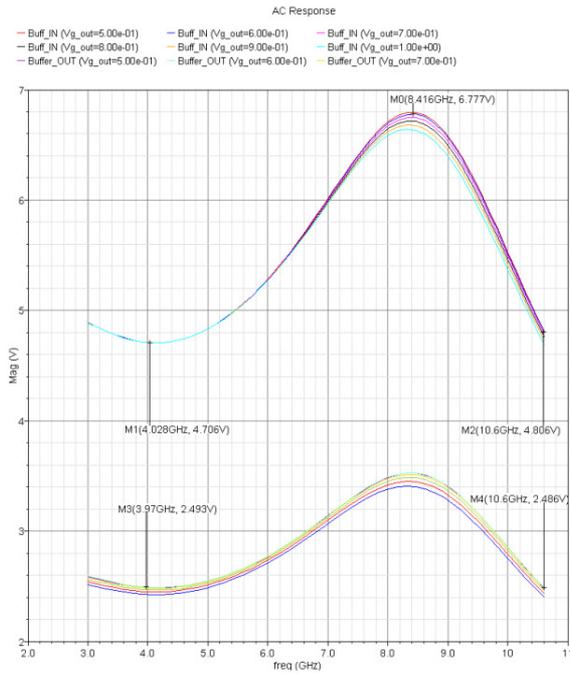


Figura 5.35A Tensión a la entrada y la salida del buffer.

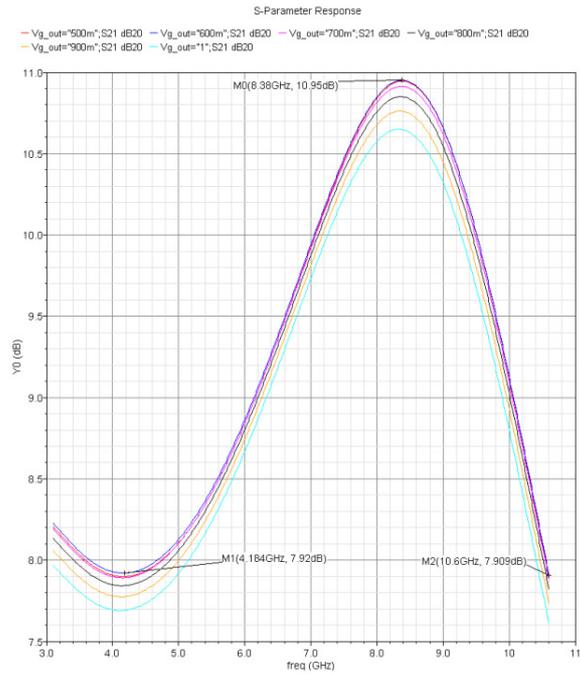


Figura 5.35B Ganancia en potencia.

Figura 5.35A-B Ganancias para distintos valores de V_{BIAS3} (0.5:0.1:1) V.

En las figuras anteriores se observa que para un amplio margen de tensiones la respuesta del circuito permanece estable, si bien dentro de dicho margen seleccionaremos el valor de tensión $V_{BIAS3} \approx 0.6 \text{ V}$ que maximiza el valor de la ganancia.

5.4.2 Ajuste de la red de adaptación de entrada, dimensionamiento y polarización del amplificador cascode

En este apartado se ajustará la red de adaptación de entrada de banda ancha así como el tamaño y la tensión de polarización de los transistores $M1$ y $M2$, para ello se estudiará como afecta cada uno de los componentes al funcionamiento final del circuito y se optimizarán sus valores para conseguir el mejor rendimiento global posible, asegurando que la adaptación de entrada (S_{11}) sea menor a -10 dB en la banda de interés ($3.1 \sim 10.6 \text{ GHz}$).

- W_{M1}

La figuras 5.36A, 5.36B y 5.36C muestran respectivamente la adaptación de entrada, la adaptación de salida y la ganancia en potencia del circuito respecto del tamaño del transistor de $M1$, W_{M1} .

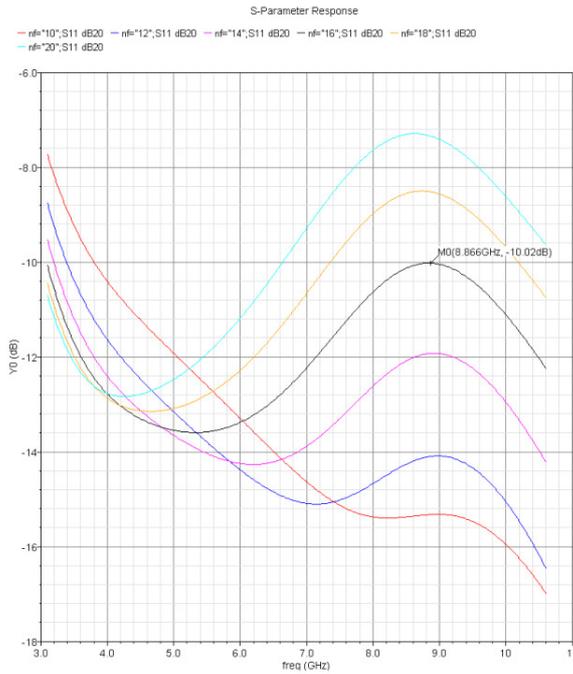


Figura 5.36A Adaptación de entrada.

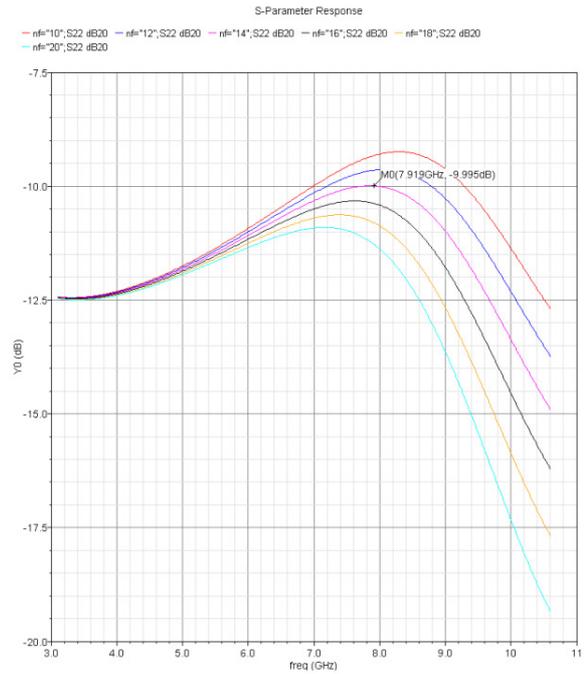


Figura 5.36B Adaptación de salida.

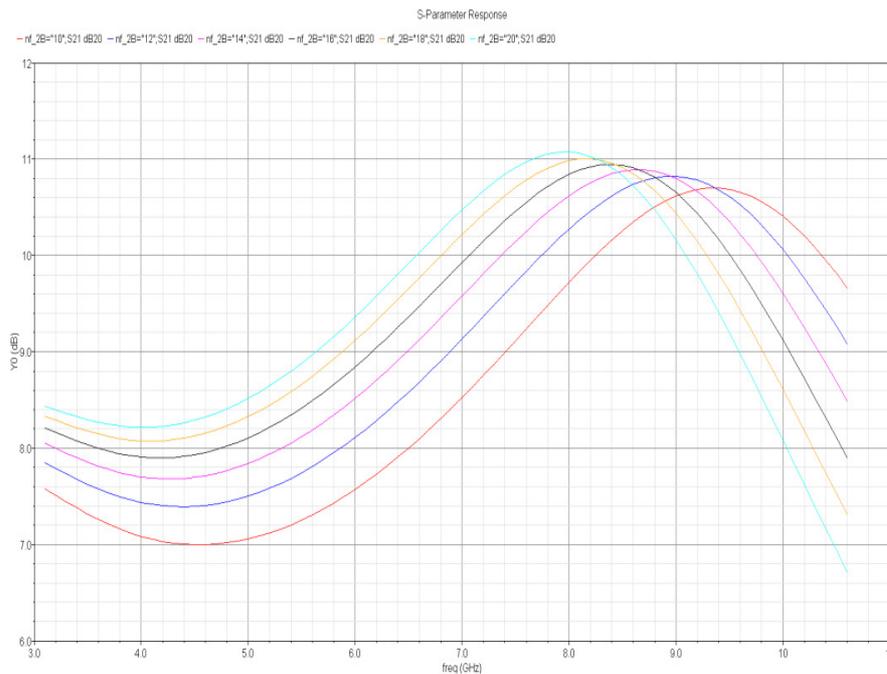


Figura 5.36C Ganancia.

Figuras 5.36A-C S11, S22 y S21 para $W_{M1}(nf(2*(50:10:100))) = 2*(50:10:100) \mu m$.

En las figuras 5.36B y 5.36C se puede observar que incrementar el tamaño del transistor aumenta la ganancia y mejora la adaptación de salida del circuito. El problema es, tal y como muestra la figura 5.36A, que si aumentamos demasiado del tamaño del transistor $M1$ se desajusta la entrada, además de dispararse el consumo y reducirse la resistencia de entrada necesaria para obtener máxima transferencia de potencia.

Respecto al ruido se ha buscado el valor de W_{M1} que minimiza el factor de ruido, prestando especial atención al ruido en alta frecuencia pues determina el ruido máximo del sistema. En la figuras 5.37A y 5.37B se puede observar como varía la figura de ruido del circuito en la banda de UWB y a la frecuencia de 10.6 GHz, al variar W_{M1} .

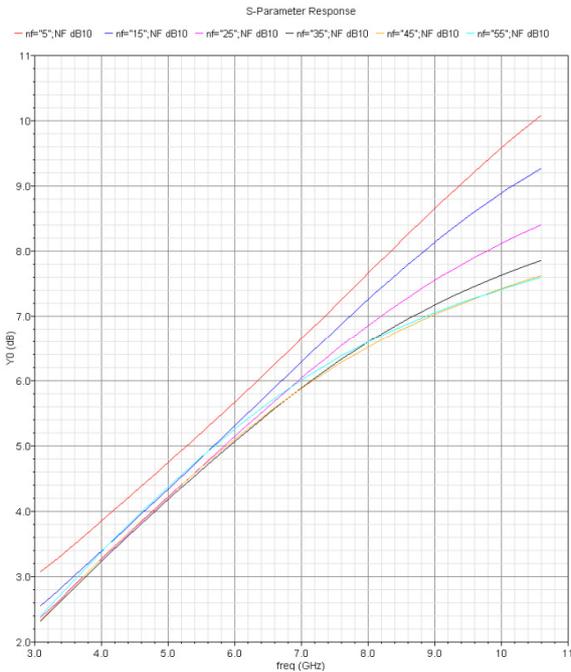


Figura 5.37A Figura de ruido.

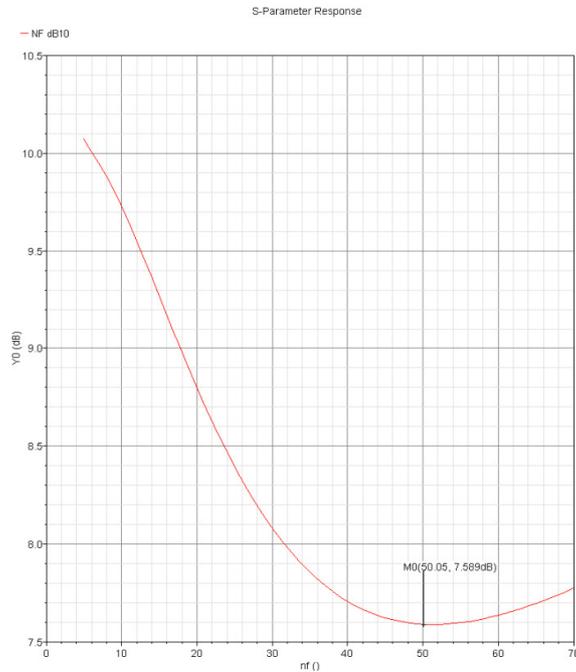


Figura 5.37B Figura de ruido a 10.6 GHz.

Figuras 5.37A-B Figuras de ruido variando W_{M1} ($nf(2*(5\sim 70)) = 2*(25\sim 350) \mu\text{m}$).

En las figuras anteriores podemos observar que el ruido se reduce al aumentar W_{M1} y que el valor óptimo para minimizar la figura de ruido es W_{M1} ($nf \approx 2 * 50$) = $2 * 250 \mu\text{m}$.

En base a lo anterior W_{M1} debe ser lo mayor posible para maximizar la ganancia y limitar el ruido, si bien debe ser lo suficientemente pequeño como para asegurara la adaptación de entrada.

- V_{BIAS1}

Las figuras 5.38A y 5.38B muestran respectivamente la adaptación de entrada y de salida respecto de la tensión aplicada a la puerta del transistor $M1$, V_{BIAS1} .

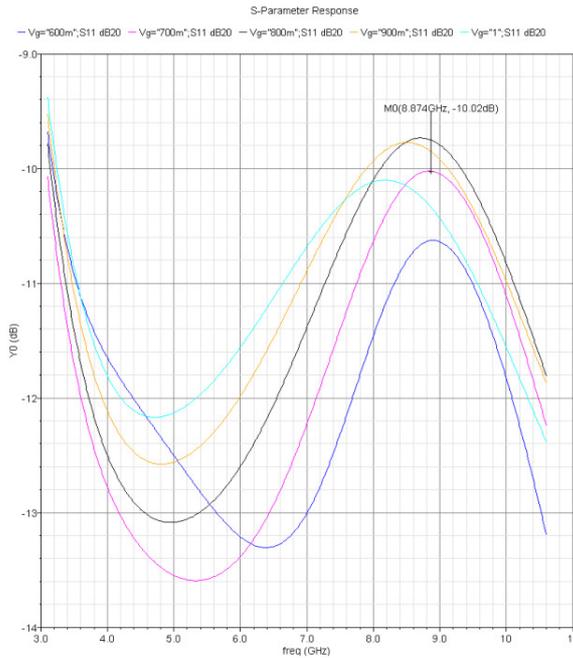


Figura 5.38A Adaptación de entrada.

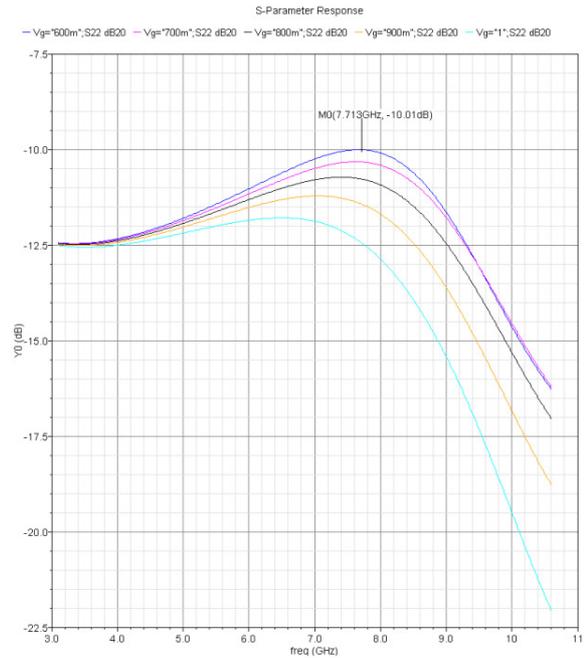


Figura 5.38B Adaptación de salida.

Figura 5.38A-B S11 y S22 variando V_{BIAS1} (0.6:0.1:1) V.

En la figura 5.38B observamos que al aumentar la tensión mejora la adaptación de salida, sin embargo en la figura 5.38A vemos que aumentar la tensión desadapta la entrada.

Las figuras 5.39A y 5.39B muestra la ganancia en potencia del circuito y la corriente de surtidor del transistor $M1$, I_{BIAS1} , respecto de la tensión aplicada a la puerta del transistor $M1$, V_{BIAS1} .

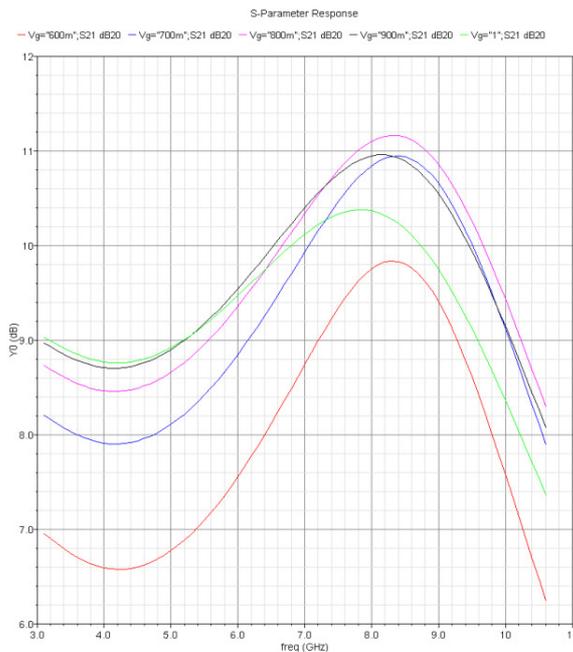


Figura 5.39A Ganancia.

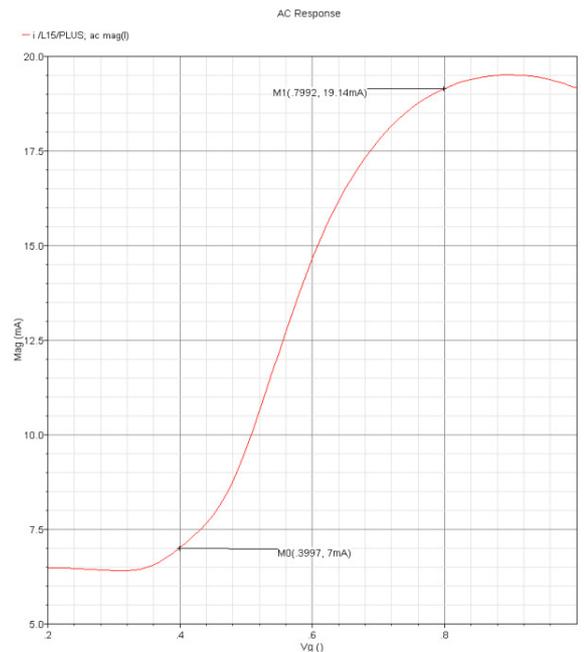


Figura 5.39B I_{Bias1} .

Figura 5.39A-B G y I_{Bias1} para distintos valores de V_{BIAS1} (0.6:0.1:1) V.

En la figura 5.39A observamos que la ganancia aumenta al aumentar V_{BIAS1} permaneciendo estable en un amplio rango de tensiones 0.7-0.9 V, si bien para tensiones superiores a 0.9 V cae drásticamente. Por otro lado, la figura 5.39B nos muestra que aumentar la tensión implica aumentar la corriente que fluye a través de la estructura cascode desde la alimentación hasta tierra, lo cual implica aumentar el consumo del circuito, ecuación 5.1.

La figuras 5.40A y 5.40B muestran respectivamente la figura de ruido del circuito en la banda de UWB y a la frecuencia de 10.6 GHz para distintos valores de V_{BIAS1} .

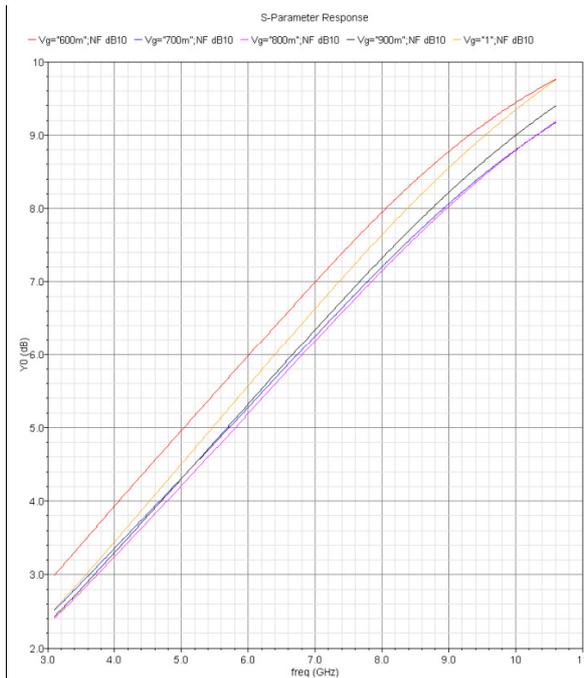


Figura 5.40A Figura de ruido.

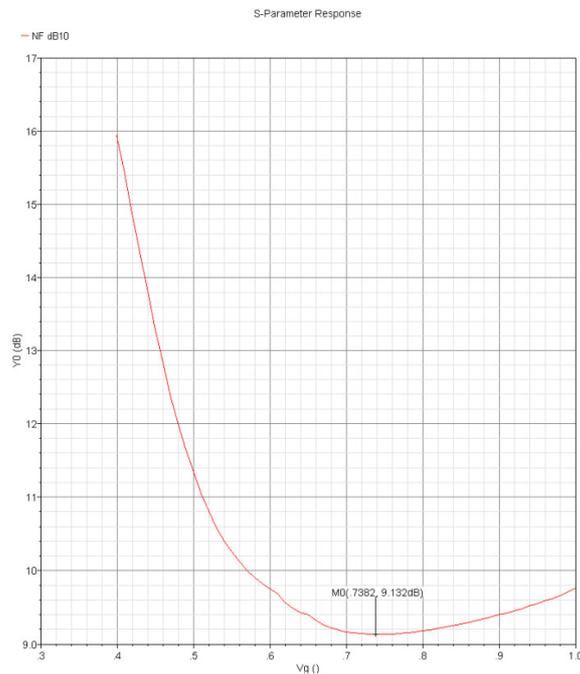


Figura 5.40B Figura de ruido a 10.6 GHz.

Figuras 5.40A-B Figuras de ruido variando V_{BIAS1} (0.3~1) V.

En las figuras anteriores podemos observar que existe un margen de tensiones que nos proporciona una figura de ruido mínima, 0.7-0.8 V.

Finalmente concluimos que el valor de V_{BIAS1} debe estar entre 0.6-0.9 V y que dicho valor debe ser un compromiso entre la ganancia, la adaptación de entrada y de salida, la figura de ruido y el consumo.

- W_{M2}

Las figuras 5.41A, 5.41B y 5.41C muestra respectivamente la adaptación de entrada, la adaptación de salida y la ganancia en potencia del circuito respecto del tamaño del transistor $M2$, W_{M2} .

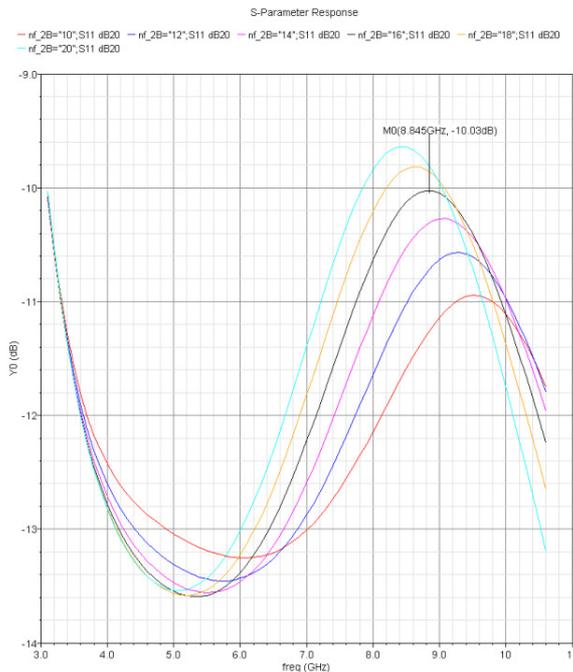


Figura 5.41A Adaptación de entrada.

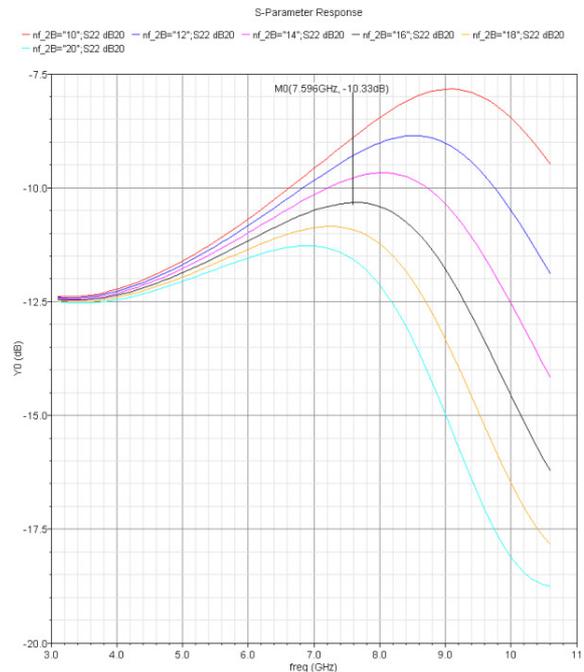
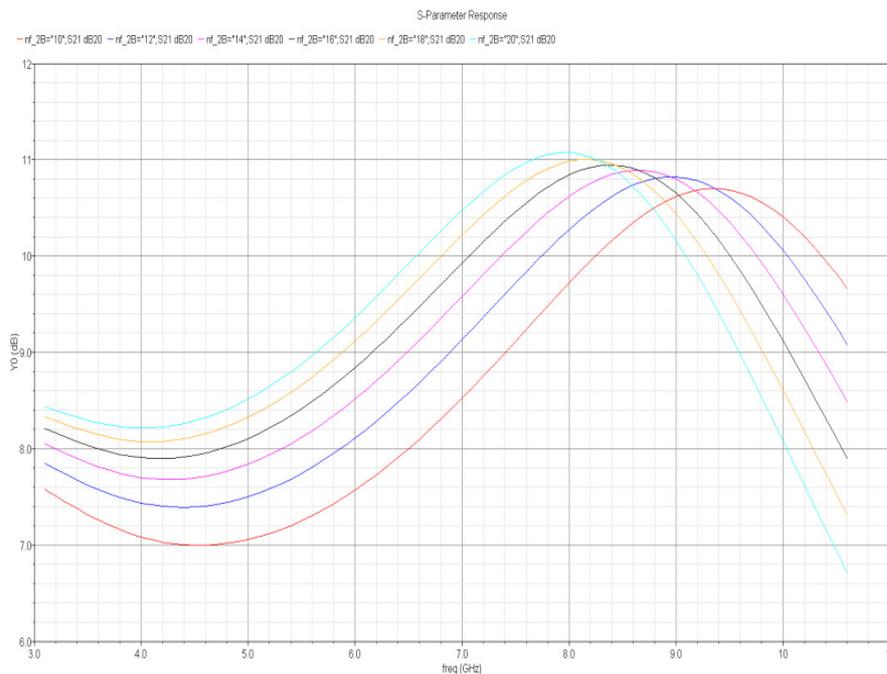


Figura 5.41B Adaptación de salida.



Figuras 5.41C Ganancia.

Figuras 5.41A-C S_{11} , S_{22} y S_{21} para distintos valores de W_{M2} ($W_{M2}(10:2:20) = 50:10:100 \mu\text{m}$).

En la figura 5.41C observamos que al aumentar el tamaño de W_{M2} mejora la ganancia en la parte baja de la banda a costa de empeorarla en la parte alta, y viceversa. En otras palabras se distorsiona

la ganancia, por lo que debe elegirse un valor que nos permita obtener una respuesta equilibrada en los extremos de la banda tratando de optimizar el valor de la ganancia mínima dentro de la banda.

Por otro lado en las figuras 5.41A y 5.41B observamos que reducir el tamaño del transistor mejora la adaptación de entrada a costa de empeorar la de salida, y viceversa.

Las figuras 5.42A y 5.42B muestran respectivamente como varía la figura de ruido del circuito en la banda de *UWB* y a la frecuencia de 10.6 GHz al variar W_{M2} .

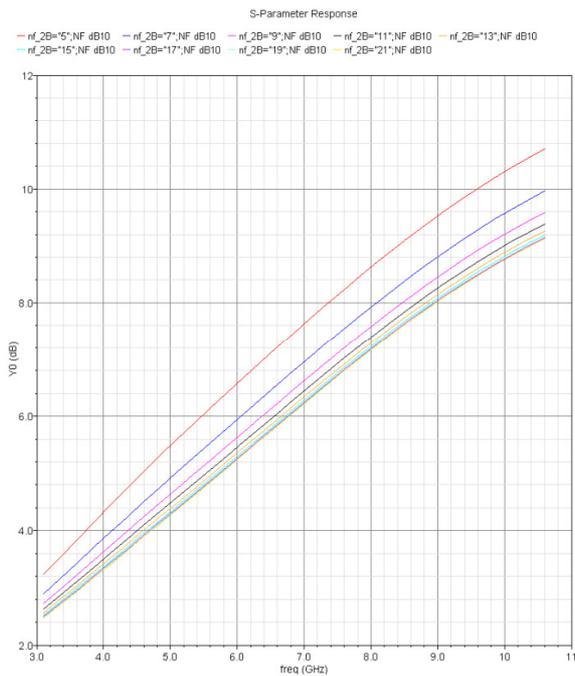


Figura 5.42A Figura de ruido.

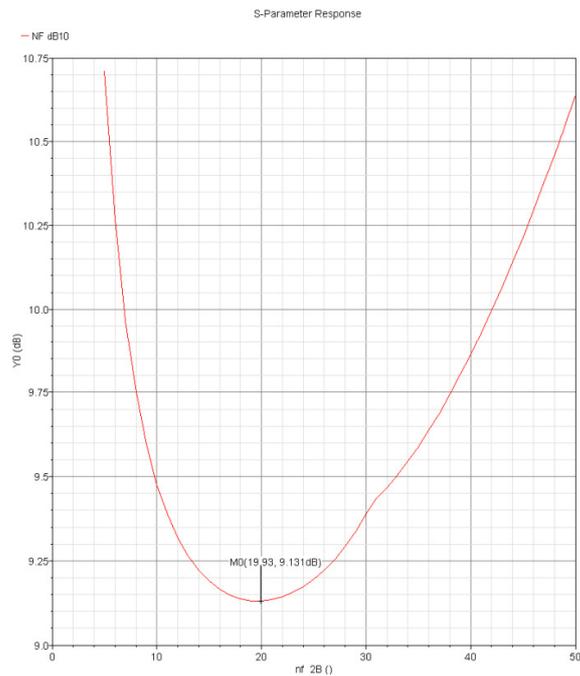


Figura 5.42B Figura de ruido a 10.6 GHz.

Figuras 5.42A-B Figura de ruido para distintos valores de W_{M2} ($nf(5\sim 50) = 25\sim 250 \mu\text{m}$).

En las figuras anteriores observamos que existe un tamaño de transistor para el cual la figura de ruido es mínima.

En base a lo anterior optamos por elegir un valor de W_{M2} pequeño en comparación con W_{M1} que nos asegure la adaptación de entrada y de salida, minimizando de esta forma el ruido del circuito.

- V_{BIAS2}

Las figuras 5.43A y 5.43B muestran la adaptación de entrada y de salida respecto de la tensión aplicada a la puerta del transistor $M2$, V_{BIAS2} .

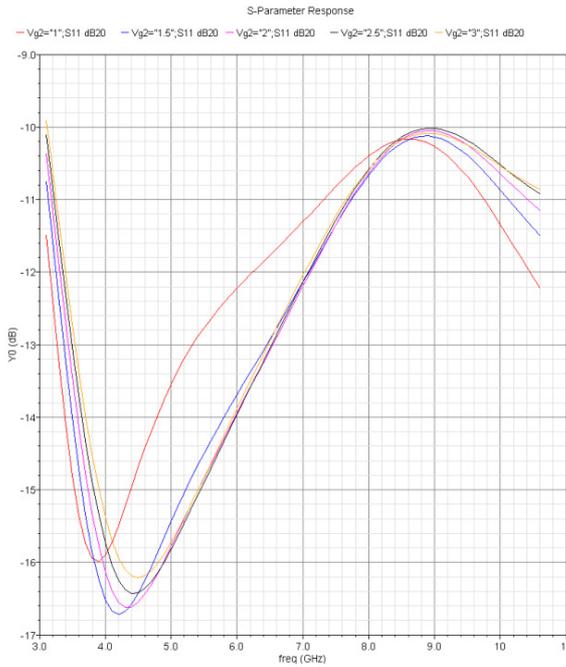


Figura 5.43A Adaptación de entrada.

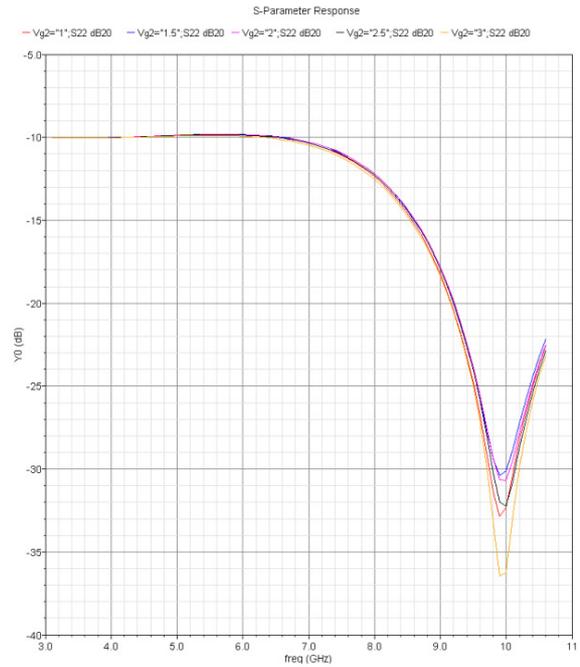


Figura 5.43B Adaptación de salida.

Figura 5.43A-B S11 y S22 V_{BIAS2} (1:0.5:3) V.

En las figuras anteriores observamos que al aumentar la tensión mejora la adaptación de entrada y de salida, si bien estas permanecen más o menos estable para un amplio rango de tensiones, 1.6-3.6 V. Algo similar ocurre con la ganancia. Las figuras 5.44A y 5.44B muestra la ganancia del circuito y la corriente de surtidor del transistor $M2$, I_{BIAS2} , respecto de la tensión aplicada a la puerta del transistor $M2$, V_{BIAS2} .

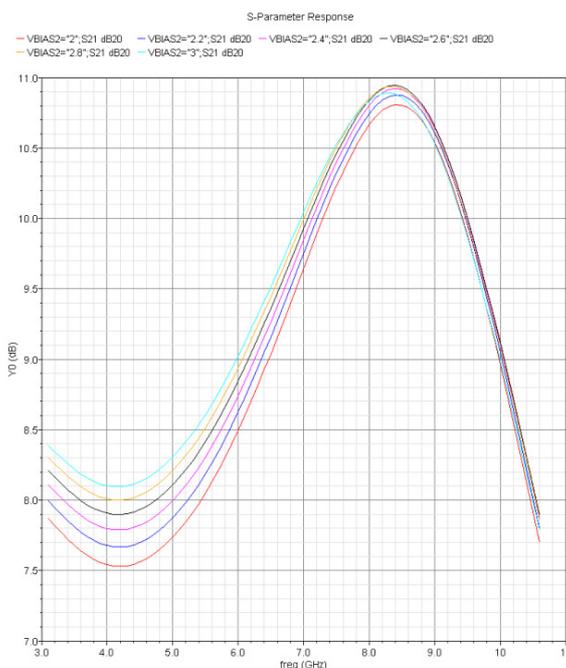


Figura 5.44A Ganancia.

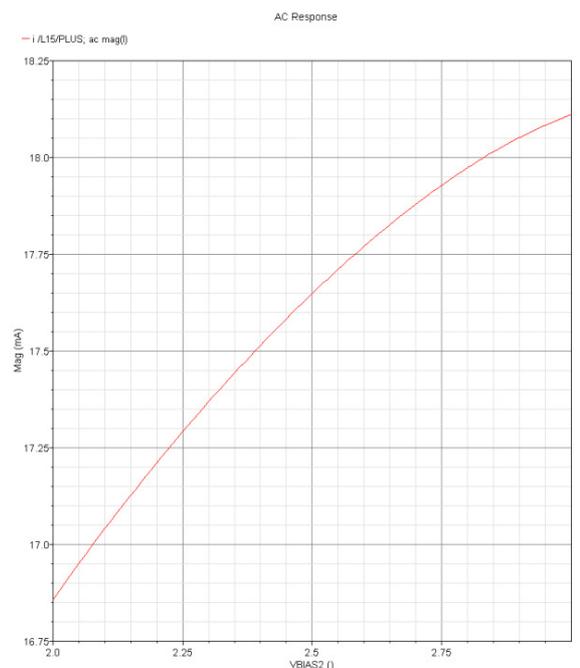


Figura 5.44B I_{BIAS2}

Figura 5.44A-B S21 y I_{BIAS2} para distintos valores de V_{BIAS2} (2~3) V.

En la figura 5.44A observamos que en la parte baja de la banda la ganancia aumenta al aumentar V_{BIAS2} permaneciendo estable a alta frecuencia, pero para valores elevados de tensión el transistor $M2$ entra en corte y la ganancia cae. Existe pues un relativamente amplio rango de tensiones (2-2.85 V) en el que la ganancia permanece estable. Por otro lado, la figura 5.44B nos muestra que aumentar la tensión implica aumentar la corriente que fluye a través de la estructura cascode desde la alimentación hasta tierra, lo cual implica aumentar el consumo del circuito (ecuación (5.1.)).

Las figuras 5.45A y 5.45B muestran respectivamente como varía la figura de ruido del circuito en la banda de UWB y a la frecuencia de 10.6 GHz al variar V_{BIAS2} .

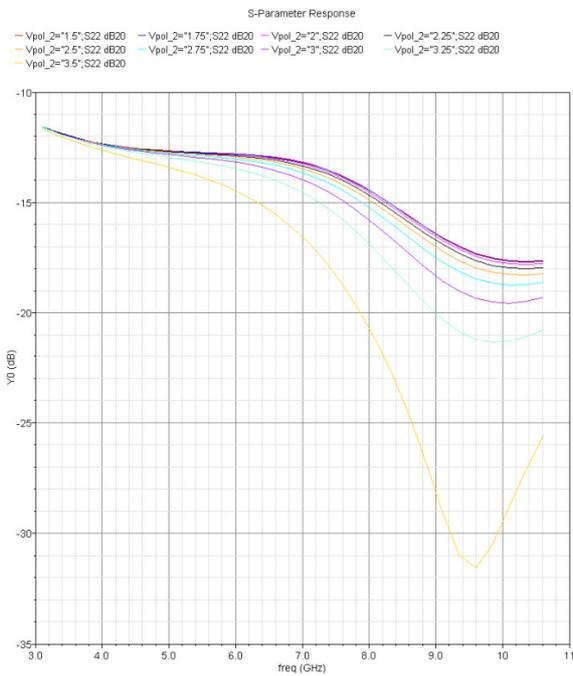


Figura 5.45A Adaptación de entrada.

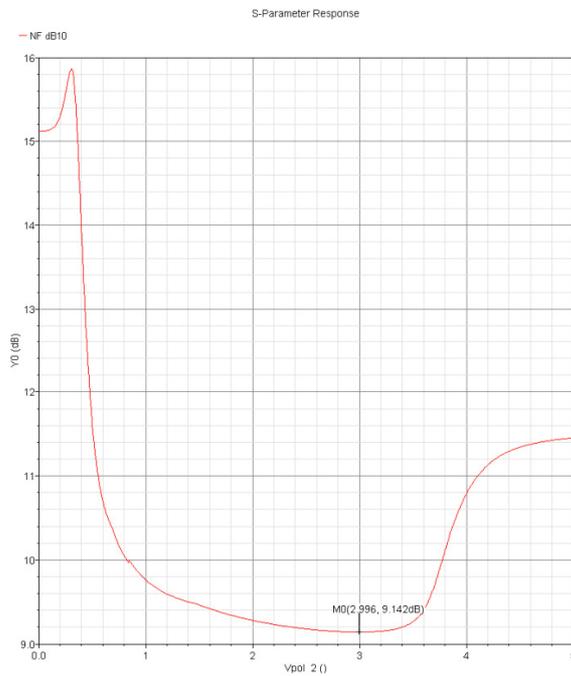


Figura 5.45B Figura de ruido a 10.6 GHz.

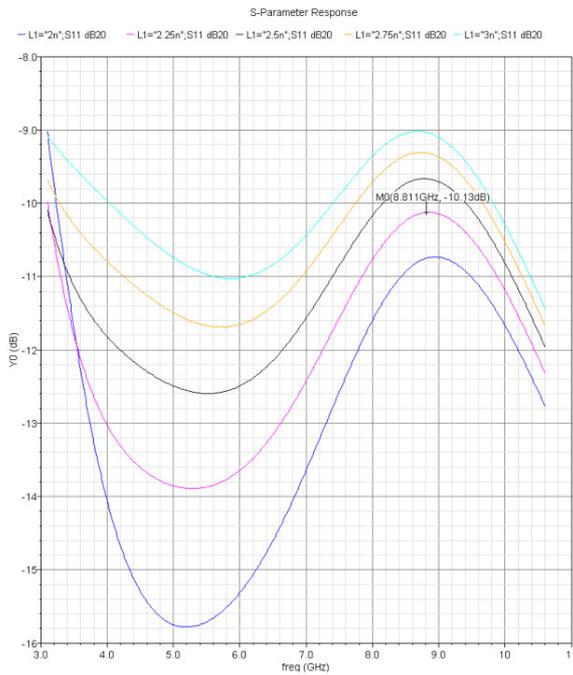
Figuras 5.45A-B S11 y NF a 10.6 GHz para diferentes valores de V_{BIAS2} (0~5) V.

Nuevamente, en las figuras anteriores podemos observar que existe un margen de tensiones que nos proporciona una figura de ruido mínima, 2.35-3.4 V.

Finalmente concluimos que el valor de V_{Bias2} debe estar entre 2.3-2.8 V y que dicho valor debe ser un compromiso entre la ganancia, la adaptación de entra y de salida, la figura de ruido y el consumo.

- L_1

Las figuras 5.46A y 5.46B muestran la adaptación de entrada y la ganancia para distintos valores de L_1 .



Figuras 5.46B Adaptación de entrada.

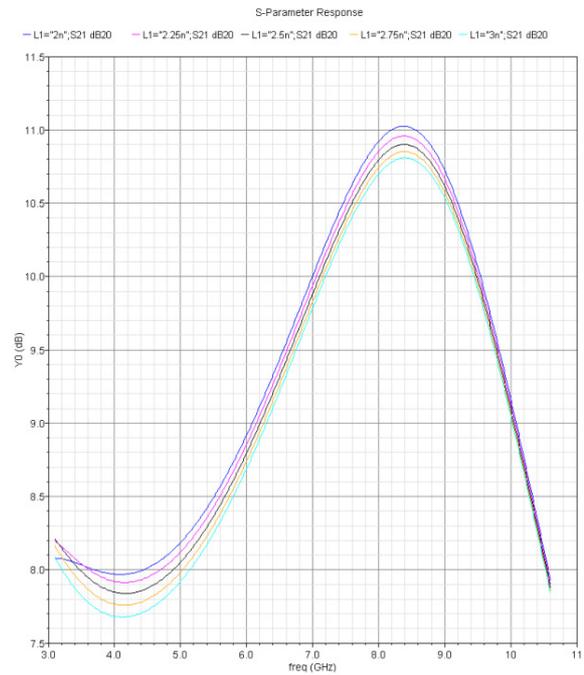


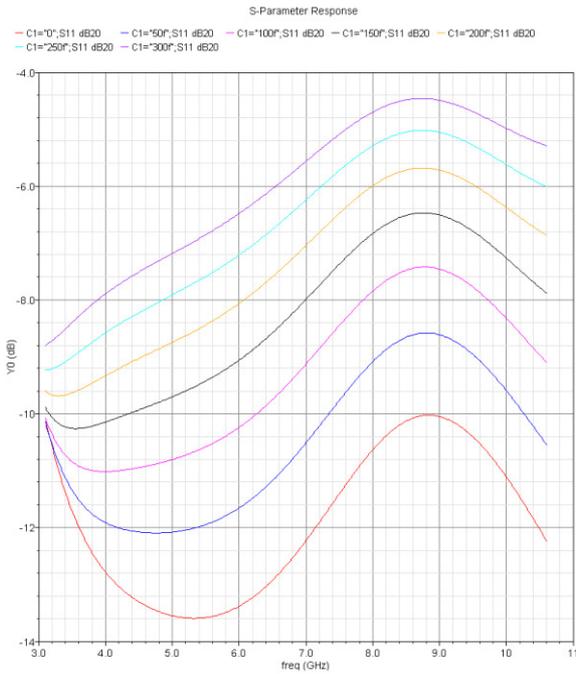
Figura 5.46B Ganancia.

Figuras 5.46A-B S11 y S21 para distintos valores de L_1 (2:0.25:3) nH.

En la figura 5.46A observamos que reduciendo el valor de L_1 , respecto del calculado en el apartado 5.2 ($L_1 = 2.6 \text{ nH}$), mejora la adaptación de entrada. Algo similar ocurre con la ganancia en la parte baja de la banda de ultra *UWB*, tal y como muestra la figura 5.46B. Por tanto, debemos ajustar L_1 para obtener la mejor adaptación de entrada posible y además, tratar de maximizar la ganancia del circuito sin distorsionarla, es decir obtener una respuesta equilibrada que maximice el valor mínimo de ganancia dentro de la banda.

- $C1$

Las figuras 5.47A y 5.47B muestran la adaptación de entrada y la ganancia para distintos valores de C_1 .



Figuras 5.47B Adaptación de entrada.

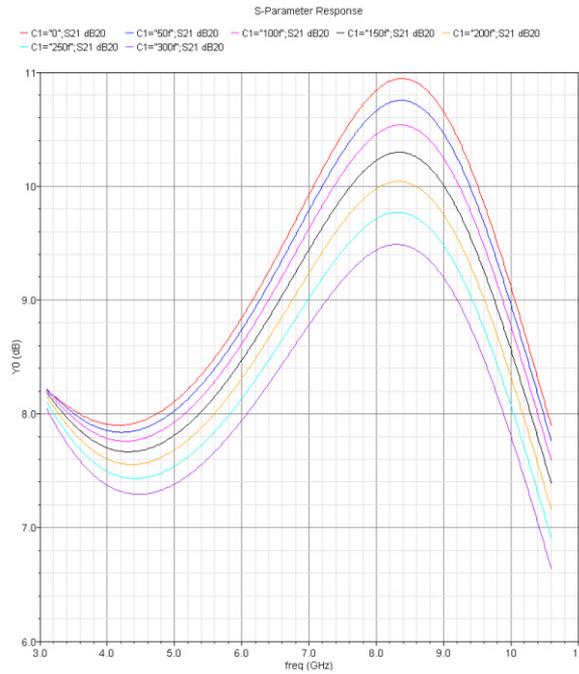


Figura 5.47B Ganancia.

Figuras 5.47A-B S11 y S21 para distintos valores de C_1 (0:50:300) fF.

A la vista de lo mostrado en las figuras anteriores se concluye que el valor del condensador C_1 más óptimo es 0 por lo que dicho componente no se embeberá en el diseño, si bien siguen existiendo capacidades parasitas entre la puerta del transistor $M1$ y tierra.

- C_{AUX} , C_{IN} y L_S

El análisis y los valores de los componentes C_{AUX} , C_{IN} y L_S de la red de adaptación de entrada se pueden extrapolar del estudio realizado en el apartado 5.3, pues tanto en el estudio aislado de la red de entrada como en el estudio del amplificador cascode completo sus comportamientos no cambian significativamente. Por lo que:

- El valor del inductor L_S seleccionado es el mínimo valor que la tecnología UMC 0.18 μm CMOS nos permite implementar, unos 0.565 nH.
- El valor de C_{AUX} es el mínimo valor posible que nos asegure una adaptación de entrada inferior a -10 dB.
- El valor de C_{IN} debe ser un valor pequeño para evitar que parte de la su capacidad se sume a la del condensador C_1 distorsionando la adaptación de entrada en alta frecuencia (W_U), pero lo suficientemente grande como para no introducir un polo que distorsione la adaptación de entrada en baja

frecuencia (W_L).

5.4.3 Ajuste de la red de carga del amplificador cascado

En este apartado se ajustará la red de carga *shunt-peaking*, para ellos se estudiará como afecta cada uno de los componentes al funcionamiento final del circuito y se optimizarán sus valores para conseguir el mejor rendimiento global, si bien como se vio en el apartado 5.3.2 la ganancia del circuito no viene solamente determinada por los valores absolutos de R_L y L_L , sino que se fundamenta en la relación que guarden entre ellos. Por lo tanto, a la hora de elegir los valores de los componentes de la red carga se ha tratado de conseguir una relación entre ellos que nos permita obtener la mayor ganancia posible, con una caída máxima de 3 dB en la banda de interés, para lo cual trataremos de obtener una respuesta cuasi simétrica en la que los valores de la ganancia mínima dentro de la banda se encuentren en los extremos de la misma.

- R_L

En la figura 5.48 se observa como varía la ganancia al variar el valor de R_L .

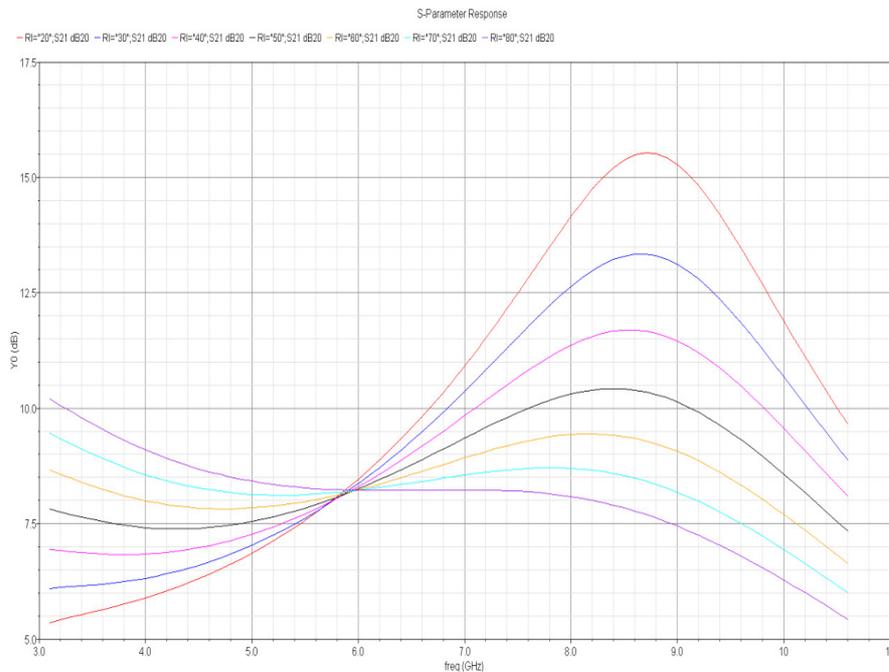


Figura 5.48 Ganancia para distintos valores de $R_L(20:10:80) \Omega$.

En la figura anterior podemos observar que al reducir la resistencia se maximiza el efecto de la inductancia lo que implica reducir la banda que se ve amplificada por la red de carga, y viceversa. Además, algo similar ocurre con las adaptaciones de entrada y de salida, tal y como muestran las figuras 5.49A y 5.49B.

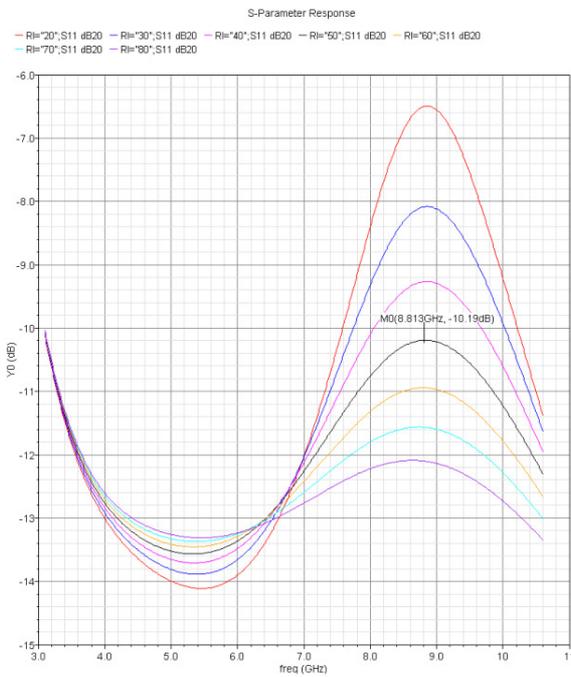


Figura 5.49A Adaptación de entrada.

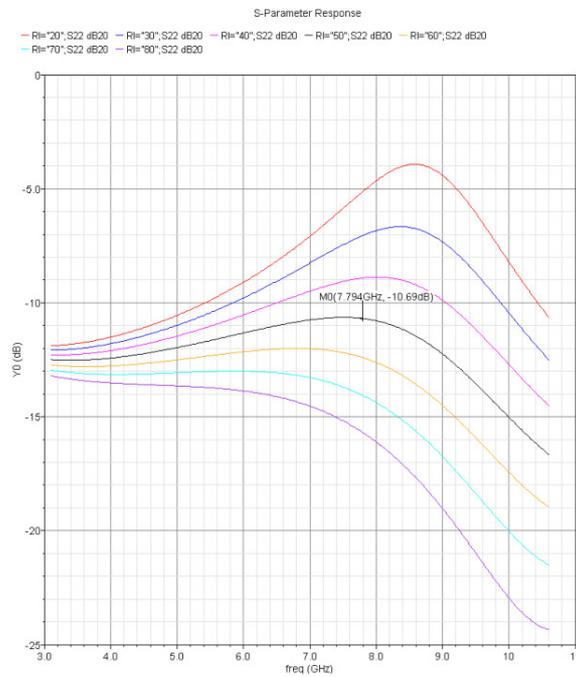


Figura 5.49B Adaptación de salida.

Figuras 5.49A-B S11 y S22 para distintos valores de R_L (20:10:80) Ω .

En las figuras anteriores observamos que cuando no se cumple la relación antes mencionada y el tamaño de L_L se vuelve desproporcionado respecto del tamaño de R_L , la red de carga se vuelve demasiado selectiva empeorando las adaptaciones de entrada y de salida del circuito, especialmente en alta frecuencia.

Las figuras 5.50A y 5.50B muestran respectivamente como varía la figura de ruido del circuito en la banda de UWB y a la frecuencia de 10.6 GHz al variar R_L .

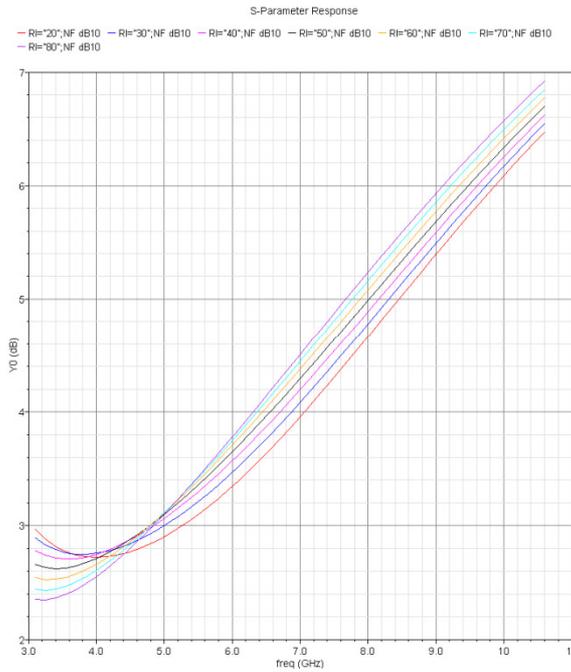


Figura 5.50A Figura de ruido.

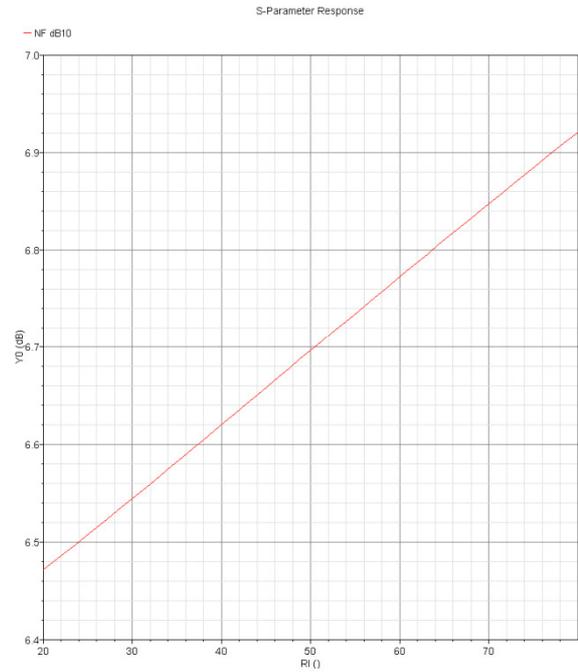


Figura 5.50B Figura de ruido a 10.6 GHz.

Figuras 5.50A-B Figuras de Ruido para diferentes valores de R_L (20~80) Ω .

En las figuras anteriores observamos, tal y como esperábamos, que la figura de ruido aumenta al aumentar R_L .

- L_L

La figura 5.51 muestra como varía la ganancia al variar el valor de L_L .

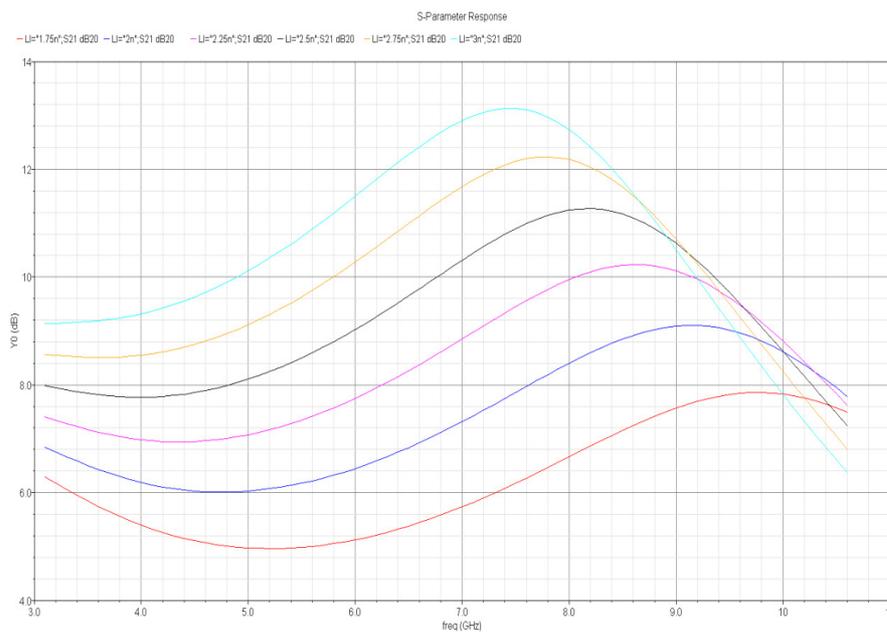


Figura 5.51 Ganancia para distintos valores de L_L (1.75:0.25:3) nH.

En la figura anterior vemos que al variar ligeramente el valor L_L el pico de la ganancia se desplaza, lo cual nos permite obtener una respuesta simétrica en la banda de *UWB* maximizando la ganancia mínima dentro de la banda. Para valores pequeños de la bobina L_L la ganancia se hace más plana y abarca un mayor ancho de banda, si bien el problema es que se consigue muy poca ganancia. Si aumentamos el valor de la bobina L_L aumenta el valor de la ganancia para baja frecuencia pero disminuye considerablemente el ancho de banda. Nuevamente, algo similar ocurre con las adaptaciones de entrada y de salida tal y como muestran las figuras 5.52A y 5.52B.

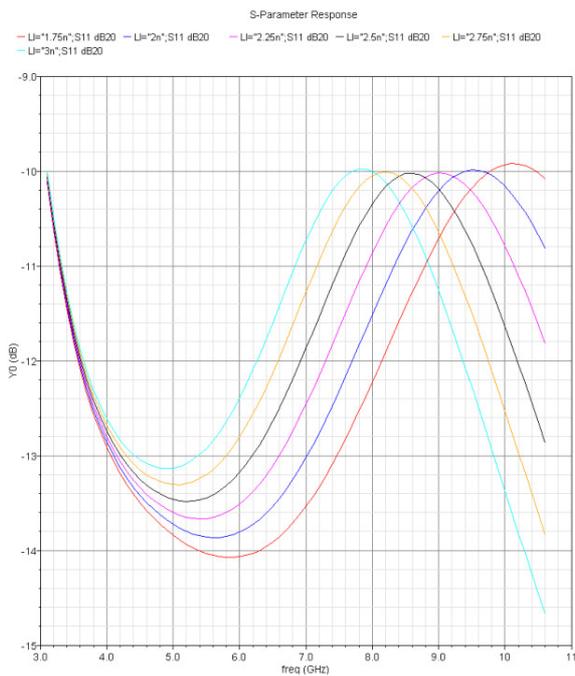


Figura 5.52A Adaptación de entrada.

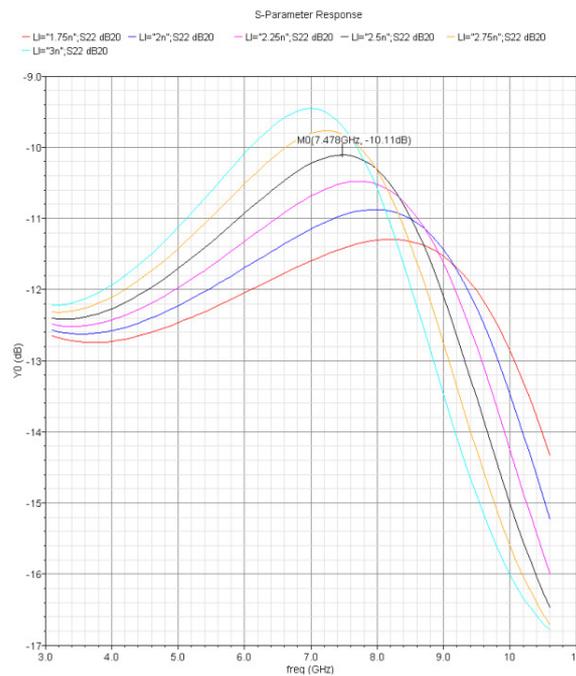


Figura 5.52B Adaptación de salida.

Figuras 5.52A-B S_{11} y S_{22} para distintos valores de L_L (1.75:0.25:3) nH.

En la figura 5.52B se observa que al aumentar el valor de L_L empeora la adaptación de salida. Por otro lado la figura 5.5A nos muestra que la adaptación de entrada se ve afectada al modificar L_L pero su valor máximo no varía significativamente..

Como comentamos en el apartado 5.3.2, debemos configurar adecuadamente la relación entre los valores de L_L y R_L para asegurar que la reactancia de la red de carga se expanda por toda la banda de *UWB*, tratando además de maximizar el valor mínimo de la ganancia con una caída menor a 3 dB dentro de dicha banda.

5.4.4 Resultados del amplificador cascode con componentes ideales

Finalmente una vez realizando el ajuste del amplificador cascode en su conjunto, tratando siempre de obtener una buena relación de compromiso entre la adaptación de entrada y de salida, la figura de ruido, la ganancia y el consumo del circuito, obtenemos la respuesta final del circuito amplificador cascode mostrado en la figura 5.29. Las figuras 5.53A, 5.53B, 5.53C y 5.53D muestran respectivamente la adaptación de entrada, la adaptación de salida, la figura de ruido y la ganancia de nuestro *LNA* tipo cascode de banda ancha sintonizado a la banda de *UWB*, 3.1-10.6 GHz.

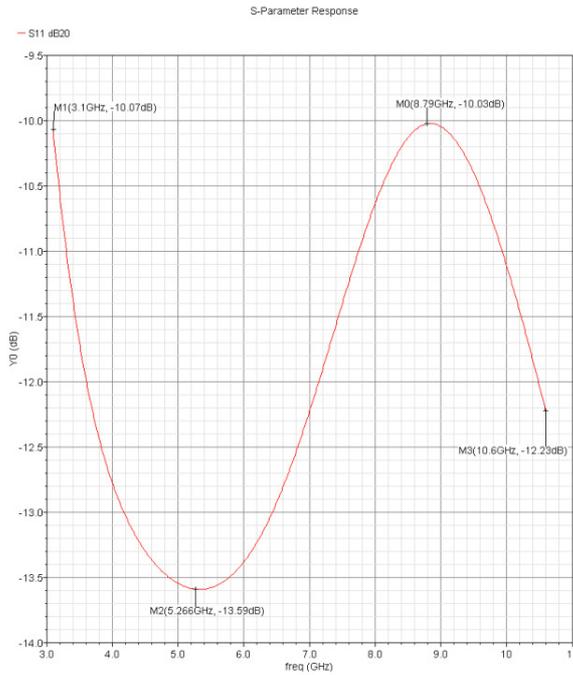


Figura 5.53A Adaptación de entrada.

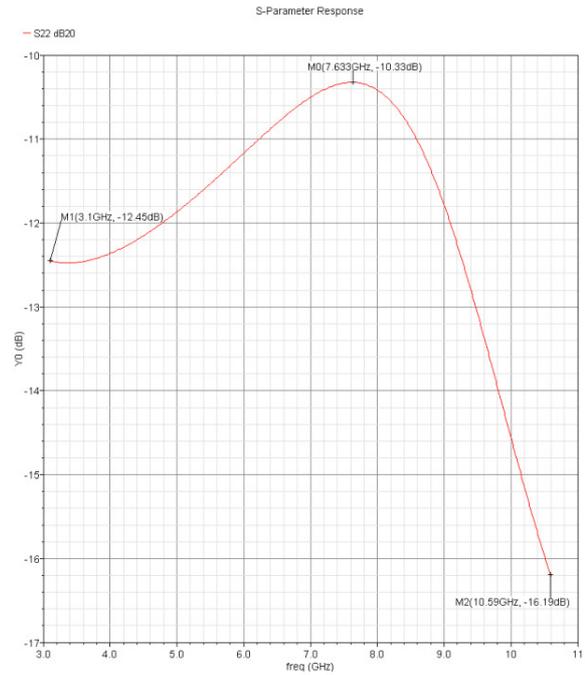


Figura 5.53B Adaptación de salida.

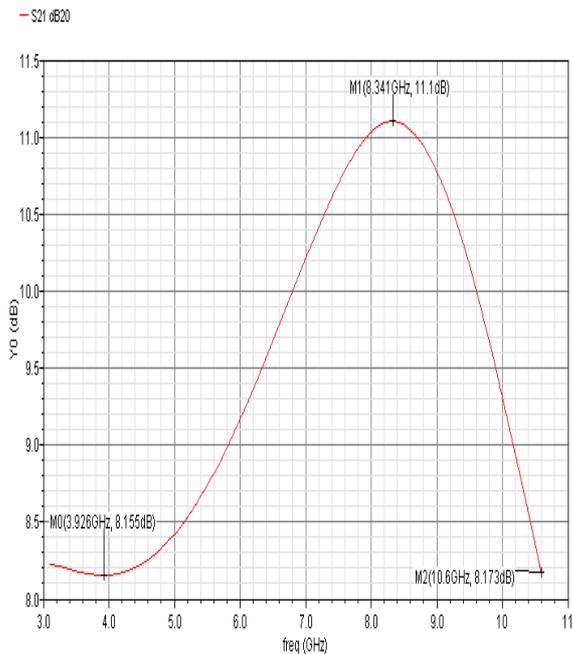


Figura 5.53C Ganancia en tensión.

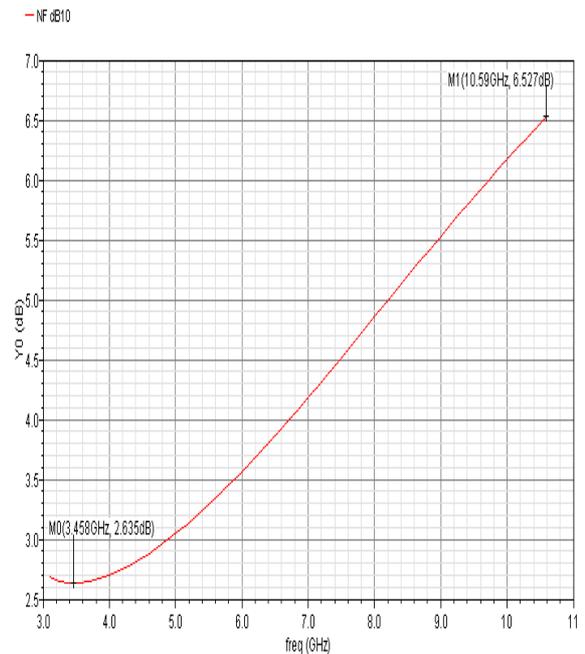


Figura 5.53D Figura de ruido.

Figura 5.53A-D Resultados del amplificador cascode de banda ancha con componentes ideales.

En las figuras anteriores podemos observar que la adaptación de entrada y de salida permanece por debajo de los -10 dB en toda la banda de interés. Por otro lado vemos que la ganancia esta equilibradas en los extremos de la banda, donde presenta un valor mínimo de 8.15 dB manteniendo una caída máxima de 3 dB en la banda. Finalmente el valor máximo de la figura de ruido es de 6.5 dB .

Los valores de los componentes del LNA cascode con componentes ideales se recogen en la tabla 5.4.

Tabla 5.4 Componentes del LNA cascode de banda ancha con componentes ideales

Valores de los componentes del LNA cascode de banda ancha con componentes ideales					
L_1	2.2 nH	C_{IN}	2 pF	C_{Buffer}	3 pF
C_1	0 F	V_{dd}	3.6 V	L_S	0.565 nH
W_{M1}	$180\text{ }\mu m$	W_{M2}	$80\text{ }\mu m$	W_{M3}	$50\text{ }\mu m$
V_{BIAS1}	0.7 V	V_{BIAS2}	2.6 V	V_{BIAS3}	0.5 V
C_{gs-M1}	356.68 pF	C_{gs-M2}	160.26 pF	C_{gs-M3}	71.03 pF
C_{AUX}	457 pF	L_L	2.725 nH	C_{OUT}	3 pF
R_N	$20.9\sim 64.6\text{ }\Omega$	R_L	$59\text{ }\Omega$	I_{Buffer}	11 mA
W_{M4}	$5\text{ }\mu m$	W_{M5}	$50\text{ }\mu m$	R_{REF}	$176\text{ }\Omega$
I_{BIAS1}	8.831 mA	I_{BIAS2}	8.831 mA	$I_{Vdd-gnd}$	19.831 mA

5.5 Bobinas reales

En este apartado presentaremos las características de las bobinas reales que utilizaremos en nuestros diseños. Los valores presentados han sido obtenidos de la documentación asociada al kit de diseño de fabricación [1]. En dicha documentación las características técnicas de las bobinas que vamos a utilizar vienen especificadas en forma de tabla de valores finitos, pues han sido elaboradas simulando y midiendo un conjunto finito de inductores, por lo que los valores de las características de nuestras bobinas que se muestran a continuación son valores aproximados, no exactos.

En la figura 5.54 se muestra el modelo equivalente de la bobina cuando se utiliza en configuración diferencial.

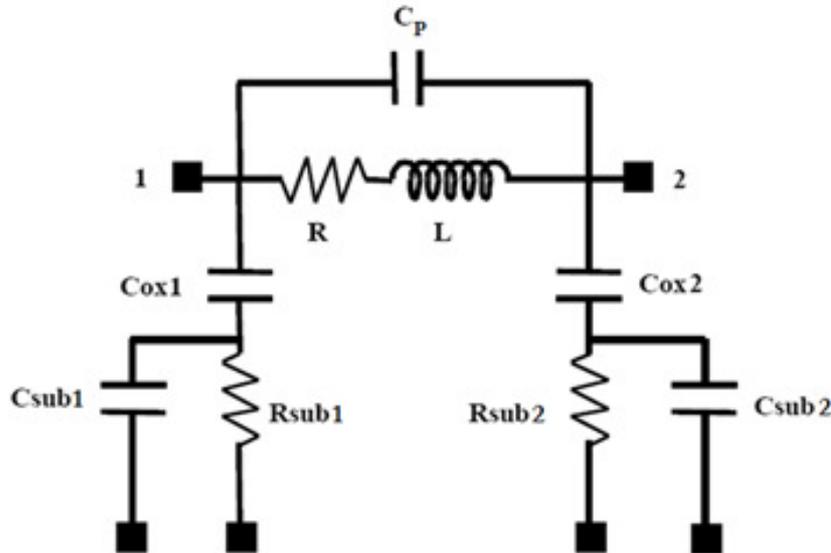


Figura 5.54. Modelo equivalente de la bobina.

Los parámetros mostrados a continuación están basados en los valores de los inductores reales de los *LNAs* que se muestran en las tablas 5.25 y 5.27. A continuación de cada bobina se presenta:

- Dimensiones físicas de la bobina.
 - r : radio externo de la bobina.
 - n : número de vueltas de metal.
 - w : ancho de las pistas de metal.
 - s : separación entre las pistas de metal.
 - L : Valor inductivo.
- El factor de calidad promedio y el máximo, simulado y medido.
- Error *RMS*, medido y simulado de los parámetros S .
- Valores de los elementos del circuito equivalente: C_{ox1} , C_{ox2} , R_{sub1} , R_{sub2} , C_{sub1} y

C_{sub2} .

5.5.1 Bobinas reales del circuito cascodo

El valor inductivo de la bobina L_1 es de aproximadamente 1.752061 *nH*, con un diámetro exterior de 141.74 μm y un total de 2.5 vueltas. El ancho de las pistas es de 6 μm y una separación entre pistas de 2 μm .

Tabla 5.5 Valores aproximados del factor de calidad de la bobina L_1

Simulación			Medidas		
Q (2.4 GHz)	Q (5 GHz)	Q _{máx}	Q (2.4 GHz)	Q (5 GHz)	Q _{máx}
8.715	8.995	9.764	8.432	9.243	9.644

Tabla 5.6 Valores aproximados del error RMS de parámetros S de la bobina L_1

RMS_S11 (%)	RMS_S12 (%)	RMS_S21 (%)	RMS_S22 (%)
4.73	1.75	1.78	4.96

Tabla 5.7 Valores del circuito equivalente de la bobina L_1

L (nH)	R (Ω)	C _p (f)	C _{ox} (f)	C _{sub1} (f)	C _{sub2} (f)	R _{sub1} (Ω)	R _{sub2} (Ω)
1,752	8,5252	2,8944	57,3653	69,4326	51,25128	667,3372	834,9734

El valor inductivo de la bobina L_L es de aproximadamente 1.864898 nH, con un diámetro exterior de 148.72 μm y un total de 2.5 vueltas. El ancho de las pistas es de 20 μm y una separación entre pistas de 2 μm .

Tabla 5.8 Valores aproximados del factor de calidad de la bobina L_L

Simulación			Medidas		
Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)
8.268	10.132	8.268	10.132	8.268	10.132

Tabla 5.9 Valores aproximados del error RMS de parámetros S de la bobina L_L

RMS_S11 (%)	RMS_S12 (%)	RMS_S21 (%)	RMS_S22 (%)
8.1	2.635	2.615	8.3

Tabla 5.10 Valores del circuito equivalente de la bobina L_L

L (nH)	R (Ω)	C _p (f)	C _{ox} (f)	C _{sub1} (f)	C _{sub2} (f)	R _{sub1} (Ω)	R _{sub2} (Ω)
1,86489	8,766739	2,8944	59,432	72,1292	53,2417	662,202	829,1796

El valor inductivo de la bobina L_S es de aproximadamente 0.567 nH, con un diámetro exterior de 585.8236 μm y un total de 1.5 vueltas. El ancho de las pistas es de 20 μm y una separación entre pistas de 2 μm .

Tabla 5.11 Valores del circuito equivalente de la bobina L_S

L (nH)	R (Ω)	C_p (f)	C_{ox} (f)	C_{sub1} (f)	C_{sub2} (f)	R_{sub1} (Ω)	R_{sub2} (Ω)
1,86489	8,766739	2,8944	59,432	72,1292	53,2417	662,202	829,1796

Como comentamos en el apartado 4.3.3, el rango efectivo de valores para los inductores $L_{SLCR20K_RF}$ es de 1-12 nH por lo que L_S queda fuera de ese rango y la documentación asociada a la tecnología no facilita información relativa al factor de calidad de los inductores ni al error de los mismos cuando su valor inductivo es menor a 1 nH.

5.5.2 Bobinas reales del circuito cascodo doblado

El valor inductivo de la bobina L_1 es de aproximadamente 1.920092 nH, con un diámetro exterior de 151.64 μm y un total de 2.5 vueltas. El ancho de las pistas es de 6 μm y una separación entre pistas de 2 μm .

Tabla 5.12 Valores aproximados del factor de calidad de la bobina L_1

Simulación			Medidas		
Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)
8.715	8.995	8.715	8.995	8.715	8.995

Tabla 5.13 Valores aproximados del error RMS de parámetros S de la bobina L_1

RMS_S11 (%)	RMS_S12 (%)	RMS_S21 (%)	RMS_S22 (%)
4.73	1.75	1.78	4.96

Tabla 5.14 Valores del circuito equivalente de la bobina L_1

L (nH)	R (Ω)	C_p (f)	C_{ox} (f)	C_{sub1} (f)	C_{sub2} (f)	R_{sub1} (Ω)	R_{sub2} (Ω)
1.920	8,8935	2,8944	60,5182	73,5454	54,287	659,657	826,3071

El valor inductivo de la bobina L_L es de aproximadamente 2.170074 nH, con un diámetro exterior de 167.28 μm y un total de 2.5 vueltas. El ancho de las pistas es de 6 μm y una separación entre pistas de 2 μm .

Tabla 5.15 Valores aproximados del factor de calidad de la bobina L_L

Simulación			Medidas		
Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)
7.914	10.264	7.914	10.264	7.914	10.264

Tabla 5.16 Valores aproximados del error RMS de parámetros S de la bobina L_L

RMS_S11 (%)	RMS_S12 (%)	RMS_S21 (%)	RMS_S22 (%)
7.141	1.61	1.61	7.328

Tabla 5.17 Valores del circuito equivalente de la bobina L_L

L (nH)	R (Ω)	C_p (f)	C_{ox} (f)	C_{sub1} (f)	C_{sub2} (f)	R_{sub1} (Ω)	R_{sub2} (Ω)
2.17007	9,45473	2,894	65,32201	79,8116	58,9124	649,4773	814,8201

La bobina L_{T1} es de aproximadamente 3.49947 nH, con un diámetro exterior de 146.94 μm y un total de 3.5 vueltas. El ancho de las pistas es de 6 μm y una separación entre pistas de 2 μm .

Tabla 5.18 Valores aproximados del factor de calidad de la bobina L_{T1}

Simulación			Medidas		
Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)
9.177	7.359	9.177	7.359	9.177	7.359

Tabla 5.19 Valores aproximados del error RMS de parámetros S de la bobina L_{T1}

RMS_S11 (%)	RMS_S12 (%)	RMS_S21 (%)	RMS_S22 (%)
5.81	4.25	4.23	6.3

Tabla 5.20 Valores del circuito equivalente de la bobina L_{T1}

L (nH)	R (Ω)	C_p (f)	C_{ox} (f)	C_{sub1} (f)	C_{sub2} (f)	R_{sub1} (Ω)	R_{sub2} (Ω)
3,4994	11,19725	4,3416	84,2341	85,666	60,686	625,574	787,847

La bobina L_{T2} es de aproximadamente 2.499838 nH, con un diámetro exterior de 186.88 μm y un total de 2.5 vueltas. El ancho de las pistas es de 6 μm y una separación entre pistas de 2 μm .

Tabla 5.21 Valores aproximados del factor de calidad de la bobina L_{T2}

Simulación			Medidas		
Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)	Q (2.4 GHz)	Q (5 GHz)
8.715	8.995	8.715	8.995	8.715	8.995

Tabla 5.22 Valores aproximados del error RMS de parámetros S de la bobina L_{T2}

RMS_S11 (%)	RMS_S12 (%)	RMS_S21 (%)	RMS_S22 (%)
4.73	1.75	1.78	4.96

Tabla 5.23 Valores del circuito equivalente de la bobina L_{T2}

L (nH)	R (Ω)	C_p (f)	C_{ox} (f)	C_{sub1} (f)	C_{sub2} (f)	R_{sub1} (Ω)	R_{sub2} (Ω)
1.920	8,8935	2,8944	60,5182	73,5454	54,287	659,657	826,3071

Para obtener la bobina de degeneración inductiva L_s en el amplificador cascode doblado se utiliza exactamente la misma técnica que la utilizada en el amplificador cascode, por lo que las características de este son las mismas que las del inductor L_s del amplificador cascode.

5.6 Diseños a nivel de esquemáticos finales

En este apartado se mostrarán los resultados obtenidos al sustituir los componentes ideales del LNA cascode por componentes reales. En todas las simulaciones se siguió el proceso descrito en los apartados anteriores, con la diferencia de que ahora se incluyen todos los componentes reales (condensadores, bobinas, resistencias y *pads*). Después se procederá a doblar el LNA cascode con componentes reales, para lo cual es necesario realizar un análisis de los componentes particulares del mismo y posteriormente reajustar el diseño completo. Las modificaciones o reajuste de los valores de los componentes, requeridas para reconfigurar ambos $LNAs$, han sido planteadas a fin de cumplir con la filosofía de diseño analizada en el apartado 5.1.

5.6.1 Amplificador Cascode con componentes reales

Una vez realizado el ajuste de los diferentes componentes obtenemos la respuesta final del circuito amplificador cascode de banda ancha con componentes reales sintonizado a la banda de UWB ,

3.1-10.6 GHz. Las figuras 5.55A, 5.55B, 5.55C y 5.55D muestran respectivamente la adaptación de entrada, la adaptación de salida, la figura de ruido y la ganancia de nuestro LNA tipo cascode de banda ancha sintonizado a la banda de UWB, 3.1-10.6 GHz.

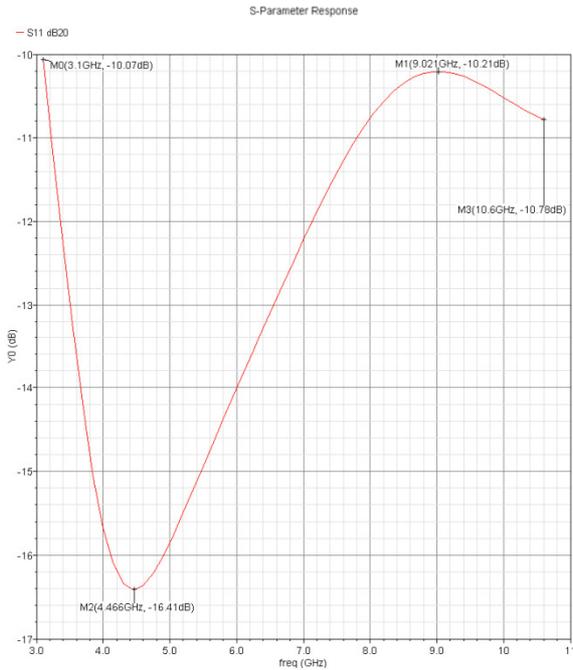


Figura 5.55A Adaptación de entrada.

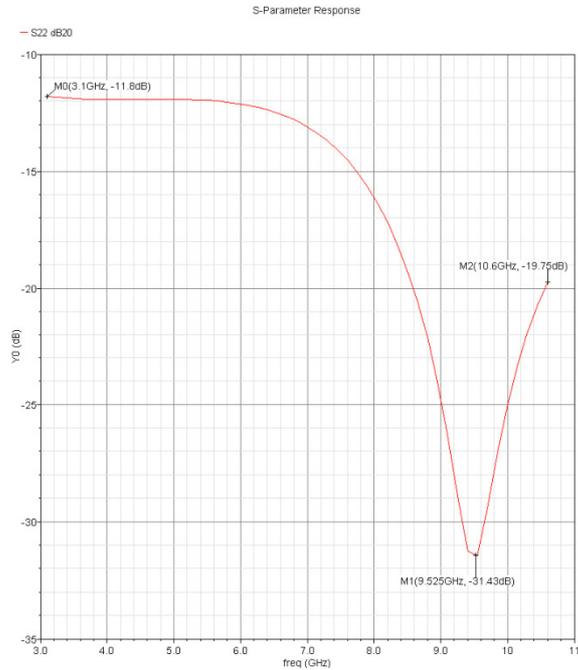


Figura 5.55B Adaptación de salida.

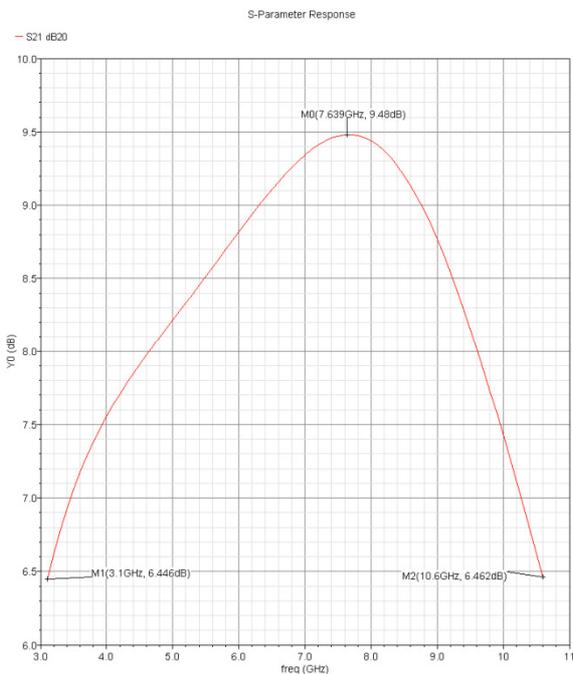


Figura 5.55C Ganancia.

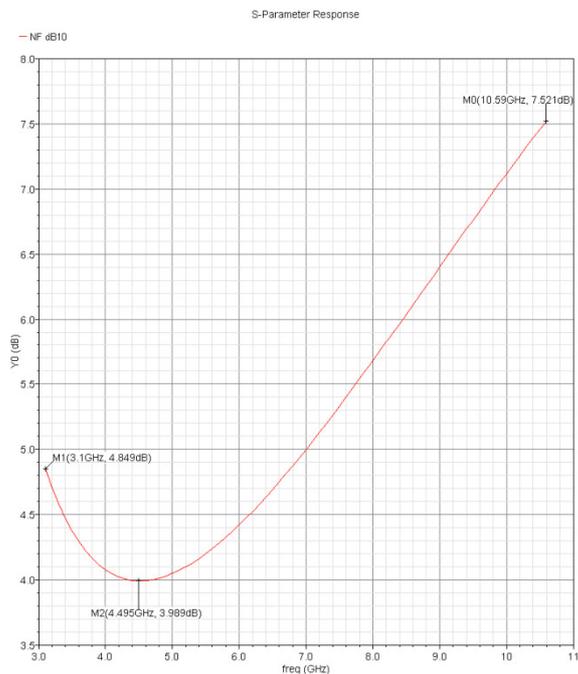


Figura 5.55D Figura de ruido.

Figura 5.55A-D Resultados del amplificador cascode de banda ancha con componentes reales.

5.6.1.1 IIP3 del amplificador cascode con componentes reales

Para asegurar la linealidad del *LNA* cascado es necesario medir el *IIP3* y el *OIP3* en el centro y en los extremos de la banda. En general cuanto mayor sea el *IP3* más lineal será nuestro circuito.

En nuestro caso, como se momento en el capítulo 2, el cálculo del *IIP3* se ha obtenido a través del cálculo del punto de compresión a 1 *dB* (P_{1dB}). Para ello se ha introducido a la entrada del circuito un tono en frecuencia en la que se pretende medir el *IIP3* y se ha variando la potencia de dicho tono de -70 a 10 *dBm*. En la figura 5.55 se muestran los P_{1dB} en el centro y en los extremos de la banda de *UWB*.

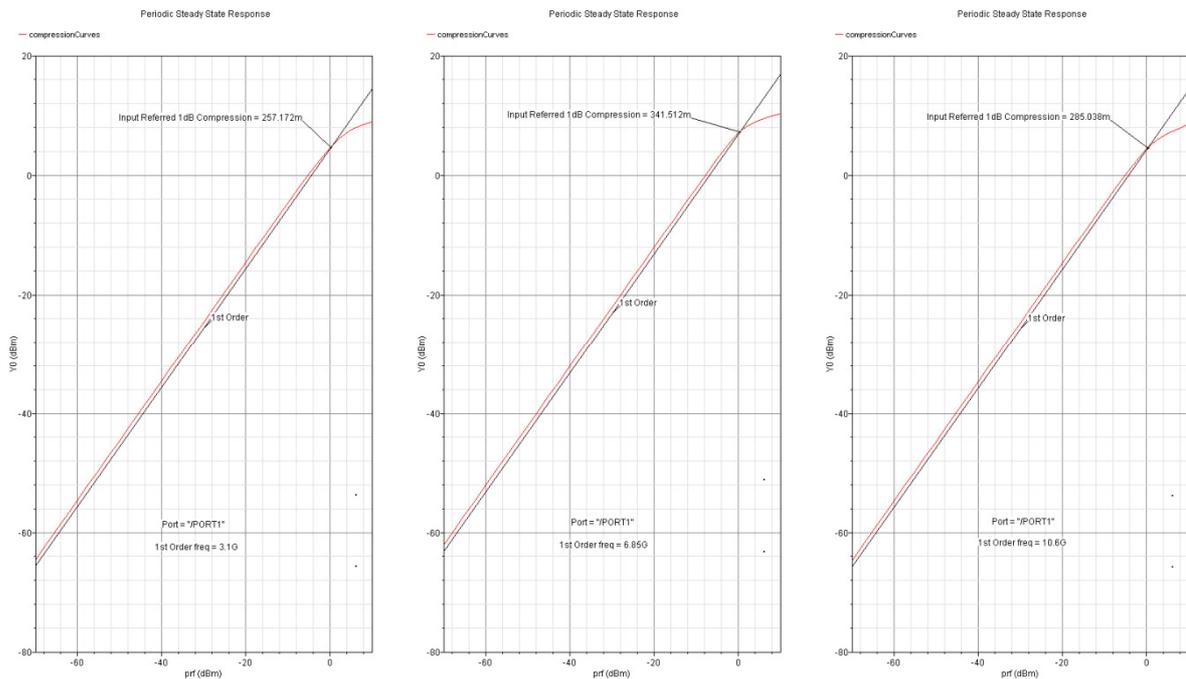


Figura 5.56 Medida del P_{1dB} en el centro y en los extremos de la banda.

El *IIP3* se relaciona con el P_{1dB} a través de la ecuación (5.4), [5]:

$$P_{1dB} - IIP3 = -9.6 \text{ dB} \tag{5.4}$$

Despejando obtenemos que el *IIP3* es igual a la potencia a la cual la ganancia cae 1 *dB* más 9.6 *dB*. El *OIP3* los calculamos a partir del *IIP3*, sabiendo que el *OIP3* es igual al *IIP3* más la ganancia.

En la tabla 5.24 se muestran los resultados obtenidos.

Tabla 5.24 Valores del OIP3, IIP3, y Ganancia del LNA cascode

	3.1 GHz	6.85 GHz	10.6 GHz
IIP3 (dBm)	9,857172	9,941512	9,885038
Ganancia (dB)	6.446	9.26	6.462
OIP3 (dBm)	16,303172	19,201512	16,347038

En la tabla 5.25 se muestra un resumen de los valores de los componentes, las tensiones de alimentación y polarización, las corrientes y el consumo del LNA cascode.

Tabla 5.25 Valores de los componentes de circuito LNA cascode

Valores de los componentes del LNA cascode de banda ancha con componentes reales					
Parámetro	Valor de Simulación	Parámetro	Valor de Simulación	Parámetro	Valor de Simulación
L_1	1.752061 nH	C_{IN}	2.050256 pF	C_{Buffer}	2.97973 pF
C_1	0 F	V_{dd}	3.6 V	L_S	565.946 pH
W_{M1}	170 μm	W_{M2}	80 μm	W_{M3}	60 μm
V_{BIAS1}	0.8 V	V_{BIAS2}	2.6 V	V_{BIAS3}	0.6 V
C_{gs-M1}	356.68 fF	C_{gs-M2}	160.26 fF	C_{gs-M3}	83.6 fF
C_{AUX}	485.41 pF	L_L	1.864898 nH	C_{OUT}	4.921 pF
R_N	25.3~76.7 Ω	R_L	62 Ω	I_{Buffer}	16 mA
W_{M4}	5 μm	W_{M5}	42 μm	R_{REF}	1050 Ω
I_{BIAS1}	9.06 mA	I_{BIAS2}	9.06 mA	$I_{Vdd-gnd}$	25.06 mA

Los consumos de potencia del amplificador cascode y del *buffer* de salida son:

$$P_{LNA \text{ Cascode}} = I_{BIAS1,2} \cdot V_{dd} = 32.616 \text{ mW} \quad (5.5)$$

$$P_{Buffer} = I_{BIAS3} \cdot V_{dd} = 57.6 \text{ mW} \quad (5.6)$$

5.6.2 Amplificador cascode doblado con componentes reales

La figura 5.57 muestra el esquemático del amplificador cascode doblado de banda ancha con componentes reales.

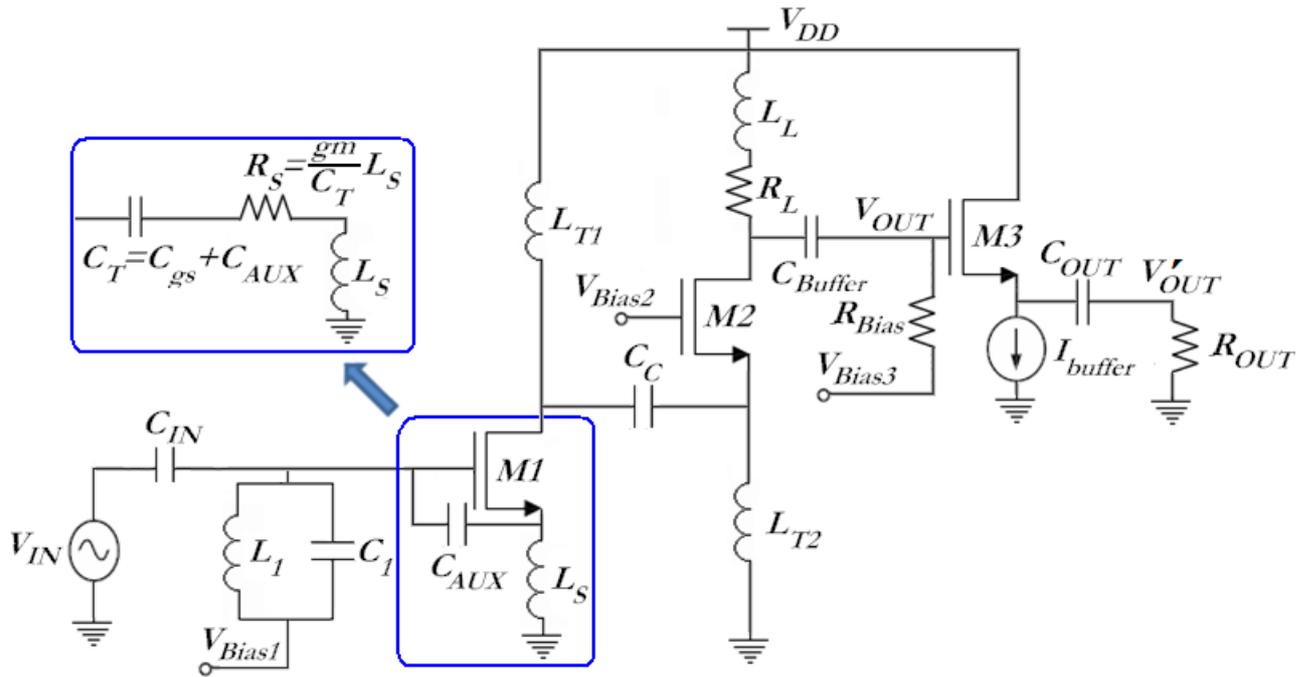


Figura 5.57 Circuito amplificador cascode doblado de banda ancha con componentes reales.

A fin de asegurar que el circuito mostrado en la figura 5.57 actúa como un amplificador cascode, se debe asegurar que la señal disponible en el colector del transistor $M1$ se canaliza mayoritaria y homogéneamente en toda la banda de UWB hacia el surtidor del transistor $M2$, para lo cual debemos ajustar los circuitos resonantes de banda ancha, L_{T1} y L_{T2} , y el condensador de acoplo C_C . Debemos tener en cuenta, tal y como se vio en el apartado 3.3.2, que la impedancia asociada a L_{T1} debe ser mayor que la asociada a L_{T2} y esta a su vez debe ser mayor que la impedancia vista hacia el surtidor de $M2$, por lo que siempre debemos asegurara que $L_{T1} > L_{T2}$.

- L_{T1}

Las figuras 5.58A, 5.58B y 5.58C muestran la adaptación de entrada, la adaptación de salida y la ganancia para diferentes valores de L_{T1} ,

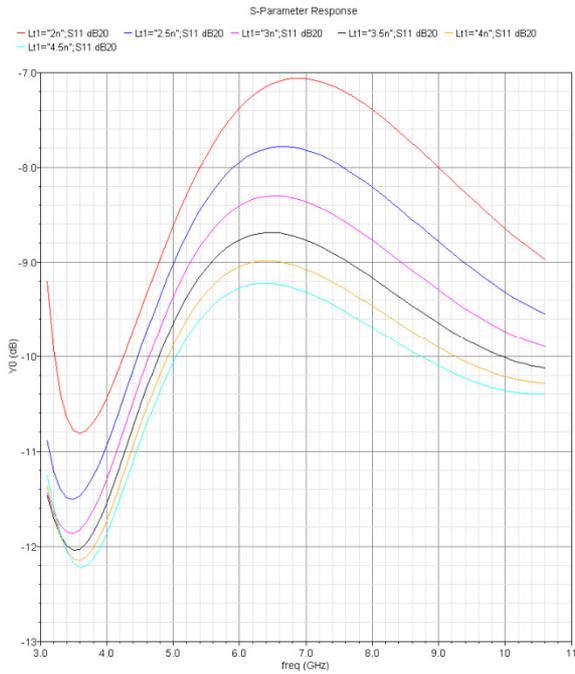


Figura 5.58A Adaptación de entrada.

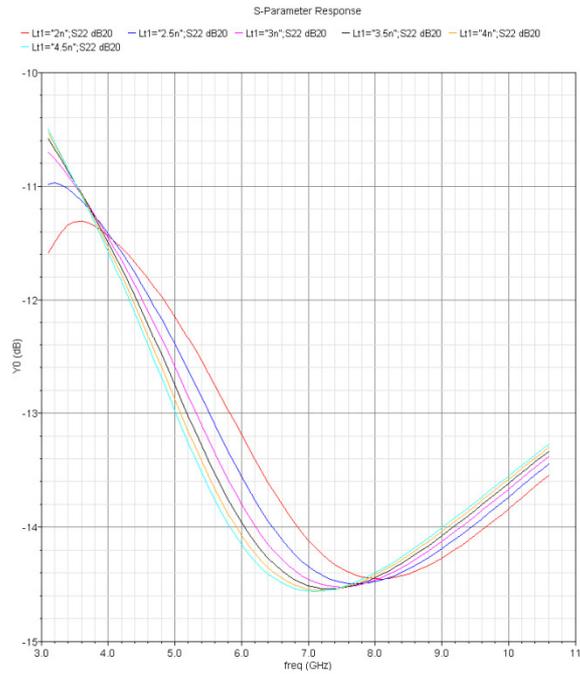
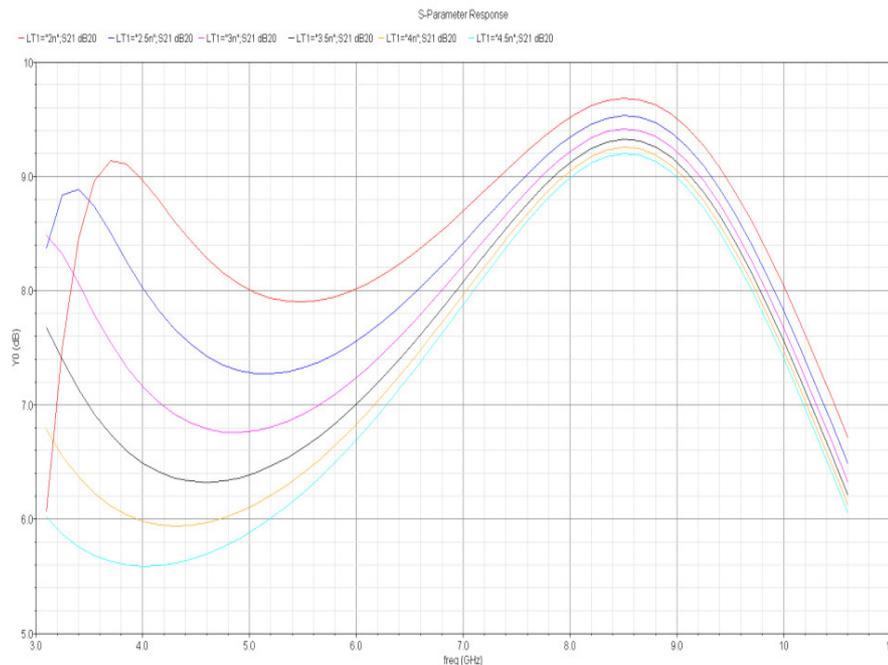


Figura 5.58B Adaptación de salida.



Figuras 5.58C Ganancia.

Figuras 5.58A-C S11, S22 y S21 para distintos valores de L_{T1} (2:0.5:4.5) nH.

En las figuras 5.58B y 5.58C podemos observar que al reducirse el valor de la adaptación de salida y especialmente la ganancia mejoran, sin embargo tal y como muestra la figura 5.58A se desajusta la adaptación de entrada.

En las figuras 5.59A y 5.59B muestran respectivamente como varía la figura de ruido del circuito en la banda de *UWB* y a la frecuencia de 10.6 GHz, al variar L_{T1} .

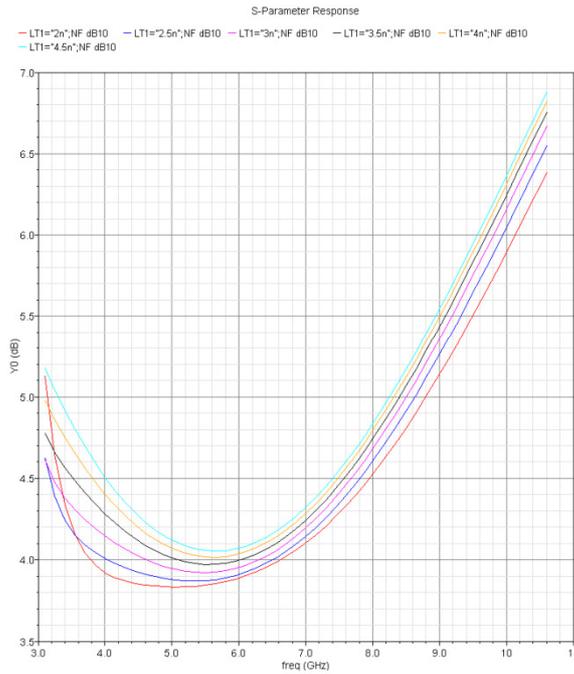


Figura 5.59A Figura de ruido.

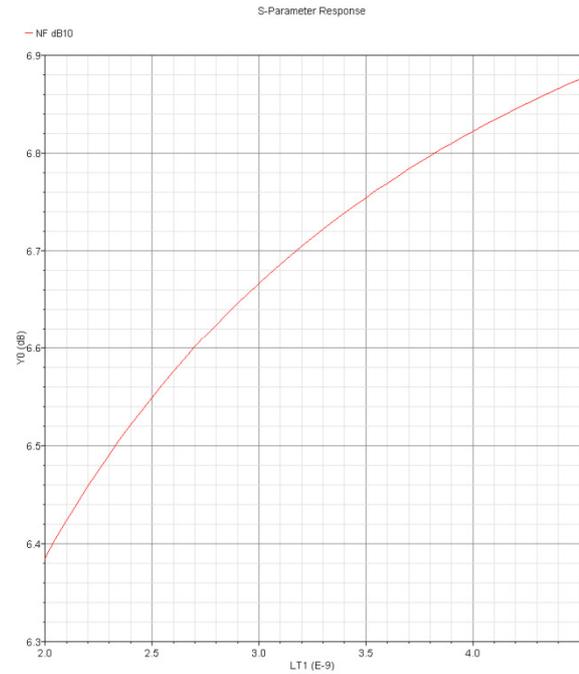


Figura 5.59B Figura de ruido a 10.6 GHz.

Figuras 5.59A-B Figuras de ruido variando L_{T1} (2:0.5:4.5) nH.

En las figuras anteriores podemos observar que el ruido en alta frecuencia aumenta al aumentar el valor de L_{T1} . Finalmente seleccionaremos un valor L_{T1} , acorde con el valor L_{T2} , que nos permita obtener simultáneamente una buena adaptación de entrada y una ganancia equilibrada.

- L_{T2}

Las figuras 5.60A, 5.60B y 5.60C muestran la adaptación de entrada, la adaptación de salida y la ganancia para diferentes valores de L_{T2} .

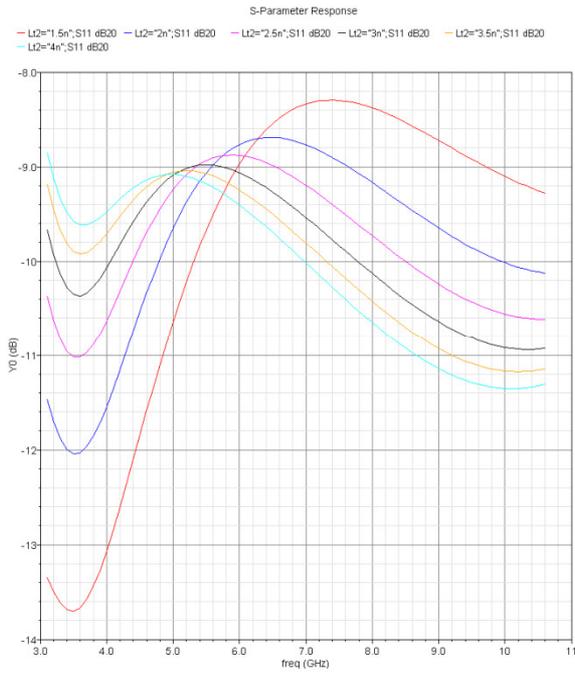


Figura 5.60A Adaptación de entrada.

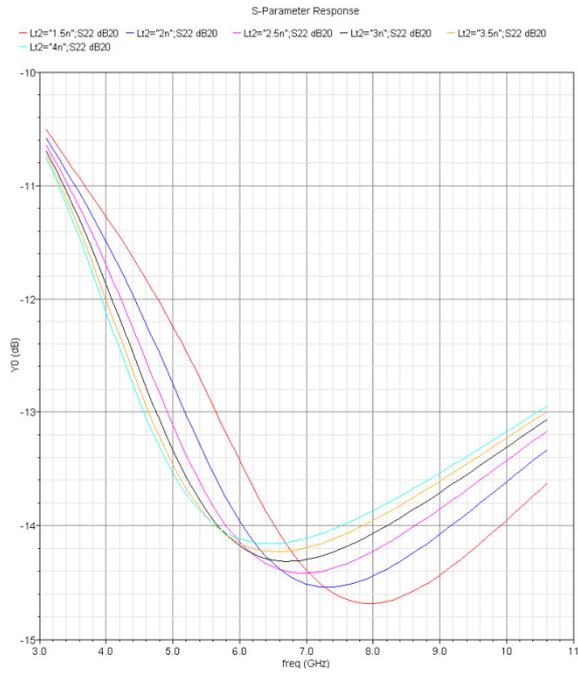
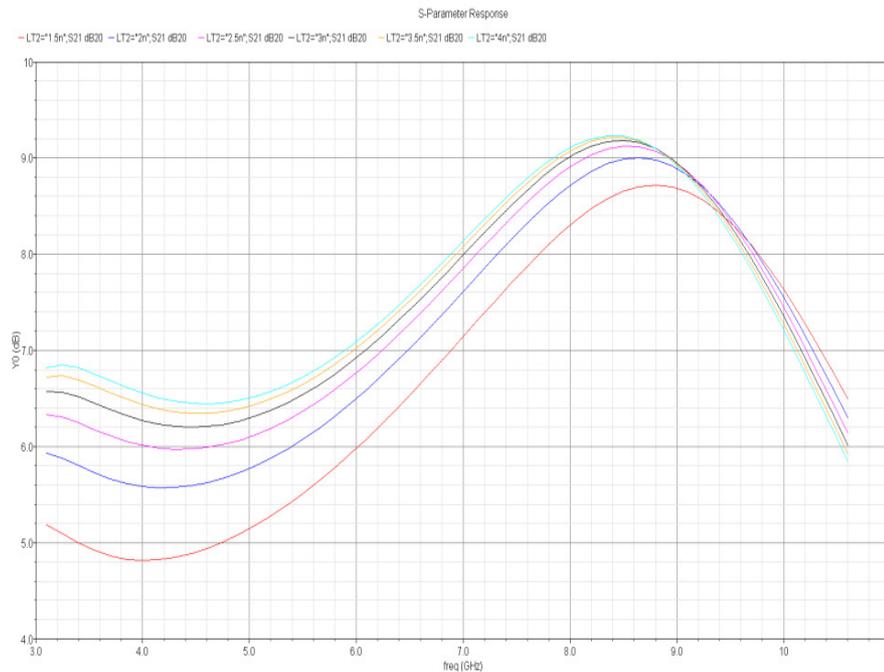


Figura 5.60B Adaptación de salida.



Figuras 5.60C Ganancia.

Figuras 5.60A-C S11, S22 y S21 para distintos valores de L_{T2} (1.5:05:4) nH.

En la figura 5.60A podemos observar que al reducirse el valor de L_{T2} se mejora la adaptación de entrada en la parte baja de la banda a costa de empeorarla en la parte alta, y viceversa. El efecto contrario se observa en la figura 5.60C, si bien es más notorio en la parte media y baja de la tabla donde la ganancia mejora considerablemente al aumentar el valor de L_{T2} . Por su parte la adaptación de salida no se ve sensiblemente alterada, tal y como observamos en la figura 5.60B.

Las figuras 5.60A y 5.60B muestran respectivamente como varía la figura de ruido del circuito en la banda de *UWB* y a la frecuencia de 10.6 GHz al variar L_{T2} .

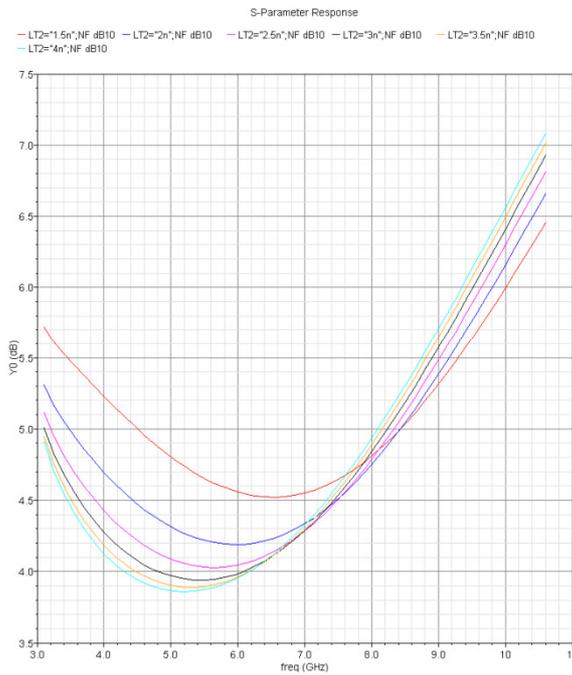


Figura 5.60A Figura de ruido.

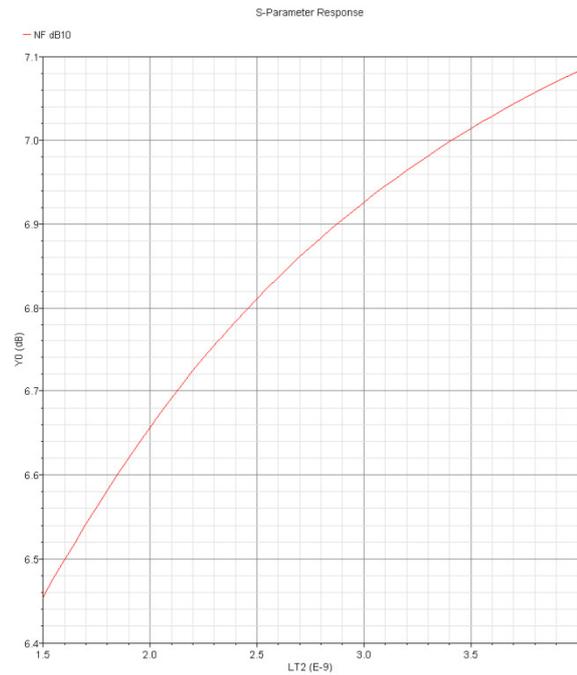


Figura 5.60B Figura de ruido a 10.6 GHz .

Figuras 5.60 A-B Figuras de ruido variando L_{T2} (1.5:05:4) nH.

En las figuras anteriores podemos observar que el ruido aumenta al aumentar el valor de L_{T2} . Finalmente seleccionaremos un valor L_{T2} , acorde con el valor de L_{T1} , que nos permita obtener simultáneamente una buena adaptación de entrada y una ganancia equilibrada.

- C_C

Las figuras 5.61A, 5.61B y 5.61C muestran la adaptación de entrada, la adaptación de salida y la ganancia para diferentes valores de C_C .

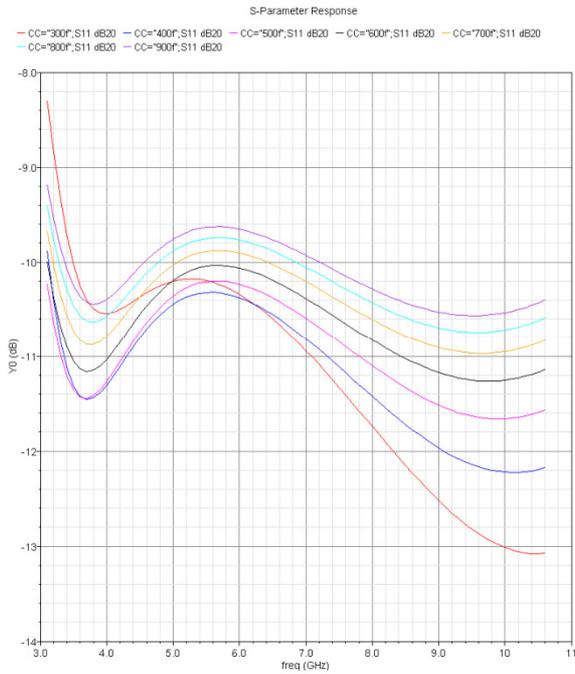


Figura 5.61A Adaptación de entrada.

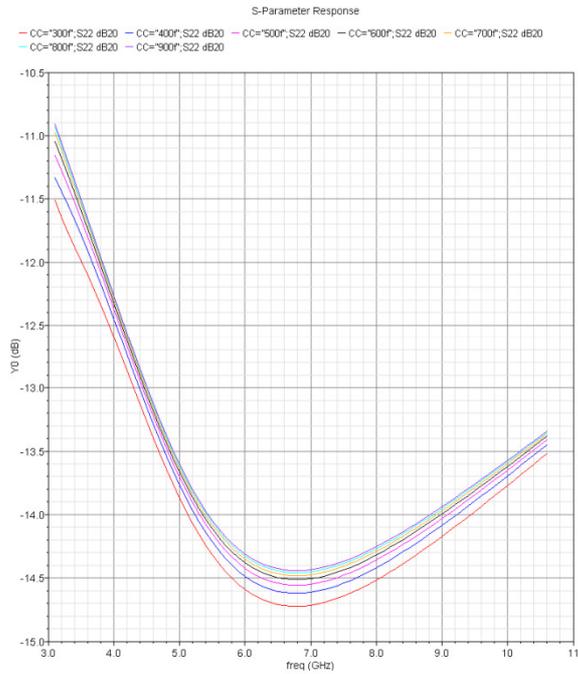
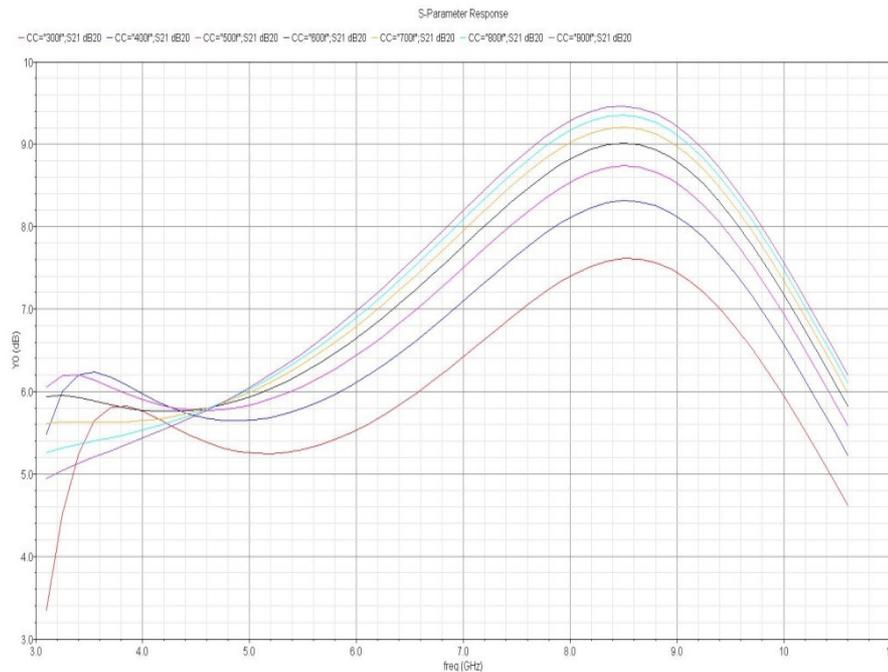


Figura 5.61B Adaptación de salida.



Figuras 5.61C Ganancia.

Figuras 5.61A-C S11, S22 y S21 para distintos valores de C_C (0.3:0.1:0.9) pF.

En la figura 5.61A podemos observar que al reducirse el valor de C_C se mejora la adaptación de entrada, sin embargo tal y como vemos en la figura 5.61C, si reducimos demasiado el valor de C_C la ganancia cae de manera notoria. Por su parte, como muestra la figura 5.61B, la adaptación de salida permanece más o menos inalterada ante los cambios de C_C .

En las figuras 5.62A y 5.62B muestran respectivamente como varía la figura de ruido del circuito en la banda de *UWB* y a la frecuencia de 10.6 GHz, al variar C_C .

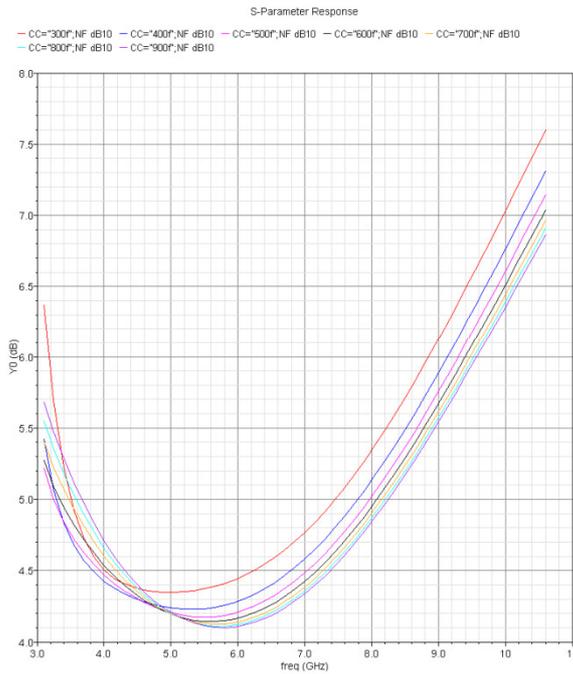


Figura 5.62A Figura de ruido.

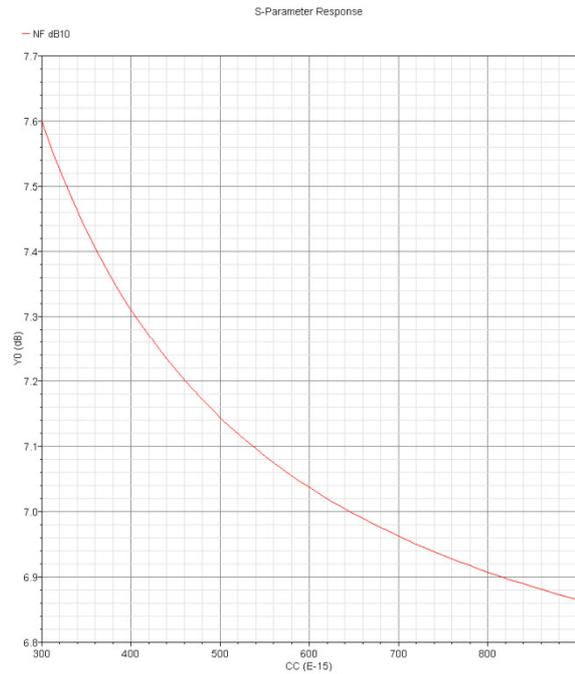


Figura 5.62B Figura de ruido a 10.6 GHz.

Figuras 5.62A-B Figuras de ruido variando C_C (0.3:0.1:0.9) pF.

En las figuras anteriores observamos que el ruido disminuye al aumentar el valor de C_C .

Finalmente, seleccionaremos un valor C_C relativamente pequeño que nos permita obtener simultáneamente una buena adaptación de entrada y una ganancia equilibrada. Además, la mejora en la adaptación de entrada nos permite utilizar un condensador auxiliar más pequeño, compensando de esta forma el exceso de ruido que implica utilizar un pequeño C_C .

Una vez ajustados L_{T1} , L_{T2} y C_C , pasamos a reajustar los componentes de la red de entrada, la red de carga y el *buffer* de igual manera que en el apartado 5.4. Como se ha comentado anteriormente, a fin de poder comparar los amplificadores cascode y el cascode doblado, durante el ajuste del *LNA* cascode doblado debemos mantener el punto de trabajo de los transistores del *LNA* cascode.

Las figuras 5.63A, 5.63B, 5.63C y 5.63D muestran respectivamente la adaptación de entrada, la adaptación de salida, la figura de ruido y la ganancia de nuestro *LNA* cascode doblado con componentes reales sintonizado a la banda de *UWB*, 3.1-10.6 GHz.

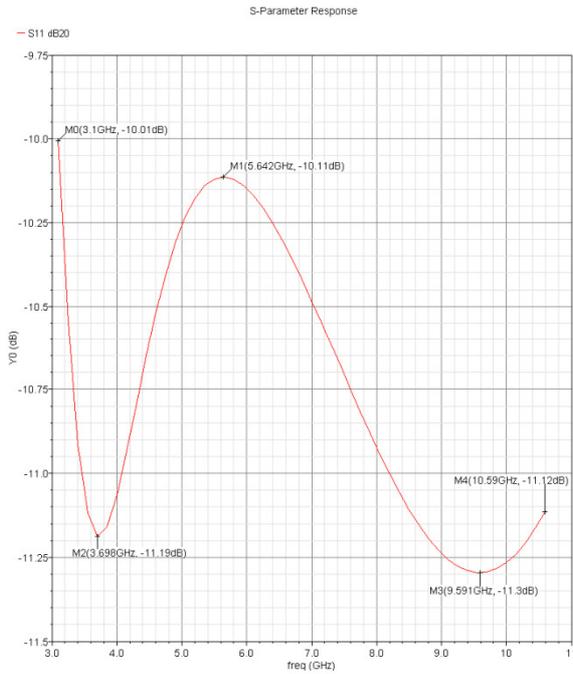


Figura 5.63A Adaptación de entrada.

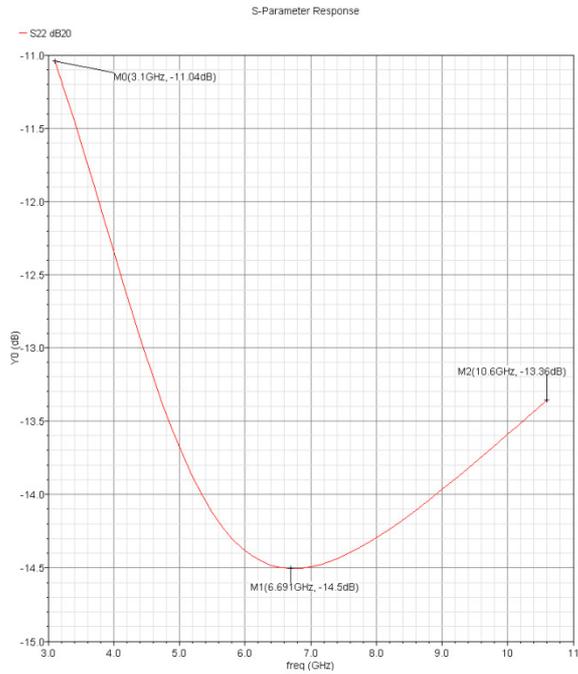


Figura 5.63B Adaptación de salida.

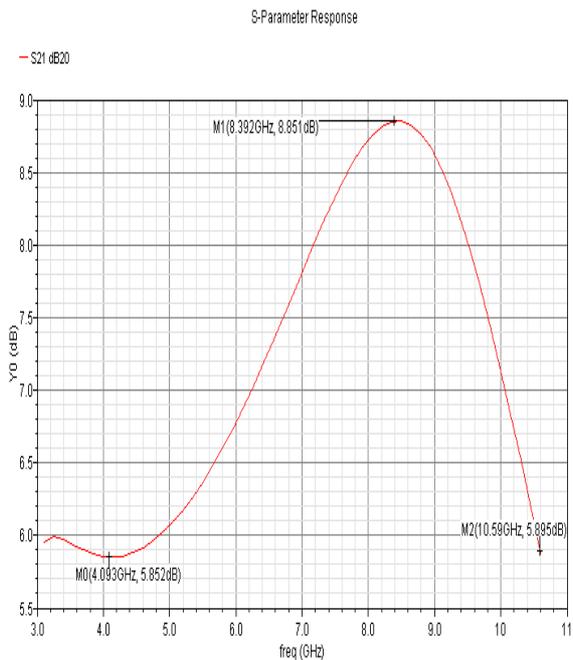


Figura 5.63C Ganancia en tensión.

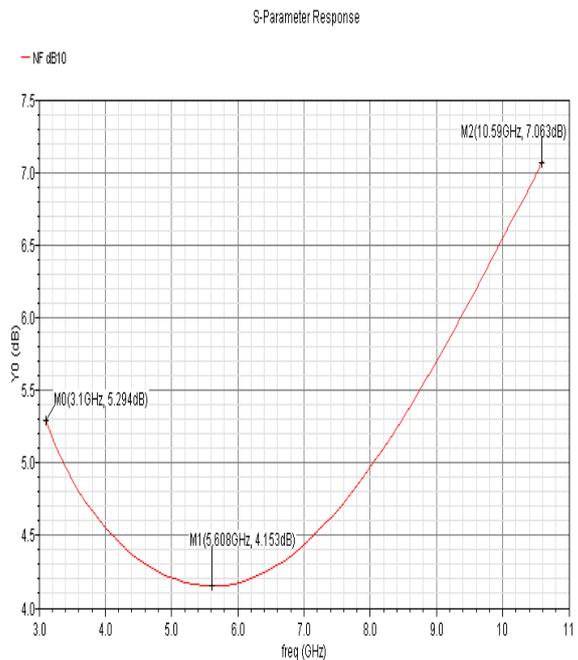


Figura 5.63D Figura de ruido.

Figura 5.63A-D Resultados del amplificador cascode doblado de banda ancha con componentes reales.

5.6.2.1 IIP3 del amplificador cascode doblado con componentes reales

Como hicieramos en el apartado 5.6.1.1 con el LNA cascode, ahora estudiaremos el IP_3 de entrada y de salida del LNA cascode doblado para asegurar su linealidad. En la figura 5.64 se puede observar el P_{1dB} del LNA cascode doblado en el centro y en los extremos de la banda.

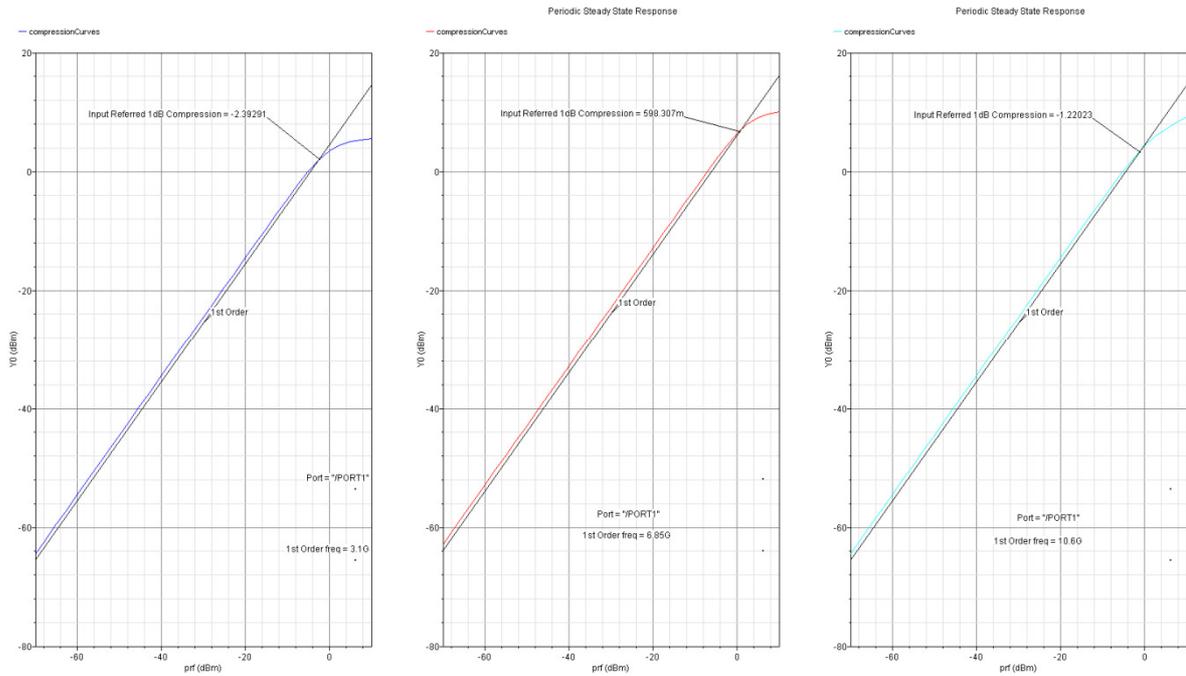


Figura 5.64 Medida del IIP3 en el centro y en el extremo de la banda.

En la tabla 5.26 se muestran los resultados obtenidos.

Tabla 5.26 Valores del OIP3, IIP3, y Ganancia del LNA cascode doblado

	3.1 GHz	6.85 GHz	10.6 GHz
IIP3 (dBm)	7,20709	10,196614	8,37977
Ganancia (dBm)	5.92	7.7341	5.895
OIP3 (dBm)	13,12709	17,930714	14,27477

En la tabla 5.27 se muestra un resumen de los valores de los componentes, de las tensiones de alimentación y polarización, las corrientes y el consumo del LNA cascode doblado.

Tabla 5.27 Valores de los componentes de circuito LNA cascode doblado

Valores de los componentes del LNA cascode doblado de banda ancha con componentes reales.					
Parámetro	Valor de Simulación	Parámetro	Valor de Simulación	Parámetro	Valor de Simulación
L_1	1.920092 nH	C_{IN}	2.05 pF	C_{Buffer}	2.99997 pF
C_1	0F	V_{dd}	1.8 V	C_C	0.6 pF
W_{M1}	170 μm	W_{M2}	80 μm	W_{M3}	60 μm

V_{BIAS1}	0.8 V	V_{BIAS2}	1.1V	V_{BIAS3}	0.6 V
C_{gs-M1}	356.68 fF	C_{gs-M2}	160.26 fF	C_{gs-M3}	83.6 fF
C_{AUX}	236.8504 pF	L_{T1}	3.49947 nH	L_{T2}	2.499838 nH
R_N	29.5~84.7 Ω	L_L	2.170074 nH	C_{OUT}	4.921 pF
L_S	567.94 nH	R_L	46 Ω	I_{Buffer}	16 mA
W_{M4}	5 μm	W_{M5}	42 μm	R_{REF}	125 Ω
I_{BIAS1}	9.101 mA	I_{BIAS2}	9.416 mA	$I_{Vdd-gnd}$	34.517 mA
L_S	567.94 pH	R_L	46 Ω	I_{Buffer}	16 mA

Los consumos de potencia del amplificador cascode doblado y del *buffer* de salida son:

$$P_{LNA \text{ Cascodo}} = (I_{BIAS1} + I_{BIAS2}) \cdot V_{dd} = 33.3306 \text{ mW} \quad (5.7)$$

$$P_{Buffer} = I_{bias_{M3}} \cdot V_{dd} = 28.8 \text{ mW} \quad (5.8)$$

5.7 LNA cascode vs cascode doblado

En las figuras 5.65A-D se muestran los resultados obtenidos para la banda de *UWB* del LNA cascode (curvas azules) en contraposición con los obtenidos para el LNA cascode doblado (curvas rojas).

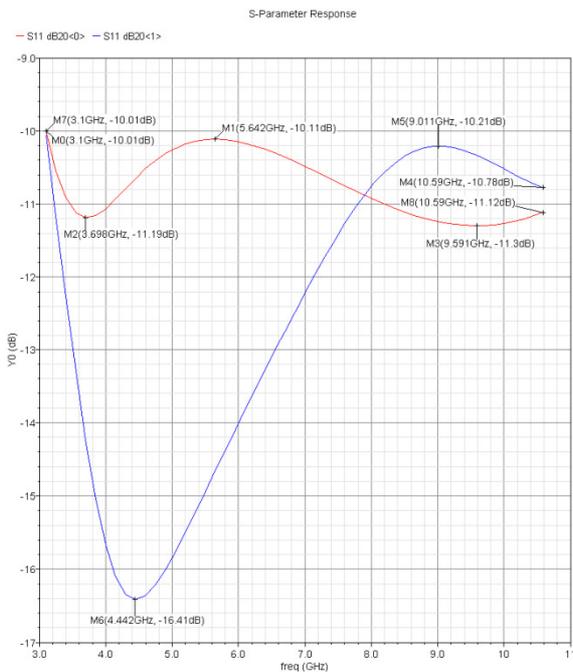


Figura 5.65A Adaptación de entrada.

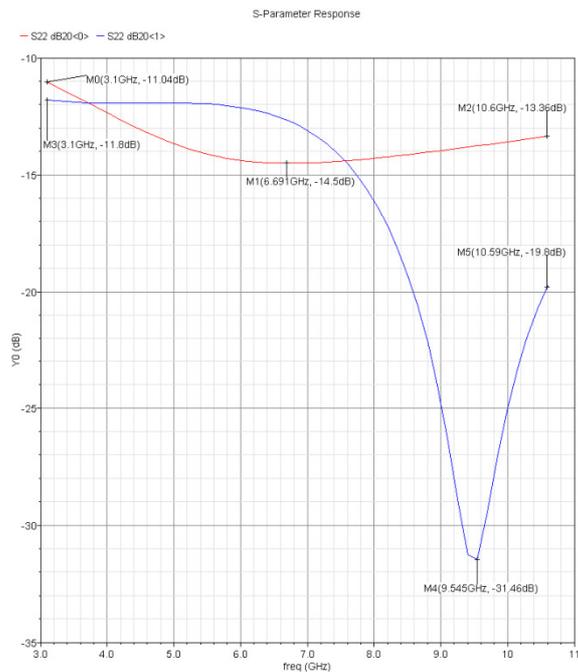


Figura 5.65B Adaptación de salida.

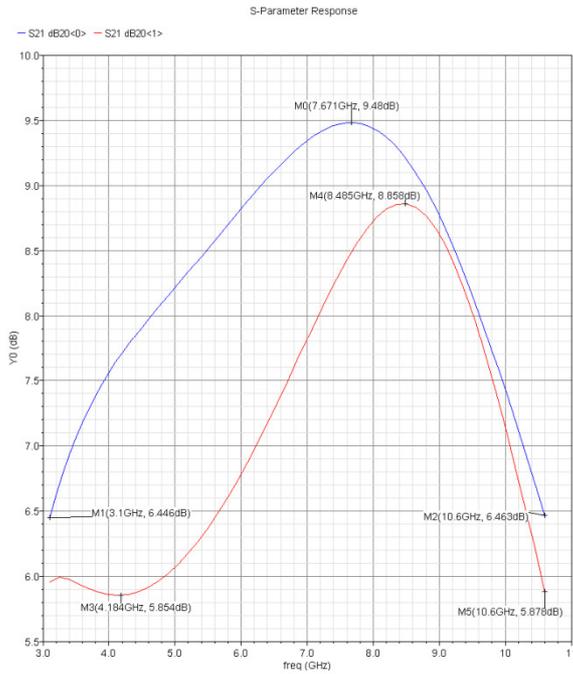


Figura 5.65C Ganancia en tensión.

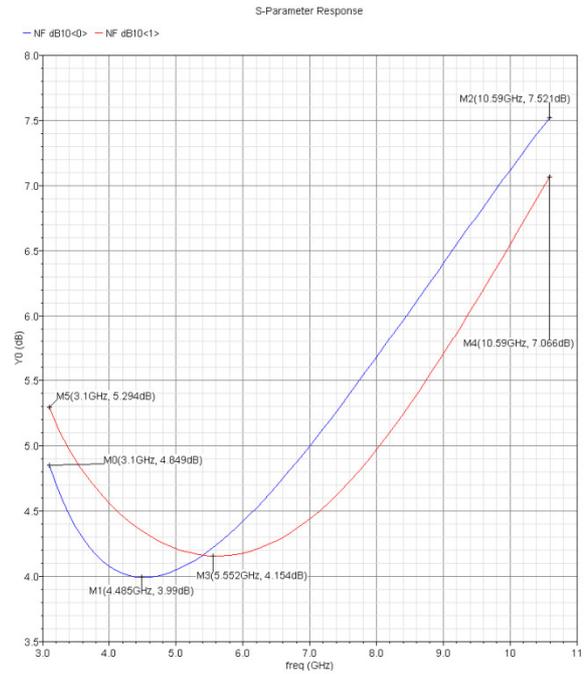


Figura 5.65D Figura de ruido.

Figura 5.65 LNA con componentes reales cascode vs cascode doblado.

Comparando los resultados de ambos diseños podemos concluir que la diferencia entre; los valores mínimos y máximos de la ganancia es de 0.6 dB, la S_{11} es inferior a -10 dB en toda la banda en ambos casos, la diferencia entre los valores mínimos de la figura de ruido es de 0.16 dB y entre los máximos de 0.46 dB y que finalmente, la diferencia en el consumo de potencia entre ambos diseños, descontado el consumo de los *buffers*, es inferior a 1 mW. Por lo que las prestaciones de ambos diseños son similares y viables.

En principio cabría esperar las características del LNA cascode superasen a las del LNA cascode doblado, sin embargo esto no sucede con la figura de ruido. El motivo es, como se comentó en el apartado 5.6.2, que la inclusión del condensador C_C mejora ostensiblemente la adaptación de entrada por lo que es posible recurrir a un condensador auxiliar C_{AUX} menor para asegurar que $S_{11} < -10$ dB, reduciéndose el ruido.

Respecto del IP_3 tanto de entrada como de salida podemos concluir analizando las tablas 5.52 y 5.56 que son muy similares, si bien la linealidad del LNA cascode doblado es algo menor.

5.7.1 Conclusiones del análisis comparativo

Comparando los resultados obtenidos del *LNA* cascode y del *LNA* cascode doblado se sacan varias conclusiones:

- Las prestaciones de ambos diseños son muy similares lo cual nos permite asegurar que el *LNA* cascode doblado actúa como un amplificador tipo cascode. En otras palabras, en el *LNA* cascode doblado la totalidad de la señal presente el colector del transistor *M1* está siendo canalizada hacia el surtidor del transistor *M2*.
- La ganancia del *LNA* cascode es 0.6 dB inferior a la del *LNA* cascode doblado. A la hora de adaptar el circuito hemos fijado como requisito de configuración que la caída dentro de la banda no sea superior a 3 dB, y en el caso del *LNA* cascode la red de carga utiliza una R_L mayor sin que con ello la caída de ganancia supere los 3 dB dentro de la banda lo cual aumenta la ganancia.
- En principio cabría esperar las características del *LNA* cascode superasen a las del *LNA* cascode doblado, sin embargo esto no sucede con la figura de ruido que es 0.5 dB superior en el *LNA* cascode. Esto se debe principalmente a dos factores; primero, como se comentó en el apartado 5.6.2, la inclusión del condensador C_C mejora ostensiblemente la adaptación de entrada por lo que es posible recurrir a un condensador auxiliar menor para asegurar que la adaptación de entrada sea menor a -10 dB, y segundo, la red de carga del *LNA* cascode utiliza una R_L mayor.
- Al ser ambos circuitos viables para la banda entera son también válidos para los modos 1 y 2, pues están contenidos dentro de la banda entera.

5.8 Diseños para banda entera, modo 2 y modo 1

En este apartado se analiza el diseño para los distintos modos a fin de analizar las prestaciones de nuestros diseños para cada uno de ellos, si bien el objetivo de este proyecto siempre fue abarcar la banda entera y nuestro diseño ha sido configurado para tal fin.

- Modo 1: de 3.1 GHz hasta 4.8 GHz.
- Modo 2: de 3.1 GHz hasta 8.2 GHz.
- Banda entera: de 3.1 GHz hasta 10.6 GHz.

Al encontrarse las bandas asociadas a los modos uno y dos contenidas dentro de la banda total, nos limitaremos a particularizar los resultados de los *LNAs* cascode y cascode doblado mostrados en las

figuras 5.55 y 5.63 al centro y los extremos de dichas bandas, así como de detallar los valores máximos y mínimos.

5.8.1 Amplificador Cascodo

5.8.1.1 Banda entera: 3.1-10.6 GHz

En la tabla 5.28 se muestran los resultados de la adaptación de entrada y de salida, la ganancia y la figura de ruido del amplificador cascodo en el centro y los extremos de la banda de *UWB*, así como también sus valores máximos y mínimos en dicha banda.

Tabla 5.28 Valores de S_{11} , S_{22} , S_{21} y NF del LNA cascodo para la banda entera

	3.1 GHz	6.85 GHz	10.6 GHz	Max	Min
Adap. Entrada(dB)	-10.07	-12.4823	-10.78	-10.07	-16.41
Adap. Salida(dB)	-11.8	-13.039	-19.75	-11.8	-31.43
Ganancia (dB)	6.446	9.26	6.462	9.48	6.446
Fig. de Ruido(dB)	4.849	4.892	7.521	7.521	3.989

En la tabla 5.29 se muestran las medidas del $IIP3$, $OIP3$ y la ganancia del amplificador cascodo en el medio y los extremos para la banda entera.

Tabla 5.29 Valores de $OIP3$, $IIP3$, y Ganancia del LNA cascodo para la banda entera

	3.1 GHz	6.85 GHz	10.6 GHz
$IIP3$ (dBm)	9,857172	9,941512	9,885038
Ganancia(dB)	6.446	9.26	6.462
$OIP3$ (dBm)	16,303172	19,201512	16,347038

5.8.1.2 Modo 1: 3.1-4.8 GHz

En la tabla 5.30 se muestran los resultados de la adaptación de entrada y de salida, la ganancia y la figura de ruido del amplificador cascodo en el centro y los extremos de la banda del modo 1 de *UWB*, así como también sus valores máximos y mínimos en dicha banda.

Tabla 5.30 Valores de S11, S22, S21 y NF del LNA cascode para el modo 1

	3.1 GHz	3.95 GHz	4.8 GHz	Max	Min
Adap. Entrada(dB)	-10.07	-15.4608	-16.15	-10.07	-16.41
Adap. Salida(dB)	-11.8	-12.03	-11.94	-11.8	-12.16
Ganancia(dB)	6.446	7.5835	8.091	8.091	6.446
Fig. de Ruido(dB)	4.849	4.081	4,381	4.849	3.989

En la tabla 5.31 se muestran las medidas del *IIP3*, *OIP3* y la ganancia del amplificador cascode en el medio y los extremos de la banda del modo 1 de *UWB*.

Tabla 5.31 Valores de OIP3, IIP3, y Ganancia del LNA cascode para el modo 1

	3.1 GHz	3.95 GHz	4.8 GHz
IIP3(dBm)	9,857172	9,886349	9,903731
Ganancia(dB)	6.446	7.5835	8.091
OIP3(dBm)	16,303172	17,469849	17,994731

5.8.1.3 Modo 2: 3.1-8.2 GHz

En la tabla 5.32 se muestran los resultados de la adaptación de entrada y de salida, la ganancia y la figura de ruido del amplificador cascode en el centro y los extremos de la banda del modo 2 de *UWB*, así como también sus valores máximos y mínimos en dicha banda.

Tabla 5.32 Valores de S11, S22, S21 y NF del LNA cascode para el modo 2

	3.1 GHz	5.65 GHz	8.2 GHz	Max	Min
Adap. Entrada(dB)	-10.07	-14.66	-10.56	-10.07	-16.41
Adap. Salida(dB)	-11.8	-12.21	-17.15	-11.8	-17.15
Ganancia(dB)	6.446	8.5708	9.3841	9.48	6.446
Fig. de Ruido(dB)	4.849	4.283	5.807	5.807	3.989

En la tabla 5.33 se muestran las medidas del *IIP3*, *OIP3* y la ganancia del amplificador cascode en el medio y los extremos de la banda del modo 2 de *UWB*.

Tabla 5.33 Valores de OIP3, IIP3, y Ganancia del LNA cascode para el modo 2

	3.1 GHz	5.65 GHz	8.2 GHz
IIP3(dBm)	9,857172	9,935291	9,929314
Ganancia(dB)	6.446	8.5708	9.3841
OIP3(dBm)	16,303172	18,506091	19,313414

5.8.2 Amplificador Cascode Doblado

5.8.2.1 Banda entera: 3.1-10.6 GHz

En la tabla 5.34 se muestran los resultados de la adaptación de entrada y de salida, la ganancia y la figura de ruido del amplificador cascode doblado en el centro y los extremos de la banda de *UWB*, así como también sus valores máximos y mínimos en dicha banda.

Tabla 5.34 Valores de S11, S22, S21 y NF del LNA cascode doblado para la banda entera

	3.1 GHz	6.85 GHz	10.6 GHz	Max	Min
Adap. Entrada(dB)	-10.01	-10.42	-11.12	-10.01	-11.3
Adap. Salida(dB)	-11.04	-14.47	-13.36	-11.04	-14.5
Ganancia(dB)	5.921	7.7341	5.895	8.851	5.852
Fig. de Ruido(dB)	5.294	4.391	7.063	7.063	4.153

En la tabla 5.35 se muestran las medidas del *IIP3*, *OIP3* y la ganancia del amplificador cascode doblado en el medio y los extremos de la banda de *UWB*.

Tabla 5.35 Valores de OIP3, IIP3, y Ganancia del LNA cascode doblado para la banda entera

	3.1 GHz	6.85 GHz	10.6 GHz
IIP3 (dBm)	7,20709	10,196614	8,37977
Ganancia (dB)	5.92	7.7341	5.895
OIP3 (dBm)	13,12709	17,930714	14,27477

5.8.2.2 Modo 1: 3.1-4.8 GHz

En la tabla 5.36 se muestran los resultados de la adaptación de entrada y de salida, la ganancia y la figura de ruido del amplificador cascode doblado en el centro y los extremos de la banda del modo 1 de *UWB*, así como también sus valores máximos y mínimos en dicha banda.

Tabla 5.36 Valores de S11, S22, S21 y NF del LNA cascode doblado para el modo 1

	3.1 GHz	3.95 GHz	4.8 GHz	Max	Min
Adap. Entrada(dB)	-10.01	-11.13	-10.35	-10.01	-11.19
Adap. Salida(dB)	-11.04	-12.36	-13.55	-11.04	-13.55
Ganancia(dB)	5.921	5.921	6.01	6.01	5.852
Fig. de Ruido(dB)	5.294	4.587	4.281	5.294	4.281

En la tabla 5.37 se muestran las medidas del *IIP3*, *OIP3* y la ganancia del amplificador cascode doblado en el medio y los extremos de la banda del modo 1 de *UWB*.

Tabla 5.37 Valores de OIP3, IIP3, y Ganancia del LNA cascode doblado para el modo 1

	3.1 GHz	3.95 GHz	4.8 GHz
IIP3(dBm)	7,20709	7,84931	8,69823
Ganancia(dB)	5.92	5.921	6.01
OIP3(dBm)	13,12709	13,77031	14,70823

5.8.2.3 Modo 2: 3.1-8.2 GHz

En la tabla 5.38 se muestran los resultados de la adaptación de entrada y de salida, la ganancia y la figura de ruido del amplificador cascode doblado en el centro y los extremos de la banda del modo 2 de *UWB*, así como también sus valores máximos y mínimos en dicha banda.

Tabla 5.38 Valores de S11, S22, S21 y NF del LNA cascode doblado para el modo 2

	3.1 GHz	5.65 GHz	8.2 GHz	Max	Min
Adap. Entrada(dB)	-10.01	-10.14	-11	-10.01	-11.19
Adap. Salida(dB)	-11.04	-14.27	-14.31	-11.04	-14.5
Ganancia(dB)	5.921	6.432	8.789	8.851	5.852
Fig. de Ruido(dB)	5.294	4.169	5.294	5.294	4.153

En la tabla 5.39 se muestran las medidas del $IIP3$, $OIP3$ y la ganancia del amplificador cascode doblado en el medio y los extremos de la banda del modo 2 de UWB .

Tabla 5.39 Valores de $OIP3$, $IIP3$, y Ganancia del LNA cascode doblado para el modo 2

	3.1 GHz	5.65 GHz	8.2 GHz
IIP3(dBm)	7,20709	9,27193	8,95012
Ganancia(dB)	5.921	6.432	8.789
OIP3(dBm)	13,12709	15,70393	17,73912

5.9 Análisis de Montecarlo

Para asegurar que las tolerancias de los elementos que componen nuestros circuitos no afecten demasiado a los resultados obtenidos, o por lo menos que están controladas, se ha realizado un análisis de *Montecarlo* a ambos circuitos. A continuación se detalla en qué consiste y los resultados obtenidos.

Los componentes que vamos a usar tienen una tolerancia determinada, por lo tanto el valor de cada elemento o componente del circuito variará en función de esta tolerancia cuando se fabrica. Dicha tolerancia se ha de tener en cuenta cuando se está realizando el diseño de un circuito. Una simulación que abarque la cantidad de combinaciones posibles y la infinidad de valores que pueden tomar los componentes se hace inviable, ya que el tiempo necesario sería inmenso. El análisis de *Montecarlo* lo que hace es tomar un número de valores aleatorios elegidos estadísticamente. Cuantos más componentes se tengan en cuenta y mayor sea el número de valores, mayor precisión tendrá, el inconveniente es que el tiempo empleado es mayor.

En ambos circuitos nuestro análisis de *Montecarlo* se ha realizado teniendo en cuenta todos los componentes. En las figuras 5.64 se muestran los resultados obtenidos con el análisis de *Montecarlo* para el LNA cascode. Las figuras 5.64A, 5.64B, 5.64C y 5.64D muestran respectivamente la adaptación de entrada, la adaptación de salida, la ganancia y la figura de ruido de nuestro LNA tipo cascode bajo el análisis *Montecarlo*.

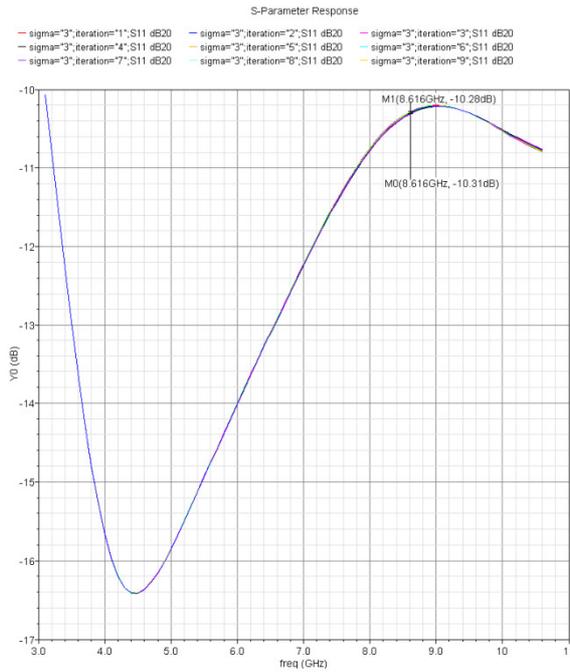


Figura 5.64A Adaptación de entrada.

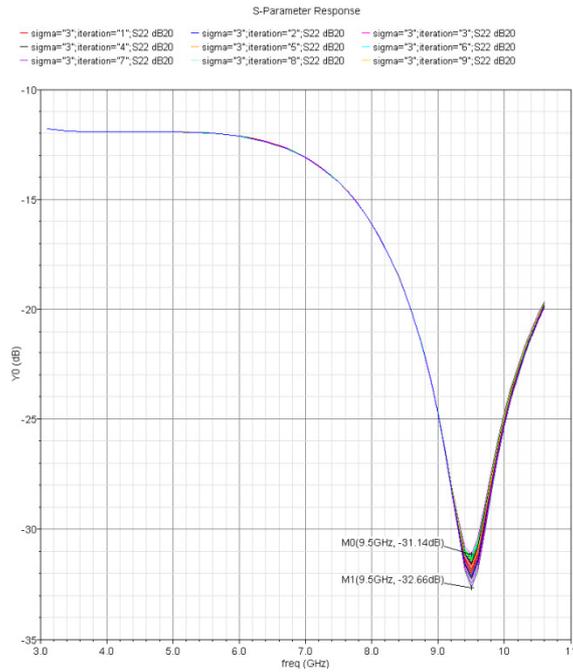


Figura 5.64B Adaptación de salida.

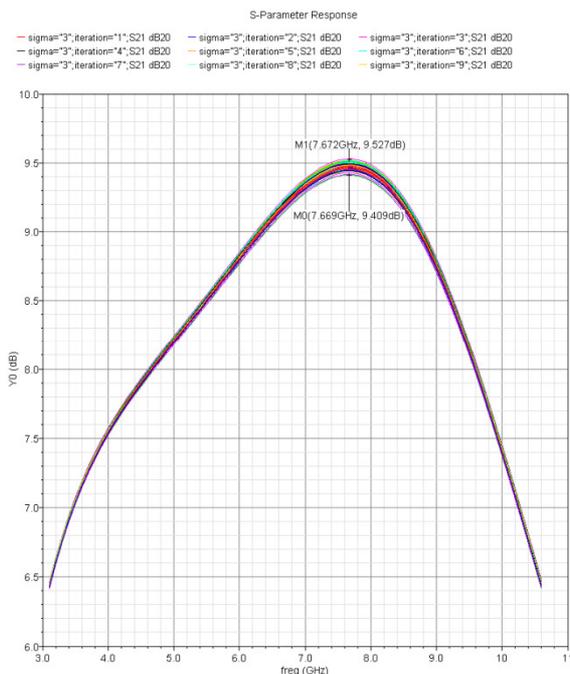


Figura 5.64C Ganancia en tensión.

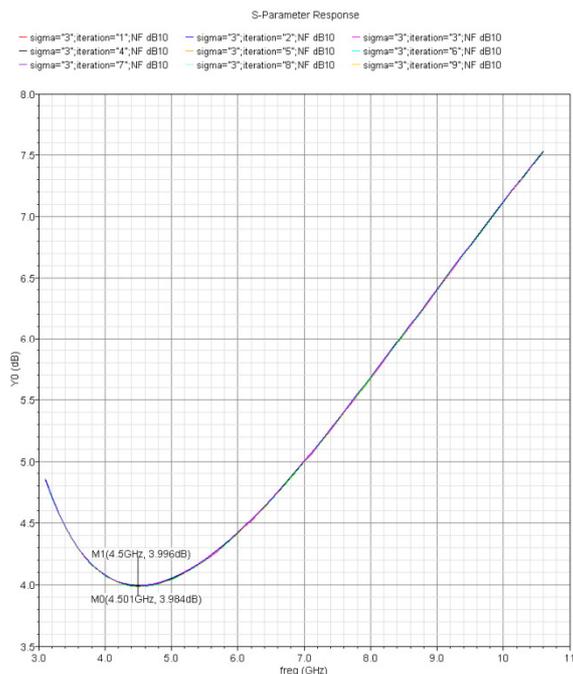


Figura 5.64D Figura de ruido.

Figura 6.64 A-D Análisis de Montecarlo del LNA cascode.

Observando las figuras anteriores vemos que aunque existen variaciones estas no son especialmente notables. En general las variaciones se mantienen dentro de unos rangos aceptables.

También se ha realizado el análisis de *Montecarlo* para el LNA cascode doblado consiguiendo en este diseño, igual que en el caso anterior, unos resultados óptimos como se muestra en la figuras 5.65A-D. Las figuras 5.65A, 5.65B, 5.65C y 5.65D muestran respectivamente la adaptación de entrada, la

adaptación de salida, la ganancia y la figura de ruido de nuestro LNA cascado doblado al realizar el análisis *Montecarlo*.

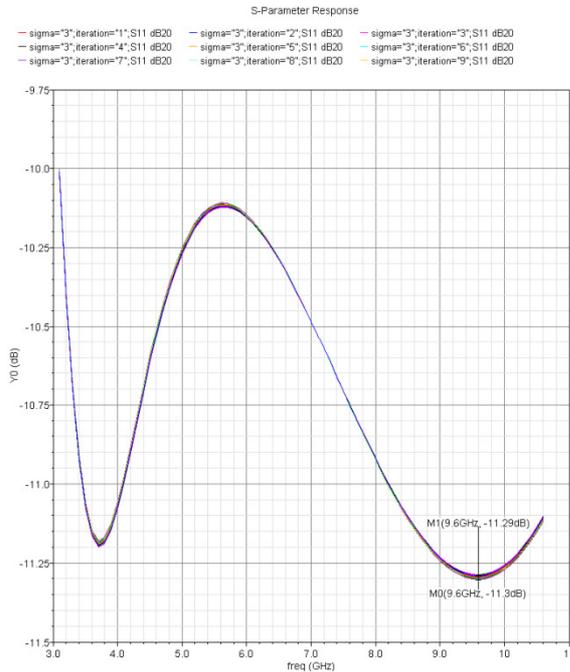


Figura 5.65A Adaptación de entrada.

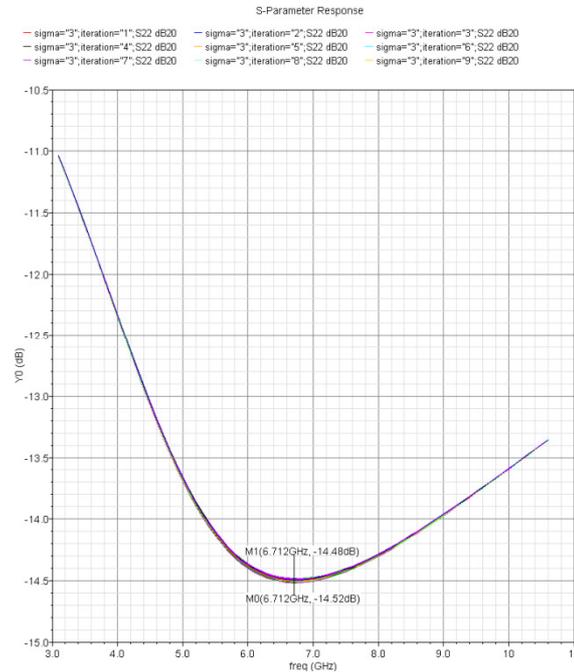


Figura 5.65B Adaptación de salida.

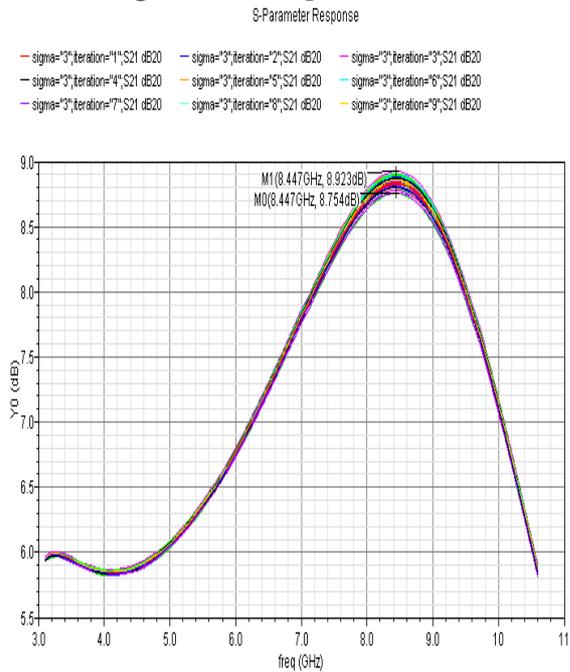


Figura 5.65C Ganancia en tensión.

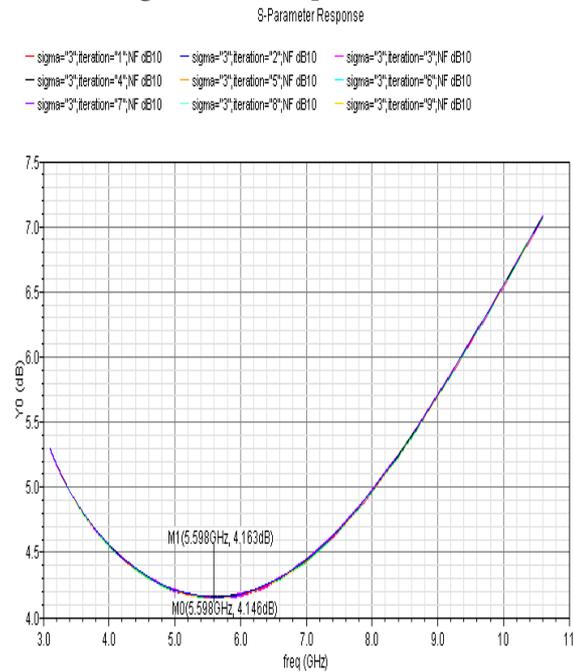


Figura 5.65D Figura de ruido.

Figura 5.65A-D Análisis de Montecarlo para el LNA cascado doblado.

A la hora del diseño a nivel de esquemáticos se ha tenido cuidado de no elegir valores extremos que puedan hacer peligrar el funcionamiento de los circuitos. Consecuentemente, los resultados del análisis de *Montecarlo* demuestran que los circuitos continúan funcionando dentro de los rangos.

5.10 Resumen

En este capítulo se ha realizado el diseño completo de los dos *LNAs* a nivel de esquemáticos con componentes reales obteniendo resultados óptimos. Se ha tratado de realizar el diseño de los dos amplificadores para toda la banda de *UWB*, y si bien las restricciones respecto de la figura de ruido no han podido cumplirse plenamente en alta frecuencia en ambos diseños, los resultados obtenidos son lo suficientemente válidos como para considerar nuestros diseños viables. En el próximo capítulo se realizará el diseño físico de los *LNAs*, es decir, la generación de los *layouts*. Para ello haremos uso de la información dada en el capítulo 4 referente a la tecnología y a los resultados obtenidos en este capítulo.

DISEÑO A NIVEL DE *LAYOUT*

En el capítulo anterior se realizó uno de los pasos más importantes, el diseño a nivel de esquemático. Una vez realizado, seguimos con el siguiente paso: el diseño a nivel de *layout* y simulación *post-layout*.

El *layout* consiste en definir los planos de fabricación del circuito integrado. Para desarrollarlo se han utilizado los resultados obtenidos en el capítulo anterior, la tecnología con sus reglas de diseño y la herramienta de diseño *CADENCE*.

6.1 Proceso de diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc.

De la misma manera, hay que tener en cuenta una serie de aspectos que nos permitan obtener el comportamiento óptimo del diseño realizado. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito y son válidos para ambos circuitos. Los aspectos más importantes se enumeran a continuación:

- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común V_{dd} o tierra.
- Se ha tratado de no utilizar líneas excesivamente largas ya que introducen capacidades parásitas. Cuando no se ha tenido más remedio que utilizarlas, se han implementado con los metales superiores ya que estos tienen menor resistencia y aportan menos capacidades parásitas.
- En muchos casos, debido a la tecnología, se ha tenido que colocar componentes en paralelo. Por ejemplo, en el caso de las resistencias donde se ha tenido que apilar varias de ellas para obtener una resistencia total pequeña.
- Los espacios vacíos que quedan entre los distintos componentes se han llenado con contactos a sustratos, que está conectado a GND o tierra. Con ello evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

Otro de los aspectos importantes es el referido al consumo de potencia del circuito. Éstos toman especial relevancia en el dimensionado de las pistas de interconexión de los componentes. Así, hemos de saber qué cantidad de corriente circula por cada una de ellas y, en consecuencia, ajustar su anchura para que soporte dicho flujo. Para asegurarnos de que no se destruya ninguna parte del circuito, se han sobredimensionado las anchuras mínimas. Dichos valores vienen determinados por la tecnología usada y por el tipo de materiales que conforman las pistas.

6.2 Layout del LNA cascodo

En la figura 6.1 se muestra el *layout* del *LNA cascodo*. Se puede apreciar la disposición de los distintos componentes, destacando las bobinas debido a su tamaño y a la cantidad de ellas. Se ha buscado conseguir la mayor simetría a pesar de tener un número impar de bobinas.

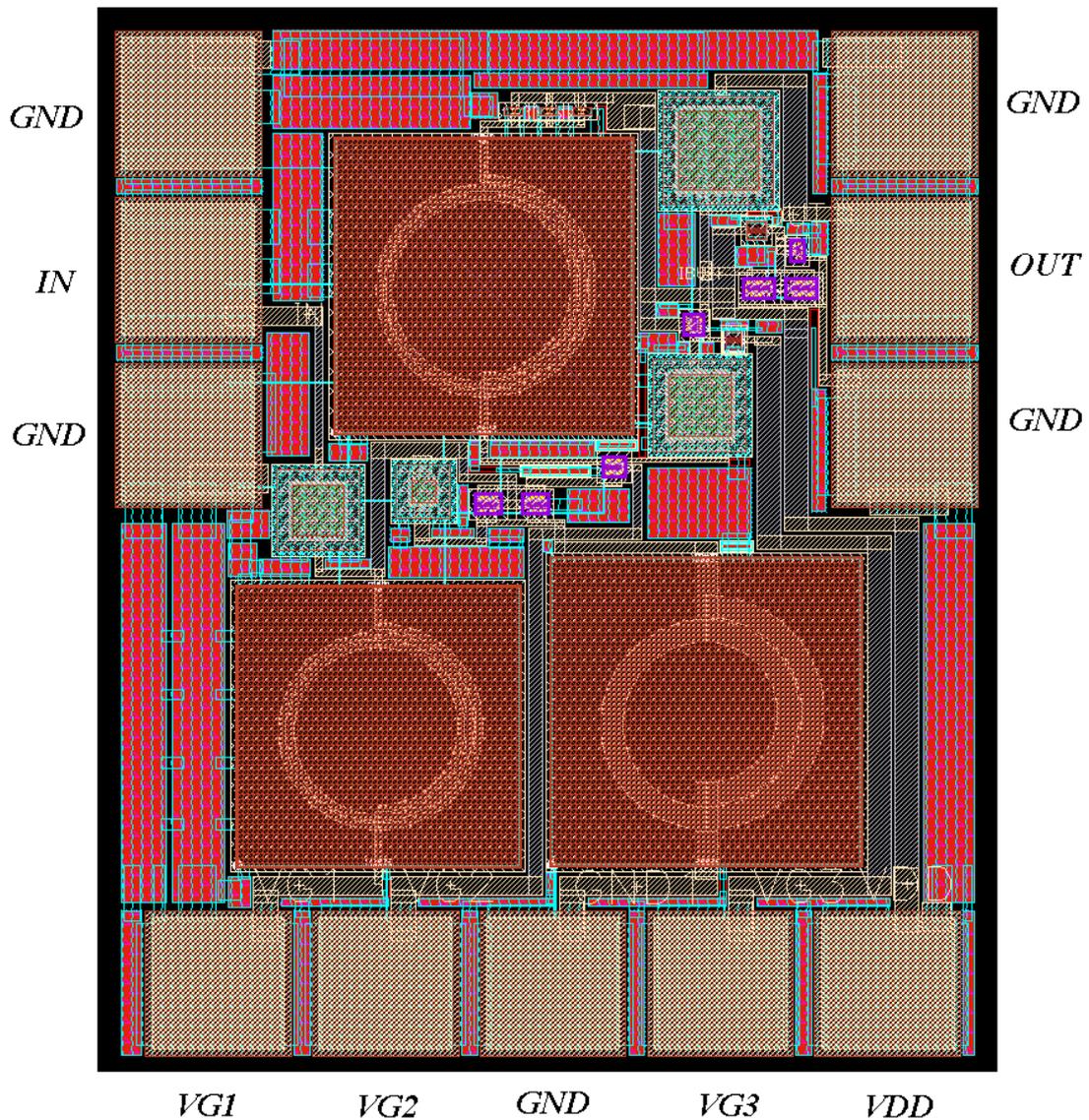


Figura 6.1 Layout del LNA cascodo.

En la figura 6.2 se muestra el núcleo del circuito, donde en la parte izquierda podemos ver la capacidad auxiliar (C_{AUX}), mientras que en la parte central de la imagen se puede observar los transistores que conforman la estructura cascodo ($M1$ y $M2$). Finalmente, en la esquina superior derecha se observa el condensador de desacoplo (C_{Buffer}) entre el amplificador cascodo y el *buffer* de salida.

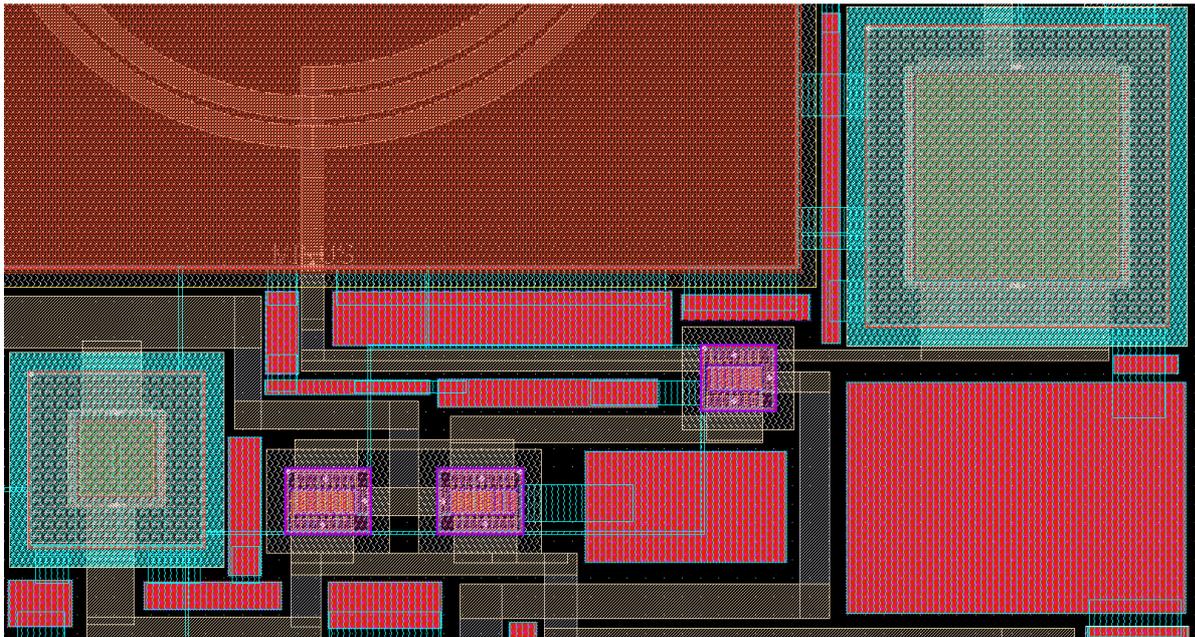


Figura 6.2 Núcleo del layout del LNA cascado.

En la figura 6.3 se muestra el *buffer* de salida del circuito, donde en la parte superior podemos ver la capacidad de desacoplo de salida C_{OUT} , mientras que en la parte central de la imagen se puede observar los transistores que conforman tanto el *buffer* ($M3$) como la fuente de corriente ($M4$ y $M5$).

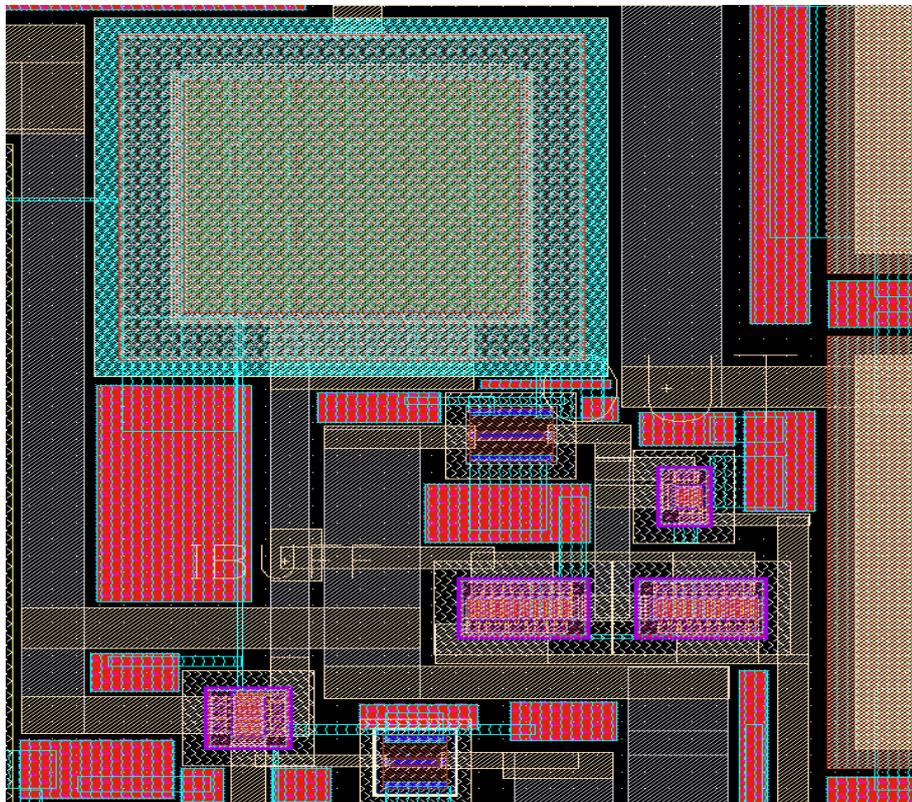


Figura 6.3 Layout del buffer del LNA cascado.

En el siguiente apartado se mostrarán los resultados de la simulación *post-layout*.

6.2.1 Simulación post-layout del LNA cascado

Una vez realizado el *layout* se simuló para comprobar que el circuito funcionaba correctamente. En las figuras 6.4A-D se muestran los resultados obtenidos. Estos resultados no son los esperados. El caso más claro se observa en la adaptación de entrada, ya que no abarca el rango de 3.1-10.6 GHz, sino que se ha desplazado viéndose muy reducida en alta frecuencia. Estos cambios, se producen por las capacidades y resistencias parásitas introducidas por las pistas. Además, la ganancia en alta frecuencia también se ha visto perjudicada.

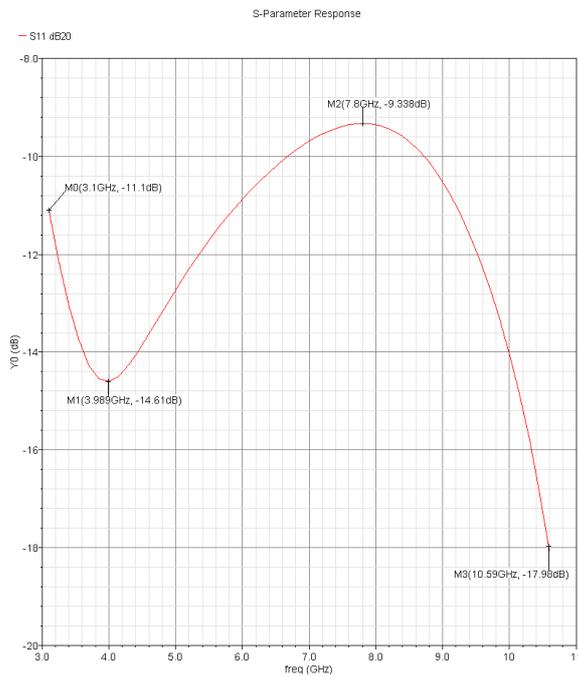


Figura 6.4A Adaptación de entrada.

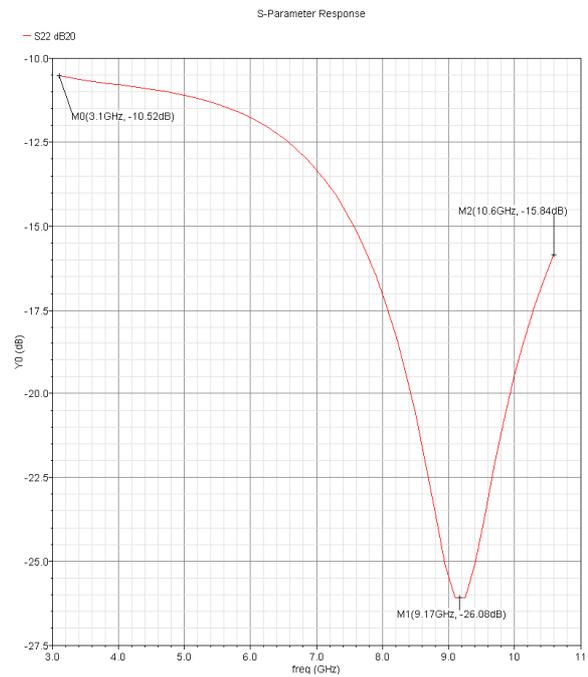


Figura 6.4B Adaptación de salida.

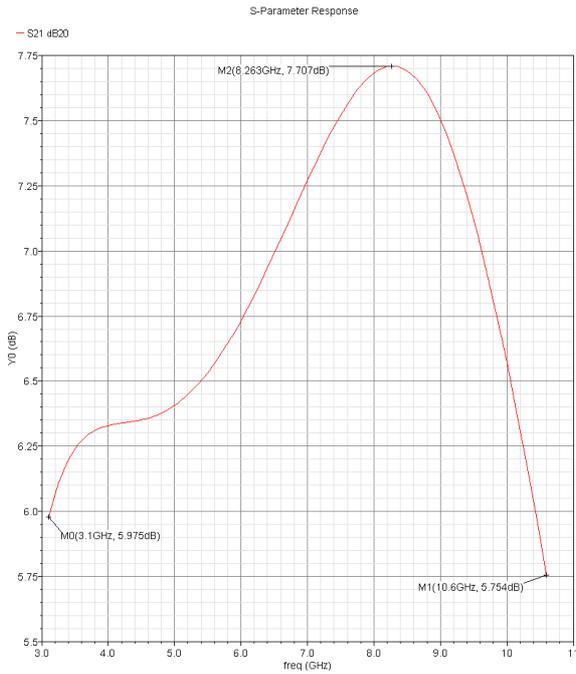


Figura 6.4C Ganancia en tensión.

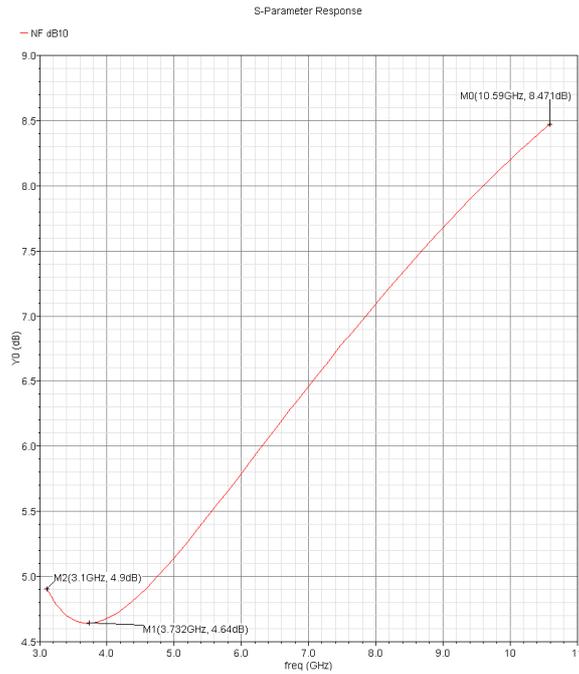


Figura 6.4D Figura de ruido.

Figura 6.4A-D Resultados post-layout del LNA cascode.

Para poder mejorar los resultados, se ha modificado los valores de los condensadores de la adaptación de la entrada y salida, así como del condensador auxiliar C_{AUX} . Además ha sido necesario recalcular la red de carga, lo que implica modificar los valores de R_L y L_L . Por último y, debido a que ya no puede ser considerado que C_1 es cero, se hace también necesario modificar ligeramente el valor de L_L . En la figuras 6.5A-D se muestra que han mejorado los resultados gracias a las modificaciones realizadas. Si bien, no se pudo mejorar, ni siquiera igualar a los resultados de las simulaciones de los esquemáticos, debido a la introducción de capacidades y resistencias parásitas por el ruteado de las pistas. Aún así, este fue el diseño final ya que los resultados se consideraron lo suficientemente buenos como para mandar a fabricar. La ganancia es superior a 6,1 dB para toda la banda, llegando a superar los 9 dB a mitad de la banda, con lo que se obtiene una caída inferior a 3 dB dentro de la banda de interés. La figura de ruido es menor de 8.5 dB para toda la banda, siendo su valor mínimo 4.54 dB . La adaptación de salida y de entrada es inferior a -9.9 dB .

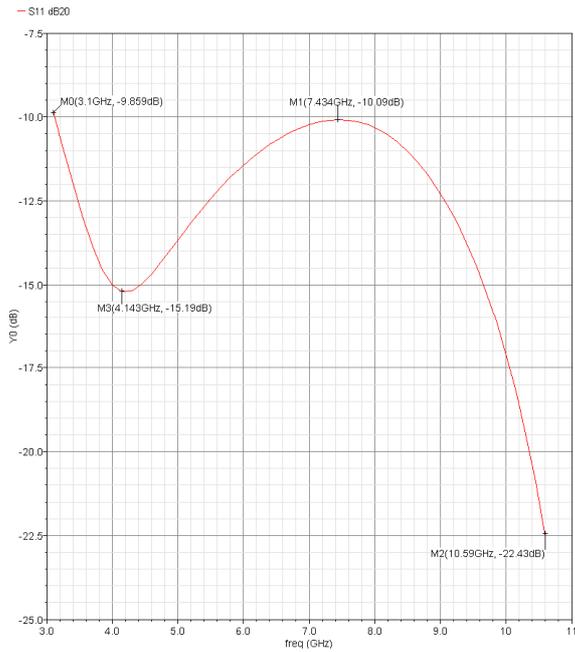


Figura 6.5A Adaptación de entrada.

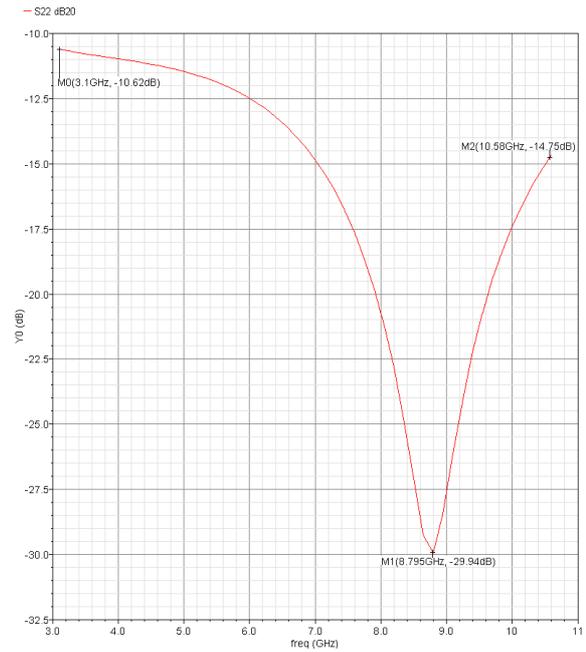


Figura 6.5B Adaptación de salida.

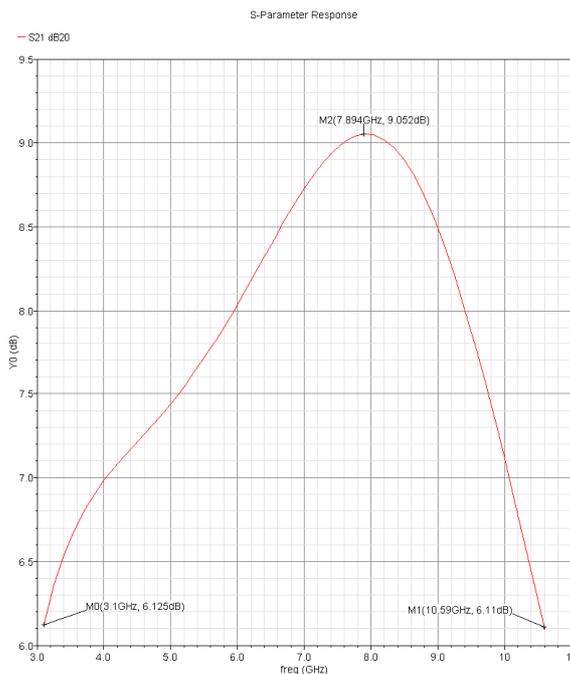


Figura 6.5C Ganancia en tensión.

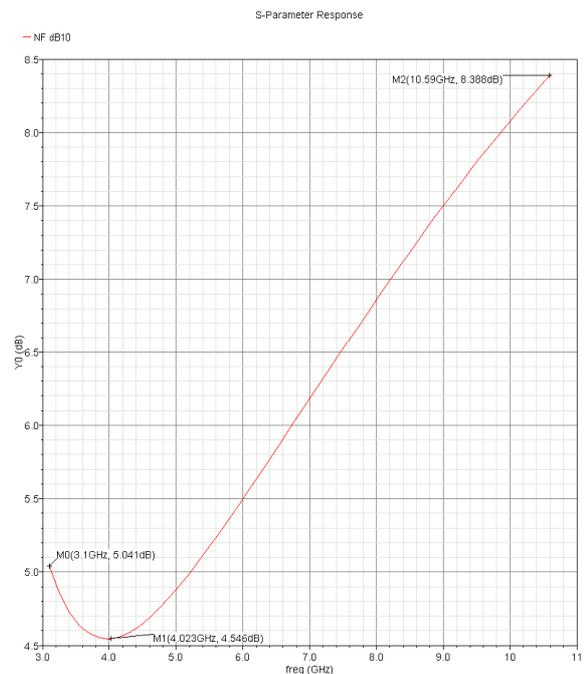


Figura 6.5D Figura de ruido.

Figura 6.5A-D Resultados post-layout del LNA cascado.

Finalmente, para comprobar que la linealidad del circuito no se ha visto alterada debemos volver a calcular el $IIP3$ y el $OIP3$, por lo que nuevamente debemos obtener el valor de potencia de la potencia de entrada para la cual la ganancia se comprime 1 dB. La figura 6.6 nos muestra el P_{1dB} , en el centro y en los extremos de la banda de interés.

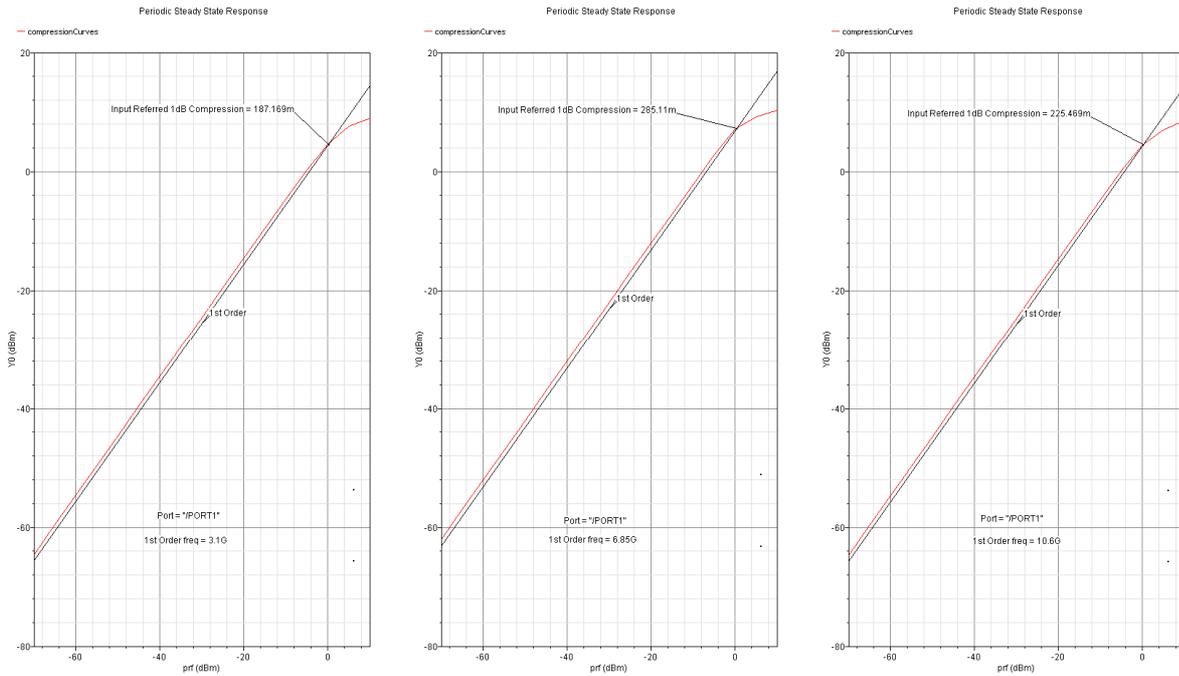


Figura 6.6 P_{1dB} en el centro y en los extremos de la banda del LNA cascode.

6.3 Layout del LNA cascode doblado

En la figura 6.7 se muestra el *layout* del *LNA cascode doblado*. Al igual que en el *layout* del *LNA cascode* se puede apreciar la disposición de los distintos componentes, destacando que en este diseño hay dos bobinas más que en el *LNA cascode*. Se ha procurado en la medida de lo posible colocar los dispositivos con la misma disposición en ambos diseños para facilitar la comparación, pues las características de muchos de ellos son iguales en ambos diseños.

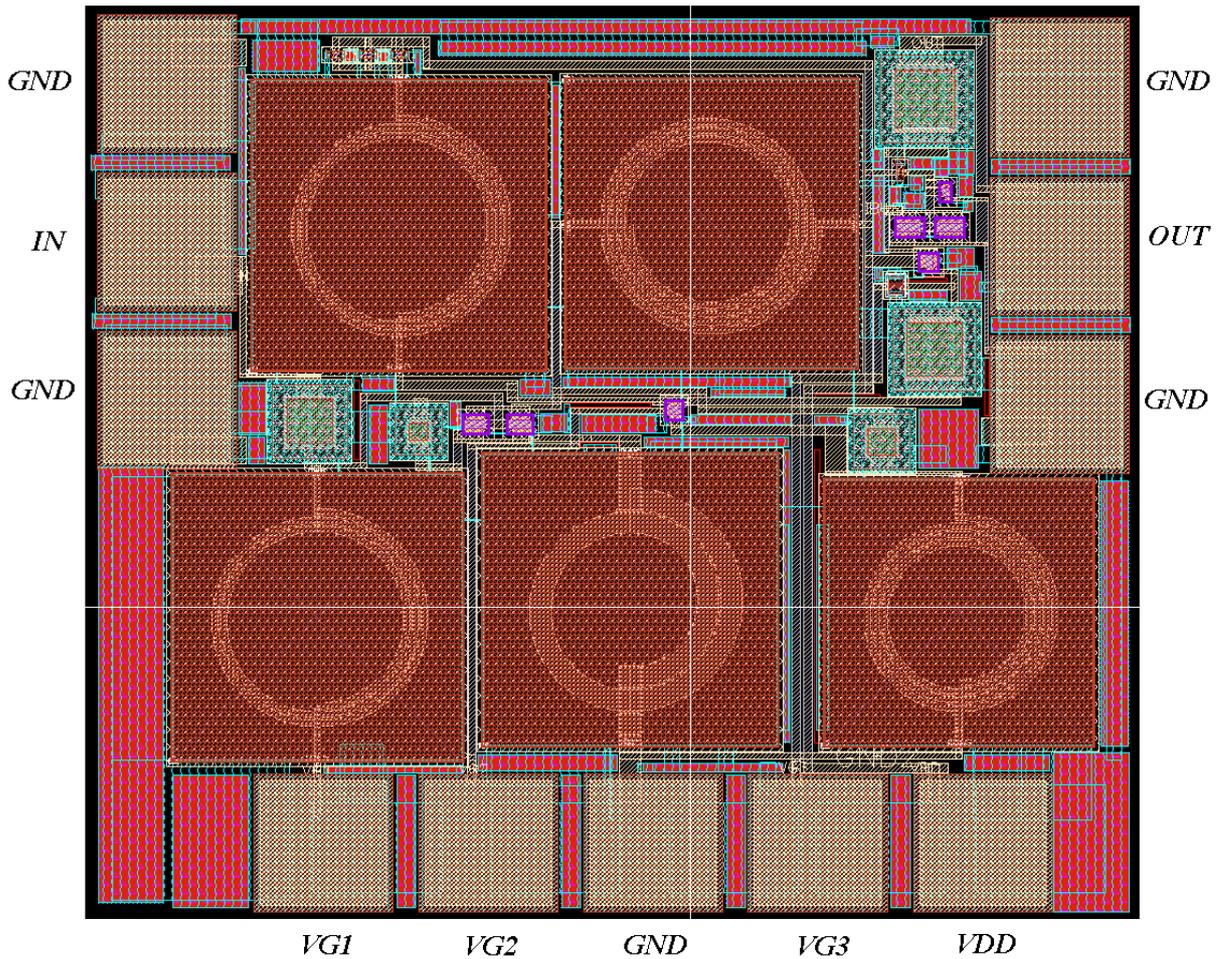


Figura 6.7 Layout del LNA cascode doblado.

En la figura 6.8 se muestra el núcleo del circuito, donde en la parte izquierda podemos ver la capacidad auxiliar (C_{AUX}), mientras que en la parte central de la imagen se puede observar los transistores que conforman la estructura cascode doblado ($M1$ y $M2$). Finalmente en la parte derecha podemos ver el condensador de desacoplo que dobla la estructura (C_C).

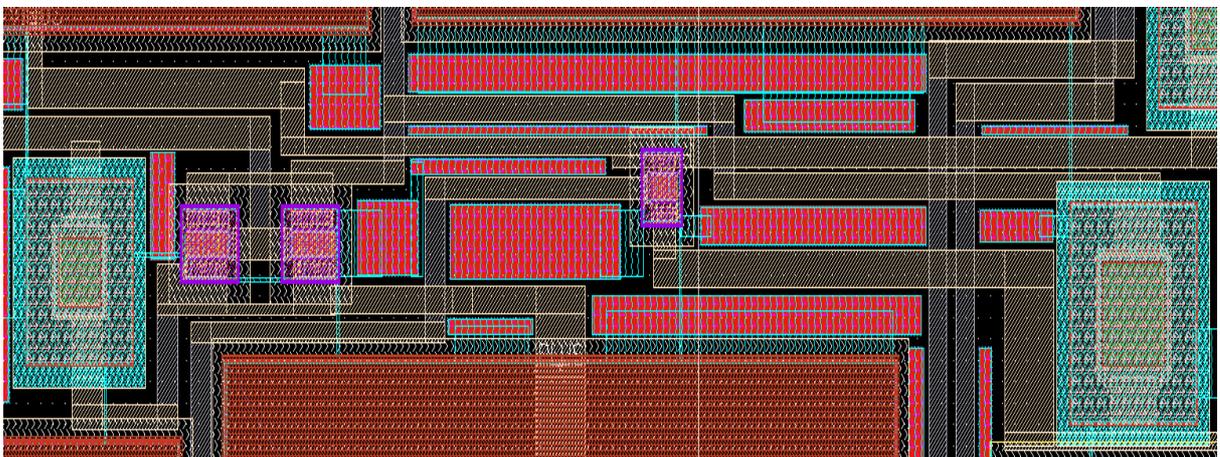


Figura 6.8 Núcleo del layout del LNA cascode doblado.

En la figura 6.9 se muestra el *buffer* de salida del circuito, donde en la parte superior e inferior podemos ver la capacidad de desacoplo de salida C_{OUT} y la capacidad de desacoplo de entrada al *buffer* C_{Buffer} , respectivamente. Mientras que en la parte central de la imagen se puede observar los transistores que conforman tanto el *buffer* ($M3$) como la fuente de corriente ($M4$ y $M5$).

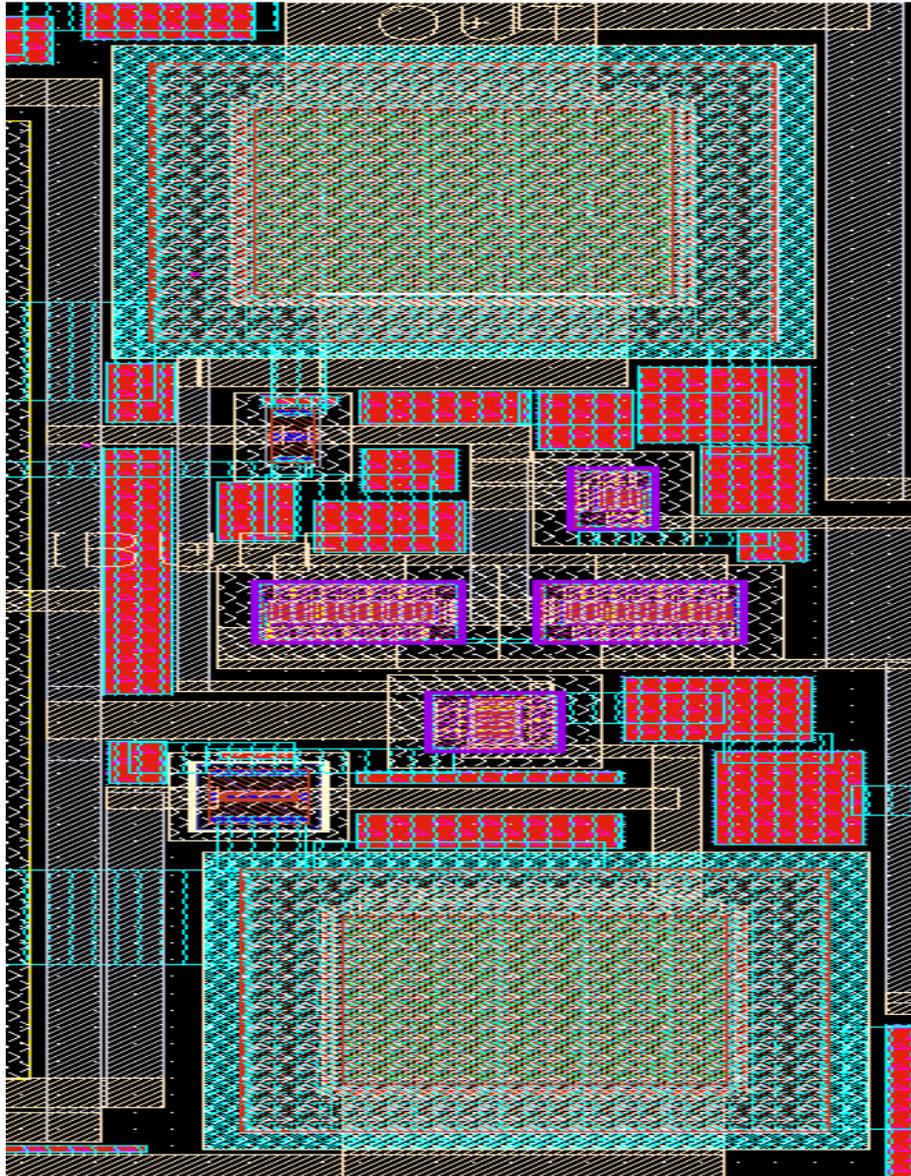


Figura 6.9 Layout del Buffer del LNA cascode doblado.

6.3.1 Simulación post-layout del LNA cascode doblado

Después de realizar el *layout* se simuló para comprobar que el circuito funcionaba correctamente. En las figuras 6.10A-D se muestran los resultados obtenidos. Para este diseño, las simulaciones iniciales *post-layout* tampoco fueron las esperadas.

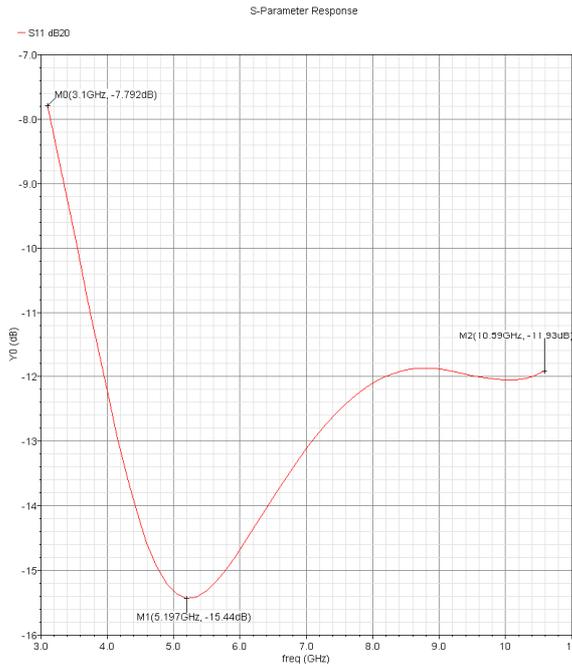


Figura 6.10A Adaptación de entrada.

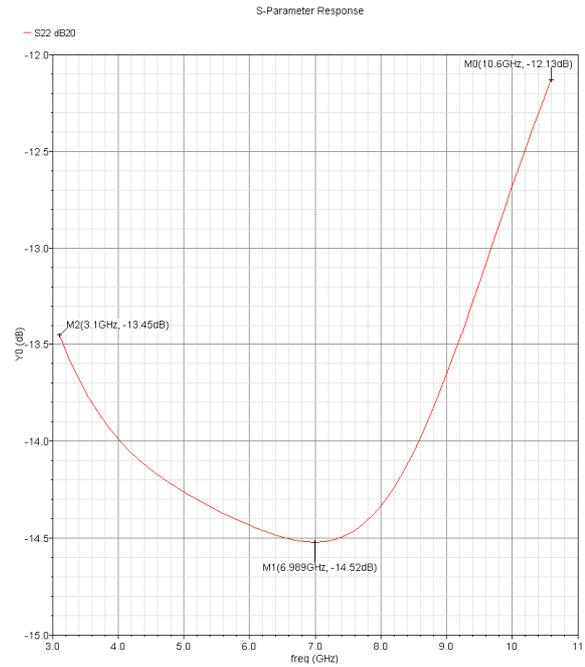


Figura 6.10B Adaptación de salida.

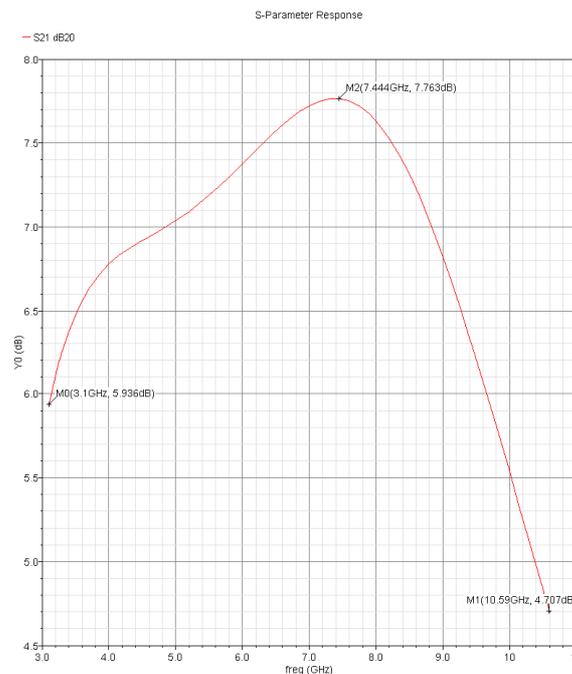


Figura 6.10C Ganancia en tensión.

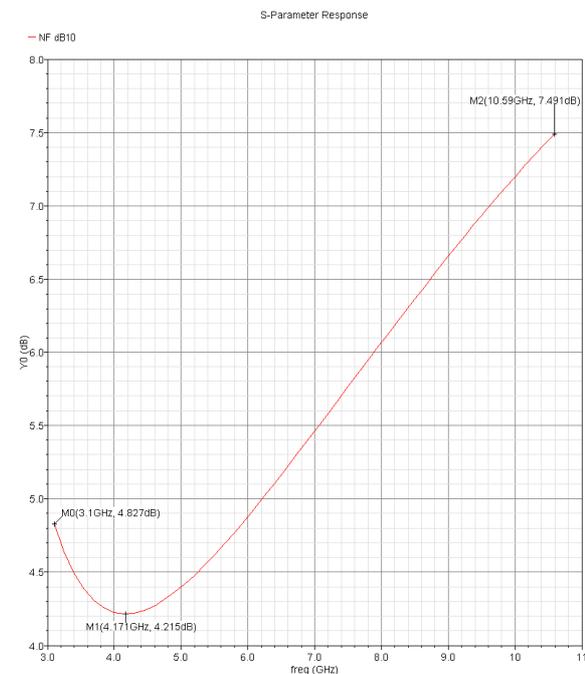


Figura 6.10D Figura de ruido.

Figura 6.10A-D Resultados post-layout del LNA cascado doblado.

Al igual que pasó con el *LNA* cascado, para poder mejorar los resultados se hace necesario modificar los valores de los condensadores de adaptación de la entrada y la salida, así como los condensadores auxiliar C_{AUX} y de acoplo C_C , además de recalcular la red de carga, lo que implica modificar los valores de R_L y L_L . En la figura 6.11 se muestra que han mejorado los resultados gracias a las modificaciones realizadas. Si bien, no se pudo mejorar, ni siquiera igualar a los resultados de las simulaciones de los esquemáticos debido a la introducción de capacidades y resistencias parásitas debido

al ruteado de las pistas. Aún así nuevamente, este fue el diseño final ya que los resultados se consideraron lo suficientemente buenos como para mandar a fabricar. La ganancia es superior a 5.5 dB para toda la banda, llegando a superar los 8.4 dB a mitad de la banda, con lo que se obtiene una caída inferior a 3 dB dentro de la banda de interés. La figura de ruido es menor de 7.3 dB para toda la banda, siendo su valor mínimo 4.472 dB. La adaptación de salida y de entrada es inferior a -10 dB.

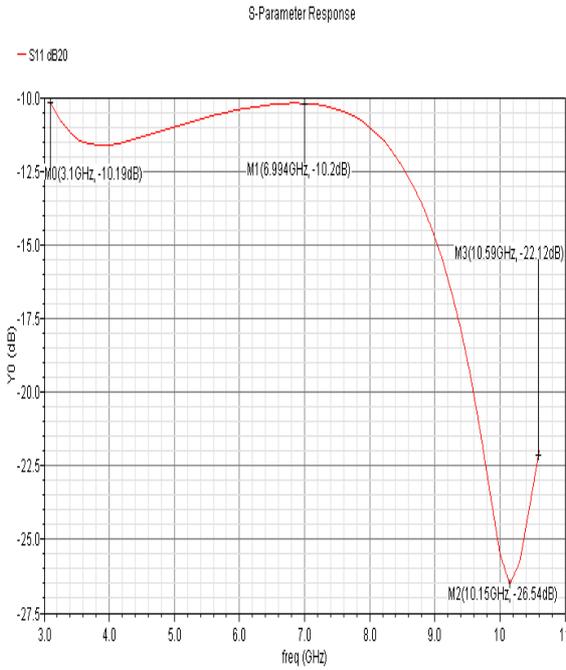


Figura 6.11A Adaptación de entrada.

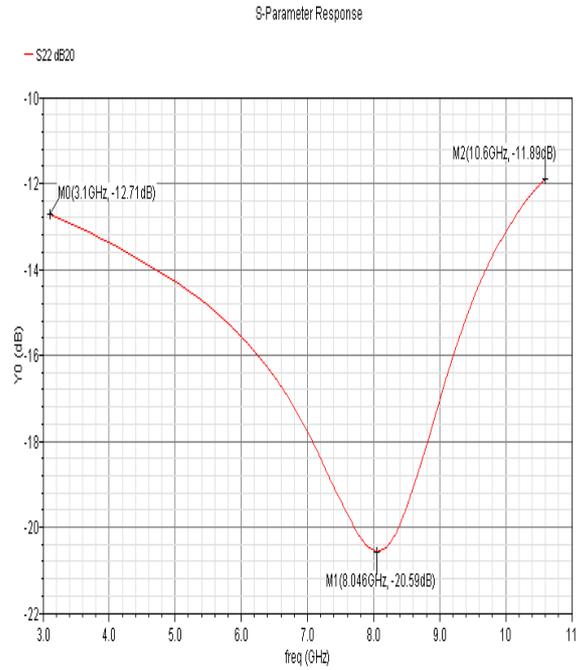


Figura 6.11B Adaptación de salida.

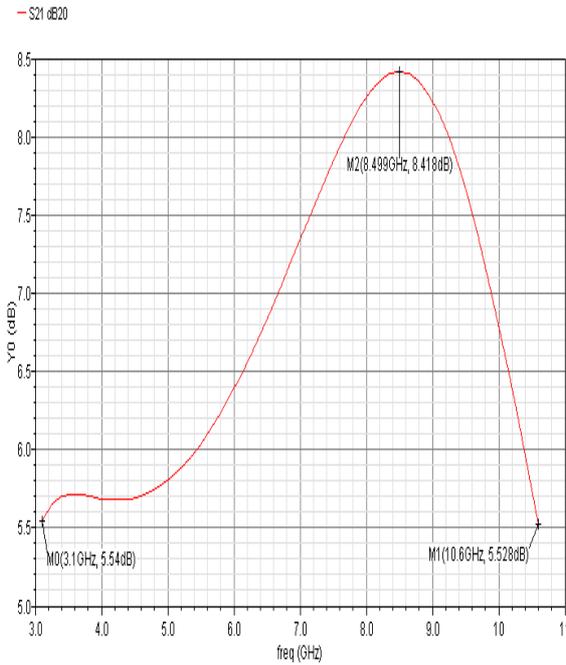


Figura 6.11C Ganancia en tensión.

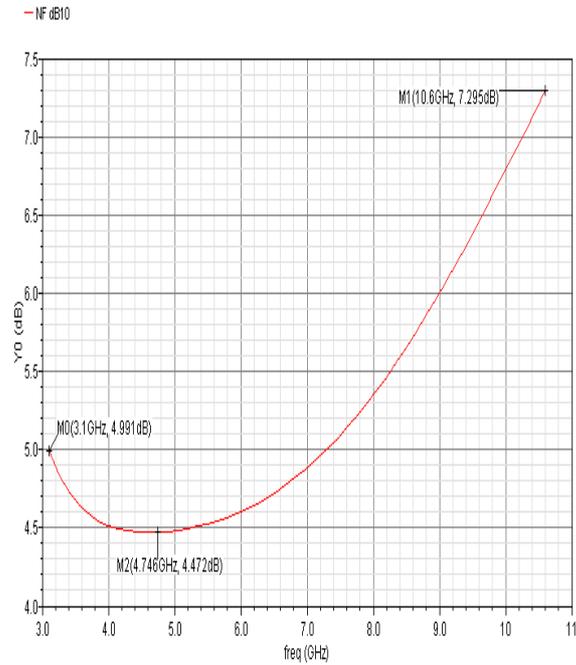


Figura 6.11D Figura de ruido.

Figura 6.12A-D Resultados post-layout del LNA cascode doblado.

Finalmente, al igual que en el caso del *LNA* cascado, para comprobar que la linealidad del circuito no se ha visto alterada debemos volver a calcular el $IIP3$ y el $OIP3$, por lo que nuevamente debemos obtener el valor de la potencia de entra para el cual ganancia se comprime 1 dB. La figura 6.12 nos muestra el P_{1dB} , en el centro y en los extremos de la banda de interés.

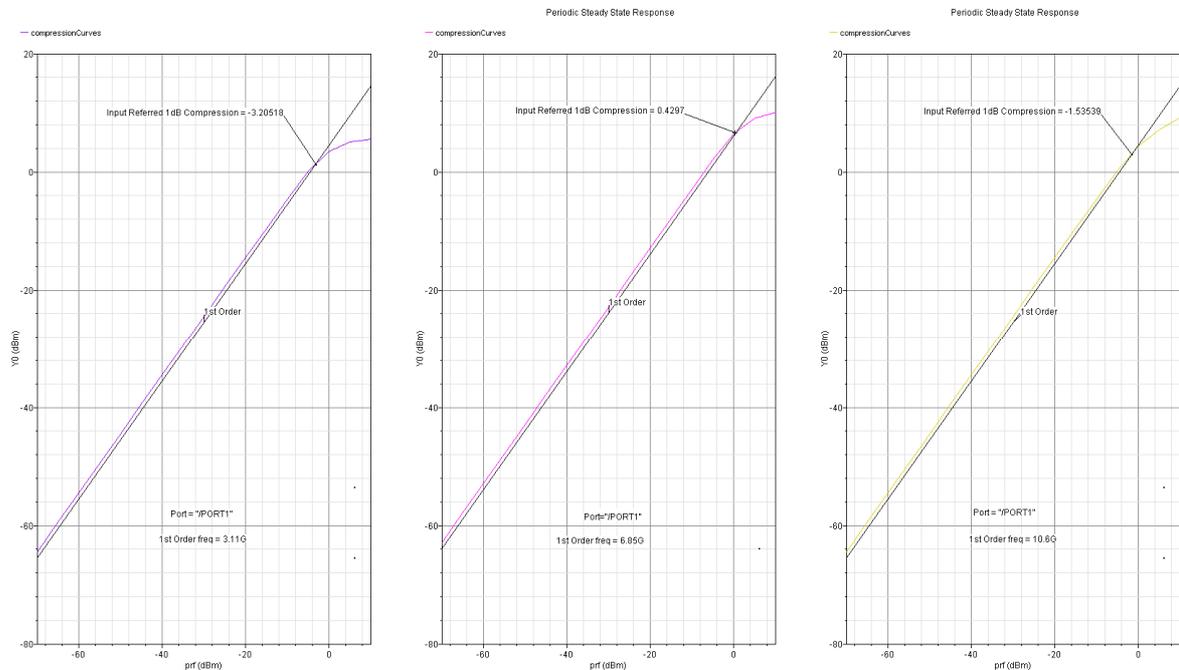


Figura 6.12 P_{1dB} en el centro y en los extremos de la banda del *LNA* cascado doblado.

6.4 Resumen

En este capítulo hemos visto como se realizó el diseño a nivel de *layout* de los dos diseños. Esto se ha logrado aplicando las reglas más comunes para una correcta implementación, así como las técnicas que nos permiten prever posibles errores en el funcionamiento.

Finalmente se ha comprobado el correcto funcionamiento de ambos circuitos mediante las simulaciones pertinentes.

En el siguiente capítulo se expondrán las conclusiones obtenidas durante la elaboración de este trabajo.

Como resumen podemos ver en la tabla 6.1 los resultados finales obtenidos en los dos diseños. Cabe destacar que los resultados obtenidos son muy similares si bien la ganancia es ligeramente mayor en el caso del *LNA* cascado.

Tabla 6.1 Resultados finales de las simulaciones post-layout

	LNA CASCODO	LNA CASCODO DOBLADO
Ganancia (dB)	6.1 ~ 9	5.5 ~ 8.4
NF (dB)	4.6 ~ 8.3	4.5 ~ 7.3
S11 (dB)	≤ -10	≤ -10
S22 (dB)	≤ -10	≤ -10

En la tabla 6.2 se muestran la medida del $IIP3$, $OIP3$ y la ganancia de ambos amplificadores en el centro y en los extremos de la banda de UWB .

Tabla 6.2 Valores de $OIP3$, $IIP3$, y Ganancia del LNA cascode

	LNA CASCODO			LNA CASCODO DOBLADO		
	3.1 GHz	6.85 GHz	10.6 GHz	3.1 GHz	6.85 GHz	10.6 GHz
IIP3(dBm)	9,78717	9,85511	9,825469	6,39482	10,0297	8,06461
Ganancia(dB)	6.125	8.62	5.611	5.554	7.21	5.529
OIP3(dBm)	15,9122	18,47511	15,43647	11,9488	17,2397	13,59361

En la tabla 6.3 se muestra un resumen de todos los componentes utilizados.

Tabla 6.3 Valor de los componentes

Valores de los componentes reales de los LNAs cascode y cascode doblado de banda ancha					
Parámetro	LNA C.	LNA C.D.	Parámetro	LNA C.	LNA C.D
L_1	1.77479 nH	2.074924 nH	C_{IN}	2.10036 pF	1,75 pF
C_1	0 F	0F	W_{M2}	80 μm	80 μm
W_{M1}	170 μm	170 μm	V_{BIAS2}	2.6 V	1.1V
V_{BIAS1}	0.8 V	0.8 V	C_{gs-M2}	160.26 fF	160.26 fF
C_{gs-M1}	356.68 fF	356.68 fF	L_L	1.864898 nH	2.124902 nH
C_{AUX}	500 fF	265 pF	R_L	59 Ω	45 Ω
R_N	22.3~79.7 Ω	27.5~89.7 Ω	I_{BIAS2}	9.163 mA	9.516 mA
L_S	567.94 pH	567.94 pH	V_{dd}	3.6 V	1.8 V
I_{BIAS1}	9.163 mA	9.207 mA	C_{OUT}	2.921 pF	2.921 pF
C_{Buffer}	2.97973 pF	2.4999 pF	I_{Buffer}	16.03 mA	15.94 mA

W_{M4}	5 μm	5 μm	W_{M5}	42 μm	42 μm
R_{Buffer}	1050 Ω	105 Ω	$I_{Vdd-gnd}$	25.163 mA	34.723 mA
W_{M3}	60 μm	60 μm	C_{gs-M3}	83.6 fF	83.6 fF
V_{BIAS3}	0.6 V	0.6 V	C_C	-----	0.6 pF
L_{T2}	-----	2.90856 nH	L_{T1}	-----	3.49947 nH
Parámetro	LNA CASCODO		LNA CASCODO DOBLADO		
Área de Chip	945 μm * 781 μm		963 μm * 848 μm		

CONCLUSIONES

El objetivo de este proyecto era diseñar un amplificador de bajo nivel de ruido (*LNA*) de ultra banda ancha para un receptor de *UWB* usando la tecnología *CMOS* de $0.18\ \mu\text{m}$ suministrada por *UMC* (*United Microelectronic Circuit*). Se comenzó estudiando las principales características de los sistemas de RF para poder abordar el diseño.

El siguiente paso consistió en el estudio del estándar IEEE 802.15.3a propuesto por la *MBOA*. Se han analizado los principales desafíos del diseño del receptor, centrándonos en el estudio de la arquitectura zero-IF por su alta integrabilidad. Para esta arquitectura se ha especificado el panorama de interferencias, la sensibilidad, la linealidad, la figura de ruido y los requisitos del sintetizador y de los filtros.

El siguiente paso fue estudiar las estructuras típicas de los *LNAs* para banda estrecha, para posteriormente modificarlas convenientemente de forma que se obtuviese una respuesta de banda ancha. Como resultado se decidió desarrollar dos *LNAs* de banda ancha, cascodo y cascodo doblado. Ambas arquitecturas poseen la misma red de adaptación a la entrada, un filtro *LC* en escalera de quinto orden que se conforma integrando conjuntamente la degeneración inductiva con un tanque *LC*, el mismo *buffer* de salida y la misma red de carga tipo *shunt-peaking*. Para poder comparar ambos *LNAs* se decidió que las tensiones y corrientes de polarización de los transistores de ambos circuitos fuesen las mismas.

Partiendo de estas arquitecturas y teniendo en cuenta el análisis de la tecnología a emplear, la denominada *CMOS* 0.18 μm de *UMC*, se procedió al diseño de los dos *LNAs* a nivel de esquemático para la banda entera de *UWB*. Los principales problemas que surgieron a la hora del diseño tuvieron que ver con la adaptación de entrada, con la caída de la ganancia y el crecimiento exponencial del ruido en alta frecuencia, y con los efectos perjudiciales de los *pads* y del condensador auxiliar C_{AUX} . También resulto especialmente complicado doblar el circuito cascodo para obtener el circuito cascodo doblado, manteniendo unas prestaciones y tensiones de polarización similares.

Finalmente se procedió al diseño de los dos *layout*. Para ello se utilizaron las reglas comúnmente empleadas en este tipo de trabajos, así como las técnicas que nos permiten prever posibles errores en el funcionamiento. Sin embargo, fue necesario modificar ligeramente los valores de diversos componentes, para así obtener resultados más favorables.

En la tabla 7.1 se muestran los resultados obtenidos a nivel de esquemático frente a los obtenidos a nivel de *layout*. Cabe destacar que si bien tanto la adaptación de la entrada como la de salida se han mantenido casi igual para ambos diseños, la figura de ruido y la ganancia han sufrido un cierto empeoramiento. En el *LNA* cascodo se ha perdido aproximadamente 0.4 *dB* de ganancia del esquemático al *layout*, mientras que la figura de ruido máxima ha aumentado 0.75 *dB*. Para el caso del *LNA* cascodo doblado, la ganancia ha disminuido 0.45 *dB* y la figura de ruido máxima ha aumentado en 0.35 *dB*.

Tabla 7.1 Resultados esquemático frente layout

	LNA Cascodo Esquemático	LNA Cascodo Layout	LNA Cascodo Doblado Esquemático	LNA Cascodo Doblado Layout
S11	< -10 [dB]	< -10 [dB]	< -10 [dB]	< -10 [dB]
S22	< -10 [dB]	< -10 [dB]	< -10 [dB]	< -10 [dB]
S21	6.45~9.45 [dB]	6.1~9.05 [dB]	5.85~8.85 [dB]	5.5~8.4 [dB]
NF	3.99~7.55 [dB]	4.6~8.3 [dB]	4.12~7.06 [dB]	4.5~7.3 [dB]

Finalmente, en la tabla 7.2 se muestra un cuadro resumen donde se comparan los dos LNAs desarrollados en este proyecto con otros LNAs, todos ellos desarrollado en la tecnología CMOS 0.18 μm . Los diseños [13], [22], [23], [24], y [25] son similares a los aquí desarrollados, si bien cada uno de ellos plantea una técnica diferente para potenciar una característica concreta; una fase muy lineal, la reutilización de la corriente, la cancelación de ruido,.... Por otro lado el diseño [14] es un amplificador distribuido donde podemos observar que aunque se consigue mayor ganancia en un ancho de banda mucho mayor, la potencia disipada es casi el doble de la de nuestros diseños. Esto se debe a que su estructura se basa precisamente en distribuir la ganancia entre un mayor número de etapas. Por esta misma razón, con nuestros diseños se consigue disminuir el área en comparación con un amplificador distribuido. En resumen, podemos concluir que las prestaciones de nuestros diseños están a la altura de los desarrollos planteados por el resto de la comunidad científica, si bien nuestro circuito no ha sido medido y cabe esperar que los resultados del circuito final fabricado sean sensiblemente peores.

Tabla 7.2 Valor de los componentes

	S_{11}[dB]	S_{22}[dB]	S_{21}[dB]	NF[dB]	B[GHz]	IIP3*	P[mW]**	Área[μm^2]
C	< - 10	< - 10	6.1~9.05	4.6~8.3	3.1~10.6	9.8	32,99	0.738
C.D	< - 10	< - 12	5.5~8.4	4.5~7.3	3.1~10.6	10	33,70	0,817
[22]	< - 9.5	N/A	4.7~13.2	4.5~7.6	3.1~10.6	1.4	23	1.421
[23]	< - 6.7	N/A	8.5~10.5	5.3~6.3	3.1~10.6	12	29.1	0.82
[24]	< - 8.6	< - 8	7.4~11.9	5~5.6	3.1~10.6	13	9.4	0.92
[25]	< - 9.7	< - 8.4	10~11	4~5.2	3.1~10.6	0.72	22.7	0.447
[13]	< - 9.9	< - 9.3	4.2~9.3	4~9.8	2.3~9.2	-6.7	9	N/A
[14]	< - 8	< - 9	6.5~8.1	4.3~6.1	0.6~22	N/A	52	1.935

* C la frecuencia central de la banda, ≈ 6.85 GHz.

** No se está teniendo en cuenta el consumo del buffer.

Como logros cabe destacar que se han podido comparar ambas arquitecturas y demostrar que pese a trabajar con tensiones de alimentación diferentes, 1.8 V para el *LNA* cascodeo y 3.6 V para el *LNA* cascodeo doblado, las prestaciones de ambas son muy similares.

No obstante no se han podido realizar con éxito diseños viables para la banda entera de *UWB*, debido a que la figura de ruido en ambos diseños no cumple las especificaciones del receptor para *UWB-MBOA* propuesto en el apartado 2. Por lo cual, como continuidad futura de este proyecto a continuación se propondrán una serie de estrategias de diseño que podrían, por sí mismas o combinándose, adecuar el ruido del circuito a los requisitos del receptor propuesto sin modificar sustancialmente el diseño planteado.

- **Trabajar exclusivamente en el Modo 2 de Ultra-WideBand:**

La manera más sencilla de cumplir con las restricciones de ruido es limitar la frecuencias de funcionamiento del amplificador a la Banda 2 de *UWB* 3.1-8.2 GHz. Tal y como se observa en las tablas 5.32 y 5.38, la máxima figura de ruido alcanzada dentro de la Banda 2 de *UWB* para el amplificador cascodeo y cascodeo doblado es de 5.8 dB y 5.3 dB respectivamente, por lo que rediseñando el circuito para dicha banda sería sencillo obtener una figura de ruido menor a 5 dB en ambos diseños. En general, al reducir la banda y con esta el nivel de exigencia del diseño, cabría esperar una mejora en las características del circuito pudiendo potenciarse notoriamente la ganancia del mismo.

- **Eliminar el Condensador Auxiliar:**

Para adecuar el elemento capacitivo del filtro paso alto y así asegurar una adaptación de entrada menor a - 10 dB, durante el estudio teórico en el capítulo 3 planteamos embeber una capacidad auxiliar C_{AUX} en paralelo con C_{GS} . Sin embargo, como se vio en el apartado 5.3.1, figura 5.21, dicha técnica implica un aumento de la figura de ruido proporcional al tamaño de C_{AUX} . Teniendo en cuenta lo anterior, sería conveniente eliminar el condensador auxiliar y recurrir a otra estrategia menos ruidosa para asegurar la adaptación de entrada.

La opción propuesta es sustituir como red de adaptación de entrada el filtro *LC* en escalera de cuarto orden por un filtro *Chebyshev* de tercer orden, que se usa para que la parte reactiva de la impedancia de entrada resuene en la banda de 3.1 GHz a 10.6 GHz sin tener que recurrir a C_{AUX} . En la figura 7.1 se muestra el esquema de la red de adaptación de entrada propuesto para ambos *LNA*. Se trata

de la estructura de un filtro *Chebyshev* con topología en T.

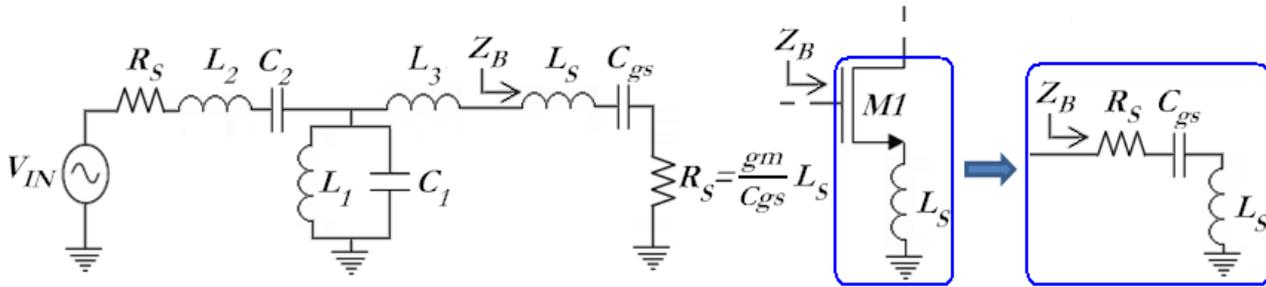


Figura 7.1 Filtro Chebyshev con topología en T vs degeneración inductiva.

Si bien nuevamente el valor ideal de C_3 no va a coincidir con el valor adecuado de C_{gs} , es previsible que podamos compensar la influencia de dicho componente sobre la adaptación de entrada, asegurando que S_{11} sea menor a -10 dB , a través del resto de los elementos de la red sin tener que recurrir a C_{AUX} . El principal inconveniente de esta técnica es el considerable aumento del área del circuito al tener que añadir una bobina y un condensador extra.

- **Integrar L_S usando la técnica *bonding wire inductor*.**

En el capítulo cinco se pretendía originalmente embeber una L_S de 0.2 nH , si bien tal y como analizamos en el capítulo 4 esto no fue posible porque el mínimo valor inductivo que la tecnología UMC 0.18 μm nos permite embeber es de 0.567 nH , por lo que finalmente utilizamos una L_S de 0.567 nH , lo cual aumentó el ruido del circuito especialmente en alta frecuencia. La técnica *bonding wire inductor* nos permite eliminar la restricción impuesta por la tecnología.

En la actualidad la técnica comúnmente empleada en el encapsulamiento de circuitos integrados es *wire bonding*. Dicha técnica emplea finos hilos de oro o aluminio de entre 25 y $250 \mu\text{m}$ para proporcionar la interconexión de los *pad* del circuito con los *pins* del chip en el que va encapsulado. Es bien conocido que dichos hilos muestran una inductancia parasita de pocos nano-henrios y una resistencia de unas decenas de mili-ohmios, por lo que es posible utilizando esta técnica extraer inductores del circuito integrado, en nuestro caso L_S , para integrarlos posteriormente a través del proceso de interconexión. A esta técnica se la conoce por *bonding wire inductor* y fue analizada por primera vez en 1995 por Craninckx y Steyaert [33]. Actualmente existe un alto grado de desarrollo en este tipo técnicas que permiten modelar los hilos de conexionado para integrar un amplio margen de valores inductivos [34-35]. Actualmente existe un alto grado de desarrollo en este tipo técnicas que permiten modelar los hilos de conexionado para integrar un amplio margen de valores inductivos [34-35]. Las figuras 7.2 y 7.3

ilustran esta técnica.

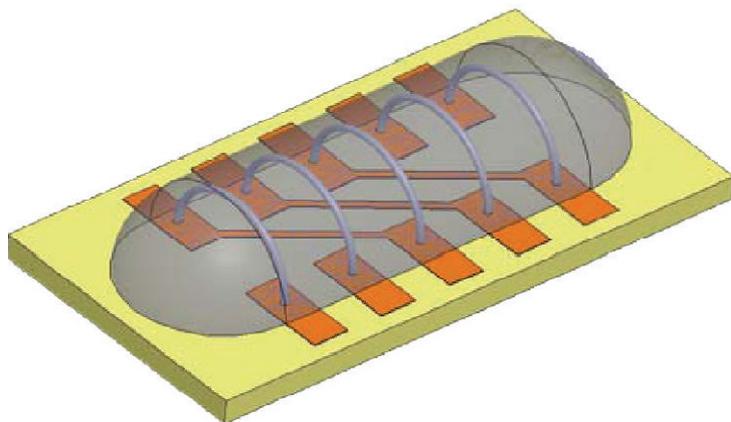


Figura 7.2 Bonding Wire Inductor con cúpula de resina férrica.

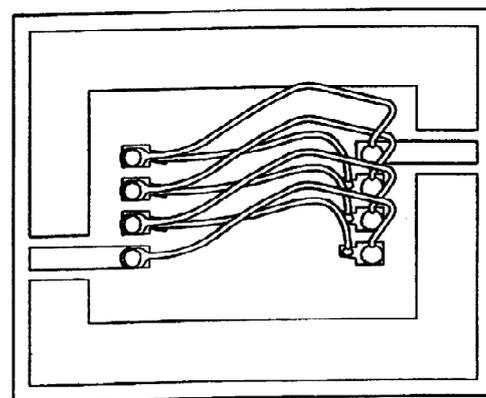


Figura 7.3 Bonding Wire Inductor.

Por otro lado con esta técnica el área del circuito se ve reducida al extraerse L_S , si bien es necesario incluir *Pads* adicionales. El área final dependerá del número de *Pads* que sea necesario añadir para modelar el inductor deseado.

El presente trabajo tiene además otras formas de continuidad en aspectos como la medida de los circuitos y la integración en la cadena del receptor para *UWB*. También se pueden hacer pruebas con otras tecnologías más modernas ya que, como hemos visto, esto traería aparejado un aumento de las prestaciones finales, entre las que estarían, entre otras, la figura de ruido y la ganancia. La utilización de una tecnología superior a la usada en este proyecto junto con la estructura *shunt-peaking* y la integración conjunta de la degeneración inductiva con un tanque *LC* para reducir el número de bobinas es una línea de trabajo que, a buen seguro, podría arrojar resultados relevantes.

Finalmente hay que destacar la línea de trabajo que subyace en este proyecto fin de carrera es parte de una línea de investigación de más envergadura *Short Range Radio (SR2)* en la que se desarrollan varios proyectos encaminados a estudiar las posibilidades de integración de terminales inalámbricos basados en los estándares de última generación, así como las aplicaciones de las mismas.

PRESUPUESTO

PRESUPUESTO

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento, para concluir con el estudio, en este capítulo se realizará un análisis económico con los costes tanto parciales como totales del proyecto.

Desglose del Presupuesto

Para la realización del presupuesto se han seguido las recomendaciones del Colegio oficial de Ingenieros de Telecomunicación (COIT) sobre los baremos orientativos mínimos para trabajos profesionales en 2009, [31]. El presupuesto se ha desglosado en varias secciones en las que se han separado los distintos costes asociados al desarrollo del proyecto. Estos costes se dividen en:

- Recursos materiales.
- Trabajo tarifado por tiempo empleado.
- Costes de redacción del proyecto.
- Costes de Fabricación.
- Material fungible.
- Derechos de visado del COIT.
- Gastos de tramitación y envío.
- Aplicación de impuestos.

Recursos Materiales

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes software, material hardware y el mantenimiento de estos. Estos equipos hardware y paquetes software presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se han estimado en 100.

Tabla P.1 Costes de amortización de los recursos software y hardware

DESCRIPCIÓN	TIEMPO DE USO	DESCRIPCIÓN		TIEMPO DE USO
		TOTAL	USUARIO	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	12 meses	6.803 €	68,03 €	68,03 €
Servidor para simulación SUN Sparc Station 10	12 meses	6.643 €	66,43 €	66,43 €
Impresora Hewlett Packard Laserjet 4L	12 meses	296 €	2,96 €	2,96 €
Ordenador Personal Pentium IV 2 GHz	12 meses	411 €	4,11 €	4,11 €

Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	12 meses	903 €	9,03 €	9,03 €
Entorno Windows XP Profesional	12 meses	306 €	3,06 €	3,06 €
Microsoft Office XP	12 meses	449 €	4,49 €	4,49 €
Cadence con Kit de diseño	12 meses	1.500 €	15 €	15 €
TOTAL				173,11 €

Trabajo tarifado por tiempo empleado

El proyectante ha invertido 12 meses en las tareas de formación, especificación, desarrollo y documentación necesarias para la elaboración del presente proyecto fin de carrera. El importe de las horas de trabajo empleadas para la realización del proyecto se calcula siguiendo las recomendaciones del COIT:

$$H = C_t \cdot 74,88 \cdot H_n + C_t \cdot 74,88 \cdot H_E \text{ (€)}$$

Donde:

- H son los honorarios totales por el tiempo dedicado.
- H_n son las horas normales trabajadas (dentro de la jornada laboral).
- H_E son las horas especiales.
- C_t es un factor de corrección función del número de horas trabajadas.

Teniendo en cuenta que el tiempo destinado para la formación y documentación no se incluye en el cálculo debido a que estas tareas son necesarias y benefician sólo al alumno, para la realización de este proyecto han sido necesarias 1600 horas (8 horas/día · 5 días/semana · 4 semanas/mes · 10 meses), todas ellas dentro del horario normal.

Según el COIT, el coeficiente C_t tiene un valor variable en función del número de horas empleadas de acuerdo con la siguiente tabla:

Tabla P.2 Factor de corrección en función del número de horas invertida

HORAS			COEFICIENTES
Hasta	36 horas		C=1
Exceso de	36 horas	hasta 72 horas	C=0,9
Exceso de	72 horas	hasta 108 horas	C=0,8
Exceso de	108 horas	hasta 144 horas	C=0,7
Exceso de	144 horas	hasta 180 horas	C=0,65
Exceso de	180 horas	hasta 360 horas	C=0,60
Exceso de	360 horas	hasta 510 horas	C=0,55
Exceso de	510 horas	hasta 720 horas	C=0,50
Exceso de	720 horas	hasta 1.080 horas	C=0,45
Exceso de	1.080 horas		C=0,40

Como se puede observar el número de horas es superior a 1080, con lo que según la tabla anterior $C_t = 0.40$ por lo que según la ecuación del importe de horas de trabajo se obtiene una tarifa total por el tiempo empleado de 47923,20 €.

$$H = 0,4 \cdot 74,88 \cdot 1600 + 0,4 \cdot 74,88 \cdot 0 = 47923,20 \text{ €}$$

En la tabla siguiente se desglosa el tiempo de trabajo invertido.

Tabla P.3 Costes por tiempo empleado
COSTES POR TIEMPO EMPLEADO

DESCRIPCIÓN	Tiempo	Tiempo/Mes	Importe
Documentación	1	0	0
Formación	1	0	0
Especificaciones	2	4792,32 €	9.584,64 €
Desarrollo	8	4792,32 €	38.338,56 €
Costes Totales	47.923,20 €		

Los honorarios totales por tiempo dedicado libres de impuestos ascienden a cuarenta y siete mil novecientos veintitrés euros con veinte céntimos (47.923,20 €).

Costes de redacción del proyecto

El importe de la redacción del proyecto se calcula de acuerdo a la siguiente expresión:

$$R = 0,07 \cdot P \cdot C_h (\text{€})$$

Donde:

- P es el presupuesto del proyecto.
- C_h es el coeficiente de ponderación en función del presupuesto.

En la siguiente tabla se muestra el presupuesto calculado hasta el momento:

Tabla P.4 Costes de redacción del proyecto

DESCRIPCIÓN	COSTES
Recursos Software y Hardware	173,11 €
Trabajo Tarifado Por Tiempo Empleado	47.923,20 €
Total	48.096,31 €

El presupuesto P calculado hasta el momento asciende a 48.096,31 €. Como el coeficiente de ponderación para presupuestos de más de 42.070,70 €, y menos de 63.106,05 € viene definido por el COIT con un valor de 0,45, el coste derivado de la redacción del proyecto es de:

$$R = 0,07 \cdot 48.096,31 \text{ €} \cdot 0,45 = 1.515,03 \text{ €}$$

Por tanto el coste libre de impuestos derivado de la redacción del proyecto es de mil quinientos trece con setenta y siete céntimos (1.515,03 €).

Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación de los circuitos desarrollados.

Tabla P.5 Costes de fabricación

DESCRIPCIÓN	mm ²	PRECIO mm ²	GASTOS
Fabricación de los circuitos	2	1.000€	2.000 €
TOTAL			2.000 €

Material fungible

Además de los recursos hardware y software, en este proyecto se han empleado otros materiales, como son los folios y el tóner de la impresora entre otros, Presupuesto que se especifican como material fungible. En la tabla siguiente se muestran los costes generados por estos recursos.

Tabla P.6 Costes del material fungible

DESCRIPCIÓN	COSTES
Folios	10 €
Tones de Impresora	75 €
Encuadernación	105 €
Total	195 €

Derechos de visado del COIT

Los gastos de visado del COIT se tarifican mediante la siguiente expresión:

$$V = 0,006 \cdot P \cdot C_V (\text{€})$$

Donde:

- P el presupuesto del proyecto.
- C_V es el coeficiente reductor en función del presupuesto del proyecto.

El presupuesto P calculado hasta el momento asciende a la suma de los costes de ejecución material, de redacción, de fabricación y de material fungible.

$$P = 48.096,31 + 1515,03 + 2.000 + 195 = 51.806,34\text{€}$$

Como el coeficiente C_V para presupuestos de más de 30.050 € y menos de 60.101 €, viene definido por el COIT con un valor de 0,90, el coste de los derechos de visado del proyecto asciende a la cantidad de:

$$V = 0,006 \cdot 51.806,34 \cdot 0,90 = 279,76\text{€}$$

Por tanto el coste de los derechos de visado del proyecto asciende a doscientos setenta y nueve euros con setenta y seis céntimos (279,76 €).

Gastos de tramitación y envío

Los gastos de tramitación y envío están fijados en 6,01 €

Aplicación de Impuestos

El coste total del proyecto, antes de aplicarle los correspondientes impuestos, asciende 52.092,20 €, a lo que hay que sumarle el 5% de IGIC, con lo que el coste definitivo del proyecto es:

Tabla P.7 Costes totales del proyecto

COSTES TOTATES DEL PROYECTO	
DESCRIPCIÓN	TOTAL
Recursos Materiales	173,11 €
Costes de Ingeniería	47.923,20 €
Costes de Redacción	1.515,03 €
Costes de Fabricación	2.000 €
Material Fungible	195 €
Derechos de Visado	279,76 €
Tramitación y Envío	6,1 €
Subtotal	52.092,2 €
Aplicación de Impuestos (5% I.G.I.C.)	2.604,61 €
Total	54.696,81 €

El presupuesto total asciende a la cantidad de **cincuenta y cuatro mil seiscientos noventa y seis euros con ochenta y un céntimos (54.696,81 €)**.

Don Sergio Rosino Rincón, autor del presente Proyecto Fin de Carrera, declara que:

El Proyecto Fin de Carrera con título "*Diseño de un LNA de ultra banda ancha tipo cascodo doblado en CMOS 0.18 μm* ", desarrollado en la Escuela Técnica Superior de Ingenieros de Telecomunicación, de la Universidad de Las Palmas de Gran Canaria, en el período de un año, tiene un coste de desarrollo total de 54.696,81 €.

El autor del proyecto

Sergio Rosino Rincón

Las Palmas de Gran Canaria a XX de Abril de 2011.

BIBLIOGRAFÍA

BIBLIOGRAFIA

- [1] UMC United Microelectronics Corporation, “018 μm Mixed-Mode/RF CMOS Design Rules” Rev. 2.0. 2003.
- [2] UMC United Microelectronics Corporation, “0.18 μm Mixed-Mode/RF CMOS Process Parameters” Rev. 2.2., 2002.
- [3] UMC United Microelectronics Corporation, “0.18 μm Mixed-Mode/RF CMOS Foundry Design Kit” Rev. 1.1., 2007.
- [4] T.H. Lee, “The Design of CMOS RF Integrated Circuits” Cambridge University Press, pp. 34-57, 1998.
- [5] F. Javier del Pino, “Diseño de Circuitos Integrados de Radiofrecuencia” apuntes de la asignatura: Electrónica Aplicada a las Comunicaciones, ULPGC. BIBLIOGRAFÍA

- [6] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", Mc Graw Hill, Jun. 2001.
- [7] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [8] A. Bevilacqua, A. M. Niknejad, "An Ultrawideband CMOS Low-Noise Amplifier for 3.1-10.6 GHz Wireless Receivers", IEEE JSSC, VOL. 39, NO. 12, 2004.
- [9] H. M. Bode, Network Analysis and Feedback Amplifier Design. New York: D. Van Nostrand, p. 281, 1945.
- [10] R. M. Fano, "Theoretical limitations on the broadband matching of arbitrary impedances", J. Franklin Inst., vol. 249, pp. 57–83, Jan.–Feb. 1950.
- [11] J. R. Barrios, "Diseño de un amplificador de bajo ruido para un receptor GPS", Proyecto Final de Carrera, ULPGC, 2001.
- [12] H. J. Orchard, "Loss sensitivities in singly and doubly terminated filters," IEEE Trans. Circuits Syst., vol. CAS-26, pp. 293–297, May 1979.
- [13] Bevilacqua, A., and Niknejad, "An ultra wideband CMOS low noise amplifier for 3.1–10.6-GHz wireless receivers", IEEE J. Solid-State Circuits, Vol. 39, pp. 2259–2268, Dic., 2004.
- [14] Ren-Chieh Liu, Kuo-Liang Deng, and Huei Wang, "A 0.6–22-GHz broadband CMOS distributed amplifier," in IEEE Radio Frequency Integrated Circuits Symp. Dig. Papers, 2003, pp. 103–106, 2003.
- [15] A. Bellomo, "Gain and noise considerations in RF feedback amplifier," IEEE J. Solid-State Circuits, vol. 3, no. 3, pp. 290–294, Sep. 1968.
- [17] FCC, "Revision of Part 15 of the Commission's Rules Regarding Ultra-Wideband Transmission Systems" FCC 02-48, First Report and order, 2002.

- [18] MB OFDM Alliance-SIG, "Multiband OFDM Physical Layer Proposal for IEEE 802.15 Task Group 3a", Sept, 2004.
- [19] A. Ismail and A. Abidi, "A 3.1 to 8.2 GHz direct conversion receiver for MB-OFDM UWB communication," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, pp. 208–209, 2005.
- [20] B. Razavi et al., "A 0.13_μm CMOS UWB transceiver," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, pp. 216–217, 2005.
- [21] R. Roovers, D. M. W. Leenaerts, J. Bergervoet, K. S. Harish, R. C. H. van de Beek, G. van der Weide, H. Waite, Y Zhang, S. Aggarwal, and C. Razzell, "An Interference- Robust Receiver for Ultra-Wideband Radio in SiGe BiCMOS Technology", IEEE Journal of Solid-State Circuits, vol. 40, no. 12, 2005.
- [22] Bonghyuk Park, Sangsung Choi, and Songcheol Hong, "A Low-Noise Amplifier With Tunable Interference Rejection for 3.1- to 10.6-GHz UWB Systems", IEEE Microwave and Wireless Components Letters, Vol. 20, pp. 40-42, NO. 1, Jan., 2010.
- [23] Hwann-Kaeo Chiou, and Hsien-Jui Chen, "3.1–10.6 GHz ULTRA-WIDEBAND RF RECEIVER IN 0.18 μm CMOS TECHNOLOGY", Microwave and Optical Technology Letters, Vol. 52, pp. 232-236, No. 1, Jan, 2010.
- [24] H.L. Kao, K.C. Chang, and Chang Gung, "Very low-power CMOS LNA for UWB wireless receivers using current-reused topology", Solid-State Electronics, vol. 52, pp. 86–90, 2008.
- [25] Chang-Zhi Chen, Jen-How Lee, Chi-Chen Chen, and Yo-Sheng Lin, "An Excellent Phase-Linearity 3.1-10.6 GHz CMOS UWB LNA Using Standard 0.18 μm CMOS Technology", Proceedings of Asia-Pacific Microwave Conference, 2007.
- [26] Yueh-Hua Yu, Yi-Jan Emery Chen, and Deukhyoun Heo, "An Ultra-low Voltage UWB CMOS Low Noise Amplifier" Proceedings of Asia-Pacific Microwave Conference, pp. 2006.

[27] Sunil L. Khemchandani, Dailos Ramos-Valido, Hugo Garcia Vazquez, Ruben Pulido-Medina, and Javier del Pino, "A Low Voltage Folded Cascode LNA For Ultra-WideBand Applications" *Microwave and Optical Technology Letters*, Vol. 52, pp. 2495-2500, NO. 11, Nov., 2010.

[28] Aly Ismail and Asad A. Abidi, "A 3–10-GHz Low-Noise Amplifier With Wideband LC-Ladder Matching Network", *IEEE Journal Of Solid-State Circuits*, VOL. 39, pp. 2296-2277, NO. 12, DECEMBER 2004.

[29] H. J. Orchard, "Loss sensitivities in singly and doubly terminated filters," *IEEE Trans. Circuits Syst.*, vol. CAS-26, pp. 293–297, May 1979.

[30] Página web del COITT: <http://www.coit.es/>

[31] Página web Bluetooth: <http://www.bluetooth.com/>

[32] Software y manuales CADENCE: <http://www.cadence.com/>

[33] J. Craninckx and M. S. J. Steyaert, "A 1.8-GHz CMOS low phase-noise voltage-controlled oscillator with prescaler," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 12, pp. 1474–1482, 1995.

[34] Jian Lu, Hongwei Jia, Andres Arias, Xun Gong, and Z. John Shen, "On-Chip Bondwire Magnetics with Ferrite-Epoxy Glob Coating for Power Systems on Chip", *International Journal of Power Management Electronics*, vol. 10, 2008.

[35] Jong-Wan Kim, Hidekuni Takao, Kazuaki Sawada, and Makoto Ishida, "Integrated Inductors for RF Transmitters in CMOS/MEMS Smart Microsensor Systems," *Sensor*, vol. 7, pp. 1387-1398, 2007.

GND

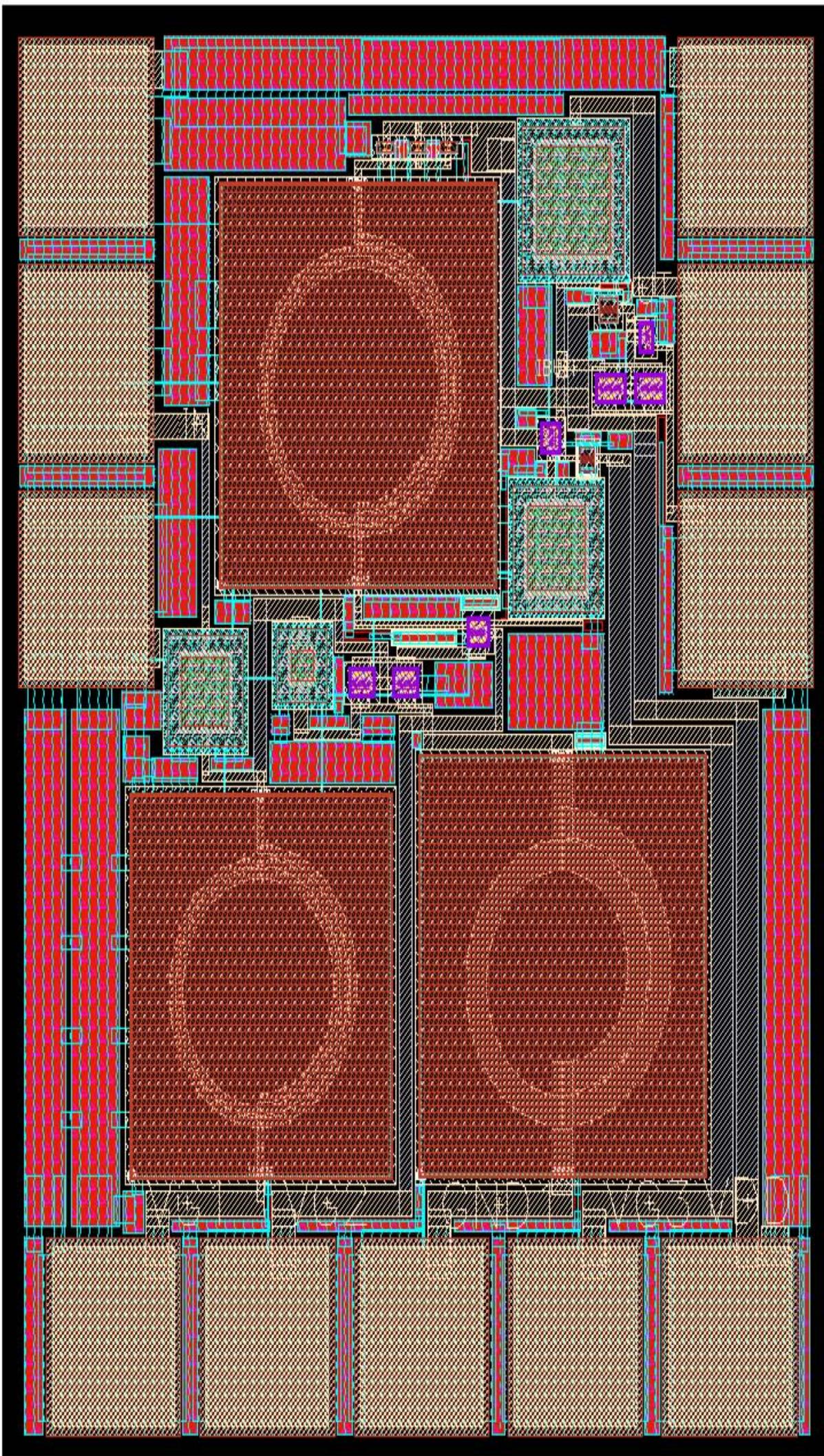
GND

IN

OUT

GND

GND



VG1

VG2

GND

VG3

VDD

GND

GND

IN

OUT

GND

GND

VG1

VG2

GND

VG3

VDD

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2013

