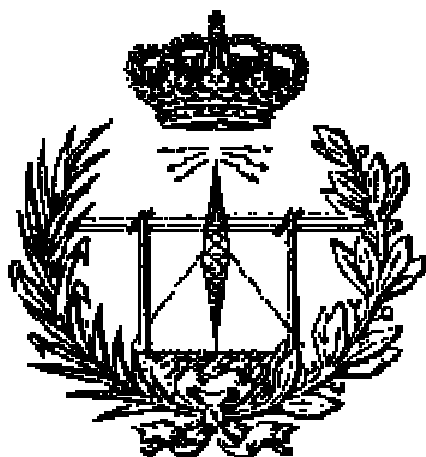


**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA UNIVERSITARIA DE INGENIERÍA
TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN AMPLIFICADOR CMOS INTEGRADO
PARA SER UTILIZADO COMO DRIVER PARA
CARGAS CAPACITIVAS ELEVADAS**

Titulación: Sistemas Electrónicos.

Autor: Enara Ortega García.

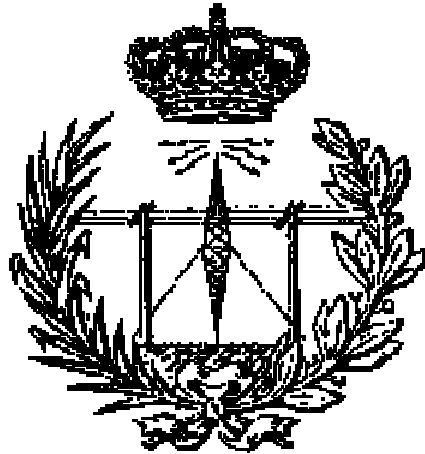
Tutores: Fco. Javier del Pino Suárez.

Sunil Lalchand Khemchandani.

Fecha: Septiembre 2009.

**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA UNIVERSITARIA DE INGENIERÍA
TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN AMPLIFICADOR CMOS INTEGRADO
PARA SER UTILIZADO COMO DRIVER PARA
CARGAS CAPACITIVAS ELEVADAS**

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:

Titulación: Sistemas Electrónicos.

Autor: Enara Ortega García.

Tutores: Fco. Javier del Pino Suárez.

Sunil Lalchand Khemchandani.

Fecha: Septiembre 2009.

Índice

1. Introducción

1.1	Introducción	1
1.2	Objetivos	3
1.3	Estructura de la memoria	3

2. El transistor MOS

2.1	Introducción	5
2.2	Funcionamiento	6
2.3	Curva característica de los transistores	8
2.3.1	Transistor tipo N	8
2.3.2	Transistor tipo P	10
2.4	Regiones de operación de los transistores	11
2.4.1	Región de corte	11
2.3.2	Región lineal	12
2.3.3	Región de saturación	13
2.5	Cálculo de la K y la V_t de los transistores	13
2.6	Desviaciones del modelo	14
2.7	Modelo en Pequeña Señal	15
2.8	Modelo en Alta Frecuencia	16
2.9	Conclusiones	19

3. Introducción a los Amplificadores Operacionales

3.1	Introducción	21
3.2	Parámetros de un Op-Amp	21
3.2.1	Tensión de Offset	21
3.2.2	Corriente de entrada	23
3.2.3	Tensión de entrada en modo común	24
3.2.4	Excursión de salida máxima	24
3.2.5	Impedancia de salida	25
3.2.6	Rechazo en modo común	26
3.2.7	Rechazo a la fuente de alimentación	26
3.2.8	Slew Rate	26
3.2.9	Ancho de banda para ganancia unidad y margen de fase	28
3.2.10	Tiempo de establecimiento	30
3.3	Conclusiones	31

4. Diseño de Op-Amps

4.1	Introducción	33
4.2	Etapa de entrada	34
4.2.1	Circuitos equivalentes en pequeña señal	35
4.3	Fuentes de corriente	40
4.3.1	Características ideales de un espejo de corriente	40
4.3.2	Análisis de un espejo de corriente básico	41
4.3.3	Espejos de corriente analizados	43
4.3.3.1	<i>Espejo de corriente básico</i>	43
4.3.3.2	<i>Espejo de corriente cascada/cascodo</i>	44
4.3.3.3	<i>Espejo de corriente Wilson</i>	46
4.3.3.4	<i>Espejo de corriente Wilson modificado</i>	47
4.3.3.5	<i>Espejo de corriente cascodo reducido</i>	47
4.3.4	Fuentes de corriente como cargas activas	49
4.4	Etapas de salida	50
4.4.1	Clasificación de las etapas de salida	50
4.4.1.1	<i>Etapa de salida clase A</i>	51
4.4.1.2	<i>Etapa de salida clase B</i>	54
4.4.1.3	<i>Etapa de salida clase AB</i>	55
4.5	Respuesta en frecuencia	57
4.6	Realimentación y compensación	61
4.6.1	Realimentación negativa	61
4.6.2	Estabilidad de amplificadores realimentados	62
4.6.3	Tipos de compensación	64
4.6.4	Implementación	66
4.6.4.1	<i>Compensación por polo dominante o Miller</i>	66
4.6.4.2	<i>Compensación por polo-cero</i>	68
4.7	Cálculo del producto ganancia por ancho de banda (GBW)	68
4.8	Relación importante para el diseño	70
4.9	Ejemplo de diseño	70
4.9.1	Diseño de un OTA	71
4.9.2	Diseño de un Op-Amp de dos etapas	76
4.10	Conclusiones	80

5. Diseño del driver. A nivel de esquemático

5.1	Introducción	81
5.2	Especificaciones	82
5.3	Etapa de entrada tipo N	82
5.4	Etapa de entrada tipo P	88
5.5	Etapa de entrada complementaria	94
5.6	Conclusiones	109

6. Diseño del driver. A nivel de <i>layout</i>	
6.1	Introducción _____ 111
6.2	Diseño en <i>CADENCE</i> _____ 111
6.3	Layout _____ 114
6.3.1	Layout de pistas_____ 114
6.3.2	Layout de transistores MOS_____ 115
6.3.3	Layout de resistencias_____ 118
6.3.4	Layout de capacidades_____ 119
6.3.5	Técnicas de diseño_____ 120
	6.3.5.1 <i>División de los transistores en dedos</i> _____ 120
	6.3.5.2 <i>Apareamiento o matching</i> _____ 121
	6.3.5.3 <i>Técnica del centroide común</i> _____ 122
6.3.6	Reglas de diseño_____ 123
	6.3.6.1 <i>Tamaño de los polígonos</i> _____ 124
	6.3.6.2 <i>Regla de separación</i> _____ 124
	6.3.6.3 <i>Regla de solapamiento</i> _____ 124
6.4	Nuestro layout _____ 124
6.5	Conclusiones _____ 127
7. Resultados y conclusiones	
7.1	Introducción _____ 129
7.2	Resumen _____ 129
7.3	Resultados _____ 130
7.4	Líneas futuras _____ 140
Presupuesto _____	143
Bibliografía _____	151

INTRODUCCIÓN

1.1 Introducción

El primer circuito integrado se desarrolló en 1958 por el ingeniero Jack Kilby, desde entonces han evolucionado rápidamente, tanto que habiendo transcurrido tan sólo medio siglo desde su desarrollo, éstos se han vuelto casi omnipresentes en nuestras vidas. Hoy en día encontramos circuitos integrados en todos los aparatos electrónicos modernos como automóviles, televisores, teléfonos móviles, etc.

Podemos definir un circuito integrado como la incorporación de todos los componentes activos y pasivos de un circuito electrónico de manera conjunta en una única pastilla de material semiconductor.

Actualmente, la tecnología más empleada en la fabricación de circuitos integrados es la del silicio llegando a cubrir más del 85% del mercado mundial de los semiconductores. Además, es considerada como la tecnología actual más madura y en ella se incorporan los circuitos más avanzados.

Los procesos de fabricación actuales de los circuitos integrados se basan en los principios de la tecnología *planar*, en la que todos los componentes están localizados en la superficie superior del cristal de silicio. El proceso de fabricación consiste en la aplicación de una secuencia de procesos físico-químicos en la superficie del cristal, actuando de forma selectiva mediante el uso de máscaras junto a un delicado y crítico proceso de fotolitografía miniaturizada.

Por lo tanto, podemos decir que los circuitos integrados, en su versión de tecnología CMOS, actualmente madura, o en la de tecnologías previsibles a medio plazo, han tenido un protagonismo en el progreso de las áreas de la computación, las comunicaciones y la automatización. Hasta la actualidad y según la previsión para la próxima década, este progreso se puede expresar básicamente por la ley de Moore: “Todos los parámetros característicos de las tecnologías de la información mejoran en un factor de 2 cada 1.5 a 3 años”.

En 1980 muchos expertos predijeron el declive de los circuitos analógicos ya que el mundo digital estaba desarrollándose rápidamente debido a los avances en las tecnologías de los circuitos integrados. Muchas funciones que habían sido realizadas por los circuitos analógicos ahora se realizaban fácilmente en el dominio digital. Pero esta predicción nunca se ha llegado a cumplir, porque aunque el procesado de señales digitales haya avanzado mucho desde entonces los circuitos analógicos son necesarios en muchos sistemas.

Un gran paso en el desarrollo de los circuitos integrados fue aplicar la tecnología CMOS a diseños analógicos. El bajo coste de fabricación y la posibilidad de localizar circuitos analógicos y digitales en el mismo chip mejora el rendimiento y reduce el coste.

Sin embargo, en un principio los MOSFETs eran más lentos y ruidosos que los transistores bipolares, encontrando limitaciones en diversas aplicaciones. A pesar de esto la tecnología CMOS ha llegado a ser dominante en el mercado analógico debido a la continua mejora de la velocidad, la cual se ha incrementado muchísimo en los últimos 30 años, llegando a ser comparable con la de los transistores bipolares.

Por lo tanto, podemos decir que las tecnologías de circuitos integrados han abarcado ampliamente diseños analógicos, permitiendo una complejidad, velocidad y precisión que sería imposible conseguir usando implementaciones discretas.

1.2 Objetivos

El principal objetivo de este proyecto es realizar el diseño de un amplificador operacional completamente integrado en tecnología CMOS para ser utilizado como driver. Por tanto, el circuito de salida deberá proporcionar corrientes de salida lo suficientemente altas, como para soportar cargas capacitivas de salida elevadas. Concretamente, el circuito debe ser capaz de trabajar con cargas de salida de valores comprendidos entre 1pF y 3nF y todo ello con un consumo máximo de 1.6mA. Además, el circuito deberá ser estable para diferentes condiciones de polarización (VDD: 2.7V – 3.6V) y de temperatura ($T = -40^{\circ} - 85^{\circ}$). El circuito será integrado en la tecnología CMOS 0.18 μ m de UMC.

Para el diseño del amplificador operacional se llevará a cabo un estudio teórico de los transistores MOS que vamos a emplear y de los parámetros más importantes que debemos tener en cuenta a la hora del diseño.

Una vez completado el estudio teórico se procede a la elaboración del diseño. Para la elaboración del mismo se seguirá el flujo de diseño típico en un sistema integrado, es decir, se partirá de un diseño a nivel de esquemático que poco a poco se irá optimizando para, posteriormente, pasar a la elaboración del *layout* del mismo. Una vez finalizadas las simulaciones de los diseños se procede al envío de los circuitos a fabricación, dando por finalizado el trabajo. Es digno de mención que al tratarse de un sistema analógico, el diseño a nivel de *layout* debe realizarse enteramente a mano ya que no se dispone de células estándar que faciliten el diseño del mismo (diseño *full-custom*).

En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.3 Estructura de la memoria

La memoria se desarrollará en siete capítulos acompañados del presupuesto y de la bibliografía. A continuación presentamos un breve resumen de cada capítulo.

En el Capítulo 2 se hará un estudio de los dispositivos activos, los transistores MOS. En donde además de ver el funcionamiento de éstos, calcularemos los parámetros K y V_t de la tecnología en la que implementaremos nuestro diseño.

En el Capítulo 3 se hará una pequeña introducción a los amplificadores operacionales donde veremos todos aquellos parámetros más importantes que deberemos tener en cuenta a la hora del diseño de los mismos.

En el Capítulo 4 veremos el diseño de un amplificador operacional básico. Para ello estudiaremos las diferentes etapas que lo componen (fuentes de corriente, etapas de entrada y salida, realimentación, etc). También veremos el diseño de un amplificador de transconductancia (OTA) como paso previo al diseño del amplificador operacional.

En el Capítulo 5 probaremos diferentes estructuras de amplificadores operacionales hasta encontrar el diseño óptimo que cumpla con las especificaciones pedidas en este proyecto. Estos diseños por simplicidad los haremos en ADS para, una vez decidida la estructura de nuestro diseño, pasarnos a *CADENCE* donde trabajaremos con la tecnología en la que será implementado.

En el Capítulo 6 optimizaremos en *CADENCE* el diseño elegido en el capítulo anterior ya con la tecnología en la cual se va a implementar. Probaremos que el diseño funciona para todos los casos posibles y, una vez comprobado que su comportamiento es el deseado pasaremos a realizar su vista *layout*.

Por último, en el Capítulo 7, se resumirán las principales conclusiones. Por otro lado, se muestran los resultados de las simulaciones del diseño donde vemos que cumple con todas las condiciones en todos los casos posibles.

EL TRANSISTOR MOS

2.1 Introducción

Antes de comenzar con el diseño debemos realizar un estudio de la tecnología que vamos a utilizar en nuestro diseño. En este caso usaremos la tecnología CMOS 0.18 μm de UMC. De los dispositivos activos de esta tecnología sólo estudiaremos los MOSFET, ya que nuestro diseño constará únicamente de estos transistores, siendo la longitud de puerta mínima de 0,18 μm .

Los primeros estudios de los transistores de efecto de campo se remontan a 1953 (Shockley con la teoría del JFET), pero no es hasta principios de los años sesenta cuando D. Kahng y J. Atalla realizan el primer transistor de efecto de campo MOS, también denominado MOSFET (iniciales de Metal Oxide Semiconductor Field Effect Transistor).

El principio de funcionamiento de los transistores MOS se basa en el uso de un campo eléctrico para la creación de un canal de conducción por donde circulará la corriente que podrá ser en forma de electrones o huecos.

El MOSFET es un dispositivo de cuatro terminales denominados drenador (D, del inglés *Drain*), puerta (G, del inglés *Gate*), surtidor o fuente (S, del inglés *Source*) y sustrato (B, del inglés *Bulk*). La corriente (electrones o huecos) en el interior del dispositivo, circula desde la fuente hasta el drenador, y es controlada por la puerta. Al terminal del sustrato se le aplica una tensión constante y ésta fijará la tensión umbral del transistor.

En estos transistores bajo el terminal de puerta existe una capa de óxido (SiO_2) que impide prácticamente el paso de corriente; por lo que el control de la puerta se establece en forma de tensión. La calidad y estabilidad con que es posible fabricar estas finas capas de óxido es la principal causa del éxito de este transistor. Además, una propiedad muy importante de este dispositivo es que suele ocupar sobre el silicio un área muy pequeña, lo que permite una alta densidad de integración.

2.2 Funcionamiento

Existen dos tipos de transistores **MOS**, dependiendo de que la corriente sea por huecos o electrones: **MOSFET** de canal N o **NMOS** y **MOSFET** de canal P o **PMOS**. El corte esquemático y símbolo de estos transistores se muestra en la Figura 2.1:

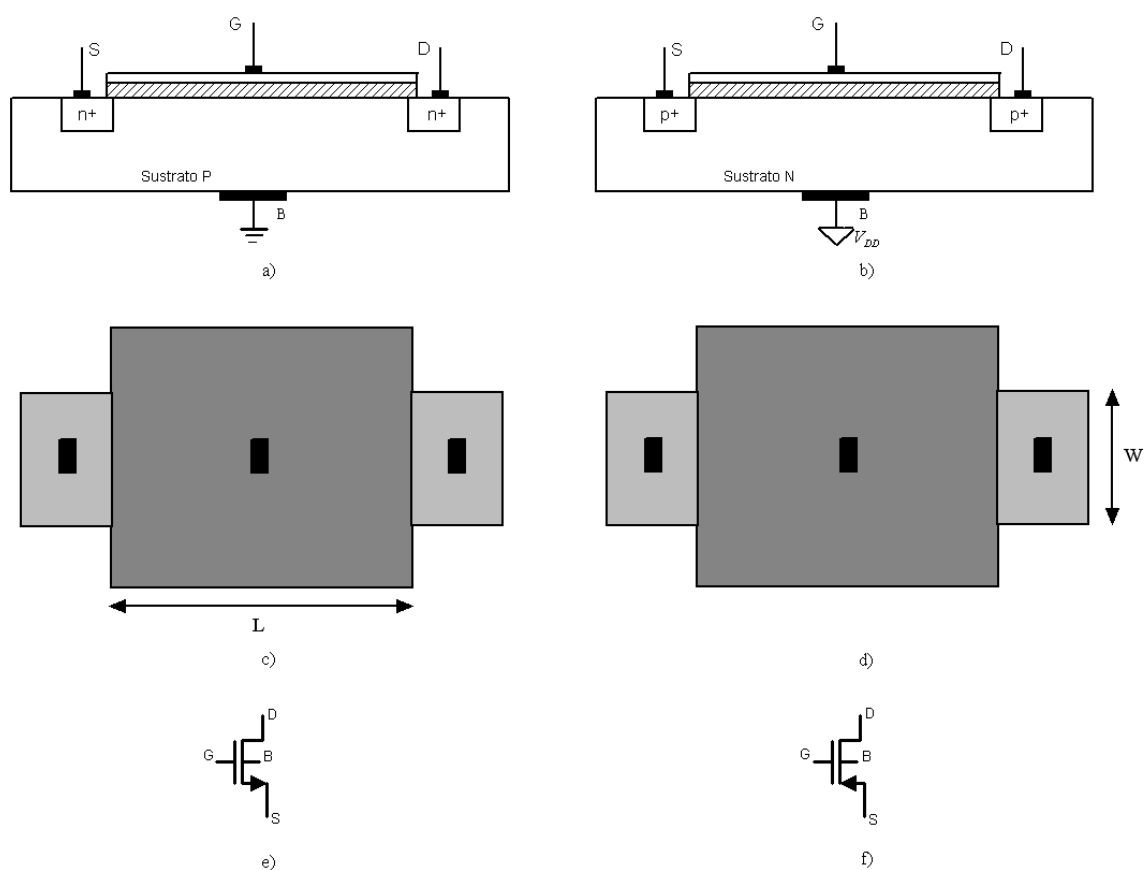


Figura 2.1 Corte esquemático y símbolos de los transistores MOS

Vemos que el dopaje del sustrato es opuesto al tipo de portador que origina la corriente. Así, para un transistor NMOS (electrones en conducción) el dopaje del sustrato es tipo P, mientras que para un transistor PMOS (huecos en conducción) el dopaje del sustrato es

tipo N. Y con el fin de facilitar la corriente a través de los terminales de fuente y drenador, se crea bajo ellas regiones con dopaje elevado, del mismo tipo que los portadores del canal (regiones N+ y P+).

Cuando aplicamos una tensión positiva al terminal de puerta de un MOSFET de canal N, se crea un campo eléctrico bajo la capa de óxido que incide perpendicularmente sobre la superficie del semiconductor. Este campo atrae a los electrones hacia la superficie bajo el óxido, repeliendo los huecos hacia el sustrato. Si el campo eléctrico es muy intenso se logra crear en dicha superficie una región muy rica en electrones, denominada canal N, que permite el paso de corriente de la fuente al drenador; cuanto mayor sea la tensión de puerta mayor será el campo eléctrico y, por tanto, la carga en el canal. Una vez creado el canal, la corriente se origina aplicando una tensión en el drenador positiva respecto a la de la fuente.

En el caso de un MOSFET de canal P el funcionamiento es a la inversa. Para que exista conducción el campo eléctrico perpendicular a la superficie debe tener sentido opuesto al del MOSFET de canal N, por lo que la tensión aplicaba debe ser negativa. Ahora los huecos son atraídos hacia la superficie bajo el óxido, y los electrones repelidos hacia el sustrato. Si la superficie es muy rica en huecos se forma el canal P. Cuanto más negativa sea la tensión de puerta mayor podrá ser la corriente que se establece al aplicar al terminal de drenador una tensión negativa respecto a la de la fuente. El sentido de la corriente en este caso será opuesto al de un MOSFET tipo N.

La tensión de puerta necesaria para que se produzca el canal se conoce como tensión umbral, V_p , y se fija aplicándole al sustrato una tensión constante.

La capa de óxido bajo la puerta impide que haya corriente a través de ésta (esto es cierto en continua y a frecuencias bajas). Así, la corriente en el terminal de fuente, I_s , coincidirá con la de drenador, I_D , por lo que:

$$I_G = 0 \quad (2.1)$$

$$I_D = I_s \quad (2.2)$$

2.3 Curva característica de los transistores

2.3.1 TRANSISTOR TIPO N

En un amplificador MOSFET de canal N sin ninguna tensión de polarización existen dos diodos rectificadores en serie entre el drenador y la fuente, éstos previenen que fluya corriente desde el drenador hacia la fuente cuando aplicamos un voltaje V_{DS} . De hecho, la conexión entre drenador y fuente tiene una resistencia muy alta (del orden de $10^{12}\Omega$).

Si aplicamos a la puerta un voltaje positivo que supere la tensión umbral, V_t , el transistor forma un canal N. Además, cuando aplicamos un voltaje positivo entre drenador y fuente, como se muestra en la Figura 2.2, se crea una corriente.

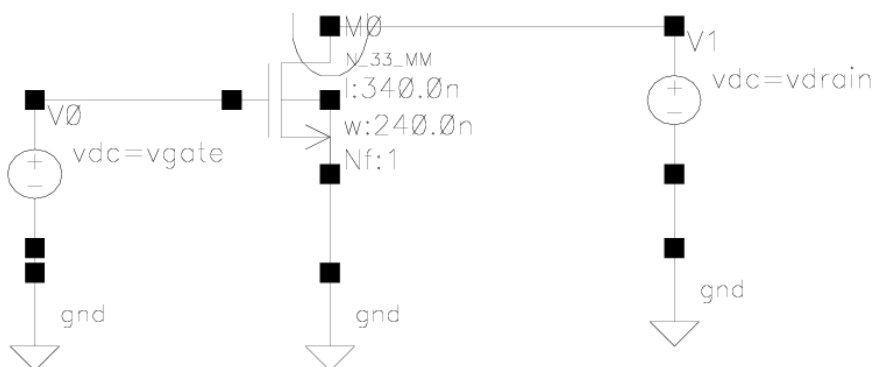


Figura 2.2 Circuito para simular la curva característica del NMOS

La tensión V_{DS} que como dijimos crea una corriente I_D que fluye directamente en el canal N. La corriente está formada por electrones libre que fluyen desde la fuente hacia el drenador, por lo tanto, la magnitud de I_D dependerá de la densidad de electrones en el canal, que a su vez depende de la magnitud de V_{GS} . Como V_{GS} supera V_t , más electrones son atraídos hacia el canal. El resultado de esto es un canal con una conductancia elevada o una resistencia equivalente pequeña.

A continuación en la Figura 2.3 mostramos la gráfica de I_D frente a V_{DS} cuando incrementamos V_{DS} de 0 a 3.3V y mantenemos V_{GS} constante con valores superiores a V_t .

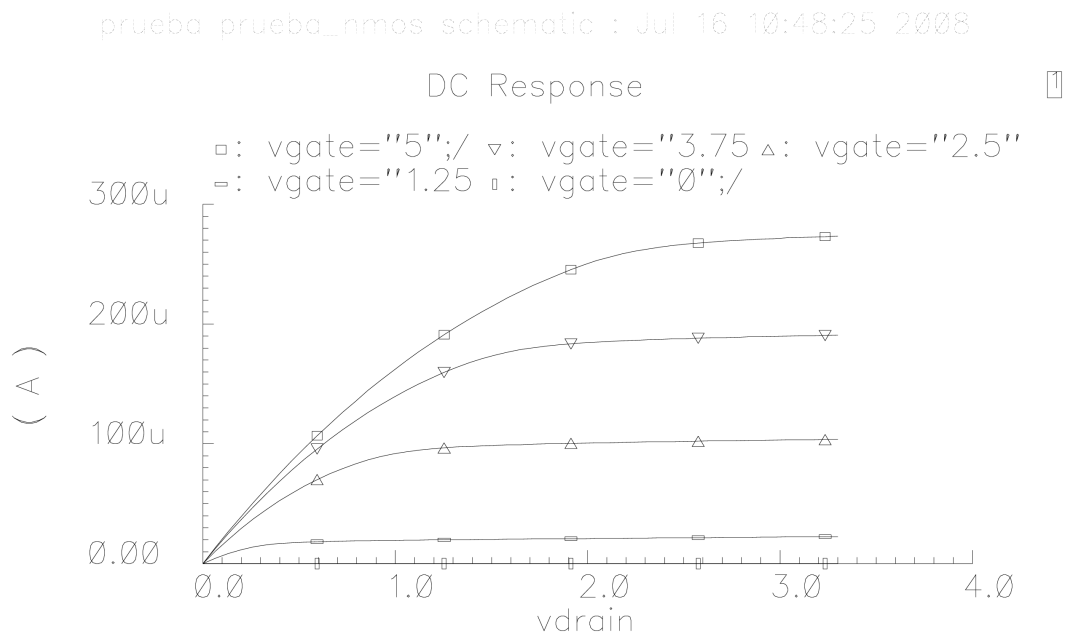


Figura 2.3 Curva características del NMOS

Para las diferentes tensiones de puerta, V_{GS} , hay una curva característica que muestra la dependencia de la corriente de drenador, I_D , con el voltaje entre drenador y fuente, V_{DS} .

Vemos que si la tensión de drenador es inferior a la tensión umbral, V_t , el transistor está cortado y, por tanto, no circulará corriente.

Si aumenta V_{DS} y supera la tensión umbral, el transistor opera en una región lineal: apreciándose el comportamiento parabólico de la corriente con la tensión de drenador.

Vemos en la gráfica que la corriente de drenador, I_D , se satura cuando:

$$V_{DS} = V_{GS} - V_t \quad (2.3)$$

Entonces decimos que el transistor está en la región de saturación:

$$V_{DS,sat} = V_{GS} - V_t \quad (2.4)$$

Obviamente, para todos los valores de $V_{GS} \geq V_t$, hay un valor correspondiente de $V_{DS,sat}$. El dispositivo opera en la región de saturación cuando $V_{DS} \geq V_{DS,sat}$.

Por lo tanto, podemos ver que hay distintas regiones de operación: la región de corte, la región lineal y la región de saturación. La región que se usa si el transistor opera como amplificador es la de saturación.

2.3.2 TRANSISTOR TIPO P

En un transistor PMOS el funcionamiento es igual al de un transistor NMOS pero las tensiones de V_{GS} , V_t y V_{DS} son negativas. Para obtener la gráfica de I_D frente a V_{DS} aplicamos a la puerta una tensión negativa que supere la tensión umbral, V_t , para que en el transistor se forme un canal P. Además, para que circule corriente aplicamos un voltaje negativo entre drenador y fuente (Figura 2.4):

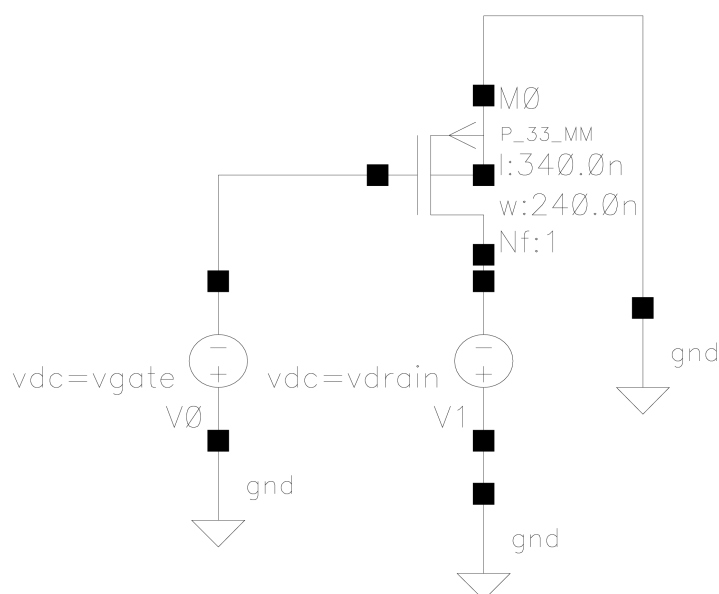


Figura 2.4 Circuito para la simulación de la curva característica del PMOS

En la Figura 2.5 mostramos la gráfica de I_D frente a V_{DS} cuando incrementamos V_{DS} de 0 a 3.3V y mantenemos V_{GS} constante con valores superiores a V_t

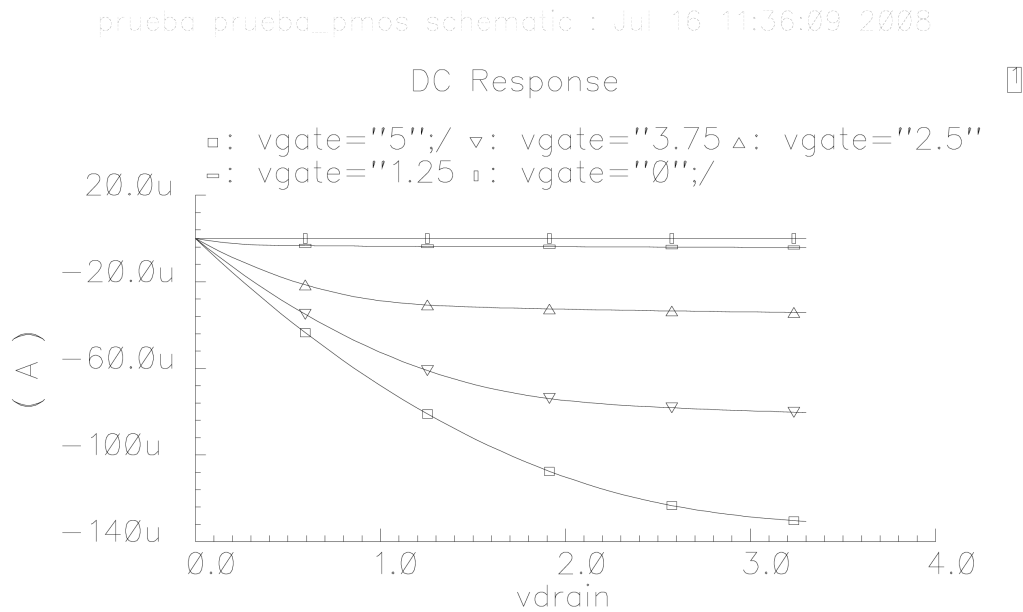


Figura 2.5 Curva característica del PMOS

Igual que en los NMOS podemos distinguir tres regiones de funcionamiento del transistor: la región de corte, la región lineal y la región de saturación, e igualmente la región que se usa si el transistor opera como amplificador es la de saturación.

2.4 Regiones de Operación de los Transistores

2.4.1 REGIÓN DE CORTE

Cuando la tensión de la puerta es idéntica a la del sustrato (Figura 2.6), el MOSFET está en estado de no conducción: ninguna corriente fluye entre fuente y drenador aunque se aplique una diferencia de potencial entre ambos.

$$\text{Para los N-MOS:} \quad V_{GS} \leq V_T; V_{DS} > 0 \Rightarrow I_D = 0 \quad (2.5)$$

$$\text{Para los P-MOS:} \quad V_{GS} > V_T; V_{DS} < 0 \Rightarrow I_D = 0 \quad (2.6)$$

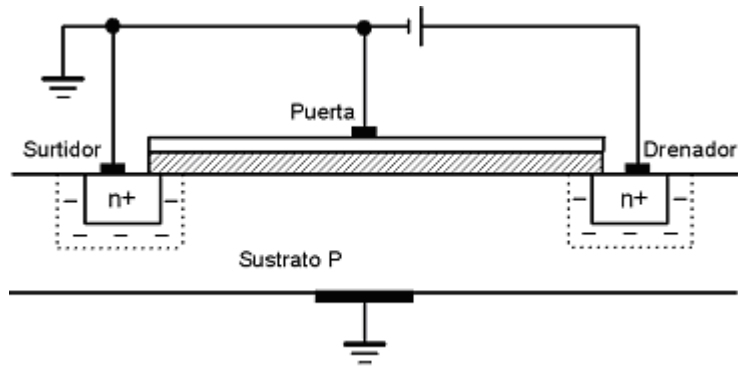


Figura 2.6 MOSFET tipo N en corte

2.4.2 REGIÓN LINEAL

Al polarizarse la puerta con una tensión negativa (PMOS) o positiva (NMOS) el transistor pasa entonces a estado de conducción (Figura 2.7), de modo que una diferencia de potencial entre fuente y drenador dará lugar a una corriente.

Para los N-MOS:

$$V_{GS} > V_T; 0 < V_{DS} \leq V_{GS} - V_T \Rightarrow I_D = \frac{k \cdot W}{L} \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.7)$$

Para los P-MOS:

$$V_{GS} < V_T; 0 > V_{DS} > V_{GS} - V_T \Rightarrow I_D = \frac{k \cdot W}{L} \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.8)$$

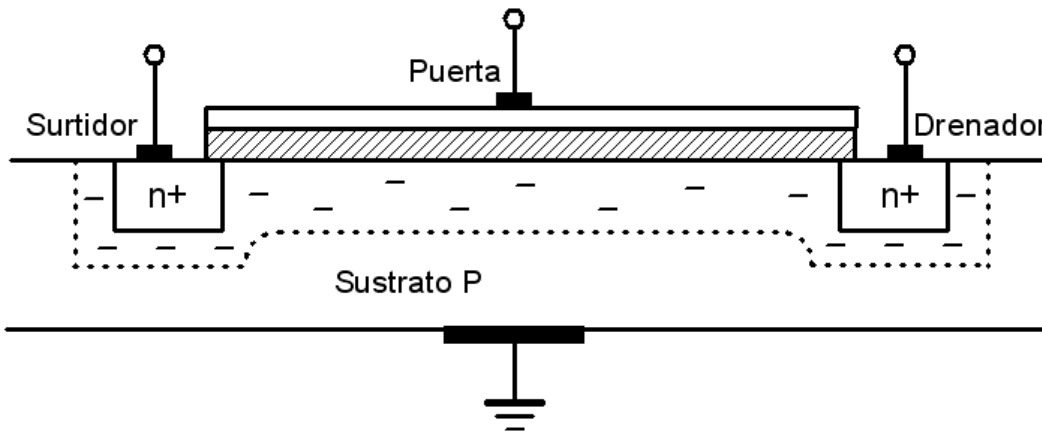


Figura 2.7 Mosfet tipo N en la región lineal

2.4.3 REGIÓN DE SATURACIÓN

Cuando la tensión entre drenador y fuente supera cierto límite la corriente entre fuente y drenador se hace independiente de la diferencia de potencial entre ambos terminales como se muestra en la Figura 2.8.

$$\text{Para los N-MOS: } V_{GS} > V_T; V_{DS} > V_{GS} - V_T \Rightarrow I_D = \frac{k}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad (2.9)$$

$$\text{Para los P-MOS: } V_{GS} < V_T; V_{DS} < V_{GS} - V_T \Rightarrow I_D = \frac{k}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad (2.10)$$

Donde V_T es la tensión umbral, W y L la anchura y longitud del canal respectivamente, y k es el llamado parámetro de transconductancia cuyo valor viene dado por:

$$k = \mu_n \cdot C_{OX} \quad (2.11)$$

Donde μ_n es la movilidad de los electrones y C_{OX} es la capacidad de la puerta por unidad de área. Y sus unidades son: $[k] = \left[\frac{A}{V^2} \right]$.

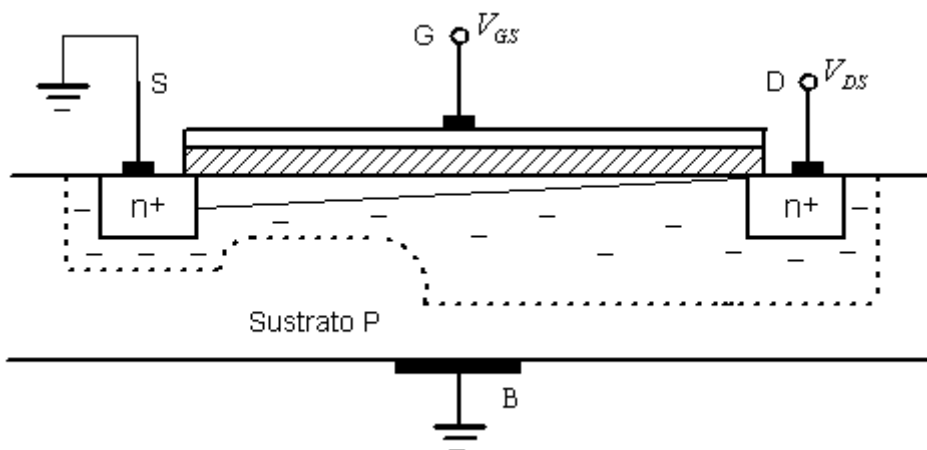


Figura 2.8 Mosfet tipo N en saturación

2.5 Cálculo de la K y la V_t de los transistores

Con las gráficas anteriores podemos calcular el parámetro de transconductancia, k , y la tensión umbral, V_t , de los transistores que vamos a usar en nuestro diseño. Sabemos que los transistores simulados tienen un ancho y una longitud de:

$$W = 240nm$$

$$L = 340nm$$

En las gráficas justo donde comienza la región de saturación sabemos que:

$$V_{DS} = V_{GS} - V_t \quad (2.12)$$

Y la corriente en esta región es:

$$I_D = \frac{k}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad (2.13)$$

Por lo tanto sustituyendo valores en ambas ecuaciones podremos calcular k y V_t , en este caso el valor de la tensión umbral para ambos transistores es:

$$V_{tn} \cong 0.65V$$

$$V_{tp} \cong -0.7V$$

Y calculando el parámetro de transconductancia para ambos transistores tenemos:

$$K_n = 100 \cdot 10^{-6}$$

$$K_p = 30 \cdot 10^{-6}$$

2.6 Desviaciones del modelo

En realidad, cuando el transistor opera en la región de saturación la corriente de drenador no es independiente del voltaje entre el drenador y la fuente, sino que a medida que aumenta V_{DS} la corriente crece ligeramente. Este efecto se denomina modulación de la longitud del canal, el parámetro que modela esto es λ . Para tener en cuenta esta discrepancia con el modelo ideal, basta con multiplicar la ecuación de la I_D por el factor $(1 + \lambda \cdot V_{DS})$, según el modelo analítico de Sah [21], obteniendo la ecuación 2.14.

$$I_D = \frac{K_n}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 [1 + \lambda \cdot V_{DS}] \quad (2.14)$$

La ecuación 2.14 es válida únicamente para los valores de V_{DS} por encima de V_{DSP} (Región de Saturación). La presencia de λ en la ecuación de la corriente de drenador produce una ligera pendiente ascendente de la I_D con respecto a V_{DS} como se muestra en la Figura 2.9.

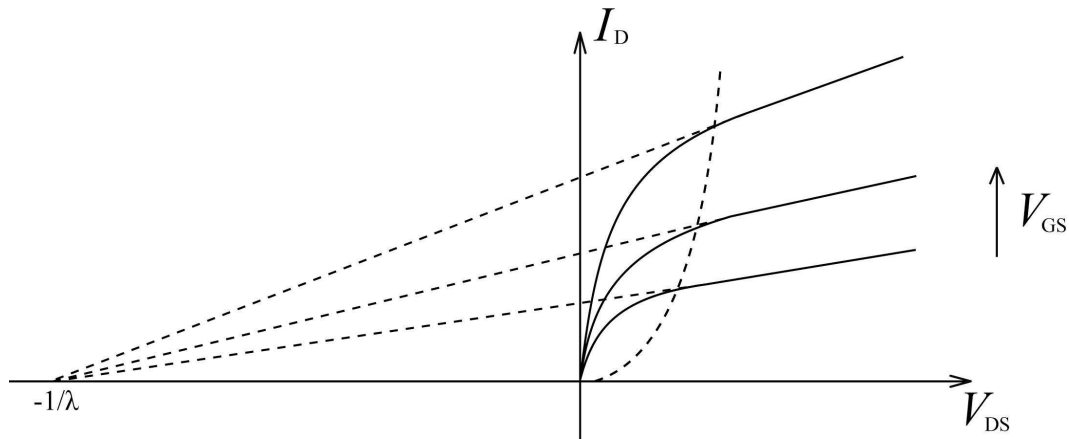


Figura 2.9 Efecto de la modulación de la longitud del canal

A pesar de que el desarrollo anterior se refiere a un transistor MOSFET tipo n, en el caso del transistor MOSFET tipo p las ecuaciones son equivalentes, teniendo en cuenta que las tensiones puerta-surtidor, drenador-surtidor y umbral tienen signos contrarios, así que la corriente I_D en el MOSFET tipo p es de signo opuesto al del MOSFET tipo n.

2.7 Modelo en Pequeña Señal

En la Figura 2.10 se muestra el modelo en baja frecuencia del transistor MOS trabajando en la región de saturación, viendo al transistor como una fuente de corriente controlada por tensión.

El parámetro g_m , es denominado parámetro de transconductancia del MOSFET y viene definido por la ecuación 2.15:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = K_n (V_{GS} - V_t)(1 + \lambda V_{DS}) \quad (2.15)$$

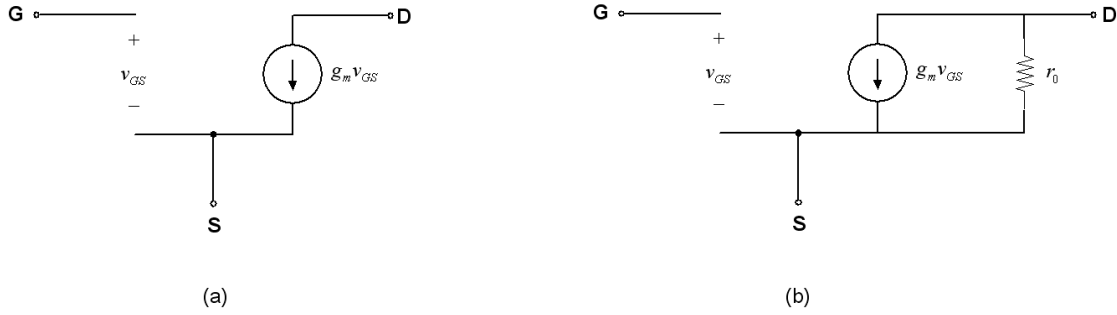


Figura 2. 10 (a) Modelo de baja frecuencia del MOSFET, (b) incorporación de la modulación de la longitud del canal.

El parámetro r_0 es la resistencia dinámica de salida, que viene definida por la ecuación 2.16.

$$r_0 = \left(\frac{\partial I_D}{\partial V_{DS}} \right)^{-1} = \frac{1}{\frac{1}{2} \cdot K_n \cdot \frac{W}{L} (V_{GS} - V_t)^2 \cdot \lambda} \approx \frac{1}{\lambda \cdot I_D} \quad (2.16)$$

Esta resistencia representa la impedancia de salida como consecuencia del efecto de la modulación del canal.

2.8 Modelo en Alta Frecuencia

En la Figura 2.11 (a) se muestra el modelo de alta frecuencia del transistor MOS. Este modelo, conocido como *modelo de Shichman-hodges* [refa4], muestra las capacidades parásitas del MOSFET cuando trabaja a alta frecuencia. En la Figura 2.11 (b) y (c) se muestra más gráficamente donde se encuentran ubicadas estas capacidades.

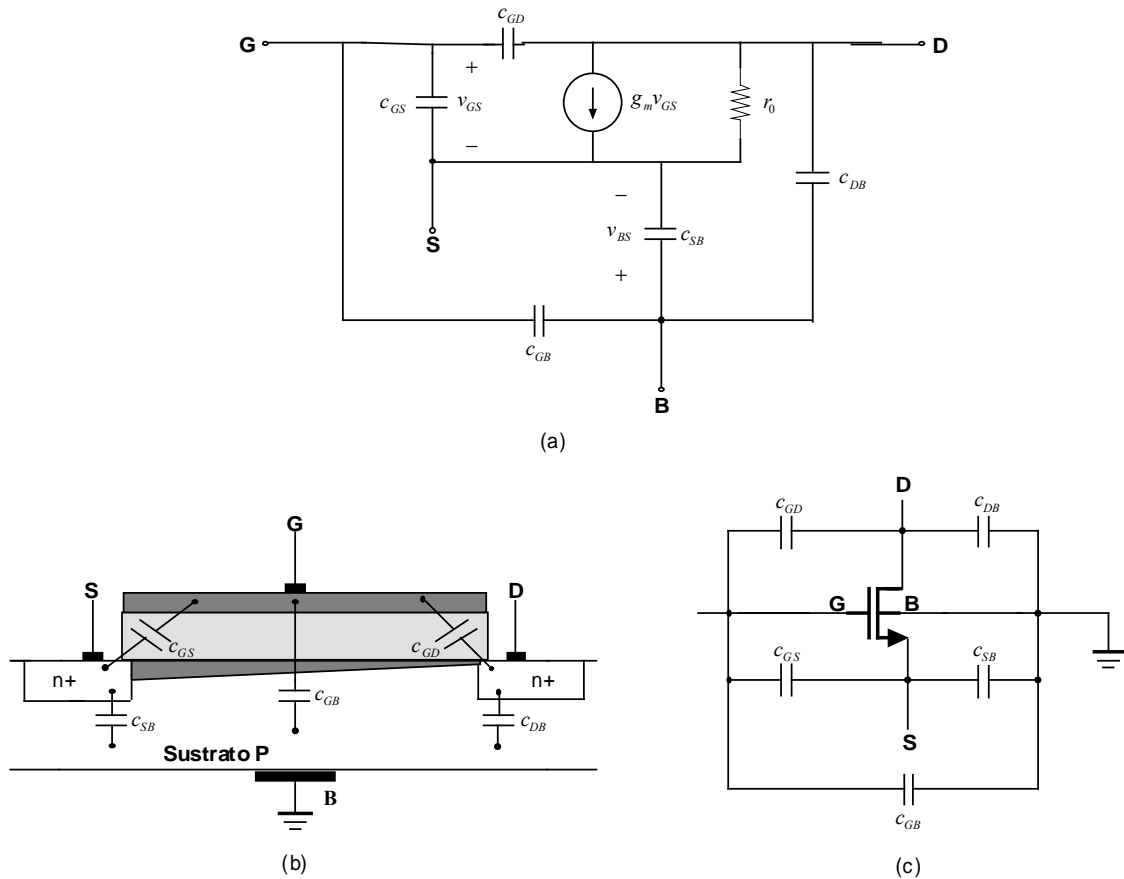


Figura 2. 11 Modelo del MOSFET en Alta Frecuencia

Se pueden considerar claramente dos familias de capacidades:

- *Capacidades de la zona de carga espacial:*

Son las capacidades C_{DB} y C_{SB} y se producen en las uniones PN polarizadas inversamente (*depletion capacitances*). Son dependientes de la tensión y son causa del retardo y consumo indeseado cuando los terminales del transistor son nodos dinámicos. Son proporcionales al área y perímetro de las regiones del drenador y surtidor. Estas capacidades vienen dadas por las ecuaciones 2.17 y 2.18:

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \tag{2.17}$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\Psi_o}\right)^m} \quad (2.18)$$

Donde C_{DB0} y C_{SB0} son las capacidades de las uniones cuando la polarización de estas son nulas, V_{DB} y V_{SB} son las tensiones directas de las uniones, Ψ_o es la barrera de potencial y m es una constante dependiente del tipo de unión.

- *Capacidades en la zona de óxido:*

Estas capacidades aparecen entre el terminal de puerta y el resto de terminales del dispositivo. El valor de estas capacidades dependen de las variables de diseño, de las dispersiones en el proceso de fabricación y del estado en el que se encuentre el transistor.

Las principales capacidades de óxido son C_{GB} (capacidad de óxido entre puerta y sustrato), C_{SG} (capacidad de óxido entre surtidor y puerta) y C_{GD} (capacidad de óxido entre puerta y drenador).

En la Tabla 2.1 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor MOSFET.

Tabla 2.1 Capacidades de la zona de óxido de un transistor MOSFET:

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{OX}L_dW$	$C_{OX}L_dW+0,5C_{OX}LW$	$C_{OX}L_dW$
C_{GS}	$C_{OX}L_dW$	$C_{OX}L_dW+0,5C_{OX}LW$	$C_{OX}L_dW+0,66C_{OX}LW$
C_{GB}	$C_{OXd}W$	0	0

En la Tabla 2.1 los parámetros implicados en las expresiones son: C_{ox} (capacidad de puerta por unidad de área), L_d (distancia de difusión lateral que se produce bajo la puerta), L (longitud del canal del transistor), W (ancho del canal del transistor).

2.9 Conclusiones

En este capítulo hemos hecho una pequeña introducción a los transistores MOS donde hablamos de su evolución histórica y funcionamiento. Con esto hemos conseguido obtener una visión más profunda del comportamiento de los MOSFET para la realización del amplificador operacional. Una vez completado el estudio teórico de los transistores MOS en el próximo capítulo haremos una pequeña introducción a los amplificadores operacionales donde veremos los parámetros más importantes para el diseño de los mismos.

INTRODUCCIÓN A LOS AMPLIFICADORES OPERACIONALES (OP-AMPS)

3.1 Introducción

En esta sección estudiaremos los parámetros más importantes de un amplificador operacional. En el diseño de un Op-Amp se debe tener un claro conocimiento del significado de los parámetros del mismo y de cómo afectan al diseño del circuito. La elección de cualquiera de estos parámetros deberá basarse en el conocimiento de qué parámetros son los más importantes para la aplicación en la que se esté trabajando. En la siguiente sección, discutiremos el método de medida de los diferentes parámetros.

3.2 Parámetros de un Op-Amp

3.2.1 TENSION DE OFFSET

Todos los Op-Amps requieren un pequeño voltaje entre sus entradas inversora y no inversora para equilibrar los desajustes debido a las inevitables variaciones del proceso. El voltaje requerido es conocido como offset de entrada, V_{os} . Normalmente, este voltaje es modelado como una fuente de tensión conectada a la entrada no inversora. Generalmente, las entradas de los Op-Amps bipolares ofrecen mejores parámetros de offset que la entrada de los Op-Amps JFET o CMOS. Hay otros dos parámetros relacionados que afectan al V_{os} : el coeficiente de temperatura media del offset de entrada, y la deriva a largo plazo de la tensión de offset de entrada. El coeficiente de temperatura media de la tensión de offset de entrada, $\alpha \cdot V_{os}$, especifica la deriva del offset de entrada con la temperatura. Su unidad es

$\left[\frac{mV}{^{\circ}C} \right]$. El V_{os} se mide en los extremos de temperatura del circuito, y, el coeficiente de temperatura media, $\alpha \cdot V_{os}$, se calcula como $\frac{V_{os}}{^{\circ}C}$. El envejecimiento normal en los semiconductores causa cambios en las características de los dispositivos. La deriva a largo plazo del voltaje del offset de entrada especifica como se espera que cambie con el tiempo el V_{os} . Las unidades son $\frac{mV}{month}$. El voltaje del offset de entrada es motivo de preocupación en cualquier momento que se requiera precisión en DC del circuito. Una manera de eliminar el offset es usando entradas externas de eliminación de offset. De esta forma, entre estas entradas se conecta un potenciómetro con el terminal ajustable conectado a la alimentación negativa a través de una resistencia en serie, ver Figura 3.1. El voltaje del offset de entrada se elimina cortocircuitando las entradas y ajustando el potenciómetro hasta que la salida sea cero. Sin embargo, aún anulando el offset de esta manera, éste cambiará con la temperatura y algunas otras condiciones.

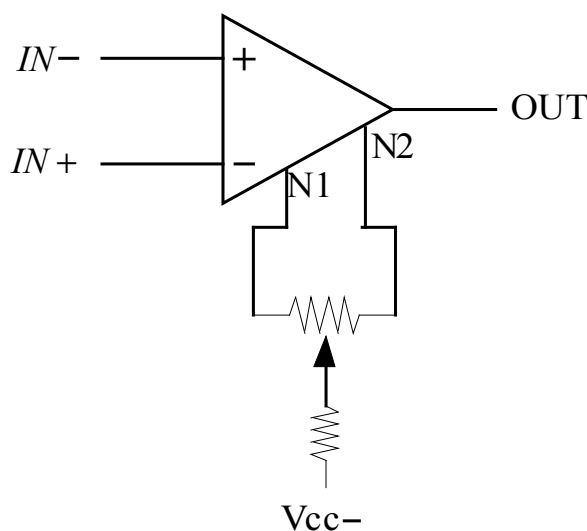


Figura 3.1 Ajuste de la tensión de offset

3.2.2 CORRIENTE DE ENTRADA

Los circuitos de entrada de todos los Op-Amps requieren una cierta cantidad de corriente de polarización para funcionar correctamente. La corriente de entrada de polarización, I_{IB} , se calcula como la media de dos entradas:

$$I_{IB} = \frac{I_N + I_P}{2} \quad (3.1)$$

Los circuitos de entrada CMOS y JFET necesitan una corriente mucho más baja que las de los bipolares. La diferencia entre la corriente de polarización en la entrada inversora y la no inversora es el llamado offset de corriente de entrada, $I_{OS} = I_N - I_P$. Típicamente el offset de corriente es de un orden de magnitud inferior a la corriente de polarización.

La corriente de polarización de entrada es importante cuando la impedancia de la fuente es alta. Si el Op-Amp tiene una corriente de polarización de entrada alta, cargará a la fuente y la tensión vista a la entrada será menor a la esperada. La mejor solución es usar un Op-Amp con entrada CMOS o JFET. Otra alternativa es bajar la impedancia de la fuente usando una etapa buffer entre la entrada y el Op-Amp. En el caso de entradas bipolares, el offset de corriente se puede anular ajustando la impedancia vista a la entrada. En el caso de entradas CMOS o JFET, el offset de corriente por lo general no es un problema y no es necesario ajustar la impedancia. El coeficiente de temperatura media del offset de entrada de corriente, I_{os} , especifica la deriva del offset de entrada esperado con la temperatura. Las unidades son

$$\left[\frac{mA}{^{\circ}C} \right]$$

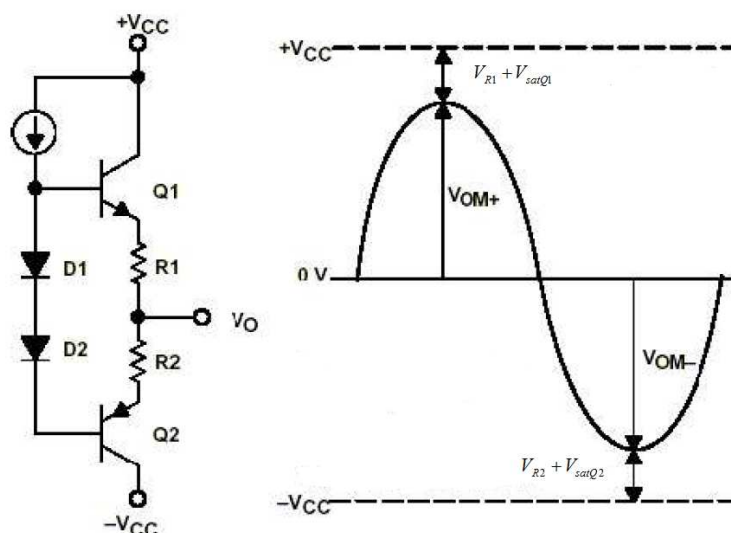


Figura 3.2 Máxima excursión de salida

3.2.3 TENSIÓN DE ENTRADA EN MODO COMÚN

La tensión de entrada en modo común se define como el voltaje medio en los pines inversor y no inversor de entrada. Si la tensión en modo común se hace demasiado grande o demasiado baja, las entradas se cortarán y el circuito dejará de funcionar. El rango de tensión en modo común de entrada, VICR, especifica el rango por encima del cual el funcionamiento es garantizado. Por ejemplo, los Op-Amps con entrada rail to rail¹ usa la tensión de entrada en dispositivos complementarios tipo N y P en las entradas diferenciales. Cuando la tensión de entrada en modo común se acerca a cualquier rail, al menos una de las entradas diferenciales sigue activa, y el circuito sigue funcionando correctamente.

3.2.4 EXCURSIÓN DE SALIDA MÁXIMA

La tensión máxima de salida, V_{OM} , se define como la tensión de pico positivo o negativo máxima sin que se recorte la forma de onda, cuando la tensión de salida en DC es cero. La V_{OM} viene limitada por la impedancia de salida del amplificador, la tensión de saturación de los transistores de salida, y por la tensión de la fuente de alimentación. Esto se muestra de forma gráfica en la Figura 3.2.

La estructura seguidor de emisor mostrada no puede hacer que la tensión de salida llegue a cualquiera de los rails. Los Op-Amps con salida rail-to-rail suelen usar etapas de salida en

¹ Rail to rail: que va de Vcc a -Vcc.

emisor común (bipolares) o fuente común (CMOS). Con estas estructuras, la excursión de salida sólo estará limitada por las tensiones de saturación (bipolares) o las resistencias de ON (CMOS) de los transistores de salida, y por la carga.

3.2.5 IMPEDANCIA DE SALIDA

Las hojas de datos o data sheets de los Op-Amps definen la impedancia de salida bajo dos condiciones diferentes. En algunos data sheets la impedancia de salida está dada en lazo cerrado y en otras está en lazo abierto, ambas designadas por Z_o . La impedancia de salida se define como la impedancia en pequeña señal entre el terminal de salida y tierra. Generalmente, tiene valores de 50 a 200 Ω .

Las etapas de salida en emisor común (bipolar) o fuente común (CMOS) típicas de los Op-Amps rail-to-rail tienen mayor impedancia de salida que las etapas de salida en seguidor de emisor. La impedancia de salida es, por tanto, un problema cuando usamos un Op-Amp rail-to-rail con cargas resistivas pequeñas o cargas capacitivas grandes. Si la carga es principalmente resistiva, la impedancia de salida limitará cómo de cerca de los railes puede ir la salida. Si la carga es capacitiva, la fase extra empeorará el margen de fase. En la Figura 3.3 se muestra cómo la impedancia de salida afecta a la señal de salida suponiendo que Z_o es principalmente resistiva.

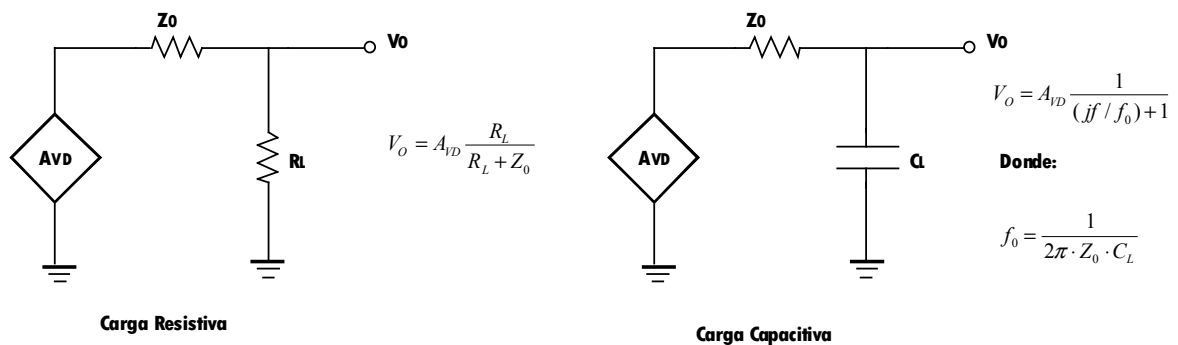


Figura 3.3 Efecto de la Impedancia de Salida

3.2.6 RECHAZO EN MODO COMÚN

El rechazo en modo común, CMRR, se define como la relación entre la ganancia de tensión diferencial y la ganancia de tensión en modo común, $\frac{A_{dif}}{A_{com}}$. Idealmente esta relación debería ser infinita, es decir, las tensiones en modo común deberían ser totalmente rechazadas.

La tensión de entrada en modo común afecta al punto de polarización del par diferencial de entrada. Debido a los desajustes inherentes a la circuitería de entrada, cualquier variación del punto de polarización cambia la tensión de offset, que, en consecuencia, cambia la tensión de salida.

3.2.7 RECHAZO A LA FUENTE DE ALIMENTACIÓN

La relación de rechazo a la fuente de alimentación, PSRR, es la relación entre la variación de la tensión de alimentación del circuito y la tensión de salida del mismo. La fuente de alimentación afecta al punto de polarización del par diferencial de entrada. Debido a los desajustes inherentes a la circuitería de entrada, cualquier variación del punto de polarización cambia la tensión de offset que, en consecuencia, cambia la tensión de salida.

Por tanto, la relación de rechazo a la fuente de alimentación se define como $PSRR = \frac{V_{CC}}{V_{OS}}$ ó

$PSRR = \frac{V_{DD}}{V_{OS}}$. Nótese que el mecanismo que produce el PSRR es el mismo que para el

CMRR. Por tanto, el PSRR se publica en el *datasheet* como un parámetro DC igual que el CMRR. Si se representa el PSRR frente a la frecuencia, éste cae a medida que aumenta la frecuencia.

3.2.8 SLEW RATE

El slew rate, SR, se define como el tiempo máximo de cambio del voltaje de salida cuando hay un cambio en el voltaje de entrada. Sus unidades son V/ms. La Figura 3.4 muestra el slew rate gráficamente.

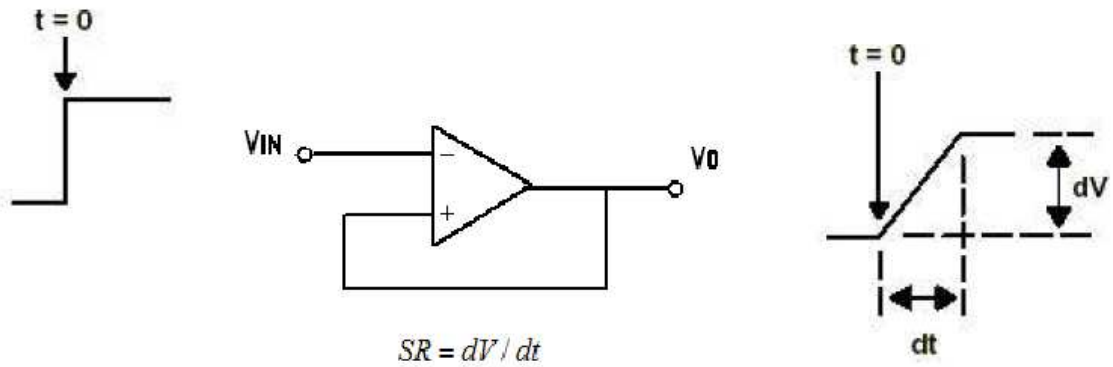


Figura 3. 4 Slew Rate

El principal factor que controla el slew rate en la mayoría de amplificadores es el condensador de compensación interna, C_C , que se añade para hacer que el Op-Amp sea estable. Por ejemplo, para el amplificador de la Figura 3.5, el máximo voltaje de salida está limitado por lo rápido que la corriente del transistor M_5 carga y descarga al condensador de compensación C_C . El máximo tiempo de cambio es cuando cualquiera de los lados del par diferencial conduce $2IE$, es decir, $SR = 2IE/C_C$. Sin embargo, no todos los Op-Amps tienen condensadores de compensación. En los Op-Amps sin condensadores de compensación interna, el slew rate viene determinado por capacidades parásitas internas del Op-Amp. Los Op-Amps no compensados tienen mejor ancho de banda y slew rate, pero el diseñador debe asegurar la estabilidad del circuito.

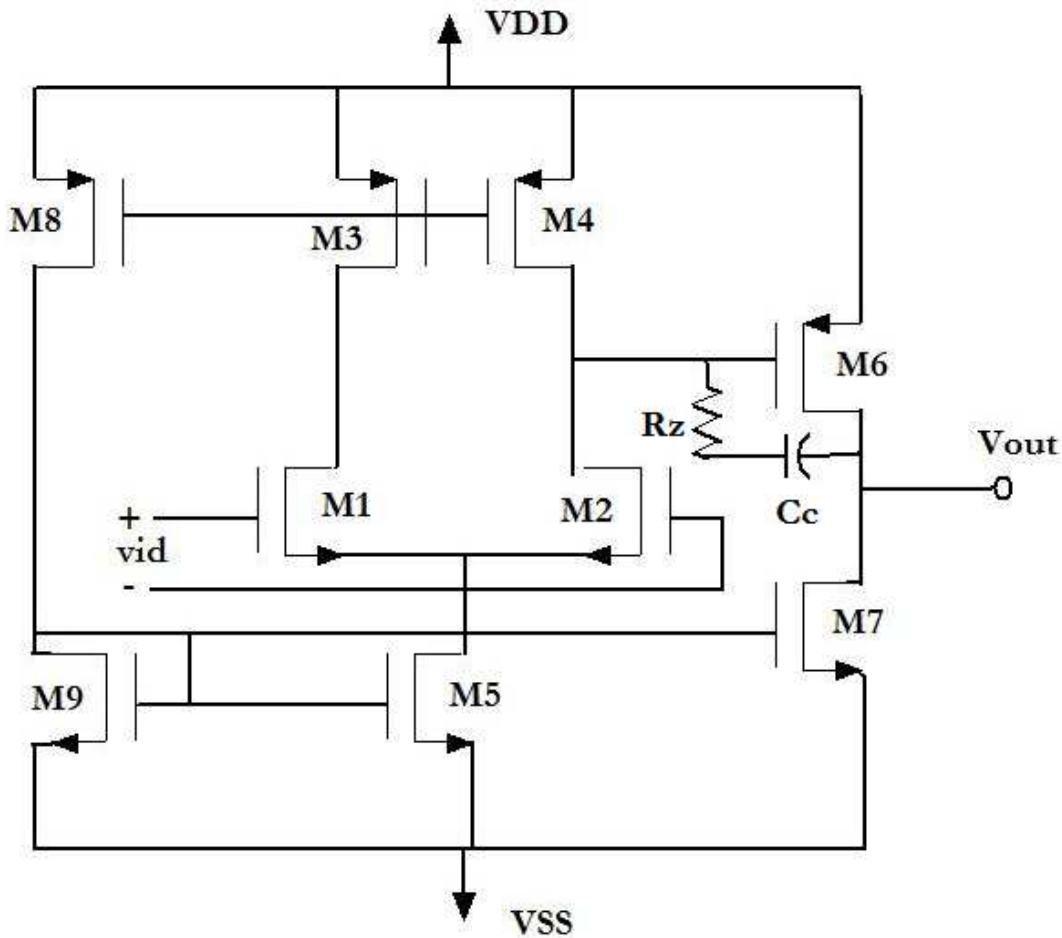


Figura 3. 5 Op-Amp de dos etapas

En los Op-Amps, existe un compromiso entre consumo, ruido y velocidad. Esto implica que si queremos incrementar el slew rate, debemos aumentar las corrientes de polarización internas del Op-Amp.

3.2.9 ANCHO DE BANDA PARA GANANCIA UNIDAD Y MARGEN DE FASE

El ancho de banda para ganancia unidad (B1) y el producto ganancia por ancho de banda (GBW) son muy similares. B1 especifica la frecuencia a la que la ganancia diferencial, A_{VD} , del Op-Amp es 1. El GBW especifica el producto de ganancia por ancho de banda del Op-Amp en configuración de lazo abierto y con carga a la salida:

$$GBW = A_{VD} \cdot f \quad (3.2)$$

El margen de fase es la diferencia entre el valor de la fase a la frecuencia donde el módulo de la ganancia en lazo abierto cae a 0dB y -180° . Por razones de estabilidad el margen de fase

del amplificador debe ser como mínimo de 45° (se recomienda un margen de fase de 60°). Si es menor de 45° dará lugar a un tiempo de establecimiento demasiado grande y esto incrementará el retardo de propagación. En la Figura 3.6 se muestra una medida del margen de fase para un circuito estable y en la Figura 3.7 para un circuito inestable.

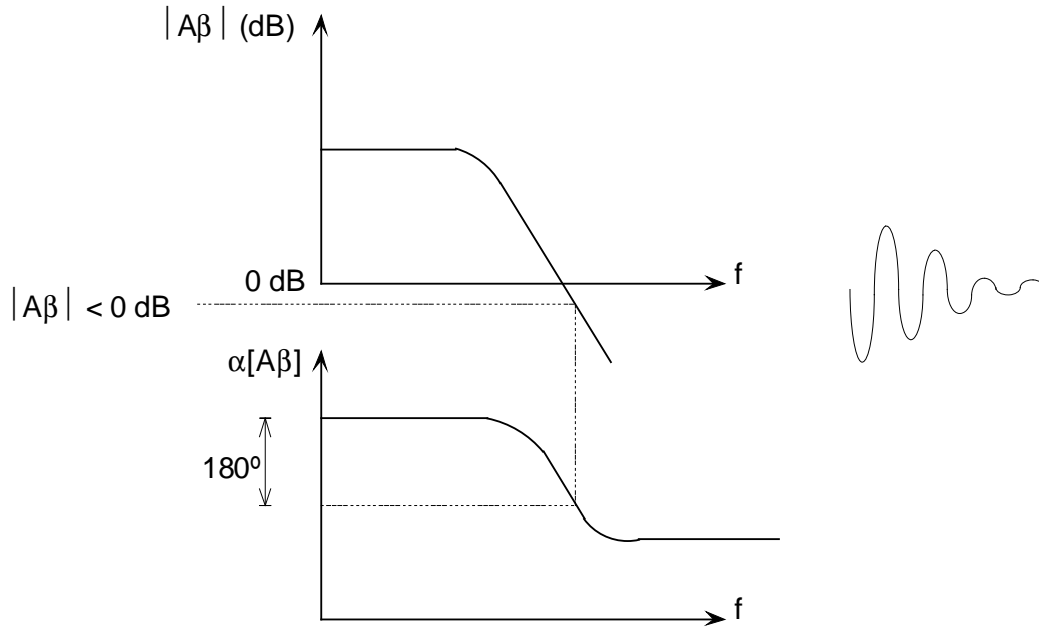


Figura 3.6 Margen de fase para un circuito estable

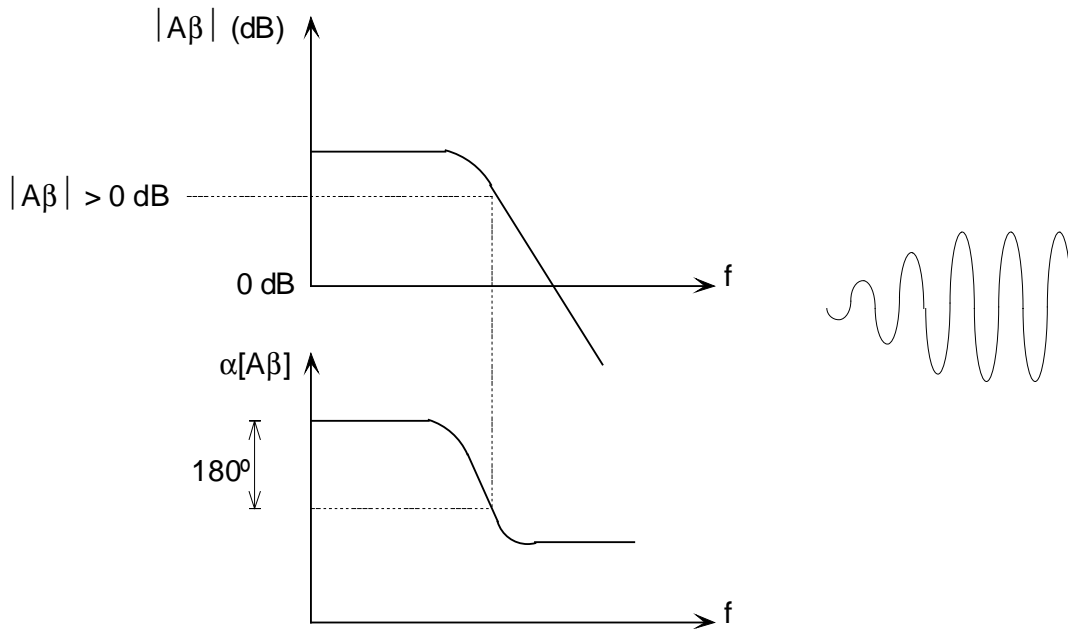


Figura 3.7 Margen de fase para un sistema inestable

Con el fin de hacer el Op-Amp estable se suele incluir en la segunda etapa del Op-Amp un condensador, C_c , de compensación. Este tipo de compensación en frecuencia se llama compensación por polo dominante. La idea es causar que la ganancia en lazo abierto del Op-Amp llegue a 0dB antes que la fase de salida pase por 180° .

El margen de fase y el margen de ganancia son maneras diferentes de especificar la estabilidad del circuito. Puesto que los Op-Amps con salida rail-to-rail tienen una impedancia de salida mayor, mayor será el cambio de fase para cargas capacitivas elevadas. Este cambio de fase extra erosiona el margen de fase, y por esta razón la mayoría de los Op-Amps CMOS con salidas rail-to-rail no son aptos para cargas capacitivas elevadas.

3.2.10 TIEMPO DE ESTABLECIMIENTO

La propagación de una señal a través de los circuitos internos de un Op-Amp se toma un tiempo finito. Por consiguiente, para que la salida reaccione a un cambio tipo salto en la entrada tarda un periodo de tiempo determinado. Además, la salida normalmente rebasa el valor final, experimenta una oscilación amortiguada, y finalmente llega al valor final. El tiempo de establecimiento o settling time, t_s , es el tiempo requerido para que el voltaje de salida se estabilice dentro de un porcentaje específico de el valor final dado un salto de entrada como se muestra en la Figura 3.8.

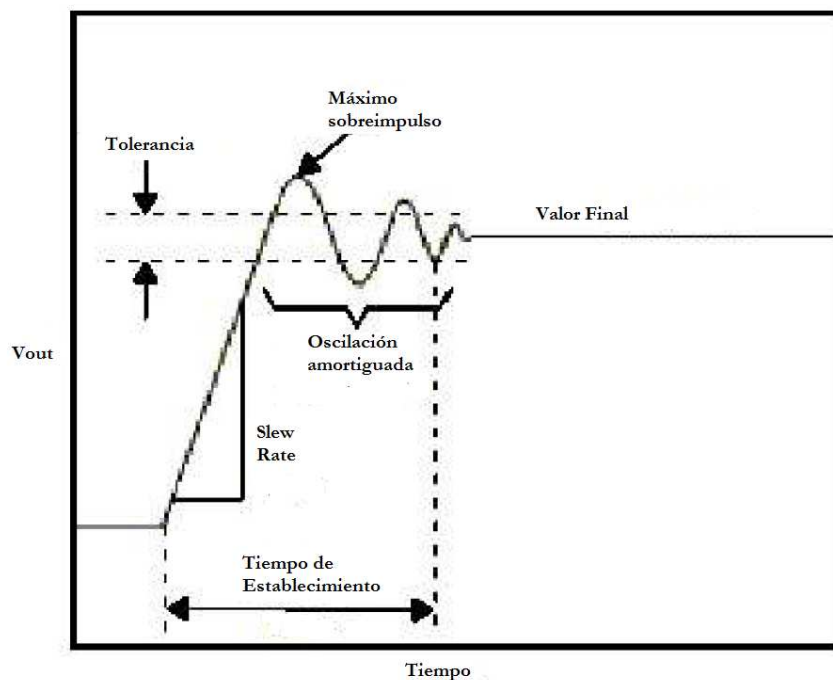


Figura 3. 8 Tiempo de Establecimiento

3.3 Conclusiones

En este capítulo hemos hecho una pequeña a los amplificadores operaciones (Op-Amps) donde hemos visto los parámetros más importantes que debemos tener en cuenta a la hora de diseñarlos. Una vez conocidos los parámetros que debemos tener en cuenta a la hora del diseño, en el próximo capítulo estudiaremos las diferentes etapas que componen un amplificador operacional y los diferentes tipos de compensaciones. Finalmente diseñaremos un amplificador de transconductancia como paso previo al diseño de un amplificador operacional de dos etapas.

DISEÑO DE OP-AMPS

4.1 Introducción

En este capítulo estudiaremos las diferentes partes que componen un amplificador operacional y las consideraciones que debemos tener en cuenta a la hora de diseñarlo. Además, al final del mismo realizaremos un pequeño diseño de ejemplo.

El esquema de la Figura 4.1 muestra un Op-Amp de dos etapas que se divide en:

- Un bloque de polarización.
- Una etapa de entrada diferencial.
- Una etapa de salida.

El bloque de polarización está formado por la fuente de corriente y los transistores M_8 y M_5 . La corriente de polarización es muy importante ya que afecta al funcionamiento del amplificador. La etapa de entrada diferencial la forman los transistores M_1 , M_2 , M_3 y M_4 donde M_1 está apareado con M_2 y M_3 está apareado con M_4 . Y, por último, la etapa de salida la forman los transistores M_6 y M_7 .

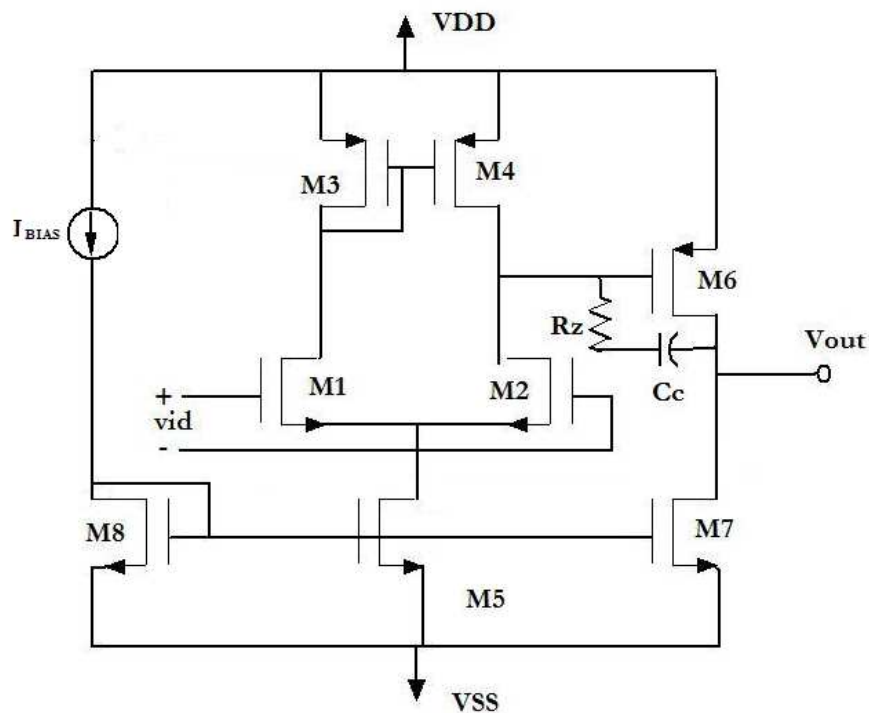


Figura 4.1 Op-Amp de dos etapas

4.2 Etapa de Entrada

En este apartado estudiaremos la etapa de entrada diferencial que se muestra en la Figura 4.2, donde el transistor M_5 de la Figura 4.1 se ha sustituido por una fuente de corriente I_{SS} .

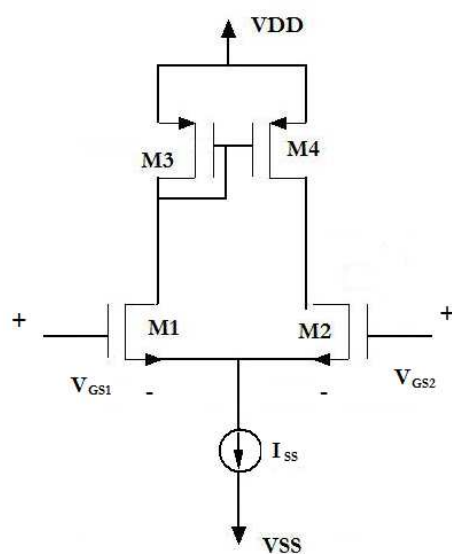


Figura 4.2 Etapa de entrada diferencial

4.2.1 CIRCUITOS EQUIVALENTES EN PEQUEÑA SEÑAL

En el análisis de circuitos amplificadores MOSFET, el MOSFET puede sustituirse por su modelo equivalente en pequeña señal visto en el Capítulo 2 que se muestra en la Figura 4.3.

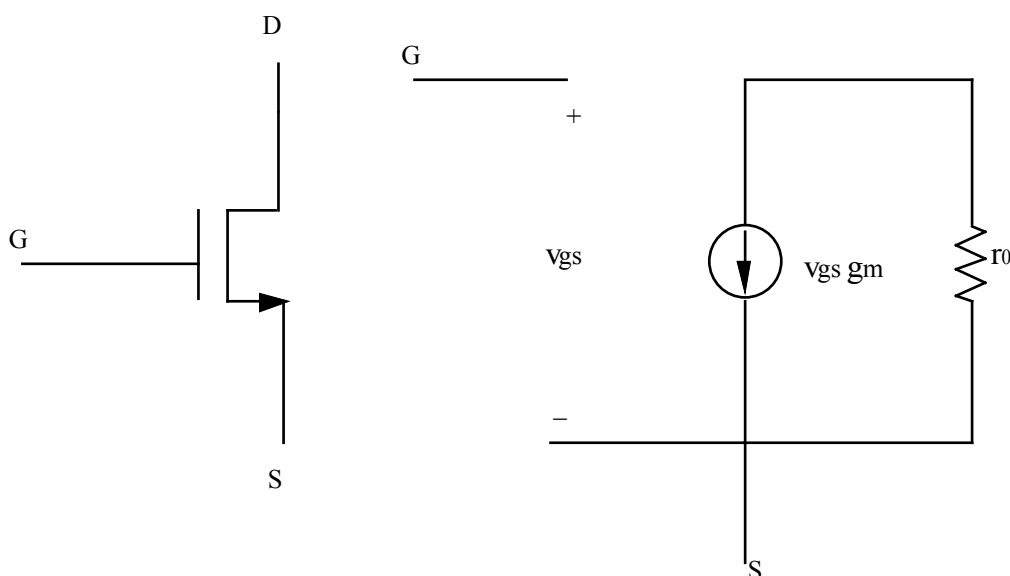


Figura 4.3 MOSFET tipo N y su equivalente en pequeña señal

Donde:

$$r_o = \frac{|VA|}{I_d} \quad (4.1)$$

$$VA = \frac{1}{\lambda} \quad (4.2)$$

y g_m es el parámetro de transconductancia del transistor:

$$g_m = K_n \frac{W}{L} (V_{GS} - V_t) \quad (4.3)$$

Por tanto, los parámetros del modelo en pequeña señal g_m y r_o , dependen de la polarización en DC del transistor.

En pequeña señal, las fuentes ideales de tensión continua se sustituyen por cortocircuitos, esto se debe al hecho de que el voltaje frente a una fuente ideal de tensión continua no cambia y de este modo habrá siempre un voltaje nulo en la señal frente a una fuente de

tensión continua. Además, la señal de corriente de una fuente de corriente continua ideal siempre será nula, de esta forma una fuente de corriente continua ideal puede sustituirse por un circuito abierto.

El modelo en pequeña señal para un MOSFET con puerta y drenador cortocircuitados se muestra en la Figura 4.4.

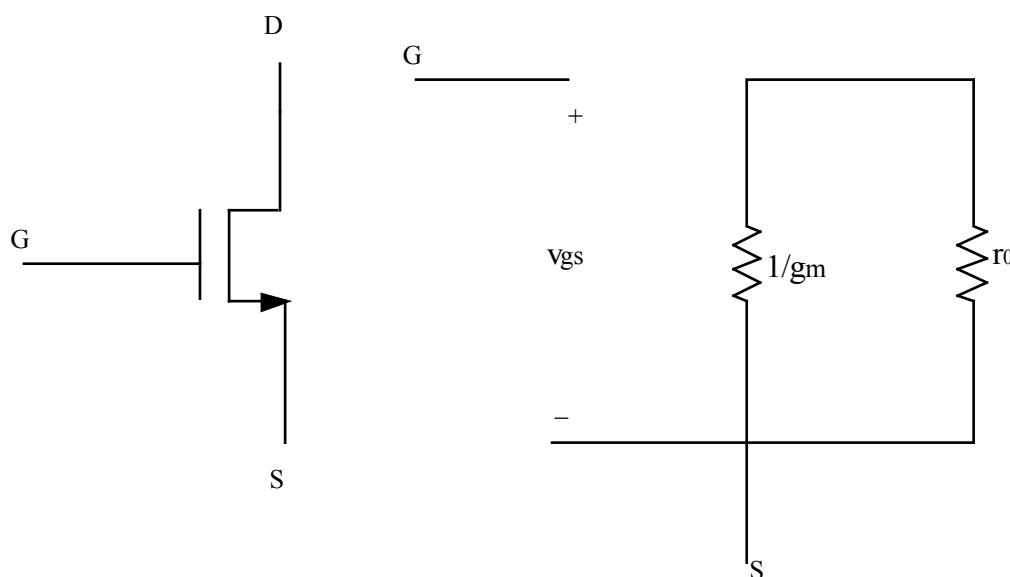


Figura 4. 4 Resistencia MOSFET y su equivalente en pequeña señal

Como $v_{ds} = v_{gs}$ la resistencia efectiva será:
$$\frac{v_{gs}}{v_{gs} \cdot g_m} = \frac{1}{g_m}$$

El modelo en pequeña señal de esta etapa diferencial, lo podemos ver en la Figura 4.5, donde si los transistores M_1 y M_2 están perfectamente apareados el punto donde se conectan las fuentes de estos dos transistores se puede considerar tierra en AC. Esto evita que aparezca el efecto de cuerpo (body-effect).

El modelo simplificado de la etapa diferencial se muestra en la Figura 4.6. Dado que M_1 está apareado con M_2 y M_3 con M_4 los nodos S1 y S2 donde se unen M_1 y M_2 se pueden considerar tierra en AC. De la misma forma, dado que, S3 y S4 son tierra en AC, S1, S2, S3 y S4 se pueden unir en un único nodo.

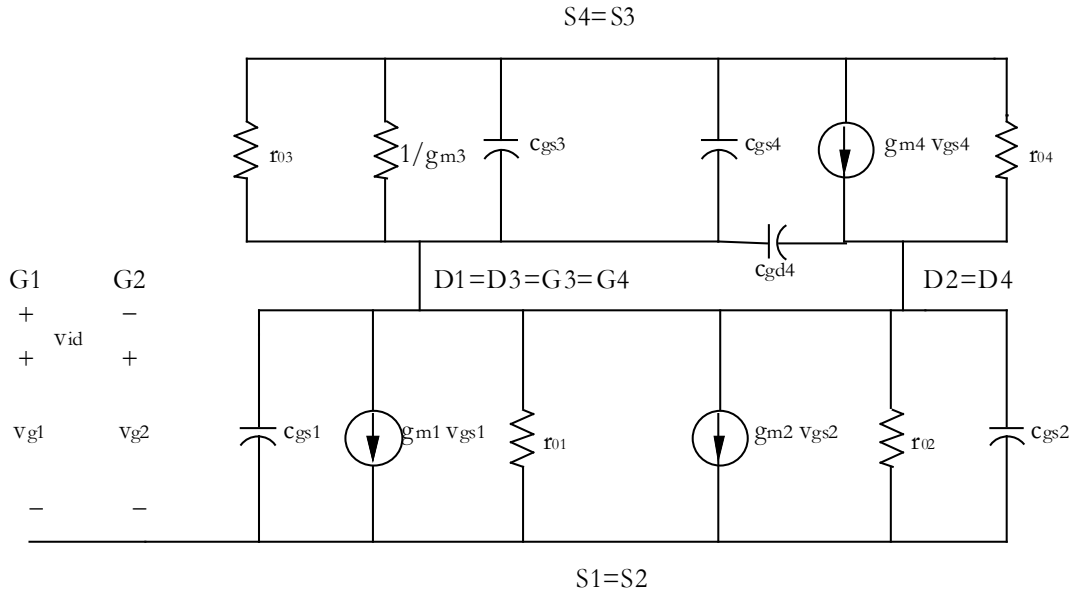


Figura 4.5 Modelo en pequeña señal de la etapa diferencial

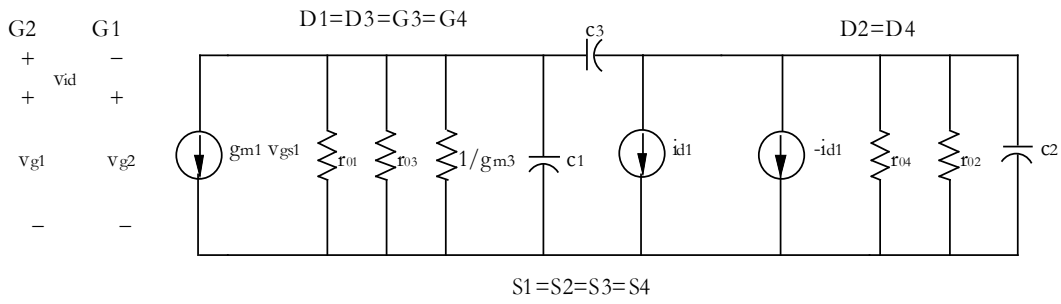


Figura 4.6 Modelo simplificado de la etapa diferencial

Haciendo referencia a la figura 4.6:

$$C_1 = c_{gd1} + c_{gs3} + c_{gs4} \tag{4.4}$$

$$C_2 = c_{gd2} \tag{4.5}$$

$$C_3 = c_{gd4} \tag{4.6}$$

Cualquier pequeña señal que exista en la puerta de M_1 dará lugar a una corriente en pequeña señal i_{d1} , que circulará desde el drenador a la fuente de M_1 .

$$i_{d1} = g_{m1} \cdot v_{gs1} \quad (4.7)$$

Esta corriente se refleja de M_3 a M_4 , por lo que:

$$g_{m4} \cdot v_{gs4} = i_{d1} \quad (4.8)$$

Dado que S1, S2, S3 y S4 tienen el mismo potencial (mismo nodo) i_{d1} también fluirá de la fuente al drenador de M_2 . Por tanto:

$$g_{m2} \cdot v_{gs2} = -i_{d1} \quad (4.9)$$

$$i_{out} = i_{d1} - (-i_{d1}) = 2i_{d1} \quad (4.10)$$

$$r_{out} = r_{o2} \parallel r_{o4} \quad (4.11)$$

$$i_{d1} = g_{m1} \cdot v_{gs1} \quad (4.12)$$

Como $v_{gs1} = v_{gs2}$

$$v_{id} = v_{gs1} + v_{gs2} \quad (4.13)$$

Por tanto, $v_{id} = 2v_{gs1}$

$$\frac{i_{d1}}{v_{id}} = \frac{g_{m1} v_{gs1}}{2v_{gs1}} = \frac{g_{m1}}{2} \quad (4.14)$$

$$v_{id} = \frac{2i_{d1}}{g_{m1}} \quad (4.15)$$

El voltaje de salida en pequeña señal es:

$$v_{out} = i_{out} \cdot r_{out} \quad (4.16)$$

$$v_{out} = 2i_{d1} \cdot (r_{o2} \parallel r_{o4}) \quad (4.17)$$

Si dividimos v_{out} entre v_{id} para obtener la ganancia:

$$\frac{v_{out}}{v_{id}} = \frac{2i_{d1}(r_{o2} \parallel r_{o4})}{\frac{2i_{d1}}{g_{m1}}} \quad (4.18)$$

$$\frac{v_{out}}{v_{id}} = g_{m1,2}(r_{o2} \parallel r_{o4}) \quad (4.19)$$

Además tenemos que:

$$g_{m1,2} = (2\beta_{1,2}I_{D1,2})^{\frac{1}{2}} \quad (4.20)$$

$$(r_{o2} \parallel r_{o4}) \cong \frac{1}{2\lambda_{D,2}} \quad (\text{siendo } r = \frac{1}{\lambda}) \quad (4.21)$$

Por tanto:

$$\frac{v_{out}}{v_{id}} \cong (2\beta_{1,2}I_{D1,2})^{\frac{1}{2}} \cdot \left[\frac{1}{2\lambda_{D1,2}} \right] \quad (4.22)$$

$$\frac{v_{out}}{v_{id}} \cong K \cdot \left[\frac{W_{1,2}}{L_{1,2}I_{D1,2}} \right]^{\frac{1}{2}} \cdot \left(\frac{1}{\lambda} \right) \quad (4.23)$$

Donde K es una constante, que el diseñador no controla. El efecto de λ en la ganancia disminuye cuando L aumenta, así que $\frac{1}{\lambda}$ es directamente proporcional a la longitud del canal.

Entonces podemos establecer una relación entre $\frac{W_{1,2}}{L_{1,2}}$ y la corriente de drenador con la ganancia en pequeña señal:

$$\frac{v_{out}}{v_{id}} \propto \left[\frac{W_{1,2}L_{1,2}}{I_{D1,2}} \right]^{\frac{1}{2}} \quad (4.24)$$

La constante no aparece debido a que el valor no es dependiente de algo que el diseñador pueda ajustar.

Conclusiones:

- Si incrementamos $W_{1,2}$, $L_{1,2}$ o ambos, la ganancia aumenta.
- Si disminuimos la corriente de drenador de M_1 y M_2 la ganancia aumenta.

4.3 Fuentes de Corriente

Una de las partes más importantes de un diseño analógico es la polarización del circuito. El propósito del circuito de polarización es establecer un punto de operación en DC apropiado para el transistor. Con el punto de operación en DC establecido de forma correcta, la corriente de drenador I_D y la tensión drenador-fuente serán estables y medibles y aseguran la operación en la región de saturación para todas las señales de entrada con las que pueda encontrarse el circuito.

En este apartado estudiaremos cinco tipos diferentes de espejos de corriente; Espejo de Corriente Básico, Espejo de Corriente Cascada/Cascodo, Espejo de Corriente Wilson, Espejo de Corriente Wilson modificado y Espejo de corriente Cascodo Reducido.

La capacidad de un espejo de corriente de mantener la corriente constante, el número de transistores usados y sus tamaños son los factores generales que definen si un espejo de corriente es “bueno” o no. Estos factores deben ser considerados cuando se decide sobre el espejo de corriente que se va a utilizar en el diseño de un Op-Amp.

4.3.1 CARACTERÍSTICAS IDEALES DE UN ESPEJO DE CORRIENTE

Un espejo de corriente ideal posee las siguientes cualidades:

- La corriente de salida es función lineal de la corriente de entrada. $I_{out} = A \cdot I_{in}$.
- La resistencia de entrada es nula.
- La resistencia de salida es infinita.

Por lo que a la hora de diseñar un espejo de corriente intentaremos que su comportamiento se asemeje al espejo ideal.

4.3.2 ANÁLISIS DE UN ESPEJO DE CORRIENTE BÁSICO

En la Figura 4.7 se muestra el espejo de corriente básico, donde el transistor Q_1 está operando en la región de saturación ya que el drenador está cortocircuitado con la puerta.

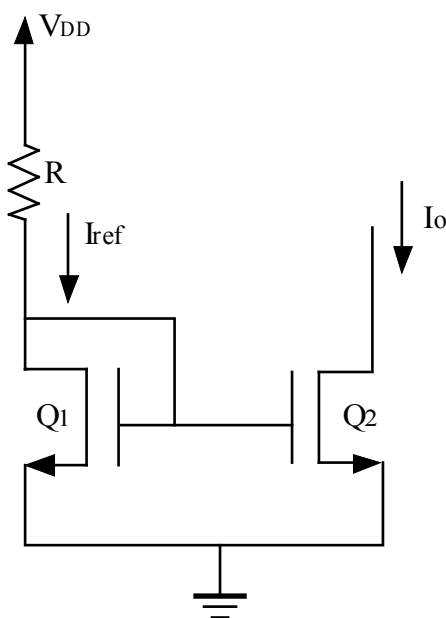


Figura 4. 7 Espejo de corriente Básico

Por lo tanto:

$$I_{D1} = \frac{1}{2} K_n \left(\frac{W}{L} \right)_1 (V_{GS} - V_t)^2 \quad (4.25)$$

Donde no prestamos atención a la modulación de la longitud del canal y suponemos $\lambda=0$.

La corriente de drenador de Q_1 la suministra la tensión de alimentación, V_{DD} , a través de una resistencia, R . Suponiendo que las corrientes de puerta son aproximadamente cero:

$$I_{D1} = I_{ref} = \frac{V_{DD} - V_{GS}}{R} \quad (4.26)$$

Por otro lado, el transistor Q_2 tiene la misma V_{GS} que Q_1 , y suponiendo que está en la región de saturación, su corriente de drenador, que es la corriente de salida I_O de la fuente de corriente será:

$$I_O = I_{D2} = \frac{1}{2} K_n \left(\frac{W}{L} \right)_2 (V_{GS} - V_t)^2 \quad (4.27)$$

Otra vez no prestamos atención a la modulación de la longitud del canal.

Usando las ecuaciones 4.25, 4.26 y 4.27 somos capaces de relacionar la corriente de salida I_O con la corriente de referencia I_{ref} .

Reordenando la ecuación 3.26 y sustituyendo $I_{ref} = I_{D1}$:

$$\frac{I_{ref}}{\left(\frac{W}{L} \right)_1} = \frac{1}{2} K_n (V_{GS} - V_t)^2 \quad (4.28)$$

Sabiendo que

$$I_O = \left[\frac{1}{2} K_n (V_{GS} - V_t)^2 \right] \left(\frac{W}{L} \right)_2 \quad (4.29)$$

Sustituimos en la ecuación 3.29:

$$I_O = \frac{I_{ref}}{\left(\frac{W}{L} \right)_1} \cdot \left(\frac{W}{L} \right)_2 \quad (4.30)$$

$$\frac{I_O}{I_{ref}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (4.31)$$

Así tenemos una relación de ambas corrientes con la que modificando el ancho y la longitud de los transistores podemos cambiar la corriente de salida.

De este modo si los transistores son iguales, es decir el ancho y la longitud son iguales tenemos:

$$\frac{I_O}{I_{ref}} = 1 \quad (4.32)$$

$$I_O = I_{ref} \quad (4.33)$$

Esto se llama espejo corriente porque la corriente de referencia es “reflejada” a la salida.

4.3.3 ESPEJOS DE CORRIENTE ANALIZADOS

4.3.3.1 Espejo de Corriente Básico

En este apartado examinaremos el espejo de corriente más simple, el Espejo de Corriente Básico (Figura 4.8). Este tipo de espejo de corriente usa un mínimo de tres transistores. El análisis visto anteriormente muestra el funcionamiento general de un espejo de corriente por el que la corriente se mantiene constante para cualquier valor de la tensión de alimentación.

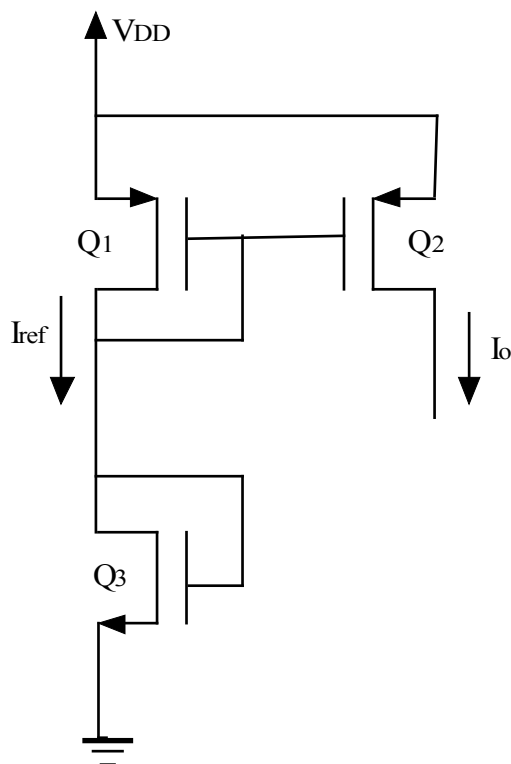


Figura 4.8 Espejo de Corriente Básico tipo P

En este caso el espejo de corriente lo forman los transistores tipo P (Q_1 y Q_2). Pero, dado que la resistencia ocupa mucho área en los circuitos integrados se ha sustituido por el transistor Q_3 en el que la puerta está conectada al drenador para forzarlo a trabajar en la región de saturación.

La gran ventaja de este circuito es su simplicidad, además de que la corriente que suministra es bastante constante. Sin embargo, presenta dos desventajas importantes: el valor de la corriente de salida no es totalmente estable y su impedancia de salida es bastante baja.

4.3.3.2 Espejo de Corriente Cascada/Cascodo

El segundo espejo de corriente que examinamos es el Espejo de Corriente Cascada/Cascodo, este tipo de espejo de corriente usa un mínimo de cinco transistores y su estructura se muestra en la Figura 4.9.

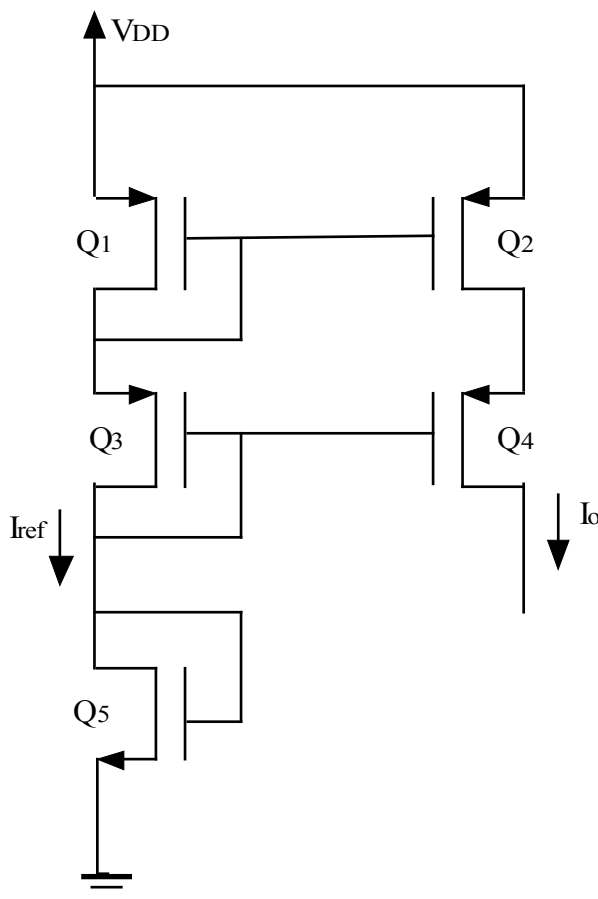


Figura 4.9 Espejo de Corriente Cascada/Cascodo

El espejo de corriente lo forman los transistores tipo P (Q_1 , Q_2 , Q_3 y Q_4) y, por la misma razón que en el caso del espejo de corriente básico se sustituye la resistencia por el transistor Q_5 .

Este circuito es un poco más complejo que el Espejo de Corriente Básico. Su gran problema es que a la hora de suministrar grandes cantidades de corriente su funcionamiento no es del todo bueno, por ejemplo, para suministrar corriente a etapas de salida.

Las grandes ventajas que presenta son: una alta impedancia de salida, una corriente estable y todo esto con un tamaño transistores relativamente pequeño. Sin embargo, la principal desventaja es que su excursión de salida mínima es más alta que la del espejo de corriente básico, y esto reduce la excursión de salida disponible.

4.3.3.3 Espejo de Corriente Wilson

El tercer espejo de corriente que vamos a examinar en este apartado es la fuente de corriente Wilson, que usa un mínimo de cuatro transistores como se observa en la Figura 4.10.

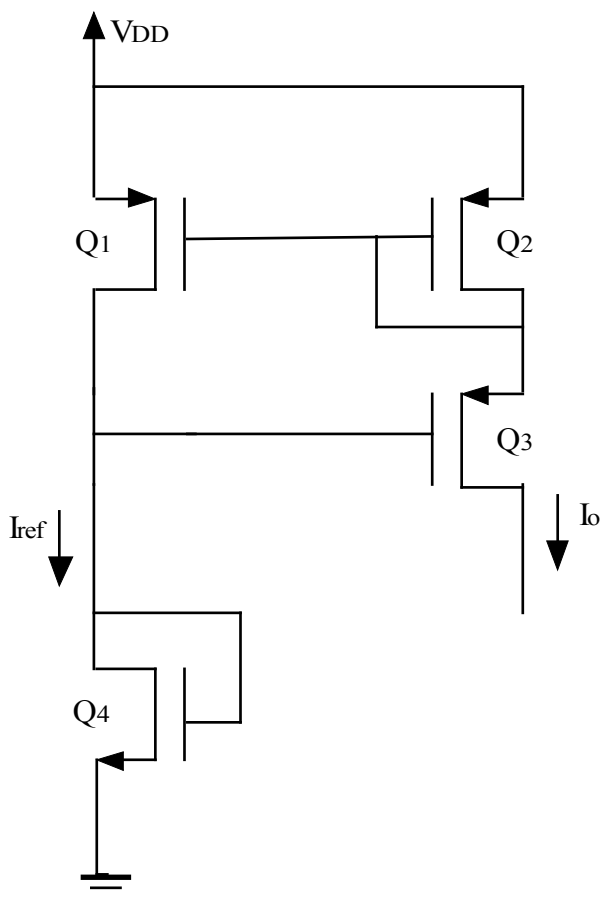


Figura 4.10 Espejo de Corriente Wilson

Este espejo está formado por los transistores tipo P (Q_1 , Q_2 y Q_3) y como en casos anteriores el transistor Q_4 actúa como una resistencia.

Este circuito es menos complejo que el Espejo de Corriente Cascada/Cascodo y proporciona una corriente, estable debido a la realimentación negativa. Sin embargo, para suministrar la misma cantidad corriente este espejo usa un tamaño de transistores mayor, por lo que este espejo proporciona cualidades similares al Espejo de Corriente Cascada/Cascodo pero usando transistores de mayor tamaño.

4.3.3.4 Espejo de Corriente Wilson Modificado

El cuarto espejo de corriente examinado es el Espejo de Corriente Wilson Modificado. Este espejo de corriente usa un mínimo de cinco transistores y su esquema es similar al Espejo de Corriente Cascada/Cascodo como se muestra en la Figura 4.11. Su rendimiento es similar al Espejo de Corriente Wilson normal.

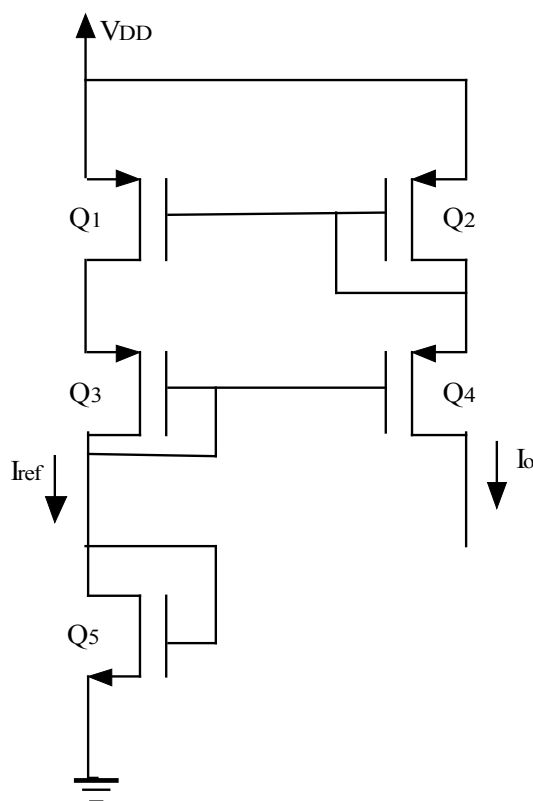


Figura 4.11 Espejo de Corriente Wilson Modificado

El espejo de corriente lo forman los transistores tipo P (Q_1 , Q_2 , Q_3 y Q_4) y Q_5 actuará como resistencia. A diferencia del Espejo de Corriente Wilson normal, este espejo está hecho simétricamente, y la tensión drenador-fuente de Q_1 y Q_2 son iguales.

4.3.3.5 Espejo de Corriente Cascodo Reducido

El quinto y último espejo de corriente a examinar es el Espejo de Corriente Cascodo Reducido (Figura 4.12). Este espejo de corriente usa un mínimo de ocho transistores y tiene una topología similar al Espejo de Corriente Cascada/Cascodo básico. La Palabra “Reducido” en el nombre se refiere a que el voltaje con el que la corriente alcanza una salida estable, es alrededor de la mitad del voltaje normal.

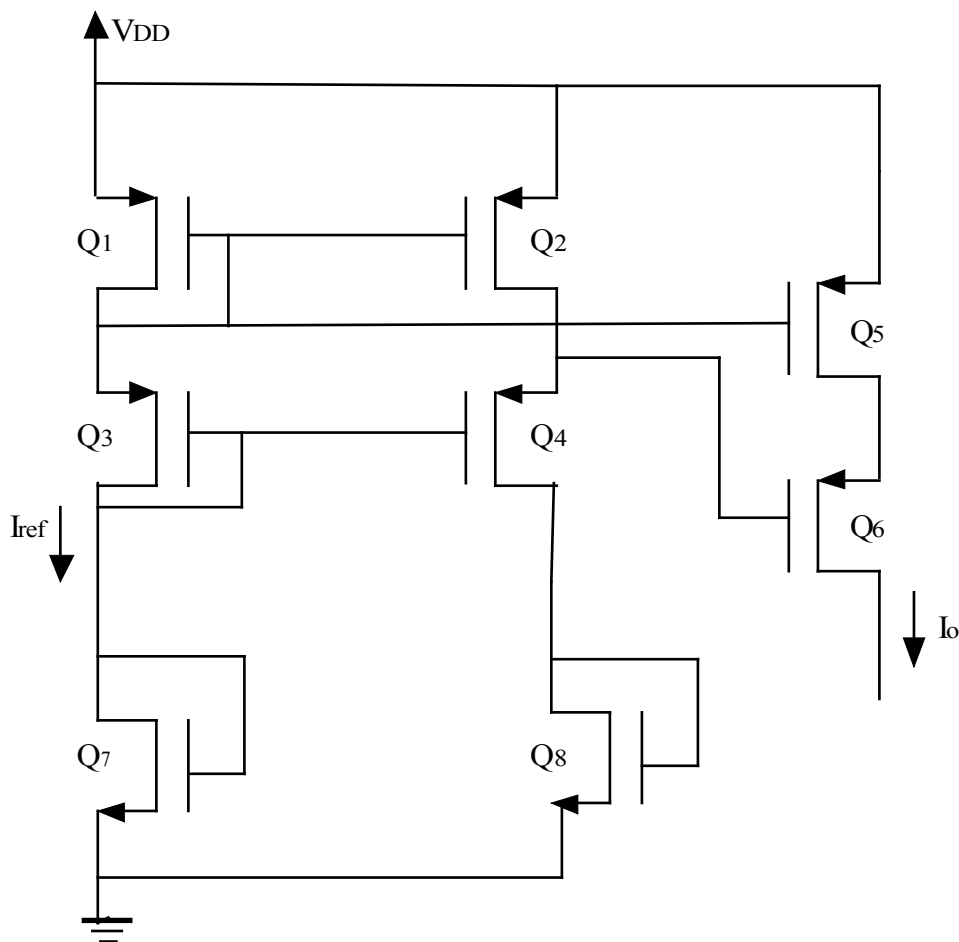


Figura 4. 12 Espejo de Corriente Cascodo Reducido

El espejo lo forman los transistores tipo P (Q_1 , Q_2 , Q_3 , Q_4 , Q_5 y Q_6) y Q_7 y Q_8 actúan como cargas. Este esquema es igual al Espejo de Corriente Cascada/Cascodo pero se le ha añadido un seguidor de fuente (Q_2 y Q_4) entre las puertas de Q_3 y Q_6 . Con esto se consigue disminuir el tamaño de Q_3 y la excursión de salida mínima.

Este espejo de corriente es más complejo que el Espejo de Corriente en Cascada/Cascodo básico. Sin embargo, el Espejo de Corriente en Cascodo Reducido ofrece altas cantidades de corriente con un voltaje bajo que es muy útil en las etapas de salida donde son necesarias corrientes elevadas para polarizarlas.

Las principales ventajas que presenta este tipo de espejo son: proporciona una corriente estable, es capaz de suministrar grandes cantidades de corriente de salida si es necesario, además de, el reducido voltaje con el que la corriente es estable en comparación con el resto de las fuentes de corriente que hemos estudiado.

4.3.4 FUENTES DE CORRIENTE COMO CARGAS ACTIVAS

Una fuente de corriente además de actuar como circuito de polarización posee una impedancia equivalente en alterna de valor muy alto (teóricamente infinita) y, como la ganancia de la etapa depende de esta resistencia, esto produciría una ganancia infinita. En continua ofrecen mucha corriente. Por tanto, las fuentes de corriente se pueden utilizar como elemento de carga de amplificadores consiguiendo de esta manera cargas de un alto valor resistivo con un área muy inferior con respecto a las resistencias de difusión de ese mismo valor. En la Figura 4.13 se muestra una aplicación de los espejos de corriente como cargas activas en un amplificador de fuente común.

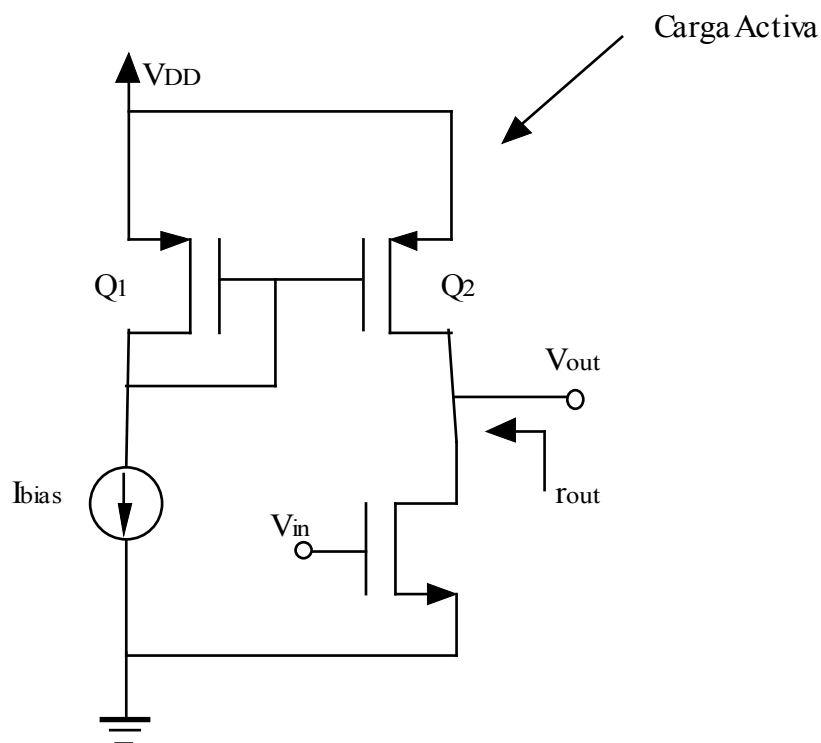


Figura 4.13 Carga Activa

4.4 Etapas de Salida

El principal objetivo de la etapa de salida CMOS es actuar como un convertidor de corriente. La mayoría de las etapas de salida poseen una gran ganancia en corriente y una ganancia pequeña en tensión. Sus objetivos principales son:

1. Proporcionar suficiente tensión o corriente. Por ello la etapa de salida debe proporcionar al amplificador una impedancia de salida baja de tal forma que la ganancia de tensión no se vea afectada por el valor de la carga.
2. Evitar distorsión en la señal producida por la no linealidad.
3. Ser eficiente (entendiendo por eficiencia la relación de la potencia disipada en la carga y la potencia suministrada por la fuente). Esto es minimizar la potencia que disipan los transistores en comparación con la que se disipa en la carga.
4. Proporcionar una protección frente a condiciones anormales (cortocircuitos, temperaturas altas, etc.) que podemos encontrar en las etapas de salida CMOS debido a que los transistores MOS están autolimitados.

Una característica importante de esta etapa es que proporciona al amplificador una impedancia de salida baja y con esto el amplificador evita pérdidas de ganancia en la señal de salida. Dado que la etapa de salida es la etapa final del amplificador, normalmente trabaja con señales relativamente grandes y, por tanto, las aproximaciones con el modelo en pequeña señal o cualquier otro modelo no suelen usarse. No obstante, la linealidad permanece como un requisito muy importante, de hecho, una medida de calidad de la etapa de salida es la distorsión armónica total (THD) introducida.

4.4.1 CLASIFICACIÓN DE LAS ETAPAS DE SALIDA

En este apartado veremos varias implementaciones de la etapa de salida. Éstas se clasifican según la forma de onda de la corriente de drenador cuando en la entrada aplicamos una señal. Por ejemplo, en un amplificador Clase A, el transistor conduce para todo el ciclo de la señal de entrada, mientras que en un amplificador Clase B, cada transistor conduce para medio ciclo de la señal de entrada, y en un amplificador Clase AB, cada transistor conduce para un intervalo ligeramente mayor que medio ciclo ya que se polarizan a una corriente en

DC mucho más pequeña que el pico de corriente de la señal senoidal y como resultado el ángulo de conducción es mayor que 180° pero mucho menor que 360° .

4.4.1.1 Etapa de Salida Clase A

Como ya dijimos, en las etapas de salida de Clase A el transistor de salida funciona el 100% del tiempo que tengamos una señal a la entrada. En este apartado veremos dos tipos de estas etapas.

- *Salida Simple en Fuente Común*

El circuito se muestra en la Figura 4.14.

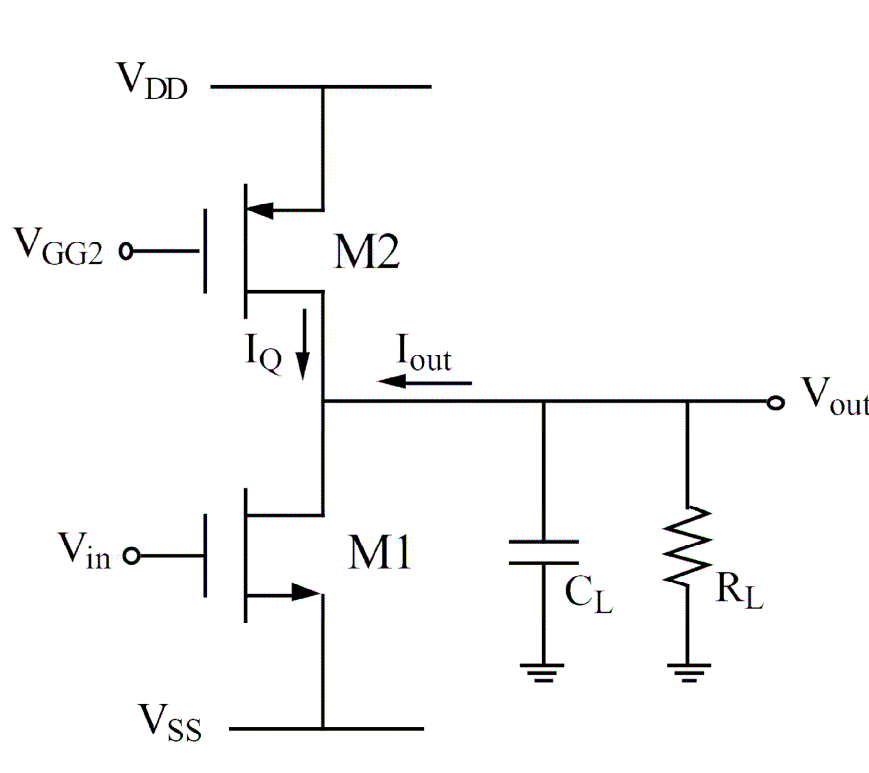


Figura 4.14 Etapa de Salida Clase A con Salida Simple en Fuente Común

- *Salida Simple en Drenador Común (Seguidor de Fuente)*

El circuito se muestra en la Figura 4.15 donde observamos que en lugar de usar un transistor tipo P y uno tipo N se usan dos transistores iguales tipo N. Esta configuración presenta una impedancia de salida bastante baja lo que da lugar a una ganancia en corriente elevada. Sin embargo, uno de los principales problemas que presenta es su dependencia con

el body-effect debido a que la fuente es el nodo de salida. El body-effect causa que la tensión umbral V_t se incremente cuando el voltaje de salida aumenta, causando que el voltaje máximo a la salida sea bastante menor que V_{DD} .

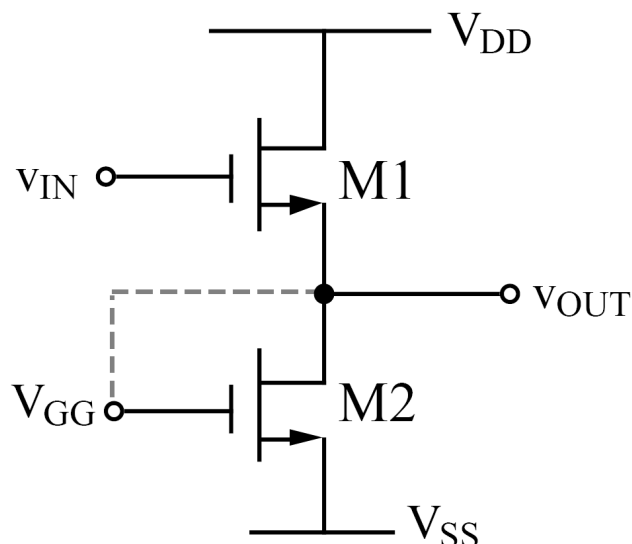


Figura 4. 15 Etapa de Salida Clase A (Seguidor de Fuente)

La eficiencia del seguidor de fuente es similar al visto anteriormente. Sin embargo, la distorsión del seguidor de fuente será mejor debido a la inherente realimentación negativa. La eficiencia se define como la relación de la potencia disipada en la carga y la potencia suministrada por la fuente de alimentación.

- *Análisis de Eficiencia*

Para calcular la eficiencia tratamos de encontrar la relación que existe entre la potencia suministrada a la carga y la consumida por la fuente (sólo por la etapa de salida):

$$E_{ff} = \frac{\text{load_power}(P_L)}{\text{supply_power}(P_S)} \quad (4.34)$$

Primero calculamos la potencia suministrada a la carga (partiendo de la base de que se está suministrando la máxima potencia) para ello usaremos la fórmula de la potencia eficaz:

$$P_L = V_{ef} \cdot I_{ef} \quad (4.35)$$

En estas etapas si seleccionamos una buena corriente de polarización, I , la tensión de salida puede variar de 0 a V_{DD} donde el valor máximo absoluto debería ser $V_{DD}/2$. Así con esta corriente de polarización permitimos una corriente máxima en la carga de $\frac{V_{DD}}{2R_L}$, y la corriente de drenador del transistor de arriba variará de 0 a $2I$ siendo su valor medio I . Por lo tanto, la máxima potencia instantánea disipada por el transistor de arriba será $V_{DD} \cdot \frac{I}{2}$ siendo $\left(I = \frac{V_{DD}}{2R_L} \right)$.

Con estos datos ya podemos calcular la tensión y la corriente eficaz:

$$V_{ef} = \frac{V_{\max}}{\sqrt{2}} = \frac{V_{DD}}{2\sqrt{2}} \quad (4.36)$$

$$I_{ef} = \frac{I_{\max}}{\sqrt{2}} = \frac{V_{DD}}{2R_L\sqrt{2}} \quad (4.37)$$

Por tanto, la potencia máxima suministrada a la carga es:

$$P_L = \frac{V_{DD}^2}{8R_L} \quad (4.38)$$

Una vez calculada la potencia suministrada a la carga, tenemos que calcular la consumida en la fuente:

$$P_S = V_{DD} \cdot I_{media} \quad (4.39)$$

Donde I_{media} para suministrar la máxima potencia a la carga es: $I_{media} = \frac{V_{DD}}{2R_L}$.

Por tanto:

$$P_S = \frac{V_{DD}^2}{2R_L} \quad (4.40)$$

Así, la máxima eficiencia posible es:

$$E_{ff}(\%) = \frac{P_L}{P_S} \cdot 100 = 25\%$$

Dado que es una eficiencia bastante baja, la etapa de salida Clase A no suele usarse en aplicaciones de alta energía. Además, hay que tener en cuenta que en la práctica la tensión de salida está limitada a valores más bajos para evitar la saturación de los transistores y la distorsión no lineal. Por ello, la eficiencia suele encontrarse en el rango del 10% al 20%.

4.4.1.2 Etapa de Salida Clase B

- *Amplificador CMOS Inversor tipo Push-Pull*

La principal ventaja del amplificador Push-Pull (Figura 4.16) es su elevada eficiencia. Sabemos que un Clase B, amplificador push-pull, tiene una eficiencia máxima del 78.5% que significa que necesitamos menor corriente fija para conseguir las corrientes de salida demandadas. El circuito opera en modo push-pull: cuando en la entrada está el semiciclo positivo, M1 se activa al exceder V_{GS} la tensión umbral, de la misma forma, cuando en la entrada está el semiciclo negativo se activará M2. Pero hay una “zona muerta” donde ambos transistores están apagados, por lo que no habrá salida, esto provoca una distorsión de cruce. Esta distorsión puede reducirse sustancialmente empleando una ganancia del Op-Amp alta y una realimentación negativa global. Otra opción para reducir esta distorsión es usar un amplificador Clase AB. Además, en este amplificador la excursión de salida está limitada a V_{DD} menos la tensión umbral y V_{SS} más la tensión umbral.

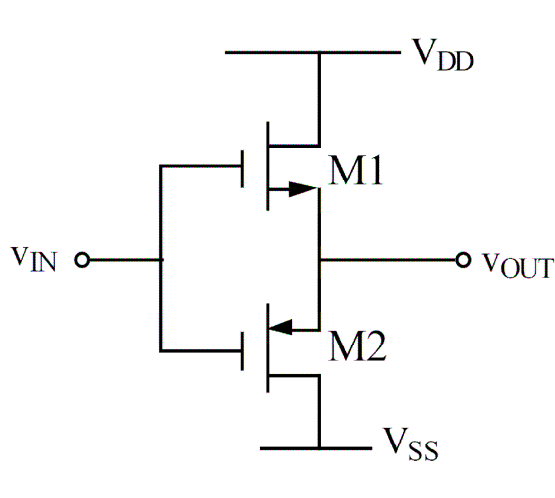


Figura 4. 16 Etapa de Salida Clase B

- *Análisis de Eficiencia*

Para calcular la eficiencia de energía, E_{ff} , de una etapa Clase B, olvidamos la distorsión de cruce y consideramos el caso de una salida sinusoidal con una amplitud de pico V_o . Así

$P_L = \frac{V_o^2}{2R_L}$. La corriente consumida por cada fuente de alimentación consistirá en media

onda de amplitud V_o . De este modo, la corriente media suministrada por cada fuente de

alimentación será $I_m = \frac{2V_o}{\pi \cdot R_L}$. Si consideramos que la potencia que se le suministra a la

carga es máxima:

$$P_L = \frac{V_{DD}^2}{2R_L} \quad (4.41)$$

Y la potencia consumida por la fuente de alimentación:

$$P_S = V_{DD} \cdot I_m = \frac{2V_{DD}^2}{\pi \cdot R_L} \quad (4.42)$$

Por tanto, la máxima eficiencia posible es:

$$E_{ff}(\%) = \frac{P_L}{P_S} \cdot 100 = \frac{\pi}{4} \cdot 100 = 78.5\%$$

Comprobamos que esta configuración posee una eficiencia mucho mayor que las etapas de Clase A.

4.4.1.3 *Etapas de Salida Clase AB*

La distorsión de cruce que introduce la etapa de salida Clase B puede ser minimizada polarizando los transistores de salida complementariamente con una pequeña corriente. El resultado es la etapa de salida Clase AB (ver Figura 4.17). Esta etapa opera prácticamente de la misma manera que el circuito Clase B, con una excepción importante, cuando en la entrada hay una pequeña señal, ambos transistores conducen, y a medida que esta señal aumenta o disminuye, uno de los dos transistores toma posesión de la operación.

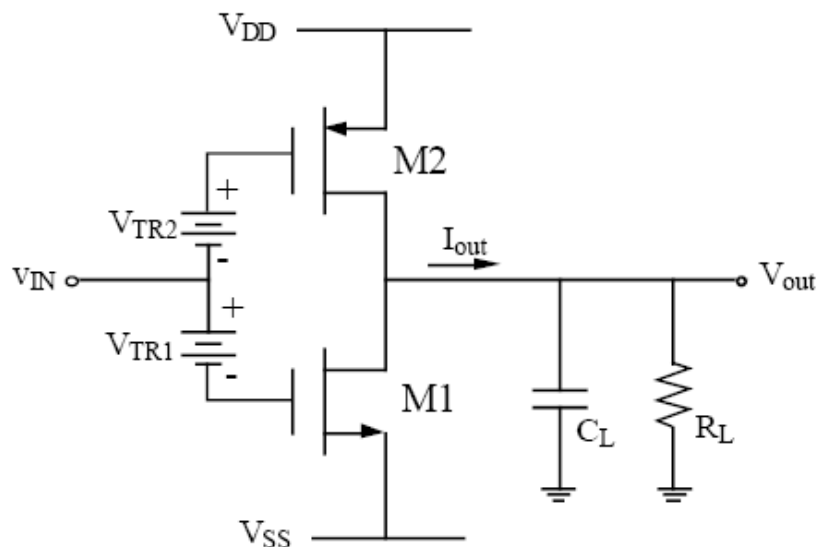


Figura 4. 17 Etapa de Salida Clase AB

La implementación de esta etapa se muestra en la Figura 4.18. Su eficiencia será similar a la vista en la etapa de salida Clase B, es decir, su eficiencia máxima será alrededor de un 78.5%.

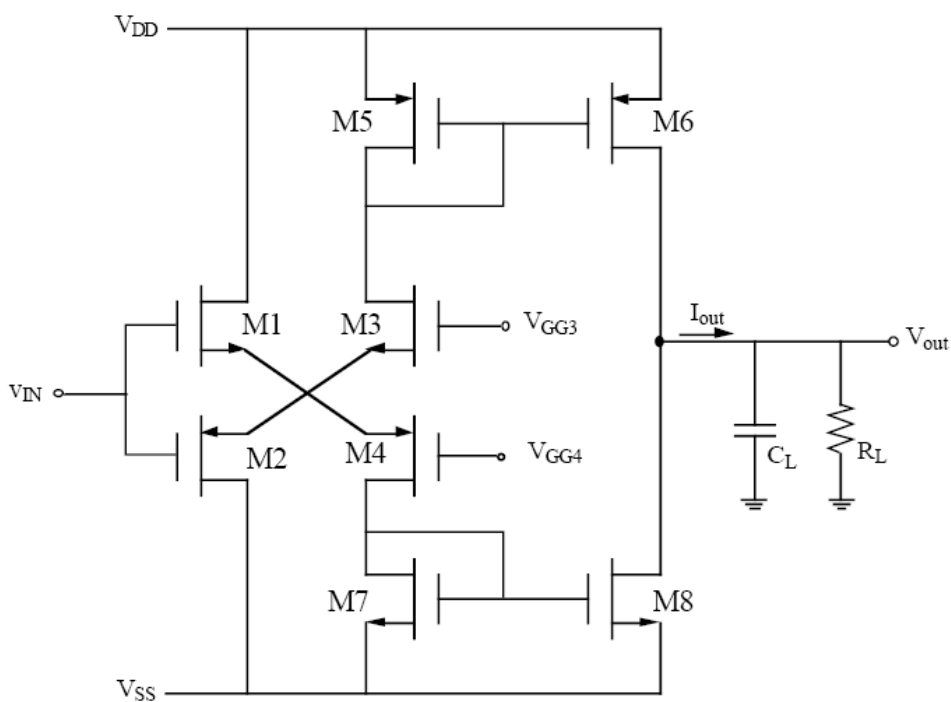


Figura 4. 18 Implementación de la Etapa de Salida Clase AB

4.5 Respuesta en Frecuencia

En este apartado nos referiremos de nuevo al modelo de la etapa de entrada de la Figura 4.6. Para simplificar el circuito eliminaremos todos los nodos de baja impedancia, es decir, aquellos que presenten una constante de tiempo RC alta y que, por tanto, generen polos a muy alta frecuencia.

Si suponemos que:

$$\frac{1}{c_1 \cdot \frac{1}{g_{m3}}} \gg \frac{1}{[c_2 \cdot (r_{o2} \parallel r_{o4})]} \quad (4.43)$$

Entonces el nodo ($D1=D2=G3=G4$) es un nodo de baja impedancia y, por tanto, lo podemos eliminar. Otra suposición que se suele hacer es que $c_3=0$, lo que resulta ser válido en muchas aplicaciones de amplificadores diferenciales. Por tanto, el modelo que vamos a tener en cuenta para el análisis en alta frecuencia es el que se muestra en la figura 4.19.

En la configuración en la que se aplica una pequeña señal a la puerta de M_1 mientras la puerta de M_2 está conectada a tierra, $v_{gs2} = 0$, $v_{id} = v_{gs1}$. Entonces:

$$g_{m4}v_{gs4} = i_{d1} = g_{m1}v_{gs1} = g_{m1}v_{id} \quad (4.44)$$

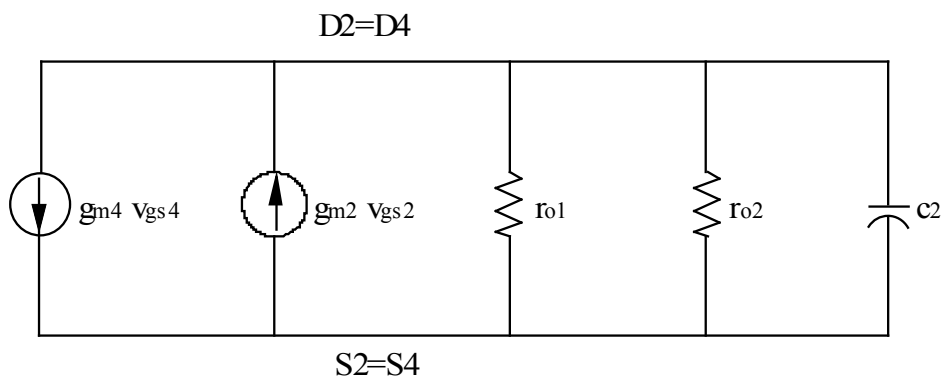


Figura 4. 19 Modelo en pequeña señal de alta frecuencia con capacidades parásitas

Esto nos permite redibujar el modelo de la figura 4.6 quedándonos uno mucho más simple (Figura 4.20).

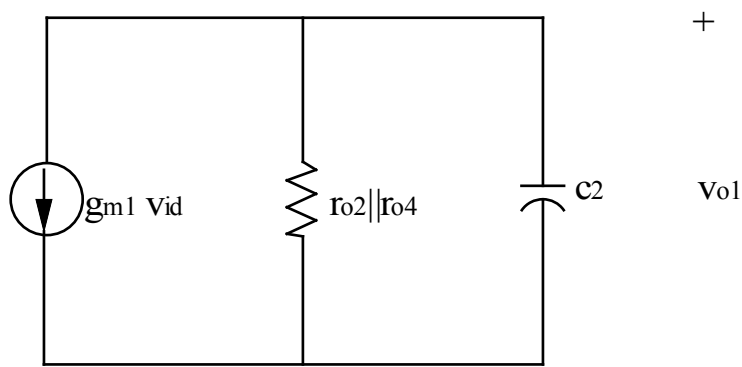


Figura 4. 20 Modelo en pequeña señal de la etapa de entrada usado para determinar la respuesta en frecuencia

Donde la salida en alta frecuencia viene dada por:

$$v_{o1} = g_{m1} v_{id} \cdot (r_{o2} \parallel r_{o4}) \cdot \frac{1}{\left[1 + S \cdot \frac{1}{c_2 (r_{o2} \parallel r_{o4})} \right]} \quad (4.45)$$

Y la respuesta en frecuencia será:

$$\frac{v_{o1}}{v_{id}} = g_{m1} \cdot (r_{o2} \parallel r_{o4}) \cdot \frac{1}{\left[1 + S \cdot \frac{1}{c_2 (r_{o2} \parallel r_{o4})} \right]} \quad (4.46)$$

Ahora analizamos la etapa de entrada y de salida vistas en la Figura 4.1.

En un primer análisis el condensador de compensación, C_C , no se tiene en cuenta. Así, c_1 y c_2 representan las capacidades totales del nodo de salida del par diferencial y del nodo de salida de la etapa de salida. Dado que ambos nodos son de alta impedancia, tendremos que tenerlos en cuenta.

En la Figura 4.21 se muestra el modelo derivado de la Figura 4.1 haciendo uso de la Figura 4.20 para determinar la respuesta en frecuencia del Op-Amp de dos etapas.

Para determinar el valor exacto de c_1 y c_2 , la figura 4.22 muestra todas las capacidades parásitas de la etapa de entrada y de la de salida que incluye las capacidades de las zonas de deplexión (c_{gb} , c_{sb} , c_{db}) y las capacidades de solapamiento (c_{gs} , c_{gd}).

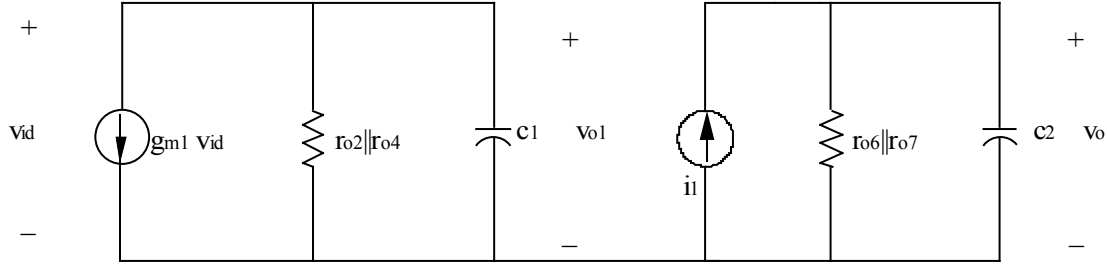


Figura 4. 21 Modelo usado para determinar la respuesta en frecuencia del Op-Amp de dos etapas

Para determinar el efecto del condensador, c_{gd6} , conectado de la puerta al drenador de M_6 usamos el teorema de Miller. Este teorema aproxima los efectos del condensador puerta-drenador reemplazándolo por un condensador equivalente de entrada de valor $c_{gd}(1 + A_2)$ y un condensador equivalente de salida de valor $c_{gd}(1 + \frac{1}{A_2})$. Donde A_2 es la ganancia entre los nodos en los que estaba conectado el condensador original. Su valor, según la Figura 4.21 es:

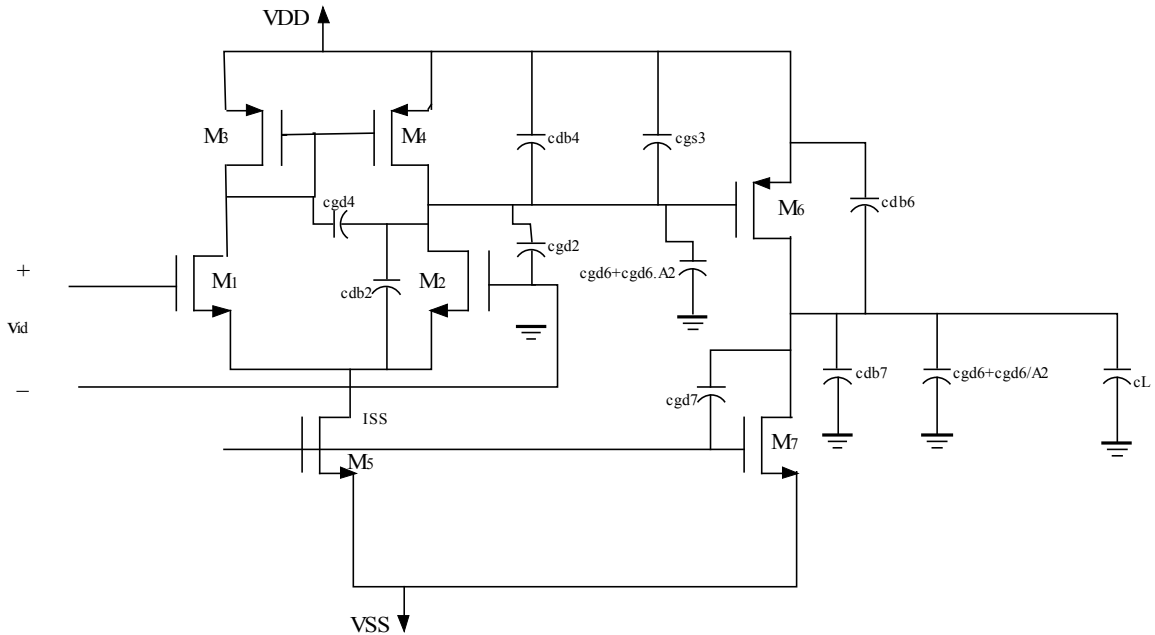


Figura 4. 22 Op-Amp de dos etapas con las capacidades parásitas

$$A_2 = \frac{v_o}{v_{o1}} = -g_{m6} \cdot v_{o1} \frac{r_{o6} \parallel r_{o7}}{v_{o1}} \quad (4.47)$$

$$A_2 = -g_{m6}(r_{o6} \parallel r_{o7}) \quad (4.48)$$

De este modo c_1 y c_2 para la Figura 4.21 pueden calcularse examinando la Figura 4.22.

$$c_1 = c_{db4} + c_{gd4} + c_{db2} + c_{gd2} + c_{gs6} + c_{gd6} \cdot (1 + A_2) \quad (4.49)$$

$$c_2 = c_{db6} + c_{db7} + c_{gd7} + c_{gd6} \cdot \left(1 + \frac{1}{A_2}\right) + c_L \quad (4.50)$$

Si suponemos que $c_1 < c_2$, el polo asociado con la salida del amplificador diferencial $\left(\frac{1}{c_1(r_{o2} \parallel r_{o4})}\right)$ será más bajo en frecuencia que el polo asociado a la salida de la etapa de salida $\left(\frac{1}{c_2(r_{o6} \parallel r_{o7})}\right)$.

Además del modelo de alta frecuencia de la Figura 4.21 tenemos:

$$\frac{v_o}{v_{id}} = \left[\frac{v_o}{v_{o1}}\right] \cdot \left[\frac{v_{o1}}{v_{id}}\right] \cdot \left[\frac{1}{1 + \frac{s}{c_2(r_{o6} \parallel r_{o7})}}\right] \cdot \left[\frac{1}{1 + \frac{s}{c_1 \cdot (r_{o2} \parallel r_{o4})}}\right] \quad (4.51)$$

$$\frac{v_o}{v_{o1}} = g_{m6} \cdot (r_{o6} \parallel r_{o7}) \frac{1}{\left(1 + \frac{s}{c_2 \cdot (r_{o6} \parallel r_{o7})}\right)} \quad (4.52)$$

$$\frac{v_{o1}}{v_{id}} = g_{m1} \cdot (r_{o2} \parallel r_{o4}) \frac{1}{\left(1 + \frac{s}{c_1 \cdot (r_{o2} \parallel r_{o4})}\right)} \quad (4.53)$$

Por tanto, la respuesta en frecuencia es:

$$\frac{v_o}{v_{id}} = [g_{m6} \cdot (r_{o6} \parallel r_{o7})] \cdot [g_{m1} \cdot (r_{o2} \parallel r_{o4})] \cdot \left[\frac{1}{1 + \frac{s}{c_1 \cdot (r_{o2} \parallel r_{o4})}} \right] \cdot \left[\frac{1}{1 + \frac{s}{c_2 \cdot (r_{o6} \parallel r_{o7})}} \right] \quad (4.54)$$

Donde los polos se corresponden con:

$$P_1 = \frac{1}{c_1 \cdot (r_{o2} \parallel r_{o4})} \quad (4.55)$$

$$P_2 = \frac{1}{c_2 \cdot (r_{o6} \parallel r_{o7})} \quad (4.56)$$

4.6 Realimentación y Compensación

La compensación óptima de los Op-Amps se considerada una de las partes más difíciles del diseño. Los amplificadores operacionales pueden trabajar tanto en lazo cerrado como en lazo abierto dependiendo si se usa realimentación o no. En la configuración de lazo cerrado, la señal de salida se conecta a uno de los terminales de entrada. La realimentación negativa es la más usada para estabilizar la ganancia del amplificador contra la variación de los parámetros de los dispositivos activos debido a cambios en la tensión de alimentación, a los cambios de temperatura o al envejecimiento del dispositivo. La realimentación negativa se usa también para modificar las impedancias de entrada y salida del circuito, reducir la distorsión de la señal y mejorar el ancho de banda.

4.6.1 REALIMENTACIÓN NEGATIVA

La realimentación negativa proporciona a los Op-Amps las siguientes propiedades:

- **Desensibilizar la ganancia:** hacer que el valor de la ganancia sea menos sensible a variaciones en los componentes del circuito, tales como las variaciones causadas por cambios en la temperatura.
- **Reducir la distorsión lineal:** hacer que la salida sea proporcional a la entrada y hacer la ganancia constante e independiente del nivel de la señal.

- **Reducir el efecto del ruido:** minimizar la contribución a la salida de las señales no deseadas generadas por los componentes del circuito.
- **Controlar la impedancia de entrada y salida:** elevar o disminuir las impedancias de entrada y salida.
- **Ampliar el ancho de banda del amplificador.**

Todas las propiedades anteriores se pueden obtener a costa de una reducción en la ganancia y del riesgo de que el amplificador se vuelva inestable (esto supone oscilación).

4.6.2 ESTABILIDAD DE AMPLIFICADORES REALIMENTADOS

Como ya hemos visto, la realimentación negativa nos ofrece importantes beneficios y mejoras en el funcionamiento del amplificador. Sin embargo, el realimentar un amplificador podría hacer que éste no se comportara bien o, incluso, que llegara a oscilar. Para determinar si un sistema es inestable se suele emplear el criterio de Nyquist mediante el diagrama de Bode.

En la Figura 4.23 se muestra el diagrama de bloques de un sistema realimentado lineal genérico.

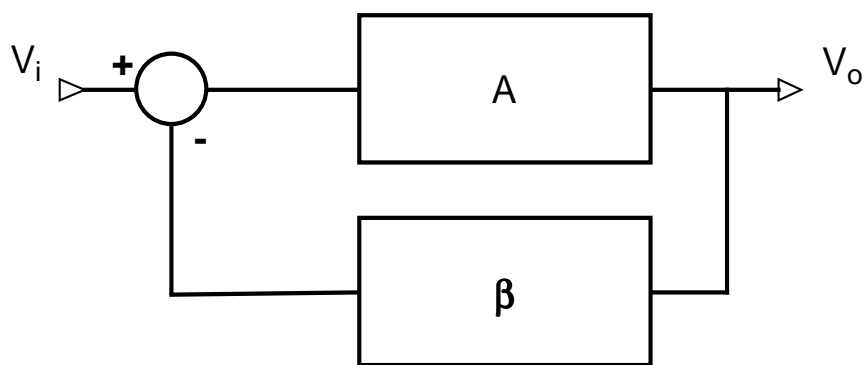


Figura 4. 23 Sistema Realimentado

En un sistema realimentado típico, la función de transferencia viene dada por la siguiente expresión [22]:

$$A_F = \frac{v_o}{v_i} = \frac{A}{1 + A \cdot \beta} \quad (4.57)$$

Para el caso típico de que el producto $A\beta$ sea mucho mayor que la unidad, la función de transferencia viene determinada por la realimentación ($1/\beta$), como se puede ver en la ecuación 4.58.

$$A_F = \frac{A}{1 + A \cdot \beta} \xrightarrow{A\beta \gg 1} A_F = \frac{1}{\beta} \quad (4.58)$$

El análisis de estabilidad de un sistema realimentado se basa en ver si para señal de entrada nula es capaz de generar o no una señal a la salida (Figura 4.24). En caso de que no haya señal a la salida se dice que el circuito es estable y cuando sí hay señal a la salida el circuito es inestable y oscila.

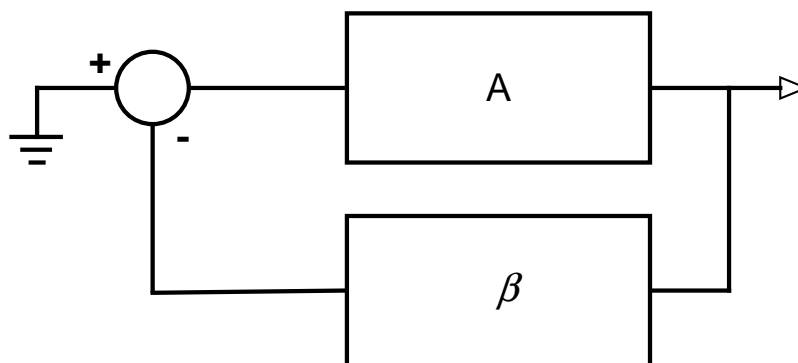


Figura 4. 24 Análisis de estabilidad

La estabilidad de un circuito se puede analizar gráficamente observando su diagrama de Bode. Así, el circuito es estable si no presenta ganancia cuando el desfase es de 180° (Figura 4.25) y es inestable si la ganancia es positiva para ese mismo desfase (Figura 4.26). Normalmente, para asegurar la condición de estabilidad se suele especificar una distancia de seguridad denominada margen de fase.

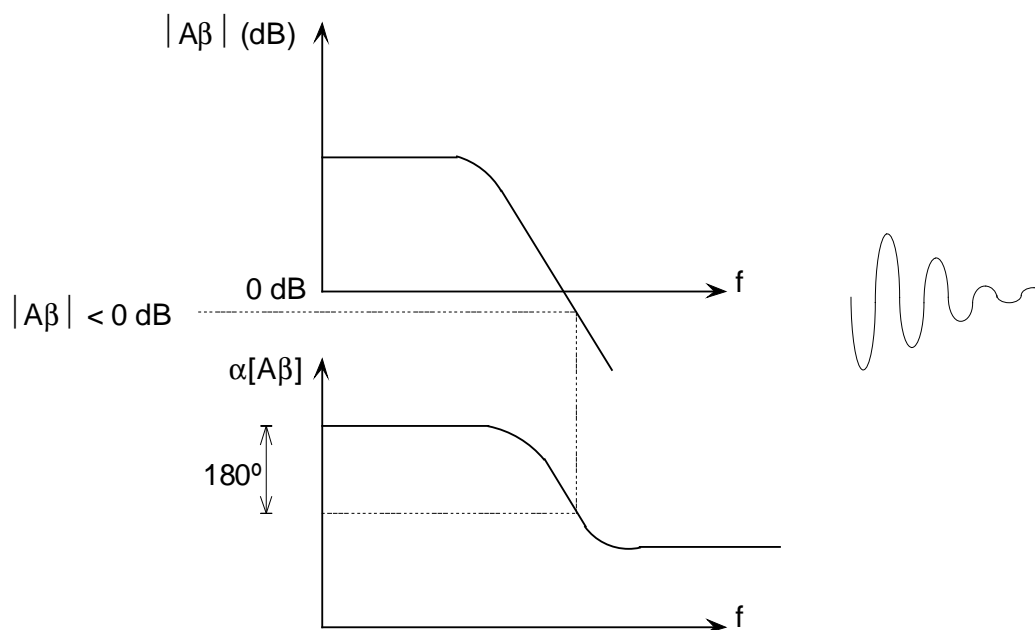


Figura 4. 25 Sistema Estable

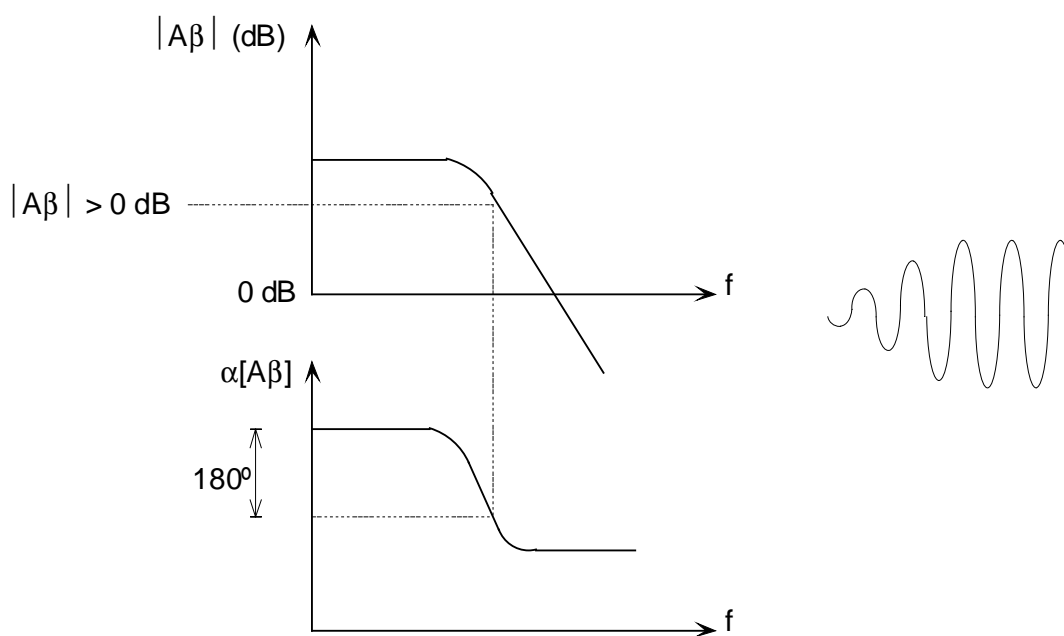


Figura 4. 26 Sistema inestable

4.6.3 TIPOS DE COMPENSACIÓN

Como hemos visto en el apartado anterior, los amplificadores realimentados pueden ser inestables. Las técnicas de compensación son métodos que permiten corregir la respuesta de los amplificadores realimentados. Las técnicas más utilizadas son [15]:

- **Limitación de β :** se trata de controlar la estabilidad limitando el valor de la ganancia de la red de realimentación (β).
- **Polo dominante o Miller:** se basa en introducir un polo a una frecuencia suficientemente baja y de este modo se convierte en dominante para eliminar la ganancia de tal forma que los 0 dB lleguen cuando la fase esté suficientemente alejada de los -180°
- **Polo-cero:** esta técnica introduce un cero en alta frecuencia y un polo en baja frecuencia. Las ventajas de este método sobre el anterior es que se obtiene mejor ancho de banda. Para escoger la situación de cada uno se puede jugar con dos elementos: un polo y un cero. Un método muy utilizado consiste en situar el cero sobre el primer polo, y luego seguir el método de compensación de Miller.
- **Adelanto de fase:** es el método más difícil de realizar en la práctica, pero que se consiguen anchos de banda mayores que con los anteriores. Esta técnica se basa en una red como la mostrada en la Figura 4.27.

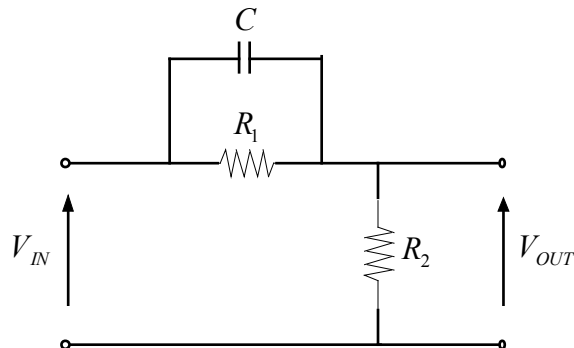


Figura 4. 27 Red de compensación por polo-cero

Esta red funciona a frecuencias bajas como atenuador, con un factor de $\frac{R_2}{R_1 + R_2}$ y

a frecuencias altas tiene ganancia unidad. Lo que se busca en esta técnica es la mayor separación entre polos posible y situar el cero sobre el segundo polo. De esta manera conseguimos que sobre la función con ese cero, el tercer polo pase a ser el segundo y la distancia entre el primero y el segundo aumente.

4.6.4 IMPLEMENTACIÓN

En este apartado mostramos la implementación de dos de las compensaciones más usadas: polo dominante o Miller y polo-cero.

4.6.4.1 Compensación por polo dominante o Miller

Para llevar a cabo esta compensación incluiremos en el análisis un condensador de compensación, C_c , como se muestra en la Figura 4.28.

Teniendo en cuenta que los dos polos del sistema sin compensación que determinamos previamente son:

$$P1 = \frac{1}{c_1 \cdot (r_{o2} \parallel r_{o4})} \quad (4.59)$$

$$P2 = \frac{1}{c_2 \cdot (r_{o6} \parallel r_{o7})} \quad (4.60)$$

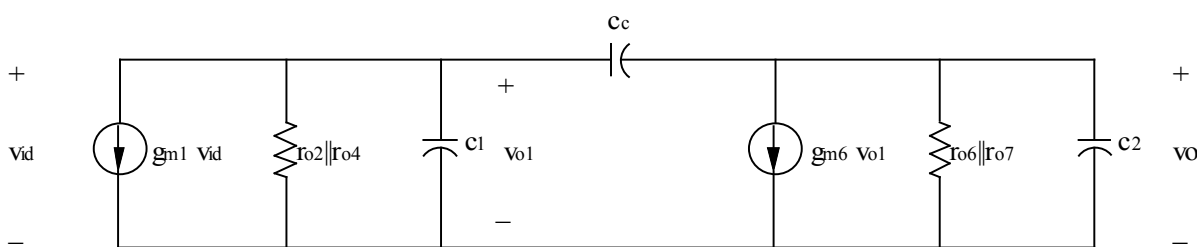


Figura 4. 28 Modelo en pequeña señal del Op-Amp con condensador de compensación

Añadiendo el condensador de compensación C_c , llegamos a dos resultados:

1. La capacidad efectiva equivalente asociada $r_{o2} \parallel r_{o4}$ la hemos incrementado a: $g_{m1} \cdot r_{o2} \parallel r_{o4} \cdot C_c$. Esto reduce la frecuencia del polo P1 una cantidad considerable. Así, C_c dominará el valor de c_1 y causará que el polo P1 cambie a una nueva localización.
2. Movemos P2 a una frecuencia más alta.

Si $r_1 = r_{o2} \parallel r_{o4}$, $r_2 = r_{o6} \parallel r_{o7}$,

$$\frac{v_o}{v_{id}} = \frac{g_{m1}g_{m6}r_1r_2\left(1 - S\frac{C_C}{g_{m6}}\right)}{1 + S[r_1(c_1 + C_C) + r_2(c_2 + C_C) + g_{m6}r_1r_2] + S^2r_1r_2[c_1c_2 + C_C(c_1 + c_2)]} \quad (4.61)$$

Podemos escribir un polinomio de segundo orden:

$$P(S) = 1 + aS + bS^2 = \left(1 - \frac{S}{P_1}\right)\left(1 - \frac{S}{P_2}\right) = 1 - S\left(\frac{1}{P_1} + \frac{1}{P_2}\right) + \frac{S^2}{P_1P_2} \quad (4.62)$$

Si $|P_2| \ll |P_1|$ entonces:

$$P(S) = 1 - \frac{S}{P_1} + \frac{S^2}{P_1P_2} \quad (4.63)$$

De este modo, podemos escribir P1 y P2 en términos de a y b como:

$$P_1 = \frac{-1}{a} \quad (4.64)$$

$$P_2 = \frac{-a}{b} \quad (4.65)$$

La clave de esta técnica es asumir que la magnitud de la raíz P2 es mejor que la magnitud de la raíz P1.

$$P_1 = \frac{-1}{r_1(c_1 + C_C) + r_2(c_2 + C_C) + g_{m6}r_1r_2C_C} \quad (4.66)$$

$$P_1 \cong \frac{-1}{g_{m6}r_1r_2C_C} \quad (4.67)$$

$$P_2 = -\frac{r_1(c_1 + C_C) + r_2(c_2 + C_C) + g_{m6}r_1r_2C_C}{r_1r_2(c_1c_2 + C_C(c_1 + c_2))} \quad (4.68)$$

$$P_2 \cong \frac{-g_{m6}C_C}{c_1c_2 + c_2C_C + c_1C_C} \quad (4.69)$$

$$P_2 \cong -\frac{g_{m6}}{c_2} \quad (4.70)$$

En principio, el segundo polo no debería afectar a la respuesta en frecuencia hasta después de que la magnitud esté por debajo de 0dB.

Es de interés notar que también aparece un cero debido al condensador C_c que está localizado en:

$$Z_1 = \frac{g_{m6}}{C_c} \quad (4.71)$$

Este cero tiene consecuencias negativas en nuestro margen de fase, causando que la fase se acerque a -180° más rápidamente. Para evitar el efecto de este cero, debemos mover el cero lo más lejos posible del punto donde la magnitud alcanza 0dB (típicamente un factor de 10).

4.6.4.2 Compensación por polo-cero

Un remedio al “problema del cero” es añadir una resistencia R_z en serie con C_c .

$$Z_1 = \frac{1}{\left[C_c \left(\frac{1}{g_{m6}} - R_z \right) \right]} \quad (4.72)$$

Esta resistencia nos permite colocar el cero adecuadamente de forma que mejore el margen de fase. Así, si $R_z = 0$ tenemos el cero original, si $R_z = \frac{1}{g_{m6}}$ tenemos un cero en el infinito y si $R_z > \frac{1}{g_{m6}}$ se mejora el margen de fase ya que el desfase es en el sentido contrario al original.

4.7 Cálculo del Producto Ganancia por Ancho de Banda (GBW)

El producto ganancia por ancho de banda, GBW, para el Op-Amp compensado es la ganancia en lazo abierto multiplicada por el ancho de banda del amplificador (establecido por P_2).

$$GBW = g_{m1}r_1g_{m6}r_2 \cdot \left[\frac{1}{g_{m6}r_1C_Cr_2} \right] \quad (4.73)$$

$$GBW \cong \frac{g_{m1}}{C_C} \quad (4.74)$$

$$GBW \propto \frac{\left[I_{D1,2} \cdot \frac{W_{1,2}}{L_{1,2}} \right]^{\frac{1}{2}}}{C_C} \quad (4.75)$$

De este modo, la manera más eficiente de incrementar el GBW es decrementando C_C . Así, el valor del condensador de compensación, C_C , debe ser lo suficientemente grande como para obtener el margen de fase que queremos. Por tanto, para calcular C_C tenemos que seguir dos pasos:

1. Conocer las especificaciones de GBW.
2. Elegir de forma iterativa los valores de $\frac{W_{1,2}}{L_{1,2}}$ e $I_{D1,2}$ y calcular C_C .

Conclusiones:

El valor de P2 debería ser mayor que GBW. De este modo, $\frac{g_{m6}}{c_2} > \frac{g_{m1,2}}{C_C}$.

$$C_C > c_2 \cdot \left(\frac{g_{m1,2}}{g_{m6}} \right) \quad (4.76)$$

Normalmente, el condensador de carga domina el valor de c_2 , así $c_2 = C_L$, por tanto:

$$C_C > C_L \cdot \left(\frac{g_{m1,2}}{g_{m6}} \right) \quad (4.77)$$

De este modo, el efecto de C_L en el margen de fase es el siguiente: el tamaño mínimo de C_C depende directamente del tamaño de C_L .

4.8 Relación importante para el Diseño

Queremos relacionar W_3 y W_4 con W_5 . Para ello sabemos que M_3 y M_4 llevan la mitad de I_{tail} y por otro lado suponemos que $v_{sg3} = v_{sg4} = v_{gs5}$. Usando la ecuación de saturación de un MOSFET tenemos que:

$$\frac{I_{d3,4}}{I_{d5}} = \frac{0.5K_p \left(\frac{W}{L}\right)_{3,4} (V_{gs3,4} - V_t)^2}{0.5K_n \left(\frac{W}{L}\right)_5 (V_{gs5} - V_t)^2} \approx \frac{K_p \left(\frac{W}{L}\right)_{3,4}}{K_n \left(\frac{W}{L}\right)_5} \quad (4.81)$$

Y en el caso de que por ejemplo $L_3=L_5$ y $K_n=3K_p$, llegamos a la conclusión de que:

$$W_{3,4} = 1.5W_5 \quad (4.82)$$

De este modo, el ancho de M_3 y M_4 puede determinarse en términos de W_5 .

De la misma forma podemos relacionar W_6 y W_7 con W_5 . Los valores para M_6 y M_7 vendrán dados por la cantidad de carga capacitiva sujeta a la salida. Si es una capacidad alta, el ancho de M_6 y M_7 necesitarán ser lo suficientemente grande como para proporcionar corriente al condensador de carga. Suponiendo que la corriente necesaria para M_6 y M_7 es dos veces la de M_5 . La relación será:

$$W_7 = 2W_5 \quad (4.83)$$

$$W_6 = 6W_5 \quad (4.84)$$

(Porque W_6 es tipo p).

4.9 Ejemplo de Diseño

Después de lo estudiado, vamos a diseñar un Op-Amp de dos etapas sencillo. Para ello dividiremos el diseño en dos etapas: primero realizaremos una etapa diferencial u OTA (*Operational Transconductor Amplifier*) y posteriormente le añadiremos una etapa de salida y una compensación para obtener nuestro Op-Amp.

4.9.1 DISEÑO DE UN OTA

Mientras que los amplificadores operacionales son fuentes de tensión controladas por tensión, los OTAs son fuentes de corriente controladas por tensión. De hecho un amplificador de transconductancia ideal no es más que una fuente de corriente controlada por tensión de ancho de banda infinito, con una impedancia de entrada y de salida infinitas.

El símbolo usado para los OTA se muestra en la Figura 4.30 junto con su circuito equivalente en pequeña señal.

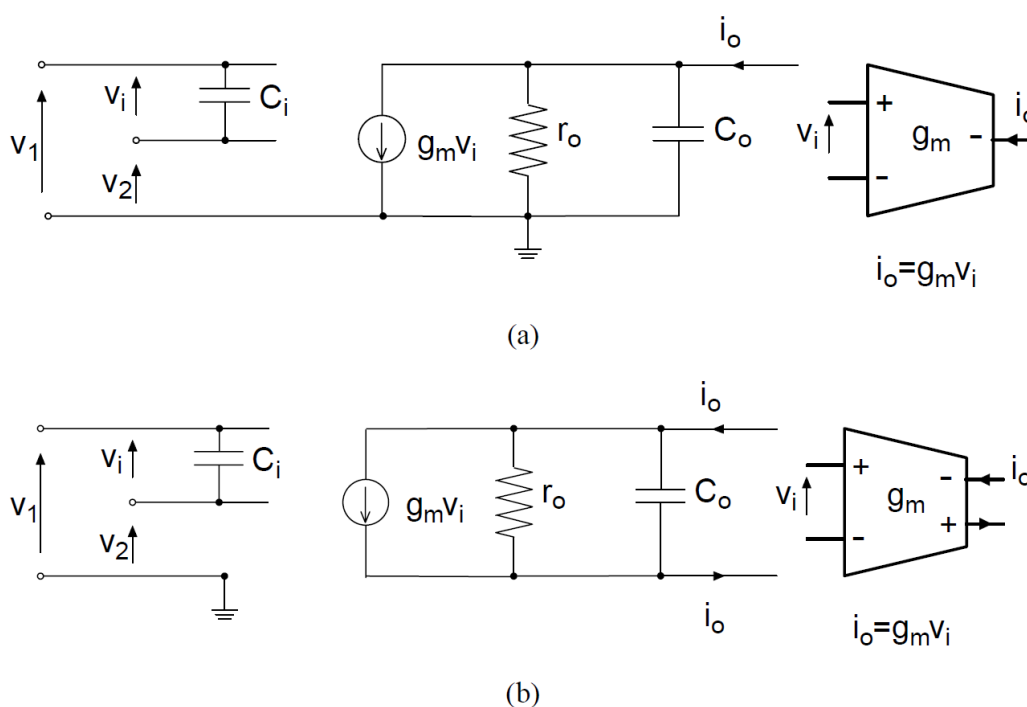


Figura 4. 29 Símbolos de los OTA asimétrico (a) y diferencial (b) con sus circuitos equivalentes en pequeña señal

Como hemos dicho, un transconductor es, idealmente, una fuente de corriente controlada por tensión, con un ancho de banda infinito y con unas impedancias de entrada y salida infinitas. Sin embargo, este tipo de especificaciones son imposibles de tener en un circuito real y, por tanto, tendremos que trabajar con especificaciones más moderadas.

En este caso haremos un diseño sencillo de un OTA básico como se muestra en la Figura 4.31 para obtener un ancho de banda y una ganancia aceptables con un bajo consumo ($V_{DD}=3.3V$).

El último parámetro que queda por definir es el factor de ganancia K . Este parámetro depende del tipo de transistor con el que estemos trabajando, (tipo P o N), aunque las ecuaciones para ambos sean las mismas, con la salvedad de que para el caso de los tipo P la corriente va en sentido contrario a la de los NMOS. Para este diseño hemos usado unos transistores cuyos factores de ganancia son los siguientes: para los tipo N $K_n = 150\mu A/V^2$ y para los tipo P $K_p = 45\mu A/V^2$.

Una vez definidos los parámetros con los valores oportunos, pasaremos al diseño teórico. Empezamos calculando la W_n de los transistores del par diferencial (M1 y M2) a partir de la ecuación siguiente, obteniendo:

$$W_n = \frac{2 \cdot I_D \cdot L_n}{K_n (V_{sat})^2} \quad (4.88)$$

$$W_n = \frac{2 \cdot 50 \cdot 10^{-6} \cdot 0.5 \cdot 10^{-6}}{150 \cdot 10^{-6} \cdot 0.3^2} = 3.7 \mu m$$

Para calcular la W_p de los transistores de la carga activa utilizamos la siguiente ecuación:

$$W_p = \frac{2 \cdot I_D \cdot L_p}{K_p (V_{sat})^2} \quad (4.89)$$

$$W_p = \frac{2 \cdot 50 \cdot 10^{-6} \cdot 0.5 \cdot 10^{-6}}{45 \cdot 10^{-6} \cdot 0.2^2} = 27.78 \mu m$$

Por último vamos a calcular las transconductancias de los transistores del par diferencial y de la carga activa a partir de la ecuación 4.90:

$$g_m = K \cdot \frac{W}{L} \cdot V_{sat} \quad (4.90)$$

Sustituyendo los valores para el transistor tipo N, tenemos una transconductancia de:

$$g_m = 150 \mu \cdot \frac{3,7 \mu}{0,5 \mu} \cdot 0,3 = 99,98 \mu S$$

Para verificar que son correctos los cálculos realizados o, simplemente, para verificar que los resultados obtenidos por las ecuaciones de los transistores tipo N se aproximan a los obtenidos a las ecuaciones de los tipo P calculamos la transconductancia de estos últimos:

$$g_m = 45\mu \cdot \frac{27,78\mu}{0,5\mu} \cdot 0,2 = 100,008\mu S$$

Podemos comprobar que prácticamente hemos obtenido el mismo valor de transconductancia en las dos ecuaciones. En la Figura 4.32 se muestra como queda, finalmente, el circuito.

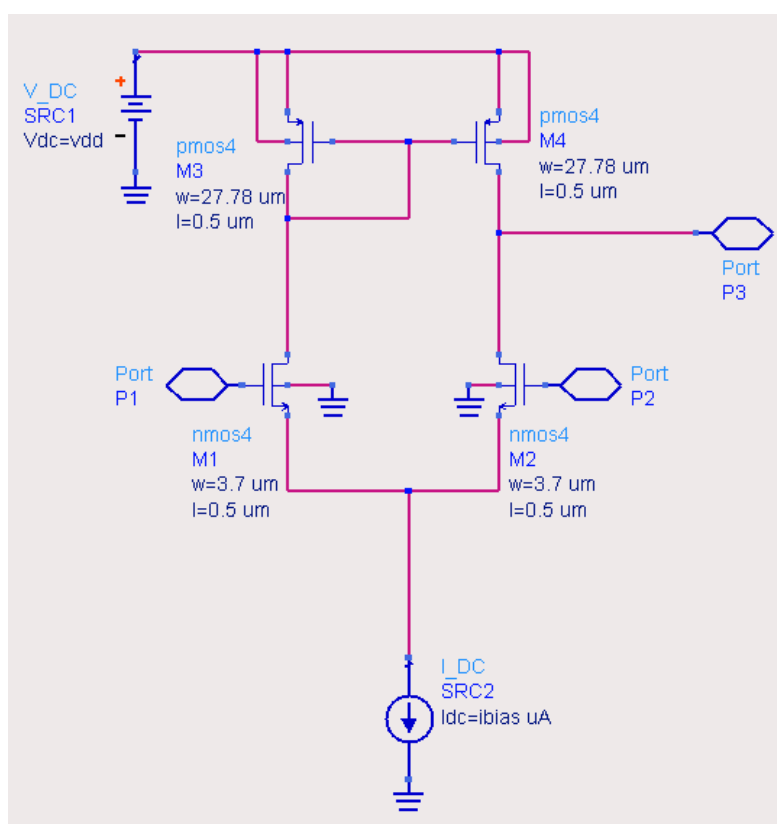


Figura 4.31 Diseño final del OTA Básico

Para poder simular nuestro OTA tenemos que convertir la tensión de entrada asimétrica del generador a tensión diferencial con un transformador o “balun” tal y como se muestra en la Figura 4.33. En esta figura también se muestra el esquema de simulación en AC.

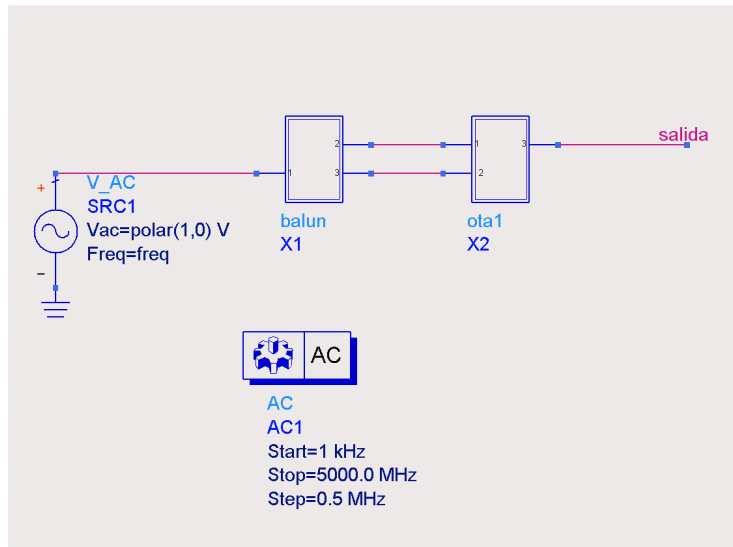


Figura 4. 32 Esquema de simulación en AC

Los resultados de la ganancia, la frecuencia de corte y el margen de fase de la simulación en AC son los mostrados en la Figura 4.34.

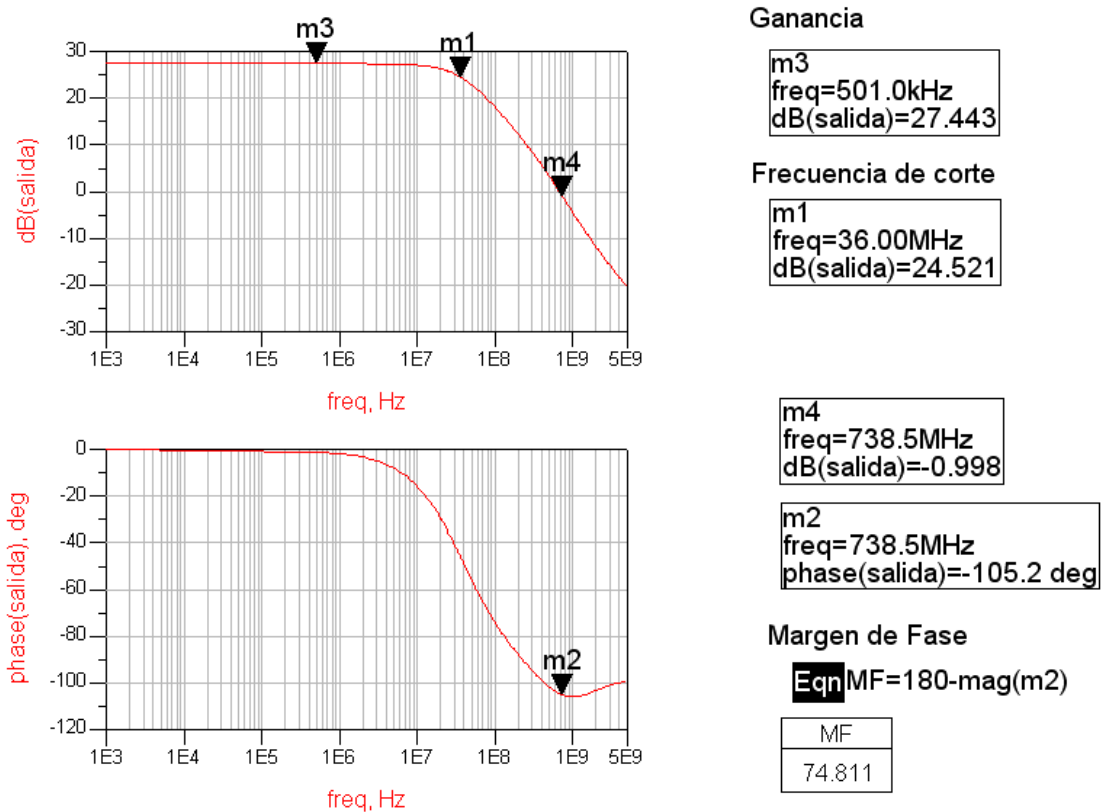


Figura 4. 33 Resultados de la simulación AC del OTA

Como podemos observar tras la simulación de nuestro diseño, el OTA que se comporta como un convertidor de tensión-corriente, tiene un amplio margen de fase de 74.7° con lo que cumple las condiciones de estabilidad. En cuanto a su ganancia se puede ver que es más que aceptable (27.443dB) y su ancho de banda es bastante amplio (36MHz).

4.9.2 DISEÑO DE UN OP-AMP DE DOS ETAPAS

Después de haber diseñado un OTA, el paso siguiente es el diseño de un Op-Amp de dos etapas (Figura 4.35). Este diseño lo podemos dividir en tres bloques: el primero de ellos es la etapa de polarización, el segundo consta de la etapa de entrada diferencial y el último bloque será la etapa de salida, que en este caso es clase A.

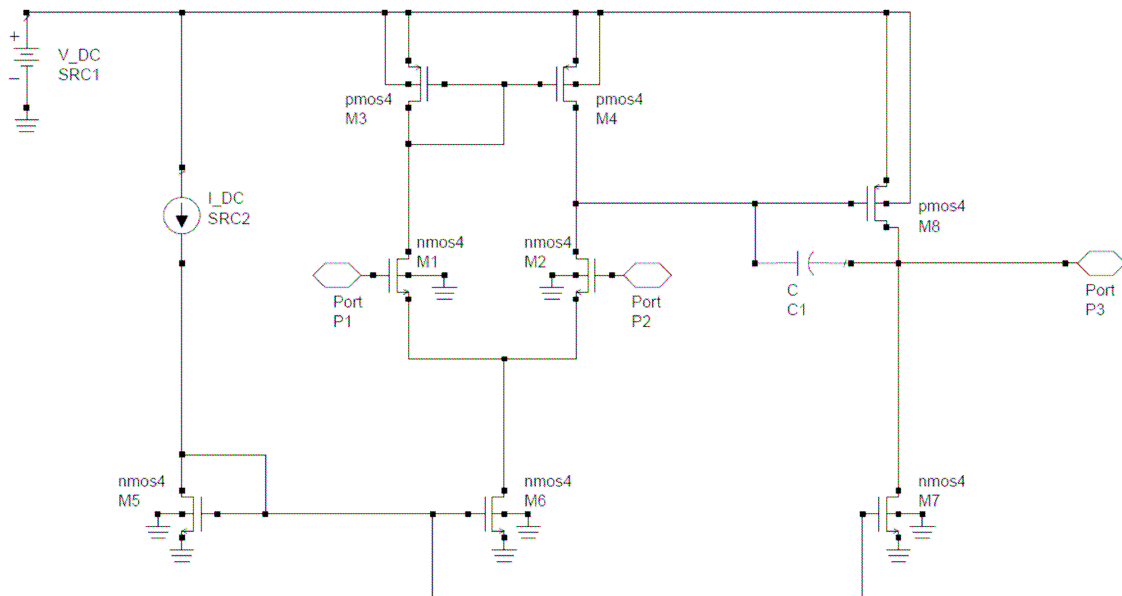


Figura 4. 34 Op-Amp de dos etapas

El bloque de polarización lo forman los transistores M5 y M6 además de la fuente de corriente, éste es muy importante pues la corriente de polarización afecta sumamente al rendimiento del circuito. El segundo bloque, la etapa de entrada diferencial, lo forman los transistores M1, M2, M3 y M4 donde M1 está emparejado con M2 (etapa de entrada) y M3 con M4 (carga activa). Por último, la etapa de salida está formada por los transistores M7 y M8.

Para diseñar un amplificador operacional hemos de tomar una serie de decisiones como la ganancia, el ancho de banda o el consumo que queremos establecer. Para ello diseñamos

una primera etapa que es la etapa de referencia en donde establecemos la corriente por el circuito a través de un espejo de corriente, la etapa de salida juega un papel muy importante debido a que dependiendo de la carga a la salida se necesitará un mayor o menor consumo. En nuestro caso a la salida tenemos una carga de 20 pF, debida al osciloscopio, así que tendremos que tener en la salida una intensidad de corriente elevada. Para conseguirlo a la salida debemos tener transistores de mayor tamaño que en el resto de las etapas según la relación de corriente que queremos conseguir. Para ello hemos alimentado el amplificador a 3.3V, y fijado la corriente de polarización a 500 μ A.

Para comenzar vamos a fijar la longitud del canal a 0.5 μ m y el ancho del transistor se variará en función de las corrientes deseadas en cada rama del amplificador. La etapa de polarización y la de entrada las llevamos a cabo siguiendo los mismos criterios que en el diseño del OTA. Por tanto, para los transistores del espejo de corriente utilizamos una $V_{sat}=0.5V$ y tenemos unos anchos de los transistores de $W_n=13\mu m$ que lo calculamos despejando de la ecuación 4.87. De la misma forma calculamos el ancho para los transistores de la etapa diferencial sabiendo que la corriente que circula por cada rama de ésta es la mitad de la corriente de polarización, así obtenemos para el par diferencial unas $W_n=18.5\mu m$ y para la carga una $W_p=139\mu m$, usando una $V_{sat}=0.3V$ y una $V_{sat}=0.2V$ respectivamente.

Para finalizar vamos a diseñar la etapa de salida, que como comentamos anteriormente, debemos tener en cuenta que necesitamos inyectar mucha corriente a la carga. Por este motivo el tamaño del transistor M7 será 5 veces mayor que los transistores M5 y M6 obteniéndose un ancho de $W_n = 65 \mu m$. El transistor M8 será diez veces más grandes que los transistores de carga M3 y M4, obteniendo un ancho de $W_p = 1390 \mu m$.

Una vez fijadas las corrientes del circuito y conocidos los tamaños de los transistores pasamos a compensar el Op-Amp. En nuestro diseño optamos por una compensación de Miller, en esta compensación cuando incrementamos el valor de C_C movemos el polo dominante a una frecuencia más baja sin afectar al segundo polo con lo que conseguimos un amplificador más estable. Su elección requiere probar varios valores hasta conseguir un buen margen de fase. A partir de la ecuación 4.91 [14] obtendremos un valor orientativo:

$$C_C \approx 4 \cdot C_L \cdot \frac{g_{m1,2}}{g_{m8}} \quad (4.91)$$

Para calcular este valor primero tendremos que calcular primero la transconductancia de los transistores tal y como hicimos en el diseño de un OTA haciendo uso de la ecuación 4.90.

En el caso de los transistores de entrada tenemos:

$$g_{m1,2} = 150 \cdot 10^{-6} \cdot \frac{18.5 \cdot 10^{-6}}{0.5 \cdot 10^{-6}} \cdot 0.3 = 1665 \mu S$$

Para el caso del transistor de salida primero tenemos que calcular la tensión de saturación (V_{sat}), partiendo de la ecuación 4.87:

$$I_D = \frac{1}{2} K_p \frac{W_p}{L_p} V_{sat}^2 \rightarrow V_{sat}^2 = \frac{2 \cdot I_D}{K_p} \cdot \frac{L_p}{W_p} \rightarrow V_{sat} = \sqrt{\frac{2 \cdot 2,5 \cdot 10^{-3}}{45 \cdot 10^{-6}} \cdot \frac{0,5}{1390}} \approx 0.2V$$

Sustituyendo valores tenemos el valor de la transconductancia de salida:

$$g_{m8} = 45 \cdot 10^{-6} \cdot \frac{1390 \cdot 10^{-6}}{0.5 \cdot 10^{-6}} \cdot 0.2 = 25020 \mu S$$

Con estos valores ya podemos calcular el valor aproximado del condensador de compensación, C_C :

$$C_C \approx 4 \cdot 20 \cdot 10^{-12} \cdot \frac{1665 \cdot 10^{-6}}{25020 \cdot 10^{-6}} \approx 5 pF$$

Partiendo del valor obtenido teóricamente, lo ajustamos en las simulaciones a 4.8 pF. En la Figura 4.36 se muestra el diseño final:

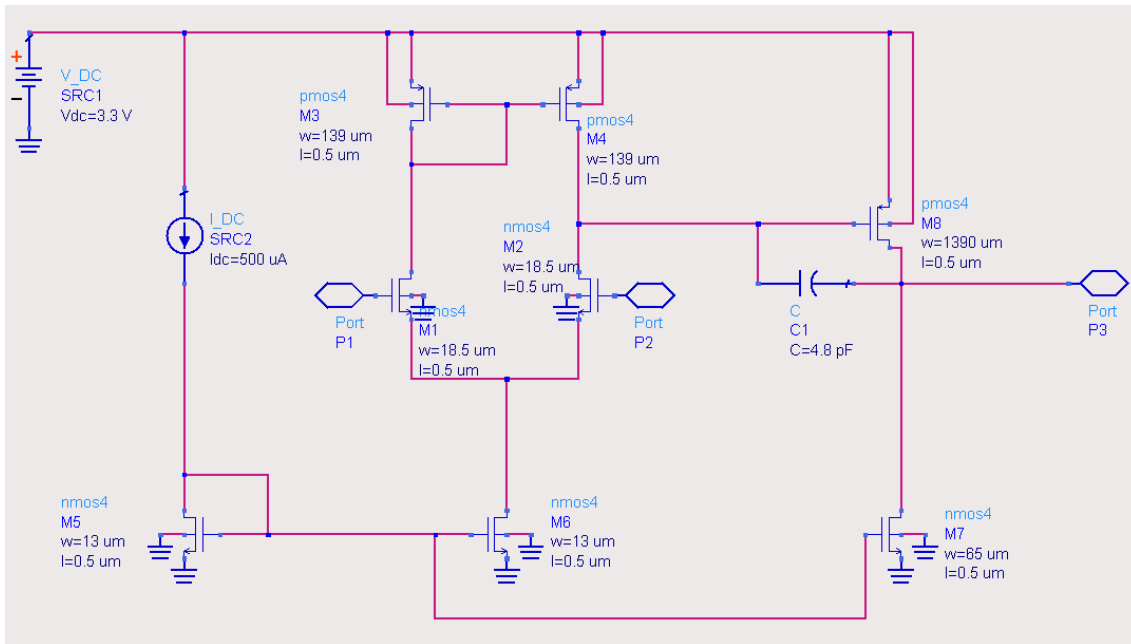


Figura 4. 35 Diseño del Op-Amp de dos etapas

En la Figura 4.37 podemos ver el esquema de simulación del amplificador operacional, en el que utilizamos el mismo circuito externo (balun) que utilizamos para simular el OTA.

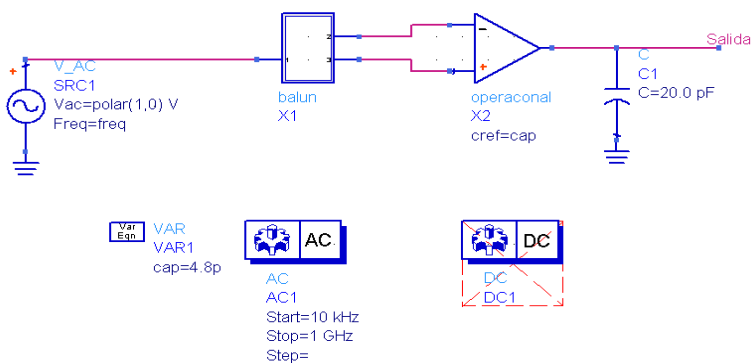


Figura 4. 36 Esquema de simulación para el Op-Amp

Tras realizar la simulación AC los resultados obtenidos de la ganancia, el ancho de banda y el margen de fase se muestran en la Figura 4.38:

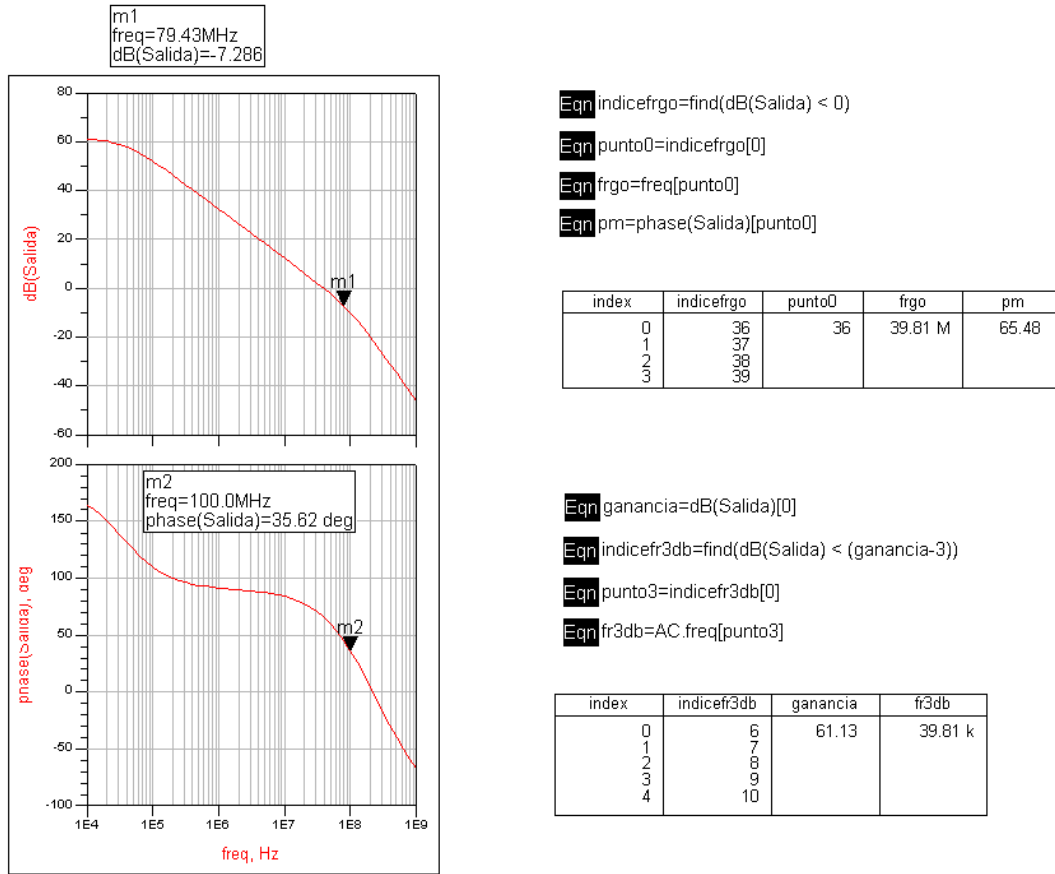


Figura 4. 37 Resultado de la simulación en AC del Op-Amp

En las gráficas podemos comprobar que nuestro amplificador compensado tiene un margen de fase de 65.48° con lo cual será estable y su ganancia por ancho de banda es de 39.81 MHz el cual es un valor aceptable.

4.10 Conclusiones

En este capítulo hemos estudiado las diferentes etapas de un amplificador operacional (Op-Amp) y la compensación del mismo. Además, con objeto de familiarizarnos con las herramientas de diseño y la tecnología, se diseñó un amplificador de transconductancia y un amplificador operacional.

En el siguiente capítulo diseñaremos el amplificador operacional pedido en este proyecto, para ello probaremos con diferentes estructuras hasta conseguir una que cumpla con todas las especificaciones pedidas.

DISEÑO DEL DRIVER. A NIVEL DE ESQUEMÁTICO

5.1 Introducción

En este capítulo mostraremos los diferentes diseños que hemos seguido hasta llegar a nuestro diseño final para cumplir con las especificaciones pedidas que veremos a continuación. Para los primeros análisis hemos usado la herramienta ADS por simplicidad y, una vez obtenido el diseño adecuado pasamos a CADENCE para trabajar con la tecnología CMOS 0.18 μ m de UMC con la que será integrado el amplificador operacional y con esta herramienta lo someteremos a todas las pruebas necesarias para optimizar el diseño.

El primer y el segundo diseño llevados a cabo son ambos un Op-Amp de dos etapas con una etapa de entrada diferencial tipo N y tipo P respectivamente y una etapa de salida clase AB, pero con ninguno de estos dos amplificadores obtuvimos los resultados deseados. El tercer y último diseño realizado fue un Op-Amp de dos etapas con una etapa de entrada diferencial complementaria y una etapa de salida clase AB, con este diseño si obtuvimos los resultados deseados y es con el que pasamos a la herramienta CADENCE.

5.2 Especificaciones

Las especificaciones del diseño se muestran en la Tabla 5.1.

Tabla 5.1 Especificaciones del diseño:

	Min.	Nom.	Máx.
V_{DD} (V)	2.7	3.3	3.6
Temp. (°C)	-40		85
Consumo de corriente (mA)			1.6
Tolerancia a la amplitud (%)			± 10
Capacidad de salida (pF)	1		3000

El circuito deberá ser alimentado con una tensión nominal de 3.3V pudiendo variar de 2.7 a 3.6V. Así mismo, deberá funcionar entre un rango de temperaturas de -40°C a 85°C y con una capacidad a la salida que podrá variar de 1pF a 3nF. Con todo, el circuito podrá tender un consumo máximo de 1.6mA y una tolerancia a la amplitud del $\pm 10\%$. Además, debe funcionar para los distintos modelos de los transistores (TT, SS, FF).

5.3 Etapa de entrada tipo N

En este primer diseño vamos a realizar un Op-Amp simple de dos etapas como podemos ver en la Figura 5.1. Este diseño lo podemos dividir en tres bloques: la etapa de polarización, la etapa de entrada y la etapa de salida.

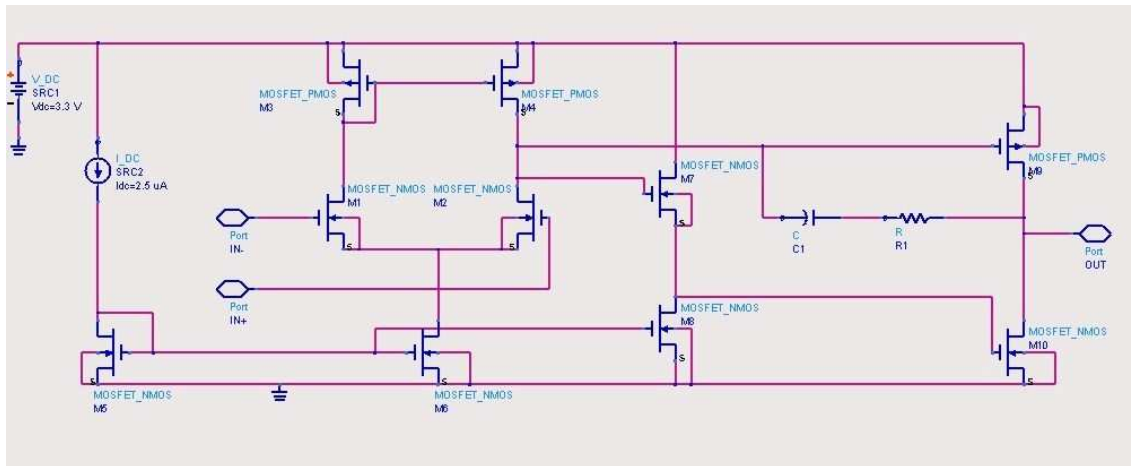


Figura 5.1 Op-Amp de dos etapas con entrada diferencial tipo N

La etapa de polarización la forman la fuente de corriente y los transistores M5 y M6 (espejo de corriente básico). La etapa de entrada está formada por los transistores M1, M2, M3 y M4 donde M1 está apareado con M2 (etapa de entrada) y M2 con M3 (carga activa). Por último, la etapa de salida la forman los transistores M7, M8, M9 y M10 donde M7 y M8 actúan como level shifters (desplazadores de nivel) para polarizar a los transistores y, M9 y M10 actúan como una etapa de salida push-pull clase AB. La polarización la diseñamos para que M9 y M10 tengan igual valor de polarización de la puerta a la fuente para maximizar el rango lineal de V_{out} .

Para diseñar el tamaño de los transistores hemos seguido el mismo método usado en el Capítulo 5 (Ejemplo de Diseño), sabiendo la corriente que queremos que circule por cada rama fijamos una V_{sat} para cada transistor y calculamos su tamaño usando para todos la misma longitud $L=0.5\mu\text{m}$. En la Tabla 5.2 se muestran todos los tamaños usados en este diseño:

Tabla 5. 2 Tamaño de los transistores:

TRANSISTOR	W (μm)	L (μm)
Q1	0.625	0.5
Q2	0.625	0.5
Q3	2.08	0.5
Q4	2.08	0.5
Q5	0.625	0.5
Q6	1.25	0.5
Q7	0.625	0.5
Q8	0.625	0.5
Q9	41.5	0.5
Q10	12.5	0.5

El siguiente paso es compensar el circuito para conseguir un margen de fase aceptable y que el circuito sea estable para las distintas cargas de salida posibles. En este caso usamos una compensación polo-cero (vista en el Capítulo 5). Los valores de la resistencia y el condensador de compensación son:

$$R_1 = 400K\Omega$$

$$C_1 = 1pF$$

El esquema usado tanto para el análisis en AC como para el transitorio se muestra en la Figura 5.2.

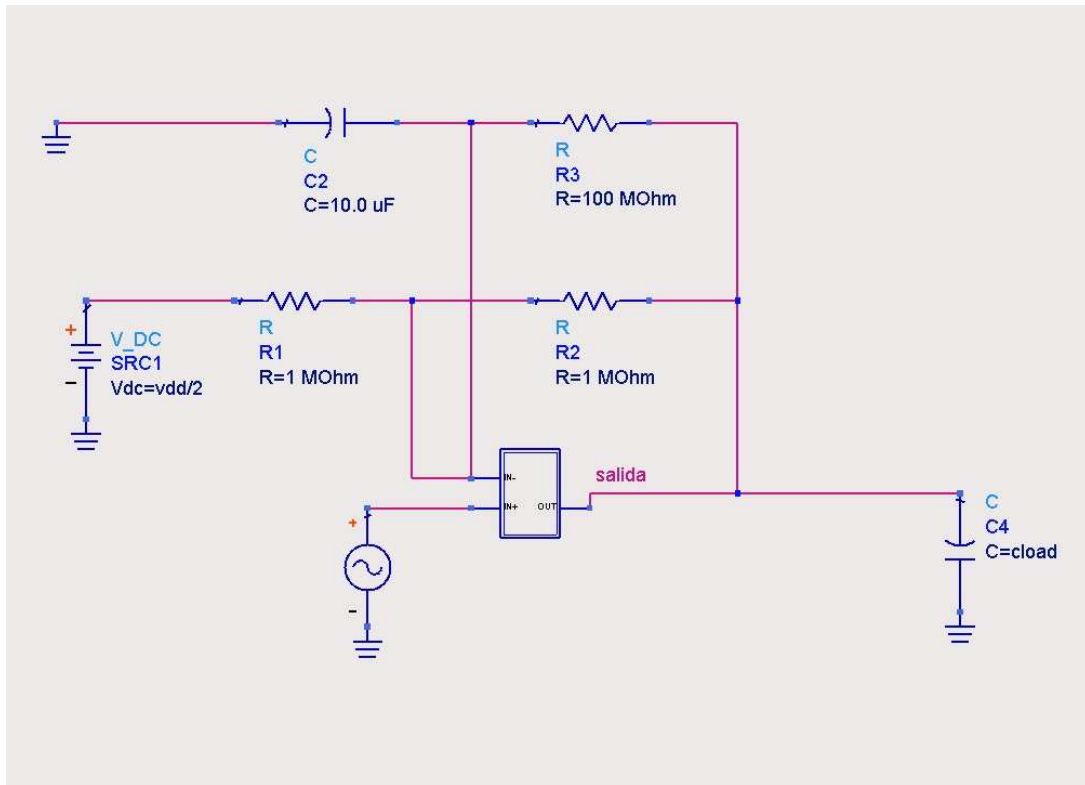


Figura 5.2 Esquema de simulación

En el caso del análisis en AC activamos el condensador C2 y la resistencia R3 y desactivamos las resistencias R1 y R2. De la misma forma para el análisis transitorio se activarán R1 y R2 y se desactivarán C2 y R3. En este caso vemos que el amplificador está en configuración no inversora con ganancia 2 como se muestra en la ecuación 5.1.

$$A_v = \frac{R2}{R1} + 1 = 2 \quad (5.1)$$

Los resultados obtenidos en la simulación AC, cuando tenemos a la salida la mayor carga posible (3 nF) se muestran en la Figura 5.3.

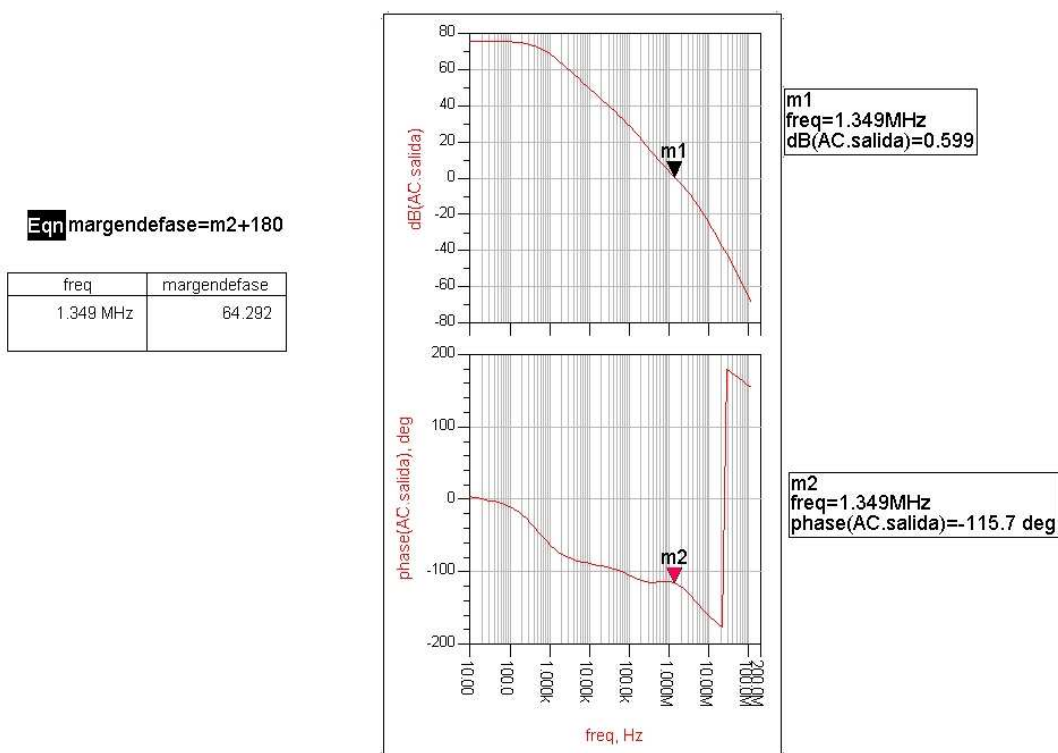


Figura 5.3 Resultado de la simulación AC con una carga de 3nF

Observamos que en este caso el circuito es estable. En Figura 5.4 mostramos la misma simulación pero esta vez con la menor carga posible en la salida (1pF):

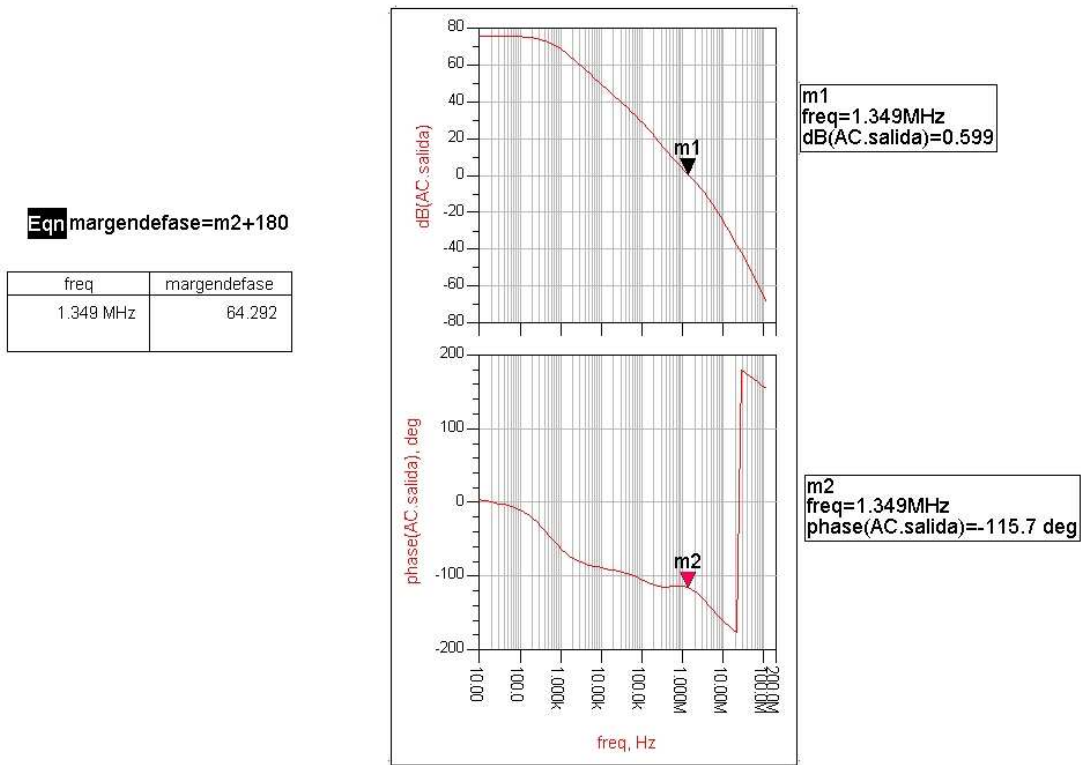


Figura 5. 4 Resultado de la simulación AC con una carga de 1pF

En este caso el circuito se vuelve inestable. En la Tabla 5.3 se muestran los resultados del margen de fase obtenidos en la simulación AC para diferentes cargas posibles.

Tabla 5. 3 Resultados de la simulación AC:

CLOAD	MARGEN DE FASE
1 pF	15.3°
10 pF	5.3°
100 pF	19.6°
1 nF	53.6°
3 nF	64.8°

Con estos resultados comprobamos que nuestro circuito será estable para las cargas más elevadas pero para las cargas pequeñas el circuito se vuelve inestable, por lo que este circuito no es válido ya que no cumple con las especificaciones pedidas.

5.4 Etapa de entrada tipo P

El siguiente diseño es, como en el caso anterior, un Op-Amp simple de dos etapas, pero en este caso los transistores de entrada del par diferencial son tipo P como se muestra en la Figura 5.5.

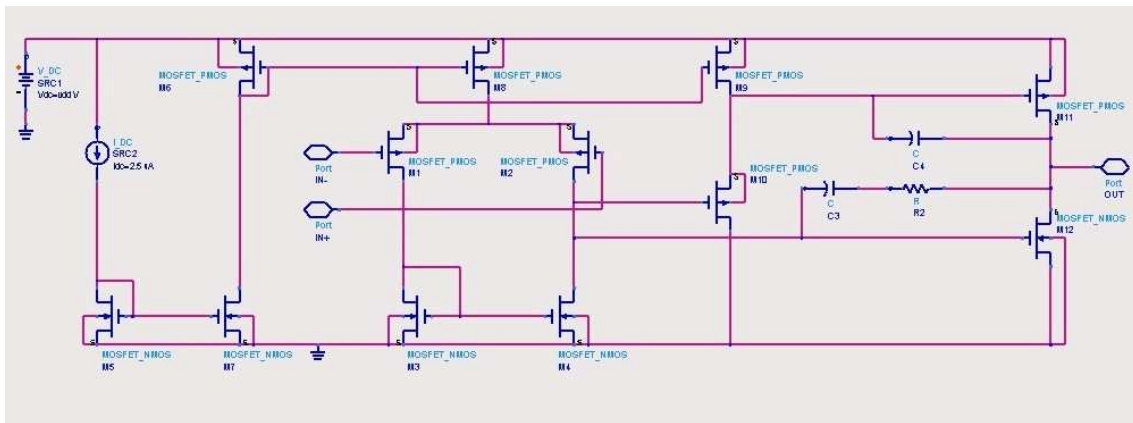


Figura 5.5 Op-Amp diferencial con entrada diferencial tipo P

Con esta estructura mejoramos el Slew Rate, que como vimos en el Capítulo 3 se define como el tiempo máximo de cambio del voltaje de salida cuando hay un cambio en el voltaje de entrada y su valor máximo viene dado por expresión de la ecuación 5.2.

$$SR = \frac{2IE}{C_c} \quad (5.2)$$

Donde el condensador de compensación según vimos en el Capítulo 4 puede escribirse como en la ecuación 5.3.

$$GBW \cong \frac{g_{m1}}{C_c} \Rightarrow C_c = \frac{g_{m1}}{GBW} \quad (5.3)$$

Con esto el Slew Rate lo podemos escribir como en la ecuación 5.4.

$$SR = \frac{2IE \cdot GBW}{g_{m1}} \quad (5.4)$$

Además, la expresión de la transconductancia en este caso se muestra en la ecuación 5.5.

$$g_{m1} = \sqrt{2 \cdot k_p \cdot \frac{W}{L} \cdot I} \quad (5.5)$$

Finalmente, sustituyendo tenemos la expresión del Slew Rate la podemos escribir como en la ecuación 5.6.

$$SR = \frac{2IE \cdot GBW}{\sqrt{2 \cdot k_p \cdot \frac{W}{L} \cdot I}} \quad (5.6)$$

Donde vemos que el Slew Rate es inversamente proporcional al parámetro de transconductancia, k , por lo que cuanto menor sea este parámetro mejor Slew Rate obtendremos. Por lo tanto, al usar en este circuito transistores de entrada tipo P mejoramos el Slew Rate debido a que en este tipo de transistores el parámetro de transconductancia es menor que en los tipo N.

La etapa de salida usada en este circuito es igual a la que usamos en el diseño anterior con la diferencia de que en este caso el tamaño de los transistores de la etapa de salida Clase AB son mayores para conseguir mayor corriente de salida y así mejorar la estabilidad. La Tabla 5.4 muestra el tamaño de todos los transistores usados en este diseño.

Tabla 5. 4 Tamaño de los transistores:

TRANSISTOR	W (um)	L (um)
M1	2.08	0.5
M2	2.08	0.5
M3	0.625	0.5
M4	0.625	0.5
M5	2.08	0.5
M6	2.08	0.5
M7	0.625	0.5
M8	4.16	0.5
M10	2.08	0.5
M11	2.08	0.5
M12	83	0.5
M13	25	0.5

A la hora de compensar este circuito para mejorar la estabilidad realizamos una compensación polo-cero igual que la anterior. El valor de la resistencia y el condensador son los mismos que en el diseño anterior:

$$R_z = 400K\Omega$$

$$C_c = 1pF$$

El esquema de simulación es el mismo que en el caso anterior (Figura 5.2). El resultado obtenidos en el análisis AC con la máxima carga posible (3nF) se muestra en la Figura 5.6.

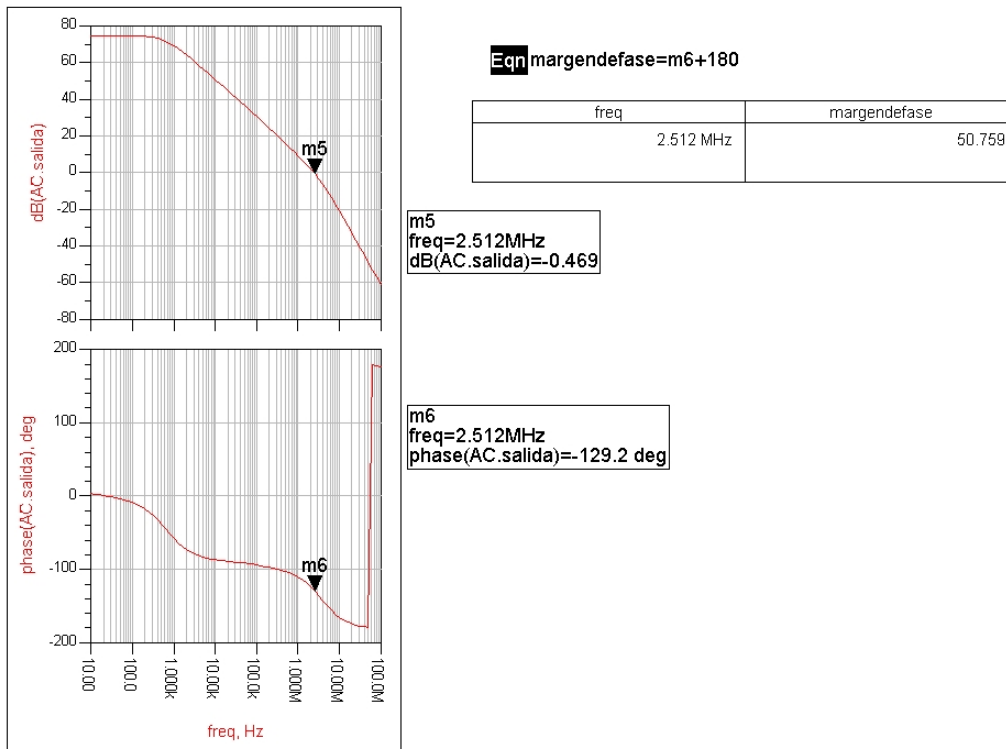


Figura 5.6 Resultado de la simulación AC con una carga de 3nF

Y en la Figura 5.7 se muestra el resultado cuando a la salida tenemos la mínima carga posible (1pF).

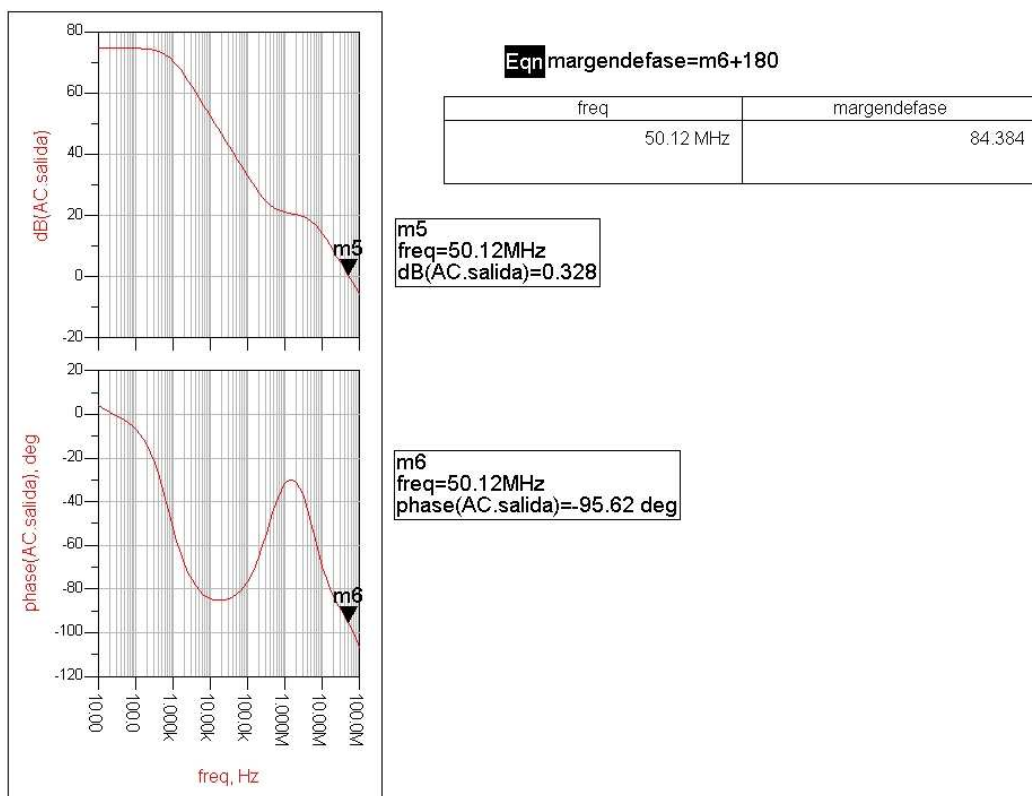


Figura 5.7 Resultado de la simulación AC con una carga de 1pF

Vemos que tanto para la carga máxima como para la mínima el circuito es estable, en cambio como se muestra en la Figura 5.8 para cargas intermedias como 500pF se vuelve inestable.

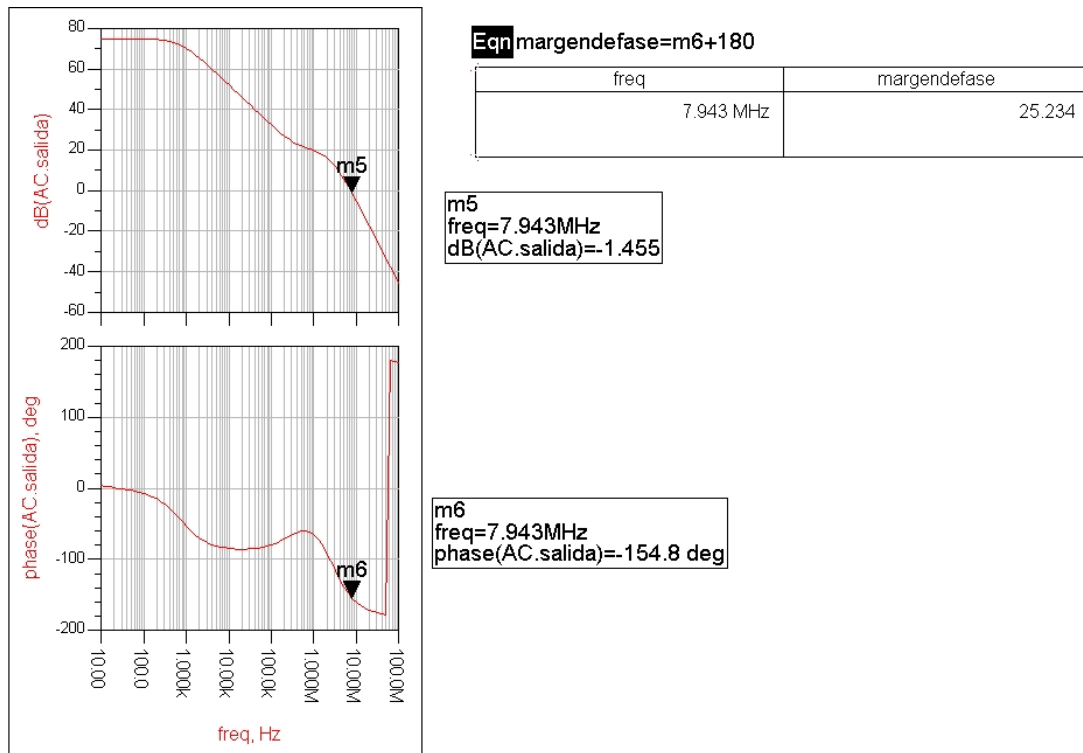


Figura 5. 8 Resultado de la simulación AC con una carga de 500pF

En la Tabla 5.5 mostramos el margen de fase obtenido para diferentes valores de la carga de salida posibles y como vimos con valores intermedios el circuito se vuelve inestable, por lo que este diseño tampoco es válido ya que no cumple con las condiciones pedidas.

Tabla 5. 5 Resultados de la simulación:

CLOAD	MARGEN DE FASE
1 pF	84.4°
10 pF	53.7°
100 pF	25.9°
500 pF	25.2°
1 nF	34.7°
3 nF	50.8°

5.5 Etapa de entrada complementaria

En la Figura 5.9 se muestra este diseño donde hemos usado dos pares diferencial complementarios a la entrada y además se ha eliminado la etapa intermedia que actuaba como desplazador de nivel para alimentar la etapa de salida push-pull.

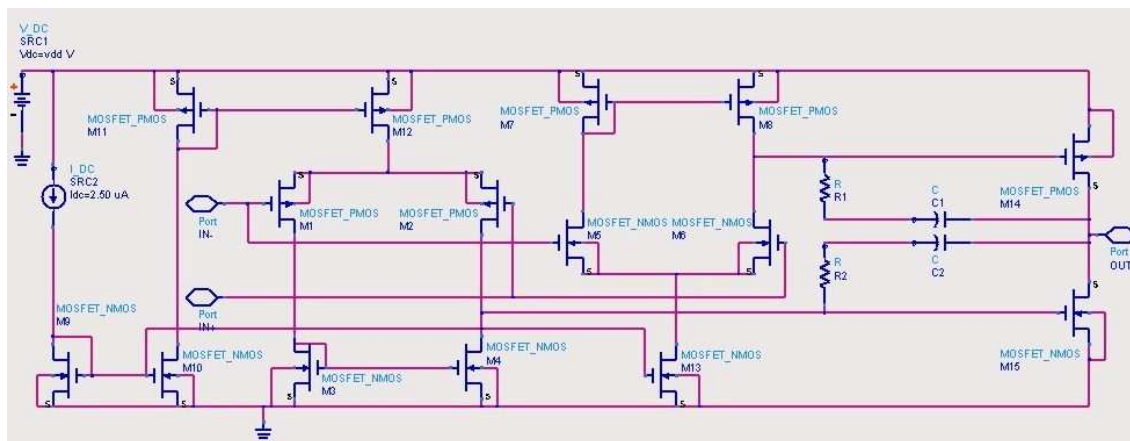


Figura 5.9 Op-Amp de dos etapas con entrada diferencial complementaria

Al igual que los diseños anteriores lo podemos dividir en tres bloques: la etapa de polarización, la etapa de entrada y la etapa de salida. La etapa de polarización la forman la fuente de corriente y los transistores M9, M10, M11, M12 y M13 (dos espejos de corriente básicos). La etapa de entrada está formada por los transistores M1, M2, M3, M4, M5, M6, M7 y M8 donde M1 está apareado con M2 (etapa de entrada tipo P), M3 con M4 (carga activa tipo N), M5 con M6 (etapa de entrada tipo N) y M7 con M8 (carga activa tipo P). Y, por último, la etapa de salida clase AB la forman los transistores M14 y M15.

Usando dos pares diferenciales complementarios a la entrada básicamente conseguimos mejorar el rango de la tensión de entrada en modo común. En una etapa diferencial NMOS el rango se muestra en la Figura 5.10. Vemos que se extiende de V_{DD} a $V_{GS} + V_{Dsat, Ib}$ por encima de V_{SS} que es la tensión mínima necesaria para mantener el par diferencial NMOS y la fuente de corriente en saturación.

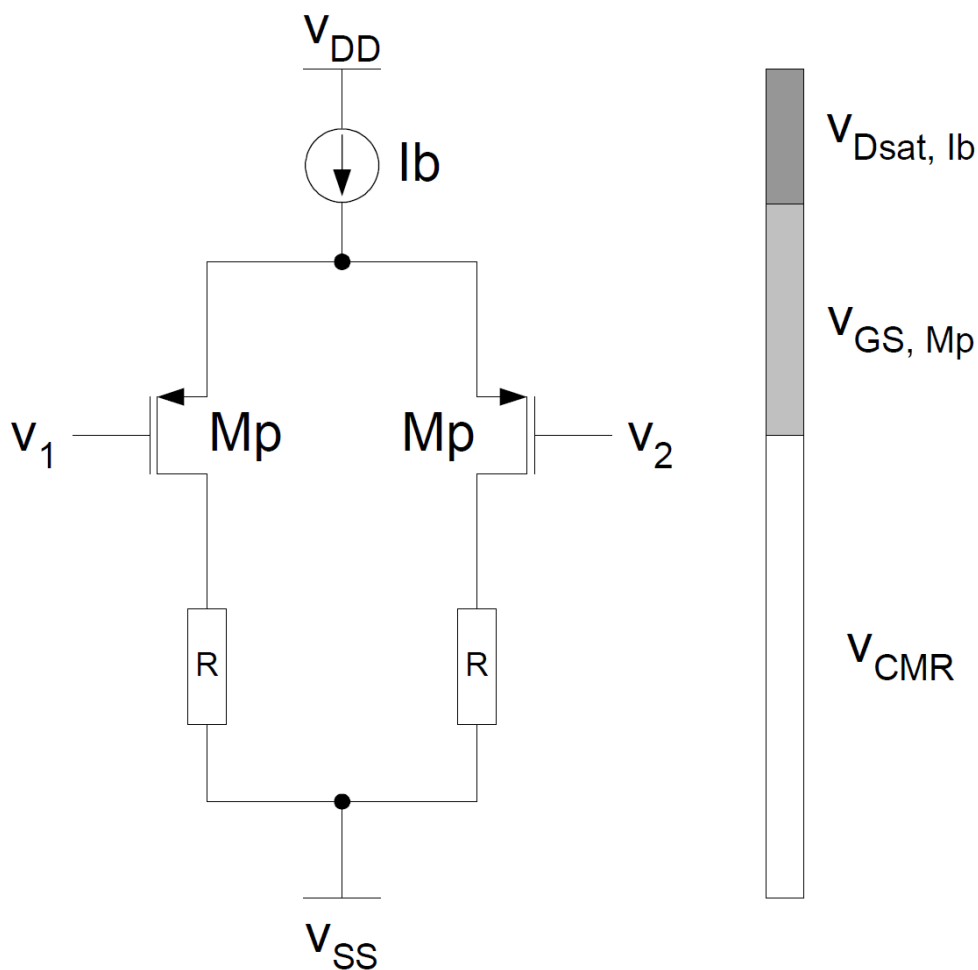


Figura 5.11 Rango de entrada en modo común para el par diferencial PMOS

Como vemos un par diferencial simple no puede hacer frente a una tensión de entrada en modo común rail-to-rail. Para solucionar este problema se pueden usar ambos pares diferenciales, NMOS y PMOS, simultáneamente. A este par diferencial lo llamaremos par diferencial complementario y su rango se muestra en la Figura 5.12.

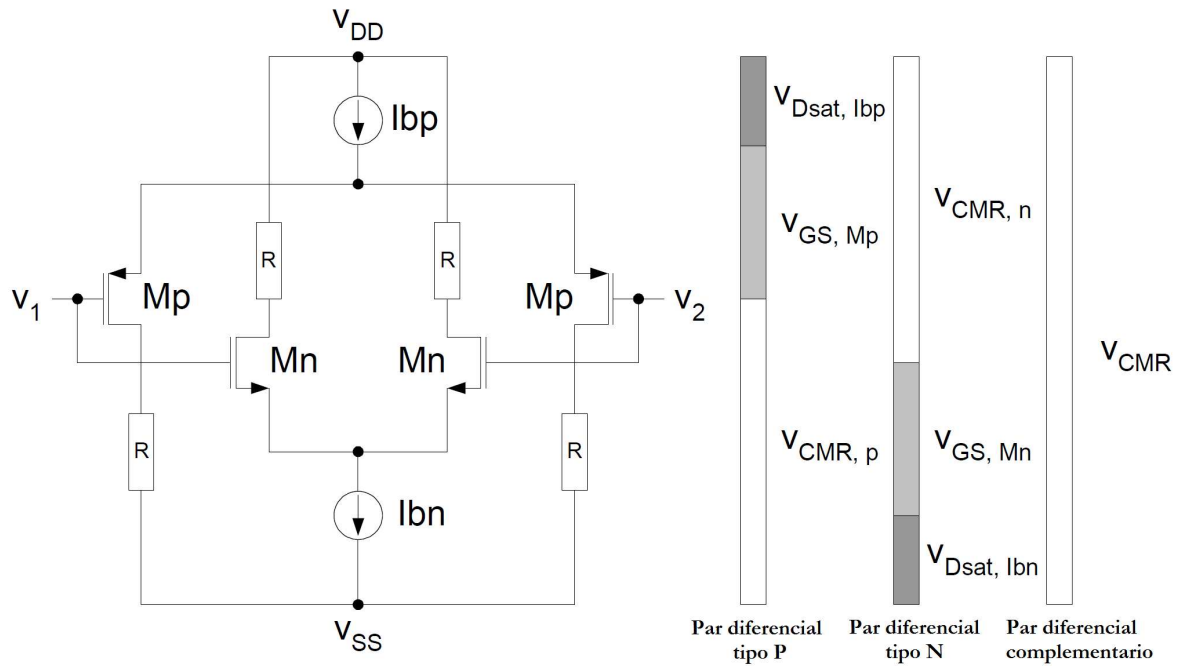


Figura 5.12 Rango de entrada en modo común para el par diferencial complementario

En nuestro caso el circuito está alimentado de 0 a 3.3V. Así, cuando en la entrada hay una señal cuyo valor está cerca de 0V el par diferencial PMOS estará en saturación y el NMOS estará en corte. En cambio en la región cercana a V_{DD} el par diferencial PMOS estará en corte y el NMOS en saturación. Por lo tanto, con el par diferencial complementario conseguimos hacer frente a una tensión de entrada en modo común rail-to-rail.

La principal desventaja de este par diferencial aparece cuando tenemos valores intermedios de tensión en la entrada debido a que en este caso ambos pares diferenciales están trabajando y esto afecta al rendimiento del circuito. Para entenderlo vamos a ver cómo varía la transconductancia de cada par diferencial con las tensiones de entrada en modo común. En la Figura 5.13 se muestra la variación de la transconductancia del par NMOS y en la Figura 5.14 se muestra la variación de la transconductancia del par PMOS.

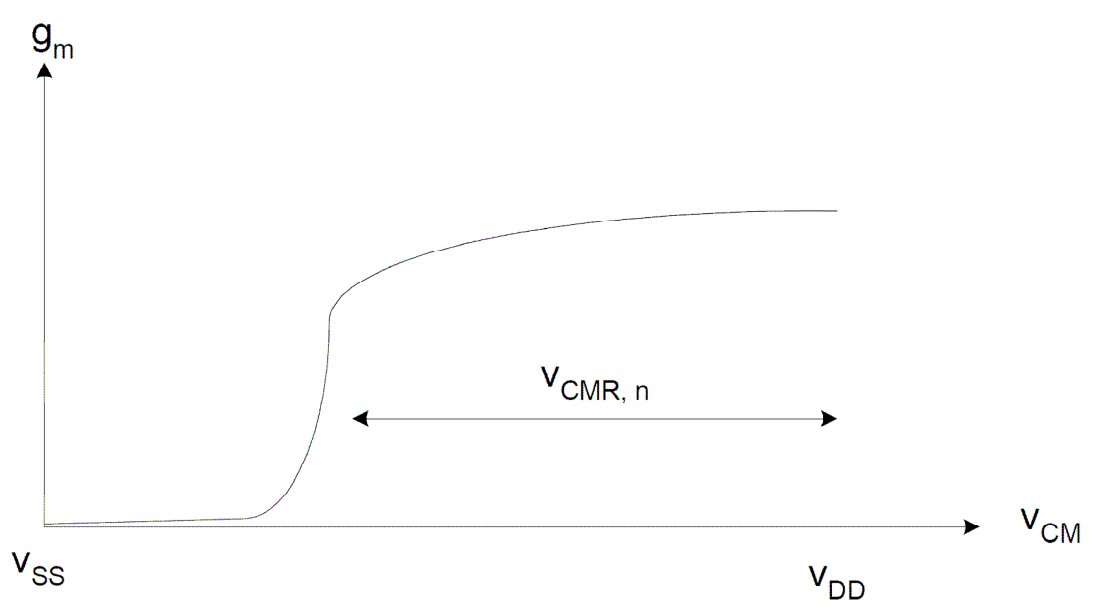


Figura 5.13 Transconductancia del par NMOS

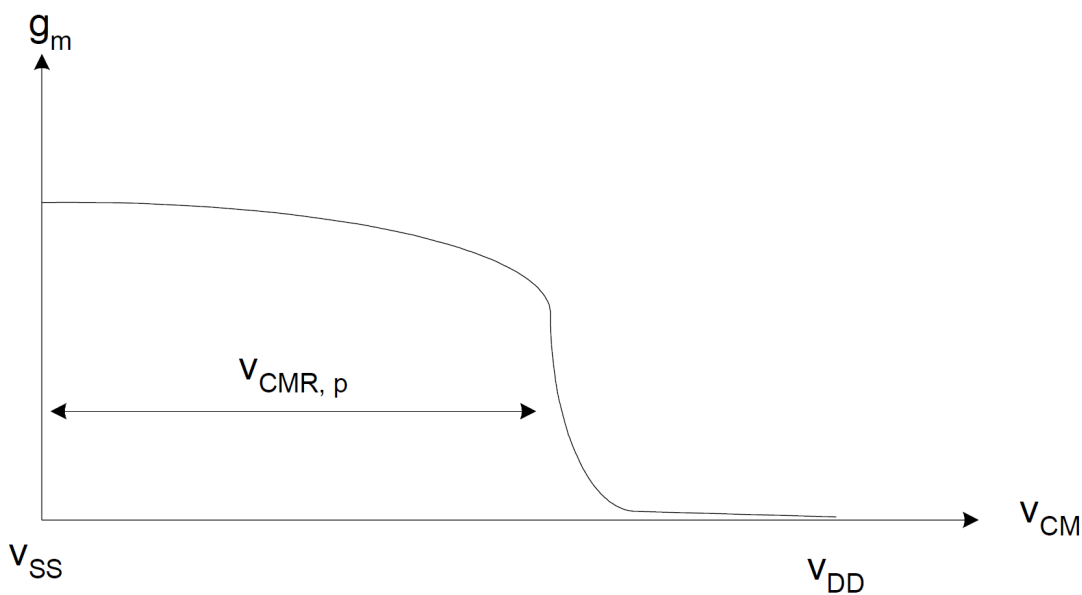


Figura 5.14 Transconductancia del par PMOS

Observamos que la transconductancia de cada par es casi constante en el rango de la tensión de entrada en modo común y cae a cero fuera de éste. Combinando ambas gráficas obtenemos la variación de la transconductancia del par diferencial complementario (Figura 5.15).

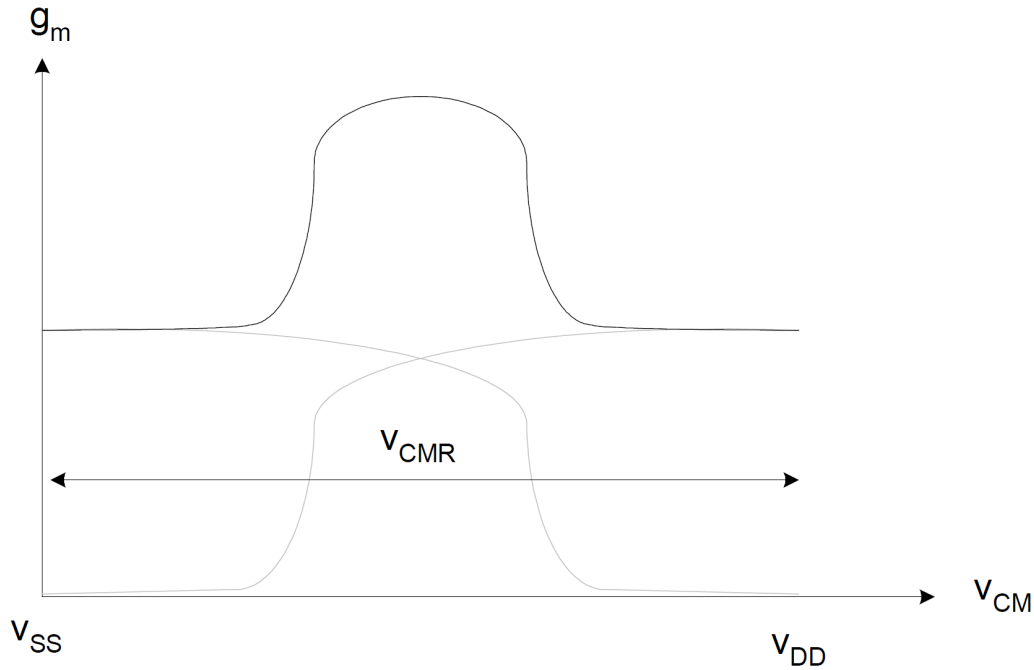


Figura 5.15 Transconductancia del par complementario

Como vemos la transconductancia de este par diferencial es casi constante para tensiones de entrada en modo común pequeñas y grandes, cuando sólo uno de los pares está activo. En regiones medias, ambos pares están activos y la transconductancia efectiva es el doble. Estas variaciones de la transconductancia debemos tenerla en cuenta a la hora de realizar nuestro Op-Amp. Esto puede entenderse con el estudio de un Op-Amp de dos etapas visto en el Capítulo 4.

En el Capítulo 4 vimos que el producto ganancia por ancho de banda del amplificador es aproximadamente el de la ecuación 5.7.

$$GBW \cong \frac{g_{m1}}{C_c} \quad (5.7)$$

Además vimos que por razones de estabilidad el valor del segundo polo debería ser mayor que el producto ganancia por ancho de banda como se muestra en la ecuación 5.8.

$$\frac{g_{m6}}{C_L} > \frac{g_{m1,2}}{C_c} \quad (5.8)$$

Con el fin de mantener un mínimo de GBW, se fija un límite inferior para el valor de g_{m1} . Por lo tanto, el peor caso para el GBW se produce cuando g_{m1} está en su valor mínimo. De la misma forma para mantener una distancia mínima entre el primer y el segundo polo, el valor de g_{m1} deberá tener fijado un máximo ya que el peor caso para mantener la distancia del segundo polo se da cuando g_{m1} está en su valor máximo. Tenemos un claro conflicto con ambas condiciones. En el par diferencial complementario g_{m1} es dos veces mayor en la mitad del rango en modo común en comparación con los extremos. Por lo tanto, cuando tenga su valor mínimo tendremos el peor caso para GBW y en el caso de su valor máximo nos encontramos en el peor caso para la estabilidad del circuito.

Como ya dijimos en este diseño hemos usado, al igual que en los anteriores, una etapa de salida clase AB pero en este caso al usar una etapa de entrada diferencial complementaria hemos podido eliminar el cambiador de nivel que la polarizaba ya que en este caso cada etapa diferencial conduce medio ciclo de entrada.

Los tamaños de los transistores de este diseño han sido calculados de la misma manera que en el ejemplo del capítulo 4 y se muestran en la Tabla 5.6.

Para asegurar la estabilidad del diseño hemos realizado una compensación polo-cero doble donde los valores de condensadores y resistencias se han ajustado a:

$$R1 = 100K\Omega$$

$$C1 = 2pF$$

$$R2 = 1K\Omega$$

$$C2 = 2pF$$

Tabla 5. 6 Tamaño de los transistores:

TRANSISTOR	W (μm)	L (μm)
M1	2.08	0.5
M2	2.08	0.5
M3	0.625	0.5
M4	0.625	0.5
M5	0.625	0.5
M6	0.625	0.5
M7	2.08	0.5
M8	2.08	0.5
M9	0.625	0.5
M10	0.625	0.5
M11	2.08	0.5
M12	20.8	0.5
M13	37.5	0.5
M14	720	0.5
M15	189	0.5

El esquema de simulación es el mismo que en los casos anteriores. Los resultados obtenidos en la simulación AC muestran que el circuito es estable para todos los valores de cargas pedidos. En la Figura 5.16 se muestra el resultado para el diseño cuando a la salida tenemos la menor carga posible (1pF).

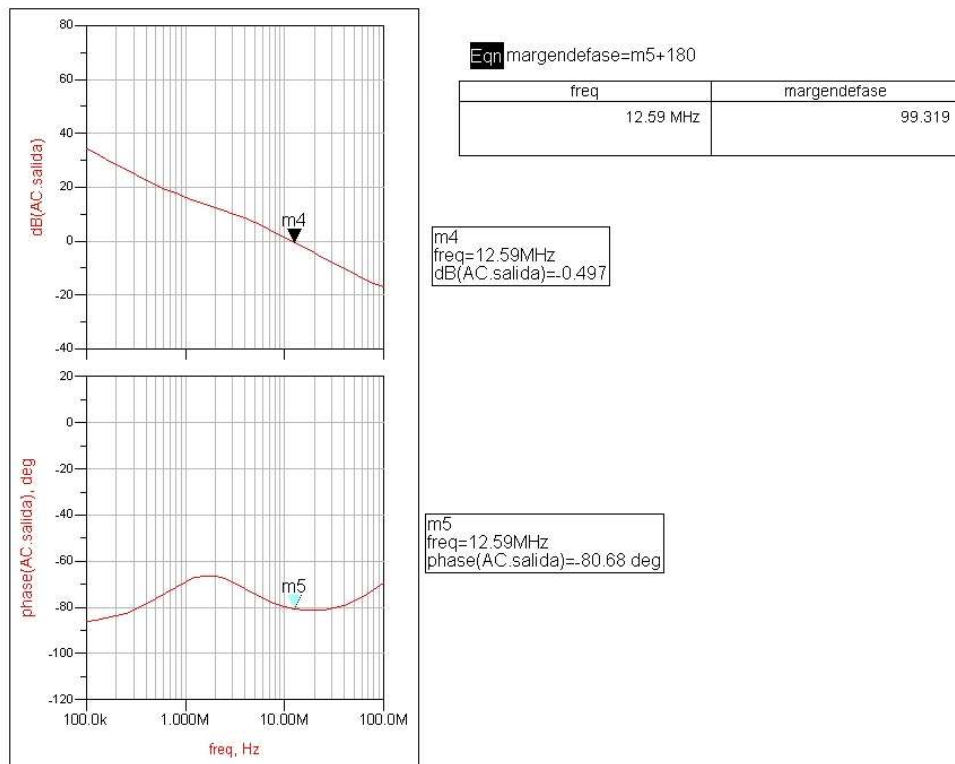


Figura 5.16 Resultado de la simulación AC con una carga de 1pF

En la Figura 5.17 se muestra la estabilidad con una carga de 500 pF (valor intermedio).

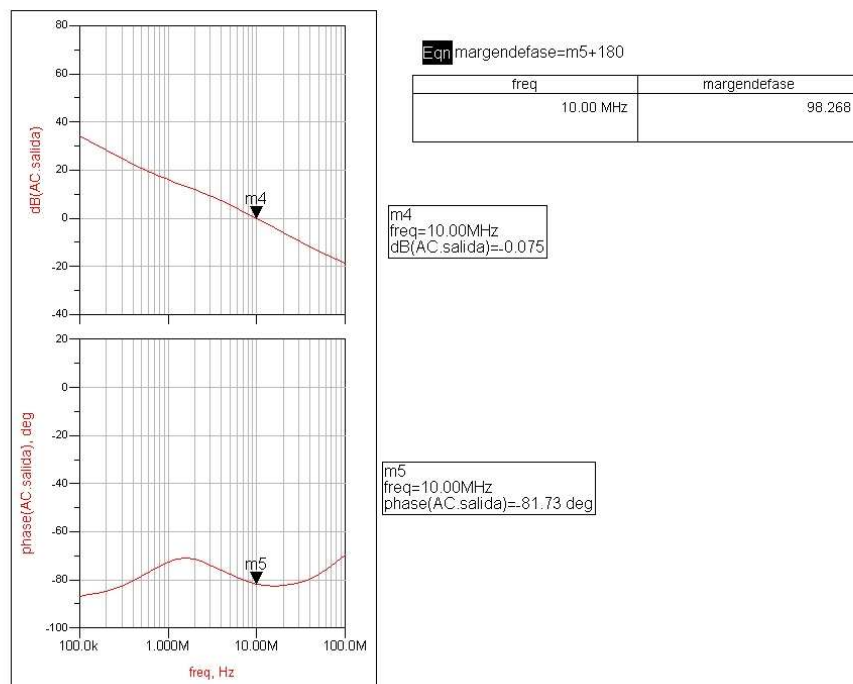


Figura 5.17 Resultado de la simulación AC con una carga de 500pF

Y, por último, comprobamos que con la mayor carga posible (3nF) también es estable (Figura 5.18).

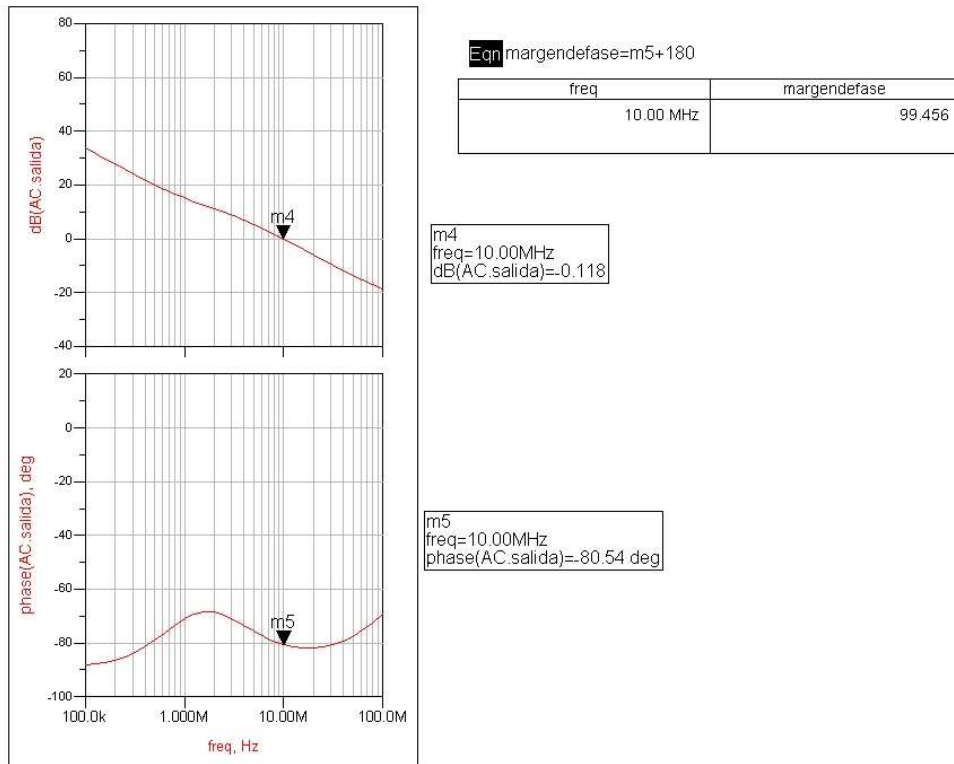


Figura 5. 18 Resultado de la simulación AC con una carga de 3nF

Para asegurarnos de que el circuito es estable con todas las cargas posibles hacemos un barrido de éstas, los resultados se muestran en la siguiente Tabla 5.7.

Tabla 5. 7 Resultados de la simulación AC

CLOAD	MARGEN DE FASE
1pF	99.3°
10pF	97.7°
100pF	95.1°
500pF	98.3°
1nF	99°
1.5nF	99.2°
2nF	99.3°
2.5nF	99.4°
3nF	99.5°

Hemos comprobado la estabilidad con todos los valores posibles y el circuito cumple las especificaciones pedidas en cuanto a estabilidad. Comprobamos ahora su respuesta transitoria, el resultado se muestra en la Figura 5.19.

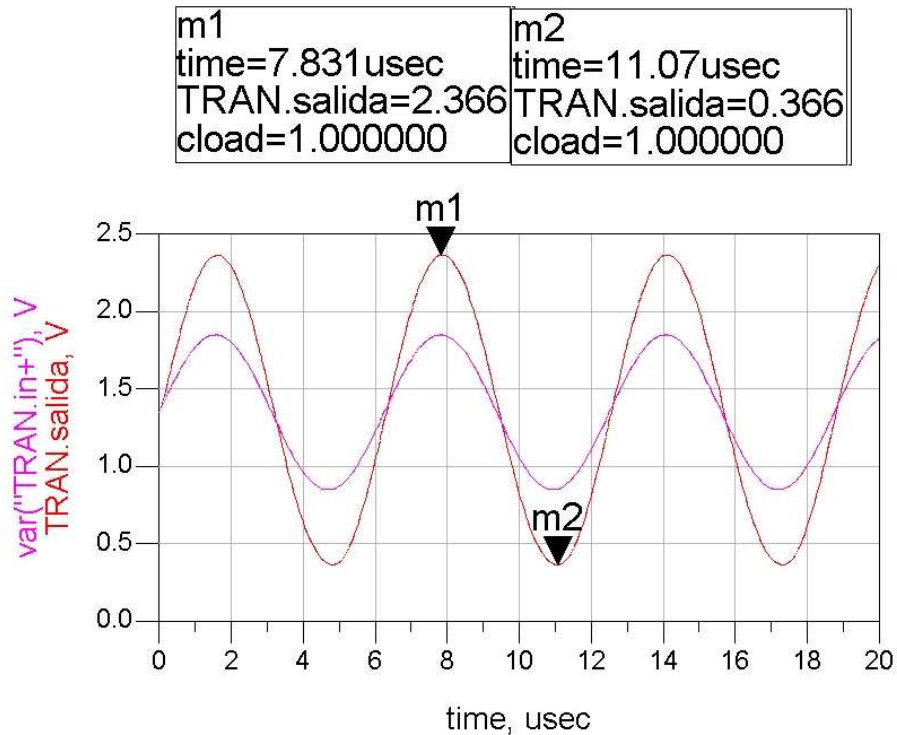


Figura 5.19 Resultado de la simulación transitoria

Vemos que con una señal de entrada 1Vpp obtenemos una salida de 2Vpp ya que como vimos el circuito tiene una ganancia de 2. Sin embargo, este circuito tiene un consumo de 8.8mA que es muy superior al consumo máximo pedido (1.6mA). Para disminuir el consumo hacemos algunas modificaciones al diseño.

Modificaciones:

Para incrementar la excursión máxima de salida de los transistores de salida reduciendo el consumo de los mismos, hemos usado unas cargas variables en sus puertas, tal y como se muestra en la Figura 5.20.

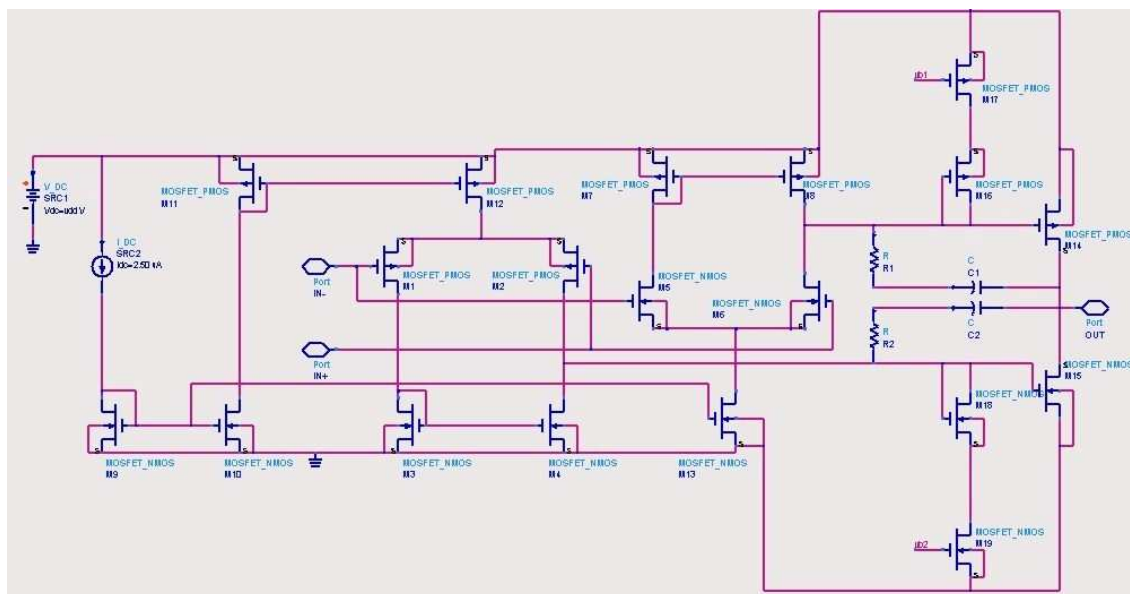


Figura 5. 20 Modificación del Op-Amp de dos etapas con entrada diferencial complementaria

En DC, M16 y M17 están en la región de saturación, lo cual reduce la impedancia vista en la puerta del transistor de salida. Cuando V_{in} aumenta, M17 pasa de saturación a la región lineal, causando que la resistencia total vista en la puerta del transistor de salida aumente. Esto hace que el transistor tipo P de salida pase a máxima conducción de forma que la excursión de salida sea máxima. De la misma manera, cuando la tensión de entrada disminuye, M19 pasa a la región lineal y hace que el transistor tipo N de la salida pase a máxima conducción. Para conseguir que M16, M17, M18 y M19 se encuentren en la región de saturación en DC, las tensiones de polarización V_{b1} y V_{b2} valen 1.35V.

Comprobamos que con estas modificaciones el circuito baja su consumo a $649\mu\text{A}$ que es inferior al consumo máximo permitido. Además, en cuestión de estabilidad y respuesta transitoria sigue comportándose de manera similar al circuito anterior. Con esto podemos decir que este circuito cumple con las condiciones de estabilidad, respuesta transitoria y consumo.

El resultado de las simulaciones AC se muestran en las Figuras 5.21, 5.22 y 5.23 donde la carga a la salida en cada caso es de 1pF, 500pF y 3nF, respectivamente. Además, para asegurar la estabilidad hacemos un barrido con diferentes cargas posibles a la salida, estos resultados se muestran en la Tabla 5.8.

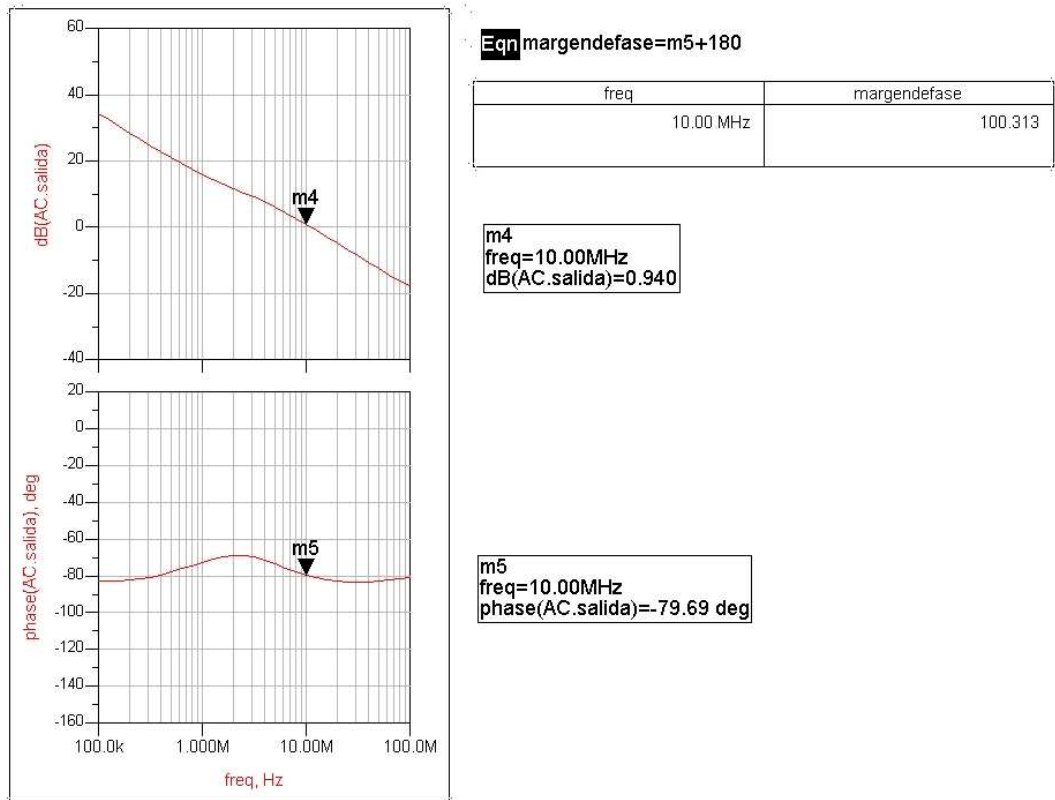


Figura 5. 21 Resultado de la simulación AC con una carga de 1pF

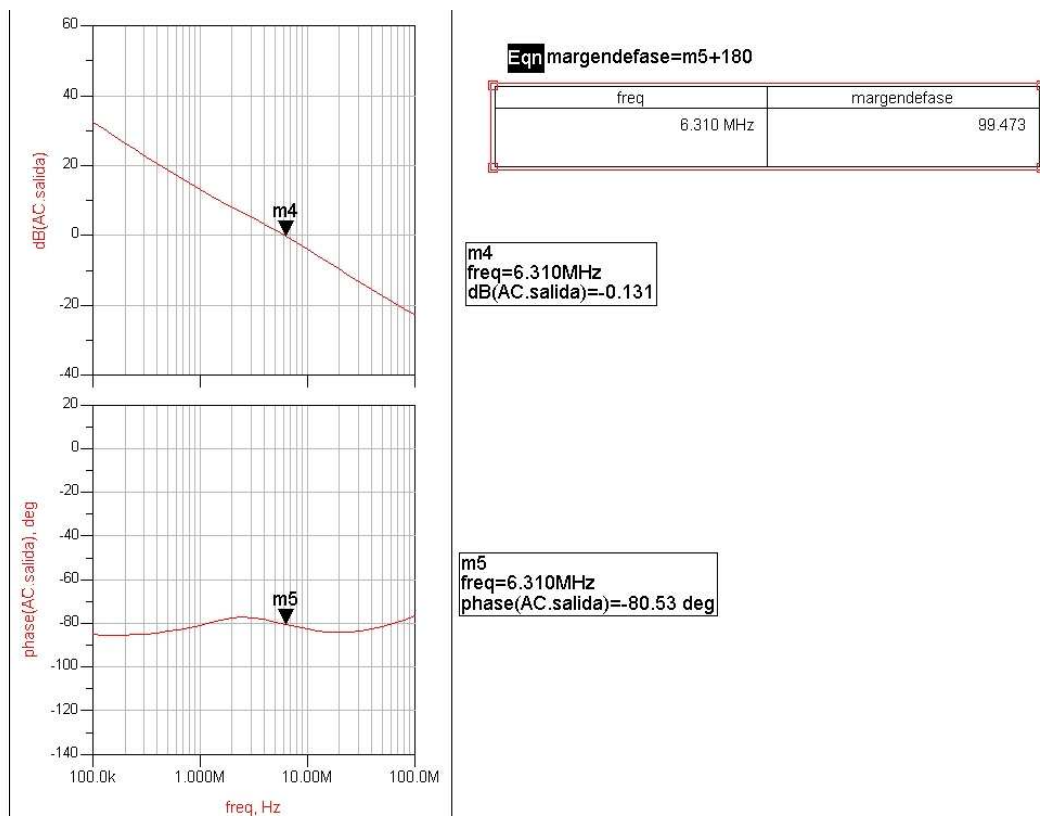


Figura 5. 22 Resultado de la simulación AC con una carga de 500pF

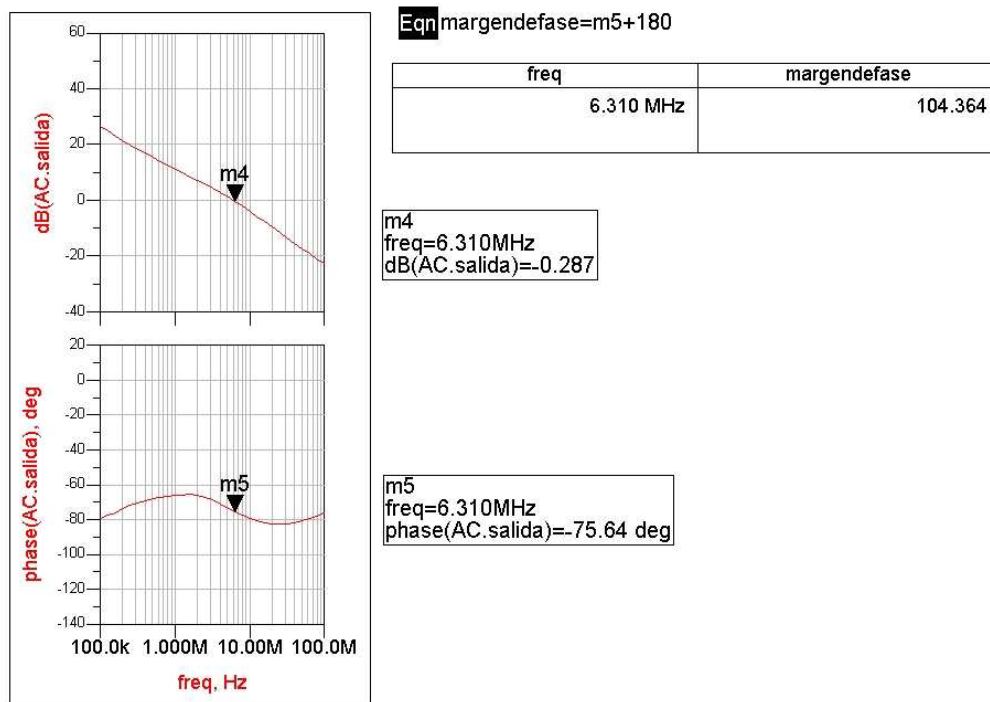


Figura 5. 23 Resultado de la simulación AC para una carga de 3nF

Tabla 5. 8 Resultados de la simulación AC:

CLOAD	MARGEN DE FASE
1pF	100.3°
10pF	95.6°
100pF	87.8°
500pF	99.5°
1nF	102.3°
1.5nF	103.3°
2nF	103.8°
2.5nF	104.2°
3nF	104.4°

5.6 Conclusiones

En este capítulo hemos pasado por diferentes diseños hasta conseguir una estructura que cumpliera con las especificaciones pedidas. Una vez elegida esta estructura nos pasamos a *CADENCE* con la tecnología con la cual vamos a implementar el diseño.

Ya en *CADENCE* optimizamos el diseño y una vez sometido a todas las simulaciones necesarias para comprobar que su funcionamiento es el adecuado en todos los casos pasamos a diseñar su *layout*.

DISEÑO DEL DRIVER A NIVEL DE LAYOUT

6.1 Introducción

En este capítulo pasaremos el diseño elegido a la tecnología UMC 0,18 μ m utilizando la herramienta *CADENCE*. Primero realizaremos el esquemático del diseño para después dibujar el layout, describiendo las principales técnicas utilizadas.

6.2 Diseño en *CADENCE*

Con el diseño seleccionado nos pasamos a *CADENCE* para trabajar con la tecnología correspondiente, en nuestro caso 0.18 μ m de UMC, y someterlo a todas las pruebas necesarias.

En la Figura 6.1 se muestra el diseño ya en *CADENCE*. Donde el transistor *DUMMY* se usa para conseguir simetría en el espejo de corriente a la hora de realizar el *layout* (técnica del centroide común explicada más adelante). Al cambiar de tecnología hemos tenido que modificar el tamaño de los transistores para conseguir un diseño óptimo en todos los casos.

Además de modificar el tamaño de los transistores los hemos dividido en dedos hacer el *layout* (esta es una técnica de diseño que explicaremos más adelante), en la Tabla 6.1 se muestra el tamaño y el número de dedos en que dividimos cada transistor.

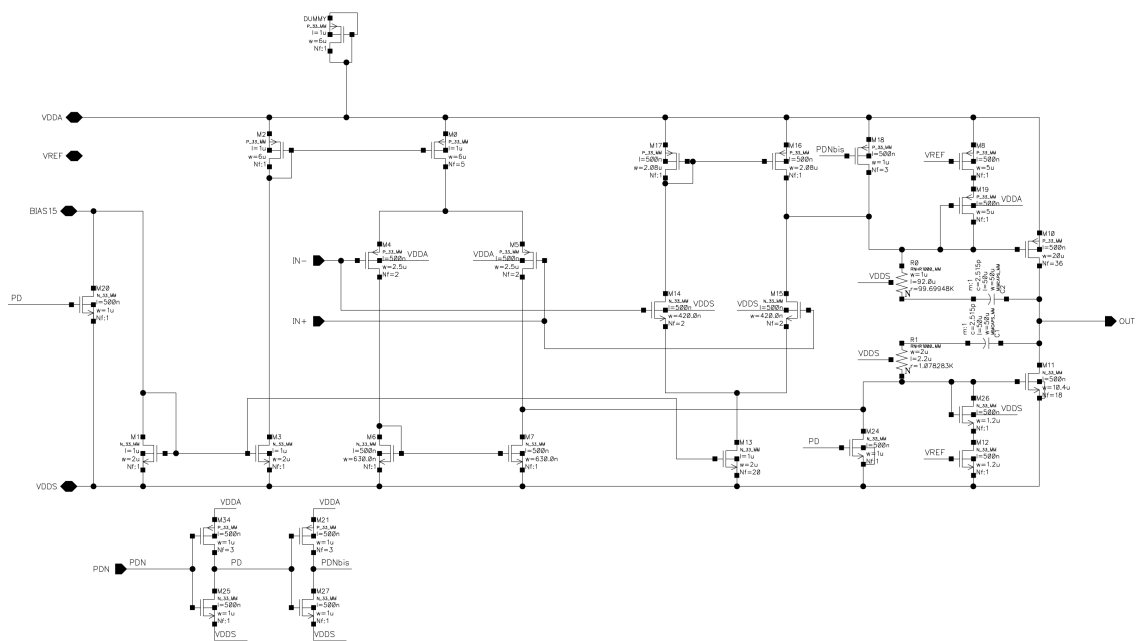


Figura 6.1 Esquema del diseño en *CADENCE*

Con este diseño hemos comprobado el margen de fase, la respuesta transitoria y el PSRR. Con los resultados obtenidos comprobamos que el diseño funciona para todas las especificaciones pedidas. Por lo tanto, pasamos a realizar la vista *layout* del mismo.

Tabla 6.1 Tamaño de los transistores:

Transistor	W(um)	L(um)	Nf
M1	2	1	1
M2	6	1	1
M3	2	1	1
M0	6	1	5
DUMMY	6	1	1
M4	2.5	0.5	2
M5	2.5	0.5	2
M6	0.63	0.5	1
M7	0.63	0.5	1
M13	2	1	20
M14	0.42	0.5	2
M15	0.42	0.5	2
M17	2.08	0.5	1
M16	2.08	0.5	1
M8	5	0.5	1
M19	5	0.5	1
M26	1.2	0.5	1
M12	1.2	0.5	1
M10	20	0.5	36
M11	10.4	0.5	18
M20	1	0.5	1
M18	1	0.5	3
M24	1	0.5	1
M34	1	0.5	3
M25	1	0.5	1
M21	1	0.5	3
M27	1	0.5	1

6.3 Layout

Realizar un *layout* consiste en definir los planos de fabricación del circuito conforme a las limitaciones impuestas por los procesos de fabricación, el flujo de diseño según la tecnología y los requisitos de rendimiento que tiene que cumplir el diseño.

A la hora de diseñarlo tendremos que tener en cuenta una serie de reglas de diseño que dependerán del tipo de tecnología usada para la fabricación del circuito, en nuestro caso como ya sabemos es 0.18 μm de UMC. La mayoría de estas reglas hacen referencia a la distancia entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaños, anchos de las pistas, etc. Todas estas reglas las proporciona el fabricante y son de carácter confidencial.

Además de las reglas de diseño impuestas por las tecnologías, tenemos que tener en cuenta más aspectos que influirán en el comportamiento y funcionamiento de nuestro circuito. Los más importantes son las dispersiones que pueden producirse en los parámetros de los componentes del circuito en el proceso de fabricación, la aparición de elementos parásitos como capacidades e inductancias y corrientes parásitas que degradarán la calidad de nuestro diseño. Para minimizar lo máximo posible estos efectos o evitarlos en su totalidad existen técnicas de diseño a la hora de realizar el layout de un circuito, algunas de las cuales las usaremos en nuestro diseño.

Para la realización del *layout* utilizamos la herramienta *Virtuoso* integrada dentro del software *CADENCE*.

Una vez realizado el layout seguiremos un proceso de verificación: Verificación de reglas de diseño (DRC) y Verificación Layout Versus Schematic (LVS). Esto nos asegurará que la célula realizada a nivel físico cumple las reglas de diseño especificadas por la tecnología y nos permitirá comparar el *layout* realizado con el esquemático de partida, asegurando el funcionamiento.

6.3.1 LAYOUT DE PISTAS

Las pistas de un circuito integrado tienen como función unir los distintos componentes. Éstas se ven sometidas a diversas tensiones y dependiendo de si éstas tensiones son variantes

en el tiempo o no las podremos clasificar en pistas de alimentación o pistas para la transmisión de señales.

Las pistas de alimentación tienen como misión conectar dispositivos a tensiones constantes o que varían en el tiempo de forma lenta. Por ejemplo, pistas de alimentación son todas las que unen los puntos de tierra. Las pistas de transmisión de señales tienen por objetivo conectar distintos dispositivos soportando señales que varían en el tiempo.

En ambos tipos de pistas es necesario minimizar los efectos parásitos que se puedan introducir, pero sobre todo tenemos que tener cuidado con las pistas de transmisión de señales. Estos efectos pueden ser: resistivos, capacitivos, inductivos, reflexiones que pueden aparecer en las pistas de transmisión de señales, etc.

El ancho de las pistas dependerá de la densidad de corriente que circule por ellas y de la conductividad que posean. La conductividad dependerá de la tecnología empleada.

6.3.2 LAYOUT DE TRANSISTORES MOS

Como sabemos la corriente máxima que puede pasar a través de un transistor MOS es determinada por el tamaño de éste. Si aumentamos el ancho del transistor o disminuimos su longitud el flujo de corriente aumenta. Esto lo entenderemos mediante la comprensión de las características físicas de los transistores.

En el caso de los transistores PMOS la fuente y el drenador se realizan mediante difusiones tipo p+. Éstas no se hacen directamente sobre el sustrato tipo P ya que existiría conducción entre las difusiones p+ y el sustrato conectado a tierra. Por este motivo se realiza sobre el sustrato una implantación de material tipo n formando un pozo sobre el cual se realiza el transistor. La puerta está formada por una fina capa de óxido de silicio depositada sobre el pozo. En la Figura 6.2 vemos el corte esquemático de este transistor. En las uniones PN se formarán diodos parásitos y para evitar que estén polarizados en directa y, por lo tanto, que conduzcan se conecta el sustrato a la tensión más positiva.

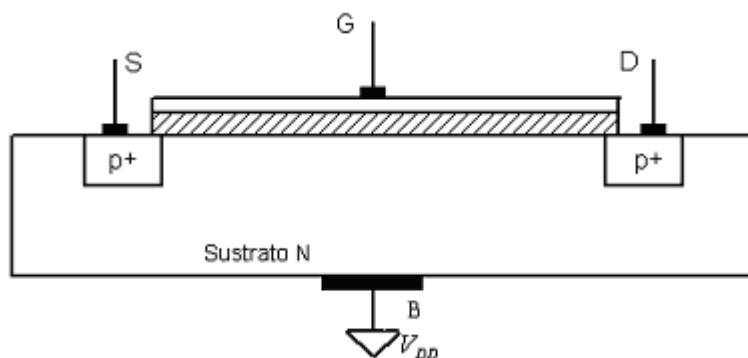


Figura 6.2 Corte esquemático del transistor PMOS

En los transistores NMOS la fuente y el drenador se realizan mediante difusiones tipo n+ sobre el sustrato tipo p, en este caso sí se pueden hacer estas difusiones sobre el sustrato tipo P directamente y no necesitamos ningún pozo. La puerta está formada al igual que en el caso de los PMOS por una fina capa de óxido, esta vez depositada sobre el sustrato. En la Figura 6.3 vemos el corte esquemático de este transistor. Al igual que ocurría en el caso anterior en las uniones PN se forman diodos parásitos, y para evitar que conduzcan los polarizamos en inversa conectando el sustrato a tierra.

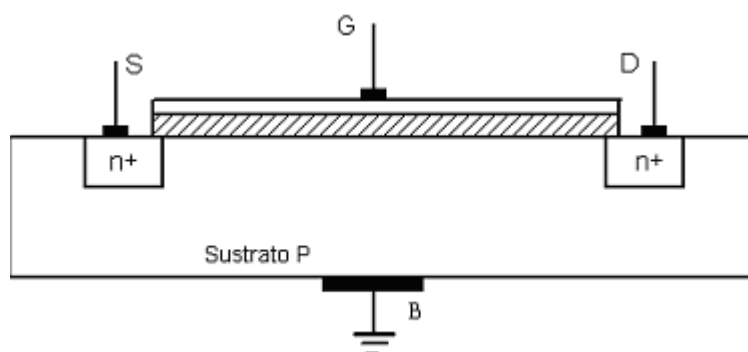


Figura 6.3 Corte esquemático del transistor NMOS

En la Figura 6.4 se muestra el layout de un transistor PMOS simple. Donde notamos que:

- La puerta del transistor está definida por un polígono de polisilicio.
- Los 4 terminales del transistor se muestran y son etiquetados.
- Las áreas de difusión adyacentes a las puerta del transistor define las áreas de la fuente y del drenador, observamos que el drenador y la fuente son intercambiables.

- Al ser un transistor PMOS se localiza sobre un pozo tipo N (N-well).

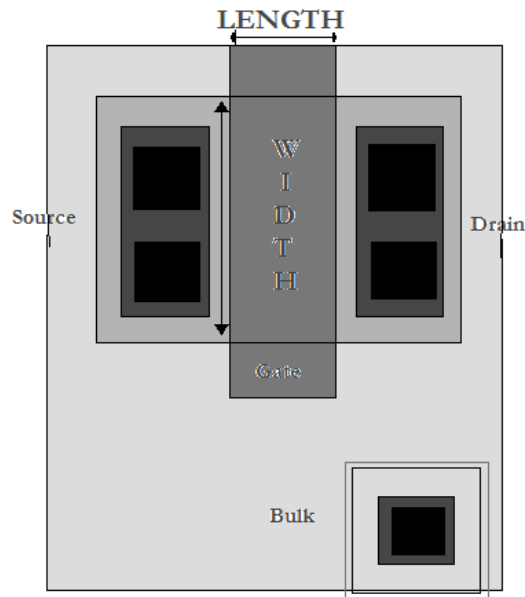


Figura 6. 4 Layout de un transistor PMOS

(En el caso del layout de un transistor NMOS simple sería igual pero, como dijimos antes, no necesitaremos ningún pozo, las difusiones se hacen directamente sobre el sustrato tipo P).

Como sabemos el flujo de corriente dependerá del tamaño de la puerta. La longitud de un transistor hace referencia a la distancia entre la fuente y el drenador, es decir, la distancia que tienen que recorrer los electrones cuando la puerta está activa (recordar que el voltaje de puerta es la que controla el flujo de corriente). Si dos transistores tienen el mismo ancho, aquel con menor longitud de puerta será el que producirá más corriente. En cambio, el ancho de un transistor puede ser considerado como el número de canales paralelos posibles para que pase corriente de la fuente al drenador, cuanto mayor ancho mayor flujo de corriente. Siempre que se hable del tamaño de la puerta de una tecnología, se está haciendo referencia a la mínima longitud de puerta. Normalmente, como hemos hecho en nuestros diseños, se mantiene una longitud de puerta constante y se juega con el ancho de los transistores para variar la corriente.

En muchos casos para reducir el ruido proveniente del sustrato se emplean anillos de guarda que rodean a los transistores. Estos anillos son simplemente difusiones conectadas a tierra.

6.3.3 LAYOUT DE RESISTENCIAS

Cuando se desea incluir en el diseño resistencias de ciertos valores hay que tener en cuenta que dicha resistencia se debe definir en el *layout*. Para ello el primer paso que debemos seguir es elegir una capa apropiada. Para esta elección debemos tener en cuenta los siguientes factores:

- La resistividad de las diferentes capas.
- Las variaciones que se producen en la resistividad bajo diferentes condiciones como puede ser la temperatura.
- La variación del ancho de la capa bajo diferentes condiciones del proceso.
- El área resultante con la capa elegida.

Algunos procesos tienen una capa altamente resistiva que es ideal para esta aplicación.

La resistencia se calcula usando la ecuación 6.1, de este modo para implementar una resistencia con un valor específico seleccionaremos un ancho y una longitud adecuada según la resistividad de la capa elegida:

$$R = \rho \cdot l / w \quad (6.1)$$

donde ρ es la resistividad de la capa dada en $\Omega \cdot m$, l es la longitud, y w es el ancho del conductor.

La elección del ancho y la longitud deberán ser de tal forma que la resistencia tenga un tamaño razonable.

A la hora del proceso de fabricación de las películas que constituyen las resistencias integradas existen dispersiones que provocan diferencias entre el valor deseado de una resistencia integrada y el real. La única forma de minimizar esta divergencia es empleando grandes dimensiones y siguiendo las recomendaciones de las reglas de diseño que proporciona la tecnología.

En la Figura 6.5 se muestra una resistencia empleada en nuestro diseño.

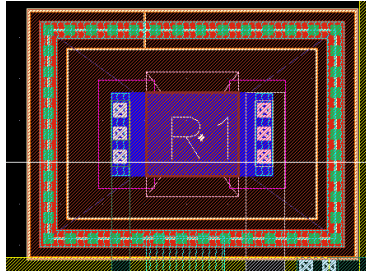


Figura 6. 5 Layout de una resistencia

Vemos que para reducir el ruido que proviene del sustrato se han usado anillos de guarda en las resistencias.

6.3.4 LAYOUT DE CAPACIDADES

La fórmula que usamos para calcular la capacidad de un conductor se muestra en la ecuación 6.2.

$$C = \epsilon \cdot A / d \quad (6.2)$$

donde A es la superficie de el conductor ($A = W \times L$), d es la distancia física entre el conductor y el nodo de referencia y ϵ es una constante característica de la capa aislante entre el conductor y el nodo de referencia. En la figura 6.6 se muestra teóricamente un condensador.

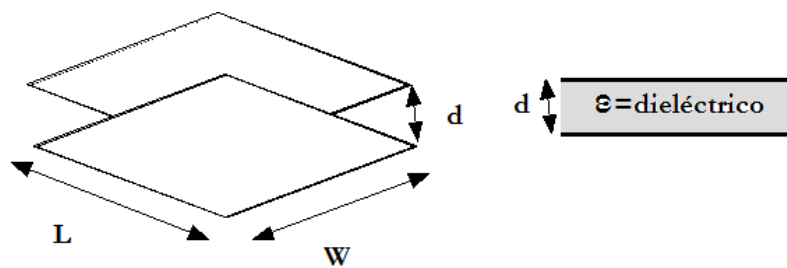


Figura 6. 6 Condensador teórico

Para aumentar la capacidad, d debería minimizarse lo máximo posible y de esta manera evitar consumir mucha área.

Para realizar layout de condensadores existen capas con las características adecuadas, la realización de un condensador en nuestro layout se muestra en la Figura 6.7.

Al igual que pasaba en el layout de resistencias a la hora de los procesos de fabricación de las películas que constituyen el condensador se producen dispersiones que dan lugar a divergencias entre el valor deseado y el fabricado. La única manera de minimizar la dispersión es empleando capas que presenten poca dispersión en la capacidad que aparece entre ellas, eligiendo grandes dimensiones y siguiendo las recomendaciones de las reglas de diseño del fabricante.

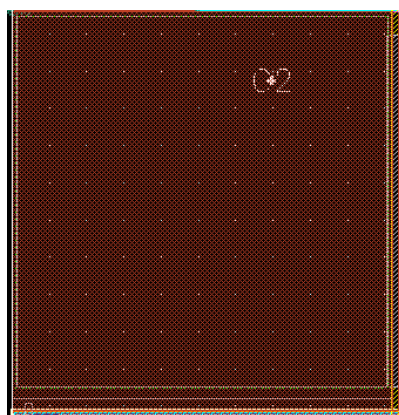


Figura 6. 7 Layout de un condensador

6.3.5 TÉCNICAS DE DISEÑO

6.3.5.1 División de los transistores en dedos

A la hora de realizar el layout de un transistor tenemos que tener en cuenta las dimensiones del mismo. En el caso de diseñar transistores con un ancho de canal muy grande pueden aparecer problemas en la polarización del mismo. Debido a la elevada anchura del canal, las caídas de tensión que se producen a lo ancho del mismo puede provocar que la tensión que hay en el punto medio del transistor sea tan baja que esta zona no esté polarizada correctamente.

Para conseguir diseñar transistores de dimensiones elevadas y evitar que el ancho sea excesivo se emplea una técnica que consiste en dividir el transistor con canal ancho en transistores más pequeños y conectarlos en paralelo como puede verse en la Figura 6.8. Cada uno de estos transistores se llama dedo.

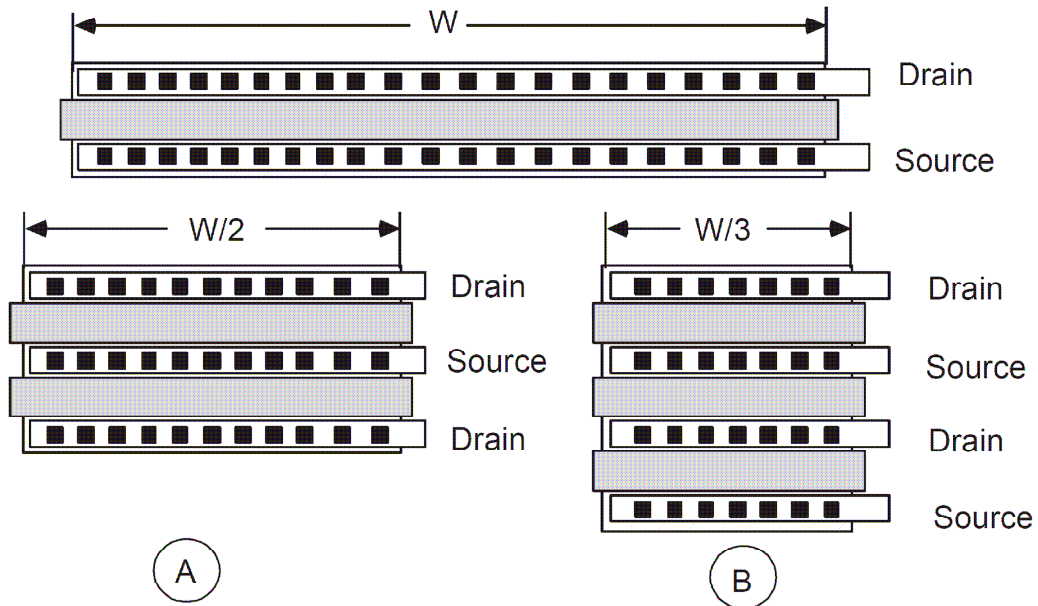


Figura 6.8 División de un transistor en dedos

Con esta técnica podemos dividir el tamaño del transistor a nuestro gusto y, en el caso de transistores de gran tamaño nos evitaremos los problemas de polarización.

El número de dedos se calcula de forma que el ancho de cada dedo w multiplicado por el número de dedos total, N , sea igual al ancho total del transistor que se quiere diseñar (ecuación 6.3).

$$W = N \cdot w \quad (6.3)$$

6.3.5.2 Apareamiento o matching

En nuestro diseño del Op-Amp hemos usado pares diferenciales y espejos de corriente. A la hora de realizar el *layout*, con este tipo de configuraciones debemos tener especial cuidado ya que los transistores deben estar bien apareados. En el caso de un par diferencial debemos conseguir que las dos ramas que componen el amplificador sean simétricas para lo cual emplearemos la técnica del centroide común explicada más adelante. Y en los espejos de corriente donde necesitamos transistores de diferentes tamaños según la relación de corriente deseada, debemos dividirlos en dedos de tamaños iguales e interdigitarlos buscando una simetría.

6.3.5.3 Técnica del centroide común

Al realizar el *layout* con esta técnica conseguimos minimizar el efecto de las dispersiones que se puedan producir durante el proceso de fabricación en transistores que deben estar bien apareados, como es el caso de los pares diferenciales. En el caso de producirse dichas dispersiones hay que intentar que éstas afecten del mismo modo a todos los elementos. Estas dispersiones dependen, sobre todo, de dónde esté situado el circuito integrado dentro de la oblea y actúan siempre de manera lineal y en una dirección determinada.

Se pueden distinguir varios tipos de dispersiones. Como por ejemplo:

- Variación en el espesor de la capa de óxido. Esto afecta a la capacidad C_{ox} y, por lo tanto, a las capacidades parásitas del transistor.
- Variación en el número de impurezas. Esto afecta a la movilidad de los electrones y, como consecuencia, al valor de la transconductancia del transistor.
- Variación del tamaño de los transistores. Afecta al valor de la transconductancia, capacidades parásitas y resistencia del transistor.

Como hemos dicho las dos ramas del amplificador diferencial deben de ser idénticas. Es decir, debe existir la máxima simetría posible entre las dos ramas del amplificador. Para conseguir esto utilizamos esta técnica que pretende que los transistores usados en cada rama del amplificador sean idénticos. Para conseguirlo los transistores deben tener el mismo centro geométrico de forma que las dispersiones producidas les afecten de la misma manera. El patrón utilizado en todo el diseño es el de *arrays* unidimensionales (ABCDDCBA), el cual tiene un eje de simetría que divide en dos el conjunto, formando una de las mitades un espejo con la otra (ABCD y DCBA). Para conseguir esta estructura lo que se hace es realizar una división de los transistores por multiplicidad, es decir, que a partir de un transistor se obtienen dos transistores con unas dimensiones tales que consiguen la equivalencia con el de partida.

Por ejemplo, si tenemos el par diferencial de la Figura 6.9 formado por dos transistores M_a y M_b acoplados por la fuente.

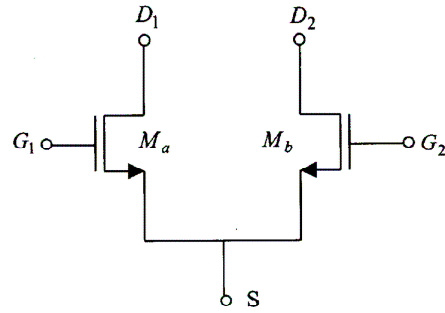


Figura 6. 9 Par diferencial

Para conseguir la máxima simetría entre estos dos componentes, los transistores los dividimos en 2 y los colocamos como se muestra en la Figura 6.10, donde comparten un centro común.

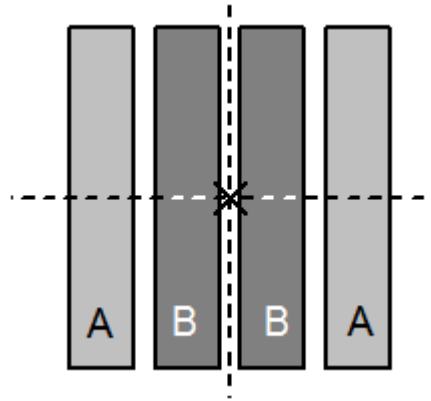


Figura 6. 10 Técnica del centroide común

Además, para minimizar el efecto de las dispersiones conviene implementar los transistores de forma que el sentido de la corriente sea el mismo en un par de transistores que se desea que se comporten idénticamente [24].

6.3.6 REGLAS DE DISEÑO

Las reglas de diseño son aquellas que se deben respetar cuando hacemos el *layout* de un diseño. En este apartado veremos algunas que hacen referencia a los polígonos o las pistas, transistores y contactos. Estas reglas de diseño representan las limitaciones físicas de los procesos de fabricación.

Para comprobar que se cumplen todas estas reglas se realiza un DRC (*Desing Rule Check*). El DRC, es un programa que chequea cada una de las partes del layout comparándola con las

reglas de diseño del proceso empleado. Se testea cada extremo con sus bordes vecinos para comprobar violaciones de ancho y separación de pistas. Si se ha violado alguna de las reglas, la herramienta nos indica dónde se ha producido y por qué.

6.3.6.1 *Tamaño de los polígonos*

El ancho mínimo de un polígono es una dimensión crítica y está definido por las limitaciones de los procesos de fabricación. Por ejemplo, como vimos anteriormente la longitud de las puertas tiene un mínimo. Una violación de esta regla puede resultar en un circuito abierto.

En cuanto a las pistas de metal1, metal2 y metal3, han de tener un determinado ancho dependiendo del flujo de corriente que circule a través de ellas. Estas dimensiones son recomendadas por la tecnología usada.

La longitud de un polígono o pista es normalmente ilimitado, sin embargo, en algunos procesos puede haber reglas acerca de requisitos de área (por ejemplo, en el caso de un contacto o vía donde habrá una regla de longitud y anchura).

También se debe evitar ángulos en las pistas menores a 45°.

6.3.6.2 *Regla de separación*

Esta regla nos muestra la distancia mínima entre dos polígonos. Generalmente se usa para evitar cortocircuitos. Son aplicadas a polígonos entre la misma capa y también entre capas diferentes.

6.3.6.3 *Regla de solapamiento*

Esta regla hace referencia al solapamiento de un polígono con otro. Un ejemplo sería el solapamiento de una capa de metal por encima de una vía o contacto.

6.4 **Nuestro *layout***

El *layout* final de nuestro diseño se muestra en la Figura 6.11. Donde se ven claramente los transistores de salida que son los de mayor tamaño (M10 y M11) y los condensadores de compensación (C1 y C2) ya que éstos consumen una gran cantidad de área. Además, vemos que todos los transistores y las resistencias se han rodeado por anillos de guarda.

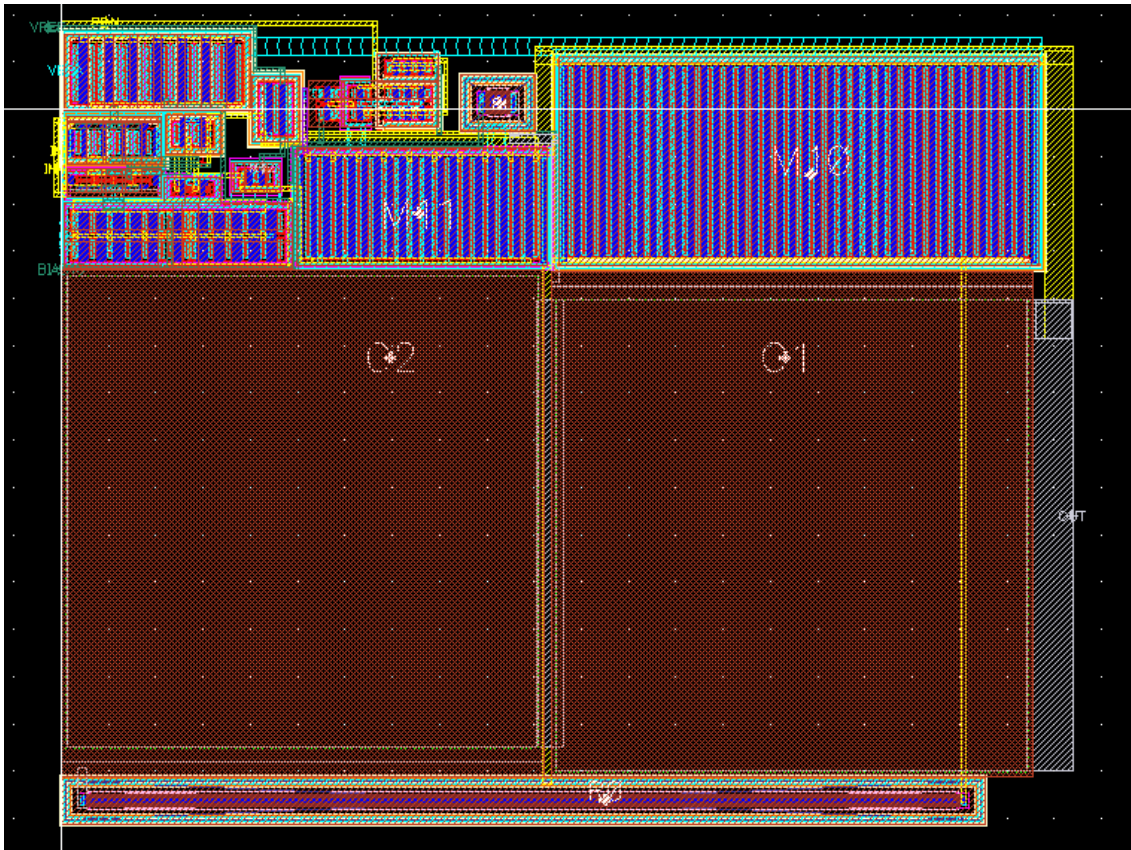


Figura 6.11 *Layout final*

Si miramos los pares diferenciales de entrada, formados por los transistores M4, M5, M14 y M15, vemos que en ambos hemos empleado la técnica del centroide común (Figura 6.12).

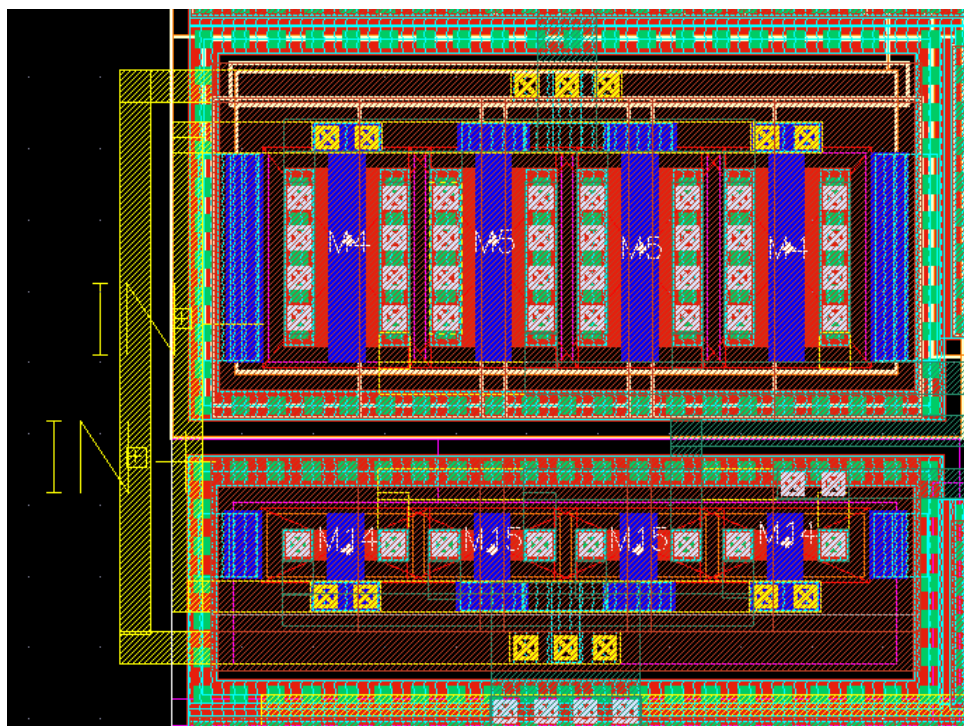


Figura 6.12 *Layout* de los pares diferenciales

Un problema del diseño del *layout* es el espejo de corriente formado por los transistores tipo P (M0 y M2), ya que como explicamos anteriormente los transistores deben estar bien apareados. En este caso el tamaño de M0 es 5 veces mayor que el de M2, 30 μm y 6 μm , respectivamente, con lo que M0 lo dividiremos en 5 dedos. Con estas divisiones es difícil conseguir una estructura simétrica ya que M0 tiene un número impar de dedos y conseguir una estructura simétrica es imposible. La opción que hemos utilizado para conseguir la simetría es la utilización de un transistor adicional (DUMMY) cuyo tamaño será 6 μm . De esta forma obtenemos una estructura simétrica como se muestra en la Figura 6.13.

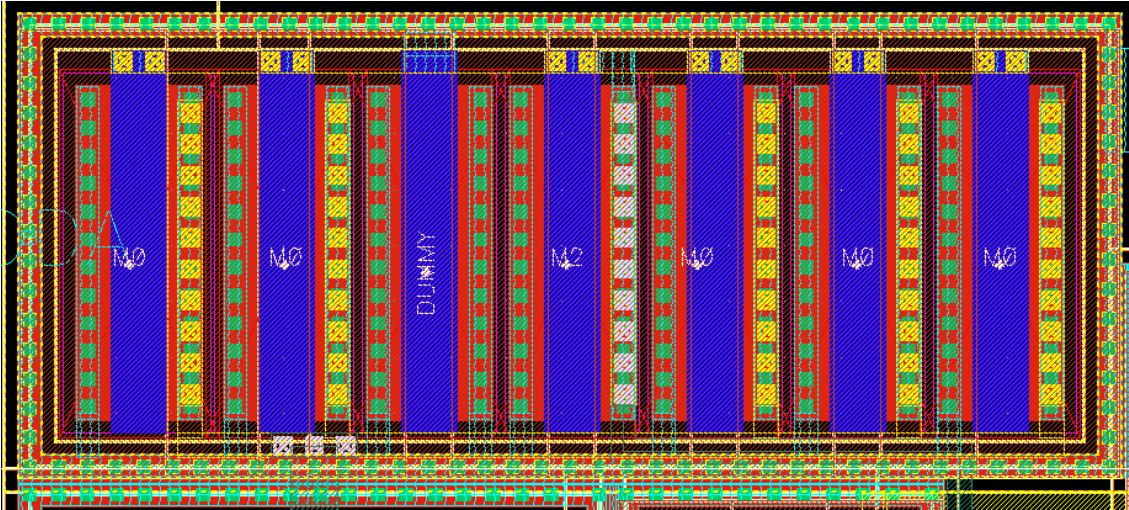


Figura 6.13 *Layout* de un espejo de corriente

En el caso del espejo de corriente tipo N formado por los transistores M1, M3 y M13 los tamaños son 2 μm , 2 μm y 40 μm , respectivamente. Por lo que para conseguir una estructura simétrica dividimos el transistor M13 en 20 dedos. La estructura resultante se muestra en la Figura 6.14 donde se ha intentado conseguir la mayor simetría posible para que los transistores tengan un buen apareamiento.

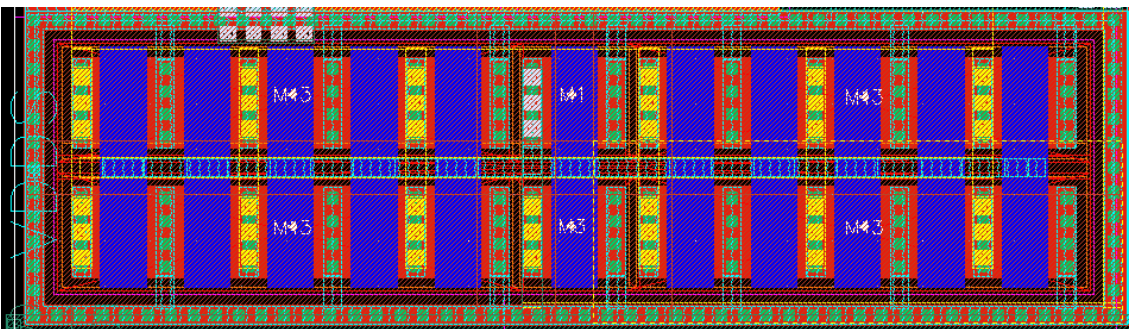


Figura 6.14 *Layout* de un espejo de corriente

6.5 Conclusiones

En este capítulo hemos visto el diseño del layout del Op-Amp. Empezamos con una pequeña introducción en la teoría del *layout* donde hemos explicado algunas técnicas y reglas de diseño usadas en nuestro diseño. Por último, hemos mostrado el *layout* de nuestro diseño.

En el siguiente capítulo mostraremos los resultados de todas las simulaciones a las que se ha sometido el diseño para comprobar que su funcionamiento es el correcto y daremos las conclusiones finales de nuestro proyecto.

RESULTADOS Y CONCLUSIONES

7.1 Introducción

Una vez que hemos completado el diseño del amplificador operacional en este capítulo expondremos las conclusiones a las que hemos llegado a lo largo de todo el trabajo. Así mismo, mostraremos los resultados de las simulaciones que verificarán que el Op-Amp funciona en todos los casos posibles, con las diferentes tensiones de alimentación (VDD), temperaturas, modelos de los transistores y valores de la carga capacitiva dados en las especificaciones del diseño.

7.2 Resumen

El objetivo de este proyecto ha sido realizar un OP-AMP en la tecnología CMOS 0,18 μ m suministrada por UMC. El desarrollo del diseño lo hemos realizado de forma metódica partiendo de un estudio teórico del mismo hasta la implementación física del *layout*.

En el Capítulo 1 introducimos los objetivos generales del proyecto y, con objeto de situar el entorno de trabajo, en el Capítulo 2 profundizamos en el análisis de los dispositivos activos utilizados, los transistores MOS.

En el Capítulo 3 hicimos una introducción a los amplificadores operacionales donde llevamos a cabo un estudio de los parámetros que se deben de tener en cuenta a la hora de diseñarlos.

El siguiente paso fue el realizar el diseño de un amplificador operacional (Op-Amp), como proceso de familiarización con las herramientas de diseño. Esta tarea la llevamos a cabo en Capítulo 4 donde se estudió cada parte que componen un Op-Amp por separado: las diferentes etapas y la compensación del mismo. Como paso previo al diseño del Op-Amp diseñamos un amplificador de transconductancia (OTA).

Una vez familiarizados con las herramientas de diseño, pasamos al diseño del driver. En el Capítulo 5 se dan las especificaciones que debe de cumplir el Op-Amp y se realizan varios diseños utilizando ADS hasta conseguir el diseño que cumpla con todas las especificaciones pedidas.

En el Capítulo 6 el diseño elegido es pasado a *CADENCE* para trabajar con la tecnología 0.18 μ m de UMC, realizando el *layout* del mismo..

7.3 Resultados

En este apartado mostramos los resultados de las simulaciones del diseño final para las diferentes condiciones. También se muestra el resultado de una simulación que hemos llevado a cabo con el *OCEAN* [28] donde comprobamos el margen de fase para todas las combinaciones posibles de los diferentes valores de temperatura y tensión de alimentación (dadas en las especificaciones) para diferentes cargas capacitivas posibles y para los diferentes modelos de los transistores (TT, FF, SS).

Todas las simulaciones mostradas son a nivel de esquemático. No se han podido realizar simulaciones *postlayout* debido a problemas con los ficheros de configuración de *ASSURA*. No obstante, debido a la baja frecuencia de funcionamiento del circuito, a que hemos hecho las simulaciones para todos los casos de dispersión y a que hemos pasado el LVS (*layout* versus schematic), no se prevén divergencias entre la simulación y la medida.

La primera prueba realizada para comprobar el correcto funcionamiento del circuito es una simulación AC donde comprobamos el margen de fase de nuestro diseño en diferentes casos. El esquema realizado para esta simulación se muestra en la Figura 7.1. El elemento BIAS2_5u_8 es una fuente de corriente auxiliar que genera 8 salidas de 2.5 μ A cada una. Los resultados obtenidos con los diferentes modelos de transistores (TT, FF, SS) para diferentes temperaturas (media y extremas) y diferentes tensiones de alimentación (nominal, máxima y

mínima) se muestran en la Tabla 7.1. En todos los casos vemos que el circuito tiene un margen de fase superior a 45°.

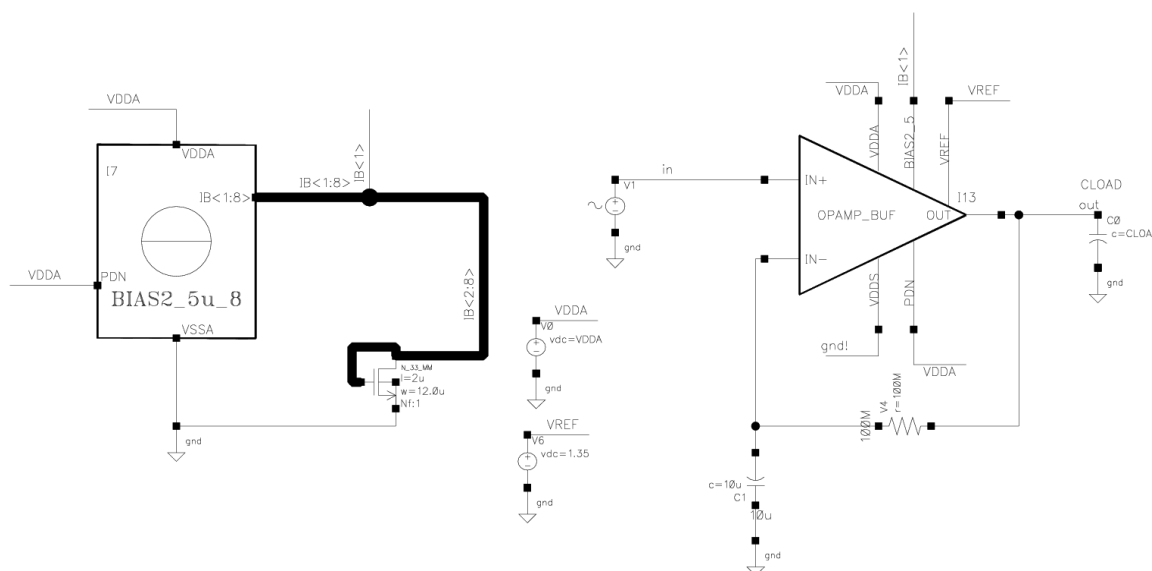


Figura 7.1 Esquema para la simulación AC

Tabla 7.1 Margen de fase para distintas condiciones:

CLOAD (pF)	Margen de Fase (°)		
	TT 27° 3,3V	FF -40°C 3,6V	SS 85°C 2,7V
1	100,7	102,7	101
10	92,7	93,18	89,46
50	67,5	71	63,8
100	59,2	57,7	57,9
300	50,7	49,7	47,3
500	49	46,7	47,9
1000	50,4	50,7	50,4
3000	58,8	58,7	56,9

En la Figura 7.2 se muestran estos resultados gráficamente.

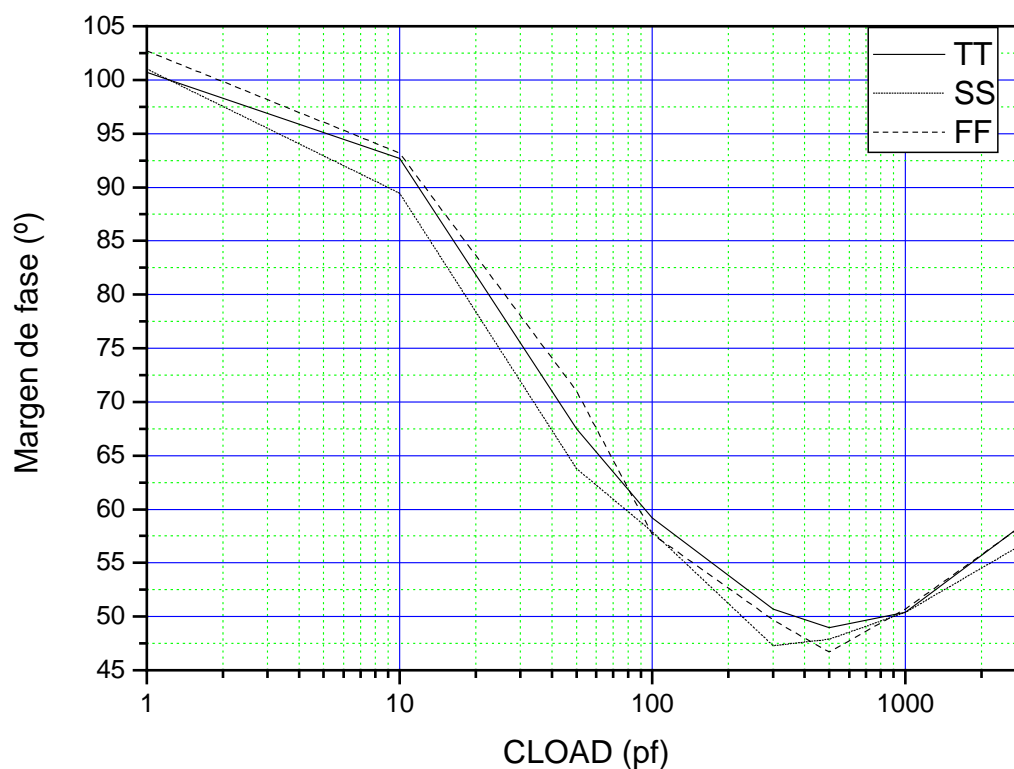


Figura 7.2 Resultado del margen de fase

En las Figuras 7.3, 7.4 y 7.5 se muestran las gráficas resultantes de las simulaciones AC. En la Figura 7.3 se ha utilizado el modelo de transistor TT con la temperatura típica (27°) y la tensión nominal (3.3V). En el caso de la simulación con el modelo de transistor FF hemos simulado con la temperatura mínima y la tensión máxima dadas en las especificaciones (-40° y 3.6V) que es uno de los peores casos que nos podemos encontrar (ver Figura 7.4). En el caso de la simulación con el modelo SS también hemos hecho una simulación de uno de los peores casos que se pueden dar donde la temperatura es máxima y la tensión mínima (85° y 2.7V) (ver Figura 7.5).

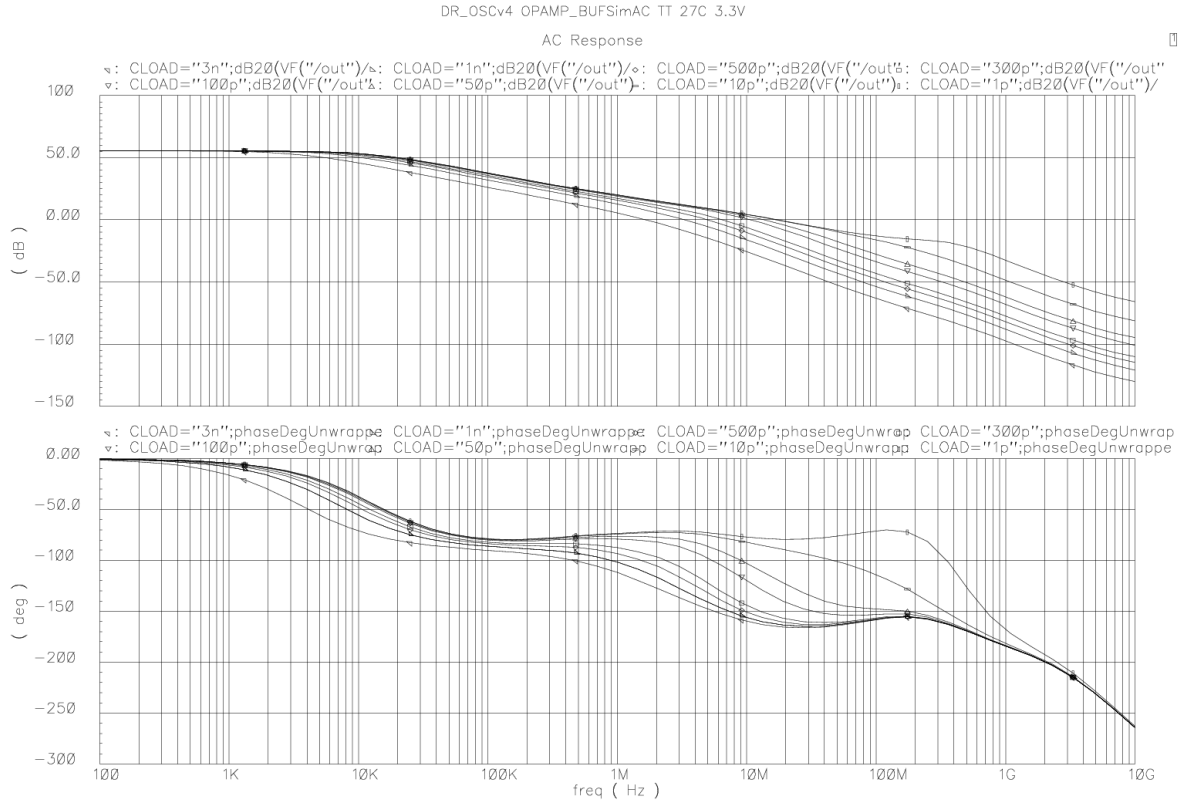


Figura 7.3 Resultado de la simulación AC

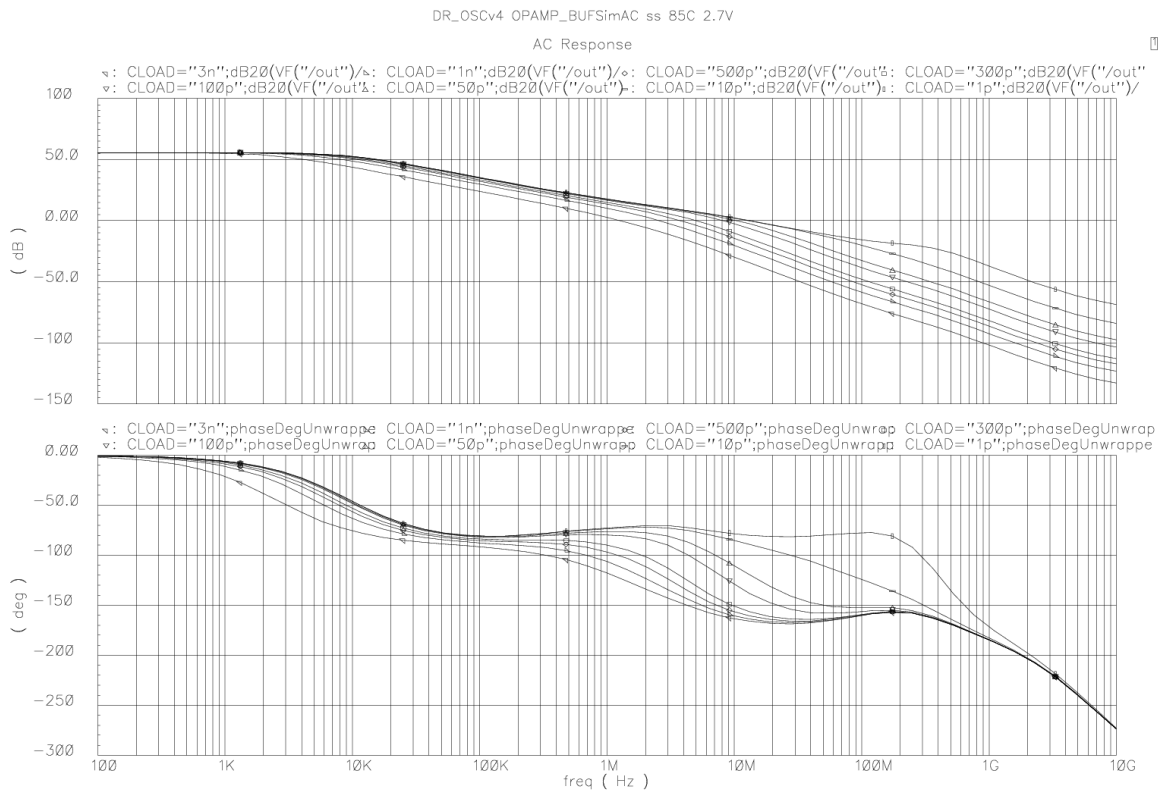


Figura 7.4 Resultado de la simulación AC

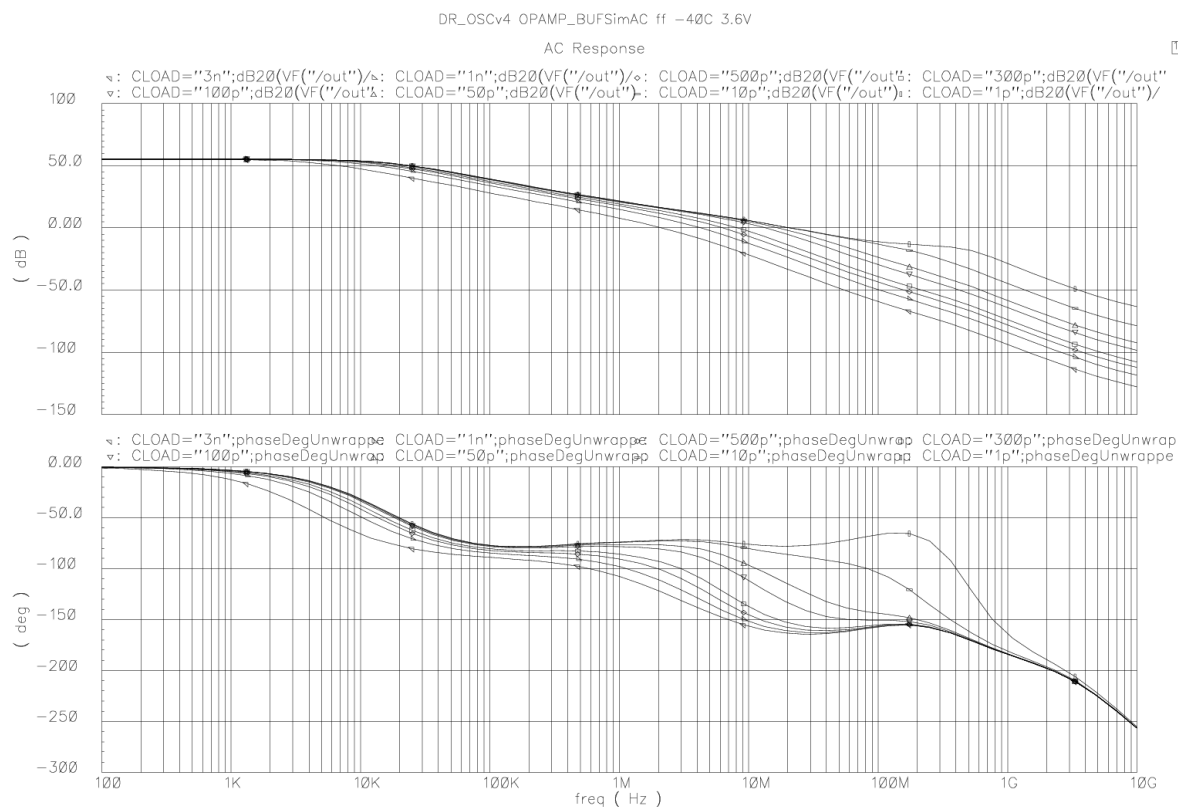


Figura 7.5 Resultado de la simulación AC

La siguiente prueba llevada a cabo es una simulación transitoria donde comprobamos que la señal de salida es la correcta y que cumple con el margen de tolerancia a la amplitud que debe ser menor del $\pm 10\%$. El esquema usado en esta simulación se muestra en la Figura 7.6.

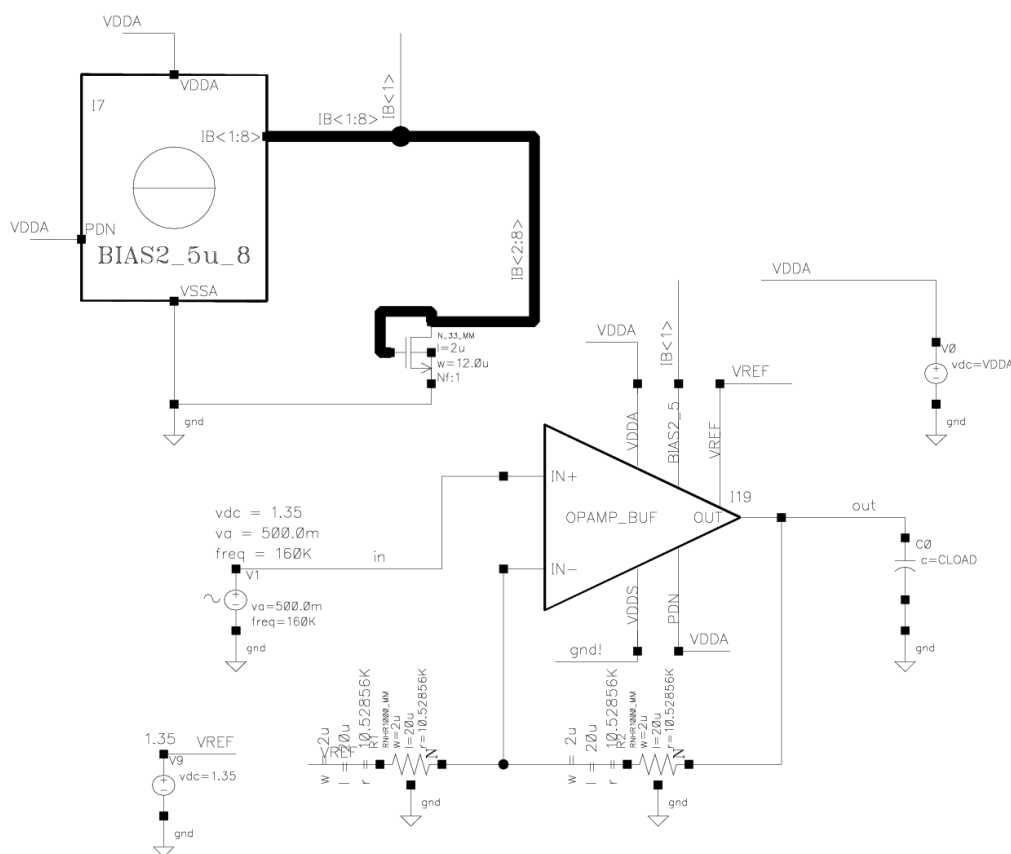


Figura 7.6 Esquema de simulación transitoria

Al igual que en el caso de las simulaciones en AC, en la Figura 7.7 vemos el resultado para un modelo de transistores TT, una temperatura de 27°C y una tensión de 3.3V. En la Figura 7.8 vemos el resultado para un modelo de transistores FF, una temperatura de -40°C y una tensión de 3.6V. Y en la última gráfica (Figura 7.9) vemos el resultado para un modelo de transistores SS, una temperatura de 85°C y una tensión de 2.7V. En todos los casos vemos que con una configuración de ganancia 2 y una señal de entrada de 1Vpp, la salida tiene menos de un 10% de tolerancia a la amplitud.

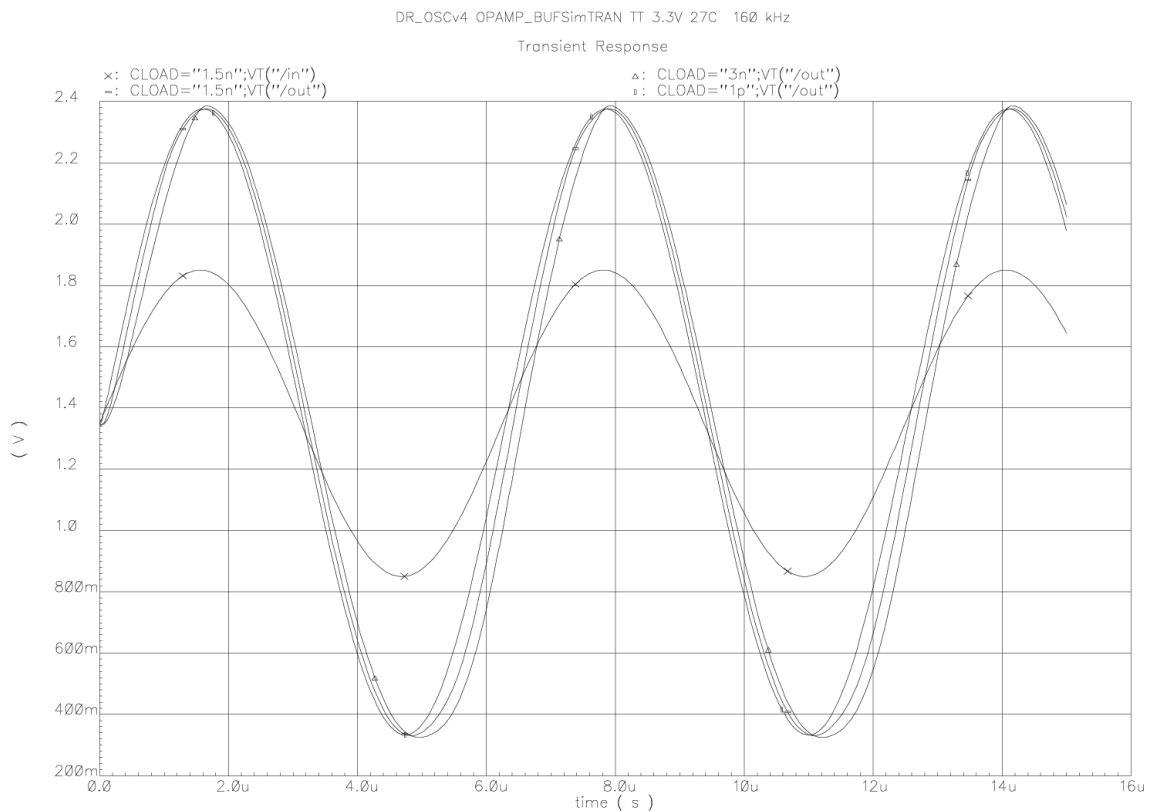


Figura 7.7 Resultado de la simulación transitoria

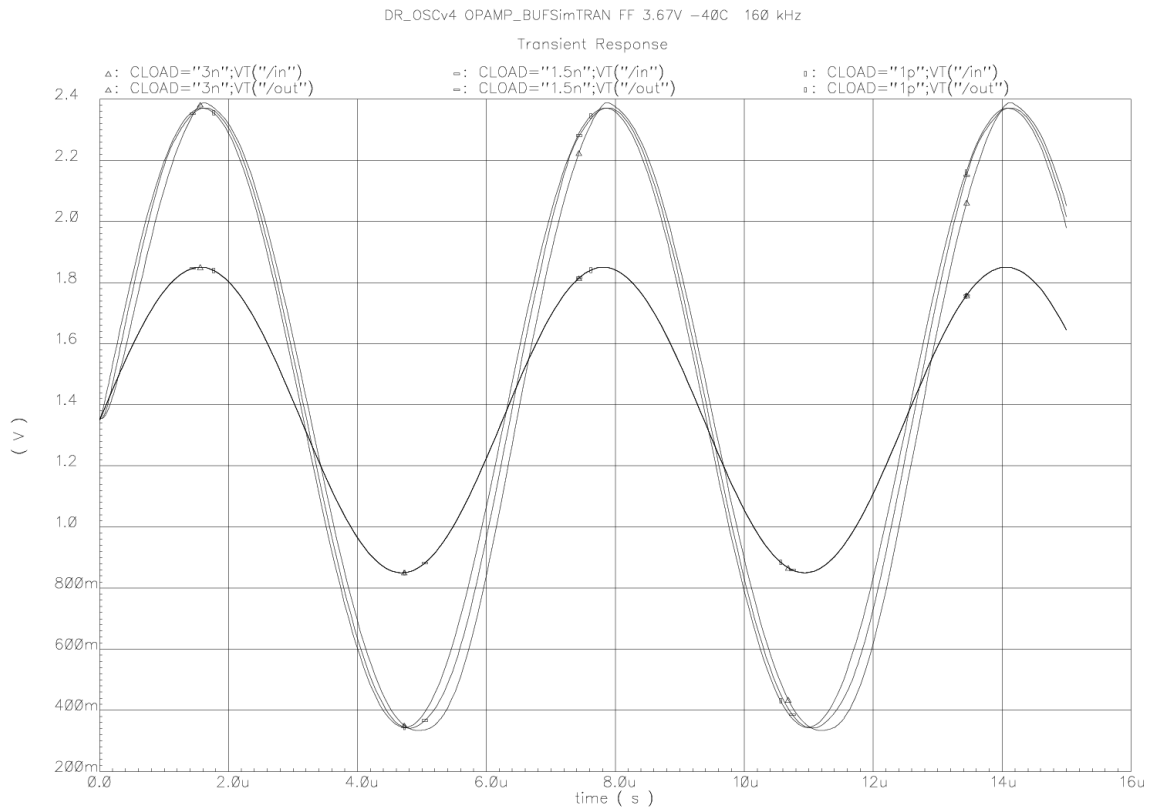


Figura 7.8 Resultado de la simulación transitoria

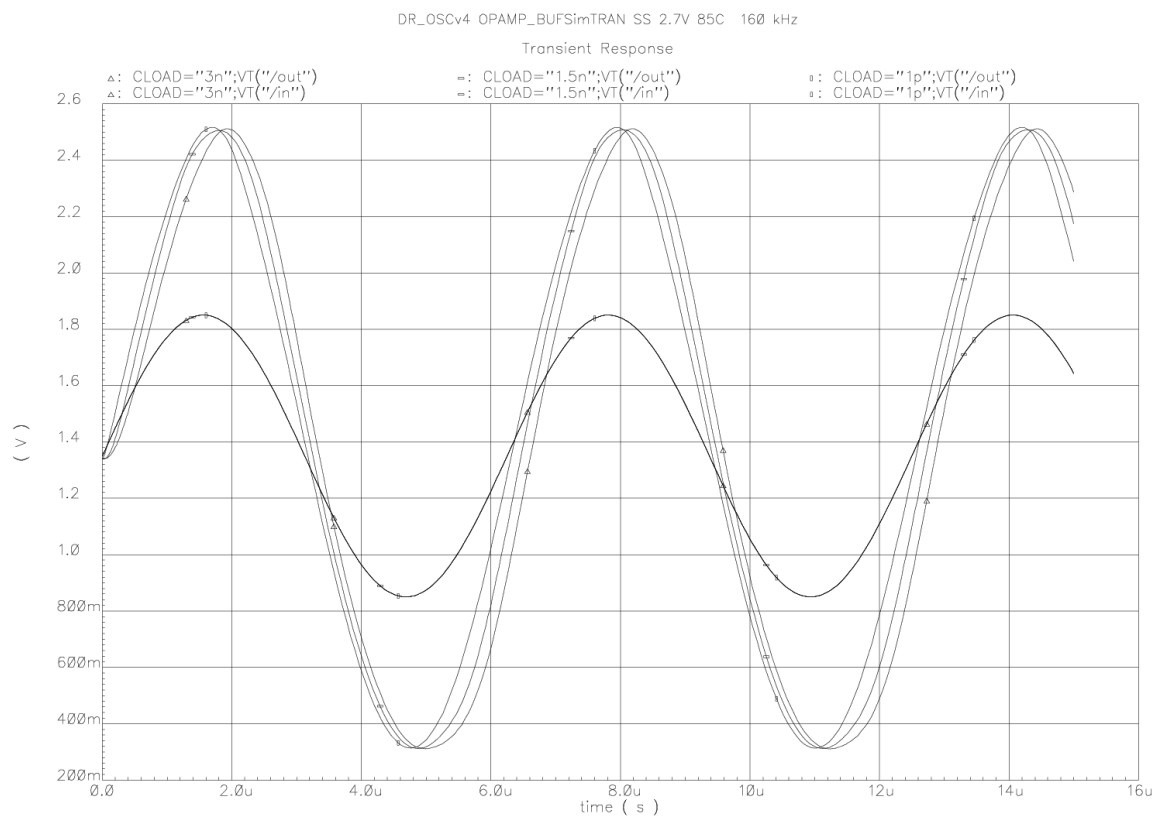


Figura 7.9 Resultado de la simulación transitoria

Para comprobar que el circuito cumple con la condición de consumo de corriente vemos el consumo resultante de la fuente de alimentación VDDA para diferentes casos. Los resultados se muestran en la Tabla 7.2. Donde vemos que todos son inferiores a 1.6mA que es el consumo máximo permitido.

Tabla 7.2 Resultados del consumo de corriente:

Condiciones	Consumo (μA)
TT 27°C 3.3V	652
FF -40°C 3.6V	701
SS 85°C 2.7V	553

La última simulación llevada a cabo para comprobar el correcto funcionamiento de nuestro diseño es la de la relación de rechazo a la fuente de alimentación (PSRR). Como vimos en el Capítulo 3 la PSRR es un parámetro muy importante en los amplificadores operacionales ya que nos dice cómo se comporta el circuito cuando la alimentación varía. Para medirlo usamos el esquema mostrado en la Figura 7.10. A la entrada del amplificador tenemos una señal continua y en la fuente de alimentación introducimos una señal alterna.

En las Figuras 7.11 y 7.12 se muestra el resultado para el caso de variar VDD y GND, respectivamente. En estas gráficas vemos cómo varía la PSRR en función de la frecuencia con diferentes valores de carga a la salida. Comprobamos que en el caso de VDD la PSRR se mantiene constante hasta los 10KHz con un valor de 50dB que es un resultado bastante bueno dado que encontramos con frecuencias de rizado superiores a los 10KHz no es muy común. En el caso de GND comprobamos que la PSRR se mantiene constante hasta los 100KHz y con un valor de 25dB lo cual es un buen resultado.

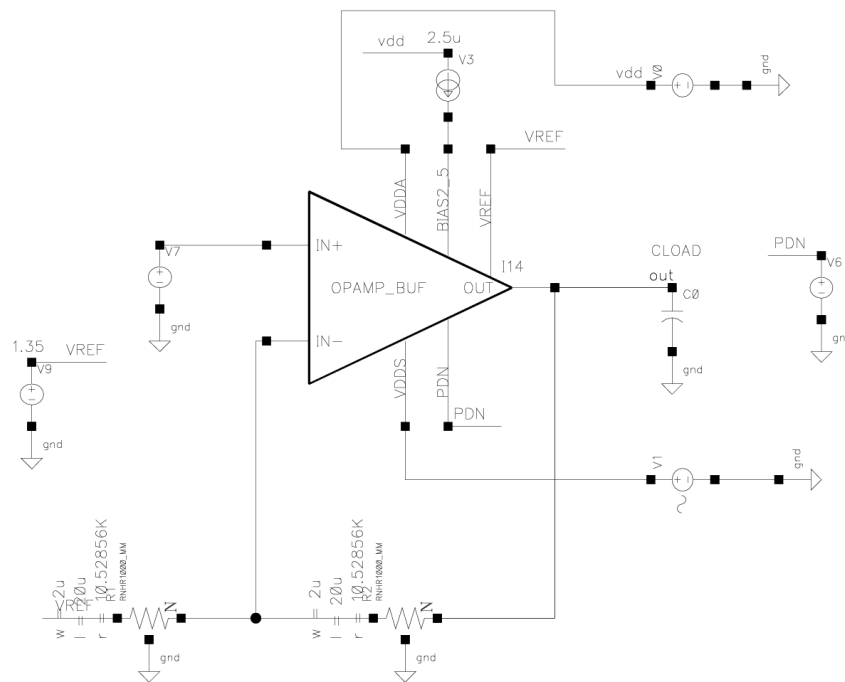


Figura 7. 10 Esquema de simulación de la PSRR

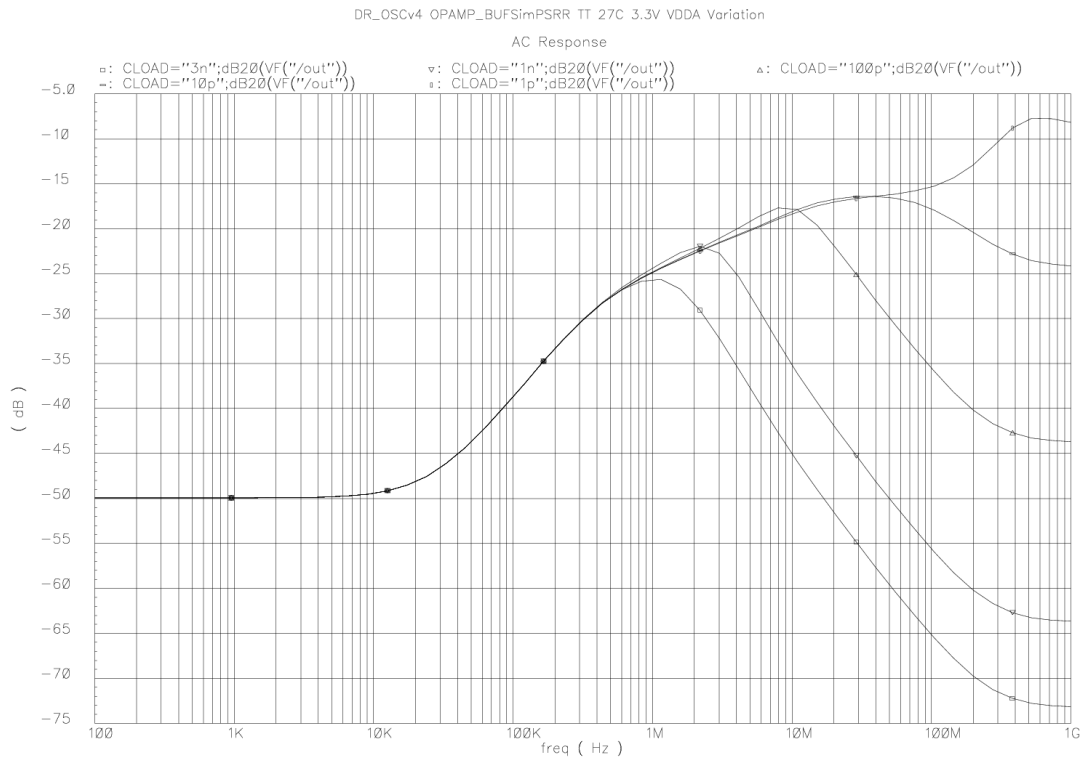


Figura 7.11 Resultado de la simulación PSRR

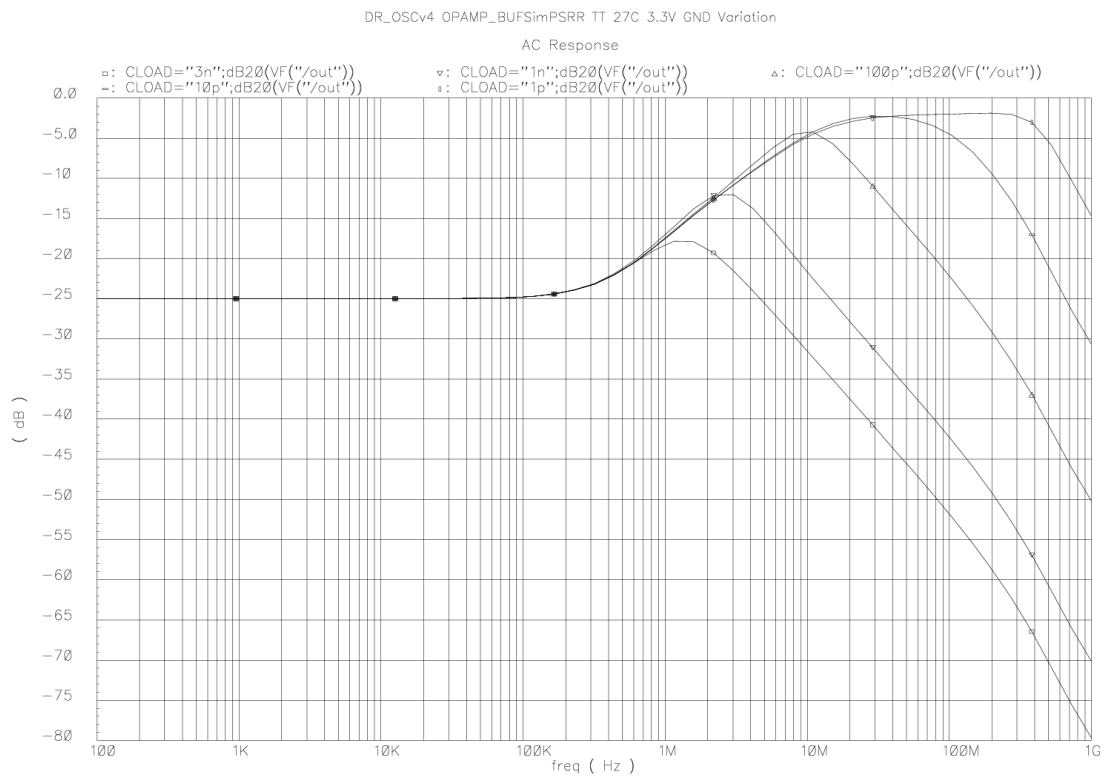


Figura 7.12 Resultado de la simulación PSRR

Una vez comprobado que nuestro circuito tiene un buen comportamiento en todas las pruebas realizadas vamos a comprobar con el *OCEAN* que realmente tiene un buen margen de fase en todos los casos posibles. En la Figura 7.13 vemos el resultado de estas simulaciones donde comprobamos que para los diferentes casos el margen de fase siempre es superior a 40° , con lo que la estabilidad del circuito queda comprobada en todos los casos.

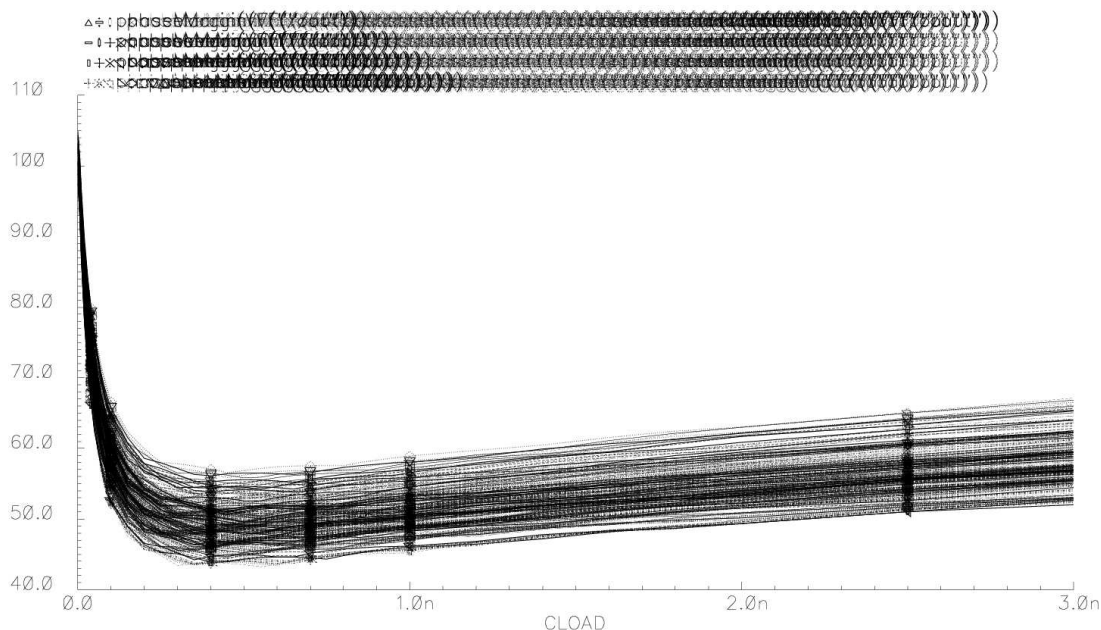


Figura 7.13 Resultado de la simulación con el *OCEAN*

Con esto se concluye que hemos llegado a las especificaciones requeridas cumpliendo con los objetivos inicialmente marcados.

7.4 Líneas futuras

Como se ha podido observar a lo largo de este proyecto, se ha cerrado casi completamente el flujo de diseño de un circuito integrado analógico, hemos partido de un esquemático el cual debía de cumplir una serie de condiciones, una vez comprobado que nuestro diseño cumplía con todas las especificaciones pedidas pasamos al desarrollo del *layout*. Por último, para finalizar el flujo de diseño podría fabricarse el circuito para realizar las medidas necesarias.

Otra tarea que se podría llevar a cabo es realizar este mismo diseño usando diferentes tecnologías, con esto podría hacerse una comparación y determinar de qué forma influye en

los resultados el tipo de tecnología utilizada. Paralelamente, se podría buscar la manera de mejorar el diseño modificándolo de forma que las prestaciones mejoren.

Presupuesto

Una vez completado el diseño de los circuitos y comprobado su correcto funcionamiento, para concluir con el proyecto, en este capítulo se realizará un estudio económico con los costes tanto parciales como totales de este.

Baremos utilizados

El cálculo del presupuesto de este proyecto se ha seguido según la **“Propuesta de baremos orientativos para el cálculo de honorarios”** establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir de 1-01-2006 [30].

Esta propuesta establece que para **“Trabajos tarifados por tiempo empleado”** se aplique:

$$H = H_n * 65 + H_e * 78$$

Siendo:

H = Honorarios a percibir.

Hn = Horas contabilizadas en jornada normal.

He = Horas contabilizadas fuera de la jornada normal de trabajo.

Los honorarios que se obtengan por la aplicación de la clave “H” se reducirán a medida que aumente el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a lo detallado en la Tabla 8.1.

Tabla 8.1 Coeficientes reductores:

HORAS			COEFICIENTE
Hasta	36 horas		C=1
Exceso de	36 horas	hasta 72 horas	C=0,9
Exceso de	72 horas	hasta 108 horas	C=0,8
Exceso de	108 horas	hasta 144 horas	C=0,7
Exceso de	144 horas	hasta 180 horas	C=0,65
Exceso de	180 horas	hasta 360 horas	C=0,60
Exceso de	360 horas	hasta 510 horas	C=0,55
Exceso de	510 horas	hasta 720 horas	C=0,50
Exceso de	720 horas	hasta 1.080 horas	C=0,45
Exceso de	1.080 horas		C=0,40

Cálculo del presupuesto

a) Costes de debidos a los recursos humanos

En este apartado se incluyen los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, en la Tabla 8.2 establecemos unos valores indicativos del tiempo parcial empleado en cada fase del mismo.

Tabla 8.2 Tiempo empleado:

DESCRIPCIÓN TIEMPO	PARCIAL (horas)
Búsqueda y estudio de la documentación	300
Estudio de la herramienta de diseño	80
Análisis y diseño del circuito	500
Realización de la memoria	360

En definitiva, se necesitaron un total de 1240 horas para la realización de este proyecto, consideradas en su totalidad del tipo de jornada normal, con lo que el cálculo “H” resulta:

$$H = 1240 * 65 = 80600$$

Aplicando los coeficientes correctivos, dados por el COITT, a los tramos correspondientes resultan unos honorarios de:

$$H = 80600 * 0,40 = 32.240 \text{ €}$$

b) Costes de amortización de los equipos informáticos y herramientas software

A continuación se detallan, en las Tablas 8.3 y 8.4, los costes relacionados a la utilización de equipos y herramientas software empleados en la elaboración de este proyecto. Los costes están divididos entre el número de usuarios que accedan a estos, los cuales se han estimado en 50 usuarios.

Tabla 8.3 Costes debidos a la utilización de herramientas software:

Descripción	Tiempo de uso	Coste anual (€)		Total (€)
		Total	Usuario	
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	11 meses	903	18,06	16,55
Entorno Windows NT	11 meses	306	6,12	5,61
Microsoft Office 2003/07	11 meses	449	8,98	8,23
Entorno y diseño de simulación Advance Design System (ADS)	11 meses	2208,11	44,162	40,48
Mantenimiento	11 meses	1445,31	28,906	26,49
Cadence con Kit de diseño	11 meses	1500	30	27,50
TOTAL				124,86

Tabla 8.4 Costes debidos a la utilización de equipos informáticos:

Descripción	Tiempo de uso	Coste anual (€)		Total (€)
		Total	Usuario	
Estación de trabajo SUN Sparc Modelo				
Sparc Station 10	11 meses	5228,80	104,57	95,85
Amortización 3 años				
Mantenimiento	11 meses	1274,65	25,49	23,36
Servidor para simulación SUN				
Sparc Station 10	11 meses	5068,53	101,37	92,92
Amortización 3 años				
Mantenimiento	11 meses	1547,65	30,953	28,37
Impresora Hewlett Packard				
Laserjet 4L	11 meses	360	7,20	6,60
Amortización 3 años				
Mantenimiento	11 meses	120,20	2,40	2,20
Ordenador Personal Pentium III				
1 GHz	11 meses	360	7,20	6,60
Amortización 3 años				
Mantenimiento	11 meses	120,20	2,40	2,20
TOTAL				258,10

c) Costes de fabricación

Aunque este circuito no vaya a ser medido en este proyecto en la Tabla 7.5 se muestra los costes derivados a la fabricación de éste. El coste de fabricación para la tecnología empleada es de 13100€/bloque siendo cada bloque de 5x5mm[32].

Tabla 8.5 Costes de fabricación:

Descripción	mm ²	Precio mm ² (€)	Gastos (€)
Fabricación de los circuitos	0,00925	524	4,847 ¹
TOTAL			4,847

d) Otros costes

En este apartado se incluyen los costes debidos al uso de Internet, material fungible y la elaboración del documento final.

Tabla 8.6 Otros costes:

Descripción	Unidades	Costes unidad	Total (€)
Horas de uso de Internet	350	1,2 €/hora	450
Paquetes de DIN_A4 80 gr/m ²	3	5 €	15
Fotocopias	1000	0,04 €	40
Otros gastos			100
TOTAL			575

e) Presupuesto total

Para finalizar en la Tabla 8.7 se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

¹ Este precio no es real. El *layout* que hemos realizado se trata de un núcleo el cual podemos usarlo como parte de un circuito mayor o bien añadirle *pads* para su fabricación, por lo tanto, el precio real sería mucho mayor debido al aumento de área que esto conllevaría.

Tabla 8.7 Presupuesto total:

Descripción	Gastos (€)
Costes de recursos humanos	32240
Costes de herramientas de software	124,86
Costes de equipos informáticos	258,10
Costes de fabricación	4,847
Otros costes	575
PRESUPUESTO FINAL	33202,8
TOTAL (I.G.I.C 5%)	34862,94

Da. Enara Ortega García declara que el proyecto “Diseño de un amplificador operacional CMOS integrado para ser utilizado como driver para altas cargas capacitivas” asciende a un total de treinta y cuatro mil ochocientos sesenta y dos euros con noventa y cuatro céntimos.

Fdo. Enara Ortega García

DNI: 42193868.

Las Palmas, a de Julio de 2009

Bibliografía

- [1] John A. Fisher and Roudolf Koch, “A Highly Linear CMOS Buffer Amplifier”, IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 3, Junio 1987.
- [2] Michael Steyaert and Willy Sansen, “A High-Dynamic-Range CMOS Op-Amp with Low-Distortion Output Structure”, IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 6, Diciembre 1987.
- [3] Roubik Gregorian, “Introduction to CMOS Op-Amps and Comparators”, John Wiley & Sons, Inc. 1999.
- [4] Mitra Mirhassani, Majid Ahmadi, William C. Miller, “A Class-AB Output Buffer for Driving High Capacitive Loads”, The Research Centre for Integrated Microsystems, University of Windsor, Windsor, Canada.
- [5] Stehen L. Wong and C. Andre T. Salma “An Efficient CMOS Buffer for Driving Large Capacitive Loads”, IEEE Journal of Solid-State Circuits, Vol. SC-21, No. 3, Junio 1986.

- [6] Aria Nosratinia, M. Ahmadi, G.A. Jullien and M. Shridhar, "A High-Drive Buffer for High Capacitive Loads", Department of Electrical Engineering, University of Windsor, China 1991 International Conference on Circuits and Systems, Junio 1991.
- [7] Paul R. Gray and Robert G. Meyer, "MOS Operational Amplifier Design - A Tutorial Overview", IEEE Journal of Solid-State Circuits, Vols. SC-17, No.6, Diciembre 1982.
- [8] Jirayuth Mahattanakul and Jamorn Chutichatuporn, "Design Procedure for Two-Stage CMOS Opamp With Flexible Noise-Power Balancing Scheme", IEEE Transactions on Circuits and Systems-I: Regular Papers, Vol.52, No.8, Agosto 2005.
- [9] Wen-Chung S. Wu, Ward J. Helms, Jay A. Kuhn, and Bruce E. Byrnett, "Digital-Compatible High-Performance Operational Amplifier with Rail-to-Rail Input and Output Ranges", IEEE Journal of Solid-State Circuits, Vol.29, No.1. Enero 1994.
- [10] Phillip E. Allen and Douglas B. Holberg. "CMOS Analog Circuit Design". Holt, Rinehart and Winston; 1987.
- [11] F. Javier del Pino, "Tema 4: El transistor MOS", ULPGC.
- [12] Phillip E. Allen and Douglas B. Holberg, "CMOS Analog Circuit Design", Oxford University Press, 2002.
- [13] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill Higher Education, 2001.
- [14] K. R. Laker y W.M. C. Sansen, "Design of Analog Integrated Circuits and Systems", McGraw-Hill, 1994.
- [15] R. Esper-Chaín Falcón, J. M. Cabrera Peña, J. M. Cerezo Sánchez y M. Marrero Martín, "Electrónica Analógica", Tomos I y II, Universidad de Las Palmas de Gran Canaria, 1997.
- [16] Paul R. Gray and Robert G. Meyer, "Análisis y Diseño de Circuitos Integrados Analógicos", Pearson Educación; 1995.

-
- [17] A. Rubio, J. Altet, X. Aragonés, J. L. González, D. Mateo y F. Moll, “Diseño de circuitos y sistemas integrados,” Ediciones UPC, pp. 23-39, 2003
- [18] David Jonhs and Ken Martin, “Analog Integrated Circuit Design”, John Wiley & Sons, 1997.
- [19] T. Kuendiger, J. Schrey, I. Taha, Yi Lin, Tao Dai, Li Liang, Song-Tao, Yue, “Cadence Op-Amp Schematic Design Tutorial for TSMC CMOSP35”, Diciembre 2007.
- [20] R. Jacob Baker, Harry W. Li and David E. Boyce, “CMOS Circuit Design, Layout and Simulation”, IEEE Press, 1998.
- [21] C. T. Sah, “Characteristics of the Metal-Oxide-Semiconductors Transistors”, IEEE Trans. Electron Devices, ED-11, 324, 1964.
- [22] Pavan K Alli, “Testing a CMOS Operational Amplifier Circuit using a combination of oscillation and I_{DDQ} test methods”, The Department of Electrical and Computer Engineering of Osmania University, 2004.
- [23] Khomang Phang, “Operational Amplifiers Rail to Rail Input Stage Using Complementary Differential Pairs”, Noviembre 2002.
- [24] Juan Meléndez Lagunilla “Diseño de un Terminal de Conversión Directa a Baja Frecuencia para GPS en Tecnología CMOS”, Univ. De Navarra, 2001.
- [25] Dan Klein, “CMOS IC LAYOUT Concepts, Methodologies, and Tools”, Elsevier, 2000.
- [26] Página de ebrary <http://site.ebrary.com/lib/bibliotecaulpgc>
- [27] Página web de IEEE: <http://www.ieee.org>
- [28] Página web del IUMA: <http://www.iuma.ulpgc.es>
- [29] Manuales CADENCE: <http://www.cadence.com>

- [30] Página web del COITT: <http://www.coitt.es>
- [31] Software y manuales ADS: <http://www.agilent.com>
- [32] Europractice <http://www.europractice-ic.com>