

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN
Y ELECTRÓNICA**



PROYECTO FIN DE CARRERA

**Diseño de un Mezclador para Televisión Digital Vía Satélite
DVB-SH basado en Convertidores de Corriente en Tecnología
CMOS 90 nm**

Titulación: Ingeniero Técnico de Telecomunicación, especialidad en Sistemas Electrónicos

Tutores: Dr. Francisco Javier del Pino Suárez
Hugo García Vázquez

Autor: Víctor David Pérez Pérez

Fecha: Diciembre 2012

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN
Y ELECTRÓNICA**



PROYECTO FIN DE CARRERA

**Diseño de un Mezclador para Televisión Digital Vía Satélite
DVB-SH basado en Convertidores de Corriente en Tecnología
CMOS 90 nm**

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:

Titulación: Ingeniero Técnico de Telecomunicación, especialidad en Sistemas Electrónicos

Tutores: Dr. Francisco Javier del Pino Suárez

Hugo García Vázquez

Autor: Víctor David Pérez Pérez

Fecha: Diciembre 2012

Agradecimientos

En primer lugar quiero agradecer a mis tutores el Dr. Francisco Javier del Pino Suárez y D. Hugo García Vázquez por haberme dado la oportunidad de hacer este proyecto fin de carrera con ellos. No tengo palabras para expresar mi gratitud por toda la ayuda que me han prestado, ya que sin ella no podría haber aprendido tanto. Por otro lado, quiero darles las gracias a Dailos Ramos Valido, Sunil Lalchand Khemchandani, Rubén Pulido Medina y Enara Ortega García que también han estado ahí para todo lo que me hizo falta.

Agradezco al Instituto Universitario de Microelectrónica Aplicada (IUMA) por darme la oportunidad de utilizar sus instalaciones y recursos. A todas esas personas que de una manera u otra colaboraron o fueron parte de este proyecto.

Gracias también a todos mis compañeros, con los que he compartido infinidad de experiencias durante todos estos años, dentro y fuera de las aulas.

Y sobre todo agradecer enormemente a mi familia su apoyo incondicional, dándome cariño y comprensión en los momentos en los que más lo necesité. Son lo más importante de mi vida.

De todo corazón, GRACIAS.

MEMORIA

CAPÍTULO 1: INTRODUCCIÓN	1
1.1 OBJETIVOS	3
1.2 ESTRUCTURA DE LA MEMORIA	4
CAPÍTULO 2: ESTÁNDAR <i>DVB-SH</i> Y ESTUDIO DE LA TECNOLOGÍA	7
2.1 EL ESTÁNDAR <i>DVB-SH</i>	8
2.1.1. Rango de frecuencias de trabajo.....	9
2.1.2. Arquitectura del receptor.....	10
2.2 DESCRIPCIÓN DE LA TECNOLOGÍA UMC 90 NM.....	13
2.2.1. La tecnología UMC 90 nm para Señal Mixta y Radiofrecuencia.....	14
2.2.2. Metodología de diseño orientada a la fabricación.....	17
2.2.3. Flujo de diseño MS/RF y FDK.....	18
2.3 CONCLUSIONES.....	19
CAPÍTULO 3: ANÁLISIS TEÓRICO DEL CIRCUITO	21
3.1 INTRODUCCIÓN	21
3.2 TEORÍA BÁSICA DEL MEZCLADOR	21
3.3 PARÁMETROS DEL MEZCLADOR.....	23
3.3.1. Ganancia de conversión	23
3.3.2. Figura de ruido	24
3.3.3. Linealidad	26
3.3.3.1. Punto de compresión	26
3.3.3.2. Distorsión de intermodulación de tercer orden.....	26
3.3.4. Aislamiento.....	28
3.4 TIPOS DE MEZCLADORES	28
3.5 MEZCLADORES CMOS PASIVOS BASADOS EN CCII.....	30
3.5.1. Mezcladores pasivos con amplificadores operacionales.....	30
3.5.2. Mezcladores pasivos con convertidores de corriente.....	33
3.6 LOS CONVERTIDORES DE CORRIENTE: TEORÍA Y PRÁCTICA.....	35
3.6.1. Circuitos en modo-corriente: breve historia de los convertidores de corriente.....	35
3.6.1.1. Metodología del diseño en modo corriente.....	35
3.6.1.2. Breve historia de los convertidores de corriente de primera y segunda generación.....	36

3.6.2.	El convertidor de corriente ideal	43
3.6.3.	El convertidor de corriente real.....	44
3.6.4.	Amplificadores de transimpedancia basados en convertidores de corriente	46
3.7	CONCLUSIONES	47
 CAPÍTULO 4: DISEÑO DEL CIRCUITO		49
4.1	INTRODUCCIÓN	49
4.2	TOPOLOGÍA DEL CIRCUITO	49
4.3	DISEÑO DEL CIRCUITO.....	50
4.4	DISEÑO A NIVEL DE ESQUEMÁTICO	51
4.4.1.	Optimización de las tensiones de polarización	51
4.4.2.	Optimización del núcleo del convertidor de corriente.....	53
4.4.3.	Ajuste de las corrientes de polarización.....	55
4.4.4.	Optimización de la etapa de salida.....	58
4.5	DISEÑO COMPLETO Y SIMULACIONES FINALES	62
4.6	DISEÑO A NIVEL DE <i>LAYOUT</i>	67
4.6.1.	Conceptos relacionados con el diseño a nivel de <i>layout</i>	68
4.6.2.	Diseño del layout.....	69
4.7	INTEGRACIÓN EN EL RECEPTOR DE RF	73
4.7.1.	Distribución de <i>pads</i> en el <i>layout</i> final	75
4.8	CONCLUSIONES	79
 CAPÍTULO 5: CONCLUSIONES		81
 PRESUPUESTO		P
P.1	COSTES DE RECURSOS HUMANOS.....	P-1
P.2	COSTES DE INGENIERÍA	P-2
P.3	COSTES DE AMORTIZACIÓN.....	P-2
P.4	COSTES DE FABRICACIÓN.....	P-4
P.5	OTROS COSTES.....	P-4
P.6	PRESUPUESTO TOTAL	P-5
 BIBLIOGRAFÍA		B
 ANEXO		A

Capítulo 1

Introducción

Desde la llegada de la televisión digital, la forma tradicional de interactuar con este medio está cambiando radicalmente, tanto por la diversidad de nuevas aplicaciones como por la calidad de los servicios ofertados. Cabe citar, por ejemplo, la televisión de alta definición, en 3D, la posibilidad de envío de audio codificado en diversos canales (*Dolby Surround*) [1], la inclusión de diversos canales y la posibilidad de programación “a la carta”. Este proceso se está viendo favorecido por el “apagón analógico”, que ha llevado a la distribución exclusiva de contenidos digitales.

Paralelamente, se está produciendo la revolución de las aplicaciones móviles. La continua progresión de diversas tecnologías (integración de circuitos CMOS, baterías eficientes, pantallas de gran calidad, almacenamiento masivo de memoria en espacios cada vez más reducidos) está provocando que los reproductores multimedia ofrezcan más posibilidades.

En la actualidad ya pueden encontrarse en el mercado dispositivos reproductores de música y vídeo o tabletas que se complementan con la telefonía móvil o dispositivos localizadores GPS.

Por lo tanto, es lógico prever que en los próximos años se produzca una nueva revolución en los dispositivos móviles: la introducción de la capacidad de recibir señales de televisión de forma continua [2]. En este sentido, a principios de la década se dio el primer paso con la elaboración del estándar *DVB-H* (*Digital Video Broadcasting for Handheld Devices*) [3]. Este estándar recogía las características básicas de *DVB-T* (TDT, Televisión Digital Terrestre) [4] para adaptarlas a las necesidades de movilidad y bajo consumo. Sin embargo, existe un problema que dificulta el despliegue de este sistema, y es el elevado coste de implementación de la red de repetidores necesaria para realizar la transmisión en condiciones óptimas. Por ello, últimamente ha aparecido un nuevo estándar, denominado *DVB-SH* (*Digital Video Broadcasting Satellite to Handheld Devices*) [5], que asegura la calidad de la transmisión postulando una red híbrida terrestre-satelital (ver Figura 1.1).

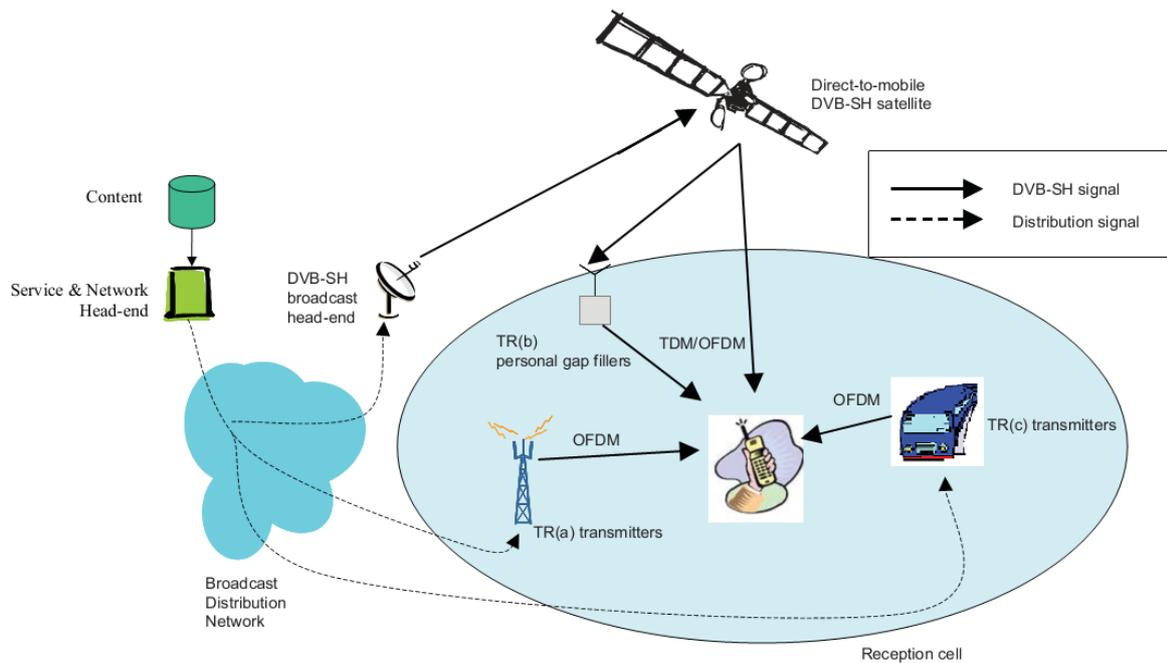


Figura 1.1. Sistema de transmisión *DVB-SH*. [5]

En la Unión Europea, se tiene reservada parte de la banda S (2 GHz) para estas aplicaciones. La comunicación vía satélite es el medio más adecuado para dar cobertura a grandes extensiones si la población es lo suficientemente numerosa. Sin embargo, la comunicación tendrá calidad sólo si hay visión directa entre el satélite y el receptor, condición que puede no satisfacerse por receptores móviles cuando se hallan en interiores o en

movimiento al atravesar zonas de sombra. Por ello *DVB-SH* propone introducir redundancia mediante una red terrestre complementaria (*DVB-H*).

Desde el punto de vista técnico, el desarrollo de terminales de recepción de *DVB-SH* supone un importante reto tecnológico que es abordado en este proyecto. Los requerimientos necesarios para la transmisión de televisión digital ya eran especialmente duros en *DVB-H*: gran ancho de banda, bajo nivel de ruido y elevada linealidad, impuestas por la modulación OFDM. A todo esto se añade ahora la necesidad de trabajar en la banda S, sobre los 2 GHz, un auténtico desafío para la implementación en tecnología CMOS de bajo coste.

1.1 Objetivos

El presente proyecto tiene como objetivo principal realizar el diseño de un mezclador para Televisión Digital Vía Satélite para dispositivos móviles *DVB-SH*, basado en convertidores de corriente en tecnología CMOS 90 nm.

Para el diseño tanto del mezclador como del convertidor de corriente, inicialmente se llevará a cabo un estudio teórico para comprender los parámetros básicos de los sistemas de radiofrecuencia, el funcionamiento de los convertidores de corriente y mezcladores y el estudio de la tecnología a emplear.

Una vez completado el estudio teórico se procede a la elaboración del diseño. Para la elaboración del mismo se seguirá el flujo de diseño típico en un sistema integrado, es decir, se partirá de un diseño a nivel de esquemático que poco a poco se irá optimizando para, posteriormente, pasar a la elaboración del *layout* del mismo y comprobar mediante simulación *post-layout* su validez. Es digno de mención que al tratarse de un sistema analógico, el diseño a nivel de *layout* debe realizarse enteramente a mano (*full-custom*) ya que no se dispone de células estándar que faciliten el diseño del mismo.

En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.2 Estructura de la memoria

En este capítulo introductorio se ha pretendido ofrecer una visión general sobre la situación referida a la Televisión Digital Vía Satélite para dispositivos móviles (*DVB-SH*), así como la finalidad y objetivos planteados para este proyecto fin de carrera.

En el capítulo 2 abordaremos el estudio de las características del estándar *DVB-SH* en el que se ha basado nuestro proyecto. En la segunda parte se procede al estudio de la tecnología empleada en este trabajo, en este caso CMOS 90 nm, suministrada por la empresa *UMC (United Microelectronic Corporation)* [6].

Posteriormente, en el capítulo 3, realizaremos un estudio de los mezcladores de frecuencias. Analizaremos su función dentro de los sistemas de comunicación, haciendo énfasis en sus parámetros y en los tipos de mezcladores que podemos encontrarnos, así como un estudio de las topologías más empleadas. Del mismo modo, presentaremos las características principales así como el comportamiento de los convertidores de corriente, tanto desde el punto de vista teórico como sus modelos, evolución y diferentes topologías. Por último nos centraremos en el estudio de los mezcladores basados en convertidores de corriente ya que son los que vamos a utilizar en este proyecto.

Una vez estudiados los diferentes conceptos teóricos de los elementos que integran nuestro circuito, en el capítulo 4 se pasará al diseño a nivel de esquemático del mismo, haciendo uso de la herramienta *Cadence* [7]. Realizaremos una serie de simulaciones para ver el comportamiento del circuito y proceder a su optimización, utilizando los diferentes entornos de simulación que nos brinda la herramienta de diseño *ADS (Advanced Design System)* [8]. A continuación se obtendrán mediante las diferentes simulaciones que nuestro circuito cumple con las especificaciones requeridas para este proyecto, pasando a la implementación física del diseño. Con el *layout* generado, se realizan una serie de simulaciones *post-layout* para asegurar la correcta implementación de nuestro diseño. Finalmente se realiza la integración de nuestro diseño con otros bloques de la cadena de recepción para formar un receptor de Radiofrecuencia completo.

Por último, en el capítulo 5, tras realizar el diseño completo y haber comprobado su correcto funcionamiento, se incluye un resumen con las principales conclusiones y los resultados obtenidos en este proyecto.

Posteriormente, se presenta el presupuesto del proyecto en el que se detallan la totalidad de los costes (materiales, mano de obra, etc).

Capítulo 2

Estándar *DVB-SH* y estudio de la Tecnología

En el capítulo anterior hemos visto una introducción general de cómo se ha desarrollado nuestro proyecto y se estableció el estándar sobre el que íbamos a trabajar. En nuestro caso se trata del denominado *DVB-SH* [5], Televisión Digital Vía Satélite para dispositivos móviles.

Este capítulo tiene como objetivo definir el citado estándar *DVB-SH*, así como la arquitectura del receptor. Para ello, primero se realizará una introducción al estándar, dando a conocer las principales características, seguidamente se analiza la arquitectura del receptor, buscando minimizar el número de componentes para reducir el área total y la obtención del máximo nivel de integración.

En la segunda parte de este capítulo se hará un estudio de la tecnología que se va a utilizar en este proyecto. Con este estudio pretendemos dar una visión general de la tecnología 1P9M 90 nm de la fundidora UMC. Para ello comenzaremos con una introducción de la

fundidora para posteriormente abordar la tecnología 90 nm de UMC para Señal Mixta y Radiofrecuencia (MS/RF del inglés *Mixed Signal/Radio Frequency*). Seguidamente se describe la metodología que se utiliza para realizar un diseño. Para finalizar se presenta el flujo de diseño MS/RF y el kit de diseño.

2.1 El estándar *DVB-SH*

El estándar *DVB-SH* (*Digital Video Broadcasting-Satellite to Handhelds*) Televisión Digital por Satélite para dispositivos portátiles está basado en el estándar *DVB-H* (*Digital Video Broadcasting-Handheld*) Televisión Digital Terrestre para dispositivos portátiles. Este último surge de dos de los productos de consumo más vendidos de la historia, los televisores y los teléfonos móviles.

La televisión en el móvil o *DVB-H* [3] es una adaptación a un entorno móvil del *DVB-T* [4], lo que en España se conoce popularmente como TDT, cumpliendo con los requerimientos específicos y técnicos de los receptores portátiles y alimentados por baterías.

El estándar *DVB-SH* (*Digital Video Broadcasting-Satellite to Handhelds*) es un sistema híbrido satélite/terrestre. Dicho estándar brinda una forma eficiente de proveer servicios multimedia a una gran variedad de dispositivos móviles a través de redes híbridas de transmisión satelitales y terrestres y a frecuencias por debajo de los 3 GHz. Entre estos dispositivos se incluyen los portátiles de mano (*PDA*s, *smartphones*, *tablets*, etc), los montados en vehículos, así como terminales estacionarios [5].

Sin embargo, al igual que sucede con otros sistemas de transmisión de televisión digital, el estándar *DVB-SH* presenta una serie de limitaciones:

- Debido a las limitaciones de batería de los dispositivos móviles, el consumo de potencia del receptor debe ser lo menor posible.
- Dado que el usuario se traslada espacialmente mientras utiliza los servicios de televisión digital, éste puede cambiar de estación mientras mantiene la recepción de datos. Dicho cambio debe de ser automático, sin pérdida de datos y totalmente transparente para el usuario.
- Los servicios suministrados por *DVB-SH* han sido diseñados para trabajar en medios muy diversos, tales como exteriores e interiores de edificios y vehículos

en movimiento. Por tanto, la transmisión debe ofrecer la suficiente estabilidad y flexibilidad para permitir la recepción de *DVB-SH* a diferentes tasas binarias mientras se optimiza la cobertura.

- Como la banda especificada para *DVB-SH* se encuentra muy cercana a otros estándares de comunicaciones, tales como UMTS o WiFi, tanto los receptores como los transmisores deben poseer los medios necesarios para eliminar la interacción de dichas señales, y que no supongan una reducción de la calidad de servicio para el receptor.

2.1.1. Rango de frecuencias de trabajo

El estándar *DVB-SH* ofrece una gran versatilidad en lo que a frecuencias de trabajo se refiere, dando la posibilidad de emplear parte del espectro de UHF, la banda L y la banda S.

La red híbrida terrestre-satelital resulta ser un método eficiente para la distribución de la señal de televisión digital móvil. La Unión Europea ha reservado una banda de 30 MHz que abarca desde los 2170 MHz hasta los 2200 MHz a los sistemas híbridos terrestres satelitales [9]. Como se puede observar en la Figura 2.1, la banda asignada a *DVB-SH* es adyacente a la banda empleada por UMTS, de modo que los operadores de ésta última pueden realizar un despliegue de red más eficiente, ya que es posible reutilizar antenas y emplazamientos de la red UMTS para instalar repetidores *DVB-SH*. Se estima que esto permitiría reducir en un 50 % el coste del despliegue.

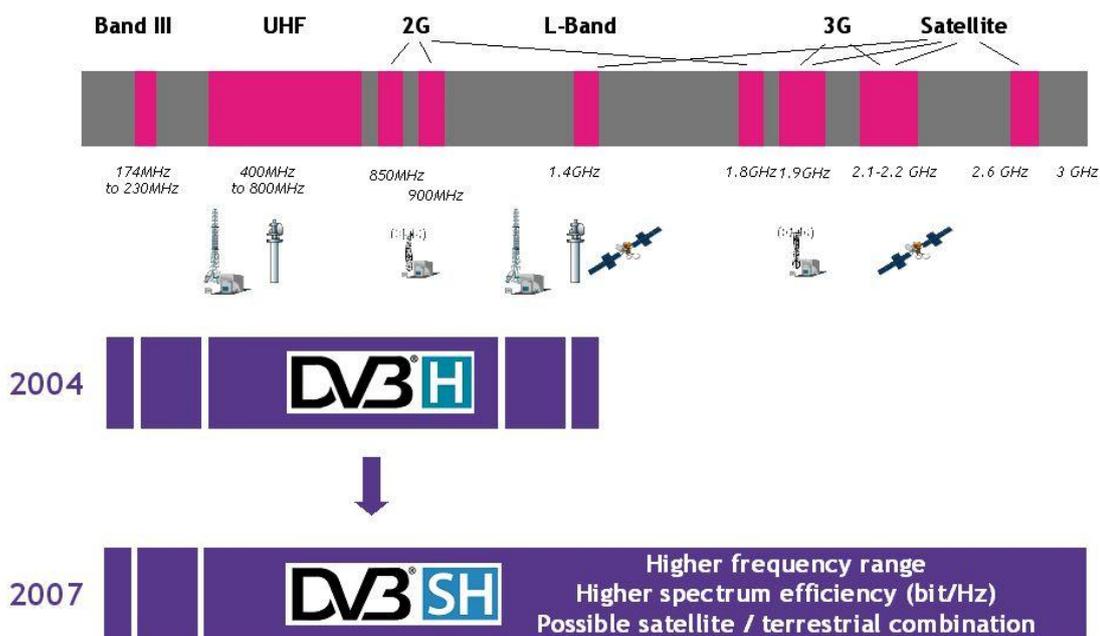


Figura 2.1. Rango de frecuencias [10].

2.1.2. Arquitectura del receptor

Como se comentó anteriormente, *DVB-SH* posee una arquitectura híbrida, con una componente satelital (SC) y una componente terrestre (CGC). El funcionamiento de la red está basado en que la componente satelital sea empleada para cubrir extensas áreas que no posean repetidores que puedan dar cobertura al usuario. Del mismo modo, la componente terrestre, a través de las bases repetidoras, suministran el acceso a la red en aquellos puntos que la cobertura satelital no sea posible, tales como interiores de edificios o zonas rodeadas por grandes edificios.

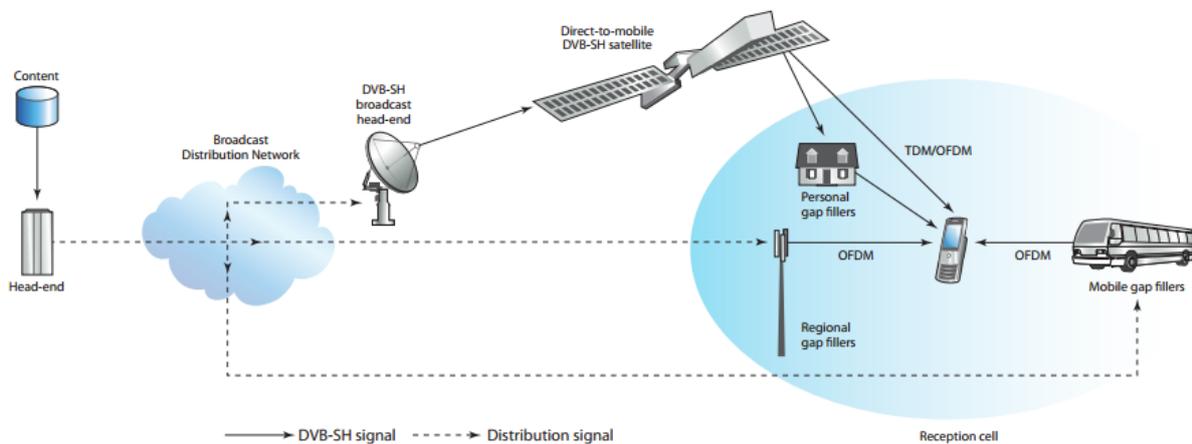


Figura 2.2. Arquitectura *DVB-SH* de referencia [5].

La Figura 2.2 [5] muestra la arquitectura de referencia de la especificación *DVB-SH* que emplea señales COFDM (*Coded Orthogonal Frequency Division Multiplexing*) en la red terrestre complementaria y señales COFDM o TDM (*Time Division Multiplexing*) en la transmisión vía satélite. COFDM permite el despliegue de redes de frecuencia única en las que los receptores pueden combinar todas las señales provenientes de los transmisores a su alcance (incluido el satélite), a condición de que el retardo entre señales no supere el intervalo de guarda de la señal OFDM. La onda TDM permite mayores potencias de transmisión en el satélite.

La presencia de dos capas físicas aumenta las posibilidades de configuración del sistema, y da lugar a dos arquitecturas diferentes:

- Arquitectura SH-A: ambas componentes, la satelital y la terrestre emplean OFDM.
- Arquitectura SH-B: la componente satelital emplea TDM y la componente terrestre OFDM.

La arquitectura SH-A permite la implantación tanto de redes de frecuencia única como multifrecuenciales. En las primeras, de elevada eficiencia espectral, tanto la componente del satélite como la terrestre transmiten los mismos contenidos a la misma frecuencia. Las redes multifrecuenciales SH-A presentan menor eficiencia espectral, pero permiten la transmisión de contenidos locales junto con los de ámbito nacional. En arquitecturas SH-B cada una de las dos componentes de señal debe transmitirse a distintas frecuencias para evitar interferencias, de modo que la red es multifrecuencial. La existencia de dos arquitecturas implica la presencia de dos tipos de terminales disponibles, uno para cada arquitectura. Los terminales de tipo SH-B son compatibles con una arquitectura SH-A, pudiendo funcionar tanto en una red de frecuencia única como multifrecuencial, no ocurriendo así a la inversa.

Con objeto de abarcar un amplio mercado, *DVB-SH* ofrece gran libertad en el desarrollo de terminales. La especificación identifica hasta tres categorías:

- Categoría 1 : terminales montados en automóviles (vehicular)
- Categoría 2 : dispositivos portátiles de televisión, que se sub-clasifican en:
 - 2a: pantalla grande (superior a 10") dispositivos portátiles alimentados mediante baterías o a través de la red eléctrica.
 - 2b: de bolsillo (*handheld*) alimentados mediante baterías, principalmente.
- Categoría 3: dispositivo de bolsillo con teléfono móvil/modem integrado

Dependiendo de la categoría del terminal de que se trate, la especificación plantea varias soluciones para el cabezal. La Figura 2.3 y la Figura 2.4 ofrecen propuestas para los de categoría 1 y 3, respectivamente.

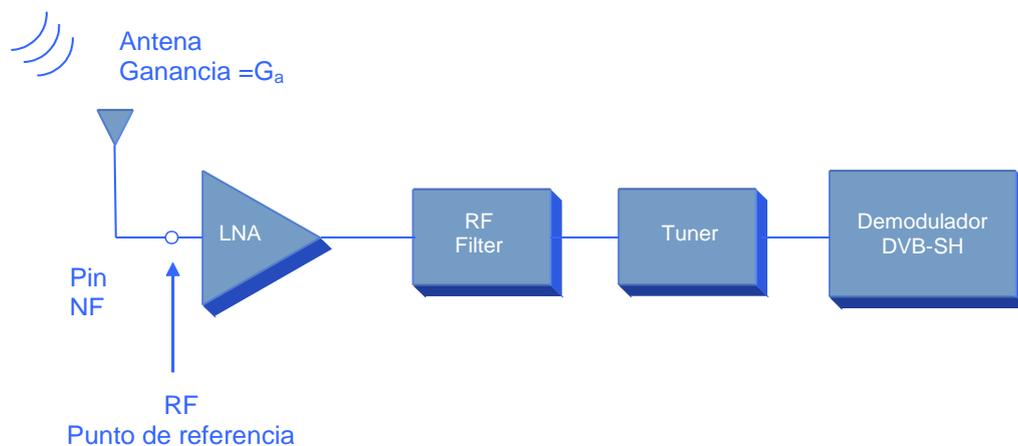


Figura 2.3. Arquitectura del receptor de categoría 1.

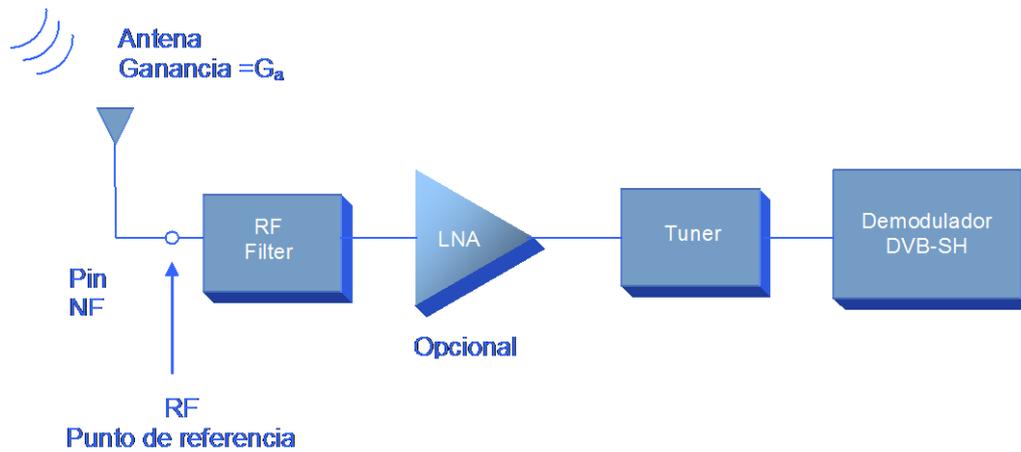


Figura 2.4. Arquitectura del receptor de categoría 3.

Debido al gran éxito de los diferentes ensayos de *DVB-H*, llevados a cabo en distintos países de Europa en los últimos años, han ido apareciendo paulatinamente diversos cabezales *DVB-H*, tanto a nivel comercial como en la literatura científica. En lo que respecta a receptores *DVB-SH*, no se han encontrado en la literatura cabezales específicos para recepción portátil (categorías 2 y 3), si bien algunos fabricantes comienzan a presentar chipsets digitales para la demodulación *DVB-SH*.

Para este proyecto hemos diseñado un mezclador basado en convertidores de corriente para un receptor de categoría 3 y destinado a un uso en redes SH-B. Los motivos que nos llevaron a tomar esta decisión fueron, por una parte, que la implementación de un terminal de categoría 3 supone un mayor reto aún si cabe, ya que los requerimientos para una correcta demodulación son más difíciles de alcanzar. Por otra parte, un receptor compatible con redes de transmisión SH-B permite su uso en redes SH-A.

La representación del receptor fue definida de acuerdo al modelo de referencia mostrado en la Figura 2.5. El punto de referencia se toma para obtener las especificaciones de RF.

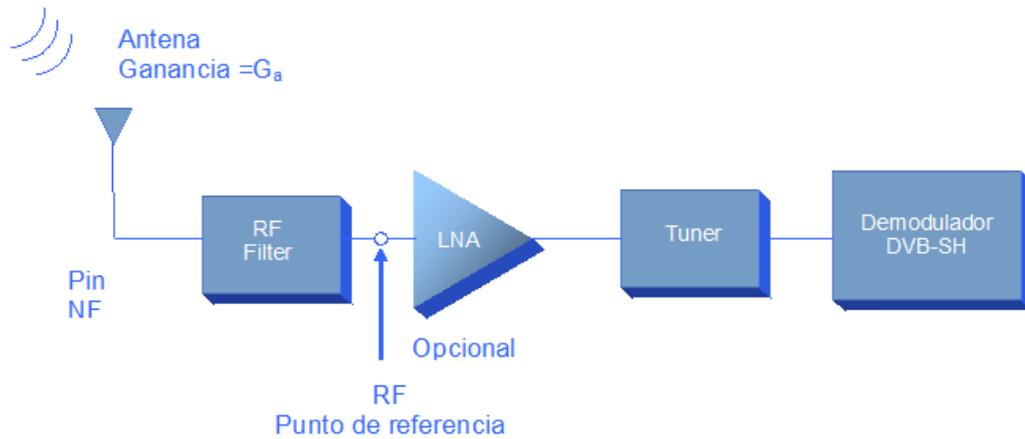


Figura 2.5. Receptor de referencia usado en el diseño.

A continuación, en la Tabla 2.1 se muestra un resumen con las especificaciones del receptor de RF para *DVB-SH* que se han obtenido de [5] y [11], las cuales se han usado para nuestro diseño.

Tabla 2.1. Especificaciones del receptor de RF para *DVB-SH*.

Arquitectura del Receptor	ZERO-IF
Sensibilidad	-112.55 dBm
Figura de Ruido	3 dB
Máxima Ganancia	92.55 dB
Rango Dinámico	86.05 dB
Máximo Nivel de entrada	-25 dBm
CNR máximo	11.2 dB
Ancho de Banda del canal	8 MHz
IIP3	-0.17 dBm
ACS	60 dB

2.2 Descripción de la Tecnología UMC 90 nm

La compañía *United Microelectronics Corporation* (UMC) es una de las fundidoras de tecnologías en semiconductor líderes del sector [6]. Dicha compañía ofrece modernas tecnologías para la fabricación de sofisticados diseños de sistemas *on-chip*.

UMC ha ofrecido productos personalizados basados en 90nm desde el año 2003 y en la actualidad cuenta con una amplia gama de artículos que ocupan los primeros puestos de las

listas de los más vendidos en algunos de los sectores más importantes del mercado como son RF, banda-base, gráficos de alta velocidad, FPGA y SoC para WLAN en un solo chip (ver Figura 2.6). Para cada uno de ellos se dispone de diversas soluciones de dispositivos de diseño, como pueden ser los modelos de baja fuga (L90LL), de comportamiento estándar (L90SP) o de alta velocidad (L90G).

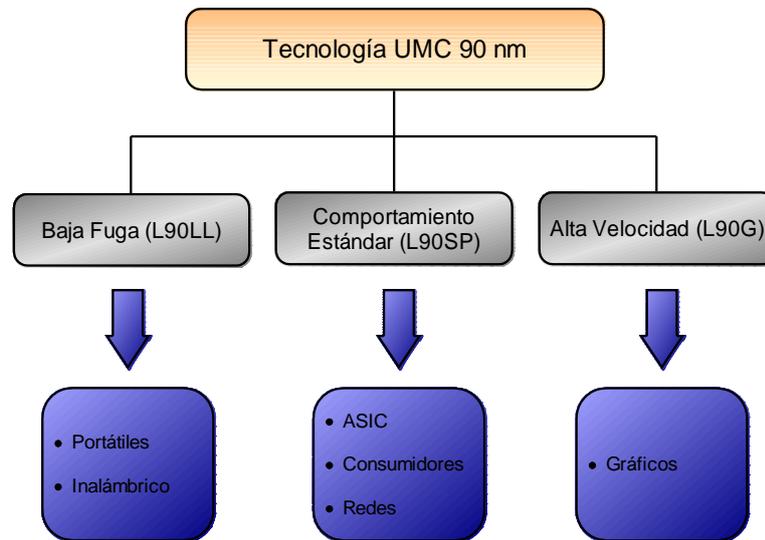


Figura 2.6. Gama de aplicaciones de la tecnología UMC 90 nm

2.2.1. La tecnología UMC 90 nm para Señal Mixta y Radiofrecuencia

Debido al gran número de dispositivos de comunicación portátiles y nuevas aplicaciones en el mercado, se ha fomentado el desarrollo de procesos avanzados de CMOS, tanto para Señal Mixta como para Radiofrecuencia. De esta forma, de entre las diversas soluciones tecnológicas que ofrece UMC, en el presente proyecto se ha elegido la tecnología de 90nm en su modelo para Señal Mixta y Radiofrecuencia (MS/RF), ya que ofrece grandes prestaciones con un coste moderado.

El proceso permite disponer de dispositivos básicos, dispositivos de entrada/salida o dispositivos MS/RF tal como se aprecia en la Figura 2.7 Los dispositivos básicos pueden elegirse de entre elementos de baja fuga, de comportamiento estándar o de alta velocidad. Para los dispositivos de I/O se pueden trabajar con diferentes alimentaciones, desde 1.8V a 3.3V. Los dispositivos MS/RF son los de interés en este proyecto, estando disponibles para aplicaciones de entre 1V y 2.5V, teniendo una variedad de dispositivos como son los

dispositivos de múltiples valores de tensión umbral, transistores tanto bipolares como MOSFET, diodos, resistencias, condensadores metal-aislante-metal (MIM), condensadores metal-óxido-metal (MOM), condensadores NFET en un pozo N (NCAP), varactores, transformadores e inductores, disponiendo para estos últimos del metal de la capa superior de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados.

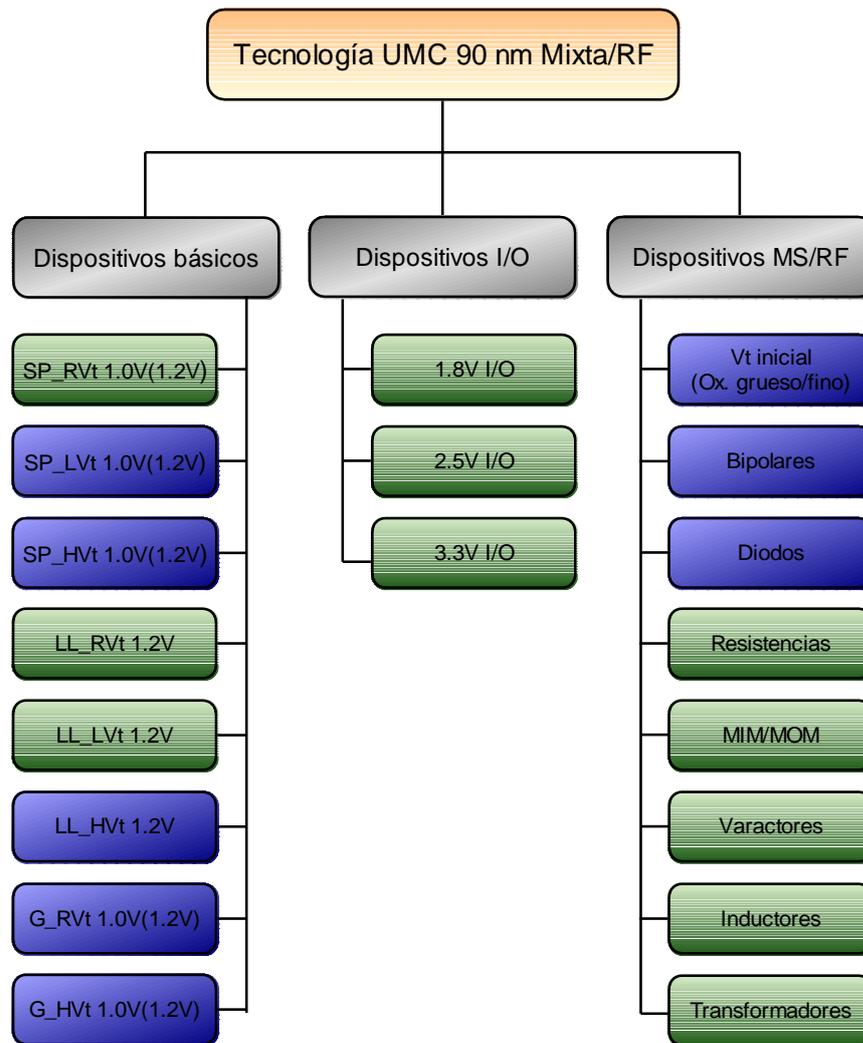


Figura 2.7. Dispositivos de la tecnología UMC 90 nm para señal mixta RF.

La tecnología 90 nm de UMC para MS/RF consta de una capa de poli-silicio y nueve capas de metal con baja constante dieléctrica (k) entre metales, siendo la longitud de puerta mínima de 90 nm. La Figura 2.8 muestra la sección transversal de la tecnología UMC de 90 nm.

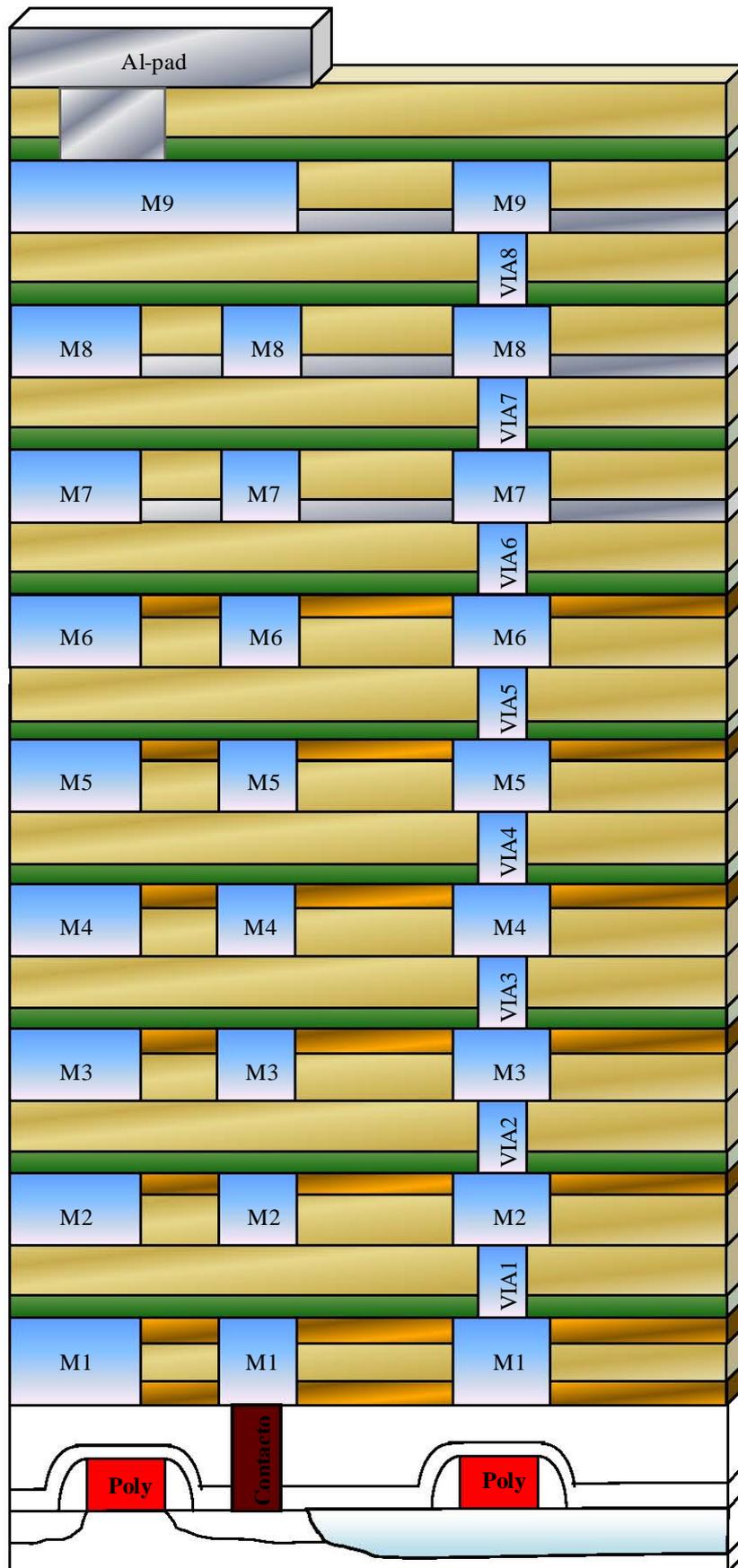


Figura 2.8. Sección transversal de la tecnología UMC 90 nm.

El kit de diseño de fundición de UMC 90 nm ofrece 19 opciones diferentes de metal. Cada opción de metal define las capas de metal que se utilizan. La opción por defecto es la opción 13, que utiliza 9 niveles de metal (1P9M). La Tabla 2.2. resume los componentes de las capas presentes en la opción 13, que será la que se utilice en este proyecto.

Tabla 2.2. Opción 13 de UMC 90 nm.

Opción	Número Total de niveles de capas	METAL1	Capa 1X METAL	Capa 2X METAL	Capa 4X30K METAL	Componentes de capas en las reglas de diseño
13	9	1	5	2	1	M1,V1,M2,V2, M3,V3,M4,V4, M5,V5,M6,V6 ,M7,MIM,V7, M8,V8,M9,L1, L2,L3

2.2.2. Metodología de diseño orientada a la fabricación

UMC ofrece soluciones óptimas para el diseño orientado a la fabricación (*DFM, Design For Manufacturability*) para abordar de forma eficaz y eficiente los factores que pueden afectar negativamente al rendimiento y al comportamiento en los diseños de tecnología avanzada. Las soluciones de UMC para DFM incluyen los modelos de proceso avanzado incorporados en SPICE, los archivos de la tecnología y las bibliotecas compatibles con DFM e IP (*Intellectual Property*) que abarcan la complejidad del proceso de fabricación. Existen unas reglas concisas de recomendación en el DFM.

La fundidora también ofrece corrección de proximidad óptica *pre-tapeout* (*Optical Proximity Correction* u OPC) y chequeo de reglas litográficas (*Litho Rule Check* o LRC) para diseños personalizados, además del servicio *post-tapeout* estándar que incluye OPC, simulaciones del chequeo litográfico (*Check Litho Simulation* o LSC), relleno (*Dummy fill*) y ranurado de metal.

2.2.3. Flujo de diseño MS/RF y FDK

El kit de diseño de fábrica o *Foundry Design Kit* (FDK) proporciona a los diseñadores de Circuitos Integrados (IC) un entorno de diseño automatizado. La Figura 2.9 muestra el flujo de diseño para Señal Mixta y Radiofrecuencia. La metodología permite el acceso al diseño a nivel de esquemático y simulación, *layout* y verificación de *layout* con modelos precisos de dispositivos RF.

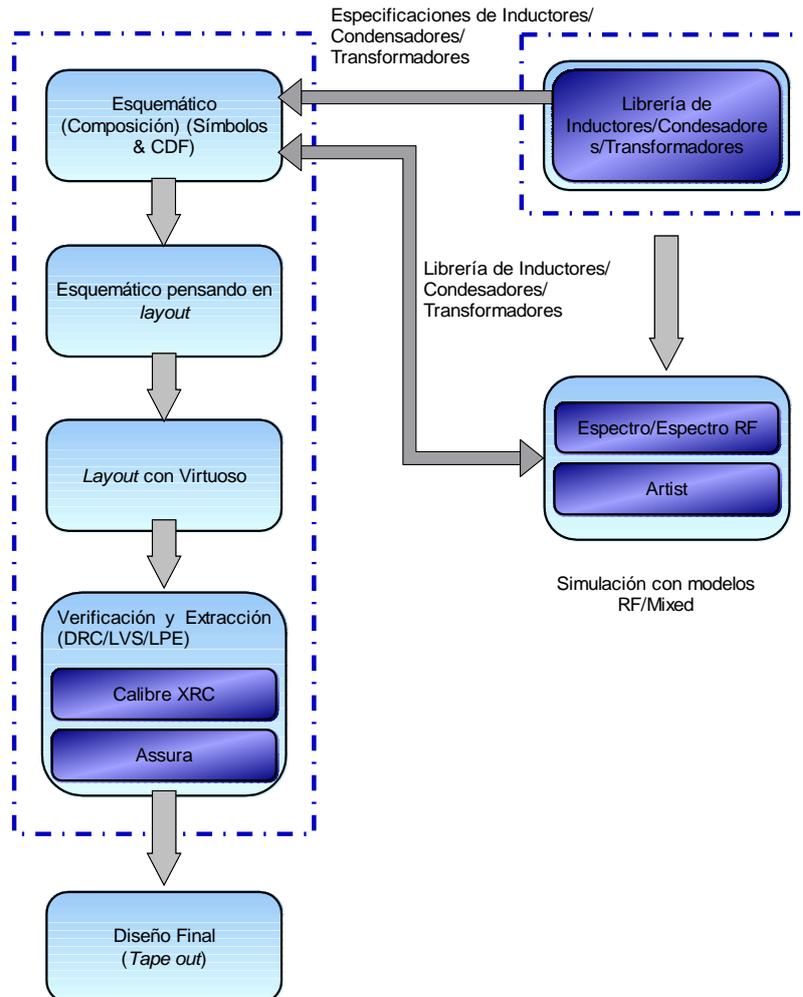


Figura 2.9. Esquema de diseño MS/RF y FDK.

En la Figura 2.10 se muestran las herramientas EDA soportadas para realizar el flujo de diseño de los circuitos integrados. En ella se observa entre otras los *software* que se van a utilizar en el proyecto, como son *Cadence* [7] o *ADS* [8]. Además se observan el conjunto de paquetes necesarios en cada herramienta según el flujo de diseño que se esté realizando.

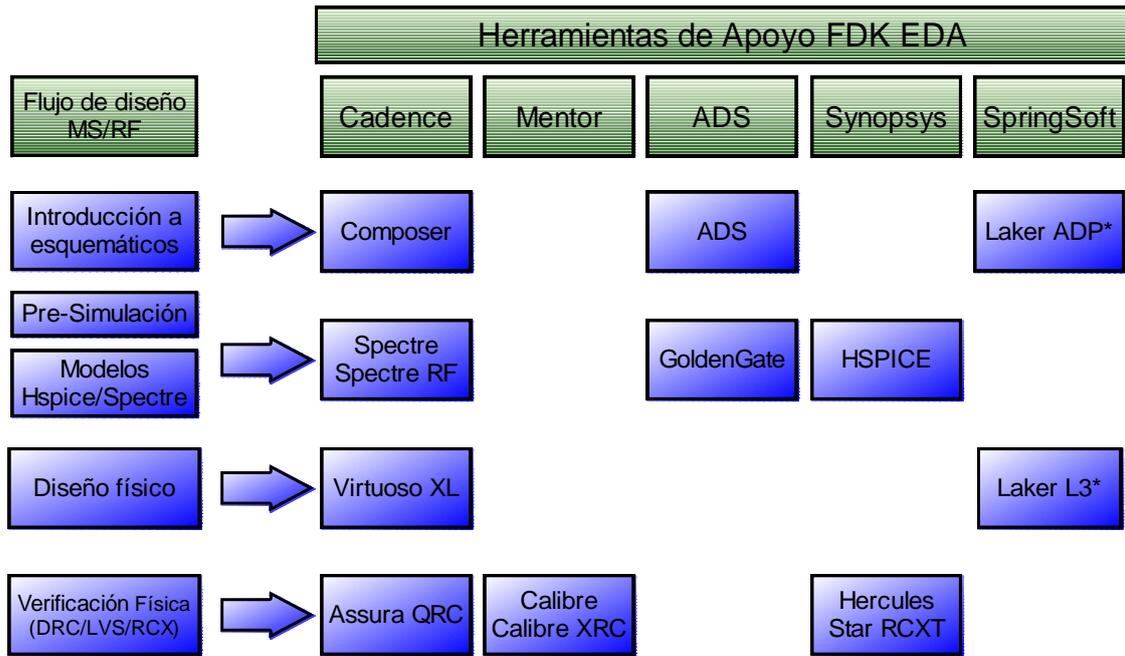


Figura 2.10. Metodología y herramientas de diseño.

2.3 Conclusiones

En el presente capítulo hemos definido el estándar *DVB-SH* sobre el que vamos a trabajar en este proyecto. Para ello, en primer lugar realizamos una introducción al estándar, explicando sus principales características, así como las limitaciones que presenta. Seguidamente expusimos el rango de frecuencias de trabajo, analizamos las categorías de los posibles receptores y presentamos la estructura elegida para este trabajo.

En la segunda parte de este capítulo se ha conseguido dar una visión algo más profunda de la tecnología CMOS de 90nm suministrada por la empresa UMC. En el siguiente capítulo se realizará un análisis teórico de nuestro diseño. Se explicará el funcionamiento de los mezcladores de frecuencias y posteriormente de los convertidores de corriente.

Capítulo 3

Análisis teórico del circuito

3.1 Introducción

En este capítulo realizaremos un estudio teórico de los mezcladores de frecuencias y su aplicación dentro de los sistemas de comunicación, así como un estudio de las topologías más empleadas. Del mismo modo, estudiaremos las características principales de los convertidores de corriente, su evolución a lo largo de la historia y su comportamiento.

3.2 Teoría básica del mezclador

Los mezcladores de frecuencias tienen la función de convertir o trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de la señal a trasladar (ancho de banda, relación de amplitudes, etc.).

Un mezclador de frecuencias suma o resta a la banda de frecuencias de la señal de entrada V_{RF} centrada en la frecuencia f_{RF} , un valor de frecuencia constante de valor f_{LO} denominado frecuencia de oscilador local, para obtener una señal centrada en la frecuencia f_{IF} , denominada frecuencia intermedia. Un diagrama básico sería el mostrado en la Figura 3.1.

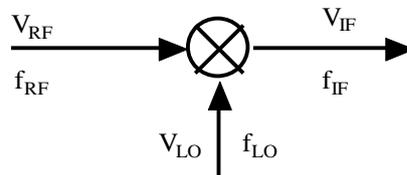


Figura 3.1. Esquema básico de un mezclador.

La señal de entrada puede estar localizada en cualquier rango de frecuencias, es decir, puede ser una señal en banda base o una señal paso banda, y el mezclado puede utilizarse tanto para subir en frecuencia la señal de entrada (*up-conversion*), como para bajarla (*down-conversion*).

La Figura 3.2 representa el esquema de un receptor que utiliza un mezclador *down-conversion* para convertir la señal RF en una señal intermedia IF, mezclando la señal RF con la señal LO procedente de un oscilador local.

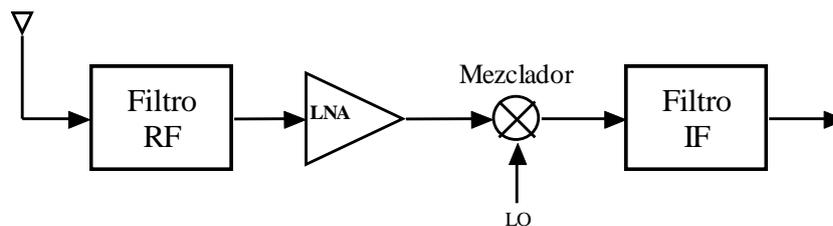


Figura 3.2. Esquema de un receptor.

La Figura 3.3 muestra un transmisor, en el que se convierte una señal de baja frecuencia en una de alta frecuencia.

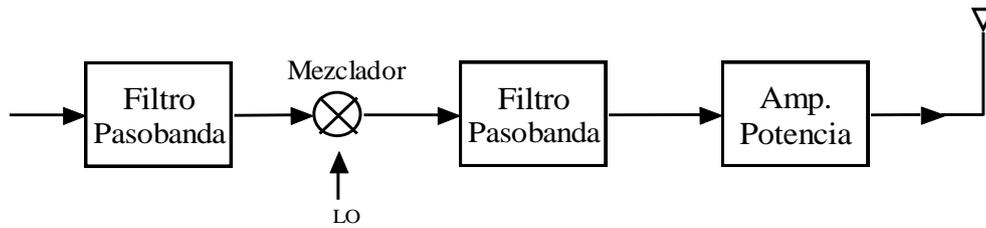


Figura 3.3. Esquema de un transmisor.

3.3 Parámetros del mezclador

En los siguientes apartados se definen los parámetros más importantes que describen el funcionamiento del mezclador.

3.3.1. Ganancia de conversión

Una característica importante de un mezclador es la ganancia o pérdida de conversión, que se define como la relación entre la señal de salida (IF) y el valor de la señal de entrada (RF). Para un mezclador caracterizado por la ecuación 3.1 [12]:

$$(A_{RF} \cos \omega_{RF} \cdot t) \cdot (A_{LO} \cos \omega_{LO} \cdot t) = \frac{A_{RF} \cdot A_{LO}}{2} [\cos(\omega_{RF} - \omega_{LO}) \cdot t + \cos(\omega_{RF} + \omega_{LO}) \cdot t] \quad (3.1)$$

La ganancia de conversión es la salida IF, $A_{RF} \cdot A_{LO} / 2$, dividido entre la amplitud de la señal de entrada RF, A_{RF} . Por lo que en este ejemplo, la ganancia de conversión sería $A_{LO} / 2$, es decir, la mitad de la amplitud del oscilador local.

La ganancia de conversión, si se expresa como una relación de potencia, puede ser mayor que la unidad en mezcladores activos, mientras que los mezcladores pasivos sólo son capaces de lograr ganancias superiores a la unidad en tensión o en corriente.

Normalmente es conveniente obtener una ganancia de conversión alta, ya que esto implica que los mezcladores proporcionan amplificación a la frecuencia de traslación.

3.3.2. Figura de ruido

La figura de ruido se define como la relación entre la SNR (Señal/Ruido) en el puerto de entrada RF y la SNR a la salida IF expresada en dB [13].

En un mezclador existen dos frecuencias de entrada que generan una frecuencia intermedia, una es la señal RF y la otra se denomina señal imagen (ver Figura 3.4). Estas dos señales se denominan bandas laterales.

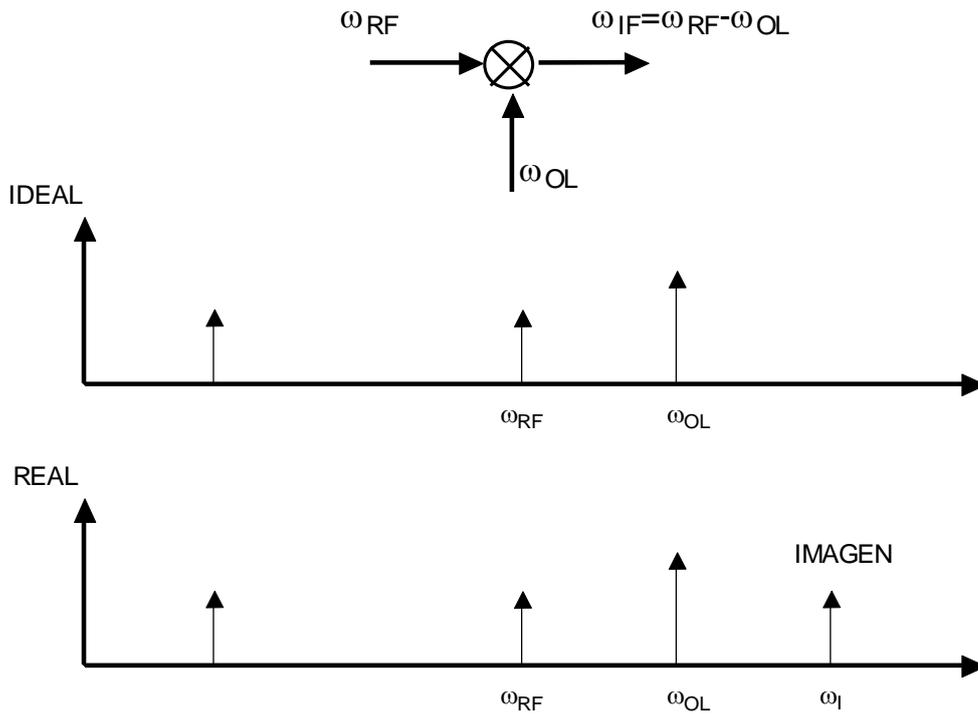


Figura 3.4. Esquema de un transmisor.

La razón de la existencia de estas dos frecuencias es que la señal IF es la magnitud de la diferencia entre las frecuencias RF y LO. Por lo tanto, señales que están por debajo y por encima de IF, con una diferencia igual ($2\omega_{IF}$), producirán salidas IF de la misma frecuencia. Por ejemplo, si suponemos que la frecuencia IF es 100 MHz y queremos sintonizar una señal a 900 MHz seleccionando una frecuencia LO de 1 GHz, además de la señal de entrada RF deseada a 900MHz, la señal imagen de 1,1 GHz también producirá una señal de salida IF de 100MHz.

La existencia de una frecuencia imagen empeora la figura de ruido debido a que el ruido originado en la frecuencia deseada RF y en la frecuencia imagen se convierten en ruido IF.

En el caso en que la señal exista sólo a una frecuencia, la figura de ruido que se mide se denomina figura de ruido de banda lateral única (SSB_NF, Figura 3.5). En el caso de que ambas señales, RF y la señal imagen, contengan información útil, se utiliza una figura de ruido de doble banda lateral (DSB_NF, Figura 3.6).

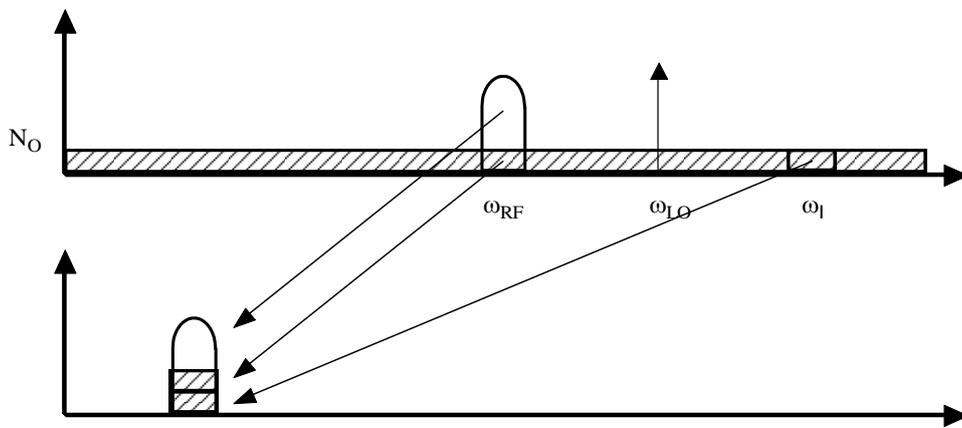


Figura 3.5. SSB_NF.

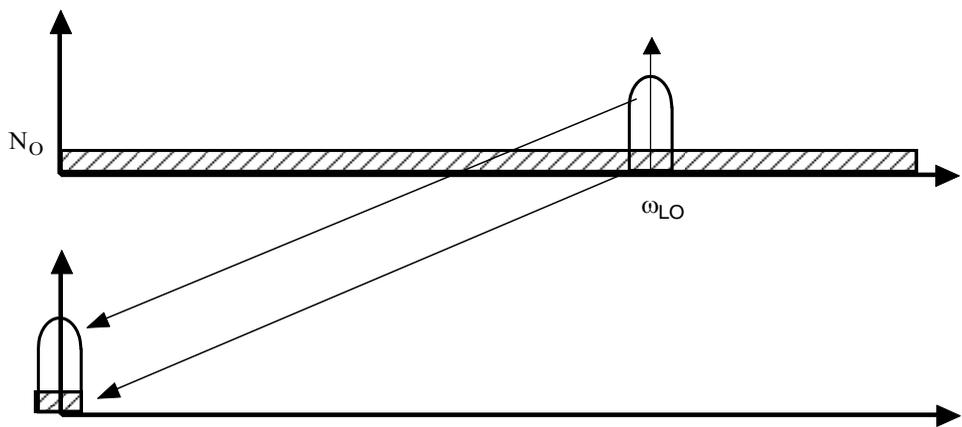


Figura 3.6. DSB_NF.

3.3.3. Linealidad

Existen diferentes formas de definir la linealidad de un mezclador. En los siguientes apartados veremos las más utilizadas.

3.3.3.1. Punto de compresión

Como en los amplificadores y, prácticamente en todos los dispositivos físicos, los mezcladores reales tienen un límite por encima del cual la salida no es lineal con la entrada. El punto de compresión es el valor de la señal RF en el que se produce una desviación de la curva lineal ideal.

Normalmente se especifica un valor de compresión de 1 dB (o más raramente 3 dB). Sobre este nivel, un aumento adicional en el nivel de entrada RF no se traduce en un aumento proporcional en el nivel de salida. Cuantitativamente, la compresión de ganancia es la reducción del nivel de salida en dB por debajo de la característica lineal.

3.3.3.2. Distorsión de intermodulación de tercer orden

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden IP3 (*third intercept point*) el cual se puede dar referido a la entrada (*IIP3*) o a la salida (*OIP3*). El punto de intercepción es el lugar en el que la curva de respuesta fundamental y la de respuesta espuria de tercer orden se interceptan (ver Figura 3.7). A menudo se usa para especificar la supresión de los armónicos de tercer orden generados por el mezclador cuando a la entrada del mismo están presentes dos tonos. Mientras más alto esté el punto de intercepción, mejor será la supresión de los armónicos de tercer orden.

Un test de intermodulación de tercer orden es una forma eficaz para evaluar el rendimiento de un mezclador debido a que imita un escenario real en el que hay presente a la entrada una señal deseada RF y una potencia interferencia.

Idealmente, ambas señales presentes en la entrada RF serían trasladadas en frecuencia sin interaccionar unas con otras. Un mezclador real muestra algunos efectos de

intermodulación y, por lo tanto, la salida contendrá versiones trasladadas en frecuencia de los componentes de intermodulación de tercer orden cuyas frecuencias serán $2\omega_{RF1} \pm \omega_{RF2}$ y $2\omega_{RF2} \pm \omega_{RF1}$ [14].

La distorsión de intermodulación de tercer orden en dos tonos es la cantidad de distorsión de tercer orden causada por la presencia de una señal secundaria recibida en el puerto de RF. Matemáticamente, la distorsión de tercer orden se define en términos de la componente de frecuencia en $2f_2 - f_1 \pm f_0$, donde f_1 es la señal de entrada deseada y f_2 es la señal de entrada secundaria. Por lo general, mientras más alto sea el punto de intercepción del mezclador más baja será la amplitud de este producto.

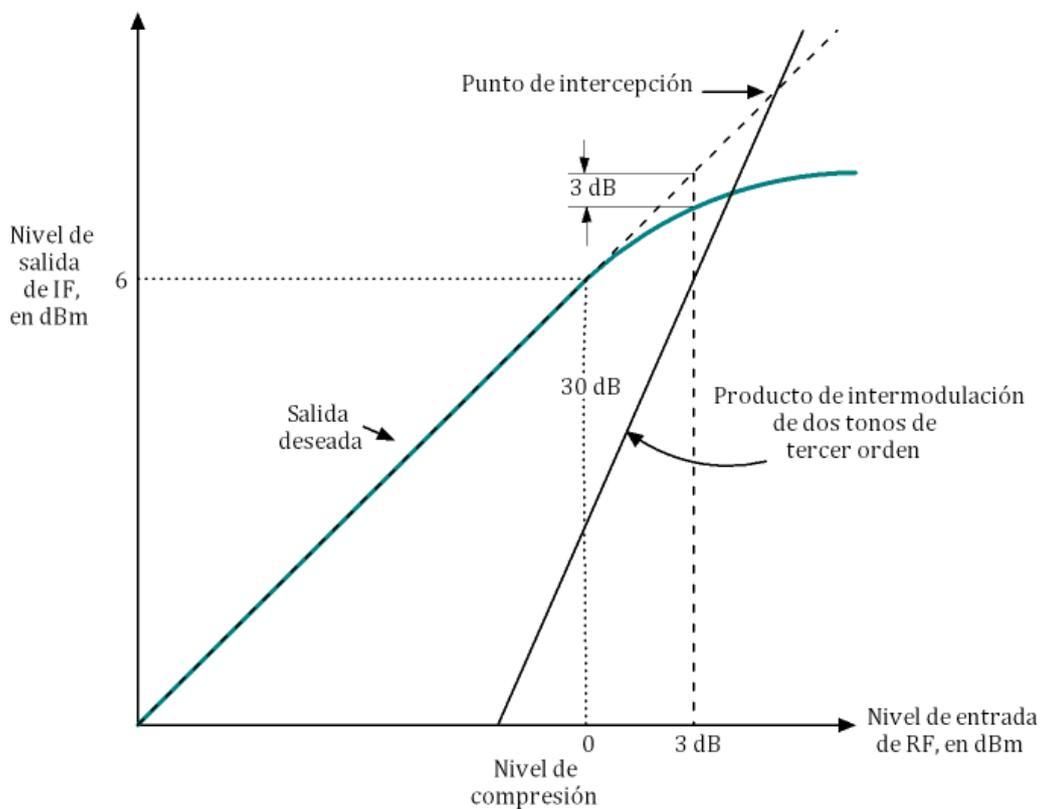


Figura 3.7. Definiciones de terminología de operación de mezcladores.

En la Figura 3.7, se muestra la característica de un mezclador hipotético, así como la representación gráfica de las definiciones anteriores. Para una entrada de 0 dBm la salida es de 6 dBm, indicando una ganancia de conversión de 6 dB. En este nivel de entrada, el producto de intermodulación de dos tonos y tercer orden está 30 dB por debajo de la salida deseada. En un valor de entrada más alto aparece el punto de compresión de 3 dB (3 dB de salida deseada abajo del valor de línea recta); y a un nivel de entrada aun más alto se encuentra el punto de

interceptación que es donde se interceptan las curvas proyectadas de la salida deseada y las del producto de intermodulación de tercer orden.

3.3.4. Aislamiento

El aislamiento representa la cantidad de “fuga” o “paso de señal” entre los puertos del mezclador (Figura 3.8). Se supone que en cada terminal debe estar presente únicamente la señal correspondiente al puerto. Si el aislamiento es grande esto ocurre, si no lo es, aparecerá en el puerto parte de señal que pertenece al otro puerto. Por ejemplo, el aislamiento en el puerto de RF de la señal LO, es la cantidad en que se atenúa la señal LO en el puerto RF, respecto del nivel que ésta tenía en su propio puerto. El aislamiento depende de la configuración física del mezclador.

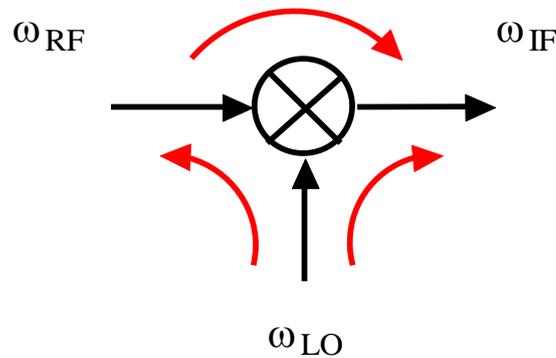


Figura 3.8. Posibles fugas en un mezclador.

3.4 Tipos de mezcladores

Existen dos maneras de mezclar señales, con los mezcladores que implementan directamente una multiplicación o los que realizan el mezclado por medio de una no-linealidad.

Los mezcladores basados en sistemas no lineales generan un número elevado de componentes espectrales. Además, debido a que este tipo de mezcladores tienen una única entrada, las señales de RF y LO no suelen estar lo suficientemente aisladas entre ellas. En la Figura 3.9 se muestra un ejemplo de este tipo de mezcladores [15].

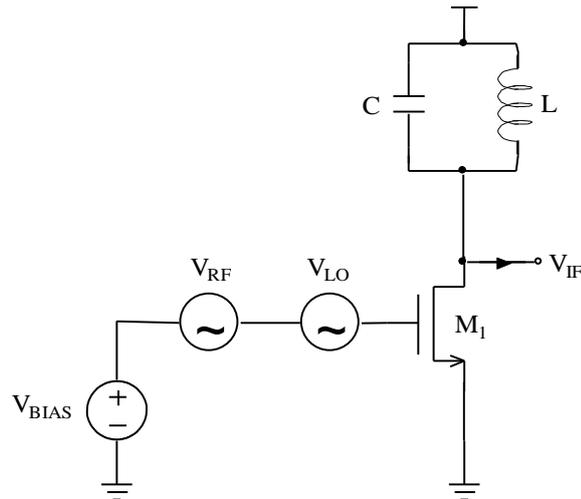
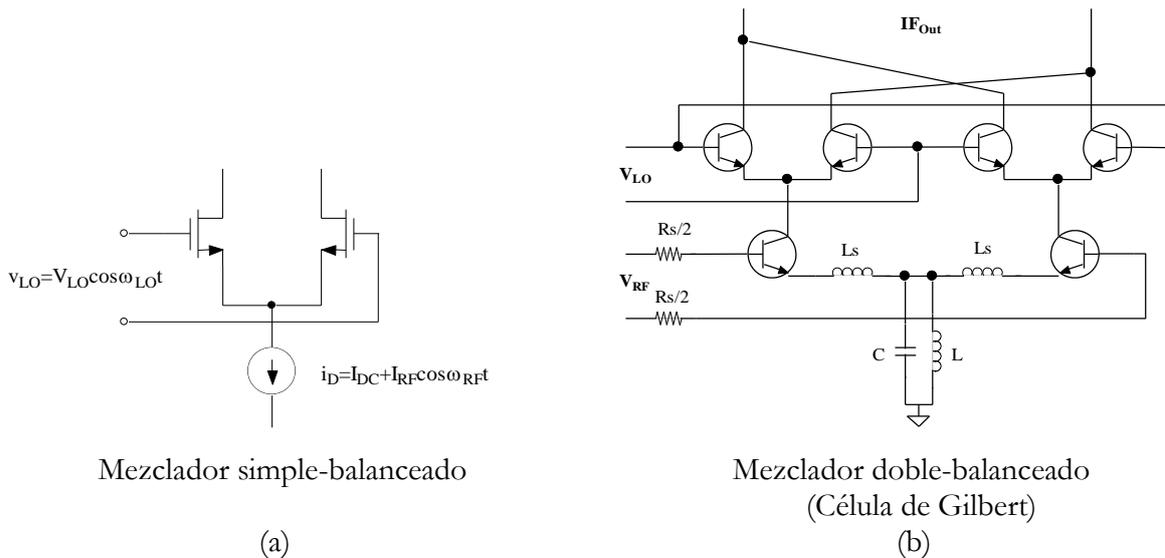


Figura 3.9. Mezclador basado en sistemas no lineales.

En cambio, los mezcladores basados en multiplicadores (Figura 3.10) presentan por lo general un rendimiento mayor, ya que (idealmente) sólo generan el producto de intermodulación deseado. Además, debido a que las entradas del multiplicador se encuentran en puerto separados, puede haber un alto grado de aislamiento entre las tres señales (RF, LO, IF).

Los mezcladores basados en multiplicadores se catalogan como activos (simple balanceado y doble balanceado) y pasivos en función de si tienen o no ganancia en potencia.



Mezclador simple-balanceado

(a)

Mezclador doble-balanceado (Célula de Gilbert)

(b)

Figura 3.10. Mezcladores basados en multiplicadores.

El mezclador simple balanceado primero convierte la tensión de entrada RF en una corriente y después realiza la multiplicación en el dominio de la corriente. Su inconveniente es la presencia de LO en el espectro de salida. Para evitar este problema se aprovecha la simetría de un mezclador doble-balanceado o la combinación de dos circuitos simple-balanceados, eliminando la presencia de LO en la salida del mezclador.

Los mezcladores pasivos funcionan también basados en la multiplicación de las señales con la salvedad de que no aportan ganancia en el proceso de mezclado. Los mezcladores pasivos podemos diferenciarlos en dos tipos diferentes según en la región en que trabajen sus transistores. Así podemos encontrar el mezclador pasivo potenciométrico (los transistores están en zona óhmica) y el conmutado (los transistores conmutan de la región de corte a la de saturación).

En el siguiente apartado estudiaremos en mayor profundidad el mezclador pasivo potenciométrico, pues es el tipo de estructura elegida para la aplicación de nuestro convertidor de corriente para *DVB-SH*. Para más información sobre el resto de mezcladores, el lector se puede remitir a [15] y [16].

3.5 Mezcladores CMOS pasivos basados en CCII

A continuación mostraremos la estructura básica de un mezclador pasivo, la cual se basa en un puente multiplicador seguido de un amplificador operacional. Una vez estudiada esta estructura pasaremos a exponer la topología propuesta en este proyecto basada en Convertidores de Corriente de segunda generación.

3.5.1. Mezcladores pasivos con amplificadores operacionales

El multiplicador CMOS pasivo emplea un puente multiplicador (M1 – M4) tal como se muestra en la Figura 3.11, así como una etapa de amplificación compuesta por un amplificador operacional totalmente diferencial. El puente multiplicador opera en la región óhmica y en consecuencia los MOSFET pueden ser considerados como resistencias. Inicialmente sin considerar la polarización del puente, la tensión en el terminal negativo de salida viene dada como:

$$V_{o-} = -R.(I_{D1} + I_{D2}) \quad (3.2)$$

Mientras que la tensión positiva viene dada como:

$$V_{o+} = -R.(I_{D3} + I_{D4}) \quad (3.3)$$

En consecuencia la tensión de salida tiene la siguiente expresión:

$$V_{out} = V_{o+} - V_{o-} = -R.(I_{D1} + I_{D2} - I_{D3} - I_{D4}) \quad (3.4)$$

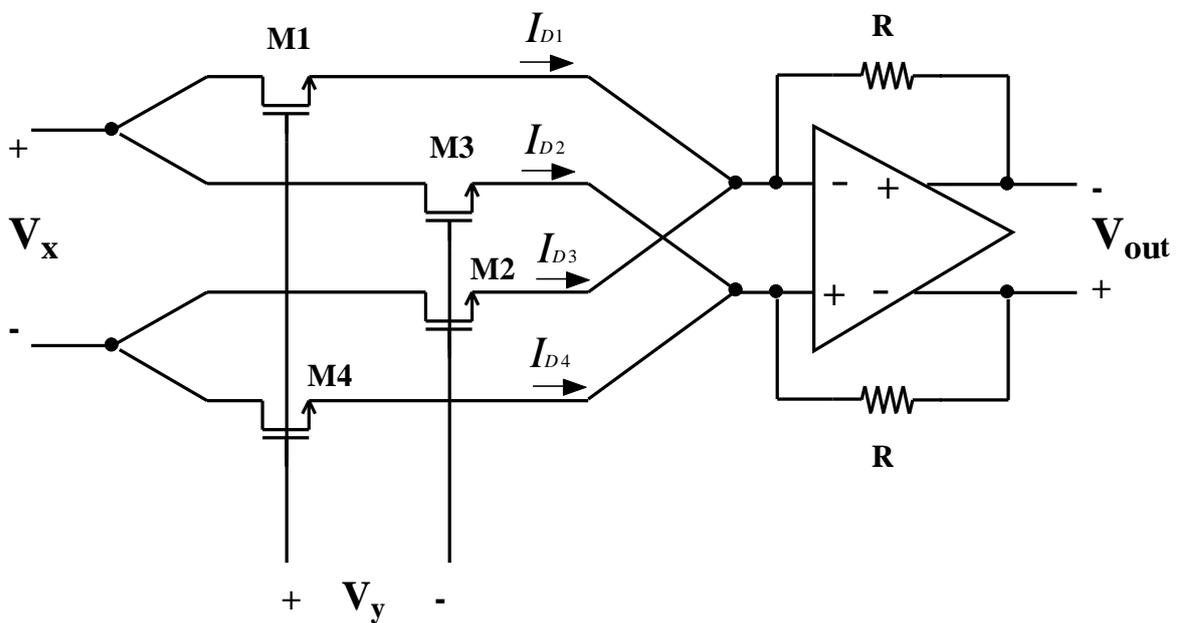


Figura 3.11. Multiplicador Analógico CMOS.

En la Figura 3.12 se muestra un esquema simplificado del multiplicador con la polarización de las entradas. En la entrada X, se ha establecido un nivel de tensión para polarizar el drenador, mientras que el nivel de polarización de la entrada Y, se establece a un nivel suficiente para mantener al puente en región óhmica.

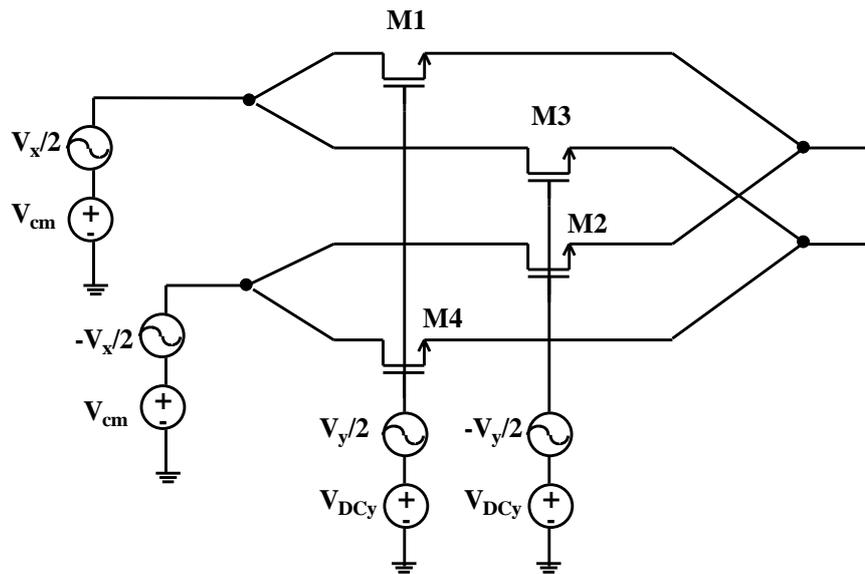


Figura 3.12. Polarización del multiplicador.

Usando la ecuación correspondiente a la región óhmica de los transistores MOS dada por

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.5)$$

y teniendo en cuenta que la tensión en DC puerta – surtidor para todos los MOSFET es la misma, las corrientes de drenador se pueden poner como:

$$I_{D1} = \mu_n \cdot C_{OX1} \cdot \frac{W_1}{L_1} \left[\left(V_{GS} + \frac{V_y}{2} - V_{T1} \right) \cdot \left(\frac{V_x}{2} \right) - \frac{1}{2} \left(\frac{V_x}{2} \right)^2 \right] \quad (3.6)$$

$$I_{D2} = \mu_n \cdot C_{OX2} \cdot \frac{W_2}{L_2} \left[\left(V_{GS} - \frac{V_y}{2} - V_{T2} \right) \left(-\frac{V_x}{2} \right) - \frac{1}{2} \left(-\frac{V_x}{2} \right)^2 \right] \quad (3.7)$$

$$I_{D3} = \mu_n \cdot C_{OX3} \cdot \frac{W_3}{L_3} \left[\left(V_{GS} - \frac{V_y}{2} - V_{T3} \right) \left(\frac{V_x}{2} \right) - \frac{1}{2} \left(\frac{V_x}{2} \right)^2 \right] \quad (3.8)$$

$$I_{D4} = \mu_n \cdot C_{OX4} \cdot \frac{W_4}{L_4} \left[\left(V_{GS} + \frac{V_y}{2} - V_{T4} \right) \left(-\frac{V_x}{2} \right) - \frac{1}{2} \left(-\frac{V_x}{2} \right)^2 \right] \quad (3.9)$$

Considerando que $C_{OX} = C_{OX1} = C_{OX2} = C_{OX3} = C_{OX4}$ y que $\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{W_3}{L_3} = \frac{W_4}{L_4} = 1$ sustituyendo las ecuaciones 3.6 a 3.9 en la ecuación 3.4 se obtiene que la tensión de salida viene dada por la siguiente ecuación:

$$V_{out} = R \cdot \mu_n \cdot C_{OX} \left(\frac{V_x}{2} \right) \left[\frac{V_y}{2} - V_{T1} + \frac{V_y}{2} + V_{T2} + \frac{V_y}{2} + V_{T3} + \frac{V_y}{2} - V_{T4} \right] \quad (3.10)$$

Puede observarse como si $V_{T1} = (V_{T2} \text{ o } V_{T3})$ y $V_{T4} = (V_{T3} \text{ o } V_{T2})$ esta ecuación puede describirse como:

$$V_{out} = R \cdot \beta \cdot V_x \cdot V_y \quad (3.11)$$

De forma que la tensión de salida es proporcional al producto de las tensiones de entrada. La ganancia del mezclador es:

$$K_m = R \cdot \beta \quad (3.12)$$

Por tanto, la expresión de salida del multiplicador CMOS se puede poner como:

$$V_{out} = K_m \cdot V_x \cdot V_y \quad (3.13)$$

3.5.2. Mezcladores pasivos con convertidores de corriente

El mezclador pasivo que acabamos de ver se basa en un puente resistivo que realiza la multiplicación en el dominio de la corriente seguido de un amplificador operacional en la configuración de amplificador de transimpedancia (TIA: entrada en corriente y salida en

tensión). En este proyecto proponemos la utilización de los convertidores de corriente para la implementación del amplificador de transimpedancia, tal y como se muestra en la Figura 3.13.

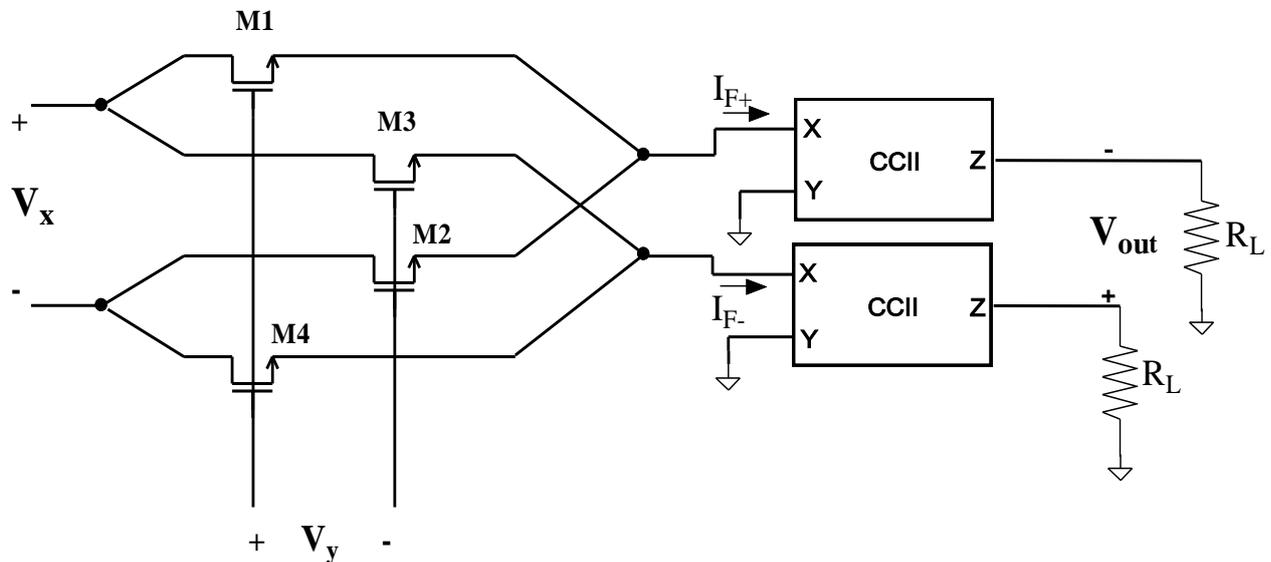


Figura 3.13. Mezclador pasivo con convertidores de corriente.

Tal y como veremos en el siguiente apartado de este capítulo, los convertidores de corriente son circuitos de tres terminales (X, Y, Z) de forma que las tensiones en los nodos X e Y son iguales y las corrientes en los nodos X y Z son iguales.

Teniendo en cuenta esta definición y observando el esquema de la Figura 3.13, tenemos que $V_X = V_Y$ de forma que como $V_Y = 0$, tenemos que $V_X = 0$ y en consecuencia entra corriente. Por otro lado $I_X = I_Z$ que por medio de R_L se obtiene que:

$$V_{out+} = R_L I_{F+}$$

$$V_{out-} = R_L I_{F-}$$

Una vez presentada la utilización de los convertidores de corriente para la implementación del amplificador de transimpedancia, en el siguiente apartado estudiaremos sus conceptos teóricos y además se presentará la topología elegida para nuestro diseño.

3.6 Los convertidores de corriente: teoría y práctica

El desarrollo de la tecnología VLSI, junto con la demanda de un mayor número de elementos en un único chip, ha creado un gran interés en el diseño de circuitos analógicos, especialmente en lo que concierne a los circuitos integrados. Numerosos investigadores han previsto una reducción de la utilización de circuitos analógicos por un incremento del número de circuitos digitales, pero los sistemas analógicos continúan siendo necesarios. De hecho, los circuitos analógicos son necesarios en muchos sistemas VLSI tales como filtros, convertidores D/A y A/D, comparadores de tensión, amplificadores de corriente y tensión, etc. Finalmente, la reciente tendencia a miniaturizar circuitos ha dado un fuerte y decisivo impulso hacia el diseño de circuitos integrados analógicos de baja-tensión y bajo-consumo (LV-LP), los cuales son utilizados en aplicaciones de sistemas portátiles. Esto ha inducido a la implementación de nuevas estrategias de diseño de circuitos en tecnología CMOS de bajo coste.

El amplificador operacional rápidamente se convirtió en el principal bloque analógico y desde la llegada de los primeros circuitos integrados analógicos dominó el mercado. Hoy en día, la situación está cambiando porque existe un nuevo impulso hacia los llamados circuitos en modo corriente, que mejoran la limitación del producto ganancia ancho de banda constante y permiten cumplir con el compromiso entre velocidad y ancho de banda de forma más eficiente [17].

A lo largo de este apartado estudiaremos los convertidores de corriente: sus conceptos teóricos, evolución y las diferentes topologías. Además veremos algunos modelos equivalentes de convertidores de corriente.

3.6.1. Circuitos en modo corriente: breve historia de los convertidores de corriente

3.6.1.1. Metodología del diseño en modo corriente

En el diseño de circuitos analógicos, normalmente existe una gran demanda de amplificadores para el procesamiento de señales con características específicas de corriente.

La metodología de diseño en modo corriente, considera que la información fluye sobre corrientes variables en el tiempo y propone una forma de ver los circuitos integrados obteniendo soluciones diferentes y, en muchos casos, más elegantes a partir de la revisión de circuitos que se conocen desde hace mucho tiempo.

Los circuitos en modo corriente tienen algunas ventajas bien conocidas como, por ejemplo, que no requieren altas ganancias de tensión y, por lo tanto, no es necesario utilizar amplificadores de alto rendimiento. Por consiguiente, no necesitan componentes pasivos de alta precisión, así que pueden diseñarse casi completamente con transistores. Esto hace que los circuitos en modo corriente sean compatibles con los procesos digitales más comunes. Finalmente, estos circuitos muestran un alto rendimiento en términos de velocidad, ancho de banda y precisión. La metodología de diseño en modo corriente presenta también una gran versatilidad, ya que puede implementar todas las funciones de circuitos integrados analógicos diseñadas en modo tensión [17].

Un ejemplo claro de un circuito modo corriente es el Amplificador Operacional con Realimentación de Corriente (CFOA) [18], [19], [20], [21]. Este circuito, si lo comparamos con el amplificador operacional de tensión típico, muestra un ancho de banda constante con respecto a la ganancia en lazo cerrado y un *slew-rate* muy alto. Esto hace a este circuito muy atractivo para el diseño de circuitos de baja tensión de alimentación y bajo consumo muy demandados en la actualidad.

La primera etapa de un CFOA es un convertidor de corriente (CC) y, de hecho, los CC se pueden considerar como un bloque básico del modo corriente ya que todos los dispositivos activos se pueden realizar mediante la conexión de forma adecuada de uno o varios convertidores de corriente [17] al igual que ocurre con los amplificadores operacionales.

3.6.1.2. Breve historia de los convertidores de corriente de primera y segunda generación

El convertidor de corriente representa una alternativa al amplificador operacional. Esto es debido, principalmente, al hecho de que tanto los unos como los otros, presentan en la práctica unas características que son muy cercanas a las de los dispositivos ideales.

Sedra y Smith introdujeron los convertidores de corriente en 1968 [22], pero sus ventajas reales e impacto no fue inmediato. De hecho, al mismo tiempo, las compañías electrónicas empezaron a poner sus esfuerzos en la fabricación de amplificadores operacionales monolíticos; como consecuencia de esto, el valor de la nueva invención fue parcialmente eclipsado.

Sólo en los últimos años, con la creciente difusión de la metodología de diseño en modo corriente como alternativa para el diseño de circuitos de baja tensión y bajo consumo (LV – LP), los convertidores de corriente han aumentado su popularidad.

El ejemplo original presentado por Sedra y Smith en 1968 fue llamado genéricamente por los autores “*current conveyer*”. El primer bloque se llamó “*current conveyer* de primera generación”, o CCI y posteriormente, en 1970 esta topología evolucionó y fue llamada “*current conveyer* de segunda generación”, o CCII.

Los CCI son dispositivos con tres terminales tal y como se muestra en la Figura 3.14.

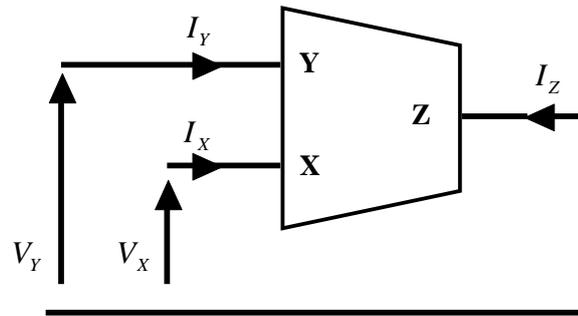


Figura 3.14. Bloque representativo del CCI.

Este circuito funciona de la siguiente forma: si aplicamos una tensión al nodo Y, la misma tensión aparecerá en el nodo X y, por otro lado, la corriente que fluye por el nodo Y es igual a la corriente que fluye por el nodo X, la cual a su vez es “TRANSPORTADA o CONVERTIDA” al nodo Z. En la Figura 3.15 se muestran las características principales de los CCI.

$$\begin{bmatrix} I_y \\ I_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ V_x \\ V_z \end{bmatrix}$$

Nodos del CCI	Nivel de impedancia
X	Bajo (idealmente 0)
Y	Bajo (idealmente 0)
Z	Alto (idealmente ∞)

Figura 3.15. Características principales de los CCI.

La corriente en el nodo Z puede fluir en el mismo sentido de I_x o en el sentido opuesto, tal y como se refleja en la matriz de la Figura 3.15. El signo positivo quiere decir que ambas corrientes, I_x e I_y , fluyen hacia el circuito y por tanto tenemos un CCI positivo (CCI+). En cambio para el caso de polaridad opuesta se aplica el signo negativo, y tenemos un CCI

negativo (CCI-). Los nodos X e Y tienen una impedancia muy baja, idealmente cero. En cambio el nodo Z tiene una impedancia muy alta, idealmente infinita, tal y como se muestra en la tabla de la Figura 3.15 .

Por lo que acabamos de ver, la tensión en el nodo X es independiente de la corriente que fluye por dicho nodo, e igualmente, la corriente que fluye por el nodo Y no está relacionada con la tensión aplicada al mismo nodo.

En la Figura 3.16 se puede observar una posible realización práctica de un CCI clase A a nivel de transistores.

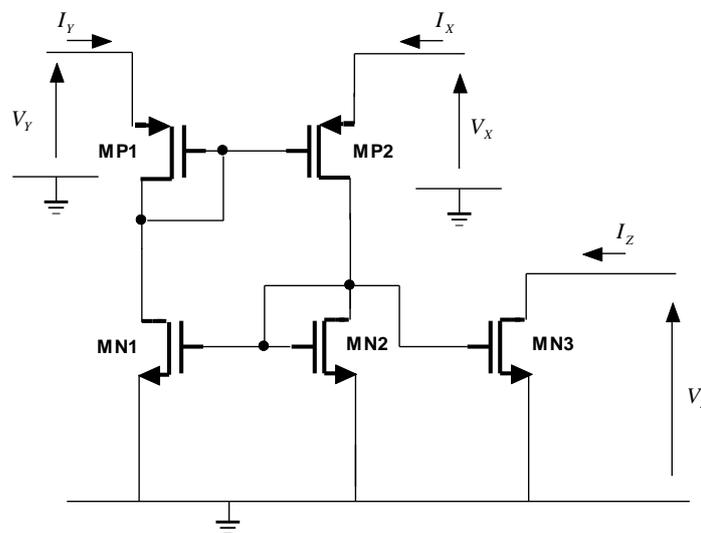


Figura 3.16. CCI clase A.

Este circuito puede ser implementado tanto en tecnología Bipolar como en CMOS, aunque en la actualidad se suele utilizar más esta última. El modo de operar del circuito es el siguiente: MP1 y MP2 realizan la acción de seguidor de tensión entre los nodos X e Y, mientras que el espejo de corriente, formado por MN1 y MN2, proporciona una corriente I_Y igual a la que circula por el nodo X. A través de MN3 la misma corriente es “transportada” a la corriente de salida del nodo de alta impedancia Z.

El principal inconveniente de este CCI es que trabaja en clase A. En la Figura 4.4 se muestra un ejemplo de un CCI clase AB, que se basa en el anterior.

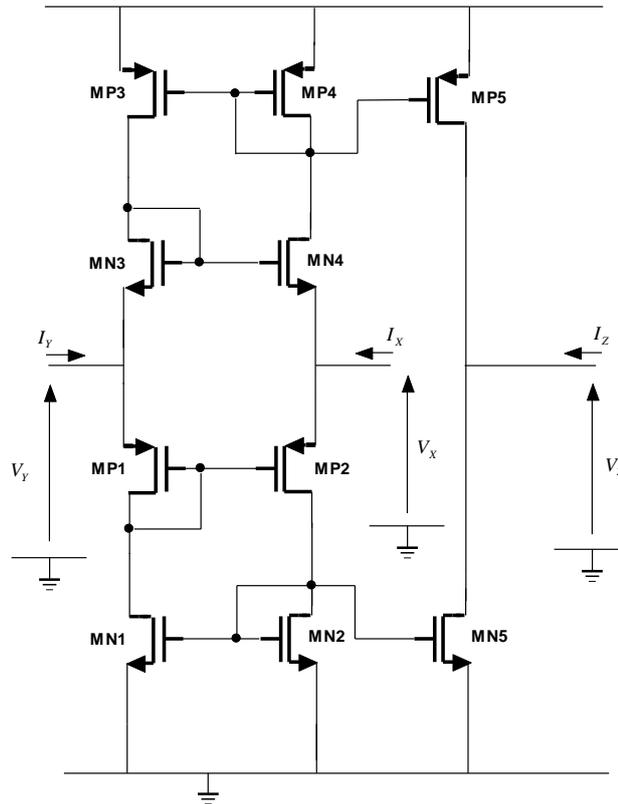


Figura 3.17. CCI clase AB.

Tal y como se muestra en las Figura 3.18, Figura 3.19 y Figura 3.20, a partir de uno o varios CCI se pueden implementar diferentes funciones básicas tales como convertidores V-I (transconductor), I-V (transimpedancia), y convertidores de impedancia negativa.

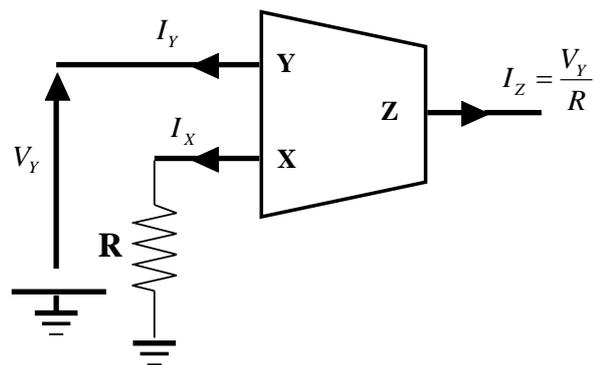


Figura 3.18. Convertidor de V a I basado en CCI (Transconductor).

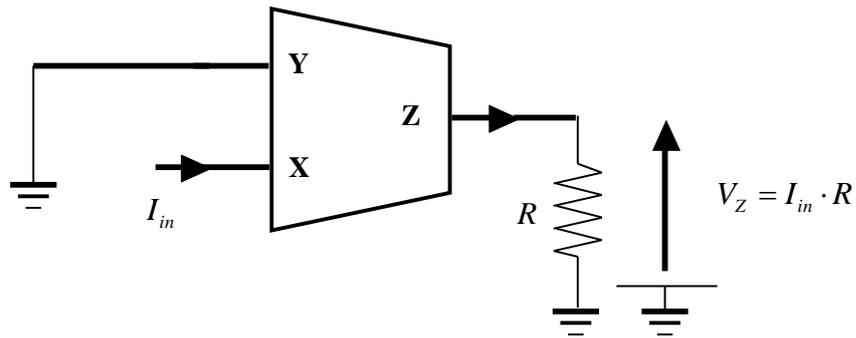


Figura 3.19. Convertidor de I a V basado en CCI (Transimpedancia).

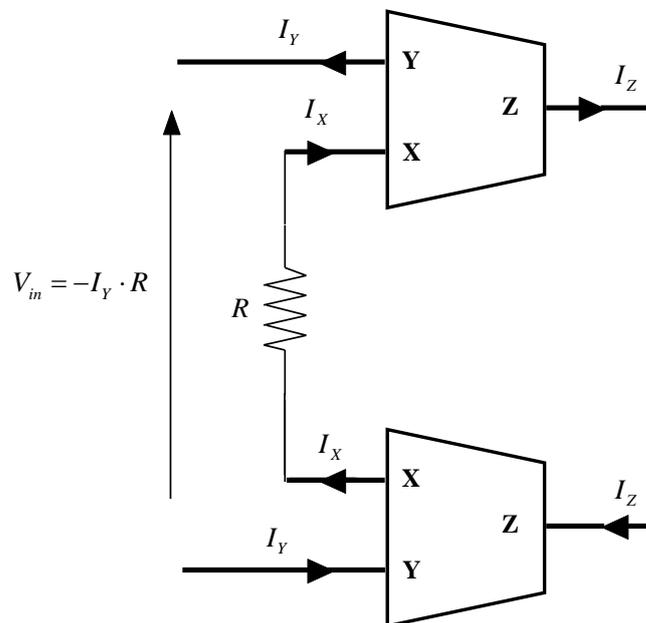


Figura 3.20. Convertidor de impedancia negativa diferencial basado en CCI.

El diseño de circuitos basados en CCI puede resultar, en ciertos casos, bastante problemático, ya que por todos los terminales del circuito circula corriente, y esto reduce su flexibilidad y versatilidad.

Dos años después de la aparición del CCI se introdujo el CCII, cuyas aplicaciones prácticas han demostrado ser mucho más versátiles y útiles, que la primera versión. En la Figura 3.21 podemos ver su diagrama de bloques.

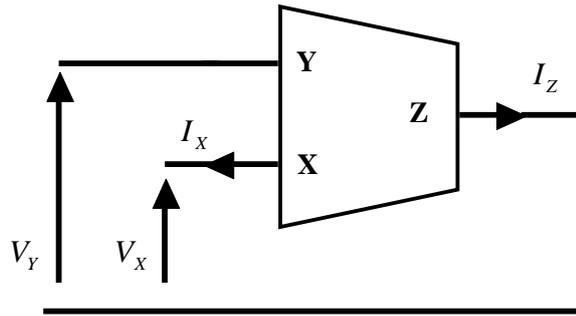


Figura 3.21. Representación del bloque del CCII.

El CCII es topológicamente muy similar a su predecesor. Las características eléctricas del CCII se muestran en la Figura 3.22 junto con su ecuación matemática.

$$\begin{bmatrix} I_y \\ I_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix}$$

Nodos del CCII	Nivel de impedancia
X	Bajo (idealmente 0)
Y	Alto (idealmente ∞)
Z	Alto (idealmente ∞)

Figura 3.22. Características principales del CCII.

Tal y como se observa en el diagrama de bloques de la Figura 3.21 y en la tabla de la Figura 3.21, la gran diferencia que presenta este tipo de convertidores de corriente con respecto al anterior, es la ausencia de corriente por el nodo Y, de forma que la impedancia de entrada, idealmente, deja de ser cero y pasa a ser infinita.

Igual que antes, tenemos dos tipos de CCIIs dependiendo del sentido del flujo de corriente en el nodo Z. En la Figura 3.23 se muestra la matriz de funcionamiento incluyendo este detalle.

$$\begin{bmatrix} I_y \\ I_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix}$$

Figura 3.23. Descripción completa de la matriz del CCII.

El éxito de los convertidores de corriente de segunda generación no se basa tanto en una solución circuital en particular sino en su aptitud para ser usados fácilmente en circuitos de procesamiento analógico, en muchos casos obteniendo mejores resultados que los propios amplificadores operacionales.

A continuación, en las Figuras 3.24 a 3.30, se muestran diferentes circuitos implementados con CCII, que típicamente se han implementado con AOs.

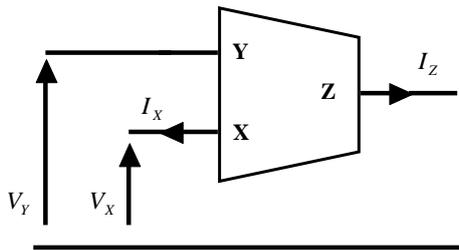


Figura 3.24. Fuente de tensión controlada por tensión, basada en CCII.

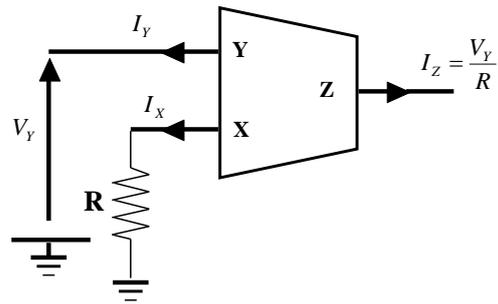


Figura 3.25. Fuente de corriente controlada por tensión, basada en CCII.

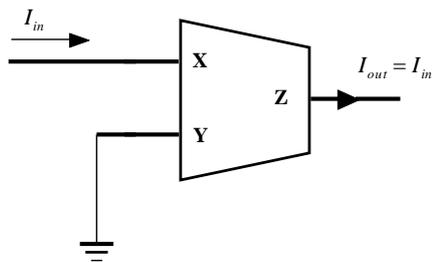


Figura 3.26. Fuente de corriente controlada por corriente, basada en CCII.

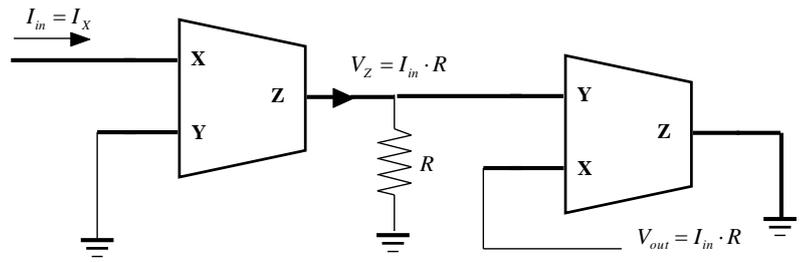


Figura 3.27. Fuente de tensión controlada por corriente, basada en CCII.

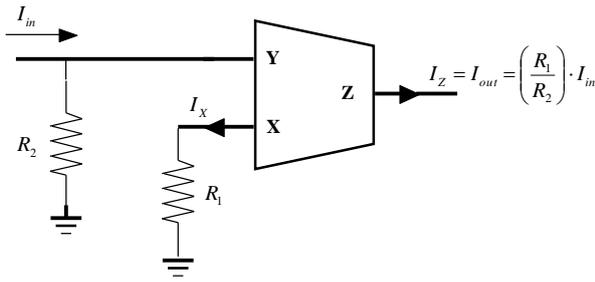


Figura 3.28. Amplificador de corriente, basado en CCII.

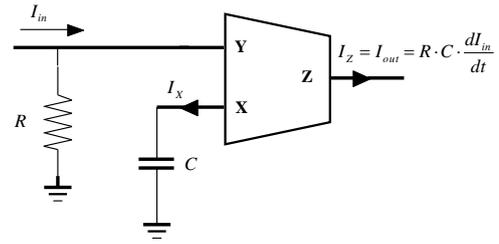


Figura 3.29. Diferenciador de corriente, basado en CCII.

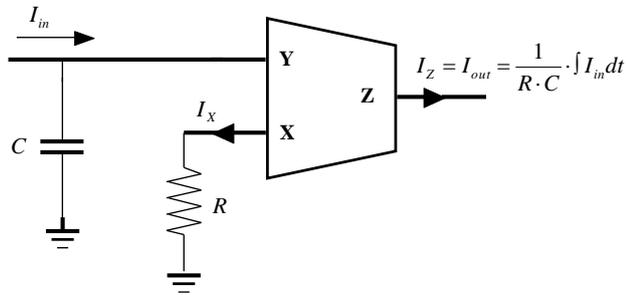


Figura 3.30. Integrador de corriente, basado en CCII.

A continuación estudiaremos las características ideales y reales de los convertidores de corriente y veremos varios modelos equivalentes.

3.6.2. El convertidor de corriente ideal

La Figura 3.31 muestra el modelo equivalente ideal del CCII, el cual está formado por una fuente de tensión y otra de corriente ideales.

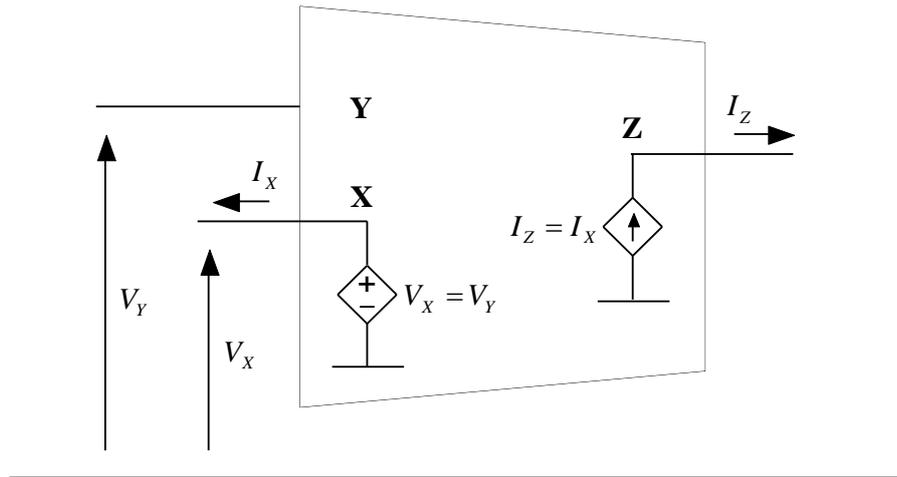


Figura 3.31. Modelo equivalente ideal del CCII.

3.6.3. El convertidor de corriente real

La implementación de los CCII conduce inevitablemente al diseño de dispositivos cuyas características están muy próximas, pero no iguales a las ideales.

La Figura 3.32 muestra un primer modelo del CCII real. Los parámetros α y β se han introducido para considerar las imperfecciones de la fuente de tensión y la de corriente. Los valores reales de α y β son muy próximos a la unidad.

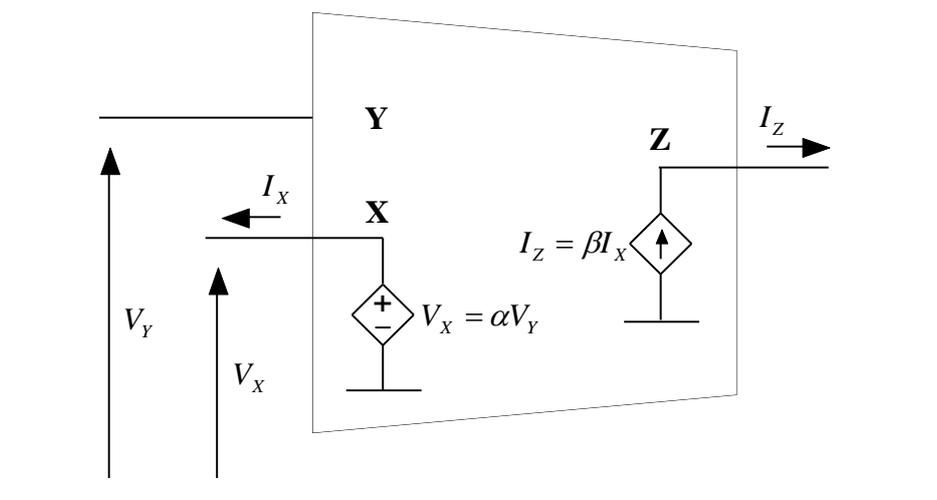


Figura 3.32. Modelo no ideal del CCII.

En la Figura 3.33 se muestra los modelos equivalentes ideales y no ideales del nodo X del CCII. En el primer modelo no ideal consideramos una fuente de tensión imperfecta, y en el segundo, además de esto, consideramos una impedancia distinta de cero en el mismo terminal.

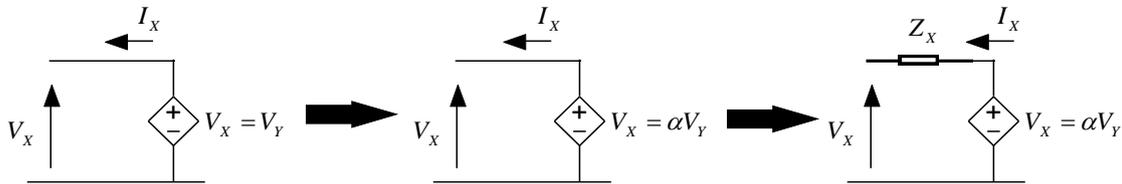


Figura 3.33. Modelos equivalentes del nodo X.

Las Figuras 3.34 y 3.35 muestran los mismos modelos equivalentes ideales y reales del nodo Z, para los casos de CCII+ y CCII-, respectivamente.

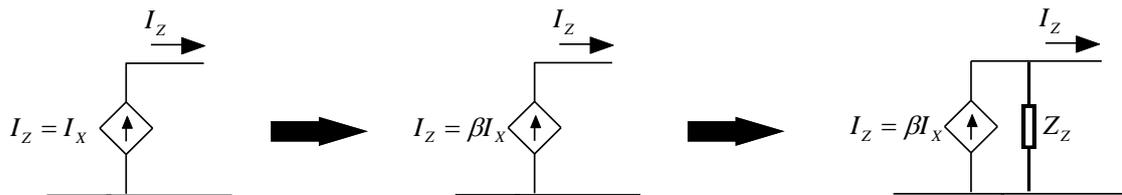


Figura 3.34. Modelos equivalentes del nodo Z para el CCII+.

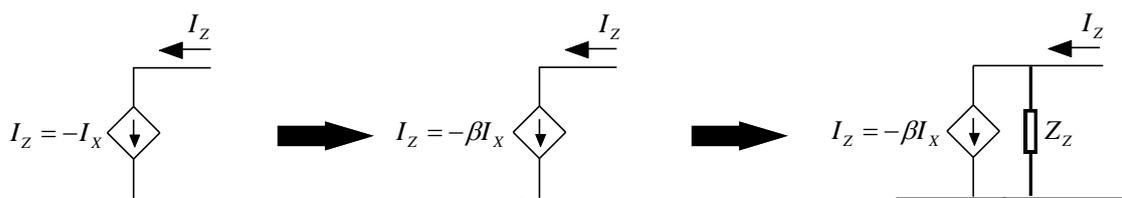


Figura 3.35. Modelos equivalentes del nodo Z para el CCII-.

En la Figura 3.36 podemos encontrar los modelos equivalentes reales completos del CCII+ y del CCII-.

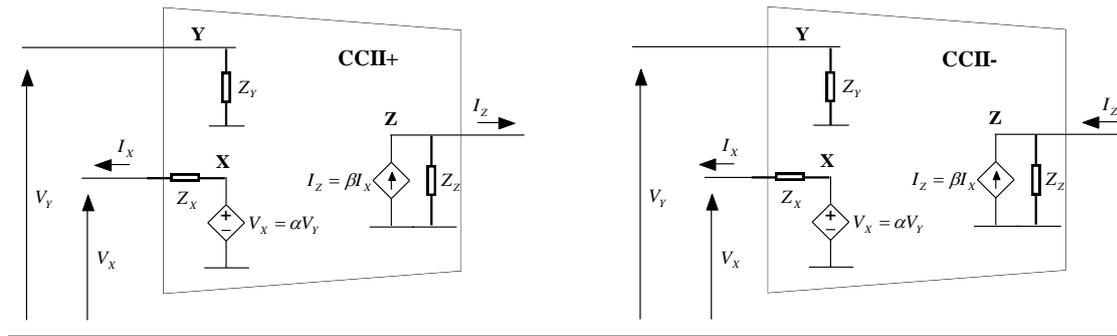


Figura 3.36. Modelos equivalentes del CCII- y CCII+ no ideal.

3.6.4. Amplificadores de transimpedancia basados en convertidores de corriente

Después de haber estudiado las principales características de los convertidores de corriente, debido a la necesidad de la configuración para la aplicación del mezclador, hemos obtenido de la bibliografía [23],[24] y [25], la estructura configurada como fuente de tensión controlada por corriente (CCVS), cuyas características principales son su etapa de entrada asimétrica y su etapa de salida clase AB. Su esquemático es el que podemos ver en la Figura 3.37.

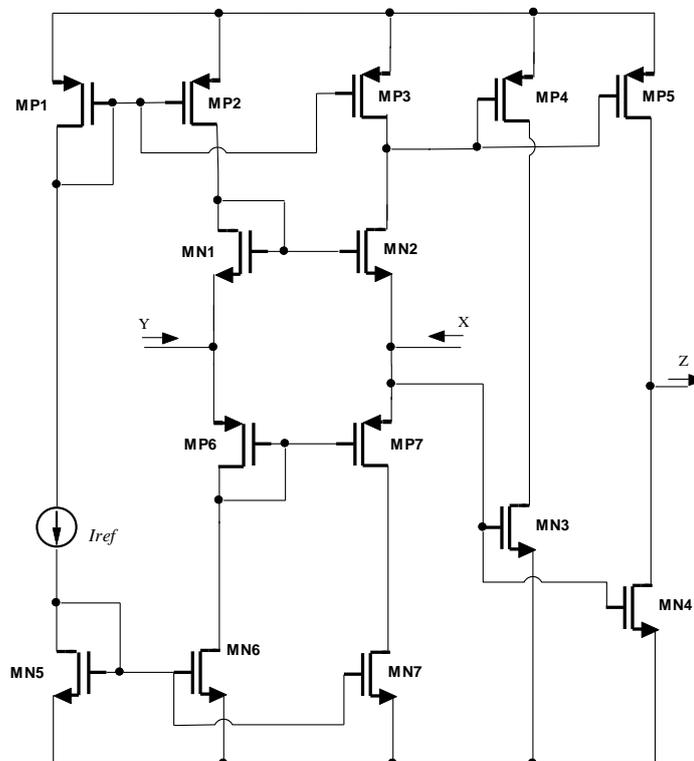


Figura 3.37. Convertidor de corriente basado en fuente de tensión controlada por corriente.

Esta estructura la analizaremos más a fondo en el capítulo de diseño en el que podremos ver su comportamiento como etapa de amplificación de un mezclador de frecuencias.

3.7 Conclusiones

En el presente capítulo se ha sentado la teoría básica de los mezcladores, comenzando con la definición de los principales parámetros característicos de los mismos para continuar luego viendo las diferentes topologías existentes. A continuación se han estudiado los mezcladores pasivos basados en amplificadores operacionales y se ha propuesto la utilización de los convertidores de corriente como alternativa a éstos.

En la segunda parte del capítulo hemos realizado un estudio de los convertidores de corriente, comenzando con su historia y evolución, así como sus conceptos teóricos y repasamos sus diferentes topologías. Por último se presentó una topología de CCII basada en fuente de tensión controlada por corriente (transimpedancia) para la aplicación del mezclador pasivo que implementaremos en este proyecto.

En el siguiente capítulo procederemos al diseño completo de nuestro circuito, tanto a nivel de esquemático como de *layout* y también realizaremos las respectivas simulaciones *post-layout* para verificar su correcto funcionamiento.

Capítulo 4

Diseño del circuito

4.1 Introducción

En capítulos anteriores se han estudiado las principales características de la tecnología empleada, el estándar *DVB-SH* y las topologías de los mezcladores y convertidores de corriente. Teniendo en cuenta todo ello en este capítulo pasamos al diseño del circuito y la optimización de los diferentes parámetros con el fin de obtener las mejor prestaciones posibles.

4.2 Topología del circuito

Como ya comentamos en capítulos anteriores, la estructura elegida para la etapa de mezclado es la mostrada en la Figura 4.1. En este proyecto proponemos la utilización de los convertidores de corriente para la implementación del amplificador de transimpedancia.

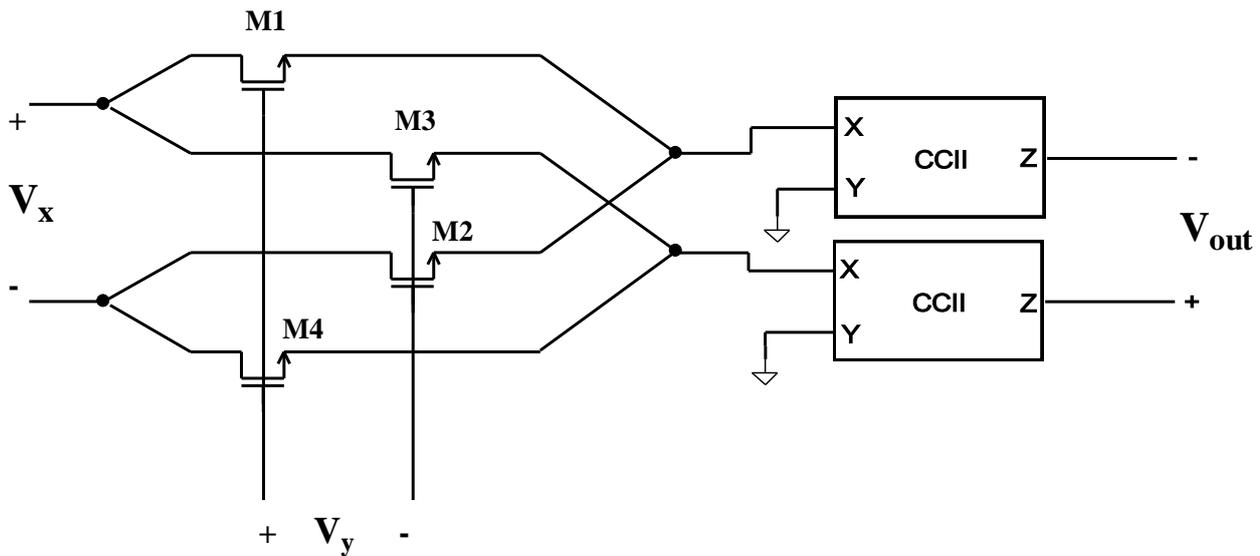


Figura 4.1. Mezclador pasivo con convertidores de corriente.

4.3 Diseño del circuito

Para el diseño de nuestro circuito hemos empleado las herramientas de diseño *Cadence* [7] y *ADS* [8], utilizando *Dynamic Link* para la transferencia de los esquemáticos de uno a otro. Desde un principio se adoptó la decisión de diseñar el mezclador y los convertidores de corriente al mismo tiempo, ya que podría darse el caso de que al optimizar ambos por separado, al conectarlos entre sí el resultado final no fuera el óptimo.

A continuación fuimos variando los diferentes parámetros de los diferentes transistores (ancho de puerta, longitud del canal, número de dedos, multiplicidad), así como las corrientes de polarización y las tensiones VRF (V_Y) y VLO (V_X), para la optimización del punto de trabajo de los transistores y ver la respuesta del circuito en cuanto a los parámetros de ganancia (CG), ruido (NF) y punto de intercepción de tercer orden (IP3).

4.4 Diseño a nivel de esquemático

4.4.1. Optimización de las tensiones de polarización

En la Figura 4.2 podemos observar la variación de ganancia y figura de ruido para diferentes valores de la tensión de polarización del mezclador VLO.

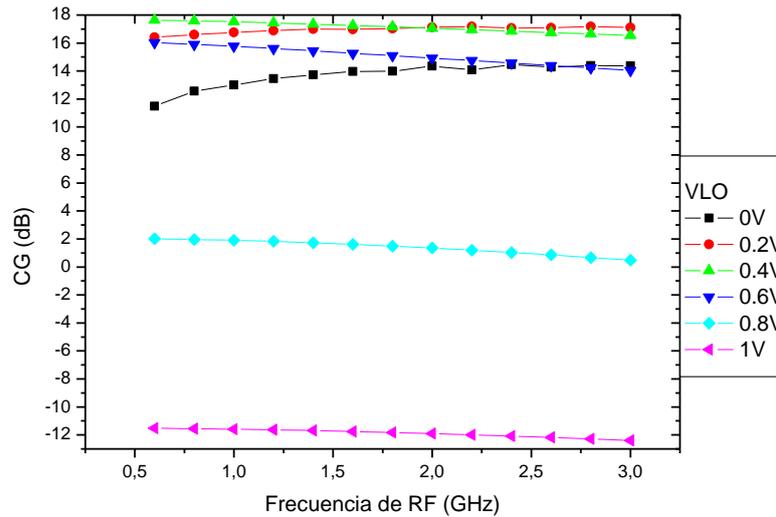


Figura 4.2. CG frente VLO.

Podemos apreciar que para valores de tensión de polarización VLO próximos a cero, la ganancia de conversión aumenta. Observamos también que con valores de VLO próximos a 1V la Ganancia es incluso negativa, alejándose de las prestaciones que necesitamos para nuestro diseño.

Del mismo modo, podemos comprobar que la figura de ruido disminuye con el valor de VLO (ver Figura 4.3).

A medida que realizábamos las simulaciones, pudimos constatar que se obtenían mejores valores de ganancia y figura de ruido al aumentar el tamaño de los transistores que integran el mezclador. Del mismo modo, todos nuestros cálculos fueron desarrollados teniendo en cuenta el valor de las impedancias de entrada y salida, para una correcta adaptación con las siguientes etapas.

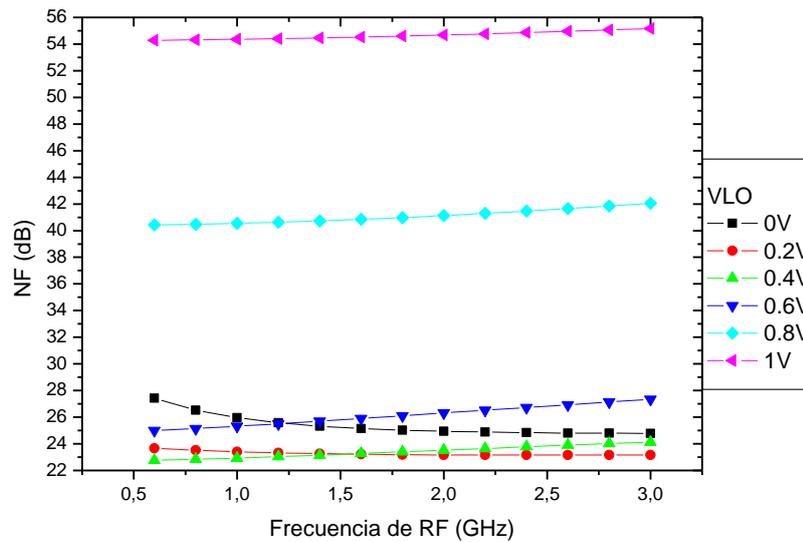


Figura 4.3. NF frente VLO.

De forma análoga, una vez fijado el valor óptimo de VLO, fuimos barriando diferentes tensiones de polarización para VRF, obteniendo los resultados que siguen en las siguientes figuras para Ganancia (Figura 4.4) y Figura de Ruido (Figura 4.5).

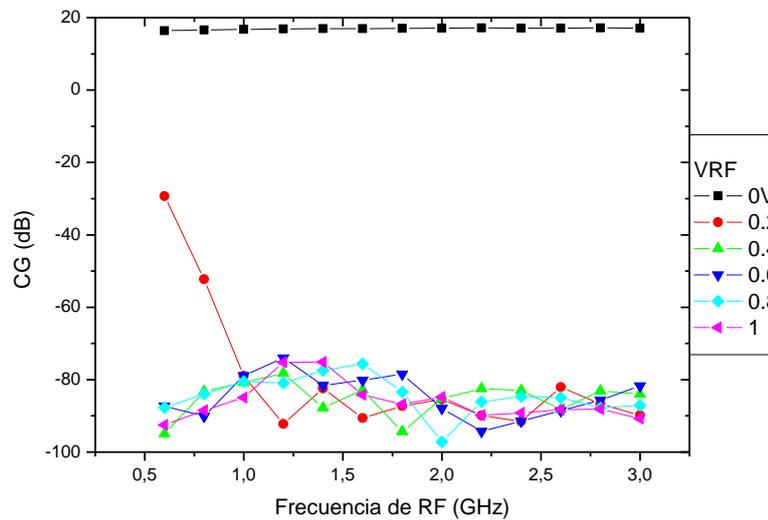


Figura 4.4. CG frente VRF.

Se observa que para valores de tensión superiores a 0V, la ganancia es negativa, con lo que este valor de 0V fue el escogido.

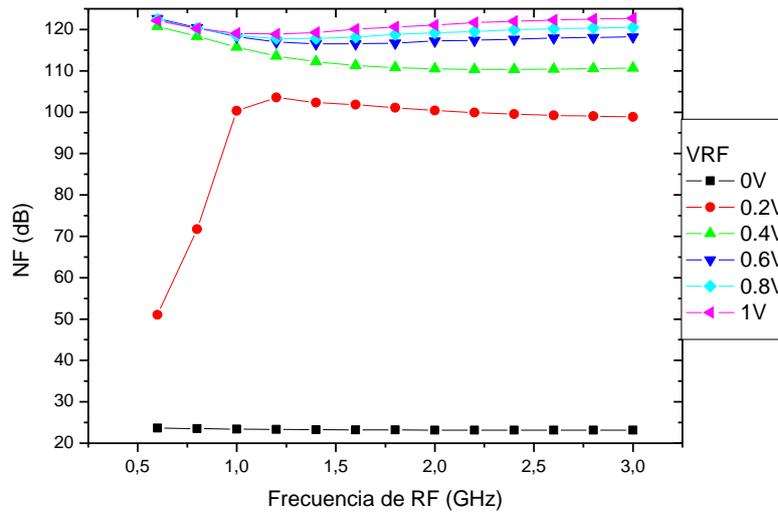


Figura 4.5. NF frente VRF.

En cuanto a la figura de ruido, comprobamos que la menor obtenida es también para este valor de $V_{RF}=0V$.

4.4.2. Optimización del núcleo del convertidor de corriente

Una vez fijados los valores de las tensiones de polarización V_{LO} y V_{RF} respectivamente, continuamos con la optimización del resto de parámetros de nuestro mezclador, con el fin de obtener las mejores prestaciones posibles.

Una de las partes más importante del diseño y que repercute más en la respuesta final es el núcleo del convertidor de corriente (Figura 4.6), formado por 2 transistores tipo N y 2 tipo P.

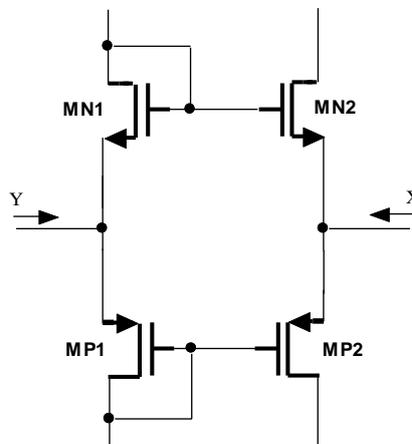


Figura 4.6. Núcleo del CCII.

En las Figuras 4.7 y 4.8, respectivamente, observamos la respuesta en cuanto a Ganancia y Figura de ruido al barrer el ancho de los transistores que forman el núcleo ($\omega_{Núcleo}$).

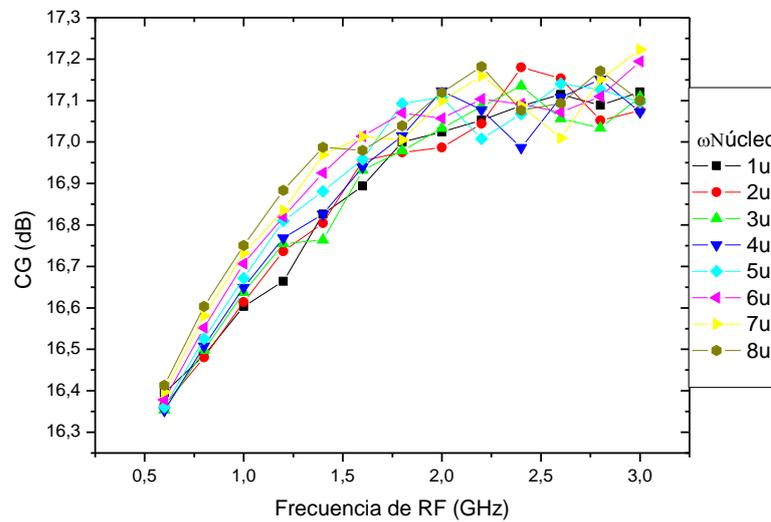


Figura 4.7. CG frente $\omega_{Núcleo}$.

Podemos observar que la figura de ruido disminuye al aumentar el tamaño de ω .

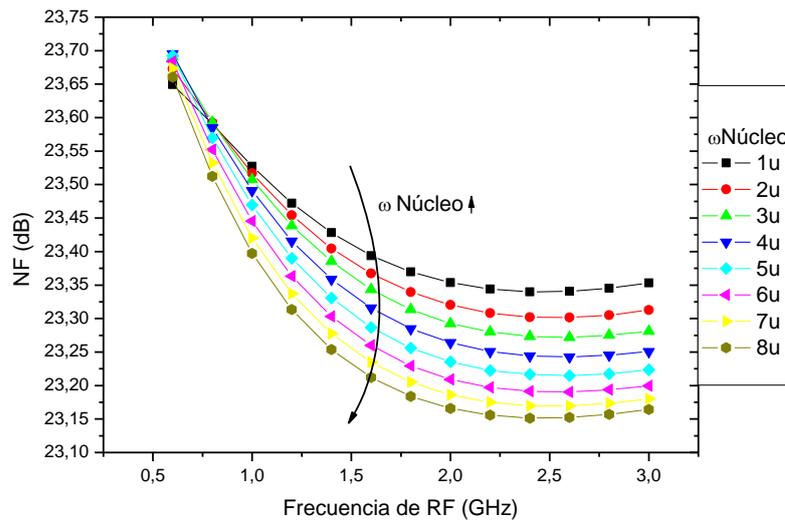


Figura 4.8. NF frente $\omega_{Núcleo}$.

Para esta transición de las fuentes ideales a las reales, fuimos implementando primero una rama, manteniendo la otra con una fuente ideal, para así ir ajustando poco a poco los transistores que componen dicha fuente. Como podemos observar en la Figura 4.10, tenemos en la parte superior de nuestro diseño la fuente formada por 3 transistores PMOS y en la parte inferior la fuente formada por 3 transistores NMOS, así como la referencia.

Es importante destacar que al afrontar esta etapa del diseño de las fuentes reales de corriente tuvimos que realizar una serie de ajustes en los parámetros de los transistores (ancho, longitud, número de dedos, multiplicidad, etc). Esto fue debido principalmente a que en las simulaciones con las fuentes de corriente ideales se producía una mayor caída de tensión en los transistores del núcleo del CCII y al implementar las fuentes reales con transistores, hubo que realizar una serie de barridos de los diferentes parámetros hasta lograr que las corrientes de polarización que circulaban por las ramas fueran las que habíamos fijado previamente.

En las Figuras 4.11 y 4.12 podemos observar los resultados obtenidos de las diferentes simulaciones al variar la corriente de polarización $ipol1$.

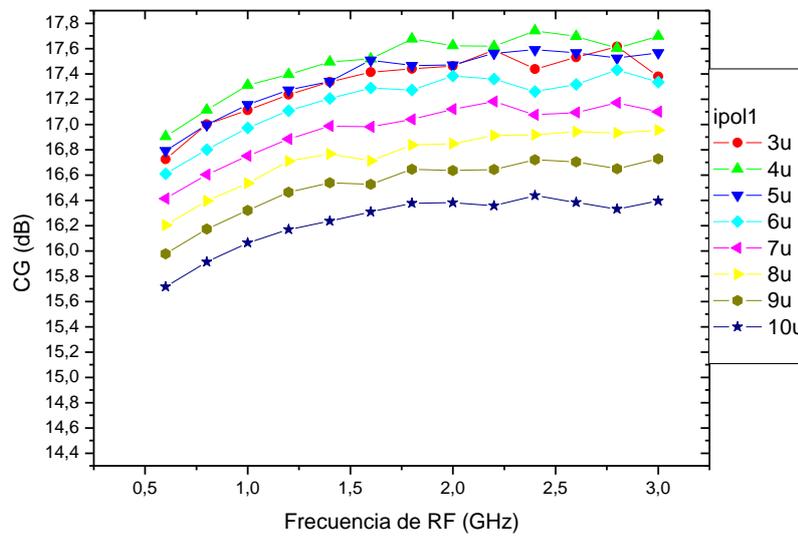


Figura 4.11. CG frente $ipol1$.

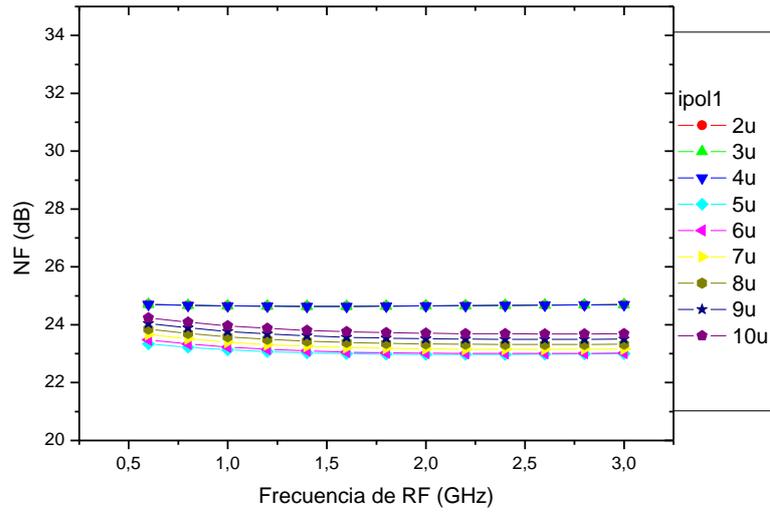


Figura 4.12. NF frente ipol1.

Del mismo modo realizamos un barrido con diferentes valores para ipol2, obteniendo los siguientes valores de Ganancia (Figura 4.13) y Figura de Ruido (Figura 4.14).

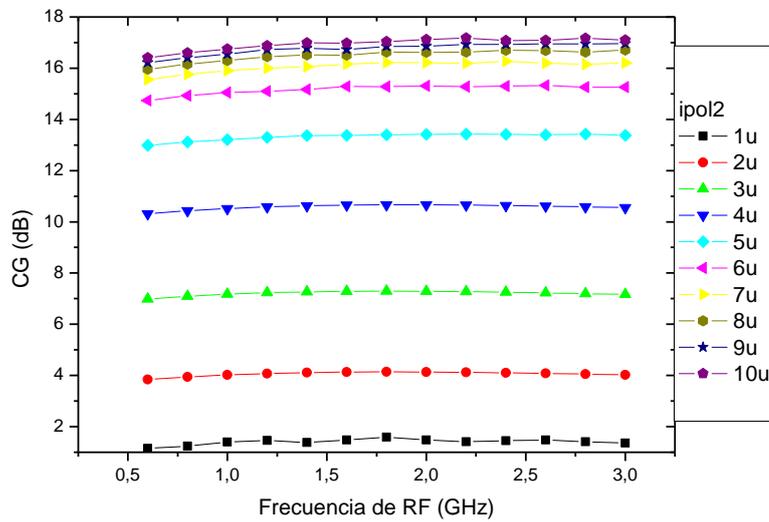


Figura 4.13. CG frente ipol2.

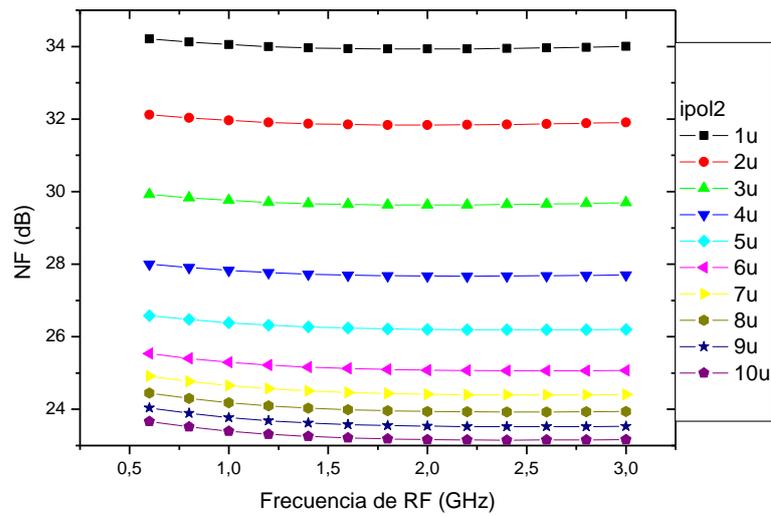


Figura 4.14. NF frente ipol2.

Tras las simulaciones realizadas y analizando los resultados obtenidos, con el fin de obtener un compromiso entre ganancia, figura de ruido, linealidad, consumo de potencia, etc, se eligieron los siguientes valores:

- ✓ $I_{pol1} = 7 \mu A$
- ✓ $I_{pol2} = 10 \mu A$

4.4.4. Optimización de la etapa de salida

Llegados a este punto en el que tenemos el mezclador y el núcleo del convertidor de corriente optimizados y las fuentes reales de corriente implementadas, nos vamos a centrar en ajustar los transistores que forman la etapa de salida.

Viendo los resultados que hemos obtenido hasta ahora, nuestro objetivo es conseguir, con el menor consumo posible una figura de ruido, una ganancia y una linealidad acordes con las especificaciones del diseño. Con el fin de mejorar la linealidad, se implementó una etapa de salida clase AB.

El procedimiento a seguir ha sido el mismo que en la optimización del resto de etapas de nuestro diseño, es decir, realizar una serie de barridos de todos los parámetros de los

transistores que componen la etapa de salida clase AB (ver Figura 4.15) y ver qué configuración es la que mejor cumple con las especificaciones de diseño.

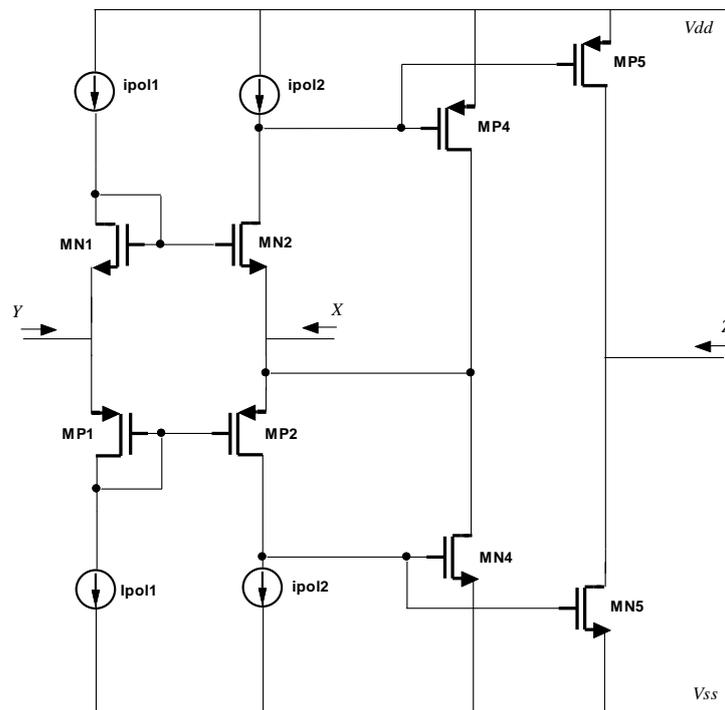


Figura 4.15. Convertidor de corriente con etapa de salida clase AB.

Una vez llegados a este punto, sabemos que el nivel de ruido y el consumo nos afecta considerablemente a las prestaciones de nuestro diseño, así que nos centramos en optimizar los transistores que componen la etapa de salida. Tras los cálculos previos, teniendo en cuenta las caídas de tensión en los transistores y las corrientes en cada rama, procedimos a realizar las diferentes simulaciones.

Para ello, nos centramos en realizar cambios del dimensionado de los transistores haciendo combinaciones entre los cuatro que forman la salida, primero una rama y luego la siguiente. El siguiente paso fue variar la corriente que fluye por ipol2 y el tamaño de los transistores MP4, MP5, MN4 y MN5, los cuales forman parte de la etapa de salida, para una mejor aclaración los hemos diferenciado en “Etapa 1” y “Etapa 2” (ver Figura 4.16).

Una vez analizados los resultados, verificamos que para el tamaño más pequeño que permite nuestra tecnología (90 nm), es decir, el ancho de puerta mínimo (0.5 μm) y mínimo número de dedos se obtienen los mejores resultados.

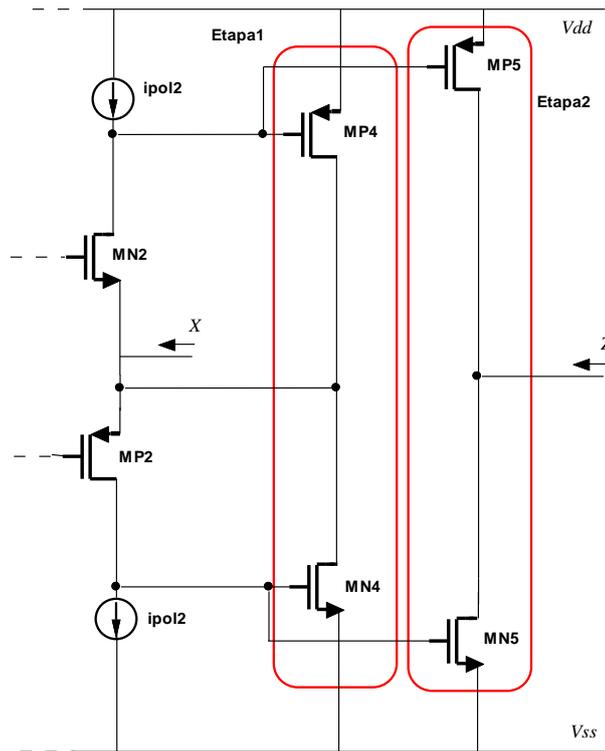


Figura 4.16. Etapa de salida clase AB.

A continuación se muestran los resultados de las citadas simulaciones, correspondiendo ω_{AB} al ancho de los transistores que componen la primera etapa de salida de la clase AB (Figura 4.17 y Figura 4.18) y ω_{AB1} la segunda, directamente al nodo Z del convertidor de corriente (Figura 4.19 y Figura 4.20).

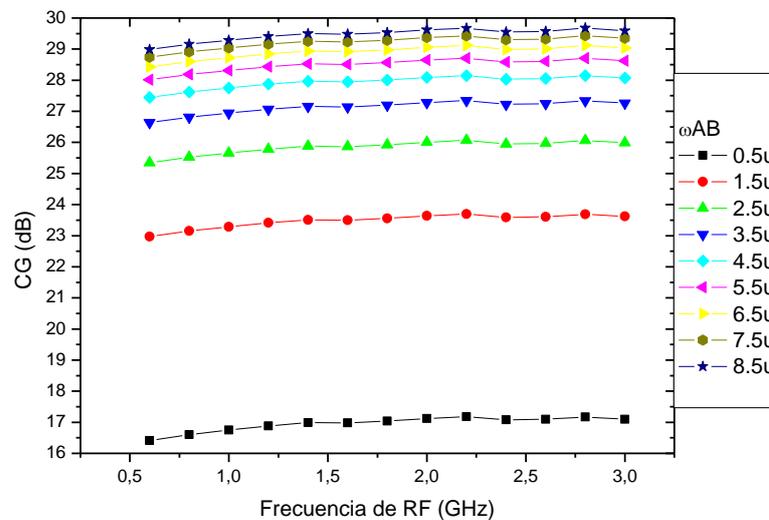


Figura 4.17. CG frente ω_{AB} .

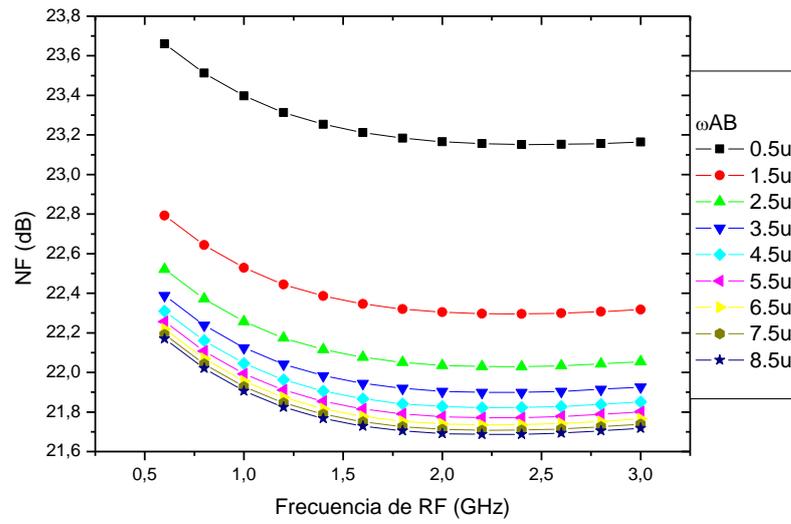


Figura 4.18. NF frente ω_{AB} .

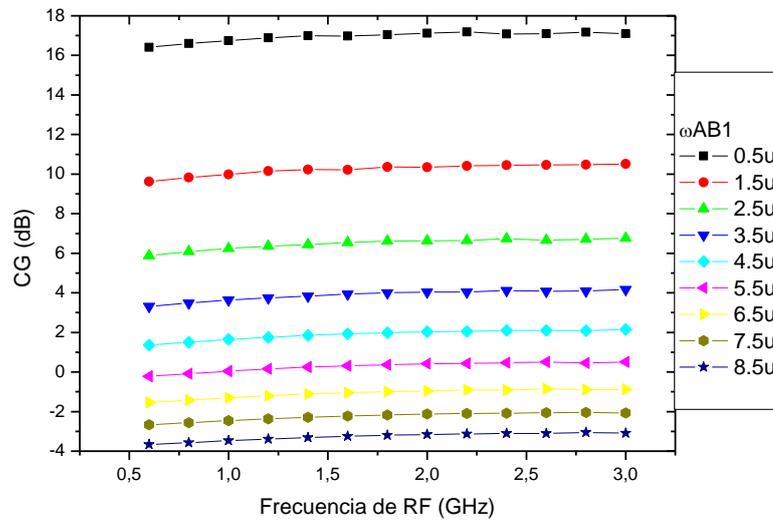


Figura 4.19. CG frente ω_{AB1} .

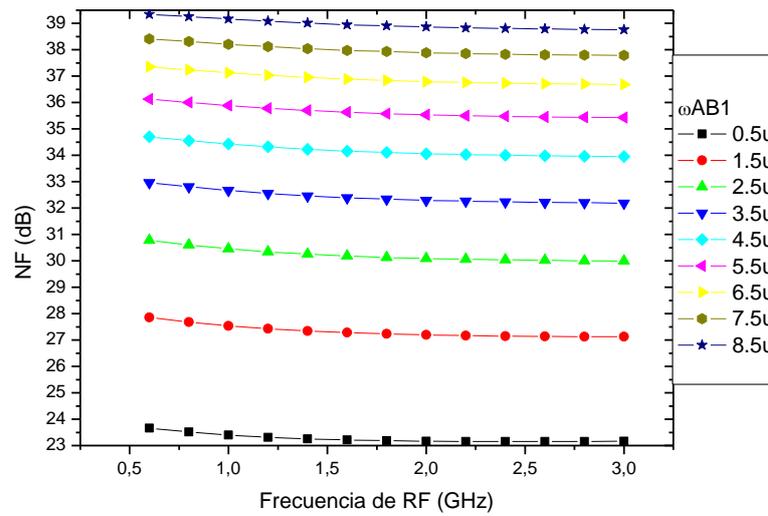


Figura 4.20. NF frente ω_{AB1} .

4.5 Diseño completo y simulaciones finales

Una vez optimizado nuestro diseño, como es necesario emplear dos CCII para la etapa de amplificación del mezclador, decidimos juntarlos y así ahorrarnos los 3 transistores del espejo de corriente a la hora de realizar el *layout*. Así que los dos CCII quedaron como se muestra en la Figura 4.21.

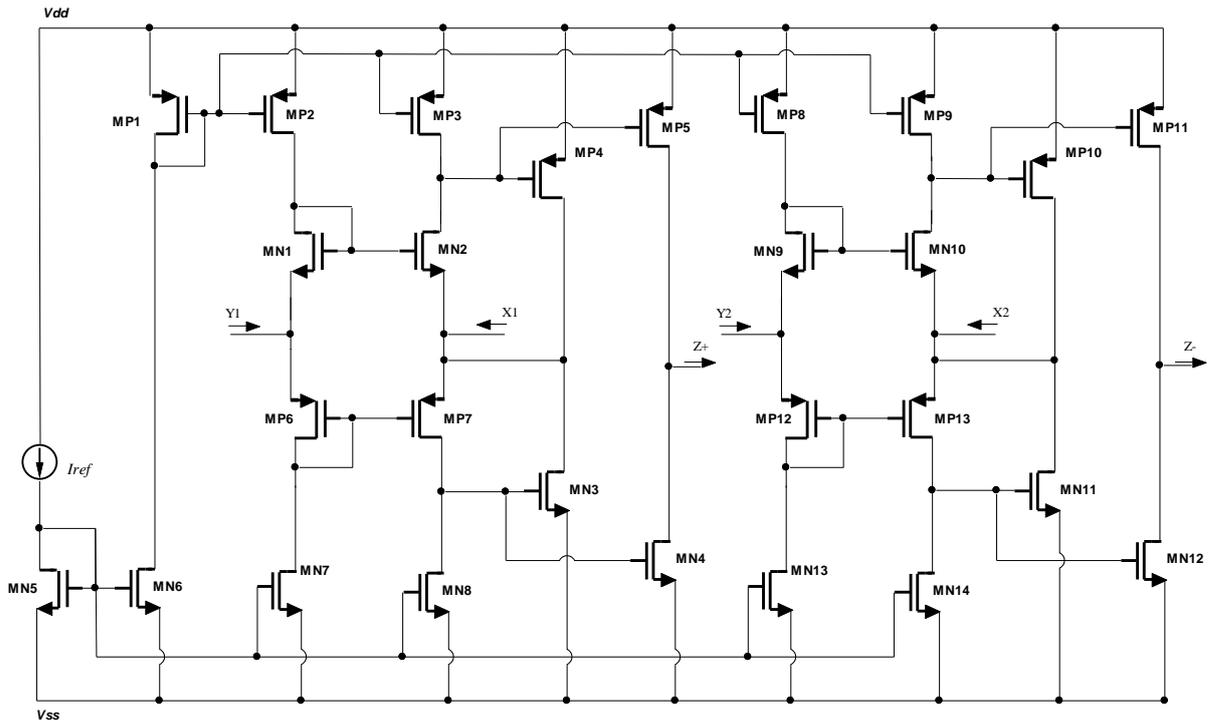


Figura 4.21. Esquemático de los dos CCII's unidos.

Es importante señalar que se tomó la decisión de dividir nuestro diseño en etapas a la hora de realizar la optimización con el fin de simplificar los cálculos y simulaciones, y de este modo ir barriendo los diferentes parámetros de cada transistor para ajustarlos lo más finamente posible. Sin embargo, y aunque se haya optimizado cada etapa del diseño independientemente, hubo que ir viendo en qué medida esas variaciones afectaban al resto del circuito.

Por este motivo, se insistió en diseñarlo lo más robustamente posible, es decir, que a pequeñas variaciones de alguno de los parámetros que lo componen, no se vean reflejados de manera agresiva en su comportamiento final.

Consecuentemente, hubo que hacer reajustes ya que no siempre los valores óptimos calculados para los transistores de una determinada etapa del diseño correspondían con las mejores prestaciones finales. Así que, de los resultados obtenidos decidimos establecer un compromiso entre el consumo, la ganancia, el ancho de banda y la linealidad, principalmente.

Asimismo teníamos que tener en cuenta que a la entrada de nuestro circuito estará conectado un LNA y por tanto nuestros cálculos fueron desarrollados para que estuviese adaptado a una impedancia de entrada de 50Ω y de salida de $1 \text{ k}\Omega$ al siguiente bloque.

En la Figura 4.22 podemos ver el esquemático completo de nuestro diseño, tanto los dos convertidores de corriente unidos para simplificar las fuentes de corriente reales, como su interconexión al mezclador pasivo.

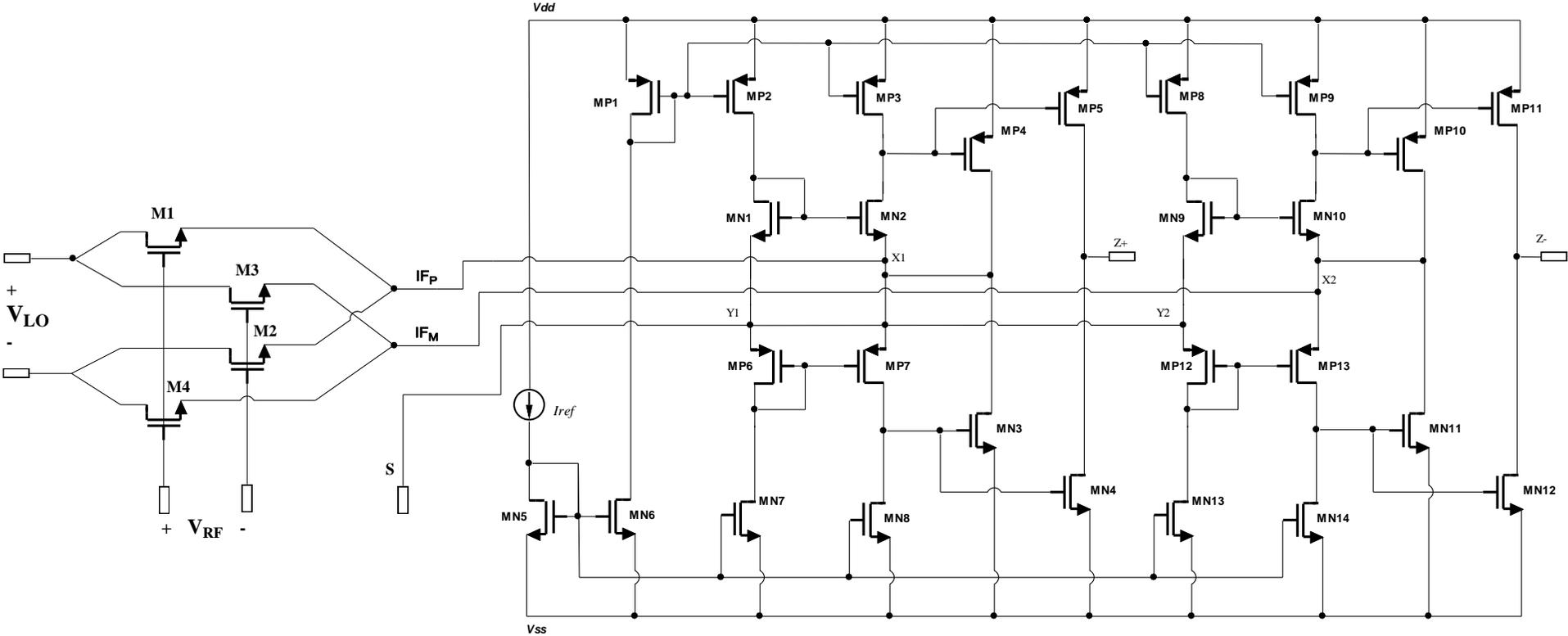


Figura 4.22. Esquemático del diseño completo.

A continuación podemos ver las gráficas con los resultados obtenidos en las simulaciones para el valor de la ganancia (Figura 4.23), la figura de ruido (Figura 4.24), así como la linealidad (Figura 4.25), realizadas con la herramienta *ADS* [8].

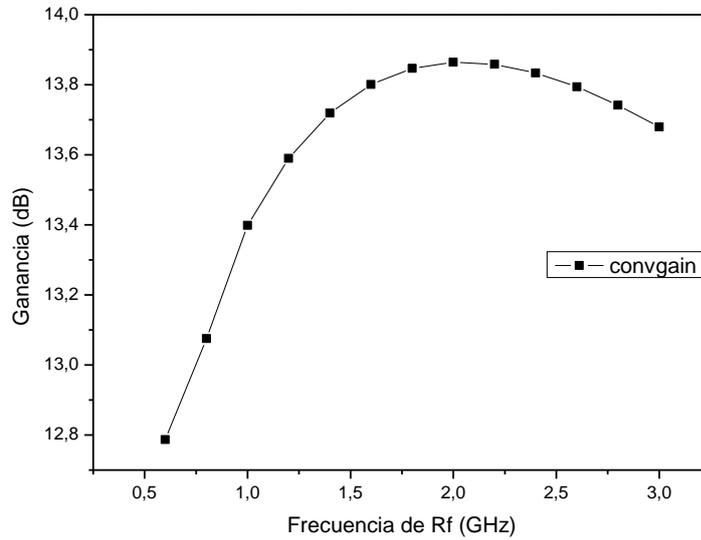


Figura 4.23. Ganancia frente frecuencia.

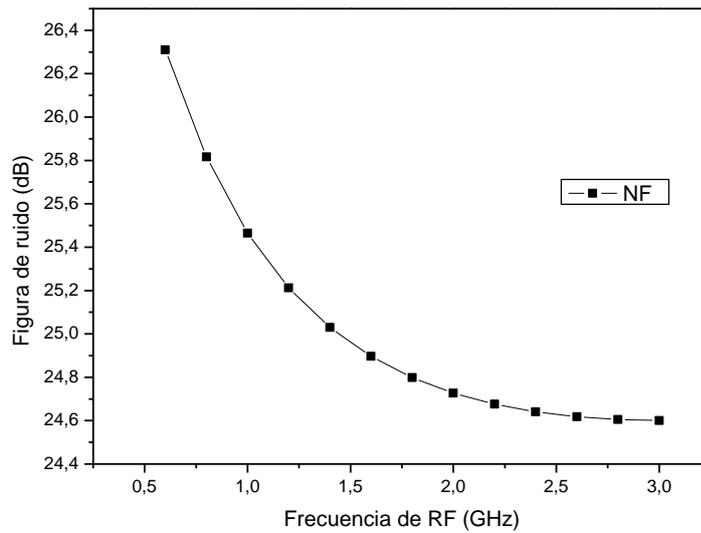


Figura 4.24. Figura de Ruido frente frecuencia.

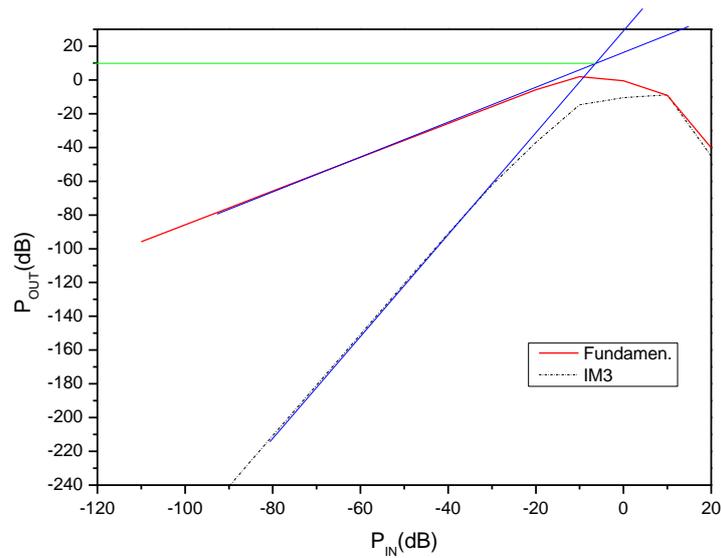


Figura 4.25. Linealidad (IP3).

En la Tabla 4.1 podemos ver un cuadro resumen con los valores obtenidos de las simulaciones realizadas.

Tabla 4.1. Resultados Receptor RF

Frecuencia de RF	2.17-2.2 GHz
BW del canal	8 MHz
Ganancia	13.86 dB
NF @ 4MHz	24.6 dB
OIP3	10.5 dBm
Alimentación	±1.2V
Consumo	4.8 mW

4.6 Diseño a nivel de *layout*

Una vez realizado el diseño del *CCII* y del mezclador pasivo a nivel de esquemático y comprobar en las simulaciones que el circuito cumple con las especificaciones, procedemos al diseño del circuito a nivel de *layout*.

El *layout* consiste en definir los planos de fabricación del circuito integrado, los cuales le proporcionan al fabricante un mapa físico del dispositivo. Además es útil para comprobar el comportamiento del diseño físico de éste, ya que, al igual que la simulación a nivel esquemático puede aproximar el comportamiento de los dispositivos.

4.6.1. Conceptos relacionados con el diseño a nivel de *layout*

Para la realización del *layout* utilizamos la herramienta *Virtuoso* integrada dentro del software *Cadence*, que a su vez integra el paquete de verificación física *Assura* [7]. Esto nos va a permitir no sólo realizar el *layout full-custom* del circuito sino, además, hacer las simulaciones *post-layout*.

Para generar el *layout* correctamente deben cumplirse una serie de reglas que dependen de la tecnología empleada, como pueden ser la distancia entre los distintos elementos, ángulos, densidad de corriente que pueden pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaños, anchos de pistas, etc.

Así mismo, existen una serie de aspectos a tener en cuenta que nos permiten obtener el comportamiento óptimo del diseño. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se muestran a continuación:

- El sustrato se debe conectar al potencial más negativo.
- Se ha de lograr la máxima simetría entre los componentes aplicando la técnica del centroide común. Esta técnica se emplea para que a dos elementos iguales le afecten del mismo modo las dispersiones que se puedan producir durante el proceso de fabricación.
- Se debe evitar que los ángulos de las pistas sean menores a 45°.
- Las pistas de poli-silicio deben ser lo más cortas posibles, ya que crean resistencias perjudiciales para el comportamiento del circuito.
- Tanto las pistas de poli-silicio como las de metales han de tener un determinado ancho dependiendo del flujo de corriente que circule a través de ellas. Estas dimensiones son recomendadas por la tecnología usada.

Generalmente, las pistas se han de sobredimensionar para evitar posibles roturas. Las pistas de alimentación las sobredimensionamos al máximo aprovechando los espacios vacíos, ya que se nos crea una capacidad parásita muy grande que nos sirve para filtrar cualquier ruido que viniera con dichas tensiones de alimentación.

A la hora de fabricar el circuito, a los distintos componentes pueden afectarle una serie de dispersiones del proceso. Estas dependen, sobre todo, de donde esté ubicado el circuito integrado dentro de la oblea. Las dispersiones siempre actúan de manera lineal y en una dirección determinada. Se pueden distinguir varios tipos de dispersiones, entre las que destacan:

- Variación en el espesor de la capa de óxido: afecta, principalmente, a las capacidades parásitas de los transistores.
- Variación en el número de impurezas: afecta a la movilidad de los electrones, lo que modifica el valor de la transconductancia.
- Variación del tamaño de los transistores: afecta al valor de la transconductancia, capacidades parásitas y resistencias de los transistores.

Aplicando la técnica del centroide común conseguimos evitar que las dispersiones ya comentadas nos afecten lo menos posible a nuestro circuito. Esta técnica consiste en ubicar o distribuir los diferentes transistores utilizados en nuestro diseño de manera simétrica respecto a un centro determinado, logrando así un correcto apareamiento entre transistores

Si queremos pasar de un metal a otro y colocamos una única vía de unión entre las capas de los diferentes metales, esto nos hace correr el riesgo de que si esta falla nos pueda repercutir en el mal funcionamiento del circuito. Por este motivo todo el circuito se diseña para evitar riesgos innecesarios colocando al menos dos vías entre las diferentes capas de los metales en lugar de una sola si el diseño lo permite.

4.6.2. Diseño del layout

Para un mejor manejo a la hora de realizar el diseño a nivel de *layout*, hemos dividido el circuito, diferenciando la etapa de mezclado y la etapa de amplificación. De esta forma, el desarrollo del *layout* puede efectuarse de forma modular, facilitando la detección de errores.

A su vez, el esquemático del convertidor de corriente se ha dividido en tres grandes bloques: núcleo del convertidor de corriente, fuentes de corriente y etapa de salida. Se aprovecharon las diferentes capas de metal para realizar las conexiones entre ellos.

La metodología utilizada para el diseño del *layout* tras dividirlo en bloques ha sido ir verificando con la vista extraída que cada bloque se ajustaba al esquemático. De este modo, cuando se finalizaba cada bloque se hacía una simulación añadiendo el nuevo bloque con el resto de los bloques ya diseñados. Así se podía detectar rápidamente errores, en el caso de que los hubiera. Una vez realizado este paso, se ha ido construyendo el *layout* en una misma célula.

Dado que estamos en un diseño *full custom* en el que realizamos todos los detalles del circuito, así como el trazado y las células que lo forman, debemos controlar la corrección del diseño de forma exhaustiva. *Cadence* [7] nos ofrece una serie de herramientas las cuales nos verifican que el circuito está bien realizado. Lo primero que hacemos una vez terminado el diseño de cada bloque es realizar el *Design Rule Check (DRC)* con el que comprobamos que no hemos incumplido ninguna regla de diseño. Una vez hecho el *DRC*, lo siguiente es ejecutar el *Layout Versus Eschematic (LVS)*. En este caso lo que realiza el programa es hacerle un testeo a las conexiones del circuito para verificar que no hemos cometido errores con las conexiones entre los dispositivos. En este proceso, el programa verifica que las conexiones entre componentes a nivel de *layout* coinciden con las conexiones a nivel de esquemático.

Finalmente pasamos a la etapa en la que le realizamos un extraído al circuito que consiste en identificar los elementos que lo constituyen y reconstruir el esquemático del circuito, en el que se incluyen capacidades parásitas, resistencias de pistas, etc, para la realización de simulaciones más precisas.

En la Figura 4.26 se muestra el *layout* completo de nuestro diseño, donde podemos observar cada una de las etapas de las que hacíamos referencia anteriormente, así como el conexionado entre todos los elementos que lo componen.

Se ha tratado de no utilizar líneas excesivamente largas ya que introducen capacidades parásitas. Cuando no se ha tenido más remedio que utilizarlas, se han implementado con los metales superiores ya que estos tienen menor resistencia y aportan menos capacidades parásitas.

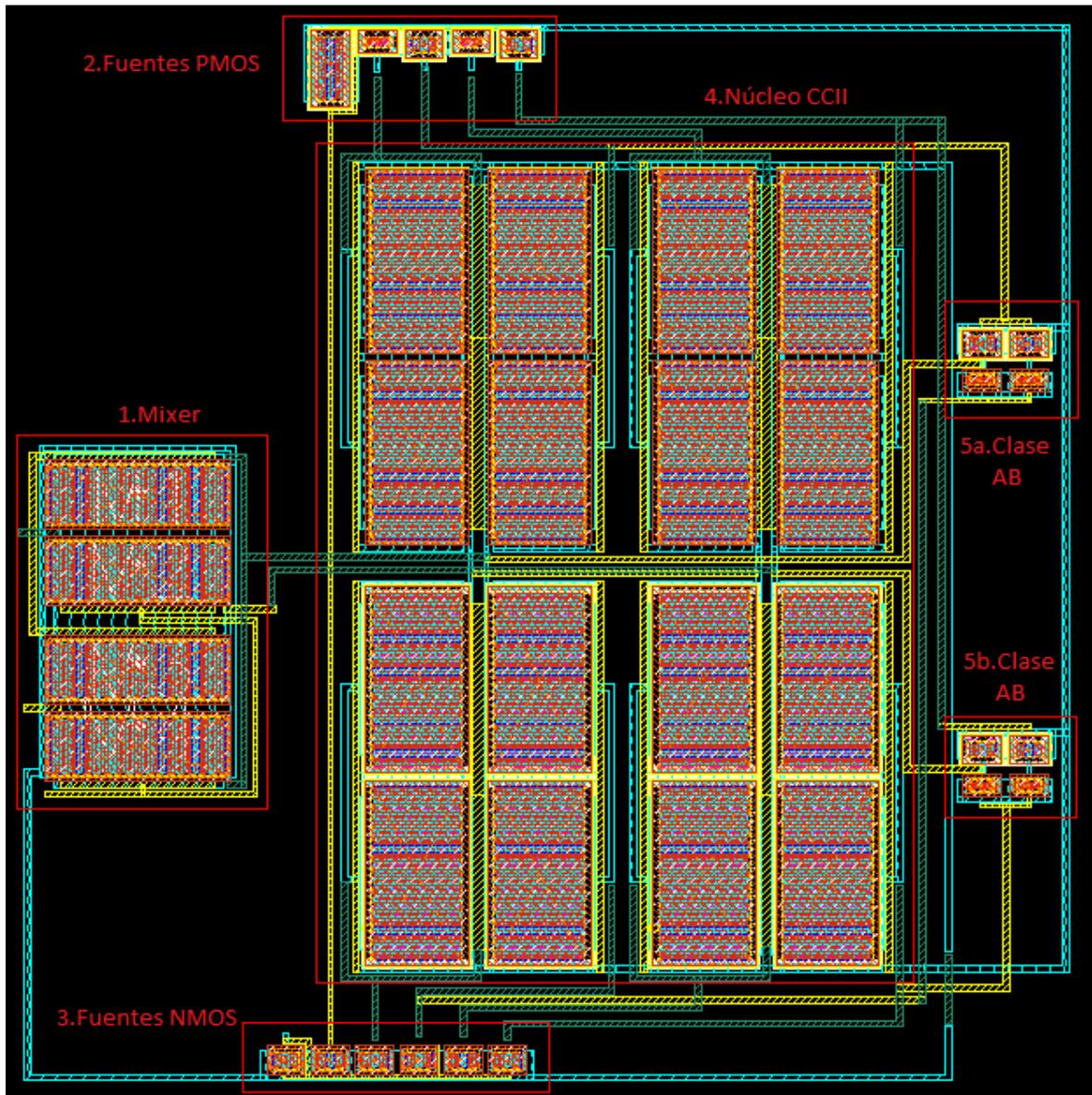


Figura 4.26. *Layout* del esquema completo.

En la Figura 4.26 podemos apreciar claramente la técnica de centroide común empleada en el diseño. También podemos observar como el mezclador (sección 1) y el núcleo del convertidor de corriente (sección 4) ocupan la mayor parte del área. Destacar el dimensionado del núcleo del *CCII* (sección 4 en la Figura 4.26), dónde para poder alcanzar las especificaciones del estándar hubo que usar transistores de gran tamaño. Para ello establecimos el ancho de puerta ($w_{\text{Núcleo}} = 8\mu\text{m}$) mayor permitido por la tecnología, así como aumentamos el número de dedos hasta 20, con el fin de evitar una multiplicidad excesiva, ya que sería mucho más tedioso su diseño a la vez que ocuparía más espacio.

Por contra, los transistores que forman las fuentes de corriente PMOS (ver sección 2), fuentes de corriente NMOS (sección 3) y las etapas de salida clase AB (secciones 5a y 5b) están formadas por transistores más pequeños. También podemos ver el conexionado de los diferentes bloques que fuimos diseñando por separado por medio de los metales que nos ofrece la tecnología, siempre teniendo en cuenta el ancho de estas pistas en base al flujo de corriente que circule a través de ellas. En este caso siempre hemos sobredimensionado los valores mínimos para evitar problemas con el diseño.

En las Figuras 4.27 y 4.28 se muestran las simulaciones *post-layout* de nuestro diseño. Como podemos apreciar los valores de Ganancia y Figura de ruido no difieren prácticamente de las simulaciones obtenidas de la vista del esquemático.

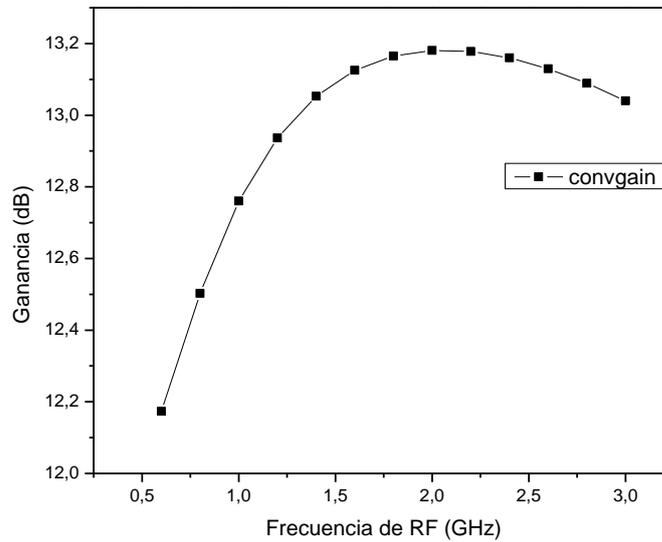


Figura 4.27. Ganancia frente Frecuencia.

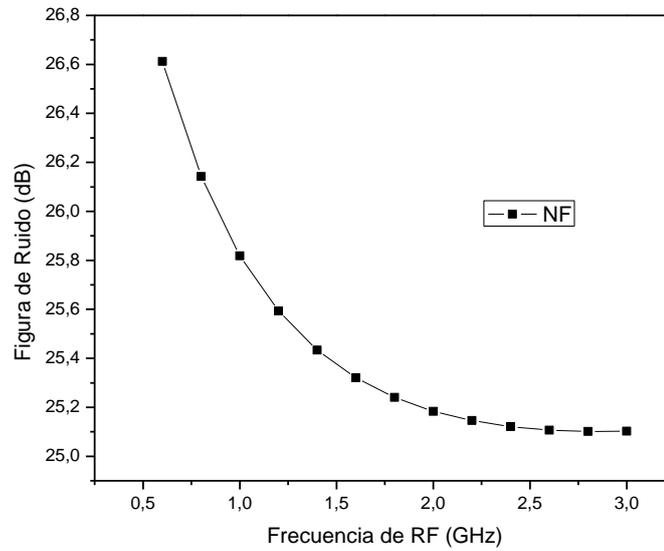


Figura 4.28. Figura de ruido frente a Frecuencia.

4.7 Integración en el receptor de RF

El diseño realizado para este proyecto fin de carrera forma parte de un receptor de RF completo para *DVB-SH* (ver Figura 4.29), compuesto además del mezclador basado en convertidores de corriente vistos anteriormente, por un amplificador de bajo ruido (*LNA*) y un Conversor Asimétrico a Diferencial [27].

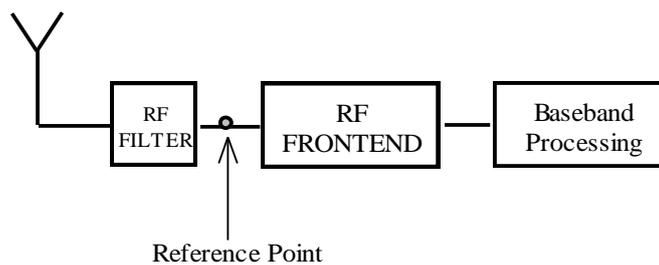


Figura 4.29. Receptor para *DVB-SH*.

El receptor está compuesto por un *LNA* basado en CCII con entrada y salida asimétrica, un convertidor asimétrico a diferencial para atacar al mezclador, y nuestro mezclador pasivo con salida diferencial seguido por dos CCII con el fin de obtener una alta ganancia de conversión.

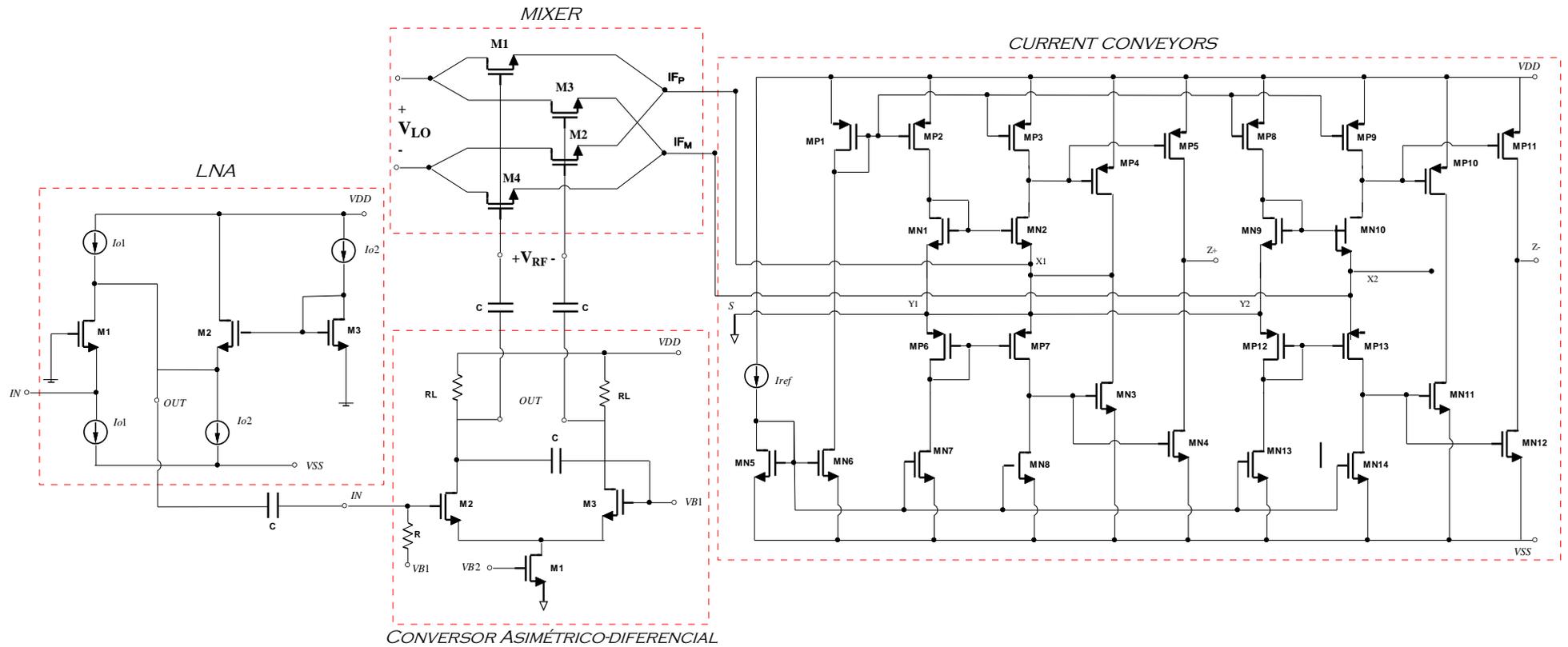


Figura 4.30. Esquemático completo del Receptor de RF para DVB-SH.

4.7.1. Distribución de *pads* en el *layout* final

En la Figura 4.31 se muestra la distribución de las puntas de prueba usadas para nuestro diseño. Como se puede observar, las puntas que se van a usar para realizar la medida del circuito son del tipo SGS (*Signal Ground Signal*) debido al gran número de señales de entrada y salida que tenemos.

A la hora de realizar la distribución, se tomó como premisa fundamental el tener los pines de las señales de entrada lo más simétricamente posible. En cuanto a los pines de alimentación se trató de enmarañar lo menos posible el diseño y evitar el solapamiento entre capas de metal adyacentes con el objetivo de evitar capacidades parásitas inesperadas.

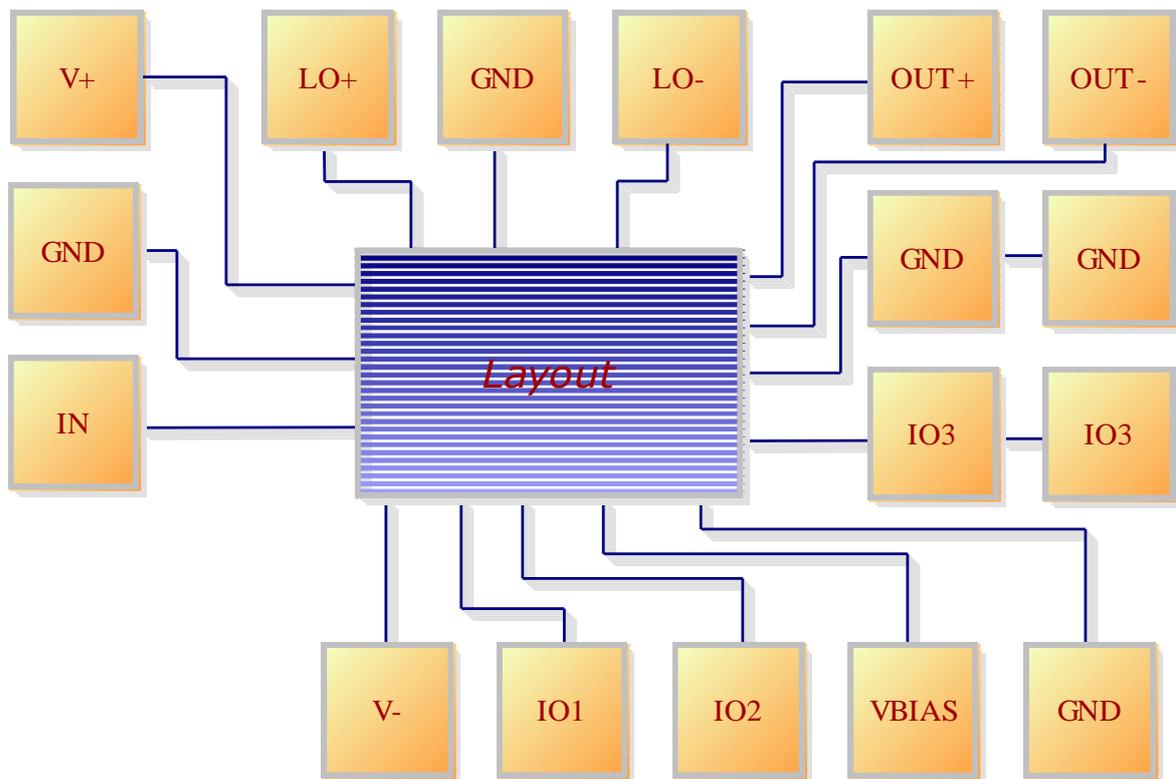


Figura 4.31. Distribución de los *pads* de medida.

Para ubicar los *pads* correctamente seguimos las recomendaciones del manual del fabricante de las puntas de medida (*CASCADE MICROTECH*) [26]. Los *pads* deben estar

distanciados $150\ \mu\text{m}$ de centro a centro de los *pads* más próximos y $200\ \mu\text{m}$ los *pads* que utilizan distintas puntas de medida.

Otra consideración a tener en cuenta es que se debe colocar contactos al sustrato en las zonas del chip que quedan vacías. Esto se hace para evitar que aparezcan corrientes de fuga que interfieran en el funcionamiento del circuito.

En la Figura 4.32 se muestra como queda finalmente nuestro diseño con todos los bloques interconectados y los *pads* de medida.

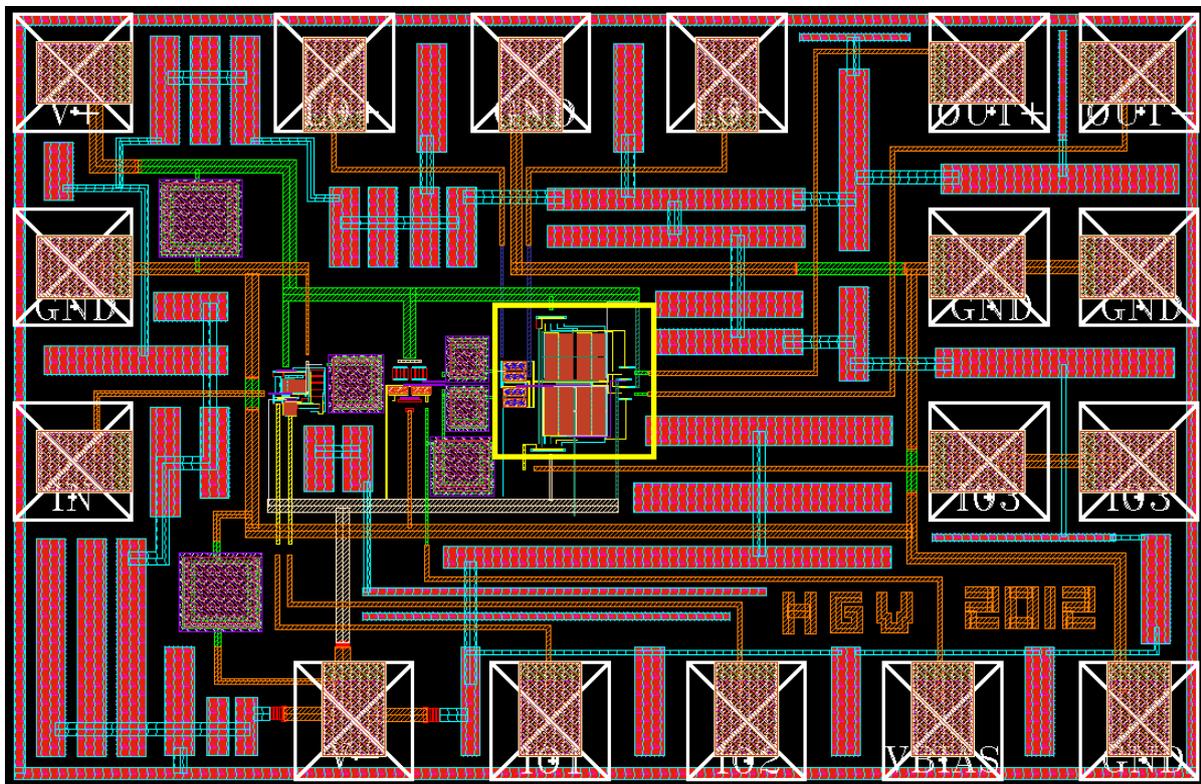


Figura 4.32. Layout del Receptor para *DVB-SH* basado en Convertidores de Corriente.

El área ocupada por el chip del receptor completo, excluyendo los *pads* de medida, es de $0.26\ \text{mm} \times 0.13\ \text{mm}$. Tras ubicar los *pads* de medida necesarios el área aumenta hasta los $0.904385\ \text{mm} \times 0.59\ \text{mm}$. La zona recuadrada en amarillo corresponde al mezclador basado en convertidores de corriente diseñados para este proyecto. Los resultados de las simulaciones *post-layout* se muestran a continuación.

En la Figura 4.33 se muestra el coeficiente de adaptación a la entrada, obteniéndose un S11 de -11.2 dB en la banda.

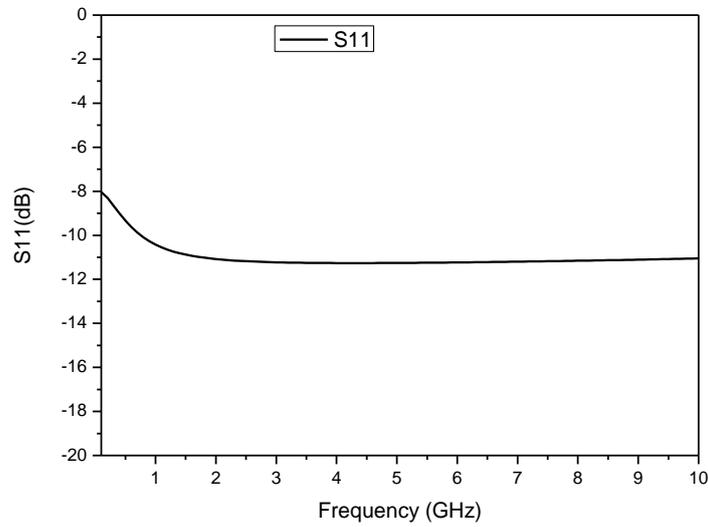


Figura 4.33. Coeficiente de adaptación a la entrada (S11).

La simulación de la conversión de ganancia y figura de ruido se muestran en la Figura 4.34 y Figura 4.35, respectivamente. El receptor tiene una ganancia de 22.7 dB en la banda de trabajo y una figura de ruido de 14.1 dB.

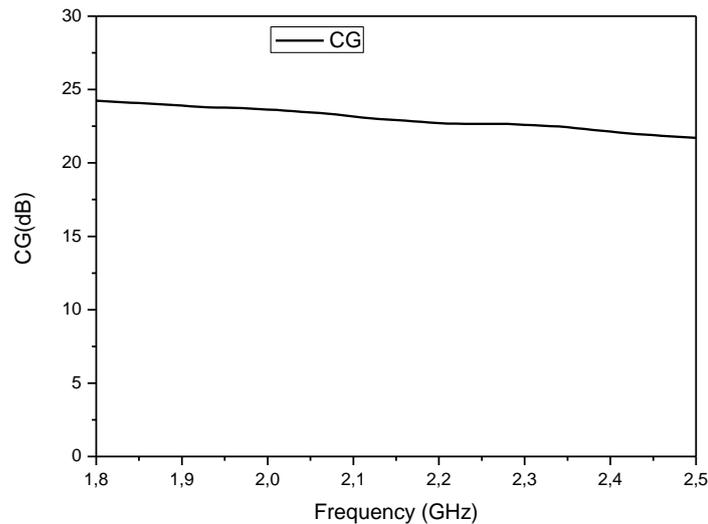


Figura 4.34. Ganancia frente a frecuencia.

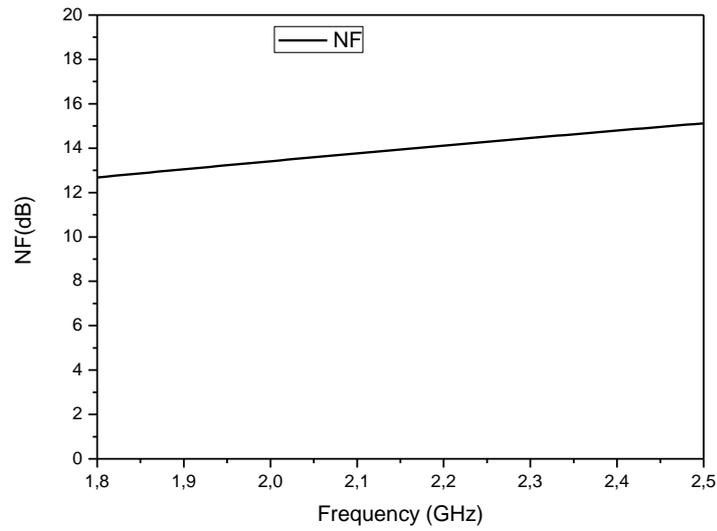


Figura 4.35. Figura de ruido frente a frecuencia.

La linealidad del Receptor la evaluamos con la simulación del punto de intercepción de tercer orden (IP3). El resultado obtenido se observa en la Figura 4.36. El test fue realizado a una frecuencia de 2.185 GHz, obteniéndose un IP3 de 11.5 dBm.

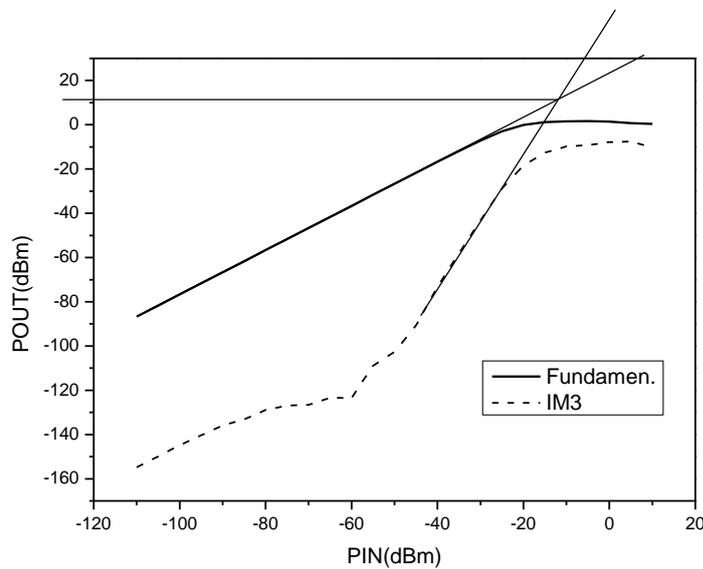


Figura 4.36. Linealidad (IP3).

En la tabla Tabla 4.2 podemos ver a modo de resumen los resultados obtenidos en las simulaciones *post-layout*.

Tabla 4.2. Resultados del Receptor RF para DVB-SH.

Frecuencia de RF	2.17-2.2 GHz
Arquitectura	Cero-IF
Ancho de banda del canal	8 MHz
S11	-11.2 dB
Ganancia de Conversión	22.7 dB
NF@4MHz	14.1 dB
OIP3	11.5 dBm
Alimentación	± 1.2 V
Consumo	22.4 mW
Area (excluyendo pads)	0.26 mm x 0.13 mm

Por último, se muestra en la Tabla 4.3 el valor de los componentes del mezclador basado en convertidores de corriente.

Tabla 4.3. Valores de los componentes del circuito.

TRs	Ancho (μm)	Logitud (nm)	Número de dedos	Multiplicidad
Mezclador	5	90	20	1
Núcleo	8	90	20	2
Clase AB	0.5	90	2	1
Etapa ref.	0.5	90	2	1

4.8 Conclusiones

En este capítulo se ha realizado el diseño completo del mezclador y los convertidores de corriente. Para ello se han realizado todas las simulaciones pertinentes variando cada uno de los parámetros de los componentes utilizados. A la hora de hacer las simulaciones nos hemos apoyado en la teoría básica de diseño de circuitos integrados para radiofrecuencia así como en el estudio teórico que se ha realizado del circuito en el capítulo anterior.

Luego se ha realizado el diseño a nivel de *layout* de nuestro circuito. Esto se ha logrado dando las reglas más comunes para una correcta implementación, así como las técnicas que nos permiten prever posibles errores en el funcionamiento. Seguidamente se ha comprobado

el correcto funcionamiento del circuito mediante las simulaciones *post-layout*, donde hemos podido comprobar la viabilidad del esquema con respecto al funcionamiento del dispositivo una vez fabricado.

Por último se ha integrado nuestro diseño en la cadena que forma el receptor completo de RF basado en convertidores de corriente para el estándar *DVB-SH*, y se han realizado las simulaciones pertinentes para corroborar el correcto funcionamiento del diseño final.

En el próximo capítulo estableceremos un balance del desarrollo del proyecto, lo que nos conducirá a una serie de conclusiones válidas para el desarrollo de futuros trabajos y diseños.

Capítulo 5

Conclusiones

Una vez completado el diseño de nuestro circuito, tanto a nivel de esquemático como de *layout*, y comprobado el correcto funcionamiento del mismo a través de las simulaciones *post-layout*, en este capítulo se expondrán las conclusiones a las que hemos llegado a lo largo de todo el trabajo. Finalmente se indicarán las posibles líneas de trabajo futuras, ya que a partir de los diseños realizados se abre un gran campo de estudio como se verá al final del presente capítulo.

El objetivo de este proyecto era diseñar un mezclador para Televisión Digital Vía Satélite *DVB-SH* basado en convertidores de corriente en tecnología CMOS 90 nm. Para el desarrollo de nuestro diseño se ha partido de un estudio teórico del mismo, llegando hasta la

implementación física del *layout*, pasando por el nivel esquemático del circuito. Una vez completado el diseño, se ha comprobado su correcto funcionamiento mediante las simulaciones *post-layout*.

Tras el Capítulo 1, en el que se introduce al lector en los objetivos generales del proyecto y, con el objeto de situar el entorno de trabajo, en el Capítulo 2 se profundizó en el análisis del estándar sobre el que íbamos a trabajar, *DVB-SH*, para posteriormente dar una visión general de la tecnología empleada para este proyecto, UMC 90 nm.

En el Capítulo 3, realizamos un análisis teórico del circuito, estudiando en la primera parte del mismo los mezcladores de frecuencia, viendo su teoría básica, sus parámetros, los diferentes tipos que podemos encontrar y los mezcladores pasivos basados en convertidores de corriente que son los que utilizamos en este proyecto. En la segunda parte de este capítulo y una vez estudiada la etapa de mezclado, se ha realizado un amplio estudio a la etapa de amplificación que está basada en convertidores de corriente, analizando cada una de las características de este tipo de diseño: sus conceptos teóricos, su evolución y sus diferentes topologías.

El Capítulo 4 describe el diseño de los circuitos implementados en este proyecto. Para ello, desde un primer momento se adoptó la decisión de diseñar tanto el mezclador como los convertidores de corriente al mismo tiempo, ya que podría darse el caso de que al optimizar ambos por separado, al conectarlos entre sí el resultado final no fuera el óptimo.

Un elemento importante de este tipo de mezcladores es el amplificador de transimpedancia que necesita a su salida. Este amplificador es el encargado de convertir a tensión la señal de salida del mezclador pasivo que está originalmente en modo corriente. La propuesta que hacemos en este proyecto es utilizar un convertidor de corriente como amplificador de transimpedancia frente a la implementación típica basada en amplificadores operacionales.

Para la correcta optimización de nuestro diseño, se realizaron todas las simulaciones pertinentes barriendo cada uno de los parámetros de los componentes que integran el circuito, hasta conseguir que su funcionamiento estuviera dentro de los rangos establecidos por el estándar. A la hora de hacer las simulaciones nos hemos apoyado en la teoría básica de diseño de circuitos integrados para radiofrecuencia, así como en el estudio teórico del circuito.

Una vez optimizado el circuito a nivel de esquemático, implementamos el diseño a nivel de *layout*, aplicando las reglas comunes en este tipo de trabajos, así como las técnicas que nos permiten prever posibles errores de funcionamiento. Se finalizó realizando las simulaciones *post-layout* para verificar el correcto funcionamiento del circuito.

Este proyecto final de carrera forma parte de un proyecto de investigación de mayor envergadura en el que se está desarrollando un receptor para televisión digital *DVB-SH* (RECITAL+). Por este motivo el siguiente paso fue realizar la integración de nuestro mezclador pasivo basado en convertidores de corriente en la cadena de recepción para formar el cabezal de RF.

Del mismo modo, se ha constatado, como es lógico, que existen diferencias entre los resultados obtenidos en las simulaciones *post-layout* de nuestro diseño y los obtenidos tras su integración en la cadena del receptor completo de RF. Como podemos observar en la Tabla 5.1, vemos que las prestaciones finales mejoran considerablemente al integrarlo con el resto de elementos de la cadena de recepción (*LNA* y convertor Asimétrico Diferencial).

Tabla 5.1. Comparativa resultados tras la integración en la cadena de recepción.

	Simulaciones <i>post-layout</i> Mezclador ba- sado en <i>CCII</i>s	Simulaciones Receptor de RF completo
Frecuencia de RF	2.17-2.2 GHz	2.17-2.2 GHz
BW del canal	8 MHz	8 MHz
Ganancia	13.86 dB	22.7 dB
NF @ 4MHz	24.6 dB	14.1 dB
OIP3	10.5 dBm	11,5 dBm
Alimentación	±1.2V	±1.2V
Consumo	4.83 mW	22.4 mW

Un logro a destacar es que se ha conseguido publicar un artículo en un congreso internacional basado en este trabajo. Dicho artículo, titulado “*An RF Receiver based on Current Conveyors for DVB-SH*”, ha sido presentado en el *XXVII Conference on Design of Circuits and Integrated Systems*, celebrado del 28 al 30 de noviembre de 2012 en Avignon, Francia. Al final de la memoria se encuentra anexa dicha publicación.

Para concluir se puede decir que los objetivos planteados inicialmente se han alcanzado satisfactoriamente y se han superado con creces las expectativas iniciales. De este

modo, este trabajo tiene continuidad con la fabricación y posterior medida del circuito una vez fabricado. Otra línea futura será la integración con los otros bloques (sintetizador, banda base, parte digital, etc) del receptor de Televisión Digital.

PRESUPUESTO

Presupuesto

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento, para concluir con el proyecto, en este capítulo se realizará un estudio económico con los costes tanto parciales como totales del proyecto.

P.1 Costes de recursos humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias, ver Tabla P.1. Este personal está formado por dos técnicos a tiempo completo para un total de cien usuarios.

Tabla P.1. Costes de recursos humanos.

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
2 Técnicos a tiempo completo	9	36060,73	360,61	270,46
TOTAL				270,46

P.2 Costes de ingeniería

Se ha invertido un total de 9 meses a tiempo completo en el desarrollo de este proyecto. Durante este tiempo se han desarrollado las tareas de formación, estudio y análisis, especificación, desarrollo, análisis de resultados y documentación; como muchas de estas tareas se solapan en el tiempo se han incluido los períodos de tiempo en función de la tarea predominante. En este presupuesto se ha incluido los costes de formación al ser específicos para el desarrollo de este proyecto. Tomando la tarifa por costes de ingeniería aplicada a un ingeniero técnico junior en España, asciende a un total de 2232,16 €/mes englobando en la misma el salario, la Seguridad Social, y el IRPF (Impuesto sobre la Renta de las personas físicas). La Tabla P.2 muestra los costes de ingeniería desglosados.

Tabla P.2. Costes de ingeniería.

Descripción	Tiempo (meses)	Gastos (€/mes)	Gastos (€)
Formación y estudios	2	2232,16	4464,32
Estudio de las herramientas de trabajo	1	2232,16	2232,16
Desarrollo del circuito	5	2232,16	11160,80
Realización de la memoria	1	2232,16	2232,16
TOTAL			20089,44

P.3 Costes de amortización

En este apartado se exponen los costes derivados del uso de paquetes *software*, y material *hardware*, ver Tabla P.3. Estos equipos *hardware* y paquetes *software* presentan un coste

de amortización, en función del período de tiempo utilizado y el número de usuarios que accedan a estos, los cuales se han estimado en 10.

Tabla P.3. Costes de recursos *hardware*.

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	9	3300,00	330,00	247,50
Servidor para simulación SUN Sparc Station 10	9	3926,00	392,60	294,45
Impresora Hewlett Packard Laserjet 4L	9	4000,00	400,00	300,00
Ordenador Personal Intel Core2 Duo 2.13GHz	9	1200,00	120,00	90,00
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	9	900,00	90,00	67,50
TOTAL				999,45

El cálculo de los gastos totales de los recursos *software* bajo licencia utilizados, tienen un coste estimado de amortización y mantenimiento según el período de uso (referenciados a un período de un año). Estos costes de licencias pertenecen a licencias universitarias, no comerciales que se detallan en la Tabla P.4.

Tabla P.4. Costes de recursos *software*.

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
Microsoft Office 2010	9	450,00	45,00	33,75
Advance Design System (ADS)	9	3200,00	320,00	240,00
Cadence con Kit de diseño	9	1500,00	150,00	112,50
TOTAL				386,25

A continuación la Tabla P.5 muestra el total de los gastos por costes de amortización.

Tabla P.5. Costes de amortización.

Descripción	Gastos (€)
Costes por recursos <i>hardware</i>	999,45
Costes por recursos <i>software</i>	386,25
TOTAL	1385,70

P.4 Costes de fabricación

Los costes derivados de la fabricación se desarrollan en la Tabla P.6. El circuito mide $0,904385 \times 0,59 = 0,5336 \text{ mm}^2$.

Tabla P.6. Costes de fabricación.

Descripción	mm ²	Precio del mm ² (€)	Gastos (€)
Mezclador para <i>DVB-SH</i>	0,5336	4209,80	2246,35
TOTAL			2246,35

P.5 Otros costes

En este apartado se incluyen los costes debidos al material fungible y a la elaboración del documento final del proyecto, ver Tabla P.7.

Tabla P.7. Otros costes.

Descripción	Unidades	Costes unidad (€/unidad)	Gastos (€)
Paquetes papel DIN_A4 100 gr/m ²	3	6,00	18,00
Fotocopias	1000	0,04	40,00
CDs	3	3,00	9,00
Otros			100,00
TOTAL			167,00

P.6 Presupuesto total

Para finalizar la Tabla P.8 recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Tabla P.8. Presupuesto total.

Descripción	Gastos (€)
Costes de recursos humanos	270,46
Costes de ingeniería	20089,44
Costes de amortización	1385,70
Costes de fabricación	2246,35
Otros costes	167,00
PRESUPUESTO FINAL	24158,95
TOTAL (IGIC 7%)	25850,07

D. Víctor David Pérez Pérez declara que el proyecto “DISEÑO DE UN MEZCLADOR PARA TELEVISIÓN DIGITAL VÍA SATÉLITE DVB-SH BASADO EN CONVERTIDORES DE CORRIENTE EN TECNOLOGÍA CMOS 90” asciende a un total de 25850,07 euros.

Fdo.: Víctor David Pérez Pérez

DNI: 43291330-V

Las Palmas de Gran Canaria, a 20 de diciembre de 2012

BIBLIOGRAFÍA

Bibliografía

- [1] Website oficial de *Dolby*: <http://www.dolby.com>
- [2] S. Orgad, “This Box Was Made for Walking ... How Will Mobile Television Transform Viewers’ Experience and Change Advertising?” 2006. Disponible en www.nokia.com
- [3] ETSI EN 302 304 V1.1.1, Digital Video Broadcasting (*DVB*); Transmission System for Handheld Terminals (*DVB-H*), November 2004.
- [4] Website oficial *DVB*: <http://www.dvb.org/>
- [5] *DVB Project Office*, “*DVB-SH Implementation Guidelines*,” <http://www.dvb-h.org>, May. 2008.
- [6] Website oficial de *UMC*: <http://www.umc.com>

- [7] Website oficial de Cadence: <http://www.cadence.com>
- [8] Website oficial de ADS: <http://www.agilent.com>
- [9] ECC 2007/98/EC, “COMMISSION DECISION of 14 February 2007 on the harmonized use of radio spectrum in the 2 GHz frequency bands for the implementation of systems providing mobile satellite services,” February 2007.
- [10] Descripción DVB-SH en Wikipedia: <http://en.wikipedia.org/wiki/DVB-SH>
- [11] H. García-Vázquez, Sunil L. Khemchandani, D. Ramos-Valido, A. Juanicorena, C. Luján-Martínez, J. del Pino, “A Fully Integrated RF Front End for DVB-SH”, *Microwave and Optical Technology Letters*, Vol. 54, No. 8, 2012.
- [12] T.H. Lee, “The Design of CMOS RF Integrated Circuits” Cambridge University Press, 1998.
- [13] Behzad Razavi, “RF Microelectronics” University of California: Prentice Hall PTR, 1998.
- [14] Behzaf Razavi, “Design of Analogic CMOS Integrated Circuits” Mc Graw Hill, 2001.
- [15] F. Javier del Pino, “Diseño de Circuitos Integrados de Radiofrecuencia” apuntes de la asignatura: Electrónica Aplicada a las Comunicaciones, ULPGC.
- [16] Roberto Díaz Ortega, “Diseño, medida y verificación de un mezclador pasivo en CMOS 0.35 μm para un receptor basado en el estándar IEEE 802.11a”, Proyecto Final de Carrera ETSIT, ULPGC, 2006.
- [17] Giuseppe Ferri y Nicola C. Guerrini, “Low-voltage Low-Power CMOS Current Conveyors”, Kluwer Academic Publishers, pp. 2-102, 2003.
- [18] S. Franco, “Analytical foundation of current feedback operational amplifier”, IEEE International Symposium on Circuits and Systems, 1993.
- [19] A. Soliman, “Applications of the current feedback operational amplifiers”, *Analog Integrated Circuits and Signal Processing*, 1996.

- [20] C Toumazou, A. Payne y J. Lidgley, “Current-feedback versus voltage amplifiers: history, insight and relationships”, IEEE International Symposium on Circuits and Systems, 1993.
- [21] G. Palumbo y S. Pennisi, “Current-feedback amplifiers versus voltage operational amplifiers” IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2001.
- [22] K. C. Smith y A. S. Sedra, “The current conveyor a new circuit building block”, IEEE Proceedings, vol. 56, pp. 1368-1369, Agosto 1968.
- [23] Christophe Prémont, Stéphane Cattet, Richard Grisel, Nacer Abouchi, Jean-Pierre Chante y Denise Renault, “A CMOS Multiplier/Divider based on Current Conveyors,” Proceedings of the 1998 IEEE International Symposium on Circuits and Systems, ISCAS'98, 1998.
- [24] Luis Nero Alves y Rui L. Aguilar, “A differential current-conveyor based buffer for high-bandwidth, low-signal applications,” Electronics, Circuits and Systems, 1999. Proceedings of ICECS '99. The 6th IEEE International Conference, vol. 2, pp 903-906, Septiembre 1999.
- [25] Albano Castillo García, “Diseño de un convertidor de corriente en tecnología CMOS 0.35 μm ”, Proyecto Final de Carrera, Escuela Universitaria de Ingeniería Técnica de Telecomunicación, Universidad de las Palmas de Gran Canaria, 2009.
- [26] Website oficial de Cascade Microtech: <http://www.cmicro.com>
- [27] H. García-Vázquez, V. Pérez, Sunil L. Khemchandani, J. del Pino, “An RF Receiver based on Current Conveyors for *DVB-SH*”, XXVII Conference on Design of Circuits and Integrated Systems, Nov. 2012

ANEXO

DCIS2012

XXVIIth Conference on Design of Circuits and Integrated Systems

Conference Proceedings
Avignon, France
Nov. 28-30th 2012



ISBN 978-2-9517461-1-4

An RF Receiver based on Current Conveyors for DVB-SH

H. García-Vázquez, V. Pérez, R. Díaz, Sunil L. Khemchandani, J. del Pino

Instituto Universitario de Microelectrónica Aplicada, Universidad de Las Palmas de Gran Canaria

Abstract— This paper describes a RF front-end based on current conveyors for DVB-SH (2.17-2.2 GHz) implemented in an UMC CMOS 90 nm process. This receiver includes a Low Noise Amplifier (LNA), a Single to Differential Converter and a Mixer. Post-layout simulations show a conversion gain of 22.7 dB, a 14.1 dB noise figure, an input return loss (S11) of -11.2 dB and an output third-order intercept point (IP3) of 11.5 dBm. This combination draws 22.4 mW from a ± 1.2 V supply.

Keywords: Receiver, LNA, Single to Differential Converter, Mixer, DVB-SH, RFIC, Current Conveyor, CMOS.

I. INTRODUCTION

Digital Video Broadcasting–Satellite to Handhelds (DVB-SH) is a hybrid satellite/terrestrial system. It provides an efficient way of carrying multimedia services over hybrid satellite and terrestrial networks at frequencies below 3 GHz to a variety of mobile and fixed terminals having compact antennas with very limited directivity. Target terminals include handheld (PDAs, smartphones etc.), vehicle-mounted, travelling (laptops), and stationary terminals [1].

The main concern for a mobile device design is the power consumption. To address this issue, this paper proposes the use of current conveyors (CC) to implement the RF frontend. Since its first introduction by A. Sedra and K. Smith in 1970 [2], current conveyors have been used as building blocks for analog circuits for implementing functions like filters, gyrators, impedance converters, oscillators, amplifiers, etc [3][4]. Current conveyors exhibit higher linearity, wider dynamic range and better high frequency performance compared to their voltage mode counterparts, operational amplifiers. For these reasons, in recent years, CC circuits have received much attention for their use as RF basic building elements. [5][6].

This paper deals with the design of the RF front-end for a DVB-SH receiver (2.17-2.20 GHz). A direct conversion to zero-IF front-end architecture has been selected for this work. The simplicity of this architecture, due to the lesser amount of components, causes two important consequences: the reduction of the size and the cost of the receiver. Table I shows a summary of the receiver specifications [1][7].

TABLE I. RF FRONTEND SPECIFICATIONS FOR A DVB-SH RECEIVER

Receiver Architecture	Zero-IF
Sensitivity	-112.55 dBm
Noise Figure	3 dB
Maximum Gain	92.55 dB
Dynamic Range	86.05 dB
Maximum Input Level	-25 dBm
Max. Required CNR	11.2 dB
Max. Channel Bandwidth	8 MHz
IIP3	-0.17 dBm
ACS	60 dB

This work is partially supported by the Spanish Ministry of Science and Innovation (TEC2008-06881-C03-01 and TEC2011-28724-C03-02), the Spanish Ministry of Industry, Tourism and Trade (TSI-020400-2010-55) and the “Programa de ayudas de Formación del Personal investigador, de la Agencia Canaria de Investigación, Innovación y Sociedad de la Información del Gobierno de Canarias y la cofinanciación y tasa de cofinanciación del F.S.E.”.

This paper is organized as follows: After presenting the general introduction in section I, section II gives the topology choices of the LNA, Single to Differential Converter and the mixer. Simulated results are presented in section III. Finally, some conclusions are drawn in section IV.

II. CIRCUITS ANALYSIS

A. Low Noise Amplifier

The LNA based on current conveyors is shown in Figure 2. This architecture consists of a common gate gain stage M1, followed by a source follower stage M2. I_{o1} and I_{o2} are used to bias the transistors with CMOS current mirrors [5][6].

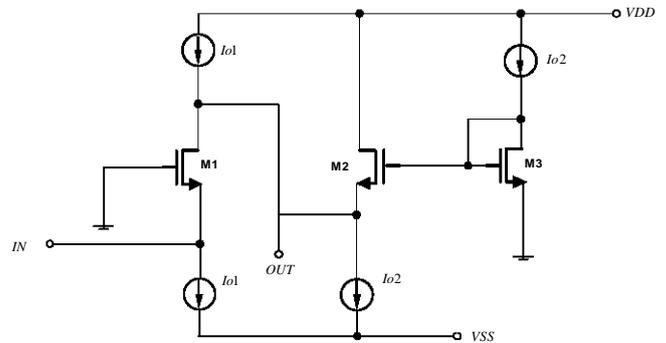


Figure 2. LNA based on current conveyors.

B. Single To Differential Converter

The Single to Differential Converter generates a pair of differential output signals from a single input, which have balanced amplitude and phase. A Single to Differential Converter [8] with bypass capacitor C to reduce the error between the phases has been chosen (see Figure 3). Also, the gain of the circuit can be modified with the control voltages in order to use as automatic control gain.

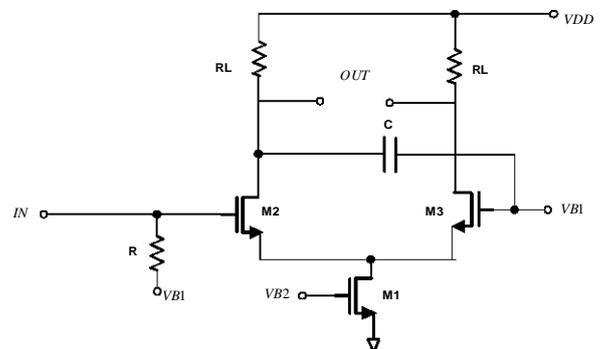


Figure 3. Single to Differential Converter.

C. Mixer

Figure 4 shows the potentiometric MOSFET mixer with current conveyors connected as a transimpedance amplifier [4].

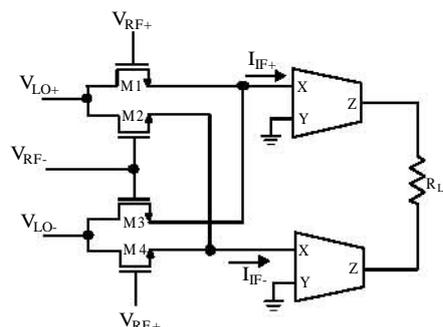


Figure 4. Mixer based on current conveyors.

In order to transform the output current into an output voltage, two low power consumption current conveyors are introduced. Figure 5 shows the current conveyor schematic. In order to improve the linearity, a class AB output stage (M4, M14, M5 and M15) has been employed. The core of the current conveyor is composed of M6-M9, while the transistors M1-M3 and M10-M13 are used as current sources.

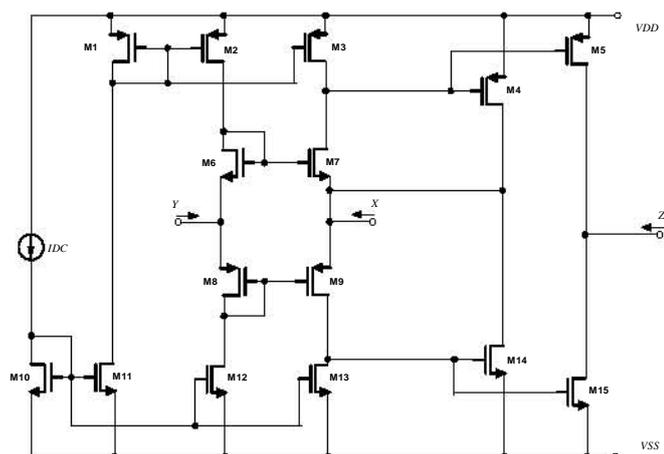


Figure 5. Current Conveyor schematic.

III. SIMULATIONS RESULTS

Figure 6 shows the layout of the RF front-end composed of the Low Noise Amplifier based on current conveyors, the Single to Differential Converter and the mixer based on current conveyors.

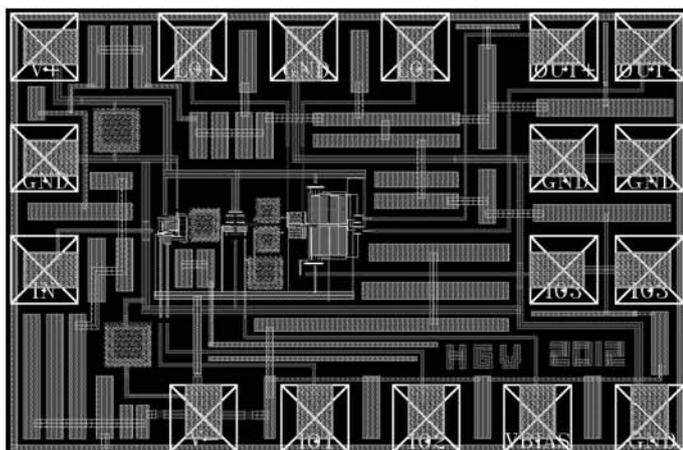


Figure 6. Layout of the DVB-SH Receiver.

The Receiver chip area, excluding the test pads, is 0.26 mm x 0.13 mm. The results of post-layout simulations are summarized in TABLE II. This receiver has an in band S11 of -11.2 dB, an in band conversion gain of 22.7 dB and a noise figure of 14.1 dB. The linearity of the Receiver was evaluated with the third-order intercept point (IP3) test. The test was performed at 2.185 GHz and an output IP3 of 11.5 dBm was obtained.

RF Frequency	2.17-2.2 GHz
Architecture	Cero-IF
Channel Bandwidth	8 MHz
S11	-11.2 dB
Conversion Gain	22.7 dB
NF@4MHz	14.1 dB
Output IP3	11.5 dBm
Supply	± 1.2 V
Power Consumption	22.4 mW
Area (excluding pads)	0.26 mm x 0.13 mm

IV. CONCLUSIONS

A RF receiver based on current conveyors for DVB-SH was implemented in an UMC CMOS 90 nm process. This RF receiver includes a LNA, a Single to Differential Converter and a Mixer. Post-layout simulations show a conversion gain of 22.7 dB, a 14.1 dB noise figure, an input return loss (S11) of -11.2 dB and an output IP3 of 11.5 dBm. This combination draws 22.4 mW from a ± 1.2 V supply.

REFERENCES

- [1] DVB Project Office, "DVB-SH Implementation Guidelines," <http://www.dvb-h.org>, May, 2008.
- [2] A. Sedra and K. Smith, "A Second-Generation Current Conveyor and Its Applications," *IEEE Trans. CAS*, vol. 17, pp. 132-134, Feb. 1970.
- [3] A. Fabre: "Third-generation current conveyor: a new helpful active element," *Electron. Lett.*, vol. 31, pp. 338-339, 1995.
- [4] Christophe Premont, Nacer Abouchi, Richard Grisel and Jean-Pierre Chante, "A BiCMOS Current Conveyor Based Four-Quadrant Analog Multiplier", *Analog Integrated Circuits and Signal Processing*, 1999, Volume 19, Number 2, Pages 159-162
- [5] Fabrice Seguin, Balwant Godara, Frederic Alicalapa, Alain Fabre, "A Gain-Controllable Wide-Band Low-Noise Amplifier in Low-Cost 0.8-um Si BiCMOS Technology", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 52, No. 1, January 2004.
- [6] Farid Touati, Faical Mnif, "Low-noise low-power 0.35um SiGe amplifiers for 3.1-10.6 GHz UWB radio receivers", *IEICE Electronics Express*, Vol. 1, No. 11, 317-321, Septembre 2004.
- [7] H. García-Vázquez, Sunil L. Khemchandani, D. Ramos-Valido, A. Juanicorena, C. Luján-Martínez, J. del Pino, "A Fully Integrated RF Front End for DVB-SH", *Microwave and Optical Technology Letters*, Vol. 54, No. 8, 2012.
- [8] J. Xiao, G. Zhang, T. Li and J. Silva-Martinez, "Low-Power Fully Integrated CMOS DTV Tuner Front-End for ATSC Terrestrial Broadcasting", *Hindawi Publishing Corporation, VLSI DESIGN*, February 2007.