

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



PROYECTO FIN DE CARRERA

DISEÑO DE UN SINTETIZADOR DE FRECUENCIA INTEGRADO PARA DVB-H EN TECNOLOGÍA BiCMOS 0,35 μ m

Titulación: Ingeniero en Electrónica
Autor: D. Dailos Ramos Valido
Tutores: Dr. Francisco Javier del Pino Suárez
Dr. Sunil Lalchand Khemchandani
Fecha: Diciembre 2010

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



PROYECTO FIN DE CARRERA

**DISEÑO DE UN SINTETIZADOR DE FRECUENCIA INTEGRADO
PARA DVB-H EN TECNOLOGÍA BiCMOS 0,35 μ m**

HOJA DE FIRMAS

Alumno/a

Fdo.: D. Dailos Ramos Valido

Tutor

Tutor

Fdo.: Dr. Francisco Javier del Pino Suárez Fdo.: Dr. Sunil Lalchand Khemchandani

Fecha: Diciembre 2010

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



PROYECTO FIN DE CARRERA

DISEÑO DE UN SINTETIZADOR DE FRECUENCIA INTEGRADO
PARA DVB-H EN TECNOLOGÍA BiCMOS 0,35 μ m

HOJA DE EVALUACIÓN

Calificación: _____

Presidente

Fdo.:

Vocal

Fdo.:

Secretario/a

Fdo.:

Fecha: Diciembre 2010

Agradecimientos

Se acerca la recta final de esta etapa en la que termina un periodo de estudios el cual es muy importante para mí ya que nunca pensé llegar donde estoy pero he tenido esta maravillosa oportunidad. Por ello quiero agradecer a todos los que han estado ahí.

Un agradecimiento especial para mis tutores; a Sunil gracias a su asesoramiento y encauzado en el desarrollo del proyecto, a su experiencia y consejos que me han facilitado el trabajo en todos los pasos que he dado, a Javier por colaborar con sus conocimientos teóricos, resultándome muy prácticos, sus aportaciones en el diseño y sustento en las presentaciones. A ambos gracias por ser unos tutores ejemplares.

A todo el grupo en el que me encuentro inmerso que están siempre para echar una mano cuando los necesito; Roberto, Rubén, Hugo, Gustavo, Jonathan y Enara. A todos los compañeros de carrera así como los compañeros que han realizado y están realizando sus proyectos fin de carrera y he tenido el placer de conocer durante este periodo de mi vida.

A mi abuela, tí@s, prim@s, cuñad@s, hermano y sobrino...

A mi novia Guaci que siempre está junto a mí dándome ánimo, apoyo y cariño.

Sobre todo a mis padres, que son mi apoyo permanente, son a quienes debo la vida y ser quien soy.

De todo corazón, GRACIAS.

A mi familia

Índice

CAPÍTULO 1: INTRODUCCIÓN	1
1.1. NOCIONES BÁSICAS DEL ESTÁNDAR DVB-H.....	2
1.2. OBJETIVOS	5
1.3. ESTRUCTURA DE LA MEMORIA.....	5
1.4. PETICIONARIO.....	6
CAPÍTULO 2: EL ESTÁNDAR DVB-H Y LA ARQUITECTURA DEL RECEPTOR	7
2.1. EL ESTÁNDAR DVB-H.....	8
2.1.1. Introducción	8
2.1.2. Banda de frecuencia.....	10
2.1.3. Modos de funcionamiento	10
2.1.4. Relación portadora/ruido (C/N).....	11
2.1.5. Figura de ruido, sensibilidad y máxima señal	12
2.1.6. Inmunidad del receptor ante señales de TV analógicas y digitales.....	15
2.1.7. Estimación del IIP3 a partir de la máxima señal a la entrada.....	16
2.1.8. Ruido de fase.....	17
2.2. ARQUITECTURA PARA LA CADENA DE RECEPCIÓN	18
2.2.1. Receptor de conversión directa o ZERO IF	18
2.2.2. Decisión de la arquitectura.....	20

2.3.	ESPECIFICACIONES PARA EL SINTETIZADOR.....	20
2.4.	RESUMEN	21
CAPÍTULO 3: ESTUDIO DE LA TECNOLOGÍA.....		23
3.1.	INTRODUCCIÓN.....	24
3.2.	RESISTENCIAS	25
3.2.1.	Construcción.....	25
3.2.2.	Resistencias en la tecnología S35D4 de AMS.....	26
3.3.	CONDENSADORES.....	28
3.3.1.	Construcción.....	29
3.3.2.	Condensadores en la tecnología S35D4 de AMS.....	29
3.4.	BOBINAS.....	31
3.4.1.	Construcción.....	31
3.4.2.	Funcionamiento	32
3.4.3.	Modelo de la bobina	34
3.4.4.	Bobinas en la tecnología S35D4 de AMS	35
3.5.	EL TRANSISTOR MOSFET	36
3.5.1.	Construcción.....	36
3.5.2.	Funcionamiento	36
3.5.3.	Modelo de baja frecuencia.....	39
3.5.4.	Modelo de alta frecuencia.....	40
3.5.5.	Transistores MOSFET en la tecnología S35D4 de AMS	42

3.6.	HBTs DE SiGe.....	45
3.6.1.	<i>Construcción</i>	45
3.6.2.	<i>Funcionamiento</i>	46
3.6.3.	<i>Modelo de baja frecuencia</i>	50
3.6.4.	<i>Modelo de alta frecuencia</i>	50
3.6.5.	<i>HBTs en la tecnología S35D4 de AMS</i>	52
3.7.	RESUMEN.....	54
 CAPÍTULO 4: CONCEPTOS BÁSICOS DE LOS LAZOS ENGANCHADOS EN FASE		55
4.1.	INTRODUCCIÓN.....	56
4.1.1.	<i>Aplicaciones</i>	56
4.1.2.	<i>Frecuencia y fase instantáneas</i>	57
4.2.	ESTUDIO DE UN PLL IDEAL.....	58
4.2.1.	<i>Detector de fase ideal</i>	58
4.2.2.	<i>Filtro del bucle</i>	59
4.2.3.	<i>VCO ideal</i>	59
4.2.4.	<i>Funciones de transferencia del lazo</i>	59
4.3.	ESPECIFICACIONES.....	62
4.3.1.	<i>Procesos de enganche</i>	62
4.3.2.	<i>Respuesta en régimen permanente</i>	64
4.3.3.	<i>Escalón de fase</i>	65
4.3.4.	<i>Escalón de frecuencia</i>	65
4.3.5.	<i>Respuestas transitorias</i>	66

4.3.6.	Filtrado del ruido de fase	66
4.4.	INFLUENCIA DEL FILTRO	69
4.4.1.	PLL de orden 1	69
4.4.2.	PLL de orden 2 tipo 1	72
4.4.3.	PLL de orden 2 tipo 2	73
4.5.	DETECTORES DE FASE.....	76
4.5.1.	Multiplicador analógico	77
4.5.2.	Detector digital de onda cuadrada	78
4.5.3.	Detector digital biestable.....	79
4.5.4.	Detector digital de fase/frecuencia	80
4.5.5.	Bomba de carga	83
4.6.	RESUMEN	84
CAPÍTULO 5: SINTETIZADORES DE FRECUENCIA		85
5.1.	INTRODUCCIÓN.....	86
5.2.	SINTETIZADOR BÁSICO	86
5.3.	CONFIGURACIONES DE SINTETIZADORES	89
5.3.1.	Sintetizador con divisor programable.....	89
5.3.2.	Sintetizador con divisores fijo y programable	89
5.3.3.	Sintetizador con divisor de doble módulo.....	90
5.3.4.	Sintetizador con mezclador.....	91
5.4.	RUIDO DE FASE EN SINTETIZADORES	93
5.5.	FILTRADO DE LA FRECUENCIA DE REFERENCIA.....	95

5.6.	OTROS SINTETIZADORES	96
5.7.	DISEÑO DEL SINTETIZADOR.....	98
5.7.1.	<i>Frecuencias a generar para el estándar DVB-H</i>	98
5.7.2.	<i>Frecuencias a generar por el sintetizador</i>	100
5.7.3.	<i>Estructura del sintetizador</i>	102
5.8.	RESUMEN.....	103
CAPÍTULO 6: ESTUDIO Y SIMULACIÓN DE LOS DISTINTOS BLOQUES DEL SINTETIZADOR EN ADS.....		105
6.1.	COMPARADOR DE FASE.....	105
6.1.1.	<i>Comparador de fase/frecuencia</i>	106
6.1.2.	<i>Bomba de carga</i>	112
6.1.3.	<i>Unión del comparador de fase/frecuencia y bombeo de carga</i>	113
6.2.	OSCILADOR CONTROLADO POR TENSIÓN.....	117
6.2.1.	<i>Características del VCO</i>	117
6.2.2.	<i>Modelado lineal del VCO</i>	121
6.2.3.	<i>Modelado de la curva tensión-frecuencia del VCO</i>	122
6.2.4.	<i>Cálculo de la impedancia del VCO</i>	123
6.3.	DIVISOR RÁPIDO	127
6.3.1.	<i>Generación de las señales en fase y cuadratura</i>	128
6.3.2.	<i>Estudio del divisor entre dos</i>	131
6.3.3.	<i>Diseño del divisor entre dos</i>	134
6.4.	DIVISOR PROGRAMABLE	153

6.4.1.	<i>Estudio del divisor programable</i>	153
6.4.2.	<i>Cálculo del divisor programable</i>	154
6.4.3.	<i>Estudio del prescaler 5/4</i>	156
6.4.4.	<i>Diseño y simulación del divisor programable</i>	157
6.5.	FILTRO DE BUCLE.....	168
6.5.1.	<i>Introducción</i>	168
6.5.2.	<i>Estudio de un filtro pasivo de tipo 2 y orden 3</i>	170
6.5.3.	<i>Cálculo de un filtro pasivo de tipo 2 y orden 3</i>	173
6.5.4.	<i>Cálculo de un filtro pasivo de tipo 2 y orden 3 integrable</i>	175
6.6.	RESUMEN.....	176
CAPÍTULO 7: SIMULACIÓN DEL SINTETIZADOR EN ADS		179
7.1.	DISEÑO DEL SINTETIZADOR CON FILTRO INTEGRABLE.....	180
7.2.	DISEÑO DEL SINTETIZADOR CON FILTRO EXTERNO.....	181
7.2.1.	<i>Simulación de la respuesta del bucle</i>	182
7.2.2.	<i>Simulación transitoria</i>	184
7.2.3.	<i>Simulación del ruido de fase</i>	196
7.3.	RESUMEN.....	204
CAPÍTULO 8: DIVISOR PROGRAMABLE DE BAJA VELOCIDAD		205
8.1.	ESTRUCTURA DEL DIVISOR PROGRAMABLE.....	205
8.2.	DISEÑO Y SIMULACIÓN DEL DIVISOR PROGRAMABLE DE BAJA VELOCIDAD.....	210
8.2.1.	<i>Procedimiento</i>	210

8.3.	RESUMEN.....	238
CAPÍTULO 9: LAYOUT DE LOS DISTINTOS BLOQUES Y DEL SINTETIZADOR		
COMPLETO.....		241
9.1.	INTRODUCCIÓN.....	241
9.2.	DISEÑO A NIVEL DE <i>LAYOUT</i>	243
9.2.1.	<i>VCO</i>	244
9.2.2.	<i>Divisor entre dos</i>	246
9.2.3.	<i>Divisor programable</i>	259
9.2.4.	<i>Comparador de fase/frecuencia y bomba de carga</i>	271
9.2.5.	<i>Filtro</i>	275
9.2.6.	<i>Sintetizador</i>	276
9.3.	DISTRIBUCIÓN DE <i>PADS</i> EN EL <i>LAYOUT</i> FINAL.....	277
9.4.	RESUMEN.....	282
CAPÍTULO 10: CONCLUSIONES.....		285
10.1.	RESUMEN.....	285
10.1.1.	<i>Diseño a nivel de esquemático</i>	286
10.1.2.	<i>Diseño a nivel de layout</i>	288
10.2.	CONCLUSIÓN FINAL.....	288
PRESUPUESTO.....		291
P.1.	COSTES DE RECURSOS HUMANOS.....	291

P.2.	COSTES DE INGENIERÍA	292
P.3.	COSTES DE AMORTIZACIÓN	292
P.4.	COSTES DE FABRICACIÓN	294
P.5.	OTROS COSTES	294
P.6.	PRESUPUESTO TOTAL.....	294
 BIBLIOGRAFÍA.....		297
 ANEXO I		AI-1
 ANEXO II.....		AII-1

MEMORIA

Capítulo 1

Introducción

La Televisión Digital Terrestre conocida comúnmente como TDT es la aplicación de las nuevas tecnologías del medio digital a la transmisión de contenidos audiovisuales a través de una antena convencional. Aplicando la tecnología digital se consigue un mejor uso del espectro disponible, lo que puede utilizarse para proveer un mayor número de canales, mejor calidad de imagen o imagen en alta definición y mejor calidad de sonido. La tecnología usada en Europa es la DVB-T (*Digital Video Broadcasting - Terrestrial*) [1].

Las emisiones de televisión digitales cuentan con numerosas e importantes ventajas frente a las actuales emisiones en analógico. La calidad de las imágenes es comparable a la de un DVD, y la señal es mucho más inmune a interferencias que la analógica (factor especialmente importante en áreas urbanas). La tecnología digital permite un mayor número de emisoras en el mismo espacio radioeléctrico, pues se pueden transmitir entre tres y cinco programas por cada canal UHF. Además, gracias al diseño de la red de

distribución de señal es posible usar todos los canales de la banda, sin necesidad de dejar canales de guarda para reducir las interferencias. Finalmente, al tratarse de transmisiones de información digital es posible una gran flexibilidad en los contenidos emitidos, siendo posible mezclar un número arbitrario de canales de vídeo, audio y datos en una sola señal.

El estándar DVB-T forma parte de toda una familia de estándares de la industria para la transmisión de emisiones de televisión digital según diversas tecnologías: emisiones mediante la red de distribución terrestre de señal usada en la televisión analógica tradicional (DVB-T), emisiones desde satélites geoestacionarios (DVB-S), por redes de cable (DVB-C), e incluso para emisiones destinadas a dispositivos móviles con reducida capacidad de proceso y alimentados por baterías (DVB-H).

Una de las razones más importantes por la que es necesario adaptar la TDT y crear la DVB-H (*Digital Video Broadcasting for Handheld Devices*) [2] es regular el consumo de energía en los receptores. No es lo mismo tener la televisión conectada a la red eléctrica que ir con un teléfono móvil consumiendo energía de la batería.

1.1. Nociones básicas del Estándar DVB-H

Mientras los hogares españoles terminan de adaptarse al apagón analógico en sus televisores, la televisión digital se lanza a la conquista de los dispositivos móviles, siendo el sector de la telefonía móvil donde mayor interés despierta el lanzamiento de forma comercial de esta tecnología al ser un valor estratégico de futuro para la creación de nuevos modelos de negocio por parte de las operadoras.

El lanzamiento de esta tecnología de TV móvil (Figura 1.1) es diferente a los actuales servicios de televisión en el móvil ofrecidos por algunos operadores, ya que actualmente esta señal de televisión llega a los teléfonos móviles de los usuarios mediante un *streaming* de vídeo desde los servidores de los operadores de telefonía.



Figura 1.1. Ejemplo de televisión en el móvil.

Los principales problemas de la sintonización de la televisión en dispositivos portátiles son las baterías del dispositivo, la pérdida en la recepción de la señal y la compatibilidad con el estándar europeo DVB-H, bajo el cual opera la señal conocida como TDT.

Con la adaptación del estándar denominado DVB-H se solucionan los problemas de compatibilidad mediante diferentes mecanismos. Este estándar, aprobado en Europa es diferente a los utilizados en Japón y Corea y actualmente otros países están estudiando el incorporarlo a sus normativas en esta materia.

El estándar europeo DVB-H hace compatible la recepción de la señal de televisión terrestre en dispositivos alimentados con baterías, al introducir el '*time-slicing*', un mecanismo de silencio en la recepción de la señal para ahorrar energía.

DVB-H funciona en el mismo rango de frecuencia que la TDT convencional, no siendo necesario un cambio de infraestructura elevado para las actuales televisiones. Por otra parte, será necesaria la instalación de un mayor número de emisores de DVB-H para dotar de mayor cobertura a diferentes zonas. La calidad de la señal dependerá de la cobertura de la zona donde se esté y de la resolución que los dispositivos portátiles sean

capaces de obtener, aunque los primeros dispositivos que existen en el mercado consiguen una resolución óptima en condiciones normales. El principal inconveniente es la escasez de frecuencias disponibles actualmente, que hará que inicialmente tenga una cobertura limitada.

DVB-H trabaja en las bandas IV y V de UHF y en el margen de frecuencias que va desde los 470 MHz hasta los 862 MHz. Dado que los receptores DVB-H van a ser usados en varias partes del mundo, estos deben tener la posibilidad de adaptarse a diferentes canales y anchos de banda.

En la Figura 1.2 se muestra el esquema de un receptor para DVB-H. Como se puede observar, el receptor está compuesto por diferentes bloques de entre los que destaca el sintetizador de frecuencia. Este proyecto trata del diseño de dicho sintetizador.

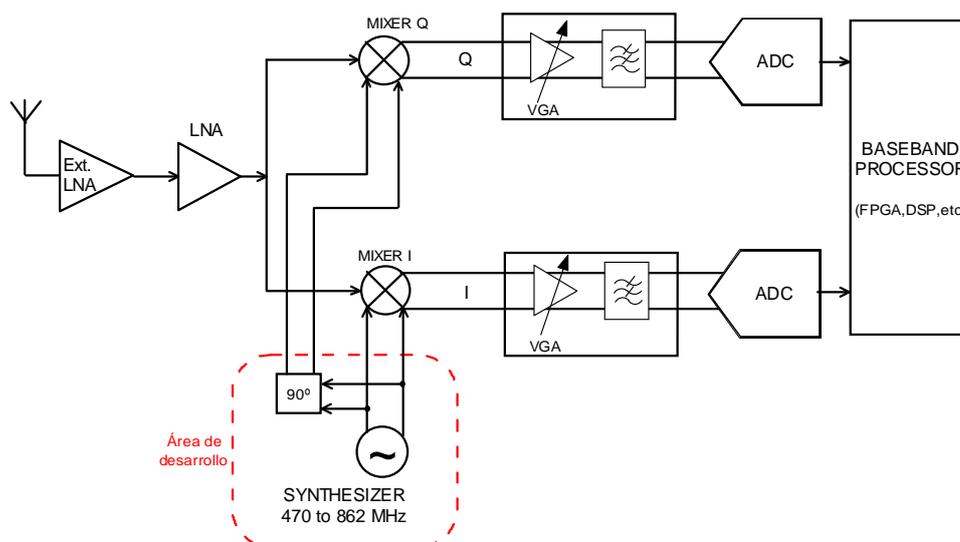


Figura 1.2. Esquema de un receptor de DVB-H.

1.2. Objetivos

El objetivo principal de este proyecto es el diseño de un sintetizador de frecuencia en tecnología BiCMOS para un receptor con el estándar DVB-H. Para ello se hará uso de la tecnología *SiGe* 0,35 μ m suministrada por la empresa AMS (*Austria Micro System*) [3]-[4]. Para el diseño se utilizará un VCO (*Voltage Controlled Oscillator*) desarrollado en un anterior proyecto fin de carrera [5].

Para la realización de este proyecto se definen una serie de tareas que comienzan con un estudio teórico previo del estándar, de la tecnología y del dispositivo a diseñar, el sintetizador, derivando en un análisis de las posibilidades de diseño. Posteriormente se pasa al diseño esquemático utilizando la herramienta ADS (*Advanced Design System*) [6], así como su implementación a nivel de *layout* en *Cadence* [7].

1.3. Estructura de la memoria

Esta memoria ha sido dividida en diez capítulos más el del presupuesto que comprende el proyecto.

En el presente capítulo se ha intentado dar una visión general sobre qué es DVB-H, así como su estado e impacto en la sociedad actual. También se ha definido el objetivo de este proyecto fin de carrera.

En el capítulo 2 se describe el estándar DVB-H, así como los parámetros más importantes que lo caracterizan. También se describe la arquitectura de receptor en la que irá integrado nuestro diseño.

Una vez conocido el estándar para el que se va a desarrollar el sintetizador, en el capítulo 3 se procede al estudio de la tecnología a usar, *SiGe* 0,35 μ m de la fundidora AMS. Para ello se realiza un pequeño estudio a nivel tanto de construcción como de funcionamiento de cada uno de los componentes que proporciona la tecnología. Así mismo se analizan las diferentes opciones que proporciona el *kit* de diseño de la tecnología en la herramienta de diseño *Cadence*.

Con el fin de completar la base teórica, en el capítulo 4 se realiza un estudio en profundidad de los lazos enganchados en fase, estudiando los conceptos básicos y las características de las distintas partes de las que se compone.

Seguidamente, en el capítulo 5, se estudian los sintetizadores de frecuencia y sus distintas configuraciones. Se presta especial atención al estudio del ruido de fase.

En el capítulo 6 se describe el diseño a nivel de esquemático de todos los bloques de los que consta nuestro sintetizador. Para ello nos ayudaremos del *software* ADS, empleado a la hora de simular cada diseño.

En el capítulo 7, tras los estudios anteriores, se acometerá el diseño del sintetizador completo. Esto se logra uniendo las partes realizadas en el capítulo anterior y realizando el estudio de su funcionamiento conjunto. Para ello se realizan tres tipos de simulaciones: respuesta del lazo, respuesta transitoria y ruido de fase.

Una vez finalizado el trabajo a nivel de esquemático, el capítulo 8 se desarrolla un divisor programable de baja velocidad usando herramientas de diseño electrónico para esta finalidad hasta la obtención del *layout* de este bloque.

En el capítulo 9 se realiza el diseño a nivel de *layout* de todas las partes del sintetizador así como del sintetizador completo con la herramienta de *Cadence*.

Finalmente en el capítulo 10 se resumen las principales conclusiones de este proyecto tras realizar todo el diseño.

Posteriormente se presenta el presupuesto del proyecto, detallando todos los costes tanto de material como de mano de obra, etc.

1.4. Peticionario

Actúan como peticionarios para este proyecto fin de carrera, la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA) y la Escuela de Ingeniería de Telecomunicación y Electrónica (EITE).

Capítulo 2

El estándar DVB-H y la arquitectura del receptor

Este capítulo tiene como objetivo definir el estándar DVB-H y así como la arquitectura del receptor. Para ello, primero se realizará una introducción al estándar, dando a conocer las principales características, seguidamente se analiza la arquitectura del receptor, buscando minimizar el número de componentes para reducir el área total y la obtención del máximo nivel de integración.

2.1. El estándar DVB-H

Este apartado comienza con una breve introducción al estándar. Se continúa con la descripción de la canalización. Posteriormente se realiza una introducción de los modos de funcionamiento del estándar, C/N , ruido de fase, etc.

2.1.1. Introducción

La televisión en el móvil o DVB-H [2] es una tecnología que está despegando actualmente. El DVB-H es una adaptación a un entorno móvil del DVB-T, lo que en España se conoce popularmente como TDT.

Una de las razones más importantes por la que es necesario adaptar la TDT y crear la DVB-H es regular el consumo de energía en los receptores. No es lo mismo tener la televisión conectada a la red eléctrica que ir con un teléfono móvil consumiendo energía de la batería. Para ello, se utilizan técnicas de *time-slicing* lo que permite ahorrar hasta un 90% de energía.

También es necesario adaptar la calidad de la señal recibida a la que se puede visualizar en la pantalla de un móvil, que suele tener mucha menos resolución que una televisión estándar. Una de las grandes ventajas por la cual DVB-H es compatible con DVB-T es que se puede utilizar la misma banda de frecuencias para emitir las dos, de modo que para las cadenas no será necesario un cambio de infraestructura tan elevado como cuando se pasa de televisión analógica a televisión digital.

La calidad que ofrece DVB-H puede ser, en teoría, toda la que queramos y/o necesitemos. En realidad, la calidad vendrá limitada por lo que sean capaces de hacer los receptores existentes en el mercado. Cuanto más calidad necesitemos (más resolución, más *frames* por segundo, etc.), mayor será el consumo de batería.

Una cosa importante que debemos saber es que, debido al funcionamiento de esta tecnología, puede ser un poco lento el cambiar de canal, tardando entre 1 ó 2 segundos. Aunque no es un tiempo muy elevado, sí es más grande al de una televisión convencional.

También es necesario aumentar el número de emisores, que deberá ser mayor que el que se utiliza actualmente para la TDT, sobre todo para poder dar una buena cobertura dentro de edificios o en vehículos.

A continuación se van a enumerar las principales características del estándar DVB-H [2].

- Al estar alimentado el receptor DVB-H por baterías, el emisor debe tener la posibilidad de mandar alguna señal al receptor para que se apague total o parcialmente, de forma que se pueda aumentar la vida de la batería.
- Un receptor DVB-H, al estar en movimiento, debe ser capaz de cambiar de emisor automáticamente y de forma transparente al usuario cuando entre en la celda de cobertura de otro emisor.
- Al poder ser integrado en dispositivos con distintas velocidades de recepción, el transmisor debe tener la escalabilidad y la flexibilidad suficiente para dar cobertura a todos los tipos de receptores.
- El sistema DVB-H debe estar preparado para disminuir los efectos de las interferencias producidas por el cuerpo humano.

Un receptor DVB-H debe poder ser utilizado en varias partes del mundo por lo que los equipos han de poder adaptarse para trabajar en diferentes canales y anchos de banda.

En la Figura 2.1 se muestra el diagrama simplificado de un demodulador DVB-H, el cual incluye un demodulador DVB-T. Además de los modos de transmisión (número de portadoras OFDM) 2K y 8K, este demodulador ofrece el modo 4K como solución para conseguir más robustez en la recepción en terminales móviles.

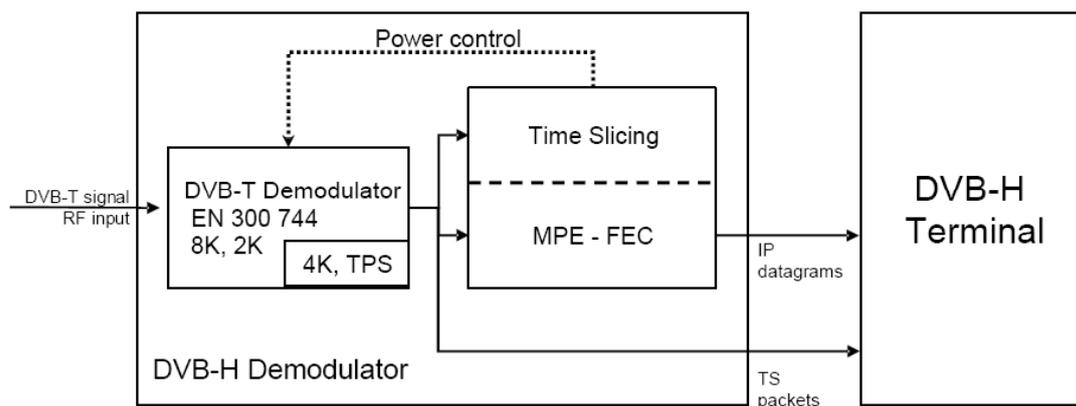


Figura 2.1. Diagrama de un modulador DVB-H.

2.1.2. Banda de frecuencia

DVB-H trabaja en las bandas IV y V de UHF (470 MHz a 862 MHz). La frecuencia central (f_c) de cada canal viene dada por la relación (2.1).

En el caso de que se utilice el mismo terminal para DVB-H y GSM 900, la banda de frecuencia se limita de 470 MHz a 702 MHz ($N = 21, \dots, 49$), en otro caso no existirá dicha limitación [8].

Los canales están separados 8 MHz y el ancho de banda de cada uno es de 7,61 MHz.

$$f_c = 470\text{MHz} + 4\text{MHz} + (N - 21) \cdot 8\text{MHz}, \quad N = 21, \dots, 69 \quad (2.1)$$

2.1.3. Modos de funcionamiento

El receptor DVB-H debe poder demodular correctamente todos los modos especificados en [9], es decir, cualquier combinación de:

- Constelación: QPSK, 16-QAM, 64-QAM, 16-QAM jerárquica, 64-QAM jerárquica¹.
- Code rate: 1/2, 2/3, 3/4, 5/6, 7/8.
- Intervalo de guarda: 1/4, 1/8, 1/16 ó 1/32.
- Modo de transmisión: 2K, 4K o 8K.
- α : 1, 2 ó 4².

El receptor debe ser capaz de detectar el modo de transmisión automáticamente.

2.1.4. Relación portadora/ruido (C/N)

El esquema de bloques general del receptor DVB-H es el de la Figura 2.2.

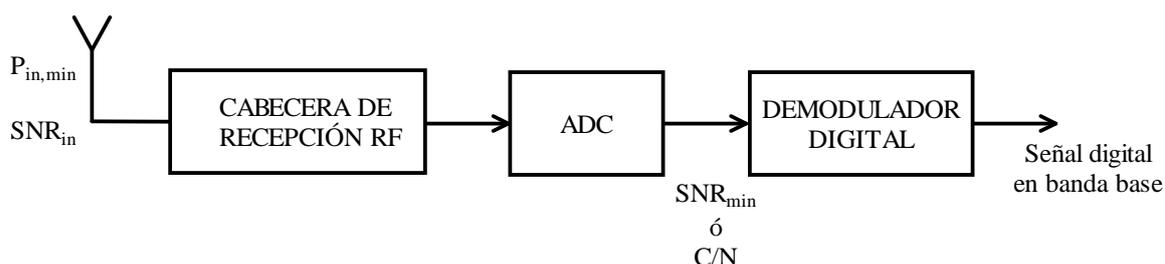


Figura 2.2. Esquema de bloques general de un receptor DVB-H.

En el anexo A de [9] se encuentran los valores de C/N para los diferentes modos de funcionamiento (2K, 4K y 8K), canal de 8 MHz y para tres modelos de canales de transmisión: *Gaussian*, *Ricean* y *Rayleigh*. Para todos ellos, se da el valor de C/N requerido para obtener un $BER = 2 \cdot 10^{-4}$ a partir de un decodificador *Viterbi*.

¹ Modulaciones jerárquicas: En estándares como DVB, aparte de poder emplear modulaciones de *rate* variable entre QPSK, 16QAM y 64QAM, ofrecen la posibilidad de emplear modulación con multiresolución, 64-MRQAM. En dicha modulación, la información se codifica con 6 bits de modo que la constelación resultante quede concentrada en “nubes” de puntos. A mayor SNR el receptor será capaz de distinguir o sólo la posición de las nubes (QPSK) o puntos dentro de las mismas.

² $\alpha = Constellation\ ratio$: Determina la posición de los puntos de la constelación QAM. Para transmisiones no jerárquicas $\alpha = 1$.

Añadiendo un margen de 2,5dB, los valores de C/N se pueden ver en la Tabla 2.1.

Tabla 2.1. C/N requerido para un $BER = 2 \cdot 10^{-4}$ de un decodificador Viterbi

Modulación	Code Rate	Canal <i>Gaussiano</i>	Canal <i>Ricean</i> (recepción fija)	Canal <i>Rayleigh</i> (recepción móvil)
QPSK	1/2	3,1+2,5 =5,6	3,6+2,5 =6,1	5,4+2,5 =7,9
QPSK	2/3	4,9+2,5 =7,4	5,7+2,5 =8,2	8,4+2,5 =10,9
QPSK	3/4	5,9+2,5 =8,4	6,8+2,5 =9,3	10,7+2,5 =13,2
QPSK	5/6	6,9+2,5 =9,4	8,0+2,5 =10,5	13,1+2,5 =15,6
QPSK	7/8	7,7+2,5 =10,2	8,7+2,5 =11,2	16,3+2,5 =18,8
16-QAM	1/2	8,8+2,5 =11,3	9,6+2,5 =12,1	11,2+2,5 =13,7
16-QAM	2/3	11,1+2,5 =13,6	11,6+2,5 =14,1	14,2+2,5 =16,7
16-QAM	3/4	12,5+2,5 =15,0	13,0+2,5 =15,5	16,7+2,5 =19,2
16-QAM	5/6	13,5+2,5 =16,0	14,4+2,5 =16,9	19,3+2,5 =21,8
16-QAM	7/8	13,9+2,5 =16,4	15,0+2,5 =17,5	22,8+2,5 =25,3
64-QAM	1/2	14,4+2,5 =16,9	14,7+2,5 =17,2	16,0+2,5 =18,5
64-QAM	2/3	16,5+2,5 =19,0	17,1+2,5 =19,6	19,3+2,5 =21,8
64-QAM	3/4	18,0+2,5 =20,5	18,6+2,5 =21,1	21,7+2,5 =24,2
64-QAM	5/6	19,3+2,5 =21,8	20,0+2,5 =22,5	25,3+2,5 =27,8
64-QAM	7/8	20,1+2,5 =22,6	21,0+2,5 =23,5	27,9+2,5 =30,4

En el anexo A de [9] también se encuentra la misma tabla para las modulaciones jerárquicas.

2.1.5. Figura de ruido, sensibilidad y máxima señal

En un sistema de RF, incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida

por el sistema. La figura de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. La figura de ruido se expresa como muestra la ecuación (2.2) [10].

$$NF = \frac{P_{N0}}{P_{N1} \cdot G_A} \quad (2.2)$$

Donde:

- P_{N0} : potencia total de ruido disponible a la salida del sistema.
- $P_{Ni}=k \cdot T \cdot B$: potencia de ruido disponible en un ancho de banda B (k y T son respectivamente la constante de *Boltzmann* y la temperatura absoluta).
- G_A : ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{So}) y la potencia de señal disponible a la entrada (P_{Si}).

Respecto a la sensibilidad, ésta se define como la señal (potencia disponible) mínima a la entrada del sistema para tener una relación señal a ruido (SNR o C/N) a la salida determinada (SNS_{oMIN}).

La sensibilidad del receptor DVB-H se puede obtener a partir de la ecuación (2.3) [10], en el que C/N es la SNR tomando como señal la portadora.

$$P_{in,min} (dBm) = -174 + 10 \log B + NF + C / N = Noise\ floor + C / N \quad (2.3)$$

Donde:

- $P_{in,min}$: sensibilidad.
- -174 dBm: potencia de ruido térmico para un ancho de banda de 1 Hz a 290° K.

- *B*: ancho de banda de la señal, en nuestro caso es de 7,61 MHz (para una separación entre canales de 8 MHz).
- *NF*: figura de ruido del receptor, según las publicaciones consultadas varía de 5 a 7 dB. Para el cálculo de la sensibilidad se supondrá de 5 dB para obtener el peor caso.
- *C/N*: relación señal a ruido definida en el estándar. Depende de varios factores como el tipo de modulación (QPSK, 16 QAM, etc.), tipo de modelo de canal (*Gaussiano*, *Ricean*), *BER* requerido, etc. Estos factores se muestran en las páginas 40 - 41 de [6].

El ‘noise floor’, en nuestro caso, viene dado por la ecuación (2.4).

$$\text{Noise floor} = -174\text{dBm} + 10 \log(7,61 \text{ MHz}) + 5 \text{ dB} = -100,19\text{dBm} \quad (2.4)$$

En la Tabla 2.2 se muestra la sensibilidad calculada a partir de la ecuación (2.4) y los valores de la Tabla 2.1.

Tabla 2.2. Sensibilidad de un receptor DVB-H para una NF del receptor de 5dB

Modulación	Code Rate	Canal <i>Gaussiano</i>		Canal <i>Ricean</i> (recepción fija)		Canal <i>Rayleigh</i> (recepción móvil)	
		<i>C/N</i> (dB)	Sensibilidad (dBm)	<i>C/N</i> (dB)	Sensibilidad (dBm)	<i>C/N</i> (dB)	Sensibilidad (dBm)
QPSK	1/2	5,6	-94,59	6,1	-94,09	7,9	-92,29
QPSK	2/3	7,4	-92,79	8,2	-91,99	10,9	-89,29
QPSK	3/4	8,4	-91,79	9,3	-90,89	13,2	-86,99
QPSK	5/6	9,4	-90,79	10,5	-89,69	15,6	-84,59
QPSK	7/8	10,2	-89,99	11,2	-88,99	18,8	-81,39
16-QAM	1/2	11,3	-88,89	12,1	-88,09	13,7	-86,49
16-QAM	2/3	13,6	-86,59	14,1	-86,09	16,7	-83,49
16-QAM	3/4	15,0	-85,19	15,5	-84,69	19,2	-80,99

16-QAM	5/6	16,0	-84,19	16,9	-83,29	21,8	-78,39
16-QAM	7/8	16,4	-83,79	17,5	-82,69	25,3	-74,89
64-QAM	1/2	16,9	-83,29	17,2	-82,99	18,5	-81,69
64-QAM	2/3	19,0	-81,19	19,6	-80,59	21,8	-78,39
64-QAM	3/4	20,5	-79,69	21,1	-79,09	24,2	-75,99
64-QAM	5/6	21,8	-78,39	22,5	-77,69	27,8	-72,39
64-QAM	7/8	22,6	-77,59	23,5	-76,69	30,4	-69,79

El mismo cálculo se puede hacer para las modulaciones jerárquicas.

2.1.6. Inmunidad del receptor ante señales de TV analógicas y digitales

En [8] realizan un estudio de la inmunidad del receptor a señales de TV analógicas y digitales. Para ello establecen las siguientes señales interferentes:

- Canal de televisión analógica con sistema PAL B/G/I1.
- Canal de televisión analógica con sistema SECAM L.
- Canal de televisión digital DVB-T.

Tomando como base dichas señales, se han creado dos tipos de patrones.

- El primer tipo es utilizado para medir la selectividad, S1 y S2:
 - Patrón S1: Un canal analógico en $N\pm 1$, $N\pm m$ o en la frecuencia imagen ($m=9$).
 - Patrón S2: Un canal DVB-T en $N\pm 1$, $N\pm m$ o en la frecuencia imagen ($m=9$).
- El segundo tipo es para medir la linealidad, L1, L2 y L3:

- Patrón L1: Un canal DVB-T en N+2 y otro analógico en N+4.
- Patrón L2: Un canal analógico en N+2 y otro analógico en N+4.
- Patrón L3: Un canal analógico en N+2 y otro digital en N+4.

Para cada patrón el estándar define la diferencia máxima ‘a’ entre la señal deseada y la no deseada, para la obtención de un BER de $2 \cdot 10^{-4}$. En la Figura 2.3 se da muestra de ello. Según [8] el valor máximo de señal admisible a la entrada de la antena es de -28 dBm.

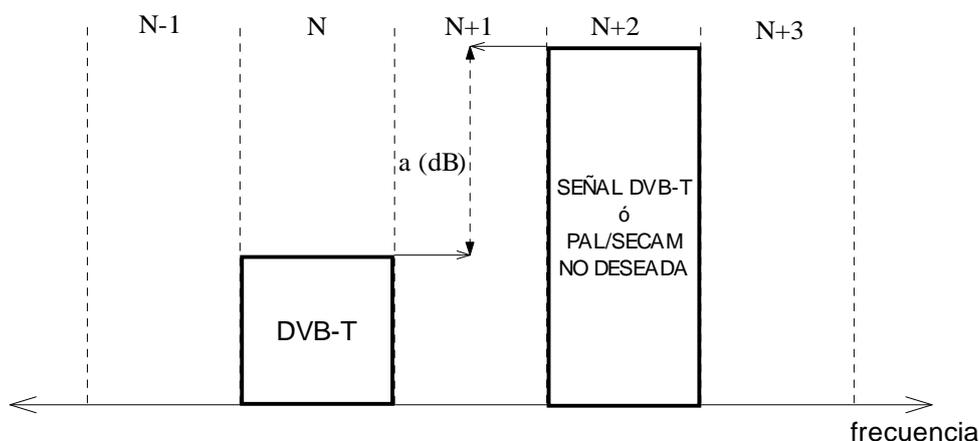


Figura 2.3. Esquema de bloques general de un receptor DVB-H.

2.1.7. Estimación del IIP3 a partir de la máxima señal a la entrada

El punto de compresión a 1 dB (P_{1dB}) se puede estimar a partir de la máxima señal a la entrada del receptor tal como se ve en la Figura 2.4, en nuestro caso el valor que usaremos será el que se muestra en la ecuación (2.5).

$$P_{1dB} > -28dBm \quad (2.5)$$

El P_{1dB} debe ser mayor que la máxima potencia de canal de entrada, que es -28 dBm [8]. Se puede estimar el IIP3 de la siguiente manera:

$$IIP3 - P_{1dB} = 9,6dB \quad (2.6)$$

$$IIP3 > -28dBm + 9,6 = -18,4dBm \quad (2.7)$$

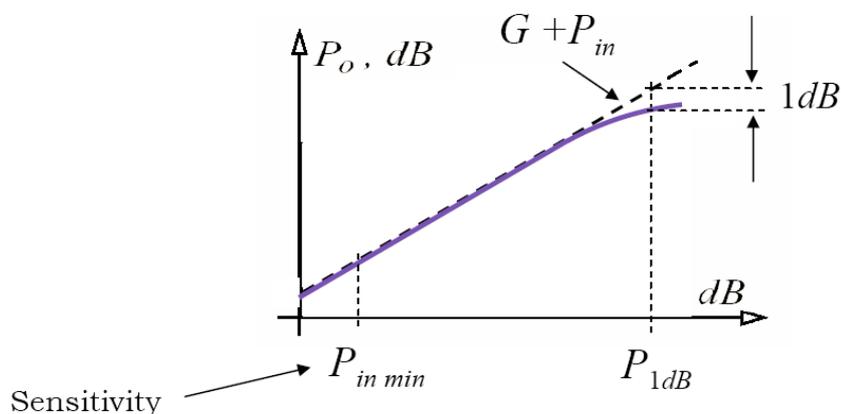


Figura 2.4. Estimación del punto de compresión 1dB.

2.1.8. Ruido de fase

El ruido de fase del oscilador local limita la selectividad del receptor [11]. El ruido de fase máximo se puede estimar a partir de la señal interferente máxima en el canal adyacente permitida para el peor caso, es decir, para una señal PAL-G no deseada en $N \pm 1$ operando en modo 2K/8K, 16QAM, $C/R = 2/3$ y $GI = All$ [9]. En la Figura 2.5 se puede observar una representación gráfica con los correspondientes valores de sensibilidad y nivel del canal deseado para el patrón S2.

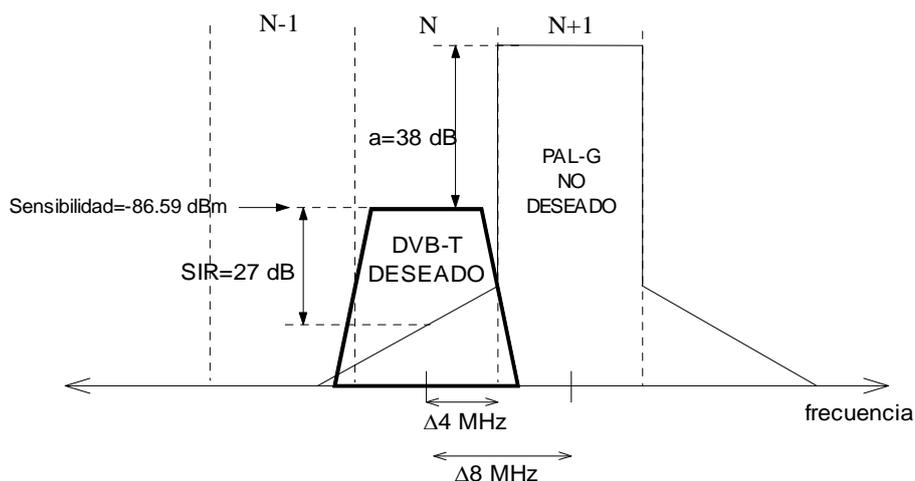


Figura 2.5. Representación gráfica del canal deseado y del no deseado (patrón S2) para el cálculo del ruido de fase.

Se ha elegido un SIR (*Signal to Interferer Ratio*) de 27 dB (5 dB mayor que el peor caso de C/N que es 21,8 dB, ver la Tabla 2.2).

El ruido de fase máximo permitido, según [11], se obtiene como indica (2.8).

$$PN(4MHz) = P_{señal} - P_{interferente} - SIR - 10 \cdot \log(B) \quad (2.8)$$

Para nuestro caso, el ruido de fase máximo permitido es:

$$\begin{aligned} PN(4MHz) &= -86,59dBm - (-86,59dBm + 38dB) - 27 - 10 \cdot \log(7,61MHz) = (2.9) \\ &= -133,8dBc \end{aligned}$$

Asumiendo que estamos en la parte $1/f^2$ de la curva del ruido de fase según *Leesson*, tenemos una pendiente de -20 dB/dec, lo cual indica que el ruido de fase máximo debe ser:

$$PN(40KHz) = -94dBc / Hz \Rightarrow PN(100KHz) = -103dBc / Hz \quad (2.10)$$

$$PN(400KHz) = -114dBc / Hz \Rightarrow PN(1MHz) = -123dBc / Hz \quad (2.11)$$

$$PN(4MHz) = -134dBc / Hz \Rightarrow PN(10MHz) = -143dBc / Hz \quad (2.12)$$

Se ha decidido tomar un margen de seguridad prudente y proponer así una especificación de ruido de fase de -107 dBc/Hz para un *offset* de 100 KHz.

2.2. Arquitectura para la cadena de recepción

En este apartado se analiza la arquitectura que se adopta para implementar la cadena de recepción. Se analiza la arquitectura de conversión directa, donde se estudia su composición y las ventajas e inconvenientes que presenta.

2.2.1. Receptor de conversión directa o ZERO IF

El esquema de bloques de este conversor se puede observar en la Figura 2.6. La conversión a banda base se realiza con una etapa de conversión [12], solventando el problema de la frecuencia imagen.

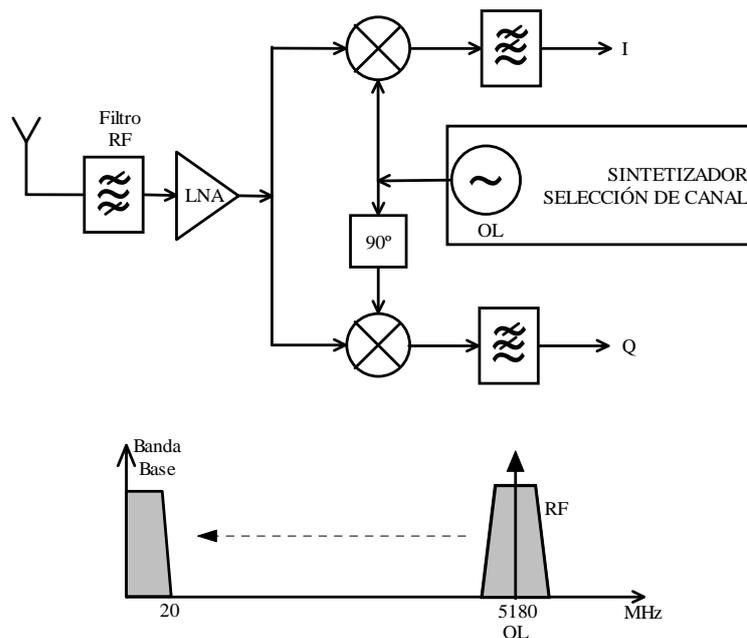


Figura 2.6. Arquitectura de conversión directa o ZERO IF.

Las ventajas de este esquema son las siguientes:

- No hay problemas con la frecuencia imagen ya que la frecuencia intermedia es cero y la frecuencia del oscilador local es igual que la frecuencia de RF. Por tanto no es necesario el filtro de la frecuencia imagen.
- Debido al reducido número de componentes se aumenta la eficiencia. Este tipo de receptor es apto para ser totalmente integrado en un chip.

Por otro lado los inconvenientes de este esquema son:

- Aparece un *offset* en DC a la salida del filtro paso-bajo que disminuye el rango dinámico de la señal. Este *offset* aparece porque parte de señal proveniente del oscilador local se cuela al mezclador por la entrada de RF sumándose a la señal proveniente del LNA. Esto se debe a que el aislamiento entre los puertos del mezclador no es infinito. Esta señal se vuelve a mezclar con la del oscilador local la cual, al ser filtrada, aparece como un nivel de continua a la salida. A este efecto se le conoce como automezclado o *self-mixing*.
- El oscilador local hay que desplazarlo 90° para poder realizar la demodulación I/Q. Este desplazamiento provoca un cambio en la amplitud

del oscilador local. Esto se traduce en una variación de amplitud entre el oscilador local utilizado para la señal Q y para la señal I , apareciendo un error en la constelación en la señal demodulada (*I/Q Mismatch*).

- El ruido *flicker* ($1/f$) a baja frecuencia es muy elevado. Debido a que la señal de RF se traslada directamente a frecuencia cero, el ruido *flicker* de baja frecuencia de cada uno de los distintos bloques que conforman la cadena de recepción en la banda base adquirirá importancia.

2.2.2. Decisión de la arquitectura

Dado que el receptor se va a implementar utilizando transistores bipolares, el consumo de potencia juega un papel importante en la elección de la arquitectura. Dichos transistores pertenecen a la tecnología *SiGe* de 0,35 μ m, y consumen más que los transistores CMOS. Por otro lado, los receptores Weaver y superheterodino poseen un elevado número de componentes. Esto dificultará la integración y el obtener bajos consumos de potencia. Además, un receptor superheterodino obliga a implementar filtros de rechazo de la frecuencia imagen, los cuales no son integrables. Sin embargo, un receptor de conversión directa emplea pocos componentes, siendo todos ellos de fácil integración. De la misma forma, los problemas de *self-mixing* que presenta este receptor pueden ser solventados mediante diversas técnicas, tales como el empleo de anillos de guarda.

2.3. Especificaciones para el sintetizador

A partir del estudio realizado, han quedado fijados los parámetros fundamentales para la consecución de un VCO válido para el estándar DVB-H. El sintetizador debe cumplir también estas especificaciones. En la Tabla 2.3 se enumeran los principales parámetros de diseño a alcanzar.

Tabla 2.3. Especificaciones para el sintetizador

Frecuencias a generar	$470 \text{ MHz} + 4\text{MHz} + (N-21) \cdot 8\text{MHz}; \quad N=21, \dots, 69$
Ruido de fase	-107 dBc/Hz para un offset de 100 KHz

2.4. Resumen

En este capítulo se ha dado una descripción detallada del estándar DVB-H, prestando especial atención a las características técnicas. Se ha hecho un estudio del receptor que se va a utilizar. Esta elección implica una mayor integración y un menor consumo de área y potencia. Podemos concluir que los parámetros principales sobre los que dirigir el diseño son: el ruido de fase y la banda de frecuencias.

En el próximo capítulo haremos referencia a la tecnología que se va a utilizar en el proceso del diseño de este proyecto.

Capítulo 3

Estudio de la tecnología

En este capítulo se va a realizar un estudio de la tecnología que se va a utilizar. Con este pretendemos dar una visión general de la tecnología *S35D4* de la fundidora AMS.

Este capítulo está estructurado de la siguiente manera. Una visión superficial de la capas de la tecnología. Seguidamente se describen los componentes pasivos proporcionados por la tecnología (resistencias, condensadores) o desarrollados por el IUMA (bobinas), para posteriormente estudiar los dispositivos activos (transistores MOSFET y HBTs de *SiGe*).

El estudio realizado en este capítulo es eminentemente teórico y, por ello, se deja a la elección del lector la posibilidad de leerlo al completo o, por el contrario, utilizarlo como referencia cuando se esté leyendo capítulos posteriores.

3.1. Introducción

La tecnología *S35D4* de AMS [3]-[4] consta de cuatro metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, consta de transistores bipolares de heteroestructura (HBT) y MOSFET, siendo la longitud de puerta mínima de 0,35 μ m. Así mismo la tecnología ofrece librerías de componentes pasivos.

En la Figura 3.1 podemos ver las distintas capas de las que se compone la tecnología *S35D4* de AMS.

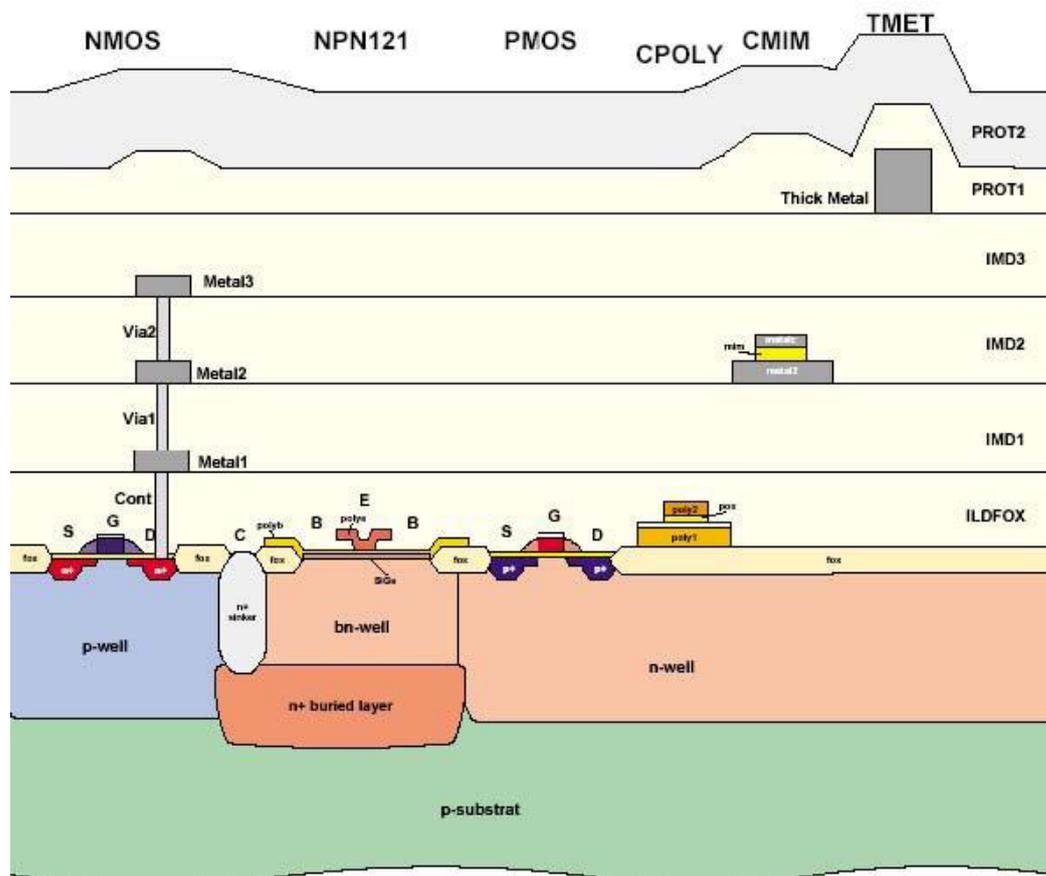


Figura 3.1. Capas de la tecnología *S35D4* de AMS.

3.2. Resistencias

En este apartado primero se realiza un breve estudio de las resistencias integradas, para seguir con la descripción de las resistencias aportadas por la tecnología.

3.2.1. Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la Figura 3.2 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

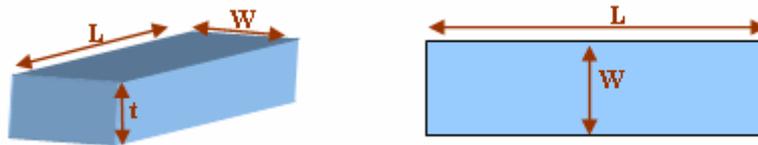


Figura 3.2. Parámetros de la resistencia.

Partiendo de la Figura 3.2 el valor de la resistencia se obtiene a partir de la ecuación (3.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (3.1)$$

Donde los parámetros que intervienen son:

- ρ : resistividad del material.
- t : espesor del material.
- W : anchura de la pista.
- L : longitud de la pista.

En procesos de semiconductores el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia puede determinarse a partir de la ecuación (3.2).

$$R = R_{square} \cdot \frac{W}{L} \quad (3.2)$$

En la ecuación (3.2), R_{square} , es el cociente entre la resistividad y el espesor de la resistencia. Representa la resistencia por cuadro.

3.2.2. Resistencias en la tecnología S35D4 de AMS

La tecnología S35D4 de AMS presenta dos tipos de resistencias, RPOLY2 y RPOLYH, que se utilizan dependiendo del valor resistivo que se pretenda integrar. En la Tabla 3.1 y Tabla 3.2 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

Tabla 3.1. Parámetros de la tecnología S35D4 para RPOLY2

RPOLY2				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	40	50	60	Ω/\square
Coef. temperatura	-	0,6	-	10 ⁻³ /K
Resist. Contacto	-	20	40	Ω/cm
Den. Corriente	-	-	0,3	mA/ μ m

Tabla 3.2. Parámetros de la tecnología S35D4 para RPOLYH

RPOLYH				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	0,9	1,2	1,5	k Ω/\square
Coef. temperatura	-	-1,2	-	10 ⁻³ /K
Resist. Contacto	-	60	200	Ω/cm
Den. Corriente	-	-	0,3	mA/ μ m

En la Figura 3.3 se muestra el cuadro de diálogo de *Cadence* donde se ajustan los parámetros de las resistencias.

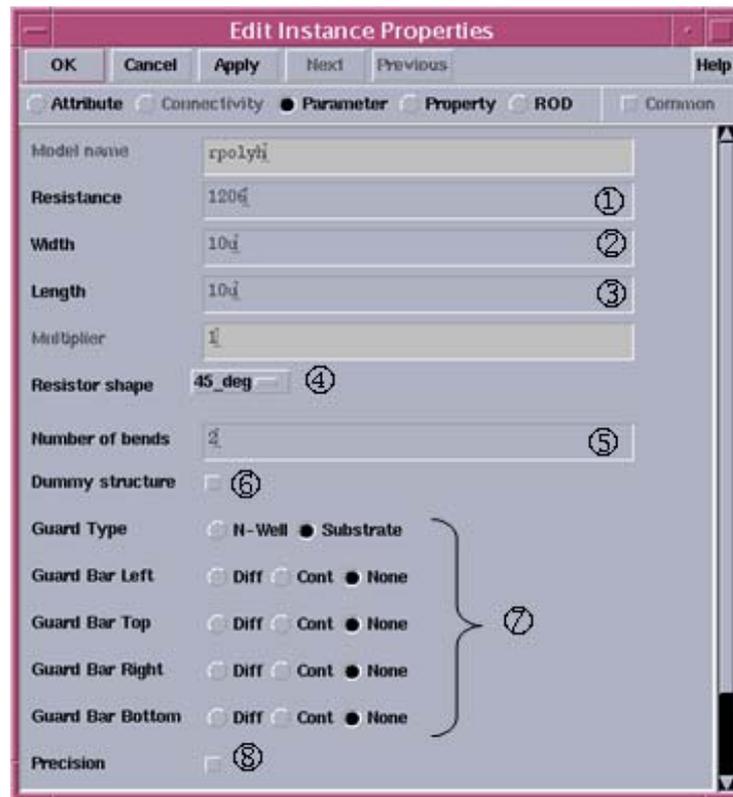


Figura 3.3. Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la Figura 3.3:

- ① Valor de la resistencia: ajustando el valor óhmico de la resistencia el software calcula la longitud de la misma.
- ② Ancho de la pista: variando el ancho el *software* determina la longitud para mantener el valor de resistencia establecido.
- ③ Longitud de la pista.
- ④ Ángulo de giro.
- ⑤ Número de dedos: empleado para reducir el tamaño de la resistencia.
- ⑥ Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.

- ⑦ Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.
- ⑧ Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

En la Figura 3.4 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el *kit* de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

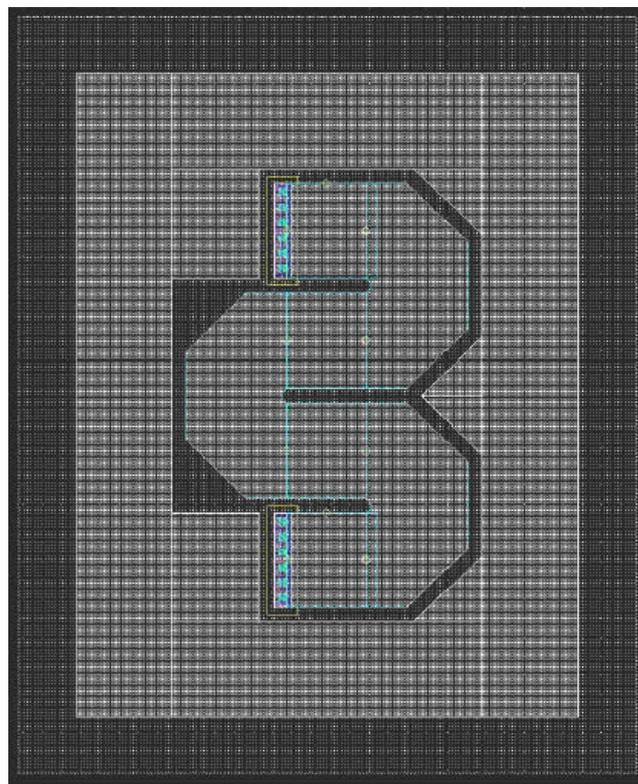


Figura 3.4. Resistencia con estructura *dummies*.

3.3. Condensadores

En este apartado al igual que en el caso anterior se realiza un breve estudio de la estructura de los condensadores para seguir con la descripción de los que se disponen.

3.3.1. Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando dos capas de metal separadas por una capa de material aislante. En la Figura 3.5 se muestra un esquema donde esto queda reflejado.

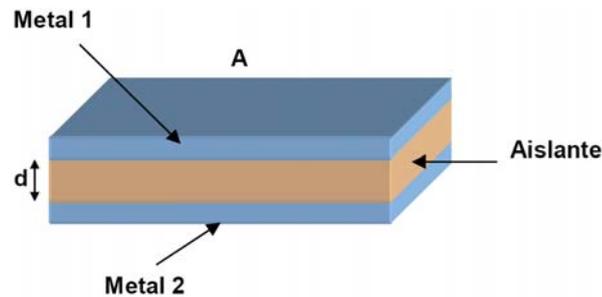


Figura 3.5. Corte de un condensador.

Partiendo de la Figura 3.5 el valor de la capacidad del condensador viene dado por la ecuación (3.3).

$$C = \frac{\epsilon' \cdot \epsilon_0 \cdot A}{d} \quad (3.3)$$

Donde los parámetros que intervienen son:

- ϵ' : permitividad relativa del material.
- ϵ_0 : permitividad del vacío.
- A : área de las placas del condensador.
- d : distancia ente las placas del condensador.

3.3.2. Condensadores en la tecnología S35D4 de AMS

Esta tecnología dispone de dos tipos de condensadores. Por un lado está el *CPOLY*, formado por dos capas de polisilicio y diseñado para capacidades de pequeño tamaño. Por otro lado está el *CMIM*, formado por 2 capas de metal y diseñado para la implementación de capacidades de gran valor.

En la Figura 3.6 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de los condensadores.

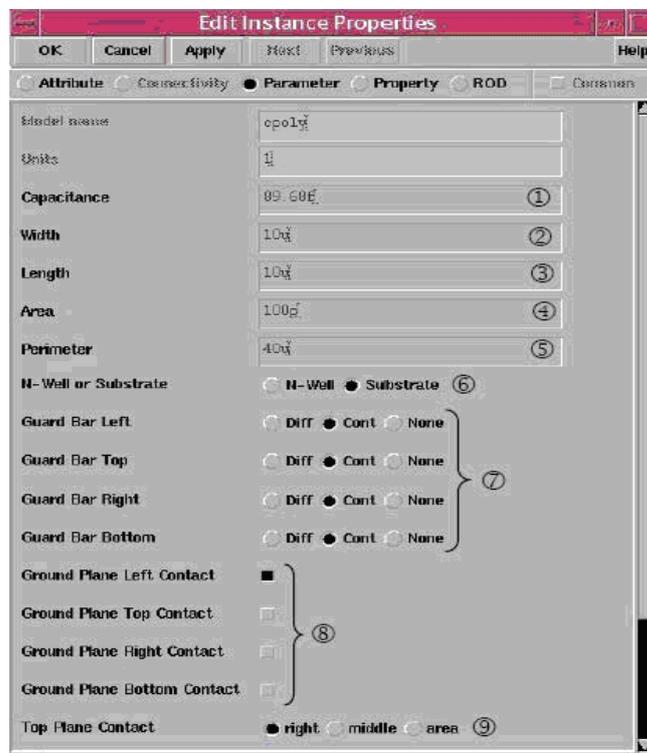


Figura 3.6. Parámetros en los condensadores.

A continuación se detallan los parámetros mostrados en la Figura 3.6.

- ① Valor de la capacidad.
- ② Ancho del condensador.
- ③ Longitud del condensador.
- ④ Área total del condensador.
- ⑤ Perímetro del condensador.
- ⑥ Conexión al sustrato o a un pozo tipo N.
- ⑦ Colocación de anillos de guarda mediante contactos o difusiones.

- ⑧ Colocación de los contactos de la capa inferior.
- ⑨ Colocación de los contactos de la capa superior.

A modo de ejemplo, en la Figura 3.7 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior está a la derecha.

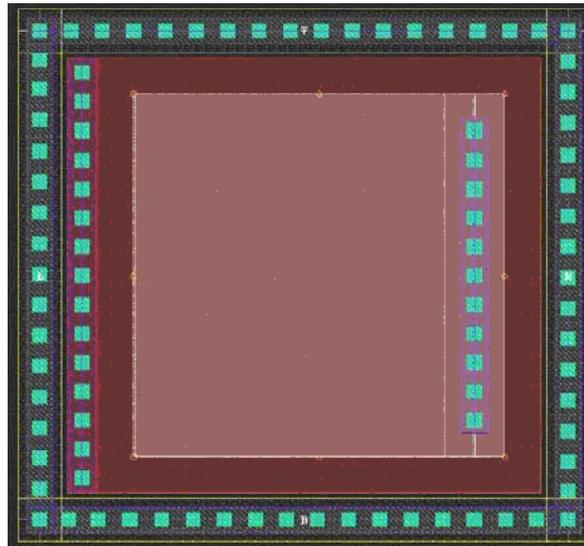


Figura 3.7. *Layout de un condensador.*

3.4. Bobinas

En este apartado se ven tanto la construcción, el funcionamiento, el modelado y las bobinas de las que se disponen.

3.4.1. Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o

cross-under. En la Figura 3.8 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio ' r ', anchura ' w ', separación de las pistas ' s ' y número de vueltas ' n ').

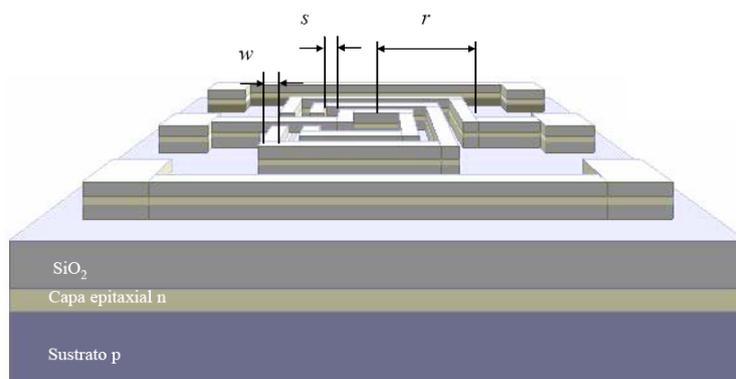


Figura 3.8. *Layout* de una bobina cuadrada simple.

3.4.2. Funcionamiento

Un inductor se caracteriza por su factor de calidad, ecuación (3.4), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (3.4)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) y por las corrientes de torbellino (*eddy currents*) [13]-[14] inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar. Cuando se aplica tensión en los extremos de una espiral aparecen los campos eléctricos y magnéticos de la Figura 3.9.

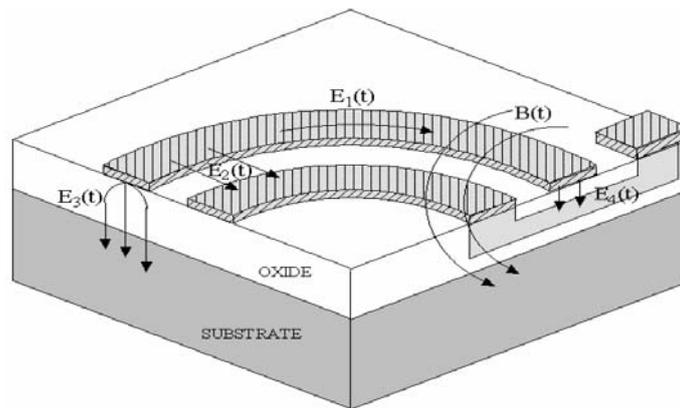


Figura 3.9. Campos eléctricos y magnéticos en un inductor integrado.

Donde:

- $B(t)$: campo magnético. Está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.
- $E_1(t)$: campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$: campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$: campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$: campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

3.4.3. Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la Figura 3.10. En serie con la inductancia deseada, L_s , aparece una resistencia, R_s , que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver Figura 3.9). El condensador C_p da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato.

En particular, los condensadores C_{ox1} y C_{ox2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{sub1} y C_{sub2} dan cuenta de la capacidad del sustrato. Por último R_{sub1} y R_{sub2} modelan las pérdidas óhmicas del sustrato.

El circuito equivalente de la Figura 3.10 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de C_{ox1} , C_{sub1} y R_{sub1} ligeramente diferentes a los de C_{ox2} , C_{sub2} y R_{sub2} .

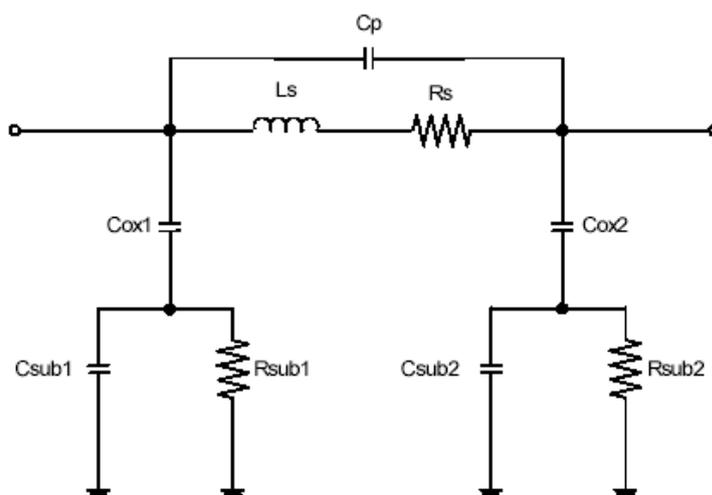


Figura 3.10. Modelo clásico de dos puertos de inductores espirales integrados.

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente.

Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [13].

3.4.4. Bobinas en la tecnología S35D4 de AMS

La tecnología de AMS presenta bobinas, pero se optó por usar las bobinas desarrolladas por el IUMA ya que presentan factores de calidad mayores que las de AMS, alcanzando valores de hasta 13,5 a una frecuencia central de 5,5 GHz [15].

En la Figura 3.11 se muestra un ejemplo de las bobinas creadas por el IUMA. En este caso se trata de una bobina de ocho lados de 2 nH con un factor de calidad de 10,3.

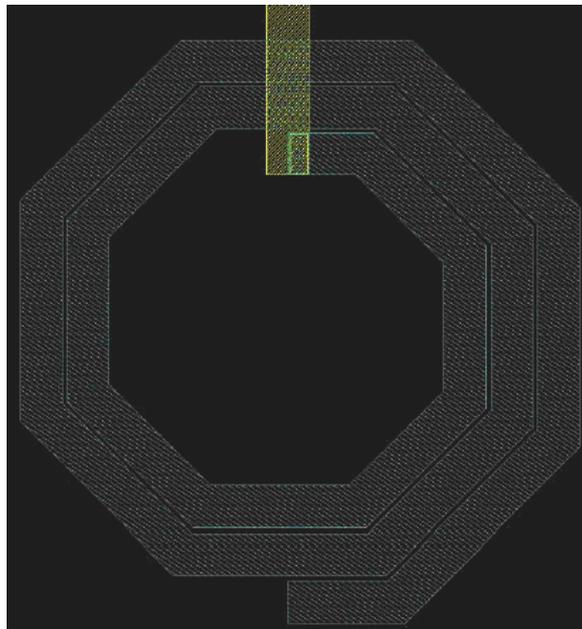


Figura 3.11. *Layout* de una bobina.

3.5. El Transistor MOSFET

Primero se realizará una breve introducción a la estructura de los transistores MOSFET. Se seguirá con la descripción del funcionamiento y de los modelos de baja y alta frecuencia. Se termina mostrando las características de los transistores MOSFET proporcionados por la tecnología.

3.5.1. Construcción

En la Figura 3.12 se muestra un corte esquemático de dos transistores MOSFET tipo n y tipo p respectivamente. En el caso del transistor tipo n, la fuente y el drenador están formados por difusiones n^+ , sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formadas con difusiones tipo p^+ sobre un pozo tipo n. Tanto en el MOSFET tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO_2 [16]-[17].

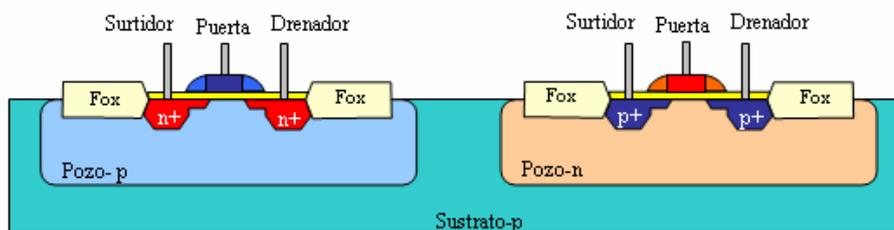


Figura 3.12. Corte esquemático de transistores MOS.

3.5.2. Funcionamiento

Como se muestra en la Figura 3.13, si en un MOSFET tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor (V_{GS}) y se aplica una tensión positiva entre el drenador y el surtidor (V_{DS}), no circulará corriente entre los terminales de drenador y surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor, sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor MOSFET se encuentra en corte.

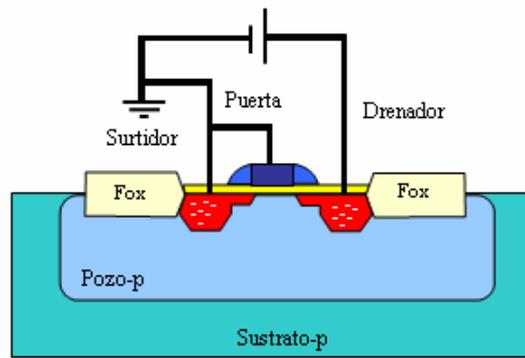


Figura 3.13. MOSFET tipo n en corte.

Si se aumenta la tensión V_{GS} , este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la Figura 3.14. Por el contrario, los electrones se verán atraídos hacia la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de V_{GS} , se produce un aumento de la concentración de electrones cerca de la capa de SiO_2 hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el drenador y la surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del drenador al surtidor se le llama tensión de umbral (V_T). Cuando se consigue circulación de corriente del drenador al surtidor se dice que el MOSFET se encuentra en la región de triodo o zona óhmica.

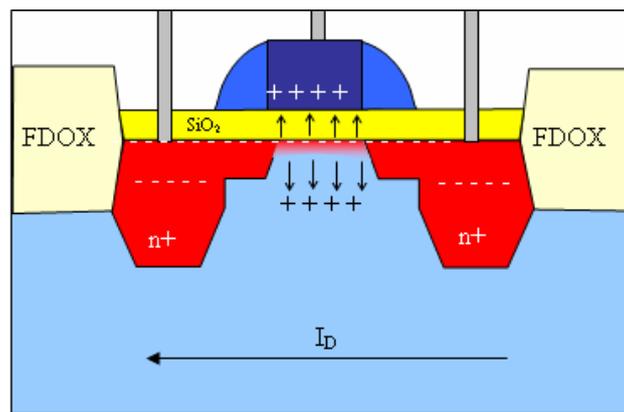


Figura 3.14. Detalle del MOSFET tipo n en zona óhmica.

En la región óhmica, la ecuación (3.5) determina la corriente de drenador, I_D , del MOSFET.

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.5)$$

Donde:

- μ_n : movilidad de los electrones.
- C_{OX} : capacidad de puerta por unidad de área.
- W : ancho del canal del transistor (μ m).
- L : longitud del canal del transistor (μ m).
- V_{GS} : tensión entre la puerta y el surtidor.
- V_{DS} : tensión entre el drenador y el surtidor.
- V_T : tensión de umbral.

Como ya se ha comentado cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la Figura 3.15.

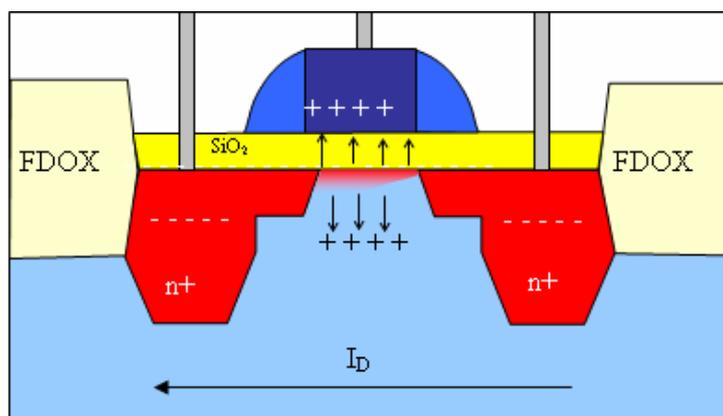


Figura 3.15. Detalle del MOSFET tipo n en zona de saturación.

La tensión de drenador a puerta (V_{DG}) viene dado por la ecuación (3.6).

$$V_{DG} = V_{DS} - V_{GS} \quad (3.6)$$

Si se mantiene V_{GS} fijo y se aumenta el valor de la tensión V_{DS} tal como muestra la ecuación (3.6) el valor de la tensión V_{DG} se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente. En esta situación la corriente de drenador viene dada por la ecuación (3.7), diciéndose que el transistor se encuentra en zona de saturación.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (3.7)$$

Donde el coeficiente, $\mu_n \cdot C_{OX}$, se denomina factor de ganancia y se denota con K_n .

A pesar de que el desarrollo anterior se refiere a un transistor MOSFET tipo n, en el caso del transistor MOSFET tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente I_D en el MOSFET tipo p es contrario del MOSFET tipo n.

3.5.3. Modelo de baja frecuencia

En la Figura 3.16 se muestra el modelo en baja frecuencia del transistor MOSFET.

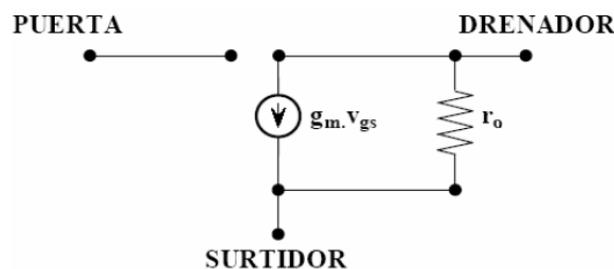


Figura 3.16. Modelo del MOSFET de baja frecuencia.

Donde:

- r_o : parte real de la impedancia de salida del transistor, es decir, la resistencia del canal.
- g_m : transconductancia del transistor, y viene dada por la ecuación (3.8).

La transconductancia del transistor viene dada por la ecuación (3.8).

$$g_m = \sqrt{\frac{2 \cdot C_{OX} \cdot \mu_n \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{C_{OX} \cdot \mu_n \cdot W \cdot I_D}{L_{eff}}} \quad (3.8)$$

Donde:

- C_{OX} : capacidad de puerta por unidad de área.
- μ_n : movilidad de los electrones.
- W : ancho del canal del transistor.
- L_{eff} : longitud efectiva del canal (μm).
- I_D : corriente de drenador.

3.5.4. Modelo de alta frecuencia

En la Figura 3.17 se muestra el modelo de alta frecuencia del transistor MOSFET, donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

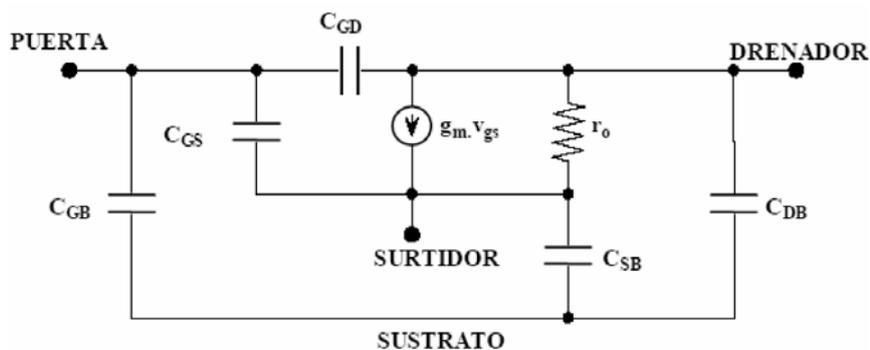


Figura 3.17. Modelo del MOSFET de alta frecuencia.

Estas capacidades son de dos tipos:

▣ **Capacidades de la zona de carga espacial:** se producen en las uniones PN, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones (3.9) y (3.10).

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \quad (3.9)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \quad (3.10)$$

Donde:

- C_{iB0} : densidad de la capacidad de la unión cuando la polarización de esta es nula.
- V_{iB} : tensión directa de la unión.
- ψ_o : barrera de potencial.
- m : constante dependiente del tipo de unión.

□ **Capacidades en la zona de óxido:** Aparecen capacidades entre dos zonas conductoras separadas por óxido sometidas a distintas tensiones. El valor de estas capacidades depende de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

- C_{GB} : capacidad de óxido entre puerta y sustrato.
- C_{SG} : capacidad de óxido entre surtidor y puerta.
- C_{GD} : capacidad de óxido entre puerta y drenador.

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor. En la Tabla 3.3 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor MOSFET.

Tabla 3.3. Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{OX} \cdot L_d \cdot W$	$C_{OX} \cdot L_d \cdot W + 0,5 \cdot C_{OX} \cdot L \cdot W$	$C_{OX} \cdot L_d \cdot W$
C_{GS}	$C_{OX} \cdot L_d \cdot W$	$C_{OX} \cdot L_d \cdot W + 0,5 \cdot C_{OX} \cdot L \cdot W$	$C_{OX} \cdot L_d \cdot W + 0,66 \cdot C_{OX} \cdot L \cdot W$
C_{GB}	$C_{OX} \cdot L_d \cdot W$	0	0

En la Tabla 3.3 los parámetros implicados en las expresiones son:

- C_{OX} : capacidad de puerta por unidad de área.
- L_d : distancia de difusión lateral que se produce bajo la puerta.
- L : longitud del canal del transistor (μ m).
- W : ancho del canal del transistor (μ m).

3.5.5. Transistores MOSFET en la tecnología S35D4 de AMS

En la Tabla 3.4 y Tabla 3.5 aparecen los parámetros más importantes de los transistores MOSFET suministrados por AMS dentro del *kit* de diseño.

Tabla 3.4. Parámetros más importantes de los MOSFET NMOS

NMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	0,36	0,46	0,56	V
Factor de Ganancia (K_n)	155	175	195	μ A/V ²
Den. Corriente Saturación	450	540	630	μ A/ μ m

Tabla 3.5. Parámetros más importantes de los MOSFET PMOS

PMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	-0,50	-0,60	-0,70	V
Factor de Ganancia (K_n)	48	58	68	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	-180	-240	-300	$\mu\text{A}/\mu\text{m}$

En la Figura 3.18 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor MOSFET.

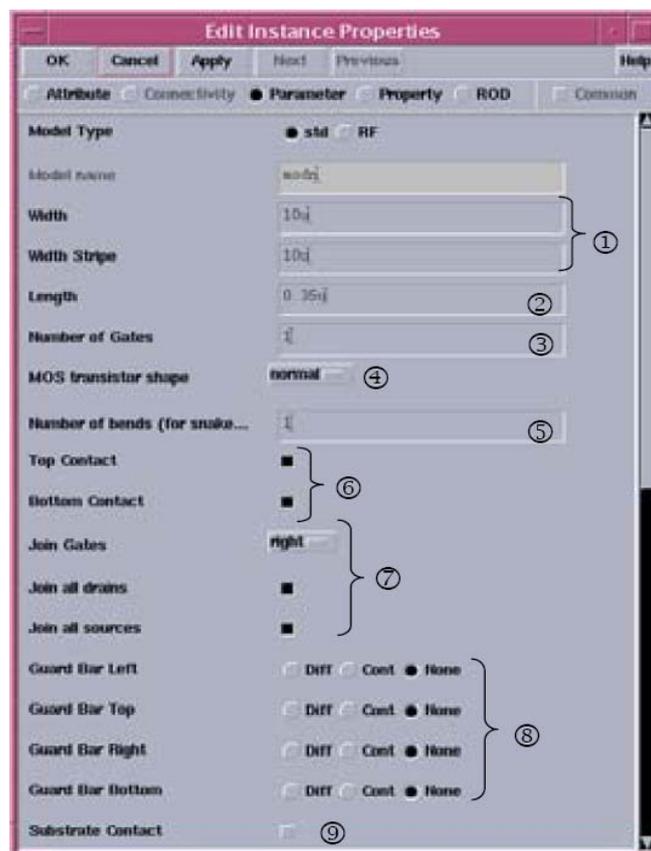


Figura 3.18. Parámetros en los MOSFET.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en dicha figura.

- ① Ajuste del ancho del transistor.
- ② Ajuste de la longitud del canal del transistor.
- ③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- ④ Selección de un transistor normal o un transistor tipo *Snake* [3]-[4].
- ⑤ Selección del número de dedos para los transistores tipo *Snake*.
- ⑥ Colocación de contactos a ambos lados del transistor.
- ⑦ Unión de las puertas, drenadores y surtidores.
- ⑧ Creación de anillos de guarda alrededor del transistor.
- ⑨ Colocación de contactos al sustrato para evitar el efecto *latch-up* [18] en el transistor.

A modo de ejemplo en la Figura 3.19 se muestra un transistor MOSFET tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el *kit* de la tecnología. En la Figura 3.19 se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

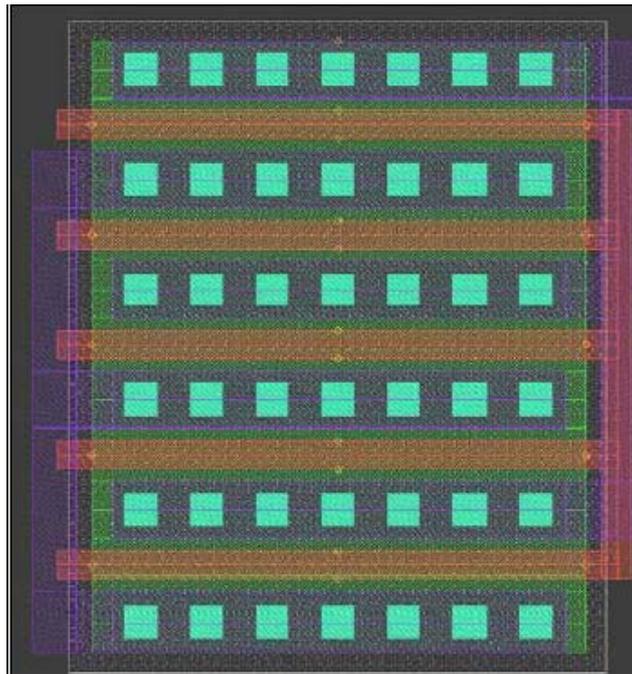


Figura 3.19. Ejemplo de transistor MOSFET.

3.6. HBTs de SiGe

Este apartado define la construcción, el funcionamiento de las bobinas, el modelo tanto en baja como en alta frecuencia y los HBTs de la tecnología.

3.6.1. Construcción

Los transistores bipolares de heteroestructura HBTs de *SiGe* son transistores npn bipolares en los que la base está formada por una capa muy estrecha ($<50\text{nm}$) de $\text{Si}_{1-x}\text{Ge}_x$ crecida de forma pseudomórfica [19]. La concentración de *Ge* puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 nm. En la Figura 3.20 se muestra la estructura típica de un HBT de *SiGe* gradual.

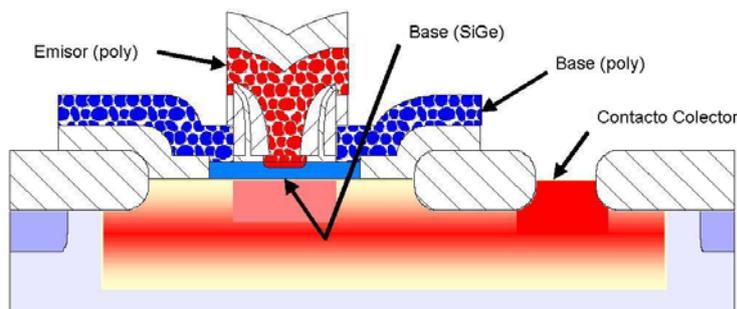


Figura 3.20. Estructura típica de un HBT de SiGe gradual.

3.6.2. Funcionamiento

El funcionamiento de los HBTs es exactamente igual al de los transistores bipolares de homounión (BJTs), con la salvedad de que sus prestaciones son muy superiores a las de éstos últimos. Para ayudar a entender los beneficios de los HBT, se comparan en la Figura 3.21 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La corriente de colector, como se puede observar en la Figura 3.22, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base, I_n , menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, I_p , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de depleción de la unión emisor-base, que deberían ser pequeñas. Para entender el funcionamiento de los HBTs es necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

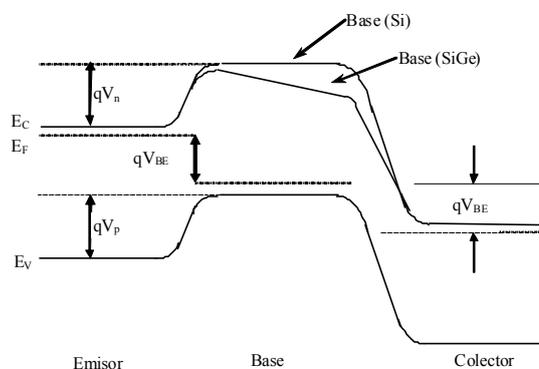


Figura 3.21. Diagrama de bandas de energía de un transistor bipolar de homounión npn-Si y un transistor bipolar de heterounión npn-Si/Si.

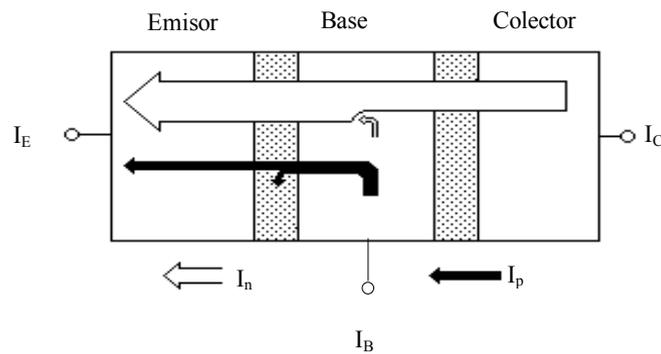


Figura 3.22. Esquema simplificado del flujo de corriente en un transistor de homounión npn-Si.

Si se desprecian las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los BJT para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b , el ancho de emisor W_e , y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de Boltzmann ofrece las concentraciones de portadores minoritarios que se muestran en las ecuaciones (3.11) y (3.12).

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (3.11)$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (3.12)$$

En estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, para la homounión BJT. V_{BE} es la tensión aplicada a la unión B-E. La concentración de dopaje en el emisor de Si tipo n es N_e , y en la base de Si tipo p es P_b . Los coeficientes de difusión (difusividades) de los electrones y de los huecos son D_n y D_p . Tomando la relación entre las ecuaciones (3.11) y (3.12) resulta la ecuación (3.13).

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (3.13)$$

La ecuación (3.13) representa una cota superior del valor de β . Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces β_{max} vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si. Estos valores corresponderían a los valores de β para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la Figura 3.21 se muestra también el diagrama de bandas correspondiente a un HBT. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta $E_{G0}-\Delta E_G$ cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de $\Delta E_G/W_b$, el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base (τ_{BC}) y un aumento de la ganancia en corriente (β). Así pues, para los HBTs la ganancia en corriente tendrá un término adicional que refleja este fenómeno como se muestra en la ecuación (3.14).

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{K \cdot t}\right)} \quad (3.14)$$

Debido a que es posible obtener decenas de meV para ΔE_G variando la concentración de Ge, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se

ve incrementado y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias.

Por otro lado, para conseguir valores de corriente elevados en los BJTs, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como hemos mencionado, esto entra en conflicto con la exigencia de tener valores de τ_{BC} bajos para poder operar a frecuencias elevadas. El uso de HBTs en vez de BJTs ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3} .

Desde el punto de vista circuital, la elevada ganancia que presentan los HBTs trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los HBTs de *SiGe* es mayor que para los BJTs de *Si*, con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Además, la resistencia de entrada mejora, con lo que mejoran las propiedades de las etapas de entrada de LNAs respecto al ruido. Por último, debido a la elevada ganancia que presentan los HBTs de *SiGe* a frecuencias por encima de 2 GHz, es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y LNAs.

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presenta, lo cual hace que se complique sobre todo el diseño de amplificadores de potencia. Este problema no es específico del *SiGe*, sino de todos los procesos bipolares basados en *Si*, donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

3.6.3. Modelo de baja frecuencia

En la Figura 3.23 se muestra el modelo en baja frecuencia de un transistor bipolar npn cuando el transistor está operando en configuración de emisor-común (EC).

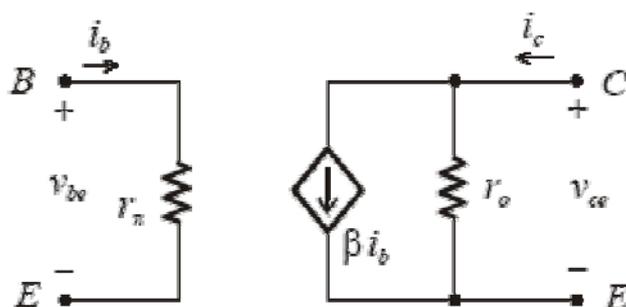


Figura 3.23. Modelo híbrido en π en baja frecuencia.

Del circuito anterior se obtienen las ecuaciones (3.15) y (3.16).

$$V_{be} = r_{\pi} \cdot i_b \quad (3.15)$$

$$i_c = \beta \cdot i_b + \frac{1}{r_o} \cdot V_{ce} \quad (3.16)$$

3.6.4. Modelo de alta frecuencia

Hay dos factores que definen el comportamiento en alta frecuencia de los transistores bipolares: la dependencia de la β con la frecuencia y las capacidades internas. En la Figura 3.24 se observa esta dependencia y se definen dos frecuencias: f_{β} , frecuencia de corte superior que es la frecuencia a la cual decae en $1/\sqrt{2} = 0.707$, la β a frecuencias medias especificada por β_o , y f_T , frecuencia de transición definida como la frecuencia a la cual la β vale 1. El fabricante proporciona el valor de f_T en función de la corriente de colector, siendo éste un parámetro importante que fija el ancho de banda del transistor.

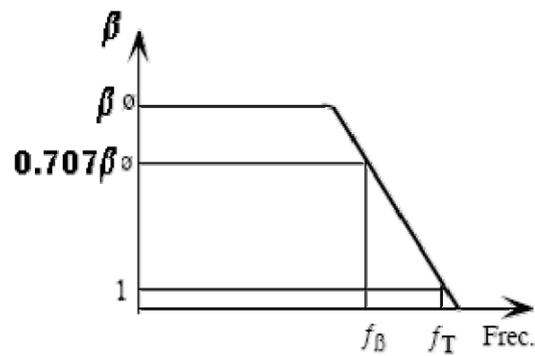


Figura 3.24. Variación de la β de un transistor bipolar con la frecuencia.

En la Figura 3.25 se muestra el modelo simplificado a alta frecuencia de un transistor bipolar. Está constituido por dos capacidades dominantes: $C_{b'c}$ y $C_{b'e}$, las cuales varían con la tensión inversa (*reverse voltage*). $C_{b'c}$ se obtiene gráficamente calculando la $V_{B'C}$ del transistor (tensión inversa de la unión colector-base). $C_{b'e}$ tiene asociada dos capacidades, difusión del emisor y de unión emisor-base.

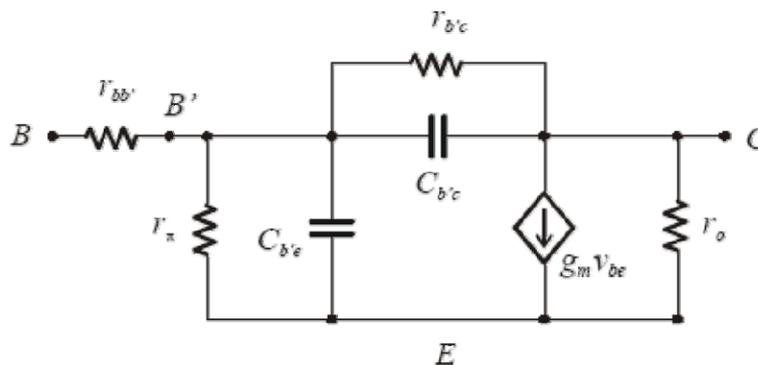


Figura 3.25. Modelo en alta frecuencia de un transistor bipolar.

Al ser la primera mucho mayor que la segunda, ésta capacidad se puede estimar como se muestra en la ecuación (3.17).

$$C_{b'e} = \frac{I_C}{2\pi \cdot f_T \cdot V_T} - C_{b'c} \quad (3.17)$$

Siendo V_T el potencial térmico, que vale 25 mV a 25 °C. La relación entre f_T y f_o y las capacidades es la que se muestra en la ecuación (3.18).

$$f_T = f_o \cdot \beta' \quad (3.18)$$

Siendo f_o y β los mostrados en las ecuaciones (3.19) y (3.20) respectivamente.

$$f_o \cong \frac{1}{2\pi \cdot (r_{bb'} + r_x)(C_{b'e} + C_{b'c})} \quad (3.19)$$

$$\beta = \frac{\beta'}{1 + j \cdot \frac{f}{f_o}} \quad (3.20)$$

3.6.5. HBTs en la tecnología S35D4 de AMS

Los HBTs de *SiGe* utilizados para la realización de este diseño son los suministrados en el proceso *S35D4* (0,35 μm *HBT BiCMOS*) de la empresa AMS. Su producción se basa en un proceso de bajo coste de fabricación de BJTs. El material de partida es una oblea de silicio tipo p poco dopada de resistividad 19 Ω·cm. El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (CVD) la cual se separa mediante un proceso de recesión LOCOS [20]. El siguiente paso es el crecimiento selectivo de la base de *SiGe* mediante CVD. La concentración de germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de base y emisor. Finalmente el proceso termina con las metalizaciones de los contactos de emisor, base y colector.

En la Figura 3.26 se muestra el cuadro de diálogo de los transistores disponible en el *kit* de la tecnología así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

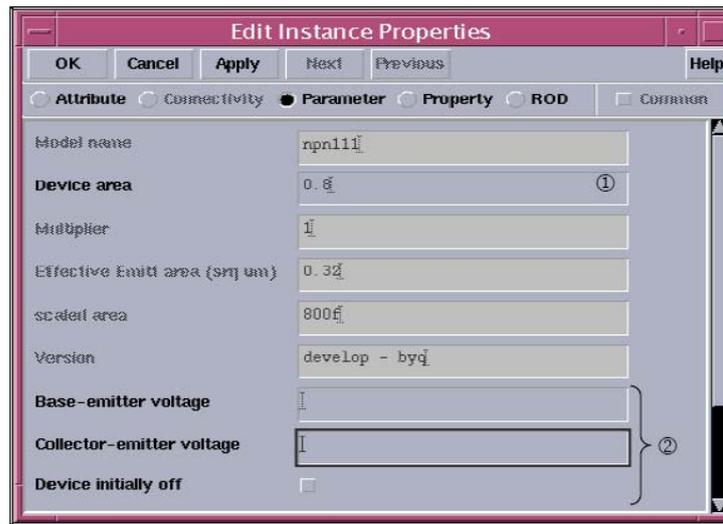


Figura 3.26. Parámetros ajustables de los transistores.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en dicha figura.

- ① Selección del área del transistor.
- ② Selección de los ajustes para simulación.

En la Figura 3.27 se muestra el *layout* de un transistor HBT. Pueden observarse claramente las conexiones de emisor base y colector del mismo de izquierda a derecha.

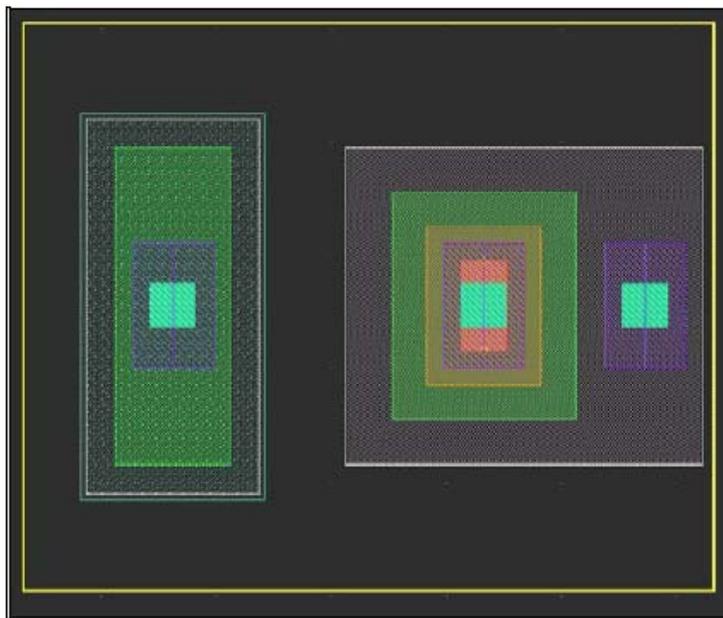


Figura 3.27. Layout de un Transistor HBT.

3.7. Resumen

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología *S35D4* de AMS. En el próximo capítulo se comenzará con el estudio teórico de los PLLs.

Capítulo 4

Conceptos básicos de los lazos enganchados en fase

Los lazos enganchados en fase, o PLL (*Phase Lock Loop*), constituyen un subsistema de uso muy extendido en los sistemas de telecomunicación. Se trata de un circuito realimentado de control con el que se intenta conseguir que la fase de un oscilador variable sea una réplica de la fase de la señal de entrada. Aunque el primer PLL conocido como tal data del año 1932, hubo que esperar hasta la aparición de los primeros circuitos integrados que contenían gran parte de los elementos necesarios, alrededor de 1970, para que se generalizara su uso. Hoy en día es fácil encontrar circuitos integrados que contienen uno o más PLL, solos o combinados con otros elementos para formar subsistemas.

Los PLL que se presentan en este capítulo son analógicos, es decir, implementados sobre señales en forma de tensiones o corrientes eléctricas. También pueden encontrarse

PLL totalmente digitales en los que las señales son series numéricas en un procesador digital.

Al igual que en el capítulo anterior, el estudio realizado en este capítulo es eminentemente teórico y, por ello, se deja a la elección del lector la posibilidad de leerlo al completo o, por el contrario, utilizarlo como referencia cuando se esté leyendo capítulos posteriores.

4.1. Introducción

Comenzaremos nombrando aplicaciones y conceptos de los lazos enganchados en fase para luego realizar un estudio detallado [21]-[22].

4.1.1. Aplicaciones

Las aplicaciones de los lazos enganchados en fase se basan en que la señal sinusoidal del oscilador de salida siga en fase al oscilador de entrada, todo ello matizado por su efecto de filtrado. Una aplicación inmediata es la recuperación de portadoras extrayéndolas de la señal y del ruido que las acompañan. En el caso de señales moduladas en fase o frecuencia se puede hacer que el PLL filtre la señal y entregue una señal con la fase media de la señal de entrada, que coincidirá con la portadora si la señal de modulación tiene valor medio nulo. Estas portadoras recuperadas pueden utilizarse en el proceso de demodulación de la señal, aunque en los casos de señales moduladas en fase o frecuencia el propio PLL puede entregar la señal demodulada. En el caso de señales digitales, también se puede recuperar su señal de reloj debido a la propiedad de los PLL de mantener la oscilación de salida en ausencia de pulsos en la señal de entrada.

También es posible modificar el PLL de forma que la señal de salida resulte modulada en fase o frecuencia mientras se mantiene la estabilidad a largo plazo del oscilador de entrada.

Otra aplicación de los PLL son los sintetizadores. En este caso las frecuencias de entrada y salida son diferentes, manteniéndose entre ellas una relación exacta, con lo que el ruido de fase y la estabilidad de la entrada se transfieren a la salida.

4.1.2. Frecuencia y fase instantáneas

Antes de avanzar en el análisis de los PLL conviene repasar los conceptos de fase y frecuencia instantánea. Las señales de banda estrecha en el dominio del tiempo pueden representarse como:

$$v(t) = a(t) \cos(\Phi(t)) = a(t) \cos(\omega_c t + \phi_r(t)) \quad (4.1)$$

Donde $a(t)$ es la amplitud de la señal y $\Phi(t)$ su fase absoluta. De esta última se puede extraer una pulsación constante ω_c , que en principio podría ser cualquiera, para definir una fase relativa $\phi_r(t)$. La señal queda definida tanto por el par $a(t)$ y $\Phi(t)$ como por el trío $a(t)$, ω_c y $\phi_r(t)$.

Desde el punto de vista de un PLL la característica fundamental de una señal es su fase absoluta o relativa. Esta fase se puede considerar como una suma de varios términos:

$$\Phi(t) = \omega_0 t + \Delta\phi \cos \omega_m t + \phi_n(t) \quad (4.2)$$

$$\phi_r(t) = \Delta\omega t + \Delta\phi \cos \omega_m t + \phi_n(t) \quad (4.3)$$

Donde el primer término da cuenta de la frecuencia media, el segundo de la modulación y el tercero del ruido asociado.

Otro concepto importante en un PLL es el de frecuencia instantánea, definido como:

$$f(t) = \frac{1}{2\pi} \frac{d\Phi(t)}{dt} = f_c + f_r(t); \quad f_r(t) = \frac{1}{2\pi} \frac{d\phi_r(t)}{dt} \quad (4.4)$$

En estas expresiones se ha introducido el concepto de frecuencia relativa como el resultado de restar de la frecuencia instantánea una frecuencia tomada como referencia (f_c). Conviene dejar claro que la elección de esta frecuencia f_c es arbitraria y, por tanto, no tiene que estar relacionada con la señal. Normalmente, en señales de banda estrecha, se puede definir una frecuencia media f_o , como el valor medio de la frecuencia instantánea, que tomada como frecuencia de referencia lleva a una fase relativa, ϕ_o , que está acotada:

$$\Phi(t) = 2\pi f_o t + \phi_o(t) \quad (4.5)$$

Si la frecuencia de referencia no coincide con la frecuencia media, la fase de referencia no estará acotada, pero ello no impide trabajar con ella como una función variable en el tiempo.

4.2. Estudio de un PLL ideal

El esquema de bloques de un PLL es el de la Figura 4.1. La fase de salida (Φ_o) se sincroniza con la de referencia (Φ_r) comparándolas en el detector de fase. La tensión obtenida (V_d), una vez filtrada para eliminar las componentes de alta frecuencia (V_c), se aplica al VCO para corregir la posible diferencia de fases. Obsérvese que la magnitud que se controla es la fase de señal de salida, y que cuando el bucle está enganchado deben coincidir las fases de las señales de referencia y de salida. Dentro de ciertos límites los distintos bloques del PLL se comportan de forma lineal y se pueden describir como elementos ideales.

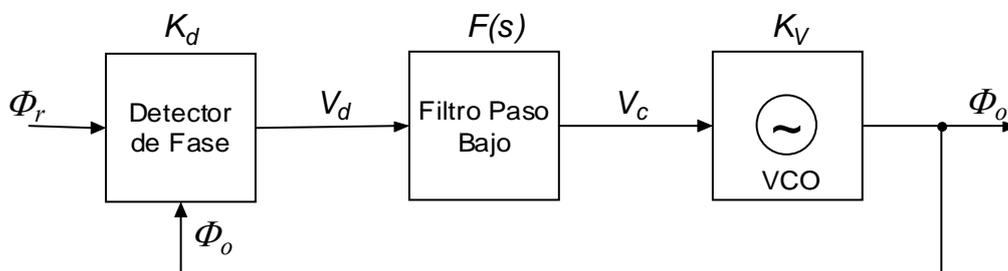


Figura 4.1. Esquema de bloques de un PLL.

4.2.1. Detector de fase ideal

En un detector de fase ideal la tensión a la salida es proporcional a la diferencia de fases de las señales de entrada.

$$V_d(t) = K_d [\Phi_r(t) - \Phi_o(t)] = K_d \Phi_e(t) \quad (4.6)$$

Donde $\Phi_r(t)$ y $\Phi_o(t)$ son, respectivamente, las fases de referencia y del VCO, y $\Phi_e(t)$ el error de fase, que se define como diferencia de las dos anteriores. La constante de

proporcionalidad, K_d , se expresa en (V/rad) y se denomina constante del detector. El valor del error de fase está limitado por el margen dinámico del detector, a unos pocos radianes a lo sumo, y la máxima excursión de la señal de salida a unos pocos voltios.

4.2.2. Filtro del bucle

El filtro del bucle queda definido por su función de transferencia, que en el espacio de Laplace se puede poner como:

$$F(s) = \frac{V_c(s)}{V_d(s)} \quad (4.7)$$

Es el único elemento del PLL para el que hay libertad de elección de sus características, ganancia, polos y ceros, y así controlar el comportamiento del PLL.

4.2.3. VCO ideal

Está formado por un oscilador en el que su frecuencia de oscilación varía linealmente con la tensión de entrada donde f_c sería la frecuencia a la que oscilaría el VCO con una tensión de control nula.

$$f_o(t) = f_c + K_v v_c(t) \Leftrightarrow \Phi_o(t) = \omega_c t + 2\pi K_v \int_0^t v_c(t) dt \quad (4.8)$$

El valor de la constante, K_v , está condicionada por la excursión de la tensión de control y por la banda de frecuencias que genera. Ésta se expresa en (Hz/V). Otro tanto se puede decir de su frecuencia central.

4.2.4. Funciones de transferencia del lazo

Las funciones de transferencia del lazo describen el comportamiento del lazo frente a variaciones de la fase de referencia. El primer paso para su obtención es referir las fases de referencia del VCO a la frecuencia central de este último (f_c):

$$\Phi_o(t) = \omega_c t + \phi_o(t); \Phi_r(t) = \omega_c t + \phi_r(t) \quad (4.9)$$

Sustituyendo en (4.6) se puede obtener la respuesta del detector de fase y su transformada de Laplace:

$$v_d(t) = K_d[\phi_r(t) - \phi_o(t)] \Leftrightarrow V_d(s) = K_d[\phi_r(s) - \phi_o(s)] \quad (4.10)$$

Comparando (4.8) y (4.9) se obtiene la expresión de ϕ_o y su transformada de Laplace:

$$\phi_o(t) = 2\pi K_v \int_0^t v_c dt \Leftrightarrow \phi_o(s) = 2\pi K_v \frac{V_c(s)}{s} \quad (4.11)$$

Sustituyendo la tensión de control obtenida después del filtrado, la fase de salida queda como:

$$\phi_o(s) = 2\pi K_v \frac{F(s)V_d(s)}{s} = 2\pi K_v K_d \frac{F(s)}{s} [\phi_r(s) - \phi_o(s)] \quad (4.12)$$

Despejando el cociente entre la fase de salida y la de entrada se obtiene la función de transferencia del lazo:

$$H(s) = \frac{\phi_o(s)}{\phi_r(s)} = \frac{KF(s)}{s + KF(s)} \quad (4.13)$$

Donde, $K = 2\pi K_v \cdot K_d$.

Se puede analizar esta función teniendo en cuenta que el filtro del lazo es siempre paso bajo, es decir, toma un valor distinto de cero en el origen de frecuencias. En estas condiciones la función $H(s)$ es siempre una función paso bajo y toma el valor unidad en $s = 0$. Otro aspecto importante a destacar es que la función de transferencia no relaciona tensiones o corrientes de entrada y salida, relaciona fases. Esto significa que una señal de fase continua corresponde a una tensión de entrada de frecuencia fija e igual a la de referencia del lazo.

En frecuencias altas la función de transferencia tiende a cero, ya que el filtro del lazo toma valores finitos o nulos y en cualquier caso la respuesta global tiende a anularse. Para interpretar la respuesta de la función de transferencia se debe considerar una señal de entrada sinusoidal a dicha frecuencia. Pero, como la señal que se considera es la fase,

significa que la tensión de entrada es una portadora modulada en fase por un tono puro de modulación a la frecuencia f_m . Así, se puede poner que la relación entre la fase de salida y la de entrada, con señales moduladas en fase por sinusoides, es de la forma siguiente:

$$\begin{aligned} v_r(t) &= V_r \cos(\omega_0 t + \Delta\phi_r \cos(2\pi f_m t + \alpha_r)) \\ v_o(t) &= V_o \cos(\omega_0 t + \Delta\phi_o \cos(2\pi f_m t + \alpha_o)) \end{aligned} \quad (4.14)$$

La función de transferencia está definida por:

$$H(j2\pi f_m) = \frac{\Delta\phi_o}{\Delta\phi_r} \exp(j(\alpha_o - \alpha_r)) \quad (4.15)$$

El carácter paso bajo de la función de transferencia implica que las modulaciones lentas se transfieren a la salida, mientras que las modulaciones rápidas de fase se ven rechazadas en el proceso de filtrado.

Además de la función de transferencia, también tienen interés otras funciones como la función de transferencia de error:

$$H_e(s) = \frac{\phi_e(s)}{\phi_r(s)} = \frac{\phi_r(s) - \phi_o(s)}{\phi_r(s)} = 1 - H(s) = \frac{s}{s + KF(s)} \quad (4.16)$$

Si se analiza esta otra función con los mismos criterios que la anterior, se puede ver que es complementaria y, por tanto, tiende a anularse en el origen y a tomar el valor unidad para frecuencias altas, en las que el filtro del lazo toma valor finito o nulo. La interpretación es igual a la anterior: si la frecuencia de modulación es baja, la modulación se transfiere de forma completa a la salida, y por tanto el error entre las fases de salida y entrada es muy pequeño. En caso contrario, cuando la frecuencia de modulación es alta, la fase de modulación no se transfiere y el error tiende a tomar exactamente el mismo valor de la fase de entrada.

Una última función utilizada en el análisis del PLL es la de transferencia en lazo abierto dada por:

$$G(s) = \left. \frac{\phi_o(s)}{\phi_r(s)} \right|_{\text{lazoabierto}} = \frac{KF(s)}{s} \quad (4.17)$$

Esta función determina el comportamiento del lazo. Es interesante destacar el carácter integrador de la función de transferencia en lazo abierto, con un polo en el origen,

creado por el VCO, cuya tensión de control define la frecuencia de salida y, por tanto, la derivada de la fase. La fase es entonces proporcional a la integral de la tensión de entrada.

La función de transferencia dada por la expresión (4.13) también se puede aplicar directamente a variaciones de frecuencia alrededor de la frecuencia central del VCO:

$$\left. \begin{aligned} \Delta \omega_o(s) &= \frac{\phi_o(s)}{s} \\ \Delta \omega_r(s) &= \frac{\phi_r(s)}{s} \end{aligned} \right\} \Rightarrow H(s) = \frac{\Delta \omega_o(s)}{\Delta \omega_r(s)} \quad (4.18)$$

Todas las conclusiones obtenidas para la respuesta del PLL a una señal modulada en fase son también aplicables a la respuesta a una señal modulada en frecuencia, ya que ambas modulaciones son equivalentes.

4.3. Especificaciones

A las especificaciones de un oscilador hay que añadir las relativas a la adquisición y mantenimiento del enganche y al filtrado que realiza el PLL sobre la señal de entrada. Se considera que el lazo está enganchado cuando la frecuencia del VCO se iguala a la de referencia y sólo resta un cierto desfase entre ambas. La igualdad de frecuencias debe entenderse en término medio, pues puede haber fluctuaciones entre ambas señales debidas al ruido, modulación, etc.

4.3.1. Procesos de enganche

Dentro de este podemos encontrar varias definiciones:

- Margen de enganche lineal (*lock-in*): es el margen de frecuencia de entrada en el PLL simétrico respecto a la frecuencia de oscilación libre del VCO, tal que el bucle acaba enganchándose a la señal de entrada, sin superar el margen lineal del detector de fase.
- Margen de enganche no lineal (*pull-in*): es un margen más amplio en que el enganche se produce pese a superar el margen lineal del detector de fase. El

enganche en este segundo margen es mucho más lento, y se produce después de un proceso no lineal.

- Margen de mantenimiento estático (*hold-in*): es el margen de frecuencia de entrada en el que, si el bucle está previamente enganchado, puede moverse lentamente la frecuencia sin que el bucle se desenganche. Se corresponde con el límite físico de frecuencias en las que funcionan los componentes del PLL. En los PLL más habituales es el VCO el que impone este límite.
- Margen de mantenimiento dinámico (*pull-out*): estando el PLL enganchado, es el salto instantáneo máximo de la frecuencia de entrada que puede producirse sin que el PLL se desenganche (sin perjuicio de que vuelva a engancharse posteriormente).
- Tiempo de adquisición: tiempo que tarda la salida en alcanzar un estado estable, es decir, enganche en fase y frecuencia. Esta condición de estabilidad de la salida se suele materializar como un porcentaje del salto de frecuencia requerido.
- Error de fase: diferencia de fases entre la señal de entrada y la de salida en condiciones de enganche. Depende del detector de fase, del tipo de filtro y, en algunos casos, de la frecuencia de entrada.
- Modulación por armónicos de la señal de referencia (*Spurious Reference Frequency Sideband*): Bandas laterales espurias que aparecen por la presencia de señales no deseadas en la línea de control del VCO. Normalmente se deben a armónicos de la señal de referencia que aparecen a la salida del detector de fase.

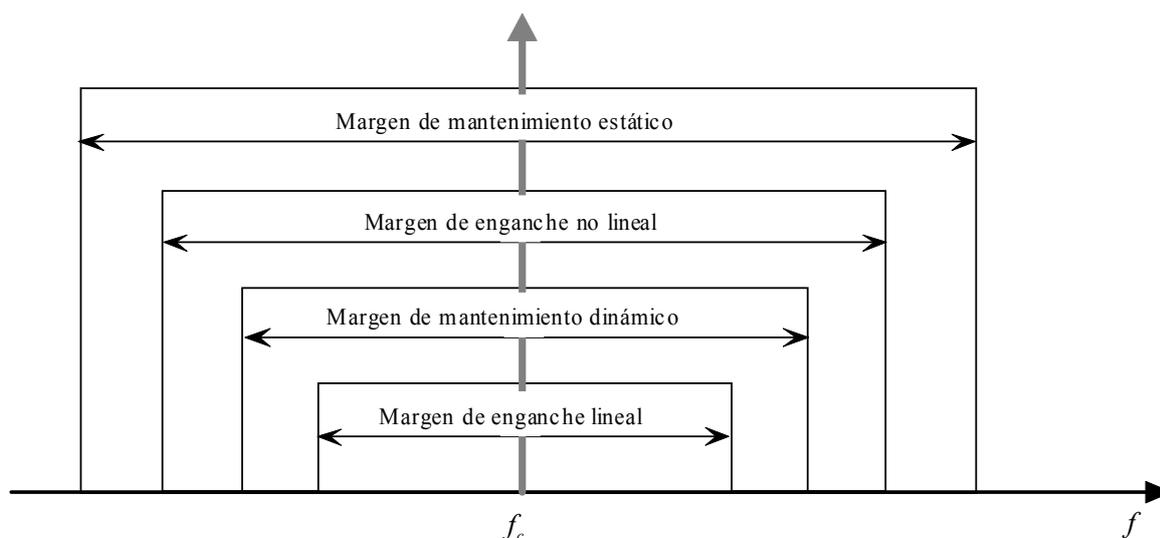


Figura 4.2. Relación de márgenes de enganche y mantenimiento.

4.3.2. Respuesta en régimen permanente

Desde el punto de vista del enganche hay dos situaciones interesantes:

- Cuando la frecuencia de la señal de referencia coincide con la central de VCO.
- Cuando la frecuencia de la señal de referencia no coincide con la del VCO.

Ambas situaciones se pueden estudiar de forma similar: suponiendo que inicialmente el PLL está enganchado a la frecuencia central del VCO y que se produce un salto de fase o de frecuencia. En estas condiciones se puede aplicar el teorema de valor final para obtener el error de fase final. En este modelo ideal basta con conocer si el error de fase está acotado. En un PLL real la condición de enganche viene limitada por el margen lineal del detector de fase.

El teorema del valor final establece que, siendo $x(t)$ una función arbitraria y $X(s)$ su transformada de Laplace, se cumple en el límite que:

$$\lim_{t \rightarrow \infty} x(t) = \lim_{s \rightarrow 0} sX(s) \quad (4.19)$$

Al aplicar este teorema al error de fase ϕ_e , se deduce que el valor final depende de la señal de entrada y de la función de transferencia del filtro.

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{s \rightarrow 0} s \phi_e(s) = \lim_{s \rightarrow 0} s H_e(s) \phi_r(s) = \lim_{s \rightarrow 0} \frac{s^2}{s + KF(s)} \phi_r(s) \quad (4.20)$$

4.3.3. Escalón de fase

Al estudiar el valor final de la respuesta del PLL a un escalón de fase se está analizando la influencia de la fase de la señal de referencia en el enganche y el error final de fase tiende a cero salvo que el filtro tenga un cero en el origen. Para el caso $\phi_r(s) = \Delta \phi / s$.

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{s \rightarrow 0} \frac{s}{s + KF(s)} \Delta \phi = \lim_{s \rightarrow 0} \frac{s \Delta \phi}{KF(s)} \quad (4.21)$$

Para que un PLL pueda mantener el enganche, su filtro debe dejar pasar señales continuas, es decir, no puede tener ceros en el origen del espacio de *Laplace*.

Puesto que la elección del origen de fases es siempre arbitraria, el enganche del PLL no puede verse afectado por esa elección, es decir, el error de fase no dependerá de la fase de la señal de referencia.

4.3.4. Escalón de frecuencia

Al estudiar el valor final de la respuesta del PLL a un escalón de frecuencia se está analizando el enganche a una frecuencia distinta de la central del VCO.

En este caso $\phi_r(s) = \Delta \omega / s^2$.

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{s \rightarrow 0} \frac{\Delta \omega}{s + KF(s)} = \lim_{s \rightarrow 0} \frac{\Delta \omega}{KF(s)} = \frac{\Delta \omega}{KF(0)} \quad (4.22)$$

De este resultado se deduce que, si el filtro tiene un polo en el origen, el error de fase será nulo. En caso contrario, el error de fase será proporcional a la diferencia entre frecuencias. Este resultado admite una interpretación simple: para que el PLL consiga mantener un error de fase nulo a una frecuencia diferente de la frecuencia central del VCO

es necesario que el filtro pueda ofrecer la tensión adecuada al VCO con una entrada nula. Esta situación implica que la ganancia en continua debe ser infinita, lo que implica que el filtro se comporte como un integrador.

4.3.5. Respuestas transitorias

Si se produce un cambio en la fase de referencia, el PLL reaccionará intentando que la fase de salida siga ese cambio, lo que conseguirá o no de acuerdo con lo indicado en el apartado anterior. El interés de estudiar la respuesta transitoria radica en conocer el tiempo empleado en alcanzar el estado final y, adelantando acontecimientos, si se supera o no el margen lineal de los elementos del PLL, lo que puede dar lugar a pérdidas de enganche. De nuevo, las situaciones de mayor interés son los escalones de fase y de frecuencia.

Estas respuestas transitorias, dependen fundamentalmente del filtro del PLL, estudiado más adelante.

4.3.6. Filtrado del ruido de fase

El ruido a la salida de un PLL depende tanto del ruido presente en su entrada como del ruido que introducen todos los componentes del bucle. La mayor parte de las situaciones se pueden clasificar en dos categorías, dependiendo de si la contribución del ruido de la señal de referencia es dominante o no. Seguidamente se va a considerar dominante el ruido de la señal de referencia, lo que suele corresponder a receptores en los que se desea extraer una señal de entre el ruido que la acompaña. Moduladores o sintetizadores de frecuencia son situaciones en que no se puede despreciar el ruido introducido por los elementos del PLL, lo que se estudiarán posteriormente.

Si la señal de entrada consta de una portadora y un ruido aditivo paso banda, éste afecta tanto a la amplitud como a la fase de la señal recibida:

$$\begin{aligned}v_r(t) &= V \cos(\omega t) + n(t) = V \cos(\omega t) + n_c(t) \cos(\omega t) + n_s(t) \sin(\omega t) \\v_r(t) &= [V + v_n(t)] \cos(\omega t + \phi_n(t))\end{aligned}\quad (4.23)$$

Al tratarse de una señal paso banda las modulaciones parásitas de amplitud y fase son procesos paso bajo. Esto significa que la función que describe la fase en el tiempo, tiene una distribución espectral de potencia que se concentra en las frecuencias bajas.

Asumiendo que el PLL es insensible al ruido de amplitud, se puede despreciar este último frente al ruido de fase. Suponiendo que la densidad de potencia de ruido (N_r) es constante en la banda de entrada (B_i), la relación señal a ruido de entrada puede expresarse como:

$$\left(\frac{S}{N}\right)_i = \frac{P_r}{N_r B_i} \quad (4.24)$$

Para calcular la relación señal a ruido de salida hay que pasar por la distribución espectral de ruido de fase, pues es la que se somete al filtrado de la función de transferencia del PLL. En este caso la distribución espectral de ruido de fase viene dada por una densidad de potencia constante en una banda $B_i/2$ desde el origen de frecuencias y cuyo valor viene dado por la relación entre la densidad de ruido de la señal en RF y la potencia total:

$$S_{\phi_r}(f) = 2 \frac{N_r}{P_r} = \frac{2}{(S/N)_i} \cdot \frac{1}{B_i}; \text{ para } |f| < \frac{B_i}{2} \quad (4.25)$$

La distribución espectral de ruido de fase a la salida será la de entrada multiplicada por el cuadrado de la función de transferencia:

$$S_{\phi_o}(f) = S_{\phi_r}(f) |H(j2\pi f)|^2 \quad (4.26)$$

Para simplificar los cálculos se utiliza el ancho de banda equivalente de ruido de la función de transferencia (B_L), que se define como el ancho de banda que debe tener un filtro rectangular de ganancia igual a la nominal del filtro, la unidad en este caso, para que deje pasar la misma potencia de ruido cuando se conecta a su entrada un generador de ruido blanco:

$$B_L(f) = \frac{1}{H(0)} \int_0^\infty |H(j\omega)|^2 df \quad (4.27)$$

Así, la densidad espectral de ruido de fase de salida es igual que la de entrada:

$$S_{\phi_o}(f) = S_{\phi_r}(f) = 2 \frac{N_r}{P_r} = 2 \frac{N_o}{P_o}; \text{ para } |f| < B_L \quad (4.28)$$

Donde N_o es la densidad de potencia de ruido a la salida y P_o es la potencia total de señal a la salida. En el VCO, la modulación parásita que provoca el ruido de fase, genera bandas de ruido de fase simétricas alrededor de la portadora y con un ancho de banda B_L cada una. Si se compara ahora la señal de entrada con la de salida se ve que el efecto global es la reducción del ruido de fase de la señal de referencia a un ancho de banda $2 \cdot B_L$ de forma perfectamente simétrica respecto a la portadora: aun cuando la frecuencia de esta señal varíe lentamente en el tiempo, el enganche del bucle hará que la frecuencia del VCO se desplace siguiéndola.

La relación señal a ruido de salida puede ponerse en función de la relación señal a ruido de entrada como:

$$(S/N)_o = \frac{P_o}{2N_o B_L} = (S/N)_i \frac{B_i}{2B_L}; B_L \leq \frac{B_i}{2} \quad (4.29)$$

Como conclusión se pueden recalcar los aspectos siguientes:

- Salvando ciertas constantes de conversión, el ruido aditivo de entrada, N_r , se traduce en ruido de fase equivalente, N_{ϕ_r} . El PLL realiza un filtrado del ruido de fase de entrada en un ancho de banda $2B_L$. La diferencia importante respecto de un filtro convencional es que este filtrado se realiza en un ancho de banda simétrico a la portadora f_r . Es equivalente a un filtro que automáticamente se sintoniza con la señal de entrada.
- El ruido de amplitud, si existe, no afecta al PLL, ya que su función de transferencia no responde a la amplitud. La realidad es que este ruido de amplitud puede trasladarse a ruido de fase si el detector es sensible a la amplitud, problema que se resuelve utilizando circuitos limitadores de amplitud previos a la detección de fase.
- Además, el valor de B_L puede reducirse cuanto se quiera sea cual sea la frecuencia de trabajo ya que está definido por un filtro paso bajo. En un

filtro paso banda de RF convencional existe una limitación en el factor de calidad que no afecta al PLL como filtro de ruido de fase.

- Las limitaciones a B_L provienen de otros factores: su reducción supone ralentizar los transitorios, empeorar el margen de enganche y reducir la capacidad de compensación de otros efectos parásitos, en particular el ruido propio del VCO. En general existe un ancho de banda óptimo en que el ruido de salida es mínimo.
- Un valor reducido de la relación señal a ruido a la salida, $(S/N)_o$, lleva a que se pierda el enganche. Un valor seguro es $(S/N)_o > 10$ dB. No obstante, si el bucle está ya enganchado, es capaz de mantener el enganche hasta cerca de $(S/N)_o \approx 0$ dB, pero no es capaz de engancharse de nuevo hasta que se recupera a niveles del orden de $(S/N)_o > 6$ dB.
- Tampoco conviene olvidar que este desarrollo se ha realizado suponiendo que el detector de fase trabaja en régimen lineal. Los detectores de fase reales tienen un margen lineal limitado, y además los digitales, que toman como referencia los flancos de las señales, son especialmente sensibles al ruido. Debe garantizarse que el ruido a la entrada del PLL no saque al detector de fase de su régimen lineal.

4.4. Influencia del filtro

Las características del detector de fase y del VCO están muy condicionadas por la tensión de alimentación y la banda de frecuencias que se desea cubrir, así pues, toda la posibilidad de diseño se concentra en el filtro. Con el fin de sistematizar las descripciones conviene hacer las siguientes definiciones:

- **Orden:** es el número de polos de la función de transferencia $H(s)$. Si ésta se expresa, como es habitual, como el cociente de dos polinomios, es el grado del denominador.

- **Tipo:** es el número de polos en $s = 0$ de la función de transferencia en lazo abierto $G(s)$. Se corresponde con el número de integradores en el lazo.

De la ecuación (4.17) se deduce que el tipo es igual al número de polos en $s = 0$ de $F(s)$ más uno, que se debe al VCO que se comporta como un integrador. La función de transferencia se puede escribir como:

$$H(s) = \frac{KF(s)}{s + KF(s)} = \frac{KF(s)/s}{1 + KF(s)/s} = \frac{G(s)}{1 + G(s)} \quad (4.30)$$

Cada polo en $s = 0$ de $G(s)$ es un polo de $H(s)$, luego el orden será igual o mayor que el tipo. El orden y el tipo permiten clasificar los PLL. Esta clasificación no es arbitraria pues está relacionada con la estabilidad del lazo y su respuesta a diferentes señales.

4.4.1. PLL de orden 1

Este PLL no tiene filtro propiamente dicho, en él se conecta la salida del detector de fase a la entrada del VCO incluyendo, si fuera necesario, un atenuador o un amplificador de ganancia constante con la frecuencia, como se presenta en la Figura 4.3.

Las expresiones más importantes en la respuesta del lazo son:

$$F(s) = g \quad (4.31)$$

$$H(s) = \frac{\omega_n}{s + \omega_n}; \quad H_e(s) = \frac{s}{s + \omega_n} \quad (4.32)$$

$$B_L(s) = \frac{\omega_n}{4}; \quad \omega_n = 2\pi \cdot g \cdot K = 2\pi \cdot g \cdot K_d \cdot K_v \quad (4.33)$$

Las funciones de transferencia se representan de forma esquemática en la Figura 4.3. Es interesante observar que las funciones de transferencia son selectivas en frecuencia, aunque el filtro no lo sea. El elemento que introduce esta dependencia es el VCO. La función de transferencia es tipo paso bajo, con frecuencia de corte en ω_n .

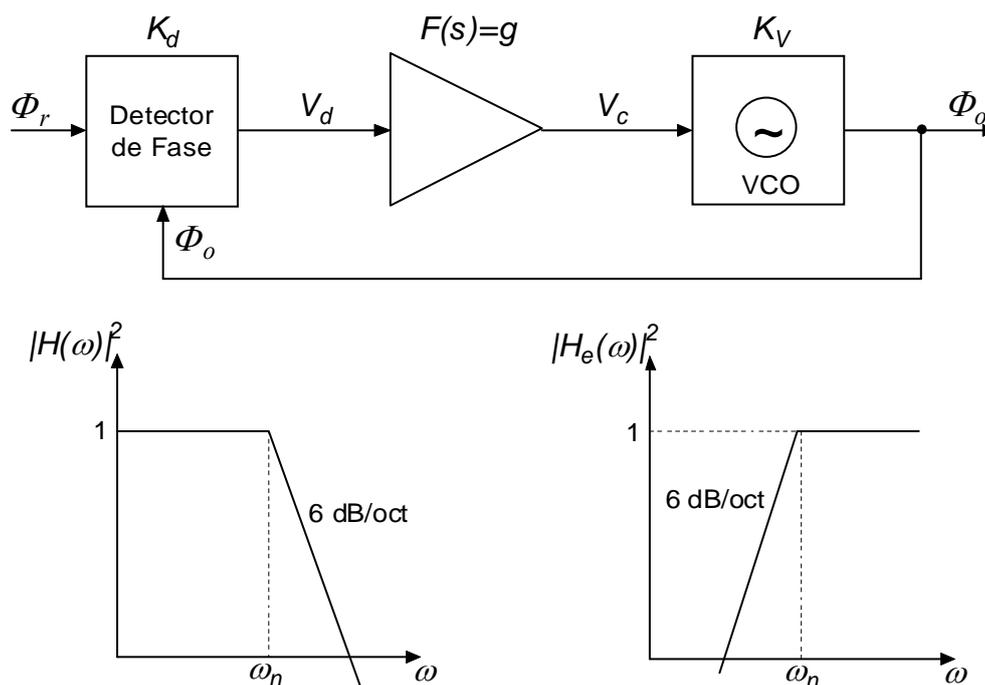


Figura 4.3. PLL de orden 1 y función de transferencia.

Las respuestas transitoria y permanente a escalones de fase y de frecuencia se pueden observar en la Tabla 4.1.

Tabla 4.1. Respuesta de un PLL de orden 1

Excitación	Error de fase final	Transitorio
Escalón de fase ($\Delta\Phi$)	0	$\phi_o(t) = \Delta\phi[1 - \exp(-\omega_n t)]$
Escalón de frecuencia ($\Delta\omega$)	$\frac{\Delta\omega}{\omega_n}$	$\Delta\omega_o(t) = \Delta\omega[1 - \exp(-\omega_n t)]$

Si son escalones de fase, el error final es cero y el transitorio es exponencial, con constante de tiempo $\tau = 1/\omega_n$. Para un escalón de frecuencia, el error de fase final depende de la amplitud del escalón, directamente proporcional a la separación entre la frecuencia de referencia y la central del VCO. Este error de fase influye directamente en los márgenes enganche y mantenimiento del PLL.

Desde el punto de vista de diseño el inconveniente de estos PLL proviene de su sencillez: el único parámetro que se puede ajustar, la ganancia ‘g’, influye en la frecuencia de corte, el ancho de banda de ruido, el tiempo de asentamiento, el error de fase y los márgenes de enganche y mantenimiento: demasiados condicionantes para un único parámetro.

Este PLL es muy poco utilizado en la práctica ya que para conseguir un buen mantenimiento se hace necesaria una ganancia elevada, lo que lleva a un ancho de banda también elevado. Otro inconveniente de este PLL consiste en que en caso de desvanecimiento temporal de la señal de entrada, y si se supone que entonces el detector de fase entrega una tensión nula, el VCO pasa a oscilar a su frecuencia central y el reenganche cuando se restablezca la señal será lento.

4.4.2. PLL de orden 2 tipo 1

En la Figura 4.4 se presenta un PLL tipo 1 y orden 2 junto con una representación esquemática de sus funciones de transferencia de fase y de error.

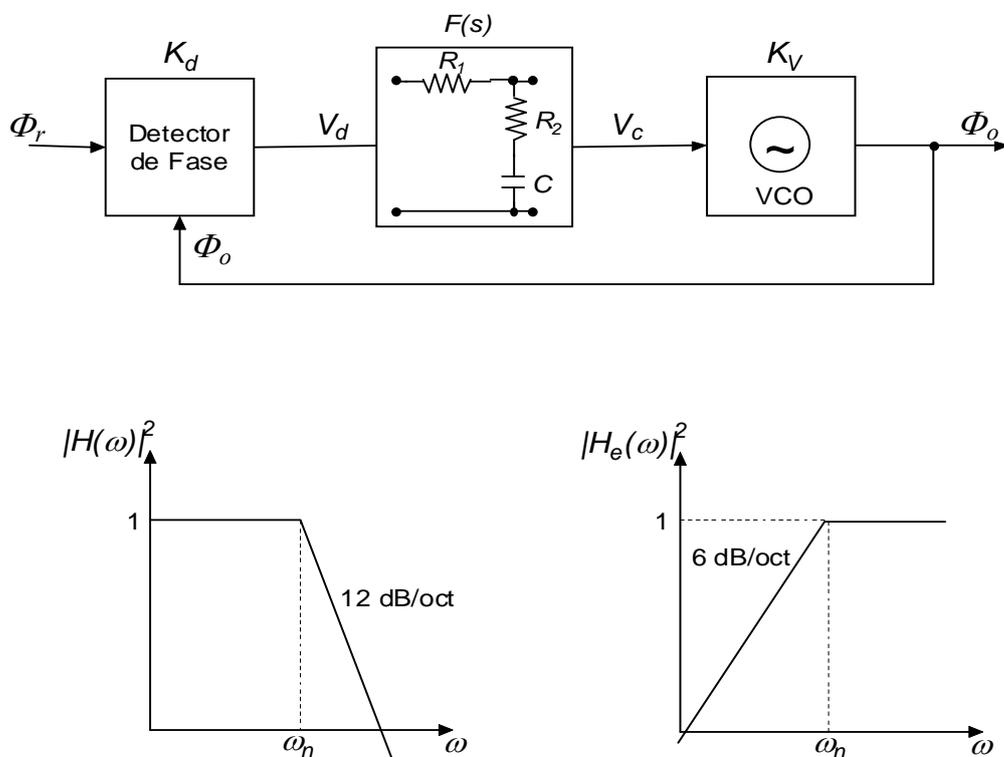


Figura 4.4. PLL de tipo 1 y orden 2, y función de transferencia.

Las expresiones correspondientes asociadas a este tipo de filtro son:

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \quad (4.34)$$

$$H(s) = \frac{s\omega_n(2\xi - \omega_n/K) + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (4.35)$$

$$H_e(s) = \frac{s^2 + 2\xi\omega_n s}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (4.36)$$

$$\omega_n = \sqrt{\frac{K}{\tau_1 + \tau_2}}; \quad \xi = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K} \right) \quad (4.37)$$

En estas expresiones los parámetros normalizados del lazo son ω_n y ξ resultantes de expresar la función de transferencia en la forma normalizada anterior, ω_n es la pulsación natural del lazo y ξ es coeficiente de amortiguamiento. Las respuestas permanentes a escalones de fase y de frecuencia se pueden observar en la Tabla 4.2.

Tabla 4.2. Respuesta de un PLL de orden 2 tipo 1

Excitación	Error de fase final
Escalón de fase ($\Delta\Phi$)	0
Escalón de frecuencia ($\Delta\omega$)	$\frac{\Delta\omega}{K}$

Con este PLL se dispone de varios elementos de ajuste, pero al necesitar error de fase para mantener el enganche a frecuencia diferente a la central del VCO, hace preferible el uso de PLL de orden 2 tipo 2.

4.4.3. PLL de orden 2 tipo 2

En la Figura 4.5 se muestra un PLL de orden 2 tipo 2 y una representación esquemática de sus funciones de transferencia de fase y error. Las expresiones correspondientes son:

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \quad (4.38)$$

$$H(s) = \frac{2\xi\omega_n + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (4.39)$$

$$H_e(s) = \frac{s^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (4.40)$$

Donde:

$$\omega_n = \sqrt{\frac{K}{\tau_1}}; \xi = \frac{\omega_n \tau_2}{2} \quad (4.41)$$

$$B_L = \frac{\omega_n}{2} \left(\xi + \frac{1}{4\xi} \right) \quad (4.42)$$

En las expresiones anteriores, ω_n y ξ son los parámetros normalizados del lazo que resultan de expresar la función de transferencia en la forma normalizada anterior, ω_n es la pulsación natural del lazo y ξ es el coeficiente de amortiguamiento.

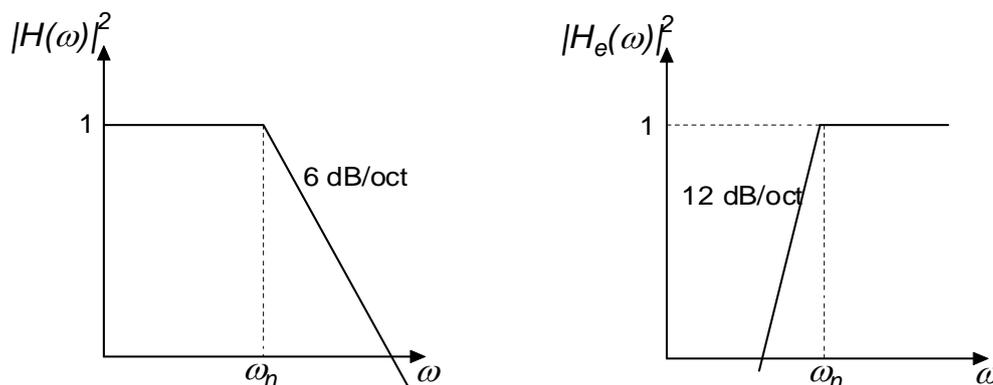
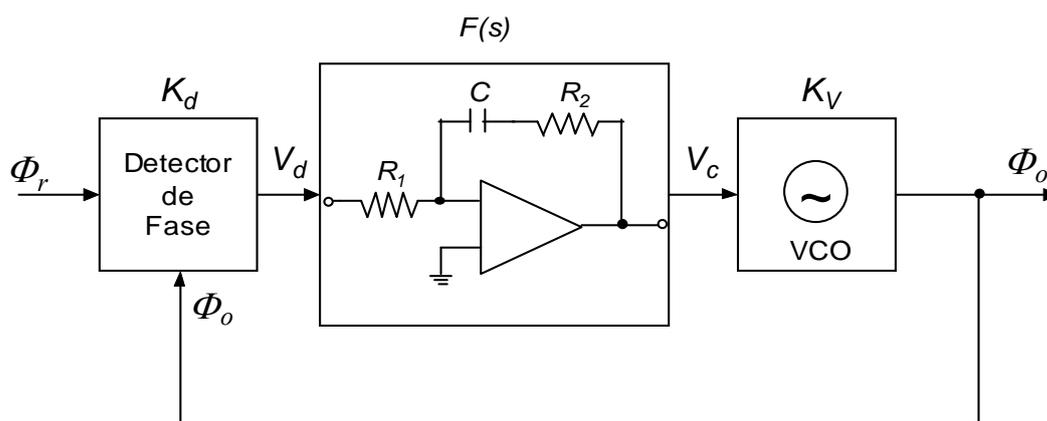


Figura 4.5. PLL tipo 2 orden 2, y función de transferencia.

Las respuestas permanentes a escalones de fase y de frecuencia se pueden ver en la Tabla 4.3.

Tabla 4.3. Respuesta de un PLL de orden 2 tipo 2

Excitación	Error de fase final
Escalón de fase ($\Delta\Phi$)	0
Escalón de frecuencia ($\Delta\omega$)	0

Este bucle es el más utilizado porque es el más sencillo que consigue mantener el enganche a una frecuencia con un error de fase nulo. Esto es debido a que el carácter integrador del filtro permite la entrega de una tensión no nula al VCO aunque la salida del detector de fase sea nula. Por esta razón, este PLL hace que el VCO siga oscilando a la misma frecuencia si se desvanece la señal de referencia, por lo que al restablecimiento de la señal la recuperación del enganche es prácticamente instantánea. También presenta la ventaja de que su comportamiento frente a transitorios no depende de la frecuencia de partida.

La función de transferencia depende del factor de amortiguamiento. Para valores pequeños de este factor, aparece claramente una respuesta mayor que la unidad para frecuencias inferiores a ω_n . A medida que aumenta ζ la respuesta se hace más plana a costa de un aumento del ancho de banda y de la velocidad con que se alcanza la pendiente de 10 dB/octava. En la práctica, el valor $\zeta = 1$ se considera un buen compromiso entre planicidad en la banda de paso y transición rápida a la banda eliminada.

Para un ancho de banda a -3dB se obtiene la expresión:

$$f_{-3\text{dB}} = \frac{\omega_n}{2\pi} \sqrt{2\xi^2 + 1 + \sqrt{(2\xi^2 + 1)^2 + 1}} \quad (4.43)$$

El cambio de forma de la respuesta en frecuencia del filtro también se traduce en el ancho de banda equivalente de ruido del lazo

La expresión del ancho de banda equivalente de ruido puede llevar a un error debido a la presencia de ω_n que puede hacer pensar que el resultado esté expresado en rad/s

cuando realmente está en Hz. Puede observarse que B_L presenta un mínimo de valor $0,5 \cdot \omega_n$ para $\zeta=0,5$.

El comportamiento para valores inferiores de ζ puede considerarse anómalo, especialmente si se compara con el ancho de banda a -3dB. La explicación hay que buscarla en la sobrerrespuesta que presenta la función de transferencia para estos valores de ζ .

4.5. Detectores de fase

Si a un detector de fase con característica ideal, $V_d(t) = K_d \cdot \Phi_e(t)$, se le conecta dos señales de frecuencias distintas debería entregar a su salida una señal que crece linealmente de forma indefinida. En la Figura 4.6 se han representado los principales detectores de fase.

Tipo	Señales	Diagrama	Respuesta fase	Respuesta frecuencia
1. Multiplicador analógico				Indefinida
2. Multiplicador digital				Indefinida
3. Biestable JK				
4. Fase/frecuencia				

Figura 4.6. Diferentes tipos de detectores de fase.

Los detectores de fase tienen un margen lineal limitado, y su característica es periódica, con un período de valor 2π en la mayoría de los casos.

4.5.1. Multiplicador analógico

Corresponde al primer tipo de la Figura 4.6. Simplemente multiplica las dos señales de entrada. En el caso de referir las dos señales a la misma frecuencia central, se obtiene:

$$V_d(t) = Ku_2(t)u_1(t) = \frac{KU_2U_1}{2} [\text{sen}(2\omega_c t + \phi_2(t) + \phi_1(t)) + \text{sen}(\phi_2(t) - \phi_1(t))] \\ u_1(t) = U_1 \cos(\omega_c t + \phi_1(t)); \quad u_2(t) = U_2 \text{sen}(\omega_c t + \phi_2(t)) \quad (4.44)$$

A la salida aparecen dos componentes, una continua y otra de frecuencia doble. La componente de frecuencia doble se debe eliminar con el filtro del lazo ya que puede dar lugar a una modulación parásita de fase de la señal de salida del lazo. La componente continua es la que tiene interés: es proporcional al seno de la diferencia de fases y si la diferencia de fases es inferior en valor absoluto a 60° , se puede considerar proporcional a ella, $V_d = K_d(\phi_2 - \phi_1)$. La constante de proporcionalidad, $K_d = KU_2U_1/2$, depende de la amplitud de las señales de entrada, por lo que en la mayor parte de las aplicaciones habrá que incluir circuitos que regulen o limiten su amplitud. Si la diferencia de fase supera los 90° , la pendiente de la función de transferencia se invierte y el PLL perderá el enganche.

Debe tenerse en cuenta que la salida es nula cuando $\phi_2 = \phi_1$, siendo una señal del tipo seno y la otra coseno, luego la salida nula se consigue cuando la diferencia real de fases entre las entradas sea de 90° . La importancia de este hecho dependerá de la aplicación concreta, pero no afecta al desarrollo teórico que se ha realizado.

Si las dos frecuencias de entrada son diferentes, la salida es la suma de dos componentes sinusoidales de igual amplitud y de frecuencias iguales a la suma y a la diferencia de las frecuencias de entrada. La señal de salida variará entre los extremos de su margen dinámico, y en ausencia de realimentación de fase su valor medio sería nulo. Si la componente de frecuencia diferencia consigue mantener un nivel apreciable a la salida del filtro, el PLL tenderá a igualar las frecuencias cuando el error de fase sea menor que 90° en valor absoluto, y a aumentarla en caso contrario. Este efecto, que tiende a enganchar el

lazo, quedará enmascarado por el ruido cuando la diferencia de frecuencias sea apreciable, por lo que no se debe confiar el enganche del bucle a este proceso.

La principal ventaja de este detector es que pueden construirse en todas las frecuencias multiplicadores analógicos, pues en definitiva cualquier circuito no lineal funciona como tal. En frecuencias de microondas y ópticas es el único detector de fase existente, construido con diodos.

4.5.2. Detector digital de onda cuadrada

Si las señales de entrada tienen forma de onda cuadrada pueden llevarse a un multiplicador digital a cuya salida se obtendrá una onda rectangular cuyo ciclo de trabajo será proporcional al error de fase.

En el caso 2 de la Figura 4.6 el detector es una puerta OR-EXCLUSIVA, cuya salida es un nivel bajo cuando los niveles de las entradas coinciden, y un nivel alto cuando son diferentes. Así, si las entradas están en fase la salida será siempre un nivel bajo y si están en contrafase será un nivel alto. La señal de salida es una onda de frecuencia doble de la de entrada y cuyo ciclo de trabajo dependerá de la diferencia de fases de las señales de entrada. La parte útil de esta señal es su valor medio, que varía de forma lineal, oscilando entre el valor correspondiente al nivel “0” cuando las señales están en fase y el correspondiente al nivel “1” cuando están en contrafase. El punto central corresponde a una diferencia de fase de $\pi/2$ y el margen lineal se extiende entre 0 y π . Para diferencias de fase entre $-\pi$ y 0 la pendiente de la función de transferencia es negativa y el PLL no es estable. Así pues, la constante de fase toma el valor siguiente, donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

$$K_d = \Delta V / \pi \quad (4.45)$$

Si el ciclo de trabajo de las señales de entrada no es exactamente el 50%, la característica se distorsiona en los extremos, reduciendo su margen dinámico. Los armónicos de la señal de salida del detector pueden perjudicar la pureza espectral del VCO y deben ser eliminados por el filtro del PLL. El primer armónico tiene una frecuencia doble de la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada;

su máximo aparece justo para una diferencia de fases de 90° , el cual es el centro de su margen lineal, y toma el valor:

$$V_{2fr} = 2\Delta V / \pi \quad (4.46)$$

Frente al detector analógico, este detector presenta la ventaja de un margen lineal algo mayor. Como inconvenientes, el nivel de armónicos a su salida es algo mayor y está limitado en frecuencia por la tecnología usada en su fabricación. La respuesta a señales de frecuencias diferentes es similar a la del multiplicador analógico siendo análogo su proceso de enganche.

4.5.3. Detector digital biestable

Para eliminar la necesidad de trabajar con señales cuadradas y aumentar el margen lineal del detector se puede utilizar un biestable JK como en el caso 3 de la Figura 4.6.

Se trata de un circuito biestable JK activado por los flancos de bajada de las señales de entrada, donde los flancos de bajada de la señal $U1$, conectada a la puerta J , ponen a nivel alto la salida Q ; los flancos de bajada de la señal $U2$, conectada a la puerta K , ponen a nivel alto la salida, $\neg Q$, que es la negada de la Q . La salida Q es una onda rectangular con ciclo de trabajo dependiente linealmente del desfase de los flancos de bajada de las señales de entrada, de manera que no es necesario que las señales de entrada sean cuadradas. El ciclo de trabajo varía entre casi cero cuando la $U2$ está ligeramente retrasada respecto de la $U1$, hasta casi el 100% cuando el retraso de $U2$ está próximo a 2π . La frecuencia de Q es la misma, que la de las señales de entrada.

La parte útil de esta señal es su valor medio, que varía entre los niveles correspondientes al “0” y al “1”. El punto central corresponde a una diferencia de fase de π y el margen lineal se extiende entre 0 y 2π . Por ello la constante de fase toma el valor siguiente donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

$$K_d = \Delta V / 2\pi \quad (4.47)$$

Esta constante se multiplica por dos si se toma como salida la diferencia entre la salida Q y su negada, $/Q$.

El primer armónico tiene una frecuencia igual a la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada; su máximo aparece justo para una diferencia de fases π , el centro de su margen lineal, y toma el valor:

$$V_{fr} = 2\Delta V / \pi \quad (4.48)$$

Si las frecuencias de las señales de entrada son claramente diferentes, habrá varios flancos de bajada de forma habitual de la señal de frecuencia más alta entre cada dos flancos de la otra señal: el resultado es que la salida tendrá tendencia a esta, en el nivel adecuado para que se produzca el enganche. No obstante, si las frecuencias son muy similares, será extraño que se produzca el fenómeno anterior, y la salida, una vez filtrada, será una señal en forma de dientes de sierra, como corresponde a una diferencia de fase que varía linealmente con el tiempo. En este caso el enganche se realizará de forma lenta.

Frente al multiplicador analógico, este detector presenta la ventaja de un margen lineal doble y una mayor facilidad para el enganche debido a su respuesta a frecuencias diferentes. Como inconvenientes presenta una menor frecuencia para el primero de los armónicos de salida y su mayor limitación en frecuencia, entre un 50% y un 75% del límite de un multiplicador con la misma tecnología. El que responda a los flancos de las señales de entrada también es un inconveniente si alguna de ellas, normalmente la referencia, está acompañada de ruido, en estos casos se pueden producir cambios de nivel espurios, que aunque sean de corta duración harán que se dispare el biestable y, dependiendo del instante en que se produzcan, pueden obligar al lazo a deslizamientos de un ciclo completo para recuperar la situación de equilibrio.

4.5.4. Detector digital de fase/frecuencia

El detector de fase frecuencia es un dispositivo que mejora las prestaciones del detector JK al aumentar su margen dinámico, reducir los armónicos de las señales de referencia y mejorar la respuesta a frecuencias diferentes. Sus características corresponden al tipo 4 de la Figura 4.6.

Existen muchas estructuras de dispositivos de este tipo, y la que se va a explicar es la más simple. Se trata de un dispositivo con dos salidas, U y D , capaz de estar en tres estados diferentes, estando controlados los cambios de estado por los flancos de subida de las señales de entrada. Su diagrama de estado y los niveles asociados de las señales de salida se representan en la Figura 4.7.

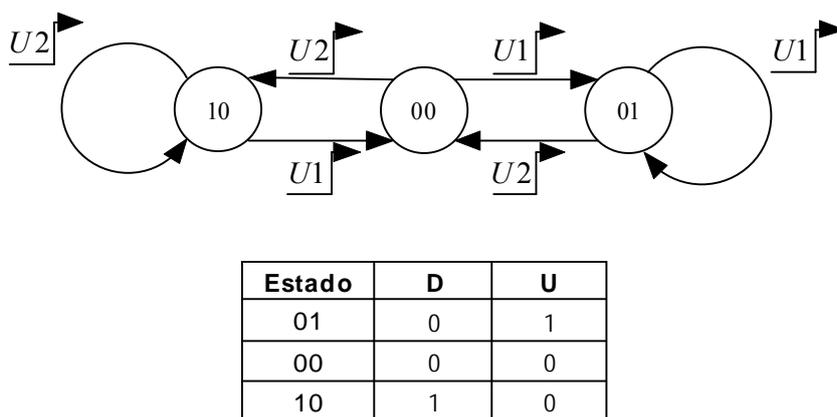


Figura 4.7. Diagrama de estados de un detector de fase/frecuencia.

Su funcionamiento se puede describir con relativa sencillez si se asocia la primera cifra del nombre del estado a la salida D y la segunda a la salida U . Suponiendo el detector en el estado 00, con sus salidas a nivel bajo, el primer flanco de subida de una de las señales de entrada hace que la salida correspondiente se ponga a nivel alto. El dispositivo sólo sale de este estado, retornando al 00, con un flanco de subida de la otra señal. Cuando ambas señales tienen la misma frecuencia y la señal $U1$ está adelantada respecto de la $U2$, la salida D se mantiene a nivel bajo, mientras que en la salida U aparecerá una onda rectangular cuyo ciclo de trabajo variará entre el 0% y el 100% para desfases entre 0 y 2π . Si fuera la señal $U2$ la que estuviera adelantada, sería la salida U la que se mantendría a nivel bajo y la onda rectangular aparecería en la salida D . Así pues, el margen lineal es de 4π radianes y tomando como salida el valor medio de la diferencia $U-D$ la constante del detector valdrá:

$$K_d = 2\Delta V / 4\pi = \Delta V / 2\pi \tag{4.49}$$

Donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

El primer armónico tiene una frecuencia igual a la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada; su máximo aparece justo para una diferencia de fases $\pm 2\pi$, el extremo de su margen lineal, y toma el valor:

$$V_{fr} = 2 \cdot \Delta V / \pi \quad (4.50)$$

Si las frecuencias de las señales de entrada son diferentes, una de las salidas se mantendrá a nivel bajo y en la otra aparecerá una onda rectangular de ciclo de trabajo variable que llevará el lazo al enganche.

Este detector presenta, frente a los anteriores la ventaja de un mayor margen lineal y una mayor facilidad para el enganche debido a su respuesta a frecuencias diferentes. Como inconvenientes presenta una menor frecuencia para el primero de los armónicos de salida y su mayor limitación en frecuencia, entre un 50% y un 75% del límite de un multiplicador con la misma tecnología. Otro inconveniente de este detector proviene de que la respuesta de los elementos que lo componen no es instantánea, por lo que cuando la diferencia de fases es inferior a este tiempo de respuesta no se producirá ningún pulso en sus salidas; lo que quiere decir que existe una holgura o zona muerta justo en el punto más importante de su respuesta. Otra forma de resaltar este fenómeno es que la constante de detector, K_d , se anula cuando se alcanza el equilibrio de fases. La importancia de esta holgura depende de su amplitud en comparación con el período de la señal de referencia y de la aplicación concreta. También, las constantes de tiempo asociadas a sus salidas pueden hacer que, dado un pequeño error de fase, la duración del pulso que efectivamente se aplica al VCO sea demasiado larga, con lo que el error cambiaría de signo. Al ser el circuito simétrico, la corrección del nuevo error también sería excesiva, con lo que se generará ruido *flicker* a la salida del VCO.

Ambos efectos se pueden minimizar, además de con diseños más sofisticados, introduciendo un ligero *offset* en algún punto del lazo, de forma que el punto de equilibrio correspondiera a un cierto error de fase. Esto se puede conseguir con una simple resistencia. Su sensibilidad con respecto al ruido es similar a la del detector basado en biestables, por lo que sólo debe usarse con relaciones S/N elevadas.

4.5.5. Bomba de carga

Un detector de fase/frecuencia puede utilizarse en una configuración de PLL, como la estudiada hasta este momento, sin más que utilizar un amplificador diferencial como elemento activo del filtro. No obstante, en la práctica se asocia con un dispositivo conocido como bomba de carga (*charge pump*), que consiste en un par de generadores de corriente que inyectan o extraen corriente de un filtro RC que controla el VCO. El esquema puede verse en la Figura 4.8.

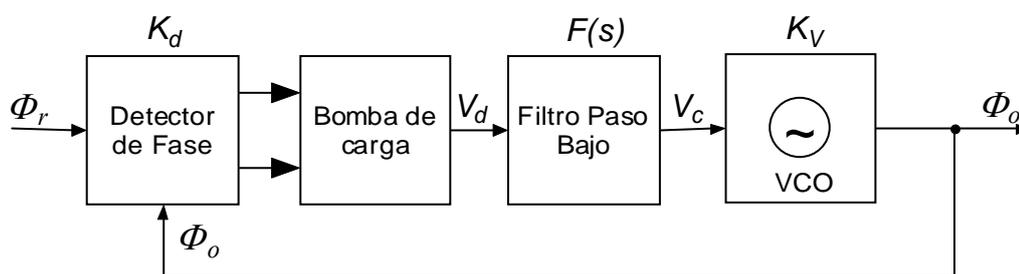


Figura 4.8. PLL con detector de fase/frecuencia y bomba de carga.

Las expresiones correspondientes y su función de transferencia son:

$$\tau_1 = C / g_m; \quad \tau_2 = R_2 \cdot C \quad (4.51)$$

$$F(s) = (1 + s\tau_2) / s\tau_1 \quad (4.52)$$

Su función de transferencia permite identificarlo como un PLL de orden 2 y tipo 2, en el que el efecto memoria se debe a que en ausencia de señales de entrada ambos generadores de corriente están desactivados y se mantiene la carga del condensador. Este montaje tiene varias ventajas: la constante del detector de fase puede ser muy alta, al no estar limitada por la tensión de alimentación; la tensión de control del VCO puede ser muy superior a la de alimentación del resto de los circuitos, pues los generadores pueden ser simples conmutadores CMOS, y el ruido añadido por el filtro es mínimo al no tener componentes activos.

4.6. Resumen

En este capítulo se han visto los conceptos básicos de los PLLs, tratándose de un circuito realimentado de control con el que se intenta conseguir que la fase de un oscilador variable sea una réplica de la fase de la señal de entrada. Los distintos bloques del PLL son el detector de fase, el filtro del bucle y el VCO.

En cuanto al detector de fase hemos visto los distintos tipos y en cuanto al filtro del bucle su influencia, puesto que este es el único elemento del PLL para el que hay libertad de elección de sus características (ganancia, polos y ceros), y así controlar el comportamiento del PLL (orden, tipo). El VCO no es más que un oscilador en el que su frecuencia de oscilación varía teóricamente de forma lineal con la tensión de entrada.

En el capítulo siguiente veremos una aplicación de los mismos, los sintetizadores el cual es el caso de desarrollo de este proyecto.

Capítulo 5

Sintetizadores de frecuencia

La síntesis de frecuencias es el proceso que permite generar una señal de frecuencia concreta, con un valor que puede escogerse de entre un conjunto de valores discretos con precisión y pureza espectral, partiendo de uno o varios osciladores patrones de alta calidad.

En este capítulo veremos una pequeña introducción de los sintetizadores para posteriormente presentar la estructura básica de los sintetizadores así como las distintas configuraciones más usadas. Estudiaremos los factores como son el ruido de fase y filtrado de señales espurias. Posteriormente expondremos la elección de la estructura a diseñar.

5.1. Introducción

La calidad de un sintetizador se mide a través de diversos factores, como son la precisión de la frecuencia sintetizada, que depende fundamentalmente de la precisión de los osciladores patrones, el tiempo de conmutación entre frecuencias, el ruido de fase de la salida y la presencia de otras señales espurias [21]-[22]. Estas dos últimas características dependen de la estructura del sintetizador.

El método más utilizado de síntesis de frecuencia es el que trabaja con un PLL y divisores de frecuencia, pues es un sistema muy sencillo y permite obtener alta calidad en las frecuencias originadas.

Existen dos aplicaciones conceptualmente diferentes, aunque utilizan los mismos esquemas:

- Estabilización de osciladores de alta frecuencia: se estabiliza un oscilador de frecuencia fija enganchándolo mediante un PLL a otro oscilador de alta calidad (de cuarzo generalmente) de más baja frecuencia. Se habla de un PLO (*Phase Locked Oscillator*).
- Síntesis de frecuencia: se pretende generar un conjunto de frecuencias diferentes, en lugar de una sola como en el caso anterior. Se trata del sintetizador propiamente dicho.

5.2. Sintetizador básico

El esquema más básico de sintetizador con PLL es el de la Figura 5.1. La diferencia con un PLL simple es la presencia de un divisor de frecuencia que se puede ver como un contador digital entre el VCO y el detector de fase. El enganche se produce, como ya se sabe, cuando las frecuencias en el detector de fase son iguales, por lo tanto en ese caso la frecuencia en el VCO debe ser $f_o = N \cdot f_r$, y el conjunto actúa como un multiplicador de frecuencia.

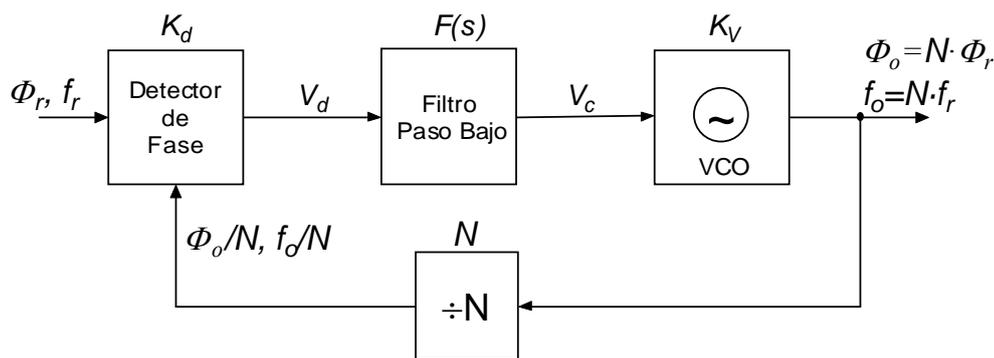


Figura 5.1. Sintetizador básico basado en PLL.

Dado que es fácil realizar divisores de frecuencia con factores muy elevados (sólo basta con conectar en cascada varios divisores de frecuencia) el valor de N puede ser tan grande como se quiera. Así, no son infrecuentes factores del orden de 1000 o superiores. Pueden utilizarse factores mucho más altos, pero el funcionamiento del sintetizador en cuanto al ruido se degrada mucho. Si además el factor N puede cambiarse con unas entradas de control se puede seleccionar la frecuencia de salida de entre un conjunto de ellas programando el valor de N .

Si se calcula la función de transferencia del bucle de la Figura 5.1, utilizando los mismos desarrollos que se emplearon para calcular la función de transferencia del PLL simple, se obtiene:

$$H(s) = \frac{\Phi_o(s)}{\Phi_r(s)} = \frac{f_o(s)}{f_r(s)} = N \frac{\frac{K}{N} F(s)}{s + \frac{K}{N} F(s)} \quad (5.1)$$

Esta función es equivalente a la de un PLL simple modificando la constante K para incluir el factor N del divisor y multiplicando la función completa por N . Para un bucle de orden 2 tipo 2, con $F(s) = (1 + \tau_2)/\tau_1$, se tendrá:

$$H(s) = N \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (5.2)$$

El cálculo de ω_n y ξ a partir de las constantes de tiempo del filtro se realiza de la misma manera que se explicó en el PLL básico sustituyendo la constante K del bucle por K/N .

$$\omega_n = \sqrt{\frac{K}{N\tau_1}} \quad (5.3)$$

$$\xi = \frac{\omega_n \tau_2}{2} \quad (5.4)$$

La función de transferencia de error definida como la relación entre el error de fase y la fase de entrada se obtiene como:

$$H_e(s) = \frac{\Phi_e(s)}{\Phi_r(s)} = 1 - \frac{H(s)}{N} = \frac{s}{s + \frac{K}{N}F(s)} \quad (5.5)$$

Y en el caso de un PLL de tipo 2 orden 2 se obtiene:

$$H_e(s) = \frac{s^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (5.6)$$

La función de transferencia, (ver la ecuación (5.2)), es la de un PLL multiplicada por N , las fluctuaciones de fase (como el ruido de fase o modulación) que tenga la señal de referencia dentro del ancho de banda del lazo se transmiten al VCO multiplicadas por el factor N . Por lo demás, el comportamiento de un sintetizador es similar al de los PLL, donde los saltos de frecuencia o fase responden a un transitorio que viene definido por la función de transferencia, al igual que las modulaciones o ruido. La frecuencia y fase vendrán multiplicadas por el factor N de entrada a salida, a tenerse en cuenta en los procesos de modulación o evaluación de transitorios.

La elección de los detectores de fase está condicionada tanto por el ruido que acompaña a la señal de referencia como por el ciclo de trabajo de la señal de salida de los divisores. En primer lugar se dejan a un lado los multiplicadores analógicos por su peor integración con los divisores digitales. Si sólo se atiende al ruido que acompaña a la señal de referencia la elección sería un multiplicador digital si la señal es ruidosa, o un fase/frecuencia si el ruido es bajo.

Los divisores son básicamente contadores digitales, y existen varios tipos: los contadores programables más habituales trasladan a su salida uno de cada N pulsos de entrada, con lo que el ciclo de trabajo de su salida está muy alejado del 50% recomendable para los detectores formados por multiplicadores digitales. Los divisores del tipo *ripple-carry* permiten mantener y regenerar ciclos de trabajo del 50% a costa de permitir sólo factores potencia de 2. Luego para señales de referencia ruidosas habrá que escoger

divisores de este tipo o incluir circuitos adicionales para mantener ciclos de trabajo adecuados.

5.3. Configuraciones de sintetizadores

En este apartado se verán varias configuraciones de sintetizadores basadas en un PLL y divisores de frecuencia.

5.3.1. Sintetizador con divisor programable

El esquema de este sintetizador se muestra en la Figura 5.2. El valor de N_p puede modificar mediante una entrada digital de control de unidad en unidad. Puesto que N_p varía de unidad en unidad, el paso del sintetizador, es decir, la diferencia entre las frecuencias consecutivas que pueden generarse, es igual a la frecuencia de referencia: $\Delta f = f_r$.

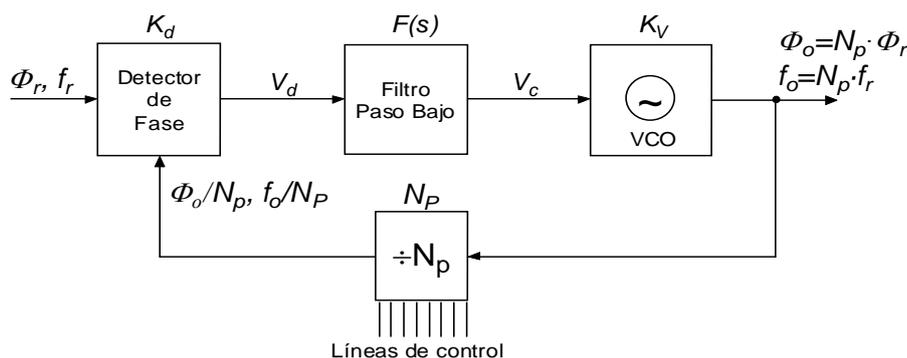


Figura 5.2. Sintetizador con divisor programable.

5.3.2. Sintetizador con divisores fijo y programable

Los divisores programables tienen frecuencias relativamente bajas de utilización. Cuando se desea sintetizar frecuencias más elevadas la alternativa más simple es colocar un predivisor (*prescaler*) de módulo fijo entre el VCO y el divisor programable, tal como se muestra en la Figura 5.3.

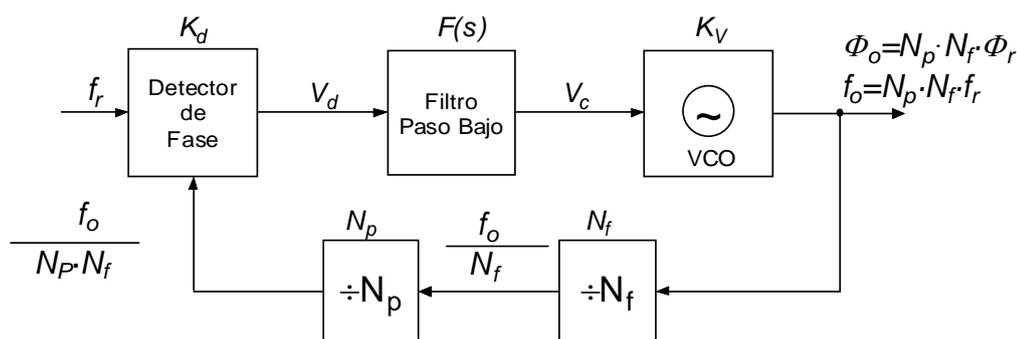


Figura 5.3. Sintetizador con divisores fijo y programable.

En esta estructura el valor de la frecuencia de salida es: $f_o = N_f \cdot N_p \cdot f_r$. Puesto que N_p puede variar de uno en uno, el paso del sintetizador es $\Delta f = N_f \cdot f_r$.

El inconveniente de este esquema en comparación con el anterior es que para un determinado paso de sintetizador se reduce la frecuencia de referencia en el factor N_f . Si la frecuencia de referencia es muy baja, el ancho de banda del bucle también debe serlo para poder filtrarla correctamente. Se pierde entonces la libertad de ajustarlo en función del ruido de los osciladores y además se ralentizan los transitorios, con lo que el tiempo de cambio de frecuencia de salida se alarga. Este parámetro es importante en determinadas aplicaciones.

5.3.3. Sintetizador con divisor de doble módulo

Una estructura que resuelve en parte el problema de la anterior es la basada en un divisor de doble módulo. Estos divisores son un intermedio entre los fijos y los programables: tienen la posibilidad de dividir por dos factores diferentes (normalmente diferentes en una unidad) bajo el control de una entrada del módulo de división. Pueden funcionar en frecuencias mucho más elevadas que los programables, hasta 2 ó 3 GHz, aunque más bajas que los fijos. En la Figura 5.4 se muestra la estructura en que suelen utilizarse, con dos divisores programables.

El funcionamiento del conjunto es el siguiente: se parte de una situación inicial en que los tres divisores están a cero y el divisor de doble módulo configurado para dividir por el factor $(P+1)$. Para que el divisor de doble módulo pase a dividir por P tiene que recibir un pulso del divisor A , lo que ocurre tras $(P+1) \cdot A$ pulsos o ciclos del VCO. La

situación vuelve a su estado inicial cuando el divisor N_p entrega a su salida un pulso y activa las entradas de *RESET* de los contadores, para esto tiene que recibir N_p pulsos del divisor de doble módulo, siempre que N_p sea mayor o igual que A . Los primeros A pulsos corresponderán a un factor de división $(P+1)$, que equivalen a $(P+1) \cdot A$ ciclos del VCO, y los restantes $(N_p - A)$ al factor P , que equivalen a $P \cdot (N_p - A)$ pulsos del VCO.

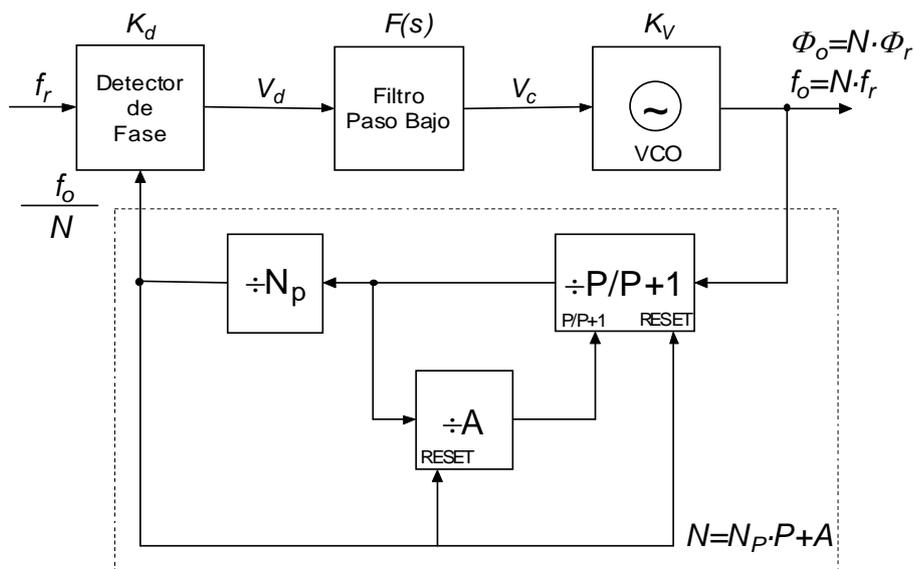


Figura 5.4. Sintetizador con divisor de doble módulo.

Con divisores de doble módulo se consigue construir divisores con factores de división que varían de unidad en unidad y que funcionan a frecuencias más elevadas que los divisores programables, de esta forma se consigue mantener la frecuencia de referencia elevada. Los inconvenientes son una mayor complejidad y no poder alcanzar las mismas frecuencias que los divisores fijos.

5.3.4. Sintetizador con mezclador

En frecuencias muy elevadas es posible que ninguna de estas configuraciones sea útil, bien porque no existan divisores de frecuencia, o bien porque los factores de multiplicación necesarios para realizar canalizaciones estrechas sean demasiado elevados, con lo que el ruido en la salida sería demasiado alto. En este caso se recurre a configuraciones más complejas con mezcladores de frecuencia.

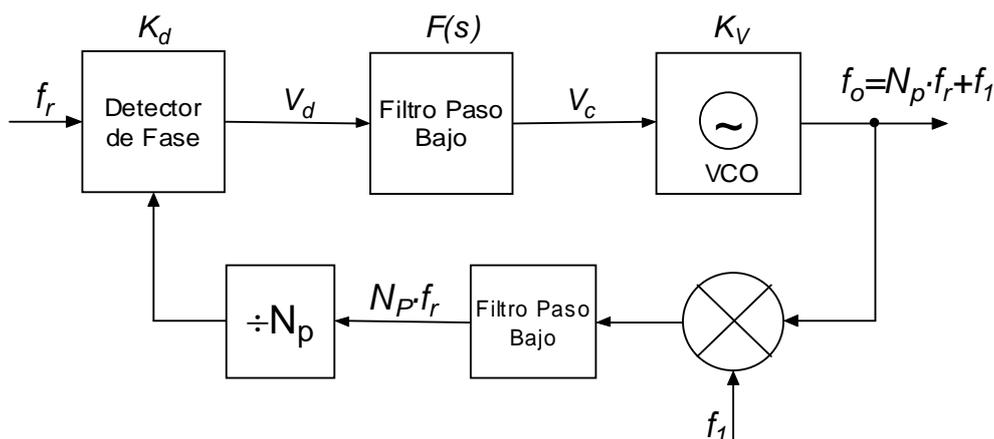


Figura 5.5. Sintetizador con mezclador incluido en el lazo.

En la Figura 5.5 se muestra esta configuración. La señal del VCO se lleva al mezclador donde se traslada con una frecuencia fija, f_1 , dada por un oscilador exterior. Esta frecuencia puede ser a su vez sintetizada en otro PLL y canalizada con un paso diferente. Existen distintas configuraciones implementadas con varios bucles, como por ejemplo la que se muestra en la Figura 5.6. El cálculo de los parámetros de estas configuraciones es complicado, dado que la selección de las frecuencias en cada punto debe tener en cuenta los productos no deseados que se generan en cada mezcla, y evitar que lleguen a la salida frecuencias cercanas a la deseada. En general, las frecuencias alejadas no son un problema pues siempre pueden filtrarse.

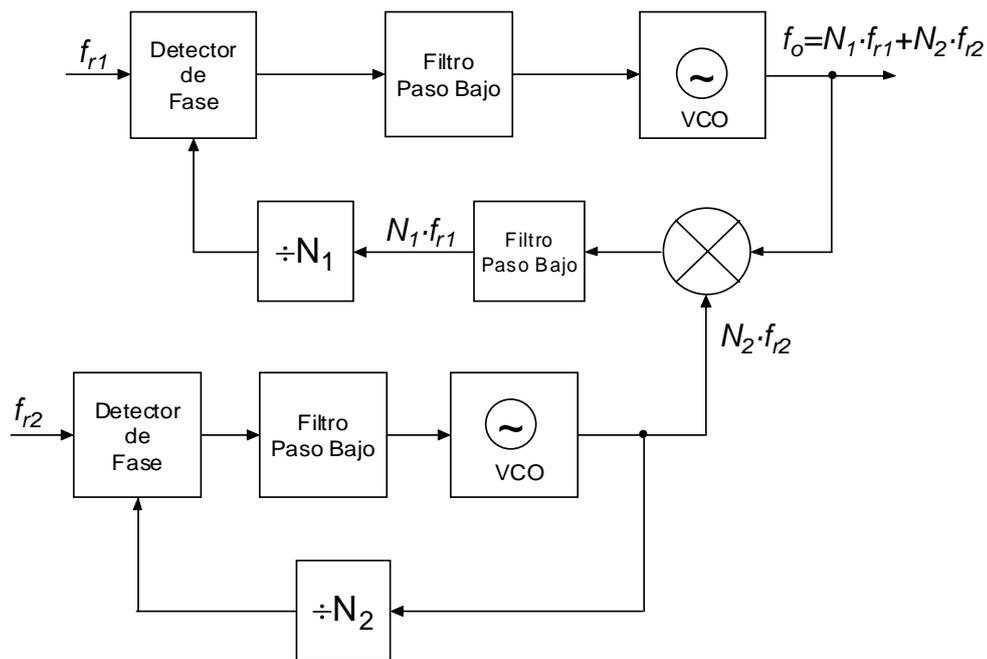


Figura 5.6. Sintetizador con dos lazos y un mezclador.

5.4. Ruido de fase en sintetizadores

En primer lugar, hay que destacar que el ruido de fase generado en los osciladores responde a una distribución espectral no plana. En este sentido, el ruido a la salida de un sintetizador estará compuesto en parte por el ruido del oscilador de referencia, el ruido del VCO y el ruido generado en el detector de fase y divisores de frecuencia.

Un modelo circuital del ruido de fase generado en un lazo PLL sintetizador es el de la Figura 5.7, donde se muestra de forma explícita un conjunto de generadores de ruido correspondientes al ruido de fase aditivo de cada uno de los bloques. Tanto el ruido del oscilador de referencia como el del VCO responderán a un modelo de *Leeson* [17], el primero de alto Q y el segundo de bajo Q . El ruido generado por el detector de fase y por los divisores de frecuencia se puede modelar mediante un ruido blanco más un ruido *flicker* $1/f$, de la forma:

$$S_{\phi}(f) = \frac{KT_0 f}{P_{ent}} \left(1 + \frac{f_c}{f} \right) \quad (5.7)$$

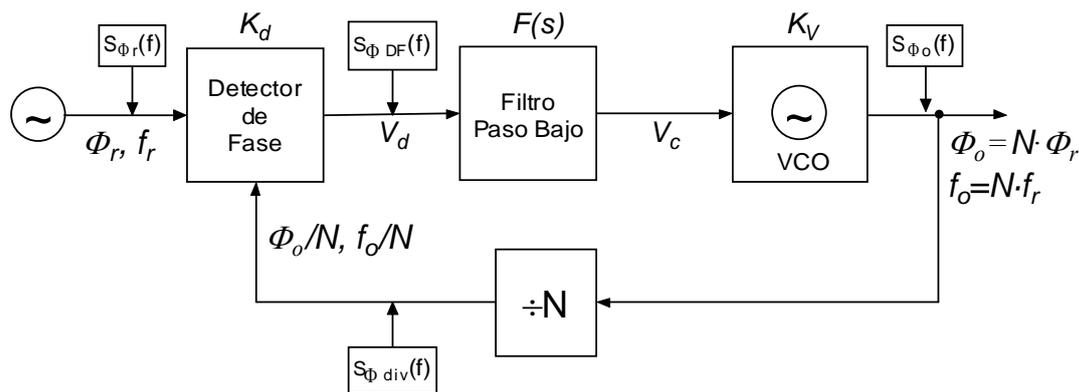


Figura 5.7. Fuentes de ruido en un sintetizador.

Si se calcula la respuesta individual del lazo PLL a cada una de las contribuciones de ruido, se puede obtener una ecuación global del ruido de fase a la salida de la forma:

$$S_{\phi}(f) = \left[S_{\phi_r}(f) + \frac{S_{\phi_{DF}}(f)}{K_d^2} + S_{\phi_{div}}(f) \right] |H(j2\pi f)|^2 + S_{\phi_o}(f) |H_e(j2\pi f)|^2 \quad (5.8)$$

Donde $H(s)$ es la función de transferencia del sintetizador y $H_e(s)$ es la función de transferencia de error.

Teniendo en cuenta que la función de transferencia tiene una amplitud N para frecuencias bajas, la potencia de ruido correspondiente al oscilador de referencia y a los circuitos detector y divisor se multiplica por N^2 , es decir, se incrementa en $20 \cdot \log N$ decibelios. Por esta razón no suelen utilizarse factores superiores a 10000, pues este factor ya supone un incremento de 80 dB. Fuera del ancho de banda del bucle apenas existe transmisión de la referencia al VCO y las fluctuaciones son prácticamente las del VCO. Éstas se ven corregidas dentro del ancho de banda del bucle por la función transferencia de error, que es paso alto.

En resumen, en cuanto al ruido de fase se tiene:

- Para frecuencias menores que el ancho de banda de ruido del bucle, el ruido es el de la señal de referencia más los circuitos detector y divisores, multiplicado por el factor N^2 .
- Para frecuencias superiores a B_L el ruido es el del VCO.

En general los osciladores de cuarzo que se utilizan como señal de referencia tienen una estabilidad muy alta y, por tanto, un ruido de fase en frecuencias cercanas a la portadora muy bajo, tanto que, pese a la multiplicación por N^2 , el ruido suele ser menor que el del VCO en esta zona. Sin embargo, en frecuencias alejadas de la portadora el ruido dominante es el ruido térmico, y entonces el del VCO es menor que el de la referencia multiplicado por N^2 .

El ancho de banda óptimo del sintetizador será aquel punto en que se crucen las características de ruido de la señal de referencia multiplicado por N^2 y del VCO, de forma que el ruido resultante en cada zona sea el menor de los dos.

5.5. Filtrado de la frecuencia de referencia

Además del ruido de fase, otro indicador de la calidad de un sintetizador es la presencia de señales espurias en la salida. Se denominan señales espurias las componentes discretas que aparecen en la salida y que no están relacionadas armónicamente con la señal deseada. La ventaja de un sintetizador con PLL es que se comporta de forma casi ideal. Puesto que lo que se hace es sincronizar un oscilador, en lugar de generar una frecuencia por combinación de otras señales, no existen prácticamente espurias en la salida a excepción de las siguientes:

- La frecuencia de referencia y sus armónicos: pueden llegar a la salida por mal aislamiento en el circuito. Normalmente no constituyen un problema, pues son frecuencias muy diferentes de las deseadas y pueden eliminarse con un filtro sencillo.
- Modulación del VCO por la frecuencia de referencia y sus armónicos: todos los detectores de fase tienen en su salida componentes relacionadas con la frecuencia de referencia, como ya se ha visto en el capítulo anterior. Si estas señales llegan a la entrada de control del VCO provocan una modulación de frecuencia que se traduce en unas componentes discretas en el espectro. Si la frecuencia de referencia es baja estas componentes se sitúan muy cerca de la señal deseada.

Es fácil calcular, a partir de la amplitud de estas componentes en el detector de fase, cuál es la desviación de frecuencia que provocan en el VCO y, por tanto, cuál es la amplitud de las componentes discretas en las bandas laterales de modulación generadas.

Como norma general, es conveniente utilizar frecuencias de referencia lo más altas posible para facilitar el filtrado antes de que lleguen al VCO. Frecuentemente se añaden al filtro del bucle, otros filtros paso-bajo RC sencillos, para mejorar el filtrado. En general, la frecuencia de corte de estos filtros debe mantenerse por encima de $5 \cdot \omega_n$, pues si es más baja pone en peligro la estabilidad del bucle.

En la Figura 5.8 se muestran dos posibles filtros para PLL de orden 2 tipo 2. El de la izquierda está pensado para un detector de fase convencional con una única salida, y el de la derecha incorpora una bomba de carga y se usa con detectores digitales de fase frecuencia. En ambos casos la función de transferencia es de la forma:

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \frac{1}{1 + s\tau_3} \quad (5.9)$$

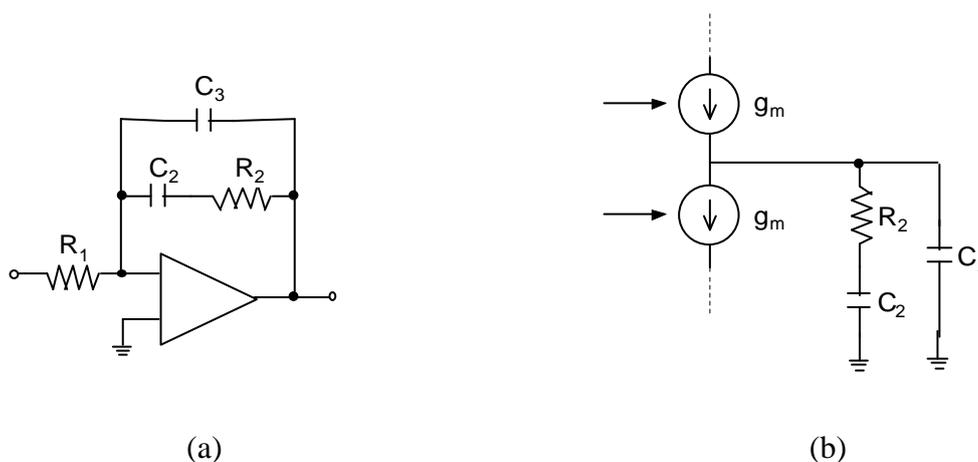


Figura 5.8. Filtros para PLL de orden 2 con eliminación de referencia; (a) f. activo, (b) f. pasivo.

5.6. Otros sintetizadores

Los primeros PLL que aparecieron fueron los lineales (LPLL), en estos todos los bloques se constituyen mediante circuitos analógicos, en este caso el comparador de fase

podría ser un multiplicador de cuatro cuadrantes. Posteriormente los PLL fueron lentamente cambiando hacia los PLL digitales (DPLL).

A los PLL se los puede clasificar de acuerdo a su composición y a su forma de funcionamiento, esta clasificación es la siguiente:

- LPLL (PLL lineal).
- DPLL (PLL Digital).
- ADPLL (PLL Totalmente digital).
- SPLL (PLL *Software*).

Vamos a revisar los demás tipos de sintetizadores que se utilizan actualmente y cuáles son sus aplicaciones:

- **Síntesis directa:** se basa en generar las frecuencias deseadas mediante combinaciones en mezcladores, multiplicadores de frecuencia, etc., de las señales de varios osciladores patrones. Era el método empleado antes del desarrollo de los divisores digitales de frecuencia. Actualmente se utiliza en casos muy particulares en que las frecuencias son muy elevadas y para un número reducido de ellas.
- **Síntesis digital directa:** no debe confundirse con la anterior. Se la conoce en la literatura como DDS (*Direct Digital Synthesis*). Se basa en generar directamente la forma de onda de la señal con circuitos digitales y conversores DAC. Permite canalizaciones muy estrechas (de fracciones de Hz) y cambios de canal casi instantáneos. Su comportamiento en cuanto al ruido de fase es muy bueno, pero genera gran cantidad de espurias.
- **Síntesis por inyección:** se utiliza en frecuencias elevadas. Se basa en inyectar una señal de referencia directamente en el circuito resonante del oscilador. Mediante un proceso no lineal el oscilador inyectado pasa a oscilar a la frecuencia de referencia. Puede utilizarse también como

multiplicador o divisor de frecuencias. Permite enganches mucho más rápidos que el PLL, pero su diseño es mucho más complicado y son de banda muy estrecha.

- **Sintetizadores con divisores de frecuencia con módulo fraccionario:** en los esquemas que se han visto, la división de frecuencia se realiza por números enteros. Existe la posibilidad de dividir por números racionales utilizando una circuitería digital relativamente compleja. La canalización es entonces de una fracción de la frecuencia de referencia, por lo que ésta puede ser más elevada. Existen circuitos integrados que implementan este tipo de sintetizadores.

5.7. Diseño del sintetizador

En este apartado se explican las estructuras que probaremos para desarrollar nuestro sintetizador. El estudio de los elementos que los componen y las prestaciones que se obtienen con las estructuras propuestas se llevará a cabo en los capítulos posteriores.

5.7.1. Frecuencias a generar para el estándar DVB-H

Las frecuencias a generar por el sintetizador para el estándar DVB-H se muestran en la Tabla 5.1. Estas frecuencias son las específicas del estándar DVB-H [2].

Tabla 5.1. Frecuencias a generar por el estándar DVB-H

Banda (MHz)	f_c (MHz)	Número de canal (n_{ch})
Bandas IV y V de UHF (470 - 862)	474	21
	482	22
	490	23
	498	24
	506	25
	514	26
	522	28
	530	28
	538	29
	546	30

	554	31
	562	32
	570	33
	578	34
	586	35
	594	36
	602	37
	610	38
	618	39
	626	40
	634	41
	642	42
	650	43
	658	44
	666	45
	674	46
	682	47
	690	48
	698	49
	706	50
	714	51
	722	52
	730	53
	738	54
	746	55
	754	56
	762	57
	770	58
	778	59
	786	60
	794	61
	802	62
	810	63
	818	64
	826	65
	834	66
	842	67

	850	68
	858	69

5.7.2. Frecuencias a generar por el sintetizador

Hay que tener en cuenta que el VCO que vamos a utilizar duplica la banda de UHF situándola de 940 a 1724 MHz, por lo tanto, las frecuencias a generar por nuestro sintetizador son el doble de las del estándar DVB-H (ver Tabla 5.2).

La arquitectura del receptor a utilizar va a ser la de conversión directa, entonces tenemos que la frecuencia central de cada canal generado por el sintetizador será igual a la frecuencia de salida del sintetizador (f_o). La frecuencia central de cada canal a generar para el estándar (f_c) será la mitad de la frecuencia de salida del sintetizador, para ello tendremos que dividir la frecuencia de salida del sintetizador por dos para tener la que necesitamos en nuestro estándar.

Tabla 5.2. Frecuencias a generar por el sintetizador

Frecuencia de salida del sintetizador f_o (MHz)	Frecuencia para el estándar DVB-H = Frecuencia de salida del divisor rápido $f_o/2 = f_c$ (MHz)
948	474
964	482
980	490
996	498
1012	506
1028	514
1044	522
1060	530
1076	538
1092	546
1108	554
1124	562
1140	570
1156	578
1172	586

1188	594
1204	602
1220	610
1236	618
1252	626
1268	634
1284	642
1300	650
1316	658
1332	666
1348	674
1364	682
1380	690
1396	698
1412	706
1428	714
1444	722
1460	730
1476	738
1492	746
1508	754
1424	762
1540	770
1556	778
1572	786
1588	794
1604	802
1620	810
1634	818
1652	826
1668	834
1684	842
1700	850
1716	858

5.7.3. Estructura del sintetizador

Las frecuencias a generar por nuestro sintetizador son el doble de las del estándar DVB-H debido al VCO que utilizamos (Tabla 5.2). Por esta razón tendremos que dividir la frecuencia de salida del sintetizador entre dos, para así obtener la necesaria en nuestro estándar.

La frecuencia de salida es elevada para ser dividida por un divisor programable (de 948 MHz a 1716 MHz), por lo que la estructura utilizada para el sintetizador combina un divisor fijo rápido y un divisor programable. Este divisor rápido divide por dos, lo cual, es interesante en nuestro diseño porque la frecuencia de salida del sintetizador hay que dividirla entre dos para obtener la frecuencia central necesaria en nuestro estándar, consiguiéndola a la salida de este elemento.

En un sintetizador normalmente se coge una frecuencia de referencia igual al salto del canal (habitualmente, $f_o = N \cdot f_r$ en una estructura de sintetizador con divisor programable), pero como vamos a realizar una estructura que combina un divisor fijo (entre dos) y otro divisor de doble módulo, la frecuencia de referencia (f_r), será de la forma: $f_o = N_f \cdot N_p \cdot f_r$, siendo N_f el factor de división del fijo y N_p el factor del divisor de doble modulo. Como norma general es conveniente utilizar frecuencias lo más altas posibles para facilitar el filtrado antes de que lleguen al VCO.

La frecuencia de referencia la establecemos realizando números con el bloque del divisor programable que vemos en la Figura 5.9 junto al divisor por dos y obtener un número entero. La frecuencia de referencia (f_r) la fijamos en 2 MHz realizando los cálculos oportunos con los valores de los divisores del diseño.

La estructura a utilizar es la de un sintetizador con un detector de fase/frecuencia digital más una bomba de carga combinando un divisor fijo rápido y un programable. La salida para el estándar DVB-H será después del divisor rápido ($f_o/2 = f_c$).

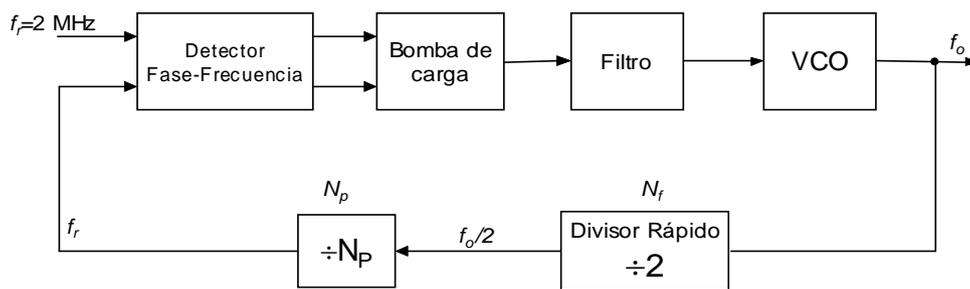


Figura 5.9. Esquema básico del sintetizador utilizando un detector de fase/frecuencia más bomba de carga.

5.8. Resumen

Aparte de ocuparnos de la definición de los sintetizadores y los distintos tipos que podemos encontrar, así como algunas de sus características, en este capítulo hemos expuesto las frecuencias a generar por nuestro sintetizador para un receptor ZERO IF y la estructura que vamos a diseñar. En la configuración elegida combinamos un divisor fijo rápido y un divisor programable para el caso de un detector de fase/frecuencia digital más bomba de carga.

En el capítulo siguiente se describe el diseño de cada uno de estos bloques, donde se mostrarán los esquemáticos, test de funcionamiento individual y sus simulaciones respectivas.

Capítulo 6

Estudio y simulación de los distintos bloques del sintetizador en ADS

En este capítulo se realiza el estudio, diseño y simulación con la herramienta ADS [6] de cada parte del sintetizador [23]. Comenzamos con el estudio de los comparadores de fase para seguir con la descripción del VCO que vamos a utilizar. Se sigue con los divisores rápidos y los programables. Para finalizar veremos los filtros.

6.1. Comparador de fase

El comparador de fase es el que calcula la diferencia entre las fases de las señales de entrada y da una señal de salida (V_d) proporcional a la ganancia del comparador de fase (K_d).

El comparador de fase/frecuencia se suele encontrar integrado en circuitos sintetizadores de frecuencia como el caso que estamos estudiando. La bomba de carga se puede incluir o no según el diseñador. Vamos a diseñar un comparador de fase/frecuencia (PFD) basado en puertas NAND, luego realizaremos la bomba de carga (CP) y finalmente uniremos ambos circuitos.

6.1.1. Comparador de fase/frecuencia

El comparador de fase/frecuencia consta de puertas NAND2, NAND3, NAND4 y básculas RS realizadas con NAND2. Con esta estructura disponemos de dos salidas que no están activas simultáneamente. Si la entrada es diferente a la de referencia actúa una salida u otra. Cuando alcanzamos el equilibrio y son iguales, las salidas estarán inactivas permaneciendo en estado alto.

Al poseer básculas RS, la característica de transferencia de este comparador es independiente de las relaciones cíclicas de las señales de entrada, pues los estados de salida de la báscula cambian con las transiciones de entrada. Ésta es una característica que nos interesa.

La función de transferencia de este comparador es lineal, entre -2π y $+2\pi$, debido a que entre -2π y 0 actúa la salida DI , y entre 0 y $+2\pi$ la salida UI . Tenemos dos salidas $U2$ y $D2$ que se pueden utilizar para hacer pruebas pero no se usan en el diseño. En la Figura 6.1 se muestra el esquema del PFD realizado en ADS.

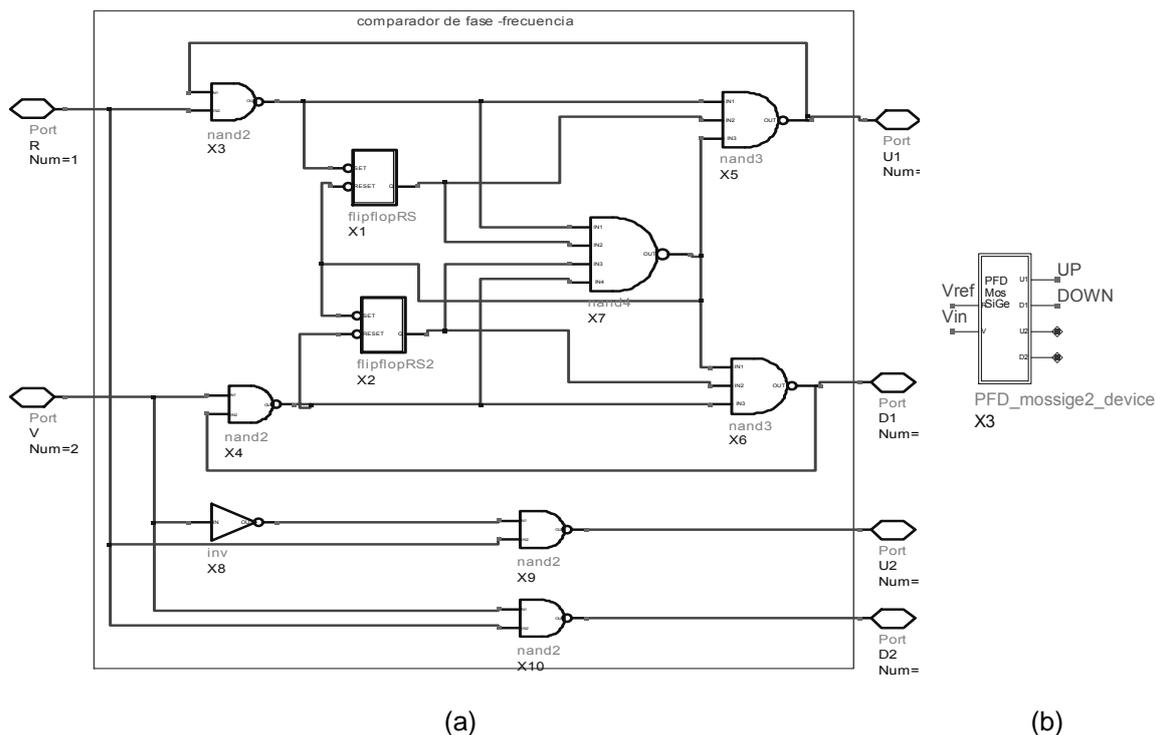


Figura 6.1. Comparador de Fase/Frecuencia (PFD); (a) esquemático, (b) símbolo.

Se ha variado las relaciones de los anchos de los transistores para optimizar el detector, intentando que la respuesta sea lo más lineal y que las señales de salida cambien rápida y correctamente. Nos queda una relación de constantes tal como se muestra en la Tabla 6.1.

Tabla 6.1. Dimensiones finales de los transistores MOSFET utilizados en el diseño de las puertas lógicas que conforman el PFD

Ancho del MOSFET tipo N	8 μm
Longitud puerta del MOSFET tipo N	0,5 μm
Ancho del MOSFET tipo P	16 μm
Longitud puerta del MOSFET tipo P	0,5 μm

El esquema de las puertas utilizadas en el PFD (“inv”, “nand2”, “nand3”, “nand4” y “flipflopRS”) se muestran a continuación.

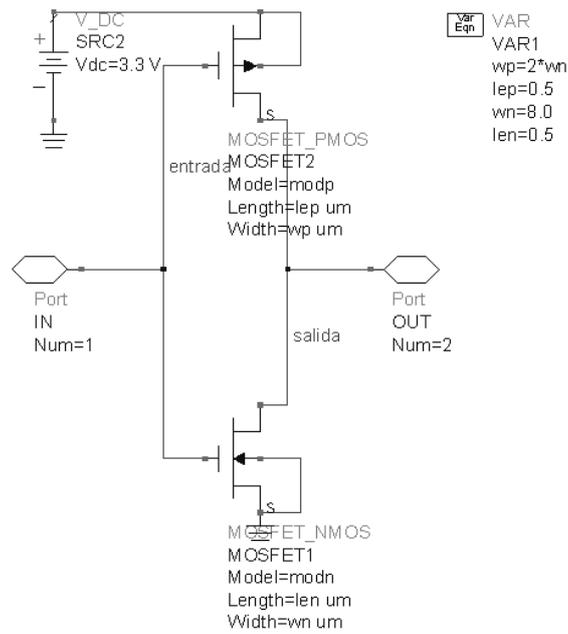


Figura 6.2. Esquemático del inversor (“inv”).

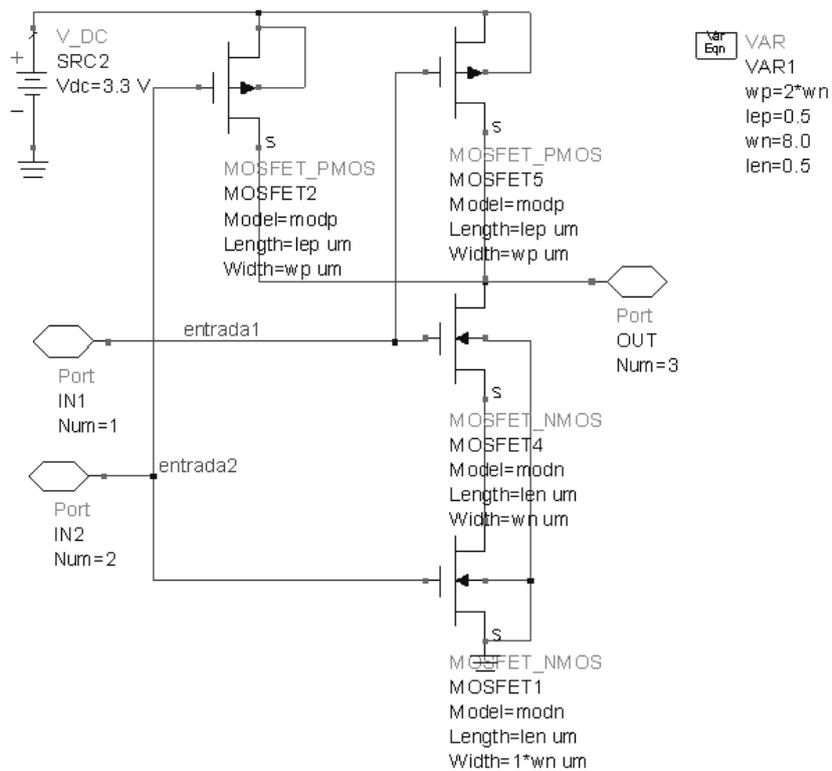


Figura 6.3. Esquemático de la nand2 (“nand2”).

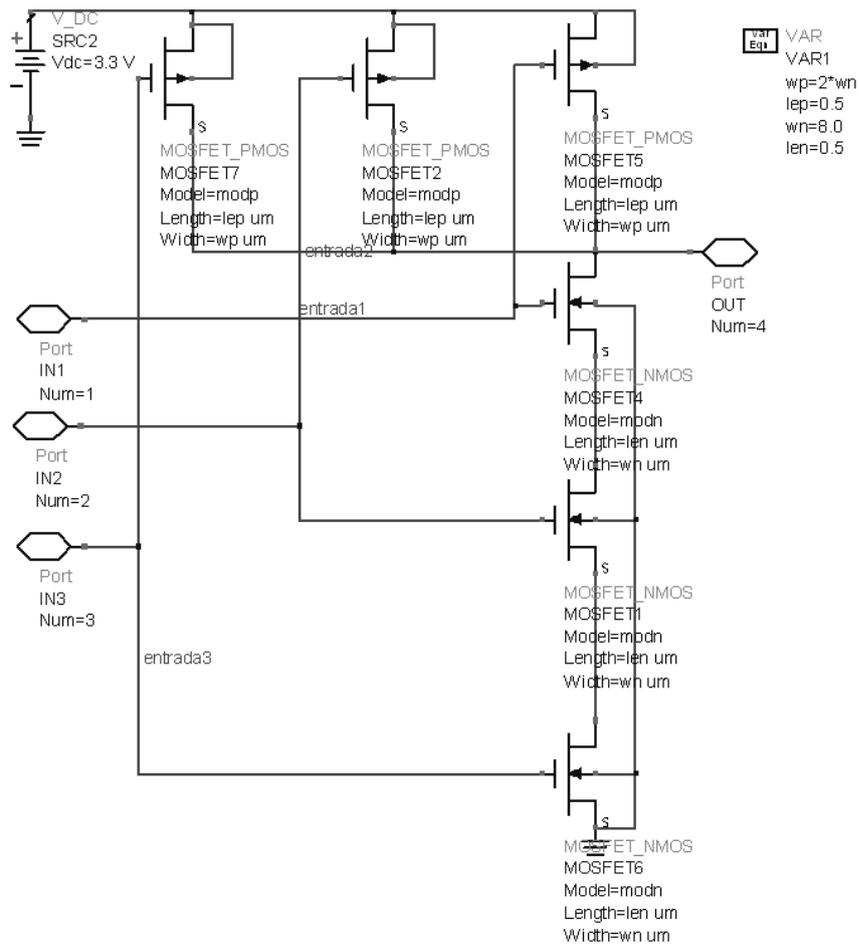


Figura 6.4. Esquemático de la nand3 (“nand3”).

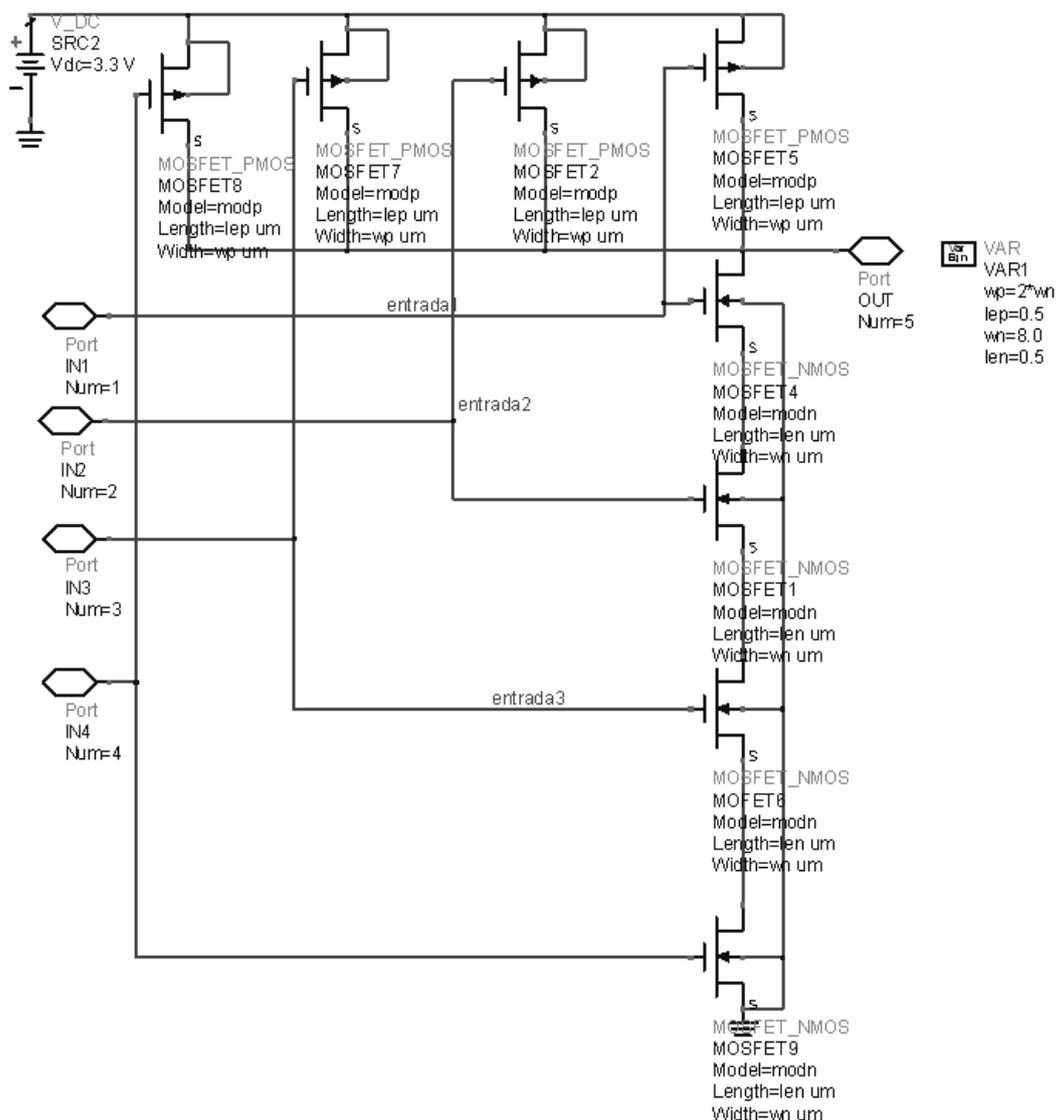


Figura 6.5. Esquemático de la nand4 (“nand4”).

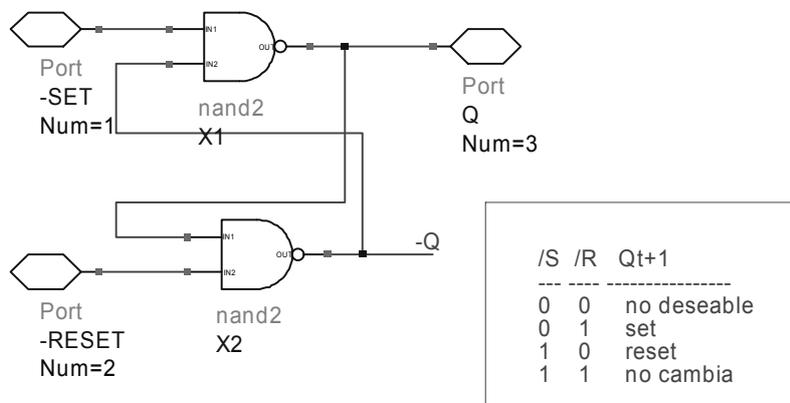


Figura 6.6. Esquemático del flip-flop RS (“flipflopRS”).

En la Figura 6.7 se observa el esquema de simulación en ADS del PFD para comprobar su funcionamiento variando las entradas periódicas e iguales, donde a una entrada se le ha hecho un barrido de su fase para poder desplazarla y observar los distintos desfases entre las entradas.

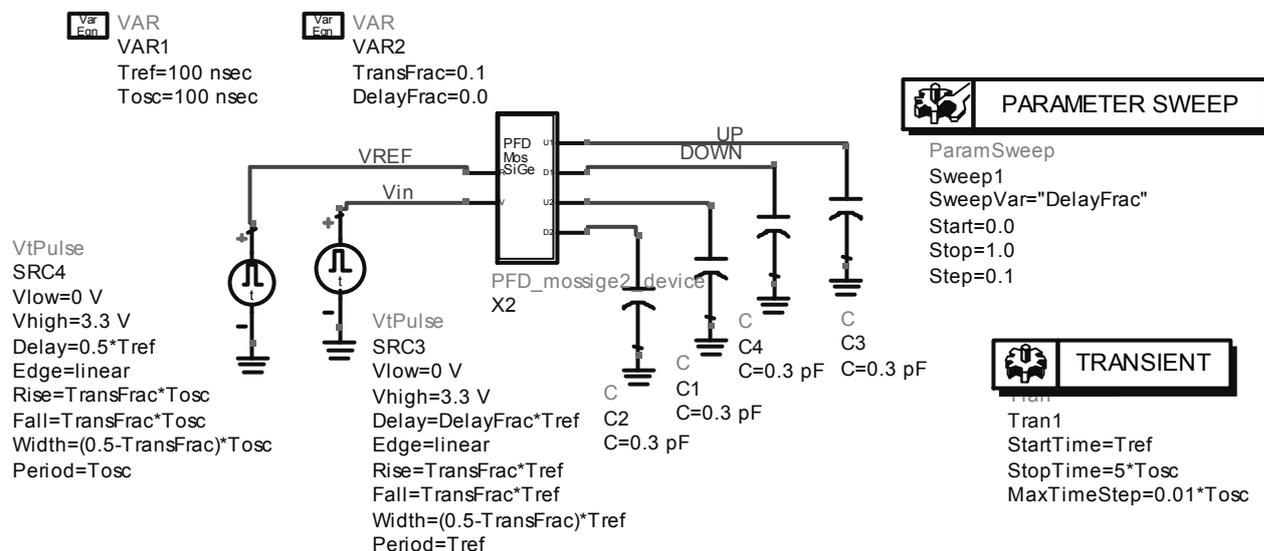


Figura 6.7. Test de PFD como detector de fase.

En la Figura 6.8 se observa la simulación del esquemático de la Figura 6.7 donde a la entrada tenemos dos señales rectangulares de frecuencias idénticas y de relaciones cíclicas idénticas de valor 1/2 (aunque este tipo de detector no necesita que las señales sean de este tipo para su correcto funcionamiento). Vemos que cuando la entrada proveniente del VCO (V_{in}), está adelantada frente a la señal de referencia (V_{ref}), tenemos un pulso del tamaño de la diferencia de fase entre las señales, en la salida $DOWN$. Si fuera al contrario el pulso lo tendríamos en la señal UP . Si no estuvieran desfasadas no tendríamos pulso en ninguna de ellas estando las dos en estado alto. El valor de K_d es de 0,955 (V/rad).

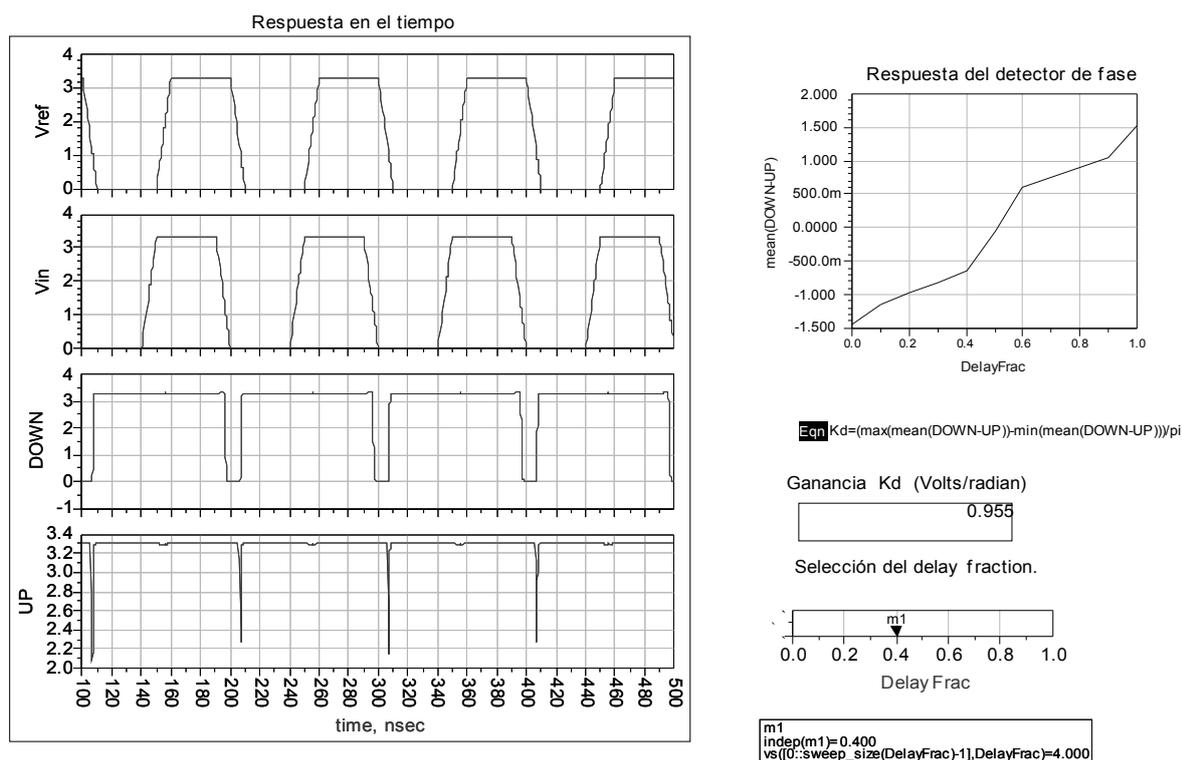


Figura 6.8. Simulación de la respuesta del PFD y la K_d (sin bomba de carga).

6.1.2. Bomba de carga

La bomba de carga consiste en una pareja de fuentes de corriente con interruptores manejando la carga de un condensador. Ésta proporciona una ganancia para una diferencia de fase en la entrada del dispositivo. Cuando los pulsos se inyectan por *UP*, la fuente de corriente introducirá carga en el condensador, y la tensión de la salida se incrementará. Si por el contrario los pulsos vienen desde *DOWN*, la carga del condensador fluirá a tierra.

En la Figura 6.9(a) vemos el esquemático de la bomba de carga. Ésta consiste en simples conmutadores realizados con transistores, los cuales inyectarán o extraerán corriente a su salida.

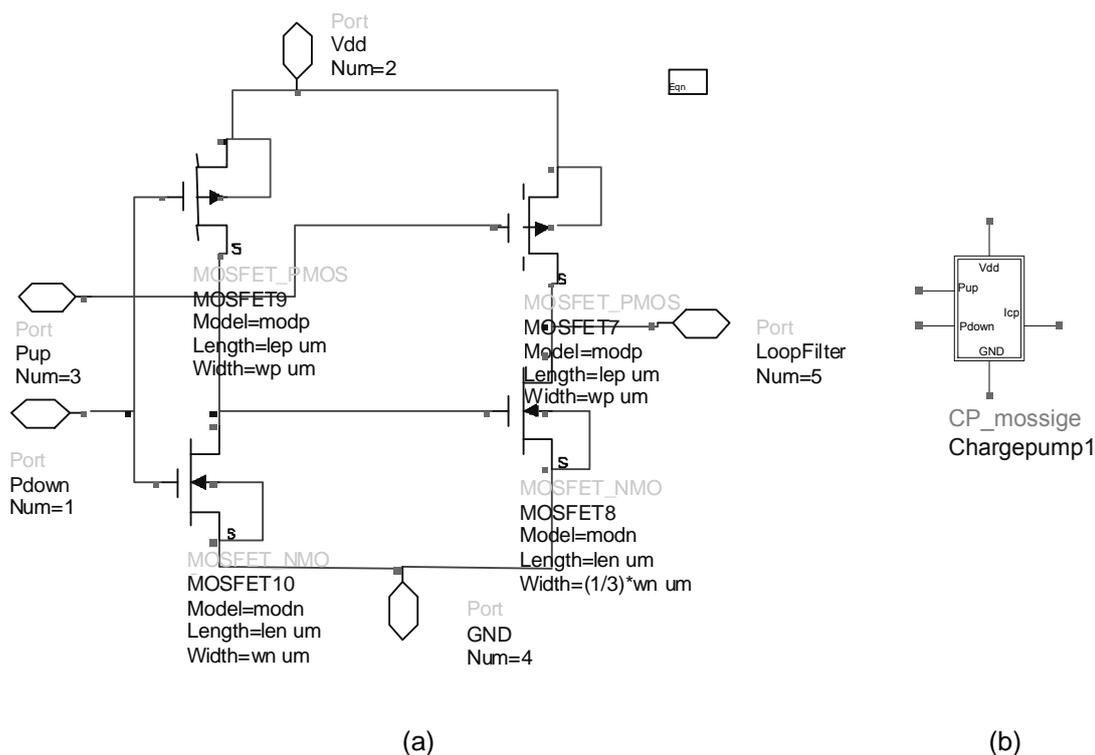


Figura 6.9. Bomba de carga; (a) esquemático, (b) símbolo.

Las dimensiones de los transistores son las de la Tabla 6.2. Con el ancho de los transistores obtenemos la corriente de salida que queremos obtener, aproximadamente de 200 μA . El transistor tipo N de salida tiene una relación de (1/3) de este ancho, para conseguir equilibrar los 200 μA positivos y los 200 μA negativos.

Tabla 6.2. Dimensiones de los MOSFET para la bomba de carga

Ancho del MOSFET tipo N	2 μm
Longitud puerta del MOSFET tipo N	0,5 μm
Ancho del MOSFET tipo P	2 μm
Longitud puerta del MOSFET tipo P	0,5 μm

6.1.3. Unión del comparador de fase/frecuencia y bomba de carga

Como ya tenemos realizados los dos esquemáticos, sólo nos queda unirlos, tal y como se observa en la Figura 6.10 y calcular la constante para este detector.

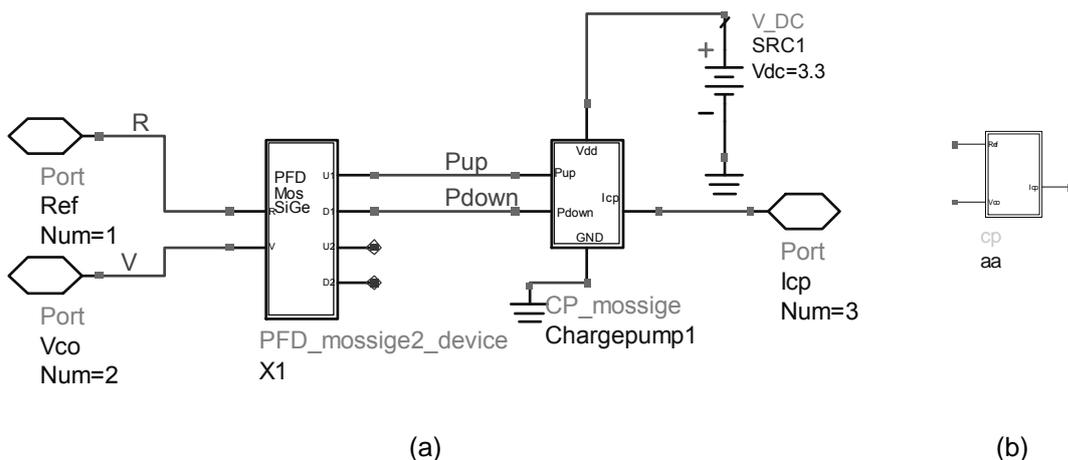


Figura 6.10. PFD más bomba de carga; (a) esquemático, (b) símbolo.

Realizamos un test del funcionamiento de este detector de fase junto a la bomba de carga, utilizando el esquema de la Figura 6.11, variando las entradas periódicas e iguales, donde a la señal de entrada V_{in} se le ha hecho un barrido frente al desplazamiento de la entrada V_{ref} .

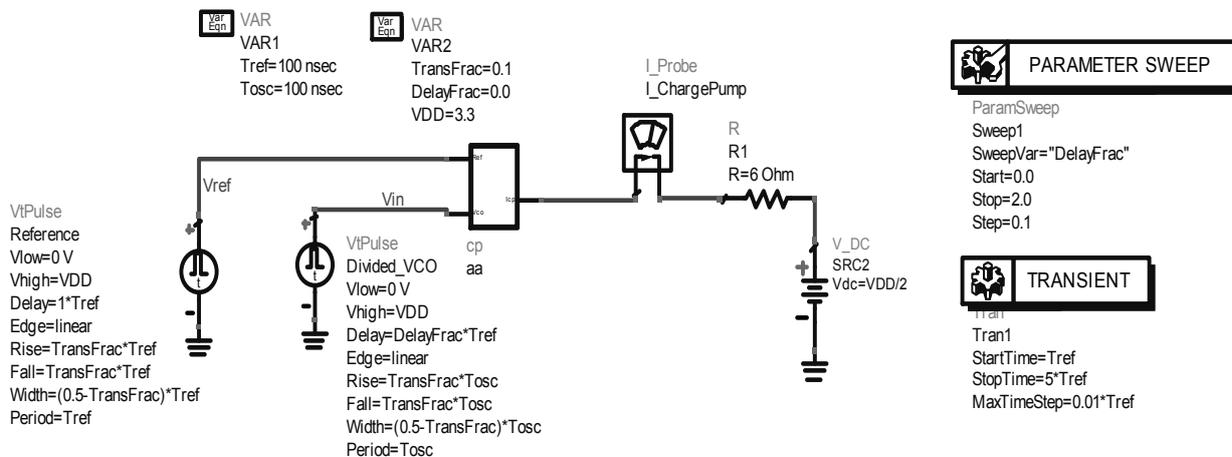


Figura 6.11. Test de PFD más bomba de carga como detector de fase.

En la Figura 6.12 se observa la respuesta de este detector de fase para un desfase que se realiza con la barra: *selección del delay fraction*. El desfase se realiza entre -360 grados (0,0), 0 grados (1,0), y 360 grados (2,0). Para estos valores se comprueba que el detector de fase es bastante lineal.

Se ha calculado la constante K_d , la cual es igual a la corriente i_{cp} que suministra la bomba entre $2 \cdot \pi$. El valor de la K_d es de $32,61 \mu\text{A/rad}$.

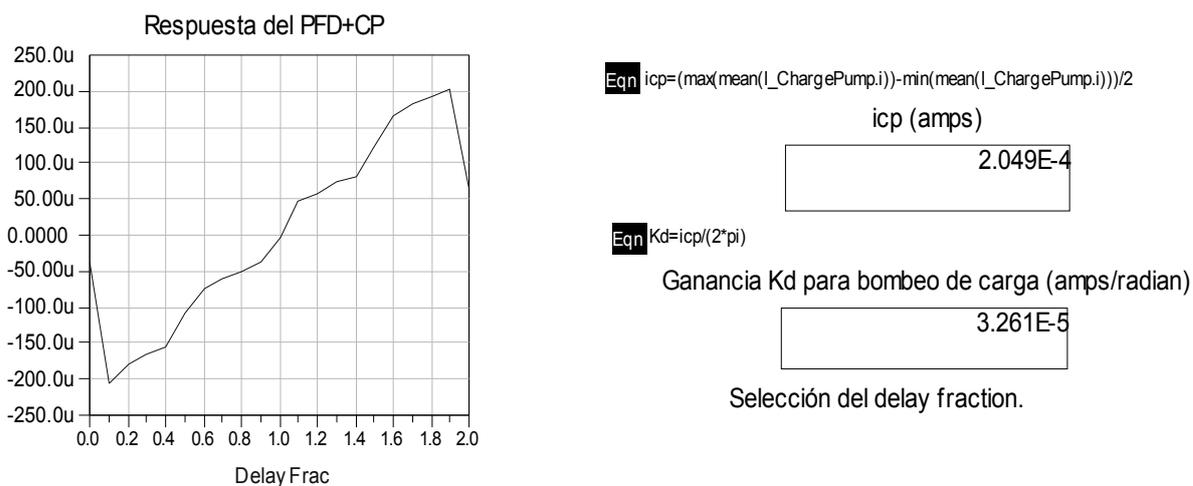


Figura 6.12. Simulación de la respuesta del PFD más bomba de carga y valor de K_d .

En las Figuras 6.13 a 6.15 se comprueba la respuesta en el tiempo del test del detector donde tenemos dos señales rectangulares de frecuencias idénticas.

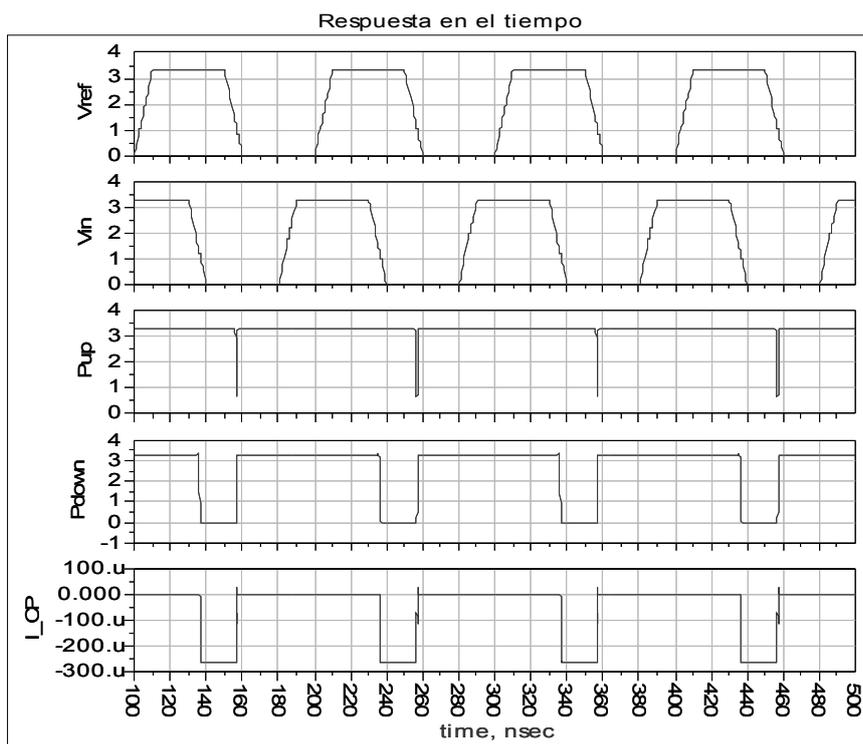


Figura 6.13. Simulación de PFD más bomba de carga, consumo de corriente $-i_{cp}$.

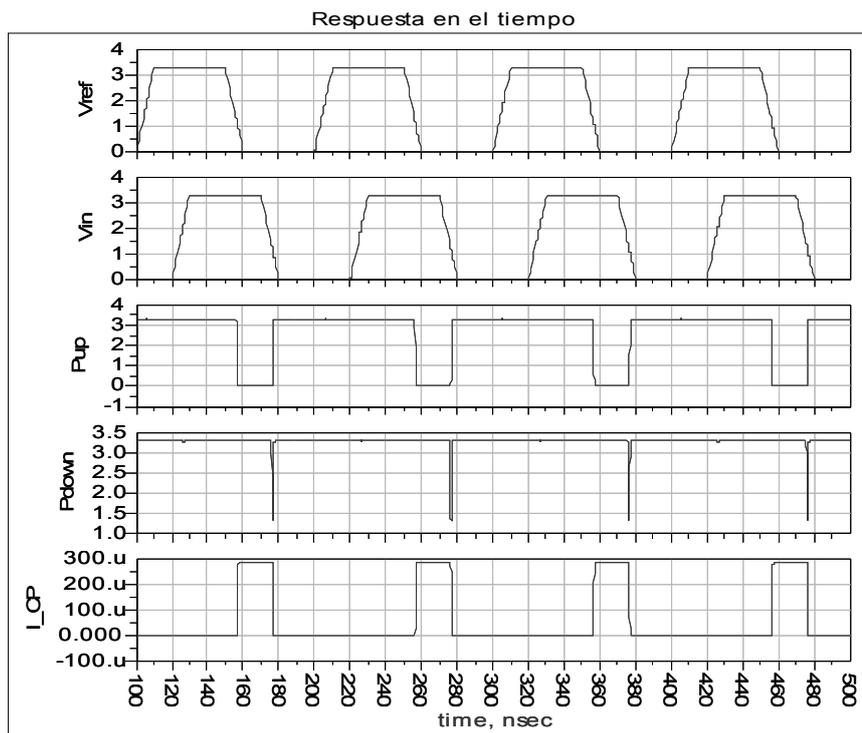


Figura 6.14. Simulación de PFD más bomba de carga, inyección de corriente i_{cp} .

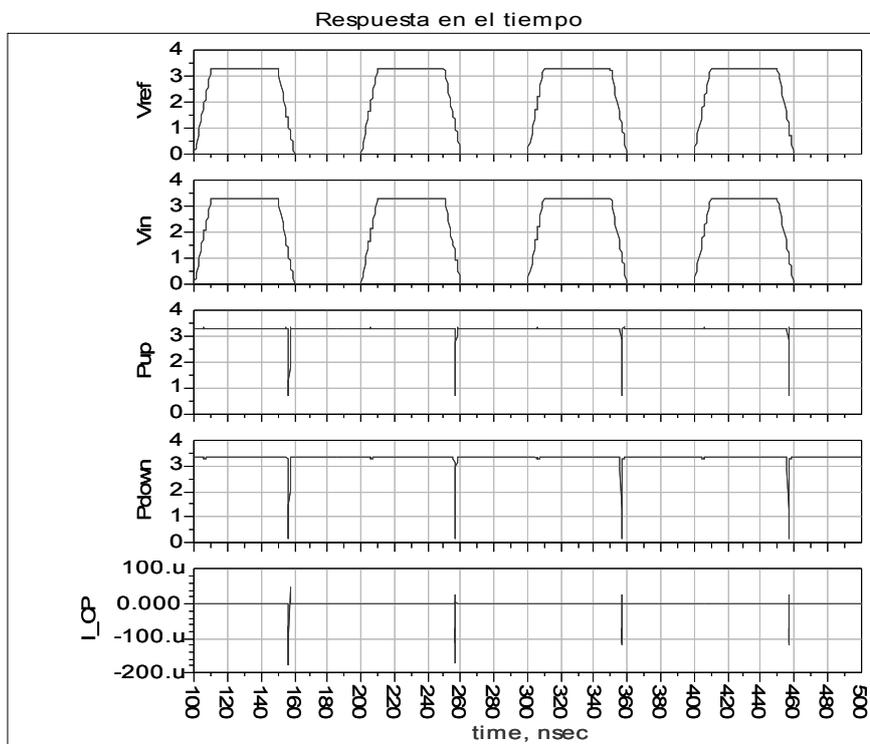


Figura 6.15. Simulación para el caso de no inyección de corriente.

En la Figura 6.13, la entrada proveniente del VCO (V_{in}) está adelantada frente a la señal de referencia (V_{ref}), por tanto, tenemos un pulso del tamaño de la diferencia de fase entre las señales en la salida *DOWN*. Como consecuencia, este pulso se le inyecta a la bomba teniendo un pulso de la misma duración inyectando una corriente negativa de i_{cp} . En caso contrario, es decir si estuviera retardada como en la Figura 6.14, el pulso lo tendríamos en la señal *UP*, y este pulso se le inyecta a la bomba teniendo un pulso de la misma duración que inyecta una corriente positiva de i_{cp} . Si no estuvieran desfasadas (ver Figura 6.15) no tendríamos pulso en ninguna de ellas estando las dos en estado alto y, por lo tanto, no suministraríamos corriente a la salida de esta.

6.2. Oscilador controlado por tensión

En este punto se realizará la descripción de las características y constantes del oscilador controlado por tensión. El VCO es la parte más importante del sintetizador y es el encargado de generar las frecuencias del oscilador local. Sólo usaremos el modelado de este para usarlo en la simulación del sintetizador completo, ya que si usamos el real, ésta puede tardar varios meses en terminar.

6.2.1. Características del VCO

En este apartado examinamos la simulación del oscilador controlado por tensión que ya ha sido implementado [5]. Las especificaciones del VCO para DVB-H se enumeran en la Tabla 6.3.

Tabla 6.3. Especificaciones del VCO

Rango de frecuencias a generar	De 470 MHz a 862 MHz
Ruido de fase	-107 dBc/Hz para un <i>offset</i> de 100 KHz

La integración de los componentes del VCO no es posible si se barre nuestro rango de frecuencias, ya que precisan de valores inductivos y capacitivos bastante elevados. En nuestro VCO se optó por duplicar la banda de UHF (470 – 862 MHz) situándola desde los 940 a los 1724 MHz.

En la Figura 6.16 se presentan las curvas de frecuencias frente a tensión de cada sub-banda mientras que en la Figura 6.17 se engloban las distintas curvas del ruido de fase para los bordes de cada sub-banda.

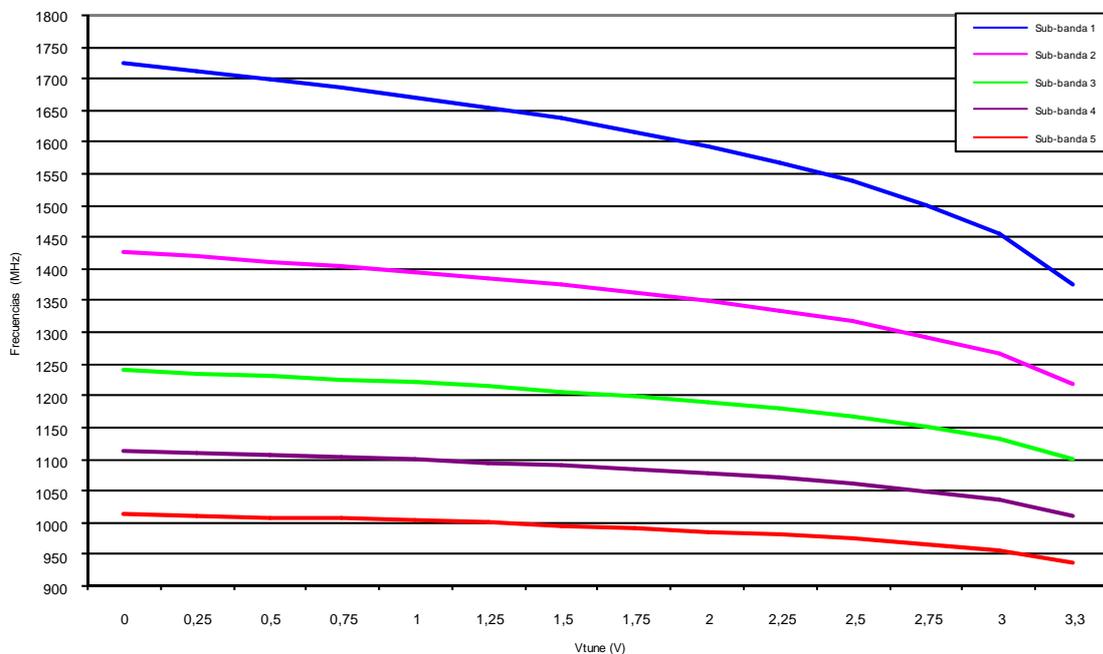


Figura 6.16. Gráfica con las frecuencias frente a tensión de cambio para cada sub-banda del VCO.

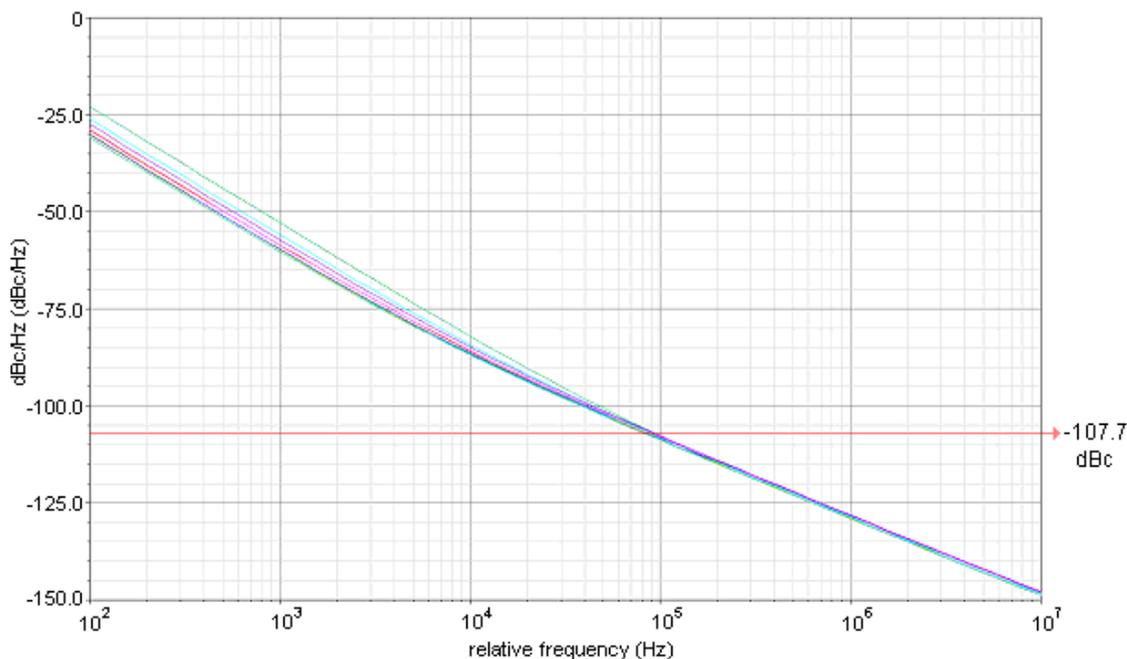
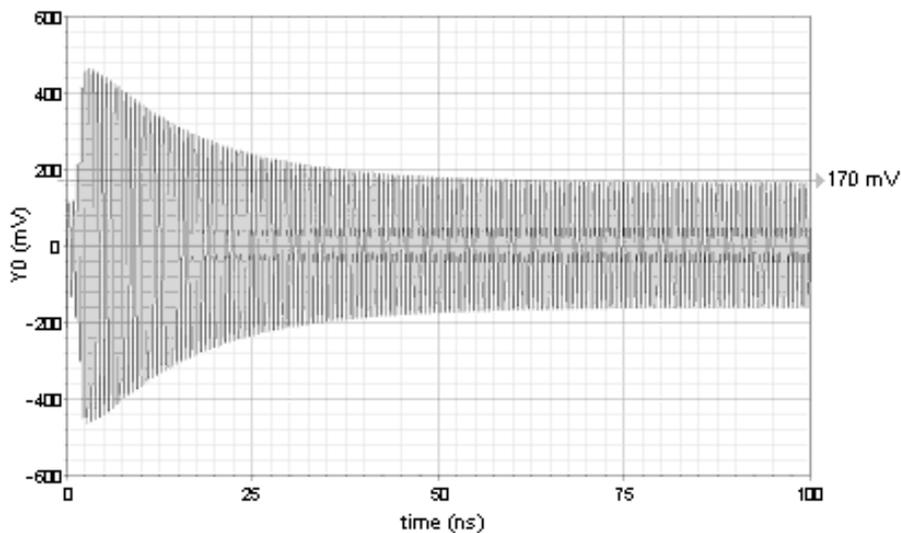
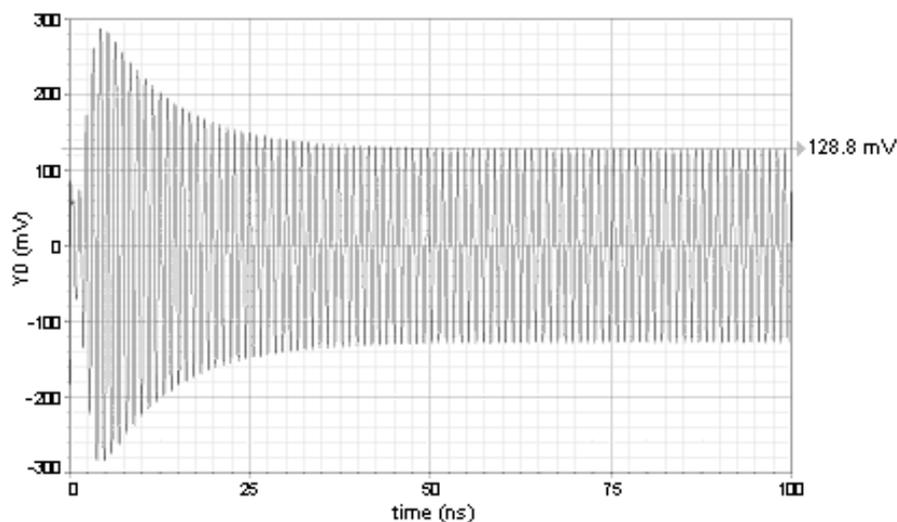


Figura 6.17. Gráfica con los niveles de ruido de fase para cada sub-banda del VCO.

A continuación, en la Figura 6.18, se puede observar la señal que da el VCO a su salida si la tomamos en modo diferencial. Se trata de una señal sinusoidal con un nivel de amplitud máxima de 170 mVp en la Figura 6.18(a) y mínima de 128,8 mVp en la Figura 6.18(b). Como vemos es una señal cuyo nivel de continua es 0 V, esto es, el *offset* es cero.



(a)



(b)

Figura 6.18. Gráfica con las respuestas en transitorio de la señal de salida final en modo diferencial; (a) amplitud máxima, (b) amplitud mínima.

La Tabla 6.4 refleja los resultados finales del *layout* en lo que a frecuencia y ruido de fase se refiere.

Tabla 6.4. Valores finales de frecuencia y ruido de fase

Sub-bandas	Tensión de sintonización V_{tune} (V)	Frecuencias (MHz)	Ruido de fase a 100 KHz de <i>offset</i> (dBc/Hz)
Sub-banda 1	0	1724,37	-108,0
	3,3	1376,49	-107,8
Sub-banda 2	0	1426,64	-107,8
	3,3	1219,17	-108,8
Sub-banda 3	0	1240,87	-108,1
	3,3	1101,2	-109,0
Sub-banda 4	0	1113,65	-108,5
	3,3	1011,87	-109,0
Sub-banda 5	0	1013,61	-108,5
	3,3	936,957	-108,8

El punto más crítico del diseño se sitúa en la conmutación entre las dos sub-bandas de frecuencias más bajas ya que el solapamiento entre ambas es muy pequeño (sólo 1,74 MHz). Sin embargo, se comprobó que justamente en esa pequeña frontera entre sub-bandas no se encuentra ningún canal por lo cual el problema ya no sería tal.

Cabe reseñar que con el objetivo de tener siempre la mejor característica del ruido de fase es preferible realizar la conmutación para el valor de V_{tune} igual a 3,3 V dado que por lo general es en este punto cuando se alcanza un mejor nivel de este parámetro con respecto al mismo valor de frecuencia en la siguiente sub-banda. Teniendo en cuenta que el diseño se quiere implementar en dispositivos móviles, los cuales disponen de una batería, que no siempre tendrá su carga máxima (3,3 V), sino que irán perdiéndola. Por esta razón escogemos el rango de canal para cada sub-banda, según la Figura 6.16, para la tensión mínima.

Esta operación se realiza fijando el valor del sub-canal siguiente al canal mínimo situado lo más próximo a cero, a consecuencia de esto, el sub-canal anterior se fija al canal que no entre en la anterior sub-banda. Estos límites se representan en la Tabla 6.5 siendo los que vamos a utilizar. Se distingue como el voltaje máximo está en torno a los 3,1 V respecto a si hubiéramos alargado el canal para la tensión máxima hubiera estado posiblemente a los 3,3 V, sin contemplar la posibilidad de la descarga parcial de la batería en la medida de lo posible en el diseño.

Tabla 6.5. Límites de frecuencias de canal entre sub-bandas

Sub-bandas	Tensión de sintonización V_{tune} (V)	f_{out} (MHz)	f_c (MHz)	n_{ch}
Sub-banda 1	0,14	1716	858	69
	3,10	1428	714	51
Sub-banda 2	0,60	1412	706	50
	3,09	1252	626	40
Sub-banda 3	0,15	1236	618	39
	3,07	1124	562	32
Sub-banda 4	0,51	1108	554	31
	3,08	1028	514	26
Sub-banda 5	0,37	1012	506	25
	2,98	948	474	21

6.2.2. Modelado lineal del VCO

Según las curvas del VCO (Figura 6.16) podemos calcular las constantes lineales del detector (K_v), necesarias para realizar el cálculo del filtro y la simulación de la respuesta en frecuencia. Vamos a realizar el cálculo para las cinco sub-bandas.

Seguidamente en la Tabla 6.6 se muestra un resumen del modelado lineal del VCO para todas las sub-bandas, donde $K_v = \frac{\Delta f}{\Delta V}$ (MHz/V).

Tabla 6.6. Valor del modelado lineal del VCO

Sub-bandas	Constante lineal del detector K _v
Sub-banda 1	-105,41
Sub-banda 2	-62,87
kSub-banda 3	-42,32
Sub-banda 4	-30,84
Sub-banda 5	-23,228

6.2.3. Modelado de la curva tensión-frecuencia del VCO

En la Figura 6.16 de las frecuencias para cada sub-banda, se contemplan las frecuencias de salida en función de la tensión de control del VCO. Se modela cada una haciendo un barrido de la tensión de control. Este modelado es necesario para las simulaciones del sintetizador completo. Vamos a realizarlo para las cinco sub-bandas.

En la Tabla 6.7 se muestra un resumen del modelado de las curvas del VCO para todas las sub-bandas, realizados con *Origin* [35].

Tabla 6.7. Valor de la función modelada de cada curva de tensión-frecuencia del VCO

Sub-bandas	Función de la curva tensión-frecuencia (Hz)
Sub-banda 1	$y = -46029161 \times \exp\left(\frac{x}{1.55315}\right) + 1766346623$
Sub-banda 2	$y = -24808276 \times \exp\left(\frac{x}{1.48952}\right) + 1448896729$
Sub-banda 3	$y = -18254101 \times \exp\left(\frac{x}{1.55013}\right) + 1256204361$

Sub-banda 4	$y = -10694795 \times \exp\left(\frac{x}{1.40912}\right) + 1123041953$
Sub-banda 5	$y = -22587514 \times \exp\left(\frac{x}{2.14342}\right) + 1038893347$

6.2.4. Cálculo de la impedancia del VCO

Se realiza para tener en cuenta este factor en las simulaciones, puesto que nosotros vamos a simular con un VCO ideal, con impedancia de entrada infinita, diferente a la de nuestro VCO. Por lo tanto hay que incorporarle sus constantes propias de impedancia para tener un correcto funcionamiento.

Para realizar este cálculo, se tomó el diseño del oscilador controlado por tensión realizado en *Cadence* representado en las Figuras 6.19 y 6.20.

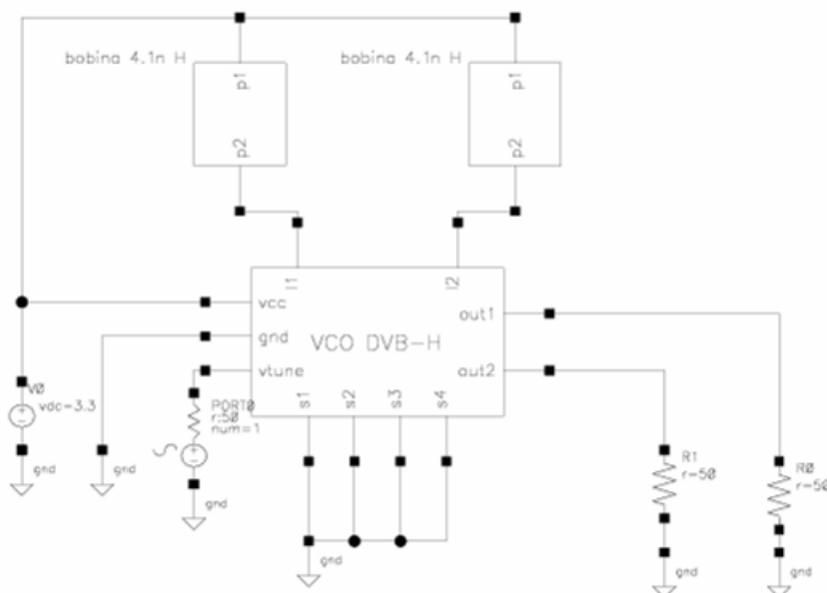


Figura 6.19. Simulación de los parámetros S del VCO.

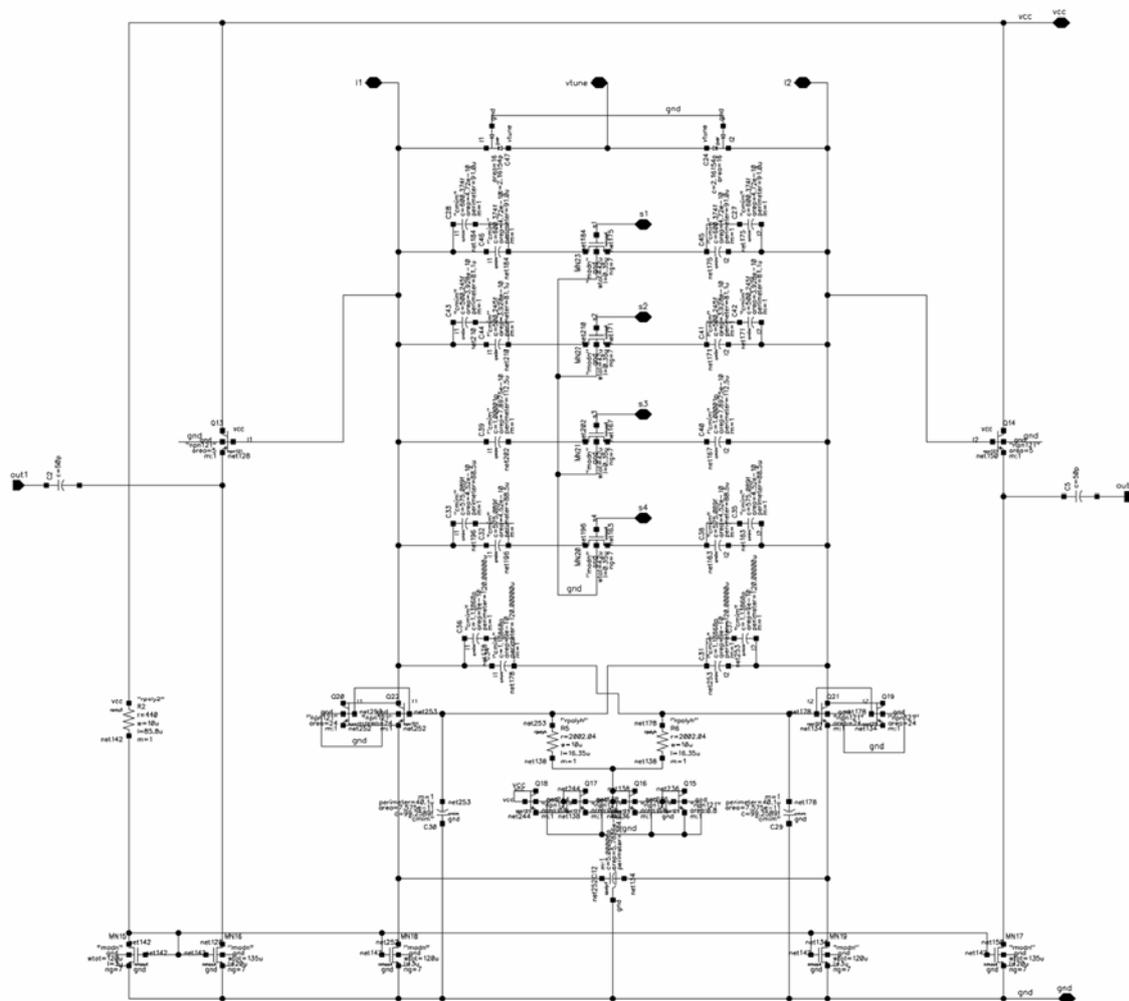


Figura 6.20. Esquemático en *Cadence* del VCO.

A este esquema se le realizó un análisis de los parámetros S , obtenidos en módulo y fase. Con ellos, realizando un programa en *Matlab* [36], se hizo el cálculo tanto de la resistencia como de la capacidad de nuestro VCO. El programa es el siguiente:

```

% CALCULO DE PARAMETROS Z DE NUESTRO VCO:
% z = impedancia del VCO
% Tenemos z en un fichero con parámetros S (módulo y fase)
clear;
% Cargamos el fichero
z=load('z11vco.txt');
% f es la frecuencia
f=z(:,1);
[M,N]=size(z);
% pasamos a parte real e imaginaria
for i=1: M,
    zs(i)=z(i,2)*(cos(z(i,3)*pi/180)+j*sin(z(i,3)*pi/180));
end;
% pasamos de parámetros s a z
for i=1:M,
    zz(i)=50*(1+zs(i))/(1-zs(i));
end;
% dibujamos la parte real de z
subplot(211);
plot(f/1e9,real(zz));
title('Resistencia');
xlabel('Frecuencia(GHz)');
ylabel('Ohmios');
grid;
% calculamos la parte de Capacidad de z
for i=1:M,
    cap(i)=-1/(imag(zz(i))*2*pi*f(i));
end;
% dibujamos la parte de Capacidad de z
subplot(212);
plot(f/1e9,cap*1e15);
title('Capacidad');
xlabel('Frecuencia(GHz)');
ylabel('fF');
grid;
%fin programa.

```

El resultado de la simulación del programa es el de la Figura 6.21.

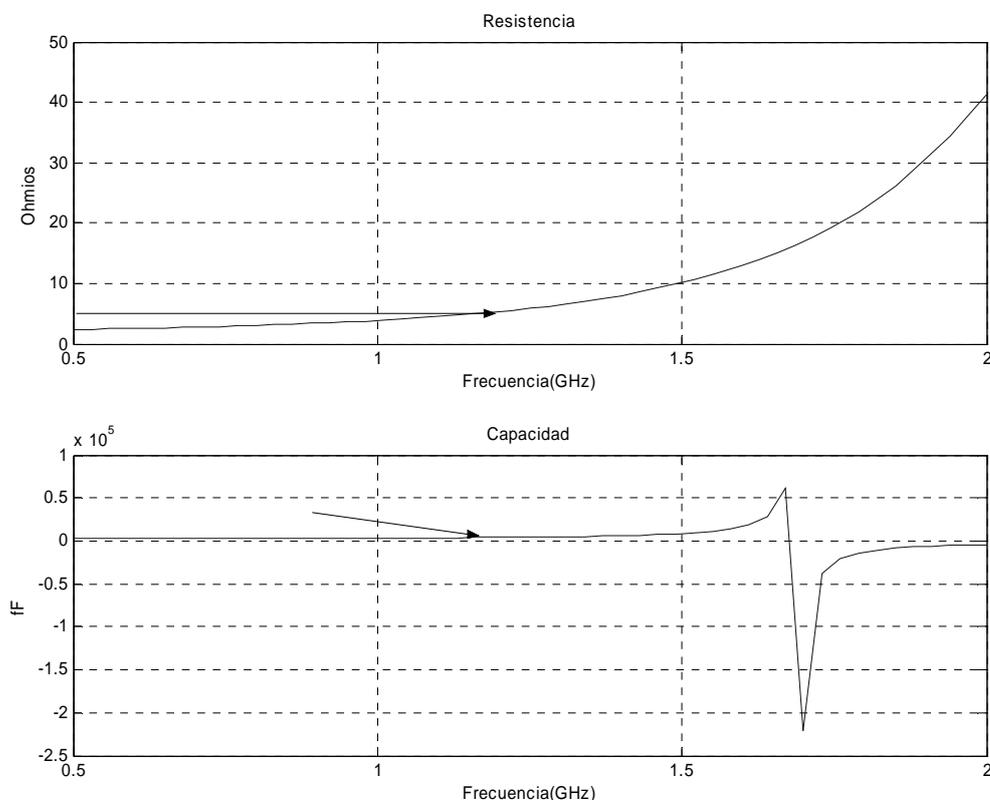


Figura 6.21. Parámetros Z del VCO, parte real y de capacidad.

Para un punto intermedio entre las frecuencias de funcionamiento (948-1716 MHz), los valores de nuestra impedancia son los de la Tabla 6.8. Estos valores se emplearán en simulaciones posteriores.

Tabla 6.8. Valores de la impedancia del VCO

C_vco	3,7 pF
R_vco	4,5 Ω

Los esquemas a usar en las simulaciones del sintetizador son los de la Figura 6.22 los cuales son equivalentes.

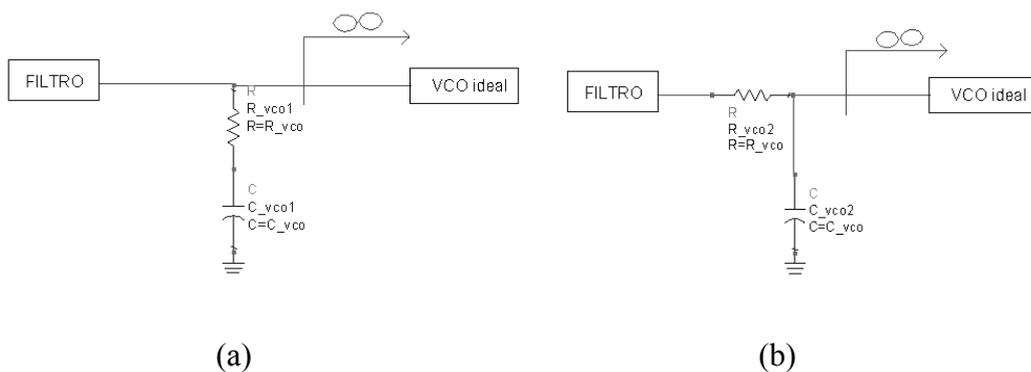


Figura 6.22. Esquemas de impedancia del VCO; (a) Z_r en serie Z_c , todo en paralelo ∞ , (b) Z_r seguido Z_c en paralelo ∞ .

Los esquemas son equivalentes como se demuestra a continuación, pudiendo usar indistintamente tanto el esquema de la Figura 6.22(a), como el de la Figura 6.22(b). Vamos a demostrarlo:

- Impedancia de entrada al VCO con el esquema de la Figura 6.22(a):

$$Z_{vco} = \left(R + \frac{1}{sC} \right) // \infty \cong R + \frac{1}{sC} \quad (6.1)$$

- Impedancia de entrada al VCO con el esquema de la Figura 6.22(b):

$$Z_{vco} = R + \left(\infty // \frac{1}{sC} \right) \cong R + \frac{1}{sC} \quad (6.2)$$

6.3. Divisor rápido

Después del VCO, ésta es la parte más difícil de diseñar del sintetizador, ya que aquí la frecuencia de funcionamiento es muy elevada y no lo podemos atacar con simples divisores digitales. Si usáramos celdas estándar CMOS, el retardo de los *flip-flops* sería el cuello de botella del funcionamiento del sistema. No olvidemos que el objetivo es conseguir un divisor rápido que sea capaz de dividir nuestro rango de frecuencias que van entre los 1 y 2 GHz aproximadamente.

Por otra parte, si la división por dos se realiza antes del divisor digital, se reduce el número de bits del mismo, reduciendo con ello el ruido de cuantización. La posibilidad que vamos a estudiar es el divisor rápido CML.

6.3.1. Generación de las señales en fase y cuadratura

En las modulaciones que van a usar este estándar se necesitan de las señales en fase y cuadratura. Estas señales se pueden obtener de diferentes maneras de las que haremos mención, [24].

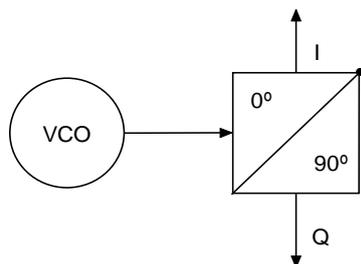


Figura 6.23. Generación de I-Q.

6.3.1.1. VCOs acoplados

En ocasiones nos puede interesar que el propio VCO genere estas señales. Por una parte nos beneficiaríamos generándolas de una vez estando listas para usar.

Que el VCO disponga de estas señales quiere decir normalmente el uso de una estructura de tipo *Coupled Oscillators*. Esta dispondría de dos VCO enganchados uno al otro. Esto supone como mínimo del doble de área. Otra cosa sería que la salida del VCO ya sería directamente las frecuencias a generar por el estándar que al ser relativamente bajas, el tamaño de los componentes sería más elevado sin la posibilidad de integrarlos.

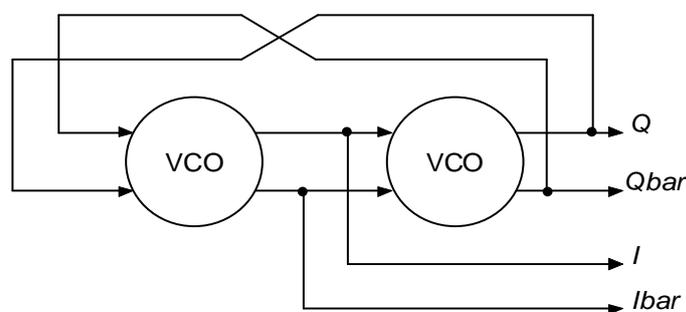


Figura 6.24. Generación de I-Q a partir del VCO.

En nuestro diseño el VCO viene prefijado y no podemos cambiarlo.

6.3.1.2. PPF

El desfase se puede conseguir con un filtro polifásico con una señal de entrada diferencial. Se forman por una red del tipo RC-CR donde su desfase ideal es de 90° . Desafortunadamente este cambio de fase sólo ocurre para un rango estrecho de frecuencias. Si la frecuencia varía más de un 1,7% esto se traslada en una variación de $\pm 1^\circ$. Si la señal de entrada no es de forma sinusoidal entonces tendrá armónicos. La salida tendrá una distorsión en la forma de onda que se puede arreglar con otros PPF en cascada, teniendo en cuenta la incorporación de *buffers* por las pérdidas de los filtros teniendo mayor consumo.

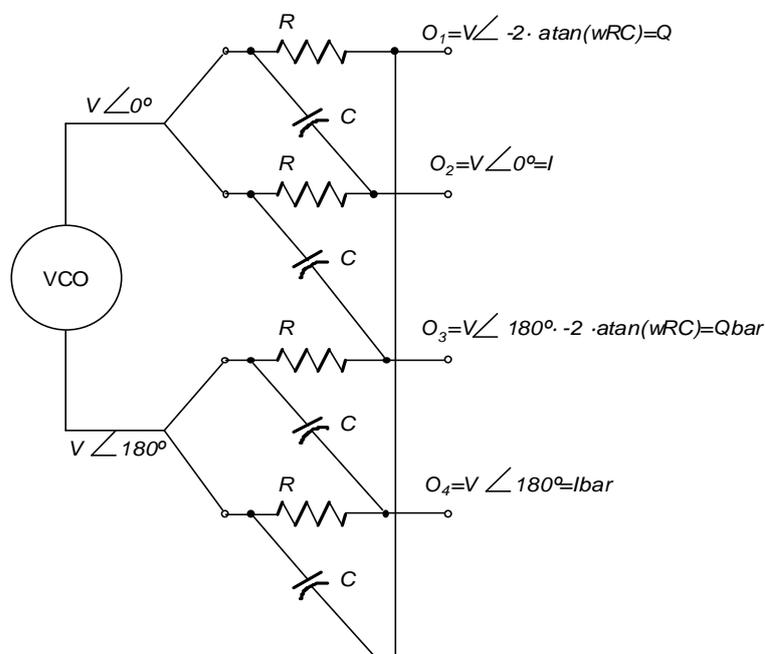


Figura 6.25. Generación de I-Q a partir de un filtro polifásico.

Esta estructura no podemos usarla pues en nuestro diseño tenemos que barrer un rango de frecuencias bastante amplio que usando los PPF nos darían bastante error de fase como hemos visto en sus características.

6.3.1.3. Divisor entre dos basado en latch tipo D en modo CML

Las señales en fase y cuadratura también pueden ser generadas usando un VCO y un circuito divisor por dos. El VCO debe funcionar al doble de la frecuencia de salida. La implementación del divisor será con *flip-flop* en configuración *master-slave*. Las señales de reloj deben estar al *duty cycle* del 50%.

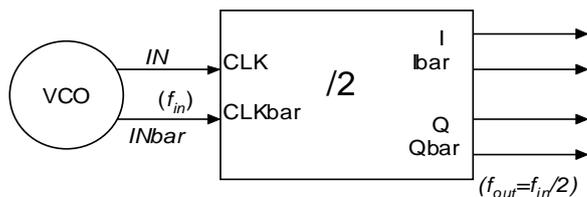


Figura 6.26. Esquema de I-Q a partir de un divisor entre dos.

La configuración a usar se muestra en la Figura 6.27 en la que se observa de donde se extraen las salidas tanto en fase como en cuadratura utilizando un divisor entre dos.

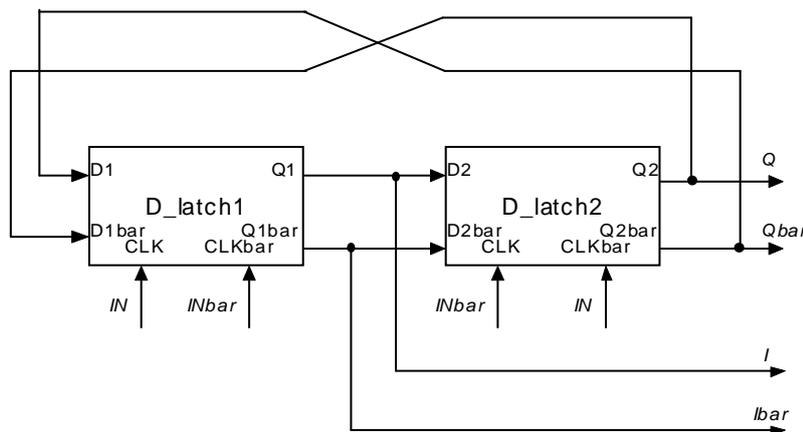


Figura 6.27. Generación de I-Q a partir de un divisor entre dos.

En nuestro caso la señal de reloj la dará la salida del VCO. Esta salida es del doble de la frecuencia a generar para el estándar y además es del *duty cycle* del 50% por lo que esta estructura es la que vamos a utilizar en el diseño.

6.3.2. Estudio del divisor entre dos

Existen varias estructuras para realizar un divisor entre dos. En nuestro caso nos interesa buscar una estructura con entradas diferenciales y salidas también del tipo diferencial, como pueden ser las estructuras CML.

En general una estructura básica *Current Mode Logic* consiste principalmente de tres partes. Una carga de *Pull-Up* para las salidas, una zona de trabajo *Pull-Down Network* (PDN) y una fuente de corriente constante. Es completamente diferencial y debido a esta naturaleza es altamente inmune al ruido en modo común, [25].

Dependiendo de la combinación de la entrada y de la implementación lógica del PDN, la corriente fluirá por uno de los caminos, obteniendo las salidas de forma complementarias, como vemos en la Figura 6.28.

Por la rama donde no circule corriente, la salida alcanza la tensión máxima de alimentación V_{DD} . En cuanto a la otra rama fluirá a través de la resistencia de carga teniendo una amplitud de voltaje del orden de $V_{DD} - I_{bias} \cdot R_L$.

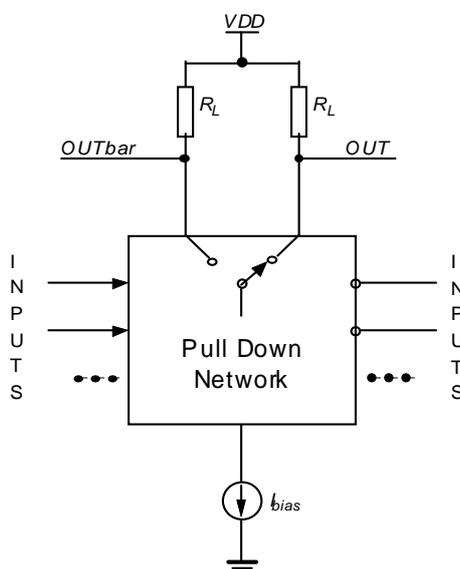


Figura 6.28. Estructura general CML.

6.3.2.1. Latch tipo CML

Un latch convencional tipo CML consiste en una etapa de muestreo y retención (*Sample and Hold*). Primero tenemos una etapa de amplificación con un amplificador diferencial (*Sample Pair*), y posteriormente una etapa *latch* a cargo del mantenimiento de la tensión en el nodo de salida (*Hold Pair*).

En la parte de muestreo la corriente cambia junto al par que toma las señales complementarias de reloj. El par de muestreo trabaja como un *buffer* CML, según los datos de entrada da diferencialmente los datos de salida. Cuando la polaridad del reloj cambia el par de retención, los datos de salida realimentan al par de retención regenerándolos. Esta última parte se conoce como retención porque es independiente de los cambios en las señales de entrada.

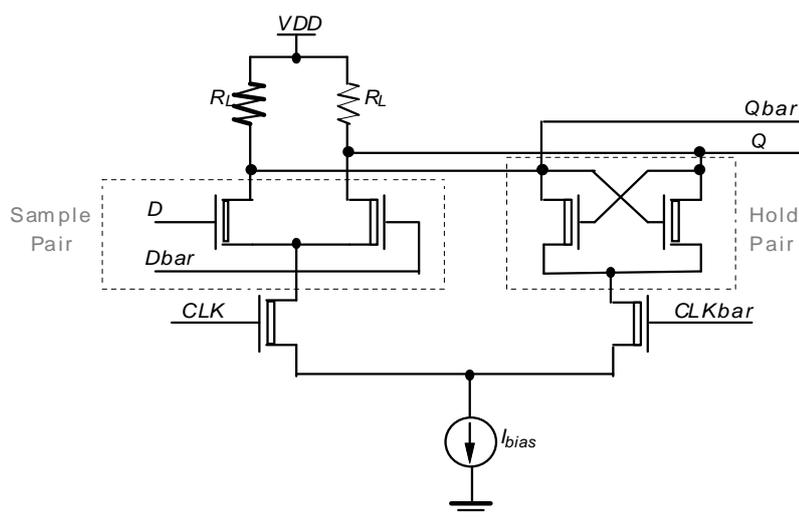


Figura 6.29. Configuración D_latch CML.

6.3.2.2. Divisor entre dos basado en latch CML

Un divisor entre dos con una estructura del tipo CML (*Current Mode Logic*) consta de dos *flip-flops* tipo D en configuración *master-slave*. Como podemos ver en la Figura 6.30, las salidas del D_latch1 se conectan a las entradas del siguiente latch. Las salidas del D_latch2 se cruzan y se conectan a las entradas complementarias del primer latch. En cuanto a las entradas del reloj son del tipo diferencial. Al D_latch1 se conecta las entradas

de reloj paralelamente pero a la siguiente etapa D_latch2 se engancha complementariamente el reloj [25]-[26].

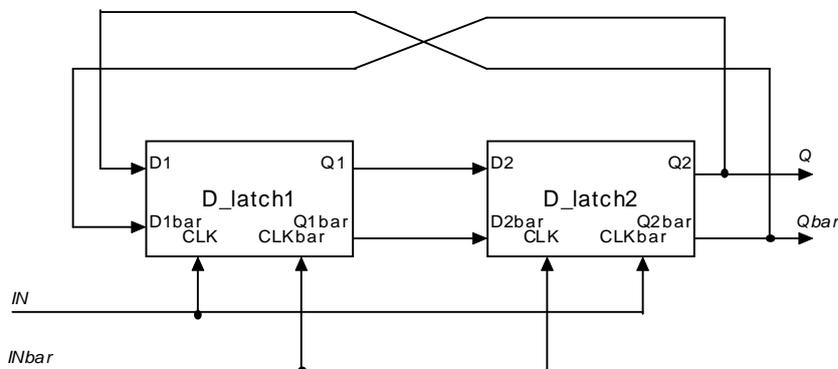


Figura 6.30. Configuración divisor CML.

6.3.2.3. Generación de las señales en fase y cuadratura

En las modulaciones que van a usar este estándar se necesitan de las señales en fase y cuadratura. Estas se realizan con un divisor entre dos basado el *latch* tipo D en modo CML como se ha visto en el apartado anterior.

6.3.2.4. Fuente de corriente interna

La corriente de polarización (*bias*) que se ha de suministrar para el punto en continua puede ser crítico en el diseño del funcionamiento y operación de las demás partes. Una estructura que se puede usar es la de *master bias cell* [27]. La resistencia se ajusta para que circule una determinada corriente por esa rama y por medio de un espejo de corriente se traslada la corriente que deseas trasladar. La resistencia al ser de tipo *nwell* posee un alto coeficiente de temperatura, disminuyendo la variación con los cambios de temperatura. De todas formas se incluye una fuente de referencia que es proporcional a la temperatura absoluta (PTAT) y otro circuito inversamente proporcional crea una corriente de referencia que es independiente de la temperatura (ver Figura 6.31).

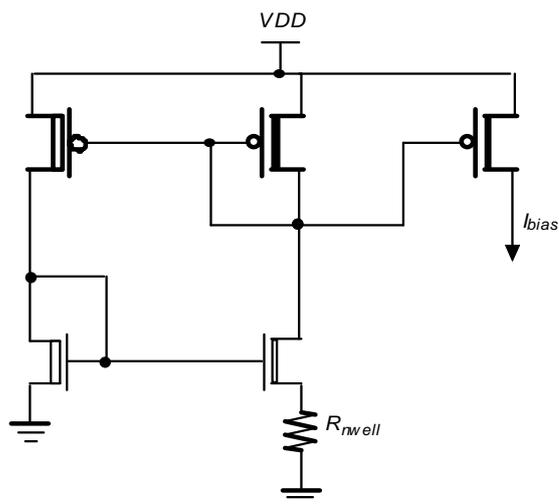


Figura 6.31. Configuración master bias cell.

6.3.2.5. Esquema de las salidas del divisor entre dos

La estructura del divisor tendrá dos salidas diferenciales, en fase y de cuadratura, además dispondrá de otra salida asimétrica para atacar al divisor programable.

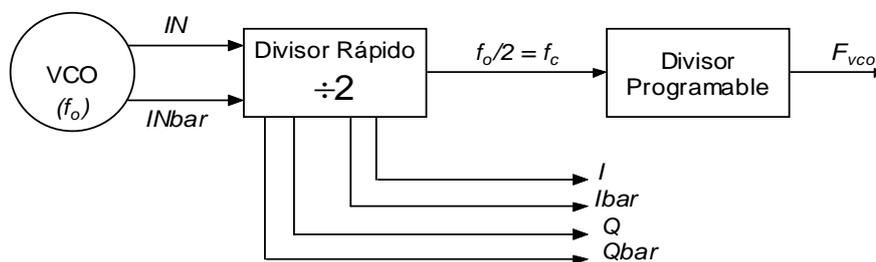


Figura 6.32. Esquemas de las salidas del divisor entre dos.

6.3.3. Diseño del divisor entre dos

Dentro del divisor rápido entre dos tenemos varias partes como iremos describiendo a continuación.

6.3.3.1. Salida del VCO

La salida del VCO va a ser la señal de entrada de reloj para el divisor entre dos. Como hemos visto en las especificaciones del oscilador, la señal tiene un nivel de continua en forma diferencial dando un *offset* igual a 0 V. No se especifican las condiciones de

continua cogiendo una sola salida, por lo que se puede tener un nivel de continua distinto a este último.

El VCO se ha modelado para realizar las simulaciones. El posible nivel de continua que puede tener para distintas frecuencias de salida del VCO se elimina con condensadores, uno por cada rama diferencial.

Ajustamos un nivel de continua con el que podamos atacar a las puertas de los transistores de la etapa del divisor. La fijamos con una referencia realizada con transistores en configuración de cargas activas. El nivel será de 1V. En la Figura 6.33 se muestra el esquema realizado.

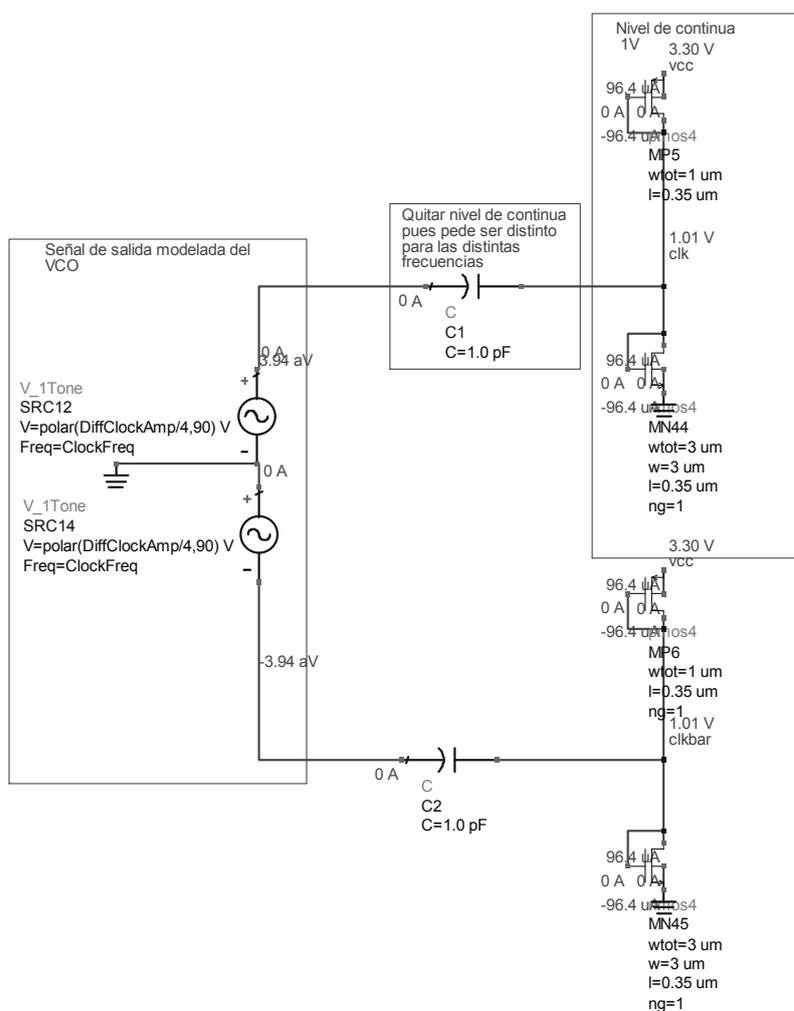


Figura 6.33. Esquema modelado de la salida del VCO más nivel de continua.

Los casos extremos donde tenemos que comprobar el funcionamiento correcto del diseño lo podemos ver en la Tabla 6.9, recogidos de las características del VCO.

Tabla 6.9. Márgenes de actuación del VCO

Frecuencia (GHz)	V _{pp} (mV)
0,8	257,6
0,8	340
1,8	257,6
1,8	340

6.3.3.2. Conexión directa al divisor del VCO como reloj

En un primer paso se piensa comprobar que utilizando la salida del VCO como reloj para la estructura del divisor entre dos el funcionamiento sea el esperado para los casos extremos de la Tabla 6.9.

La estructura del divisor se estudiará más adelante. No obstante en este apartado vamos a presentar un problema aparecido en la realización de un caso límite. La salida del VCO va a ser una señal sinusoidal con un nivel de amplitud máxima de 170 mV_p y mínima de 128,8 mV_p, condición importante para comprobar el buen funcionamiento de nuestro circuito.

En el caso de tener la máxima frecuencia de 1,8 GHz y la menor tensión mínima de pico a pico del VCO de 0,2576 V. La etapa del divisor no divide correctamente la señal pese a haber trabajado en el ajuste de las relaciones de los transistores que forman el circuito. La salida del divisor para este caso no es válida, como vemos en la Figura 6.34.

```
Eqn INPHASE_DIF=(var("INPHASE")-var("INPHASEN"))
Eqn QUADRATURE_DIF=(var("QUADRATURE")-var("QUADRATUREN"))
```

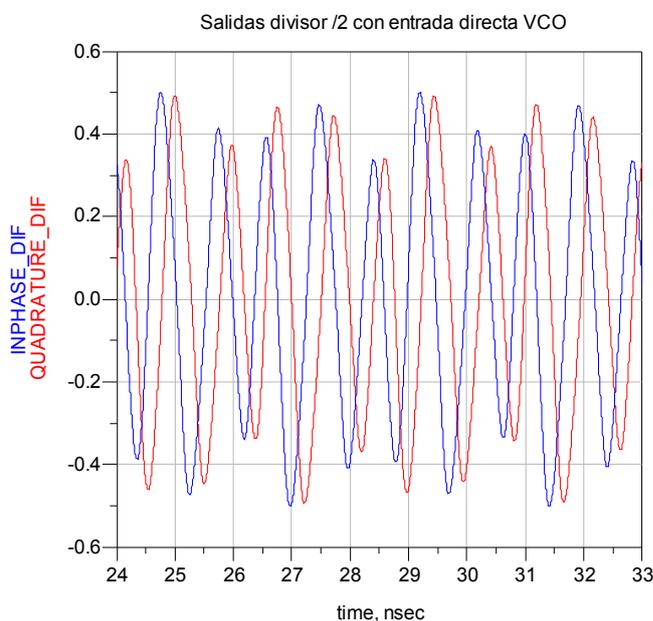


Figura 6.34. Salida del divisor con entrada directa del VCO para peor caso: $f_o=1,8$ GHz, $V_p=0,2576$ V.

6.3.3.3. Buffer de RF

La solución al apartado anterior pasa por incorporar una etapa de *buffer* RF amplificando la señal que da el VCO puesto que esta es de baja amplitud para poder atacar al divisor [26].

El *buffer* (ver Figura 6.35) consta de una célula diferencial donde se puede ajustar la excursión de salida y su nivel de continua. Para ajustar la excursión se utilizan las resistencias $R5$ y $R6$. En cuanto al ajuste de nivel de continua a la salida de este *buffer* se incorpora la resistencia $R7$.

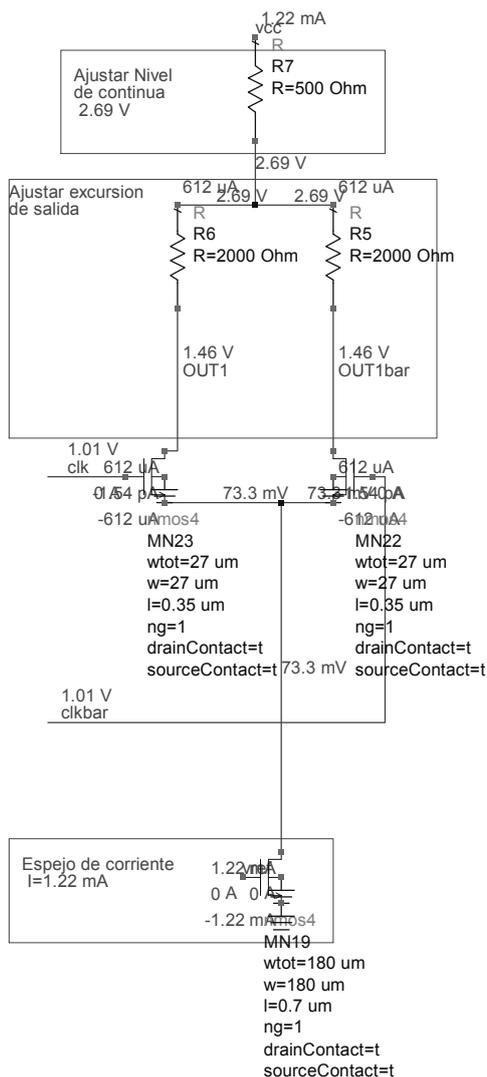


Figura 6.35. Esquemático del Buffer RF y fuente de corriente ideal.

Se han simulado los distintos casos de la Tabla 6.9 obteniendo los resultados de la Figura 6.36, donde se aprecian las subidas de amplitud en cuando a la señal del VCO de entrada. Con esta amplificación de amplitud podremos atacar a la etapa del divisor para un funcionamiento correcto.

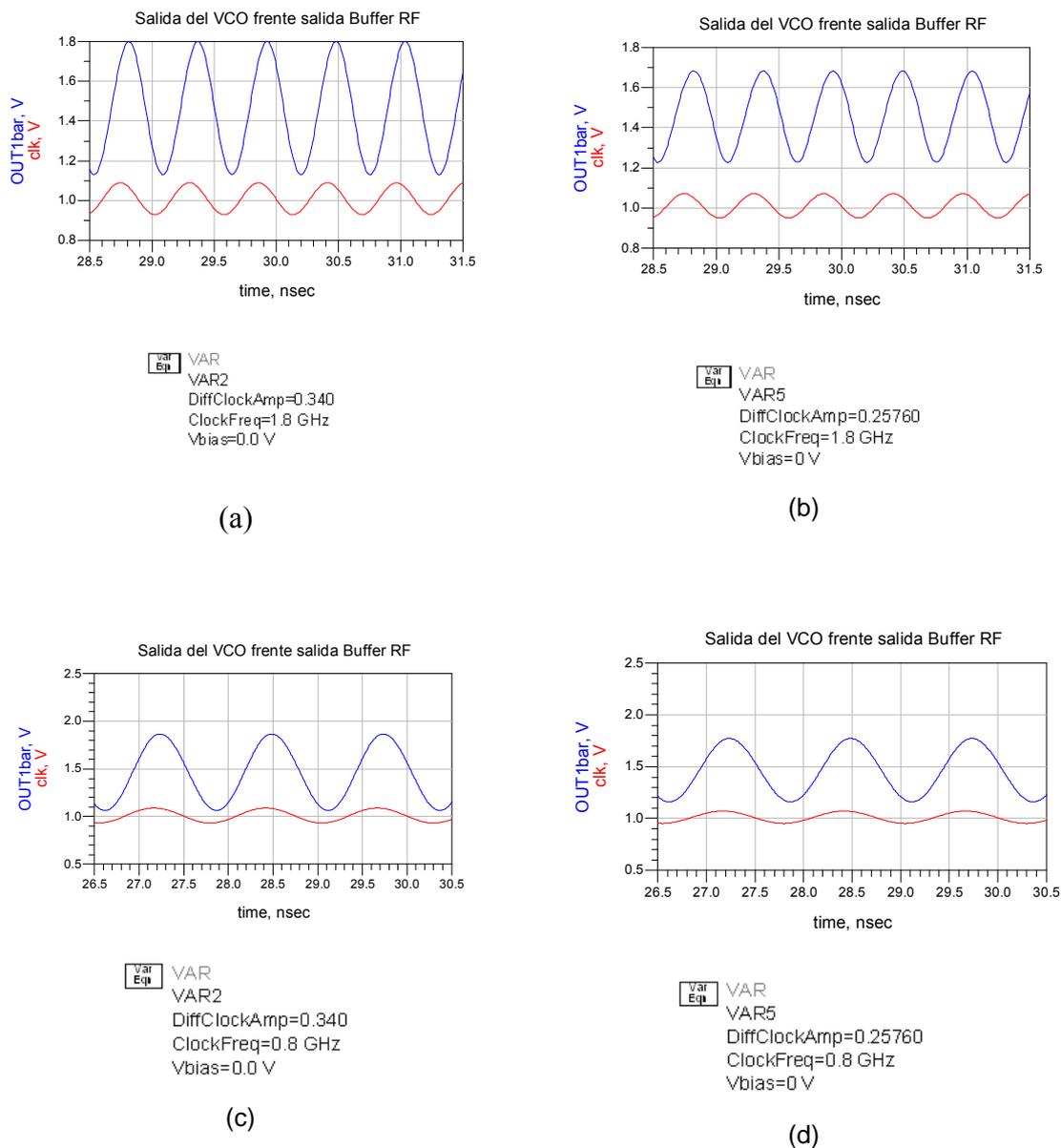


Figura 6.36. Simulación de una salida del VCO frente a una salida del *Buffer RF* para los márgenes límites de actuación; (a) freq. mayor, V_{pp} mayor, (b) freq. mayor, V_{pp} menor, (c) freq. menor, V_{pp} mayor, (d) freq. menor, V_{pp} menor.

6.3.3.4. Etapa Latch

Las etapas *latch* las implementaremos como se ha visto en la Figura 6.29. En esta estructura ajustaremos las relaciones de los transistores y la resistencia de *pull-up*. Para esta resistencia tenemos dos posibles alternativas (ver Figura 6.37). Una será ajustando el valor de las resistencias y la corriente que pasa por ellas mediante el ajuste de una fuente

de corriente. Una segunda alternativa es usando cargas activas realizadas con transistores tipo NMOS.

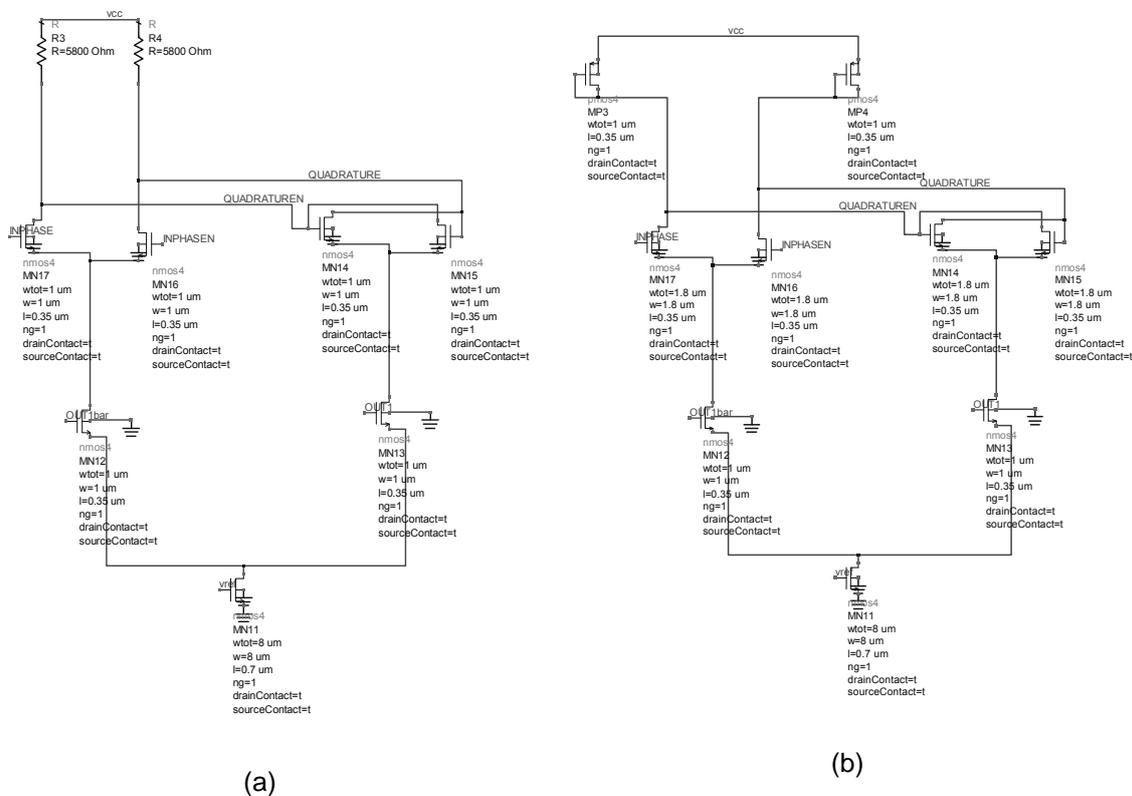


Figura 6.37. Esquemático D-Latch; (a) con resistencias, (b) con cargas activas.

6.3.3.5. Divisor entre dos con latch

Se utiliza una estructura CML como la presentada en la Figura 6.30. Para ello mostraremos los resultados obtenidos utilizando las variantes con resistencias y con cargas activas.

6.3.3.5.1. Divisor entre dos con latch utilizando resistencias

Se ha trabajado en el ajuste para que la señal de salida en un primer momento realice la división entre dos. Por otra parte el diseño ha de presentar una señal de salida del tipo sinusoidal y sin grandes cambios que podrían producir errores así como pérdida de potencia. Esto se tendrá en cuenta ya que esta etapa va a ser anterior a unos mezcladores.

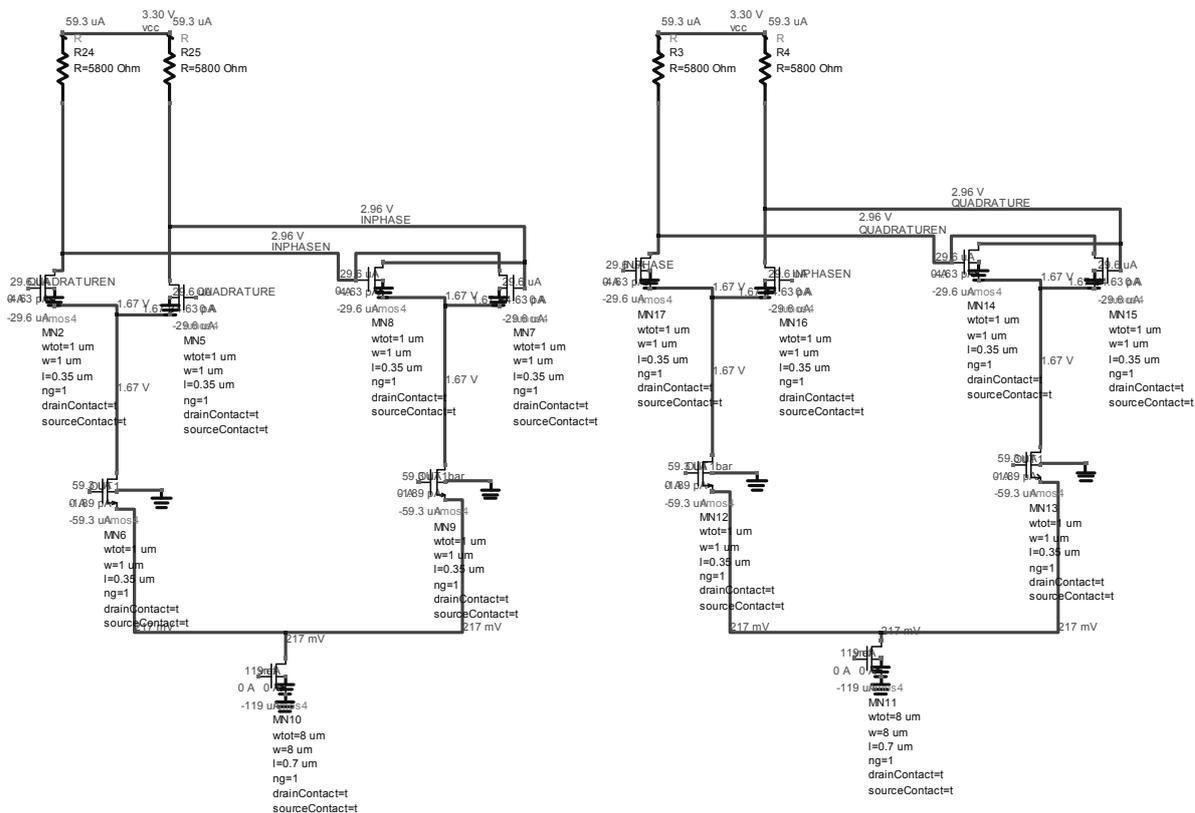


Figura 6.38. Esquemático divisor CML con resistencias.

En la Figura 6.38 se observa el esquemático del divisor CML con resistencias. El mejor ajuste para que funcione en todo el rango de frecuencias y con la variación de la señal de amplitud de entrada se ha conseguido para el valor de resistencia de la Tabla 6.10.

Tabla 6.10. Valor de resistencia de los latch

R_{carga}	5800 Ω
-------------	---------------

Como se observa en la Figura 6.39, la respuesta resultante es buena en cuanto a la realización de la división. Respecto a la forma de la onda resultante no es muy sinusoidal dando lugar a posibles errores posteriores en la generación de señales en cuadratura.

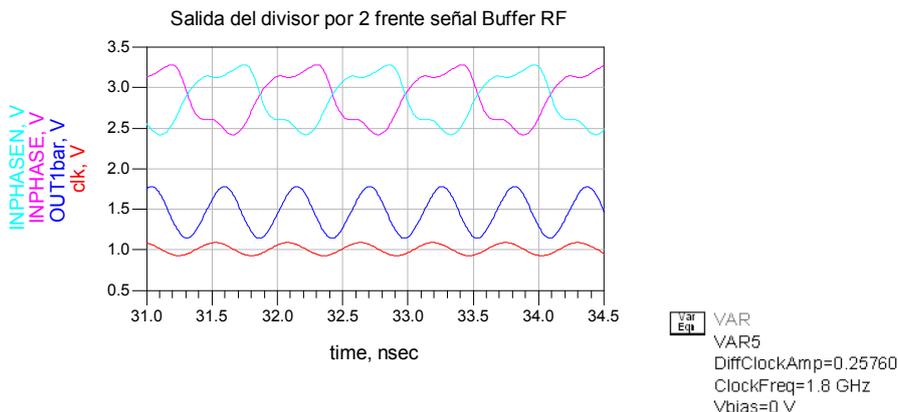


Figura 6.39. Simulación divisor CML con resistencias.

6.3.3.5.2. Divisor entre dos con latches utilizando cargas activas

Las cargas activas se realizan a base de transistores PMOS [19]. A estos transistores se les puentean la puerta con el drenador (ver Figura 6.40).

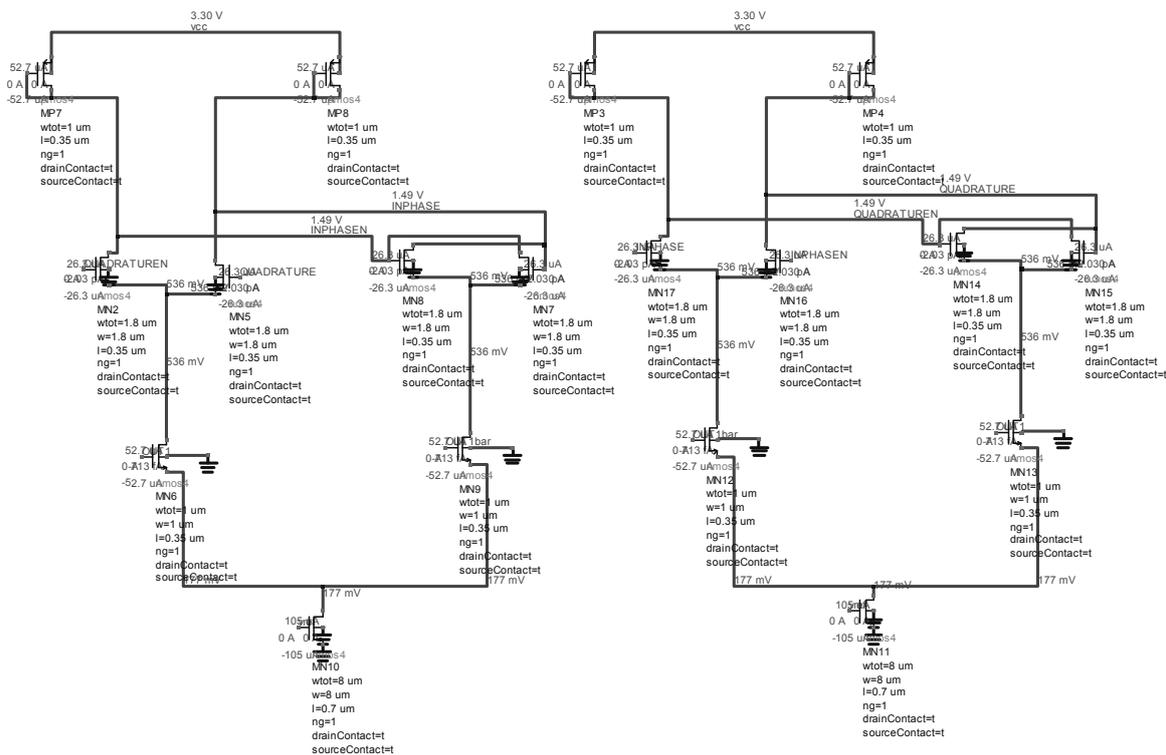


Figura 6.40. Esquemático divisor CML con cargas activas.

Para el ajuste se varían las relaciones de los transistores de estas cargas, dando el mejor resultado los de la Tabla 6.11.

Tabla 6.11. Valor de cargas activas de los latch

Ancho del MOSFET tipo P	1 μm
Longitud puerta del MOSFET tipo P	0,35 μm

En la Figura 6.41 se puede observar que para el caso de la frecuencia mayor a generar, a la salida se obtiene una señal más sinusoidal que con resistencias, interesándonos este suceso.

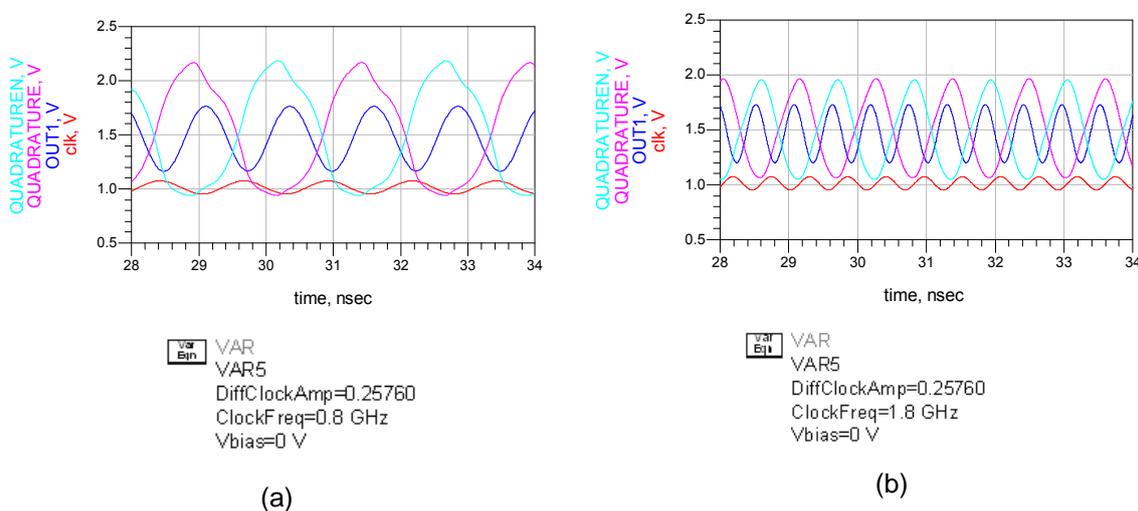


Figura 6.41. Simulación divisor CML con cargas activas; (a) freq. menor, Vpp menor, (b) freq. mayor, Vpp menor.

6.3.3.6. Generación de I-Q mediante el divisor entre dos

El esquema utilizado para la generación de las señales en fase y en cuadratura es el de la Figura 6.40. Al divisor entre dos, diseño del apartado anterior, se le añaden nombres a las salidas de los latch, tanto a la señal de fase como a la de cuadratura. Una vez tenemos marcadas las salidas se comprueba que el desfase de la salida es el correcto.

El grado de desfase lo calculamos cogiendo un periodo de la señal en fase. A esta señal se le ha de restar el desfase respecto a la señal en cuadratura. El resultado nos tiene que dar un valor muy próximo a los 90°. Se calcula mediante marcadores, para

representarlo directamente se tiene que representar en el eje X la amplitud y en el eje Y el tiempo.

La señal en fase es diferencial y se representa con los nombres de *INPHASE* e *INPHASEN*, mientras que la señal en cuadratura la obtenemos con el nombre de *QUADRATURE* y *QUADRATUREN*.

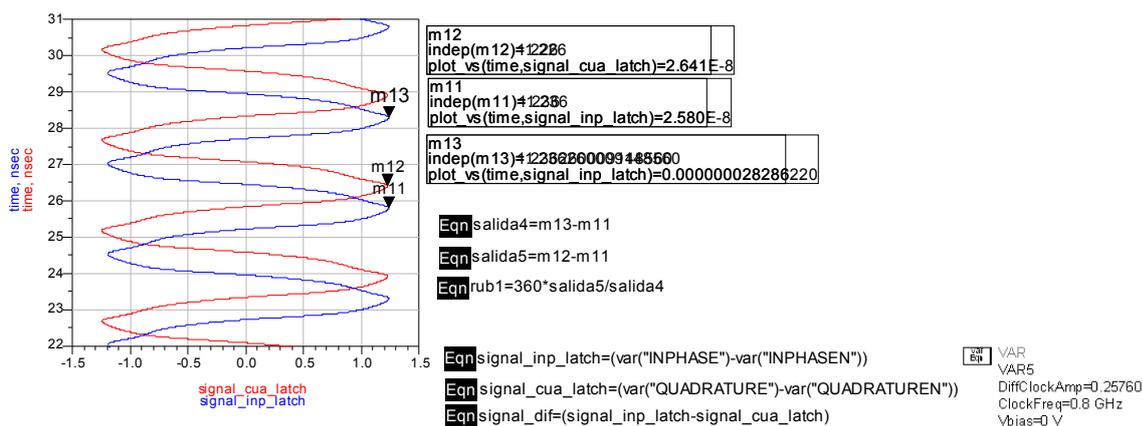


Figura 6.42. Simulación del grado de desfase en el divisor.

En la Tabla 6.12 se representan los ángulos de desfase para los diferentes extremos que se pueden encontrar. Se puede considerar que el desfase es bueno no siendo mayor a un grado en ningún momento.

Tabla 6.12. Desfase I sobre Q para los márgenes de actuación del VCO

Frecuencia del VCO (GHz)	Vpp (mV)	Frecuencia se salida del divisor (GHz)	Desfase (grados)
0,8	257,6	0,4	89,820
	340	0,4	89,855
1,8	257,6	0,9	90,405
	340	0,9	90,081

6.3.3.7. Buffer de salida

La etapa del divisor por dos no es óptima para dar por ella misma potencia de salida por lo que si la cargamos demasiado no realizaría su propósito de divisor. Es necesaria una etapa de *buffer* para cada señal diferencial, en fase y en cuadratura, [26].

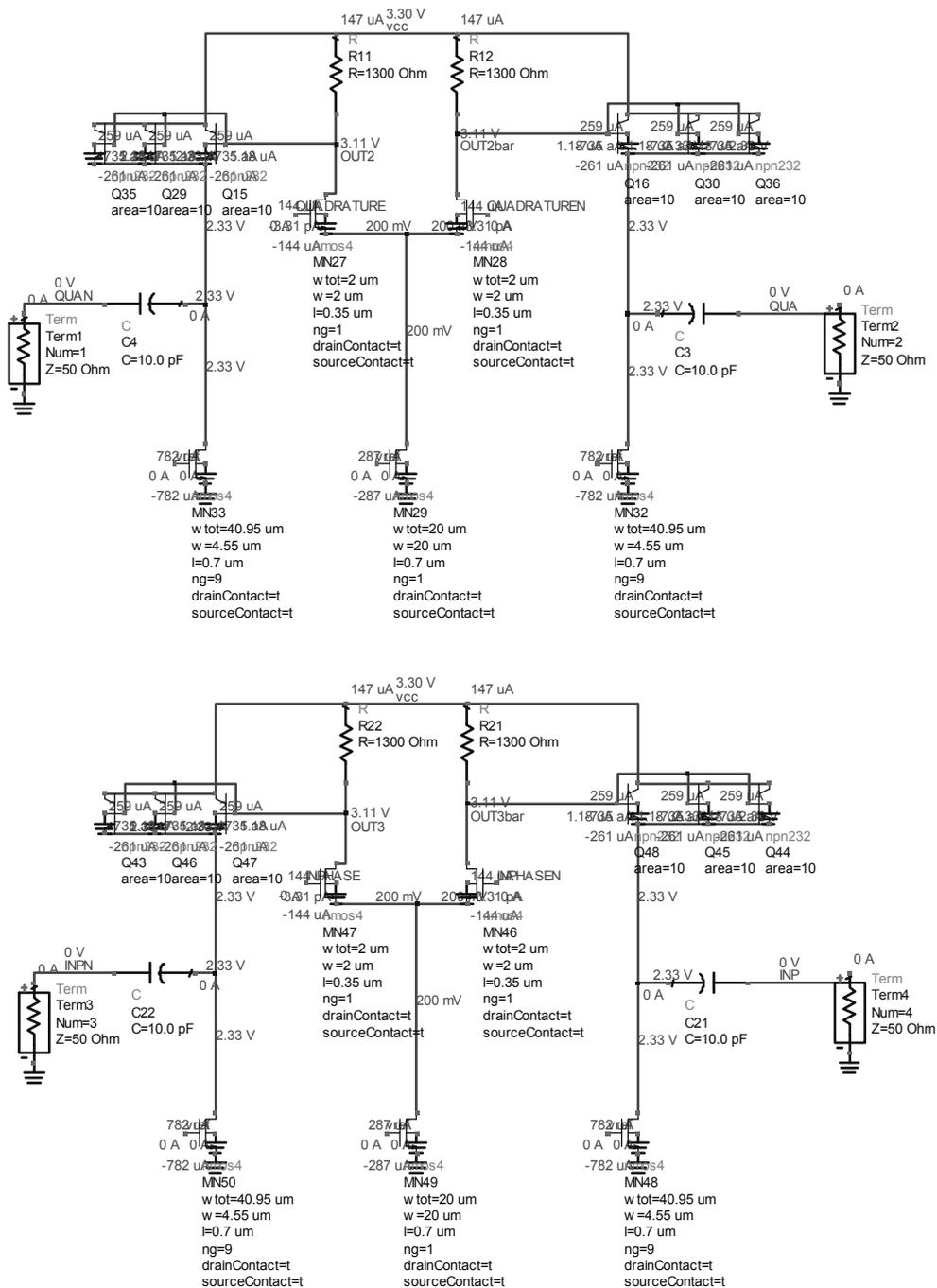


Figura 6.43. Esquemático de los buffers de salida.

En la Figura 6.43 se observan los *buffers* de salida utilizados. Estos se realizan con una etapa diferencial cada uno a los que se le enganchan las señales diferenciales de fase para un *buffer* y de cuadratura para el otro. Cada salida se engancha a una siguiente etapa en configuración de seguidor de emisor para que el enganche se produce en la base de un bipolar.

La corriente de base podrá ser alta siendo en función de la corriente que pasa por la fuente de corriente y la resistencia. La corriente de base se aumentará por la β del transistor para suministrar corriente a la salida del *buffer*. Los condensadores son responsables de desacoplar la continua.

6.3.3.7.1. Adaptación de impedancia

El siguiente bloque a enganchar al *buffers* son unos mezcladores que están adaptados a 50 Ω . Por lo tanto la salida del *buffer* también se ha de adaptar a este valor.

Se ha ajustado la fuente de corriente y las resistencias del par diferencial a la vez que si incrementamos el número de transistores bipolares en paralelo se mejora la potencia de salida del *buffer*.

La simulación se realizará con un análisis de parámetros *S*.

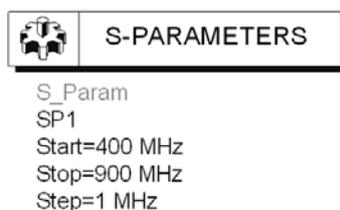


Figura 6.44. Componente de un análisis de parámetros *S*.

Una buena adaptación se puede conseguir poniendo un condensador de valor 40pF. Este valor es muy alto para ser integrable ya que el valor mayor que se puede integrar está alrededor de 10pF. Con el valor de 10pF no es posible adaptarlo perfectamente aunque funciona razonablemente.

La adaptación de impedancia se realiza haciendo una simulación de parámetros *S* entre las frecuencias de funcionamiento del *buffer*.

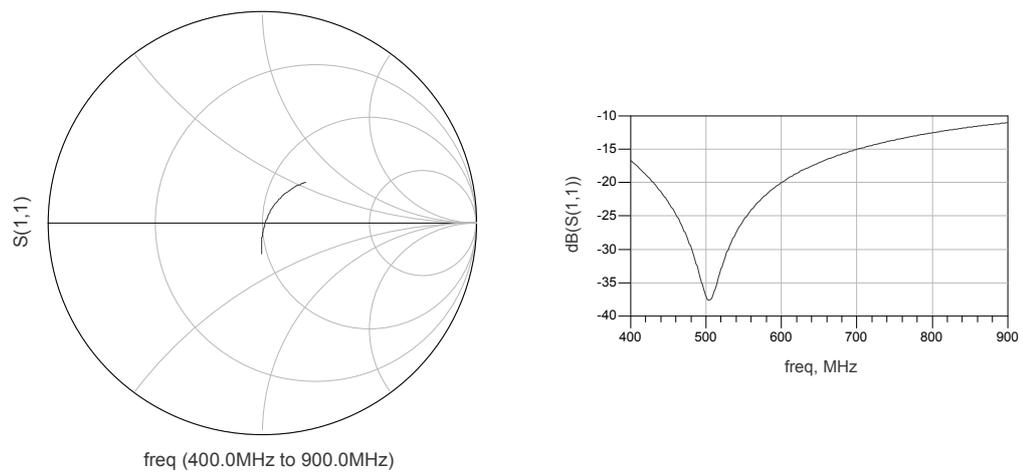
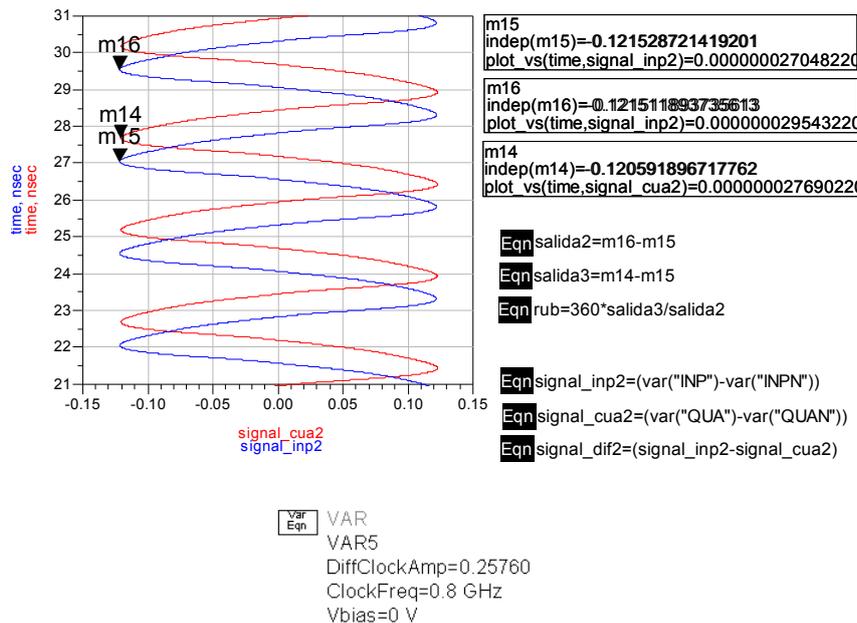


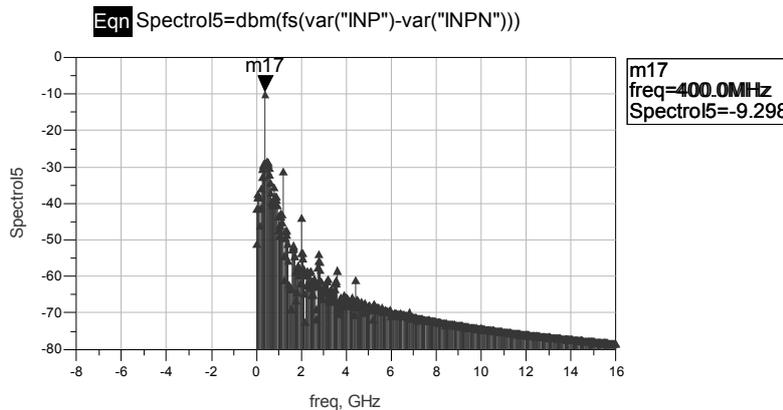
Figura 6.45. Adaptación del *Buffer* de salida.

6.3.3.7.2. Desfase y potencia de salida

La potencia de salida del *buffer* viene condicionada por la adaptación de impedancia que realicemos. Por lo tanto, tenemos que ir realizando los dos tipos de simulaciones a la vez. Para comprobar la potencia, a las salidas diferenciales se pasan al dominio de la frecuencia y se mide la potencia en dBm (ver Figura 6.46(b)).



(a)



(b)

Figura 6.46. Simulación del Buffer de salida; (a) desfase entre las señales, (b) potencia.

Para los distintos casos extremos, tanto el desfase como la potencia de salida se aprecian en la Tabla 6.13.

Tabla 6.13. Desfase y potencia en el *buffer* de salida

Frecuencia del VCO (GHz)	Vpp (mV)	Frecuencia se salida del divisor (GHz)	Desfase (grados)	Potencia de salida (dBm)
0,8	257,6	0,4	89,820	-9,298
	340	0,4	89,855	-8,958
1,8	257,6	0,9	90,405	-11,182
	340	0,9	90,081	-10,978

6.3.3.8. Buffer adaptador al bloque divisor programable

El posterior bloque del sintetizador es un divisor programable. Esta clase de divisor necesita de una entrada de reloj de tipo asimétrica y no diferencial como tenemos después del *buffer* de salida. Hay que tener en cuenta no cargar los *latch* del divisor. Se suele denominar con el nombre de D2SE (*differential to single-ended*), [28].

La estructura a usar es un convertor de CML a CMOS (Figura 6.47). Consta de una etapa diferencial donde una rama tiene un transistor en forma de carga activa. A la otra rama se le incorpora también un transistor con el que se fija el nivel máximo de excursión a su salida. La salida del diferencial se reconstruye con una etapa de inversor para tener una señal limpia en forma de señal digital. Hay que tener en cuenta que la fuente de corriente de esta etapa no tiene que suministrar una excesiva corriente pero si una corriente mínima para suministrarle al siguiente inversor y reconstruir la señal a los niveles óptimos.

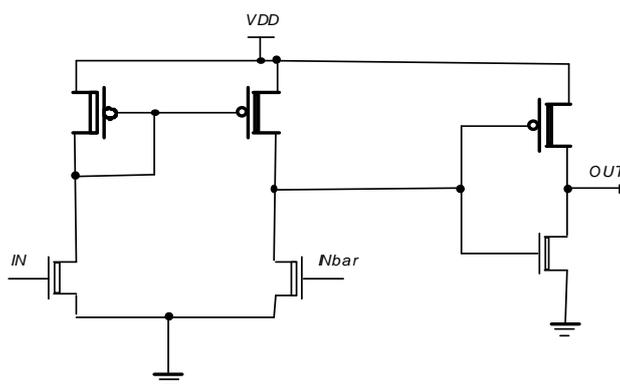


Figura 6.47. Configuración convertor CML a CMOS.

Las señales de control de las etapas diferenciales son por una parte *INPHASE* y por la otra *INPHASEN*. En nuestro caso se ha decidido incorporarle a las señales de control también las señales de *QUADRATURE* y *QUADRATUREN* debido a la vista de la posible carga en mayor parte de unas salidas del *latch* más que de la otra etapa de salida.

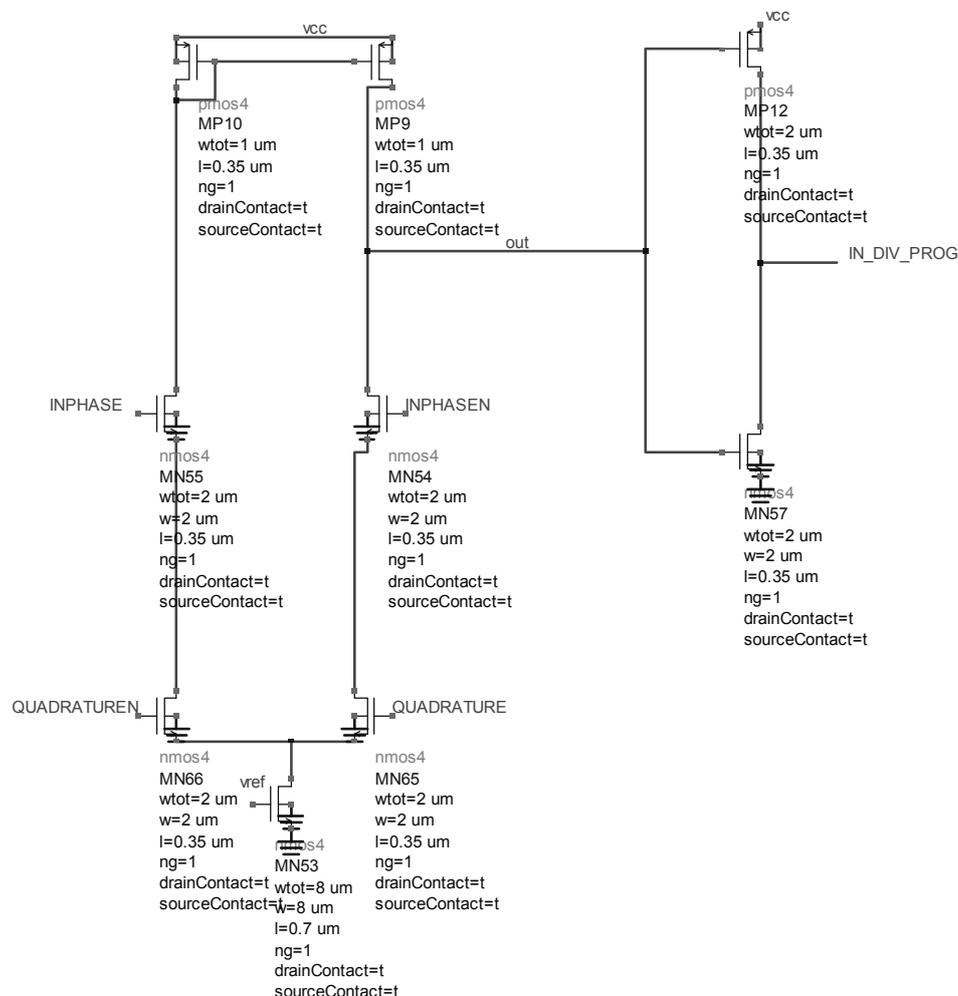


Figura 6.48. Esquemático del convertor de CML a CMOS.

En la Figura 6.49 se comprueba que la salida da una señal de forma digital donde las entradas son *INPHASE*, *INPHASEN*, *QUADRATURE* y *QUADRATUREN*; la salida de la célula diferencial es *out*; y la salida hacia el divisor programable es *IN_DIV_PROG*. Con ella se puede atacar a la entrada del divisor programable.

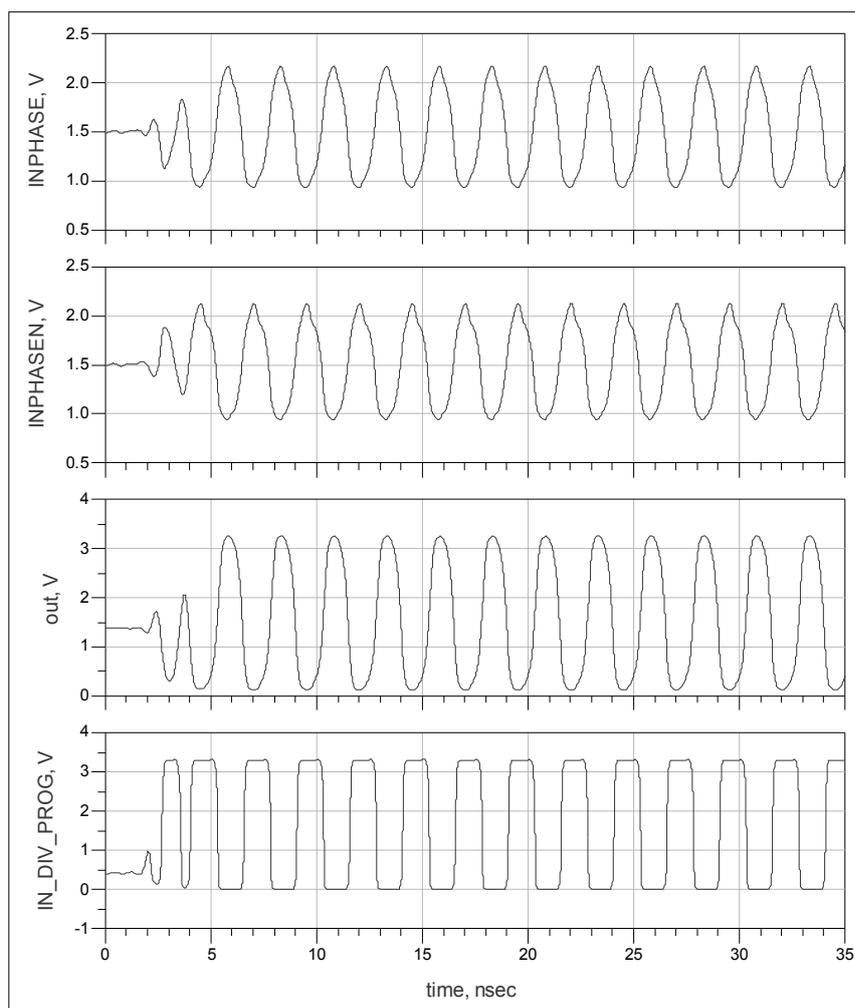


Figura 6.49. Simulación del conversor CML a CMOS.

6.3.3.9. Fuente de corriente

En el diseño ya se ha fijado una fuente de corriente que suministre 0,15 mA. De este punto se realizará un espejo de corriente a los demás componentes del diseño.

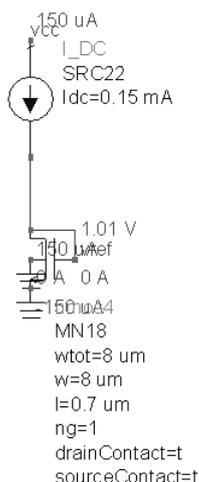


Figura 6.50. Fuente de corriente ideal.

La primera rama se ajusta a unos valores mínimos de relaciones de transistores. En la segunda rama se va ajustando para, por ejemplo, unos valores mínimos también de relaciones de transistores y se ajusta la resistencia, para un ajuste algo mayor se toca la relación de transistores y se sube la W del transistor MN60. Con un espejo se tiene la salida ajustada a 0,15 mA listos para las siguientes etapas.

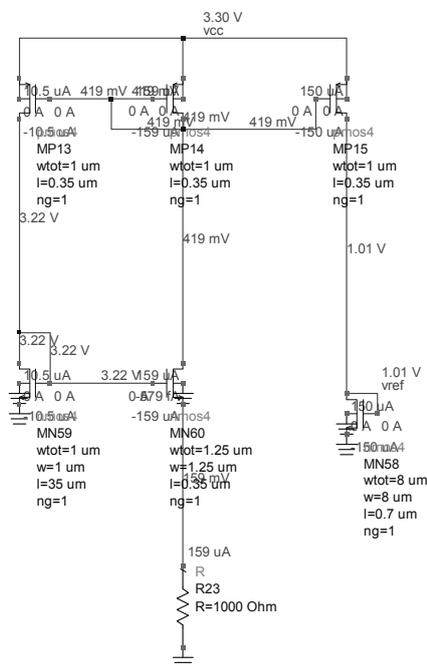


Figura 6.51. Fuente de corriente real en configuración *master bias*.

6.4. Divisor programable

En este apartado comenzamos con el estudio de la estructura del divisor programable para posteriormente abordar su diseño y simulación.

6.4.1. Estudio del divisor programable

Normalmente se utiliza un divisor programable de doble módulo que consta de un predivisor (*prescaler*) rápido, que puede dividir por $(P+1)$ y P , y dos contadores programables A y N_p de baja velocidad. N_p es mayor que A de forma que N_p se usa para un ajuste grueso, mientras que A se usa para el ajuste fino [21].

Inicialmente el *prescaler* divide por $(P+1)$, y cada vez que entrega un impulso a su salida, los contadores inicializados a N_p y A se decrementan en una unidad. Cuando A llega a cero, el *prescaler* pasa a dividir por P y así se mantiene hasta que N_p llega a su vez a cero. Seguidamente se reinician todas las variables y vuelve a empezar el proceso.

El número total de impulsos que entran en el *prescaler* por cada uno que se entrega a la salida de N_p es:

$$N = A(P+1) \text{ [para poner A a cero]} + (N_p - A)P \text{ [para llevar } N_p \text{ a cero]}$$

$$N = N_p \cdot P + A \quad (6.3)$$

La frecuencia de salida viene representada por la ecuación (6.4).

$$F_{vco} = f_c / N = f_c / (N_p \cdot P + A) \quad (6.4)$$

La estructura del divisor de doble módulo es la de la Figura 6.52.

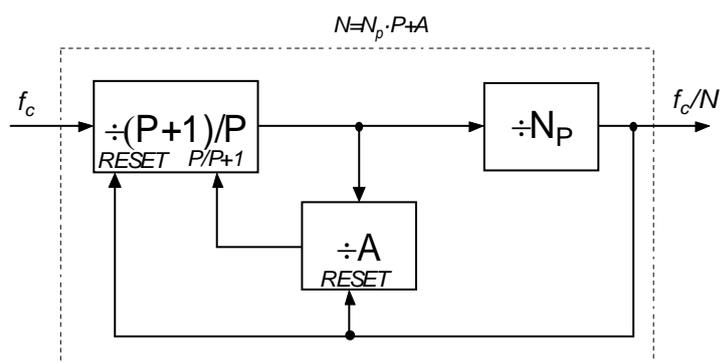


Figura 6.52. Diagrama de bloques del divisor de doble módulo.

6.4.2. Cálculo del divisor programable

Establecemos una frecuencia de salida F_{vco} igual a la f_r con valor de 2 MHz. Esta se fija mediante el cálculo manual con la ecuación (6.3), y fijando los valores de los divisores N_p y A de este divisor programable para que esta frecuencia de un número entero.

Los valores de N necesarios para generar las frecuencias del estándar varían entre 474 y 858. Si usamos un *prescaler* de 5/4 y un divisor A de 5 los valores de N_p deberán variar entre 58 y 106.

En la Tabla 6.14 se muestran los valores que toman N_p y A para conseguir las frecuencias requeridas del sintetizador. También se limitan las frecuencias de cada sub-banda debidas a los valores que se escogen a consecuencia de la descarga de la batería junto a la necesidad de que siga funcionando.

Tabla 6.14. Valores del divisor programable

Sub-bandas	Frecuencia de salida del sintetizador f_o (MHz)	Frecuencia para el estándar DVB-H = Frecuencia de salida del divisor rápido $f_o / 2 = f_c$ (MHz)	Valor del divisor programable $N=4 \cdot N_p + A$	Valor del divisor A	Valor del divisor N_p
Sub-banda 5	948	474	237	5	58
	964	482	241	5	59
	980	490	245	5	60
	996	498	249	5	61
	1012	506	253	5	62

Sub-banda 4	1028	514	257	5	63
	1044	522	261	5	64
	1060	530	265	5	65
	1076	538	269	5	66
	1092	546	273	5	67
	1108	554	277	5	68
Sub-banda 3	1124	562	281	5	69
	1140	570	285	5	70
	1156	578	289	5	71
	1172	586	293	5	72
	1188	594	297	5	73
	1204	602	301	5	74
	1220	610	305	5	75
	1236	618	309	5	76
Sub-banda 2	1252	626	313	5	77
	1268	634	317	5	78
	1284	642	321	5	79
	1300	650	325	5	80
	1316	658	329	5	81
	1332	666	333	5	82
	1348	674	337	5	83
	1364	682	341	5	84
	1380	690	345	5	85
	1396	698	349	5	86
	1412	706	353	5	87
Sub-banda 1	1428	714	357	5	88
	1444	722	361	5	89
	1460	730	365	5	90
	1476	738	369	5	91
	1492	746	373	5	92
	1508	754	377	5	93
	1424	762	381	5	94
	1540	770	385	5	95
	1556	778	389	5	96
	1572	786	393	5	97
	1588	794	397	5	98
	1604	802	401	5	99

	1620	810	405	5	100
	1634	818	409	5	101
	1652	826	413	5	102
	1668	834	417	5	103
	1684	842	421	5	104
	1700	850	425	5	105
	1716	858	429	5	106

6.4.3. Estudio del prescaler 5/4

El diagrama esquemático del *prescaler* rápido 5/4 síncrono se muestra en la Figura 6.53. Está formado por *flip-flops* y lógica adicional. Tiene una entrada de reloj (*clock*), una entrada de control para el cambio de división (*MODE*), dividiendo por 4 o por 5 mediante el estado lógico en que se encuentre (por 4 si *MODE*=1 y por 5 si *MODE*=0). La salida es la señal *OUT5_4*.

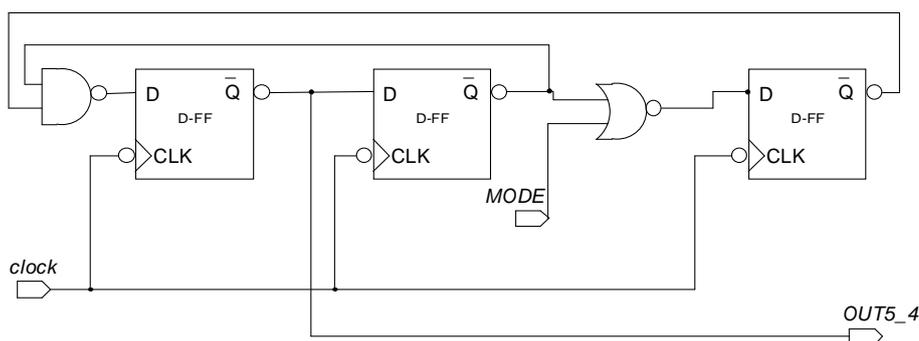


Figura 6.53. Diagrama de bloques del prescaler rápido 5/4.

Si queremos utilizar la estructura tal cual la encontramos en el estudio teórico tenemos que poseer en las estructuras de los correspondientes divisores, unas entradas de *Reset*. Las estructuras se construirán con *flip-flops* tipo D (D-FF), los cuales tienen que ser relativamente rápidos, sobre todo los que integran el *prescaler*. Estos tienen que dividir la frecuencia de entrada y deben poseer entradas de *Reset* que actúen rápidamente.

6.4.4. Diseño y simulación del divisor programable

Se realizará el estudio detallado y el diseño del *prescaler* 5/4 ya que es un divisor rápido. Los otros divisores de baja velocidad se realizan en esta apartado para todos los canales, pero en el diseño final a nivel de *layout* tenemos que tomar decisiones ya que no disponemos de entradas suficientes si se quiere fabricar.

Los divisores que integran el divisor programable se van a realizar con una estructura síncrona, para que la frecuencia de salida sea lo más exacta posible y sin retardos.

6.4.4.1. Funcionamiento del divisor programable

Primeramente tenemos el *prescaler* rápido dividiendo entre 5 la señal de entrada, con la señal $MODE=0$. A las siguientes etapas de división A y N_p les llegará un tren de pulsos proveniente del *prescaler*. Sabemos que A es menor que N_p , por lo tanto, cuando le lleguen tantos pulsos como el valor cargado en A , en este caso igual a 4, la salida del divisor fijo A cambia de estado, produciendo una señal al estado lógico '0'. Este estado del divisor A se aprovecha como el encargado de cambiar la señal $MODE$ a nivel alto del *prescaler* rápido, por lo tanto en este momento divide entre 4 la frecuencia de reloj. Este mismo estado será el encargado de conmutar un multiplexor, que se ha añadido como lógica, que se encarga de suministrarle las entradas correspondientes al divisor A . Este último paso es porque a partir de esa cuenta ya no podemos seguir introduciéndole ciclos de reloj hasta que le demos la señal de *Reset*.

A partir de aquí el encargado de finalizar la cuenta será el divisor N_p . Cuando le entren (N_p-1) ciclos de reloj, seguidamente generamos una señal de *Reset*. Hay que tener en cuenta la peculiaridad de que los D-FF se resetean cuando le llegue el siguiente ciclo de reloj. Por lo tanto la cuenta final de N_p será la de la precarga $(N_p - 1)$ más 1. Así después del reseteo comienza a contar otra vez.

Finalmente usamos un *prescaler* de 5/4. El divisor A tendrá una precarga fija de 4, ya que al hacer el *Reset* se pierde un ciclo. Para obtener N_p introduciremos una precarga de

$(N_p - 1)$, para tener en cuenta el ciclo de *Reset* que también se pierde. La estructura final del divisor de doble módulo viene representada por la Figura 6.54.

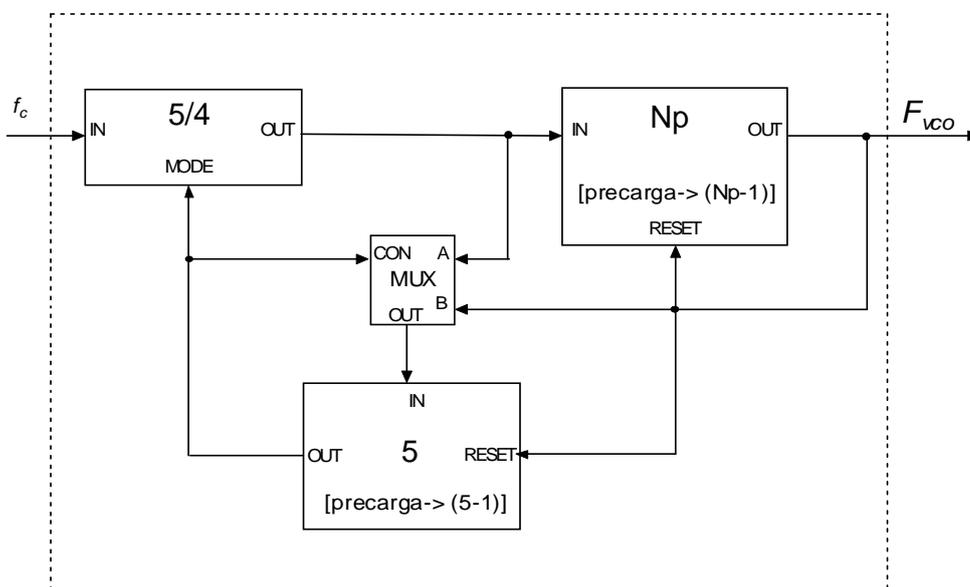


Figura 6.54. Diagrama de bloques final del divisor programable.

6.4.4.2. Diseño de bloques por separado

Primeramente se diseña cada bloque individualmente. El diseño de estos bloques se ha realizado en *Cadence* a nivel de esquemático pero se ha simulado en AMS con ayuda de la herramienta de interacción del *Dynamic Link*.

6.4.4.2.1. Prescaler 5/4

En la Figura 6.55 se muestra el esquema completo del *prescaler* 5/4. Se han unido tres *flip-flops* tipo D y transistores adicionales que hacen de lógica adicional necesaria.

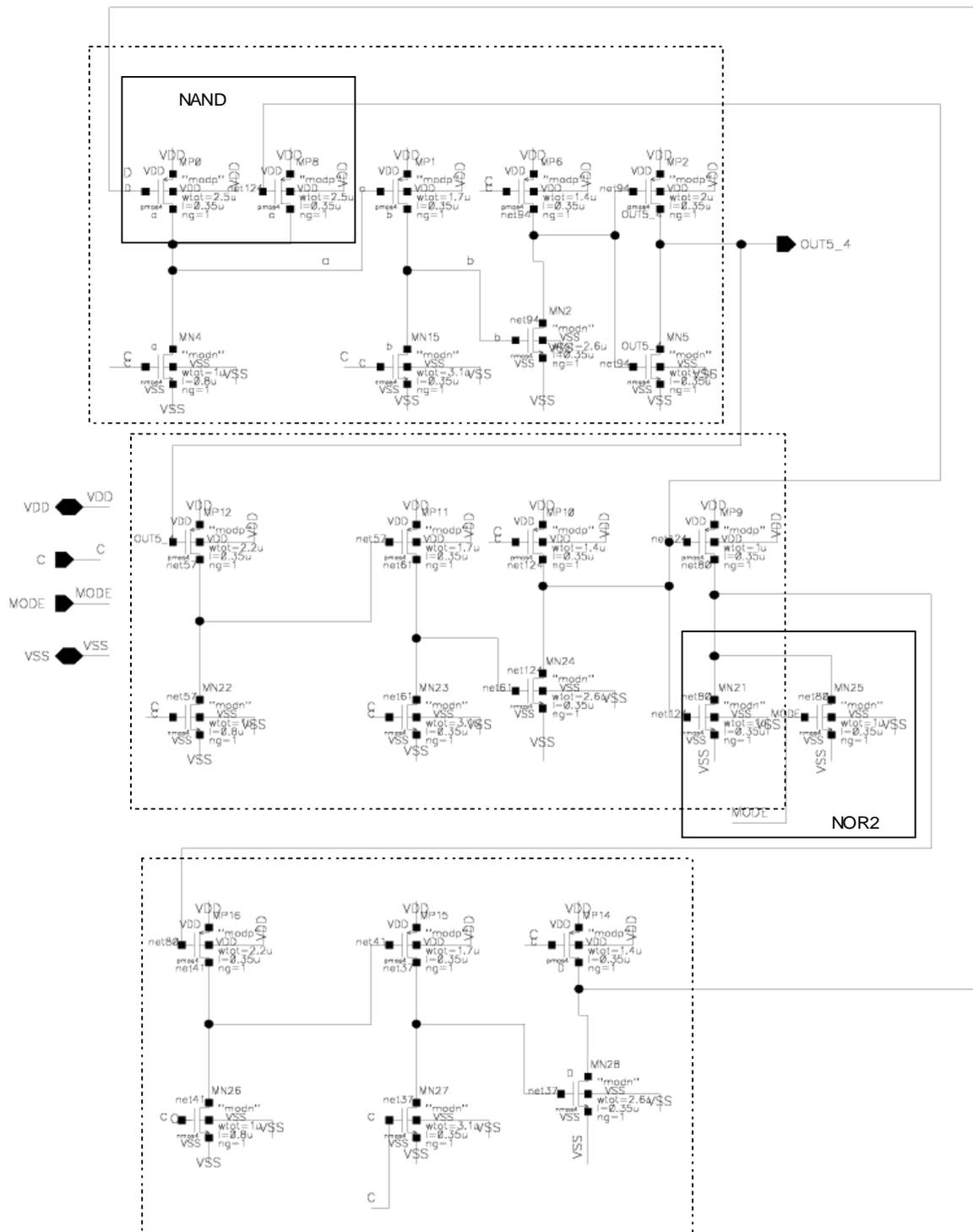


Figura 6.55. Esquema a nivel de transistores del prescaler rápido 5/4.

6.4.4.2.2. Divisor fijo A

El divisor fijo está compuesto básicamente por un contador síncrono de 3 bits. En este caso la división es fija por un valor, la señal de salida de este divisor se comparará en una NOR3 por el número que se quiere dividir, cuando lo alcanza se genera la señal de final de cuenta, con la señal *endc5*.

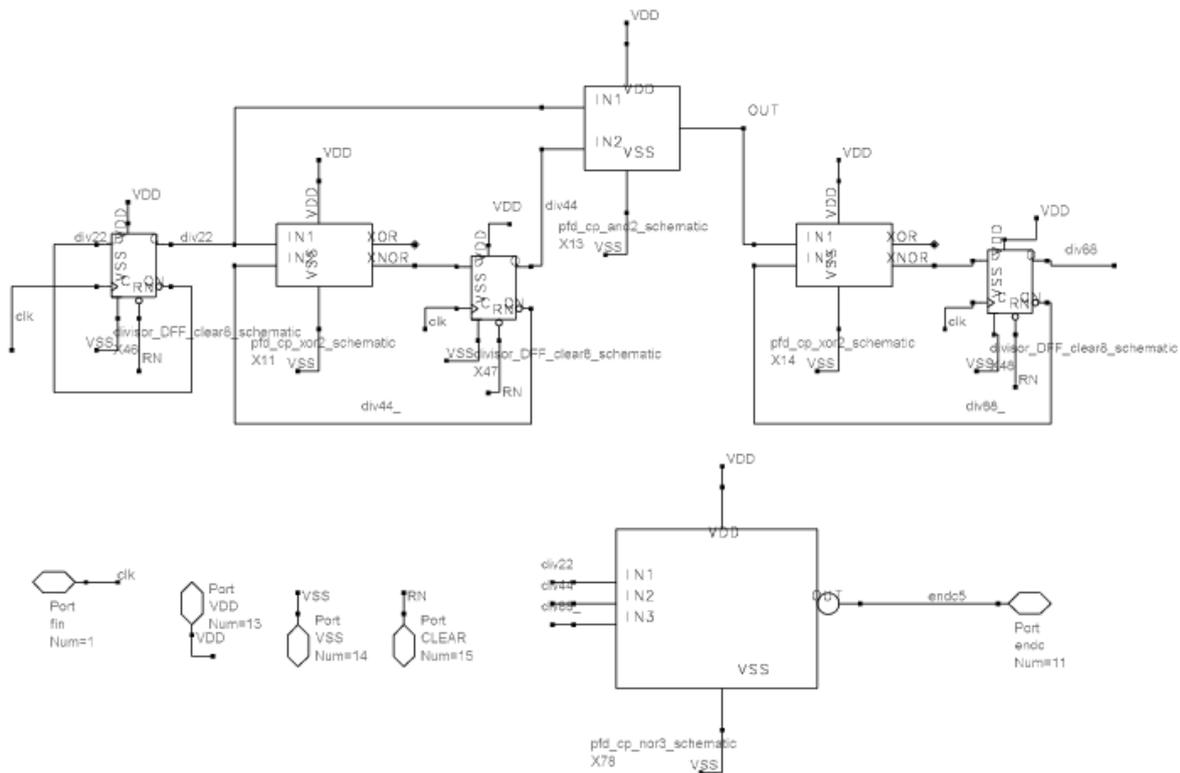


Figura 6.56. Esquemático del divisor por A.

6.4.4.2.3. Divisor programable Np

Este divisor programable está compuesto por un contador síncrono de 7 bits que puede llegar a dividir hasta 128. Posee 7 multiplexores para controlar el valor que se va a dividir. La salida negada y no negada de cada bit del contador está conectada a un multiplexor cuya entrada de selección indica cual de las salidas se va a elegir. Cuando todas las salidas de los multiplexores están al estado lógico '0' significa que ya se ha llegado a la cuenta indicada por los bits de datos y se activa la señal de *reset*. Esta comparación se realiza con varias puertas lógicas.

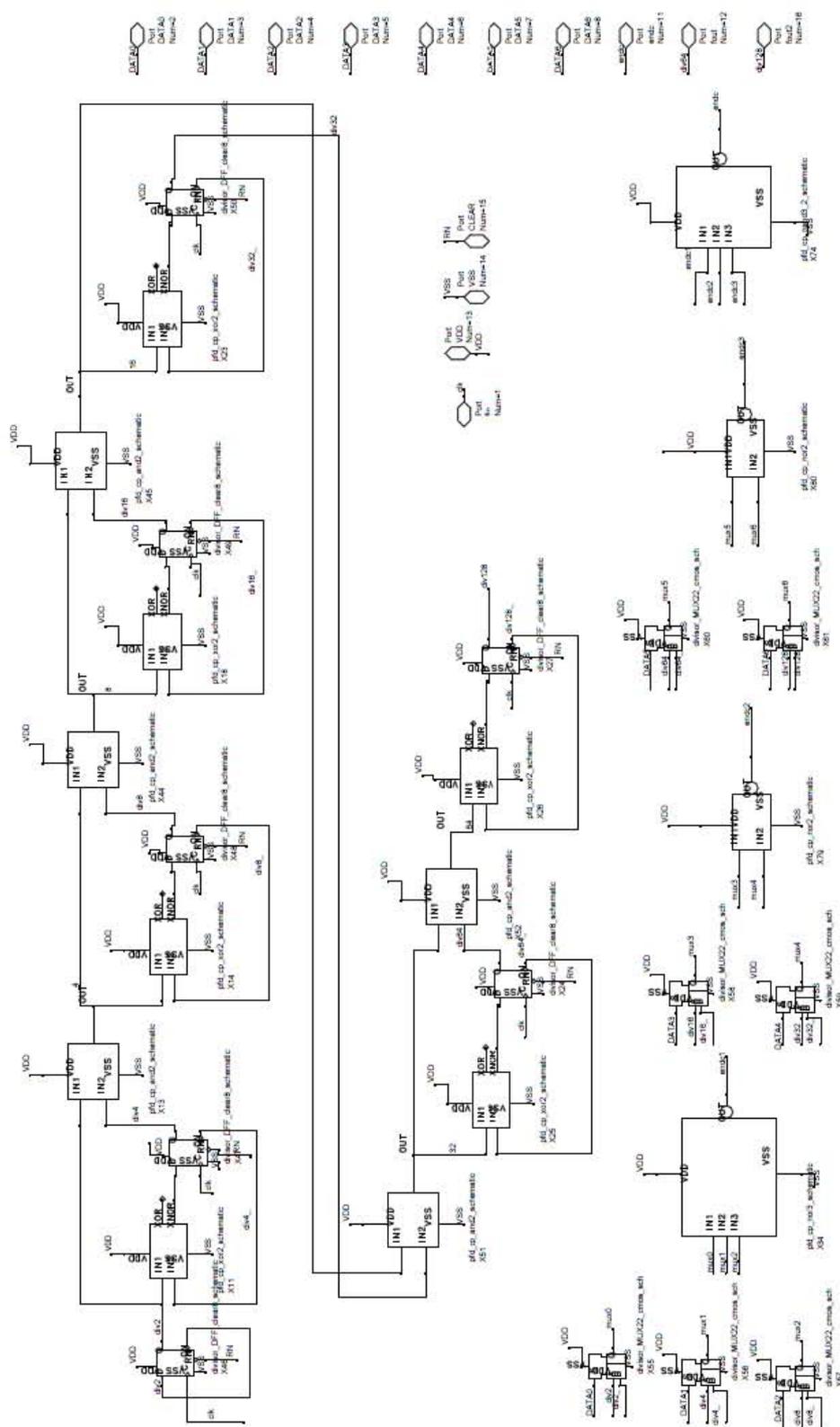


Figura 6.57. Diagrama esquemático del divisor programable Np.

6.4.4.3. Lógica adicional

El esquemático utilizado para el diseño de los bloques divisores anteriores se muestra de las Figuras 6.58 a 6.64.

Los *flip-flops* utilizados en la estructura son implementados utilizando la técnica *Extended-True Single Clock* (E-TSPC) [29]. Estos D-FF son sensibles al flanco de bajada. Las entradas de *Reset*, incorporadas a cada uno, en realidad es una puerta nand2 con la entrada *D* del *flip-flop*, por lo que en el siguiente flanco de bajada de reloj que detecta se realiza el reseteo en la salida del FF.

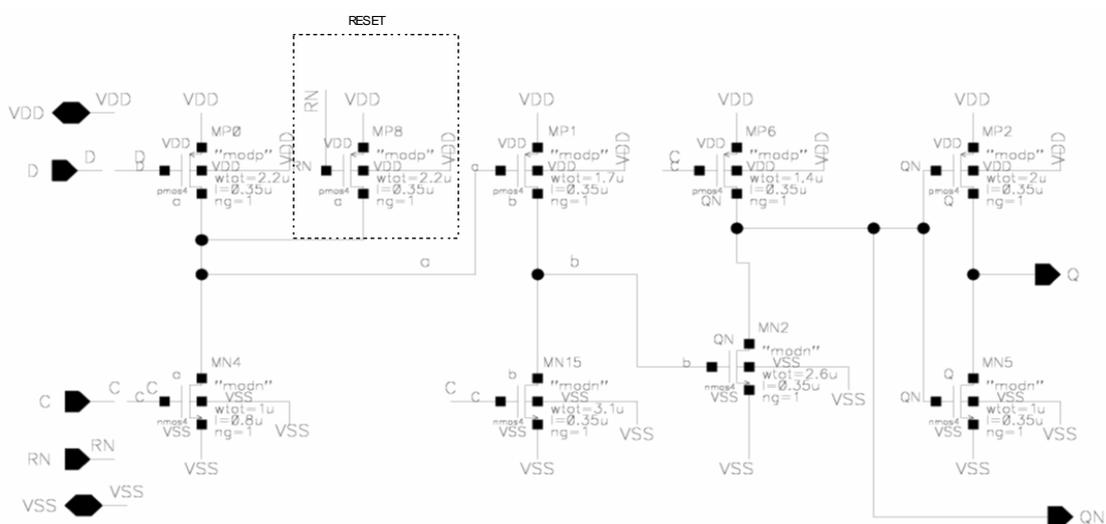


Figura 6.58. Esquema a nivel de transistores del *flip-flop* tipo D, con estrada de reset.

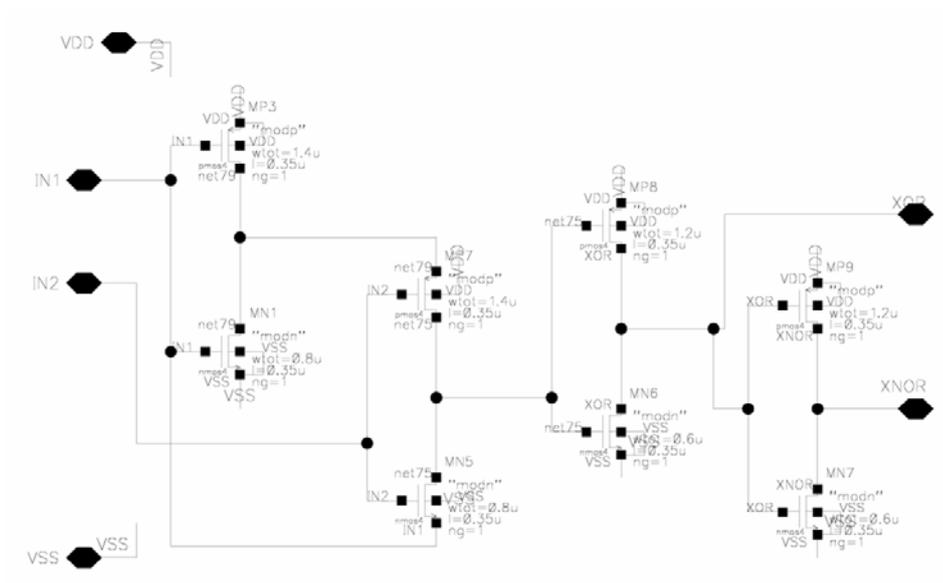


Figura 6.59. Esquema a nivel de transistores de la XOR.

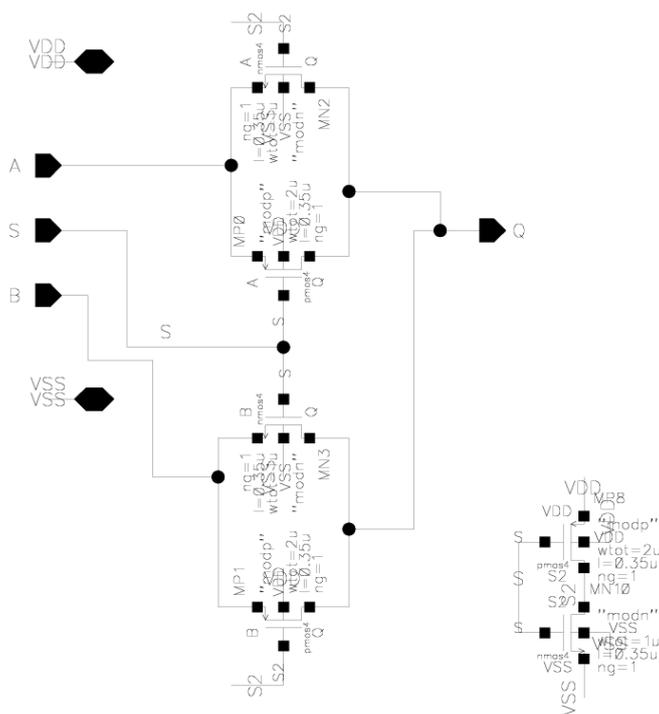


Figura 6.60. Esquema a nivel de transistores del multiplexor.

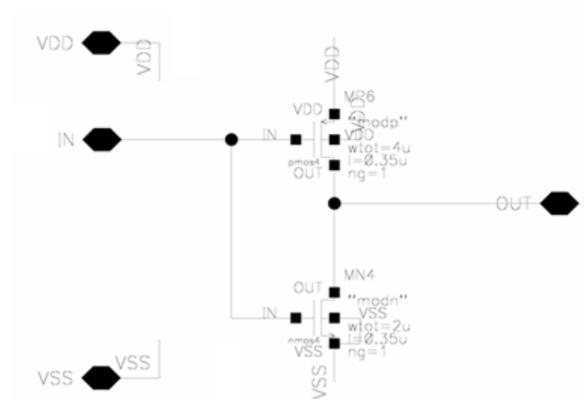


Figura 6.61. Esquema a nivel de transistores del inversor (inv).



Figura 6.62. Esquema a nivel de transistores de la nor2.

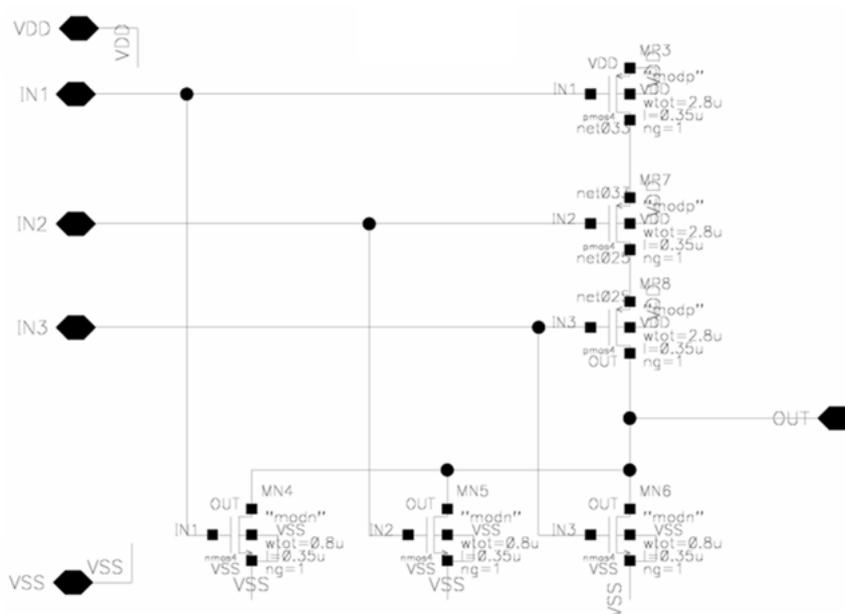


Figura 6.63. Esquema a nivel de transistores de la nor3.

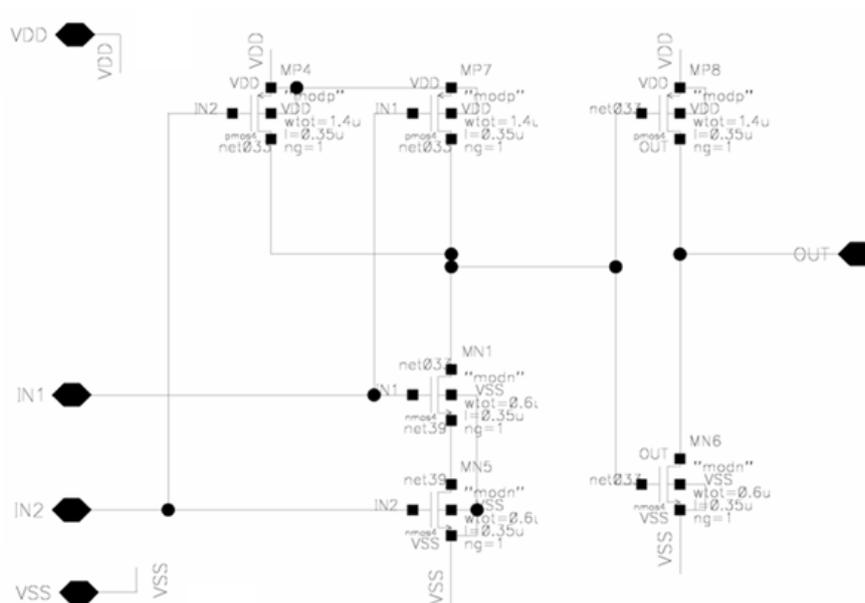


Figura 6.64. Esquema a nivel de transistores de la and2.

6.4.4.4. Prueba del divisor de doble módulo

En la Figura 6.65 se expone el esquema completo del divisor programable.

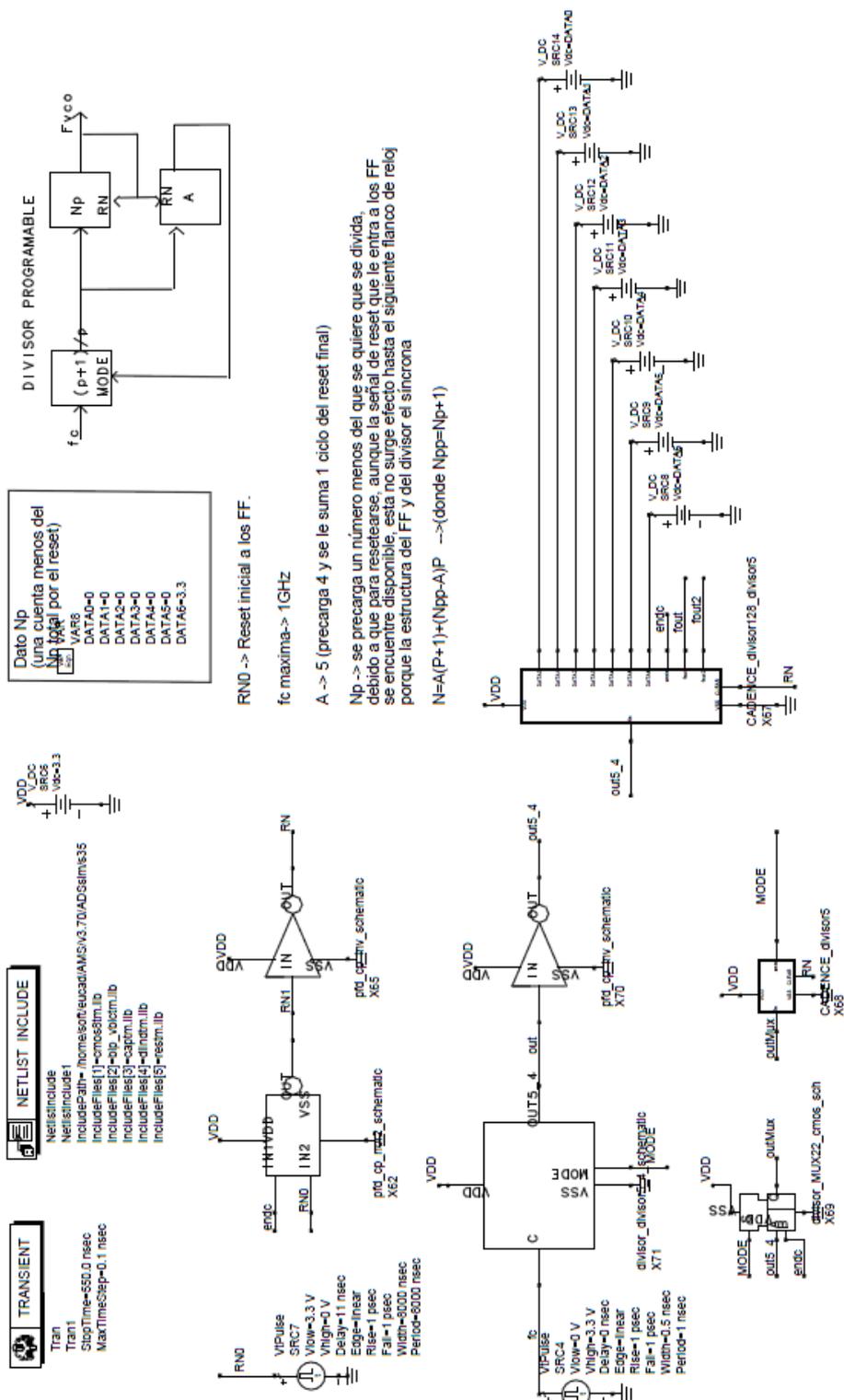


Figura 6.65. Test del divisor de doble módulo.

Para realizar el test del divisor programable la señal de entrada es de 1 GHz. Se ha precargado en el divisor programable un 64 (1000000b). Por lo tanto:

- $N_p=65$ (64 precarga +1)
- $A=5$ (4 precarga +1)

Según la ecuación (6.3) tenemos que:

$$N = 5 \cdot 5 + (65 - 5)4 = 265 \tag{6.5}$$

En la Figura 6.66 vemos como la señal de salida está dividida por 265, es decir, la salida tiene un periodo de 265 ns.

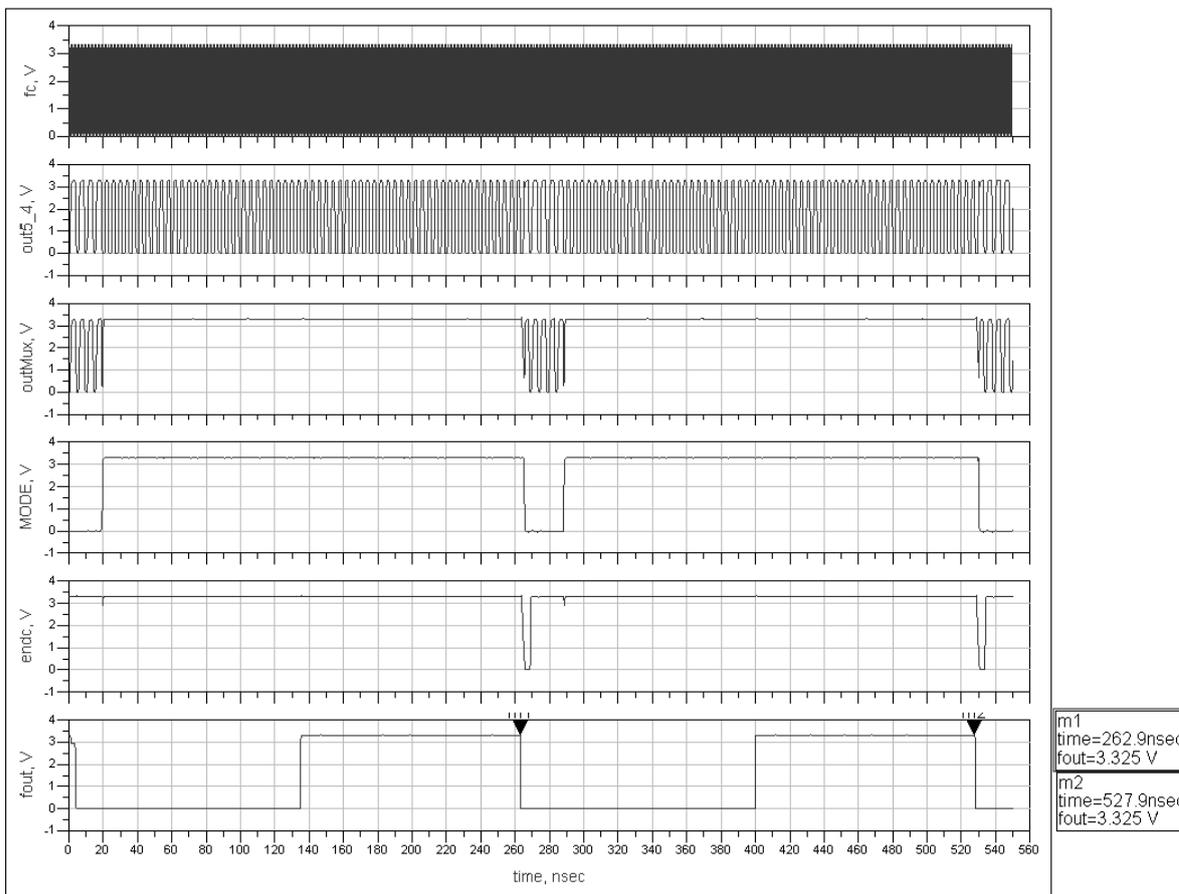


Figura 6.66. Simulación del divisor programable.

6.5. Filtro de bucle

En este apartado se realiza una introducción sobre la estabilidad de los filtros. Seguimos con el estudio del filtro a usar, un filtro pasivo de tipo 2 y orden 3.

6.5.1. Introducción

El filtro de bucle es elemento principal a considerar cuando se pretende analizar la estabilidad del lazo. Una vez diseñados los principales elementos del PLL, como el bombeo de carga o el oscilador principalmente, la estabilidad del PLL se puede asegurar sólo con los parámetros del filtro.

El filtro que se va a implementar es para un PLL tipo 2 debido a que dichos PLL poseen un error de fase y de frecuencia igual a cero. Para realizar el diseño se parte de las especificaciones de los demás elementos del sintetizador que son:

- K_v : constante del VCO expresada en MHz/V.
- K_d : constante del detector de fase.
- f_r : frecuencia de referencia.
- N : factor de división.

La Figura 6.67 presenta el modelo de PLL lineal con el cual sacaremos las ecuaciones del cálculo del filtro.

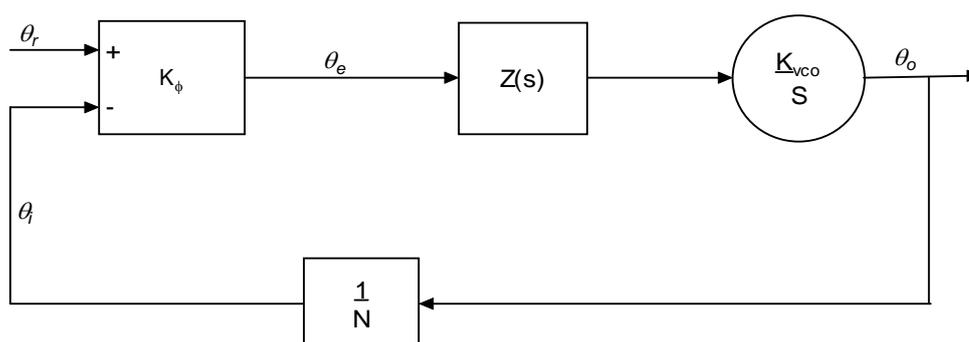


Figura 6.67. Modelo PLL lineal.

Para este sistema, las funciones de transferencia son las siguientes:

$$G(s) = \frac{\theta_o}{\theta_e} \quad (6.6)$$

$$H(s) = \frac{\theta_i}{\theta_o} = \frac{1}{N} \quad (6.7)$$

Ganancia en lazo abierto:

$$H(s) \cdot G(s) = \frac{\theta_i}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{vco}}{N \cdot S} \quad (6.8)$$

Ganancia en lazo cerrado:

$$\frac{\theta_o}{\theta_r} = \frac{G(s)}{1 + H(s) \cdot G(s)} \quad (6.9)$$

El método para el diseño de filtros para PLL más generalizado es el método de la ganancia en lazo abierto y el margen de fase [30].

El margen de fase (Φ_p) se define como la diferencia entre 180° y la fase del bucle en lazo abierto para $\omega = \omega_p$, siendo ω_p la frecuencia para ganancia 0 dB de la función de transferencia en lazo abierto. Normalmente el margen de fase suele elegirse entre 30° y 70° . Por esta razón el valor elegido para empezar los cálculos ha sido 45° . En la Figura 6.68 se puede ver la representación gráfica de Φ_p y ω_p .

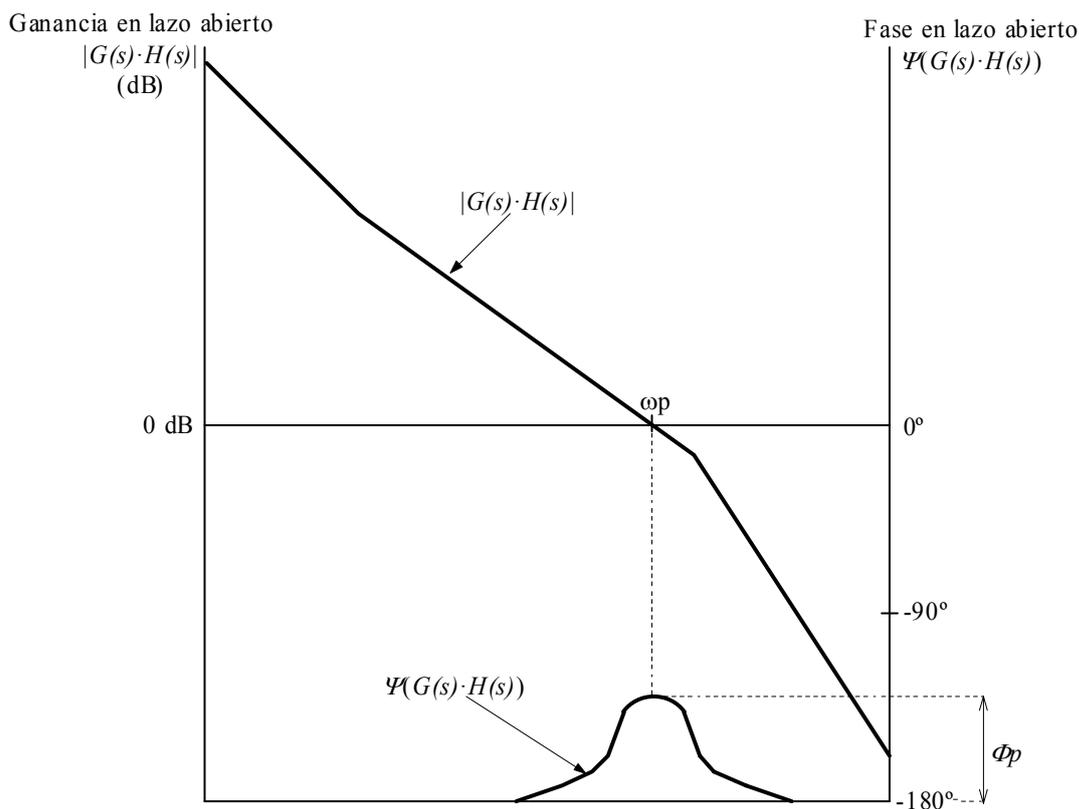


Figura 6.68. Diagrama de bode de la respuesta en lazo abierto del bucle.

A continuación se va a describir, basándonos en el método del margen de fase, el diseño de los filtros para el sintetizador.

6.5.2. Estudio de un filtro pasivo de tipo 2 y orden 3

El esquema del filtro es el de la Figura 6.69 (ver referencia [30]).

Se compone de un filtro de segundo orden ($C1, C2, R2$) y un polo extra ($C3, R3$) para atenuar espurios, que lo convierte en tercer orden.

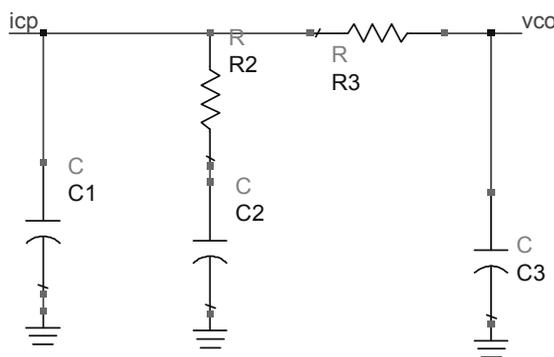


Figura 6.69. Filtro pasivo de tipo 2 y orden 3.

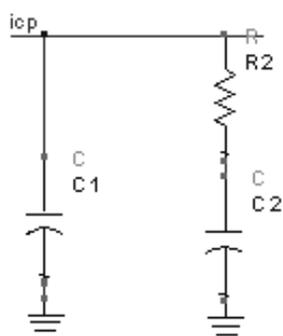


Figura 6.70. Filtro pasivo de tipo 2 y orden 2.

La función de transferencia del filtro de 2º orden de la Figura 6.70 es:

$$F(s) = \frac{s(C2 \cdot R2) + 1}{s^2(C1 \cdot C2 \cdot R2) + sC1 + sC2} \quad (6.10)$$

Añadiendo las constantes K_v , K_d y N obtenemos la función de transferencia del lazo cerrado $G(s) \cdot H(s)$ (6.11), donde podemos ver que la fase es dependiente del polo y del cero:

$$G(s) \cdot H(s) \Big|_{s=j\omega} = \frac{-K_v \cdot K_d (1 + j\omega \cdot T2)}{\omega^2 C1 N (1 + j\omega \cdot T1)} \cdot \frac{T1}{T2} \quad (6.11)$$

Donde:

$$T1 = R2 \cdot \frac{C1 \cdot C2}{C1 + C2} \quad (6.12)$$

$$T2 = R2 \cdot C2 \quad (6.13)$$

El margen de fase se determina con la siguiente ecuación:

$$\phi(\omega) = \tan^{-1}(\omega T2) - \tan^{-1}(\omega T1) + 180^\circ \quad (6.14)$$

Se hace que la derivada del margen de fase sea igual a cero, obteniéndose ω_p :

$$\frac{d\phi}{d\omega} = \frac{T2}{1+(\omega T2)^2} - \frac{T1}{1+(\omega T1)^2} = 0 \quad (6.15)$$

$$\omega_p = \frac{1}{\sqrt{T2 \cdot T1}} \quad (6.16)$$

Para asegurar la estabilidad, el margen de fase lo escogemos de 45° cuando la magnitud del lazo abierto sea igual a uno.

$$C1 = \frac{K_v \cdot K_d \cdot T1}{\omega_p^2 \cdot N \cdot T2} \left| \frac{1 + j\omega T2}{1 + j\omega T1} \right| \quad (6.17)$$

Dado que el ancho de banda, ω_p , y el margen de fase, ϕ_p , son datos para nuestro problema, se pueden calcular las constantes de tiempo siguientes:

$$T1 = \frac{\sec \phi_p - \tan \phi_p}{\omega_p} \quad (6.18)$$

$$T2 = \frac{1}{\omega_p^2 \cdot T1} \quad (6.19)$$

Para estas constantes de tiempo y el ancho de banda del lazo, ω_p , se obtienen los valores siguientes:

$$C1 = \frac{T1}{T2} \cdot \frac{K_p \cdot K_v}{\omega_p^2 \cdot N} \sqrt{\frac{1 + (\omega_p \cdot T2)^2}{1 + (\omega_p \cdot T1)^2}} \quad (6.20)$$

$$C2 = C1 \cdot \left(\frac{T2}{T1} - 1 \right) \quad (6.21)$$

$$R2 = \frac{T2}{C2} \quad (6.22)$$

El *charge pump* genera ruido en forma de corriente debido a la conmutación que en él se produce a la frecuencia de referencia (f_r). Dicho ruido puede generar bandas laterales moduladas en frecuencia a la salida de RF. Normalmente, en un sistema de RF, f_r es

múltiplo del espaciado entre canales. Estas bandas laterales pueden causar ruido en canales adyacentes. Por ello es necesario un filtrado adicional que filtre los espurios ocasionados por la f_r . Este filtrado se hace mediante $R3$ y $C3$. El valor de la atenuación y la constante de tiempo del polo adicional es la siguiente:

$$ATTEN = 20 \text{LOG}[(2\pi f_r \cdot R3 \cdot C3)^2 + 1] \quad (6.23)$$

$$T3 = R3 \cdot C3 \quad (6.24)$$

$$T3 = \sqrt{\frac{10^{ATTEN/20} - 1}{(2\pi f_r)^2}} \quad (6.25)$$

El polo adicional debe de estar por debajo de la frecuencia de referencia, para atenuar los espurios, y debe ser cinco veces mayor que el ancho de banda del bucle, para conseguir que el sistema se mantenga estable. Por lo que los valores de $T1$ y $T2$ son de nuevo calculados utilizando esta nueva definición de ω_p , a partir de ahora llamada ω_c , donde $\omega_p < \omega_c$. También se suele poner que $C3 < C1/10$ y $R3 > 2 \cdot R2$, para que $T3$ no interfiera en los polos principales.

$$T2 = \frac{1}{\omega_c^2 (T1 + T3)} \quad (6.26)$$

$$\omega_c = \frac{\tan \phi \cdot (T1 + T3)}{(T1 + T3)^2 + T1 \cdot T3} \cdot \left[\sqrt{1 + \frac{(T1 + T3)^2 + T1 \cdot T3}{[\tan \phi \cdot (T1 + T3)]^2}} - 1 \right] \quad (6.27)$$

$$C1 = \frac{T1}{T2} \frac{K_p \cdot K_v}{\omega_c^2 \cdot N} \cdot \left[\frac{(1 + \omega_c^2 \cdot T2^2)}{(1 + \omega_c^2 \cdot T1^2)(1 + \omega_c^2 \cdot T3^2)} \right]^{1/2} \quad (6.28)$$

$$C2 = C1 \left(\frac{T2}{T1} - 1 \right) \quad (6.29)$$

$$R2 = \frac{T2}{C2} \quad (6.30)$$

6.5.3. Cálculo de un filtro pasivo de tipo 2 y orden 3 externo

Tenemos cinco sub-bandas distintas, por lo que tenemos distintas constantes de detector de fase. Debido a esto tendríamos que hacer el cálculo para cada una de ellas. Al mismo tiempo, los valores del filtro deberían ser iguales para todas las sub-bandas. Esto

nos hace pensar en calcular una e intentar que se cumplan para todas las demás. Comenzamos con el cálculo manual de la primera.

Las constantes implicadas para nuestro diseño son:

- Cte. del VCO: $K_v = -105,41e+6$; (Hz/V).
- Cte. del PFD+PC: $K_d = (32,09)$; (A/rad).
- Frec. de referencia: $f_r = 2e+6$; (Hz).
- Frec. peor caso generar: $F_{menor} = 1380e+6$; (Hz).
- Cte. del divisor: $N = F_{menor} / f_r$.
- Frecuencia natural: $\omega_o = 2 \cdot \pi \cdot (20e+3)$; (rad/s).
- Margen de fase: $Tita = 45$; (grados).
- Margen de fase en radianes: $Titarad = Tita \cdot \pi / 180$; (rad).
- Atenuación: $ATTEN = 20$; (dB).

El cálculo se realiza mediante un programa realizado en *Matlab*. El programa es el siguiente:

```
%FILTRO PASIVO TIPO 2, ORDEN 3:
%obtener los valores de C1, C2, C3, R2 y R3:
%constantes
Kv=-105.41e+6;      %cte. del VCO (Hz/V)
Kd=32.09 e-6       %cte. Kd del PFD+PC (A/rad)
fr=2e+6;           %frec. de referencia (Hz)
Fmenor=1380e+6;    %frec. peor caso a generar (Hz)
N=Fmenor/fr        %cte. del divisor
wo=2*pi*(20e+3)    %frecuencia natural (rad/s)
Tita=45;           %margen de fase (grados)
Titarad=Tita*pi/180 %margen de fase (rad)
ATTEN=20           %atenuacion (dB)
```

```

% fin de ctes.
%Cálculo de los componentes:
T1=(sec(Titarad)-tan(Titarad))/wo
T3=[(10^(ATTEN/20)-1)/((2*pi*fr)^2)]^(1/2)
wc1=[tan(Titarad)*(T1+T3)]/[(((T1+T3)^2)+T1*T3)];
wc2=(1+(((T1+T3)^2+T1*T3)/[tan(Titarad)*(T1+T3)]^2)]^(1/2)-1;
wc=wc1*wc2
T2=1/[wc^2*(T1+T3)]
c11=(T1/T2)*[(Kv*Kd)/(wc^2*N)];
c12=[(1+wc^2*T2^2)/((1+wc^2*T1^2)*(1+wc^2*T3^2))]^(1/2);
C1=-(c11*c12)
C2=C1*((T2/T1)-1)
R2=T2/C2
%condiciones para C3 y R3
%R3 > 2*R2
%C3 < C1/10
C3=C1/10
R3=T3/C3
%fin programa.
    
```

El valor de los componentes obtenidos para el filtro pasivo de tipo 2 y orden 3 externo en la sub-banda1 son los de la Tabla 6.15. Se han normalizado esos valores para ajustarnos al montaje en la realidad, puesto que los valores son grandes para ser integrados, por lo que serán externos.

Tabla 6.15. Valores de los componentes del filtro pasivo de tipo2 orden 3 para sub-banda 1

Componentes	Valor calculado
C1	0,8 nF
C2	4,7 nF
C3	87,9 pF
R2	4,4 KΩ
R3	2,7 KΩ

6.5.4. Cálculo de un filtro pasivo de tipo 2 y orden 3 integrable

En nuestro diseño nos interesa que el filtro sea integrado con todo el circuito, por lo tanto hay que pensar una solución a esta dificultad. Los valores de los condensadores para

que puedan ser integrables con la tecnología usada tendrán un valor no superior de 10 pF, cosa que no conseguimos fácilmente.

Se realizó el cálculo del filtro donde los valores podían ser integrables, siendo los de la Tabla 6.16. El valor de la constante del detector y de la corriente máxima de salida de la bomba de carga para que el filtro sea integrable son las expresadas en la Tabla 6.17, conseguidas trabajando con las ecuaciones del filtro.

Tabla 6.16. Valores de los componentes del filtro pasivo de tipo 2 orden 3 integrable

Componentes	Valor calculado
C1	1,75 pF
C2	9,39 pF
C3	0,0175 pF
R2	1,4 M Ω
R3	1 M Ω

Tabla 6.17. Ctes. de la corriente de la bomba de carga y del detector de fase para filtro integrable

i_{cp}	2,5 μ A
K_d	0,4 (μ A/rad)

En el capítulo 7 se explicará la razón de no poder utilizar el filtro con valores integrables, por lo que en el diseño final se emplearán los valores de los componentes para el filtro externo.

6.6. Resumen

En este capítulo se ha estudiado, diseñado y simulado los elementos que conforman el sintetizador. Se comenzó con el estudio y simulación del detector de fase/frecuencia junto a la bomba de carga (PFD+CP). Este detector no tiene restricciones en las señales de entrada y su función de transferencia es lineal, entre -2π y $+2\pi$. Seguidamente se realizó el estudio del VCO que vamos a utilizar. Se continuó con el estudio de los divisores rápidos y los requisitos que se han de tener en cuenta para nuestro diseño. Posteriormente se realizó el estudio de los divisores programables así como el cálculo de los valores necesarios para nuestro estándar. Finalmente se estudió el filtro pasivo de tipo 2 y orden 3 basados en el método del margen de fase.

Una vez realizadas y estudiadas todas las partes de nuestro sintetizador, en el capítulo 7 pasamos a la simulación del sintetizador con todos sus bloques.

Capítulo 7

Simulación del sintetizador en ADS

Una vez diseñados todos los bloques que conforman el sintetizador, en el presente capítulo se va a simular el sintetizador con todos los bloques diseñados, comprobándose si el sintetizador es estable y si se engancha de forma correcta.

Al sintetizador se le van a hacer tres tipos de simulaciones. La primera consiste en la simulación de la respuesta del bucle, en la cual se comprueba el margen de fase para ver si el sistema es estable. El VCO será modelado por el elemento de librería de ADS llamado *'LinearVCO_pll'* y el divisor por el elemento *'LinearDivider'*.

El segundo tipo de simulación realizada es el análisis del ruido de fase. Con este análisis se observa cómo afecta el ruido de fase de cada bloque al ruido de fase total del sintetizador.

El tercer y último tipo de simulación realizada es la respuesta transitoria. Con este análisis se verifica si el sintetizador se engancha ante un salto de canal. En la simulación de

la respuesta transitoria se ha tenido que modelar la función de transferencia del VCO. El VCO y los divisores serán modelados mediante el elemento de librería que se encuentra en el ADS llamado 'VCO_DivideByN'.

Primeramente se prueba el diseño con el filtro de componentes integrables. Como veremos a continuación no es posible utilizarlo, por lo que el diseño final del sintetizador lo realizaremos con el filtro de componentes externos.

7.1. Diseño del sintetizador con filtro integrable

Con los valores del filtro integrable calculado en el capítulo 6 se realizaron los análisis correspondientes. En el análisis en frecuencia se comprobó la estabilidad, cumpliendo con las condiciones.

Otra prueba fue un análisis en el tiempo para comprobar el enganche así como un salto de canal dando una respuesta óptima.

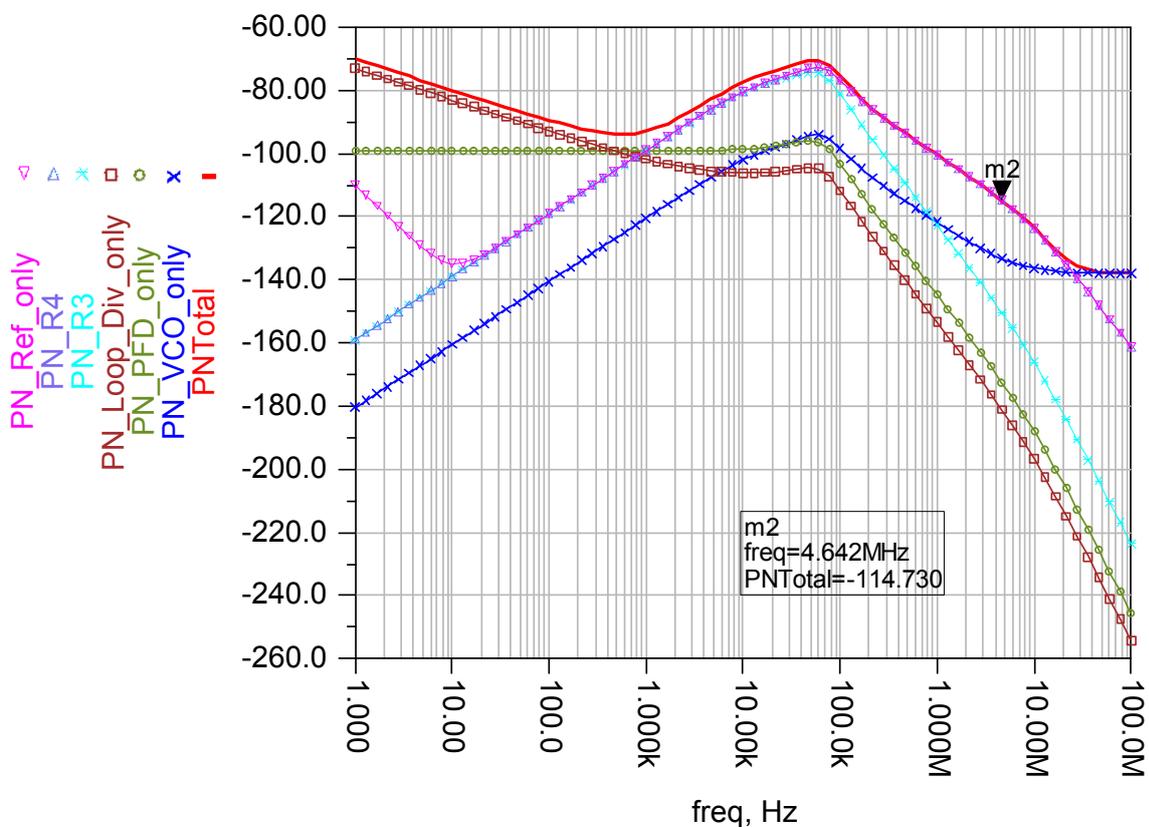


Figura 7.1. Simulación de la respuesta del ruido de fase para valores del filtro integrable.

En la Figura 7.1 se puede comprobar la simulación del análisis del ruido de fase para el filtro con valores integrables donde vemos el ruido de la referencia, el PFD/CP, VCO, divisor y el total.

Como resultado de la simulación tenemos el ruido de fase total expresado en la Tabla 7.1. Se observa que las resistencias introducen más ruido que el propio VCO. Para frecuencias pequeñas hasta 1 KHz el bloque que más afecta al ruido de fase total es el del divisor. A partir de aquí las resistencias del filtro, al tener valores muy elevados, generan un nivel de ruido alto afectando al total así como la referencia que es influenciado por este mismo. La resistencia marca a frecuencias muy elevadas el ruido aún más que el VCO.

Tabla 7.1. Ruido de fase total con filtro integrable

Frecuencia (Hz)	PNTotal (dBc/Hz)
1	-70,007
10	-79,949
100	-89,398
1 K	-92,987
10 K	-77,434
100 K	-75,488
1 M	-100,421
10 M	-123,629

Con este filtro no se llega a las especificaciones del estándar en el cual hay que alcanzar -135 dbc/Hz a los 4 MHz. Por lo tanto, desechamos diseñar el sintetizador con el filtro de componentes integrables.

7.2. Diseño del sintetizador con filtro externo

En este apartado se redacta todo el trabajo realizado en el diseño del sintetizador completo usando el filtro externo, con las pautas de trabajo seguidas y las mejoras encontradas.

7.2.1. Simulación de la respuesta del bucle

Con este apartado se comprueba la estabilidad con el parámetro del margen de fase para los componentes calculados del filtro. En la Figura 7.2 se muestra el esquema de simulación de la respuesta del sintetizador en bucle abierto y en la Figura 7.3 el correspondiente al bucle cerrado.

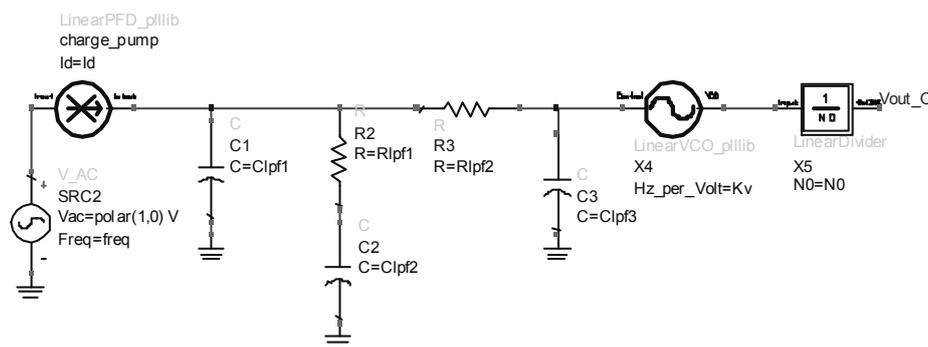


Figura 7.2. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3 para bucle abierto.

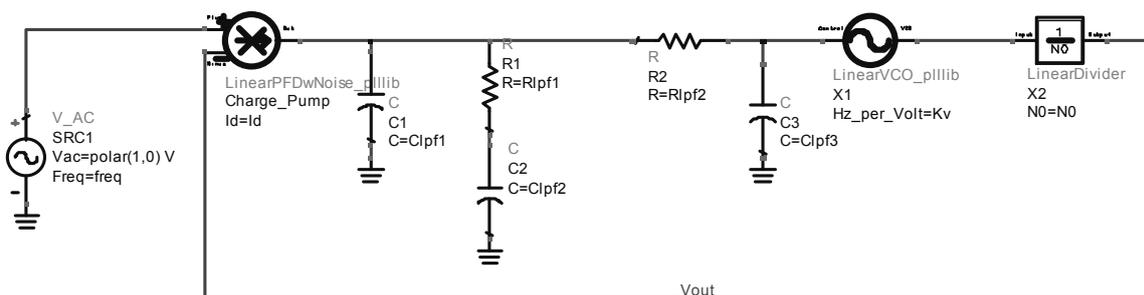


Figura 7.3. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3 para bucle cerrado.

Con los valores calculados del filtro externo se ha obtenido la respuesta de la magnitud y fase en bucle abierto y cerrado del PLL. Para obtener la condición de los 45° del margen de fase, se ha empleado el optimizador de ADS llamado ‘*optim*’, en el cual se ha variado el valor de los componentes del filtro hasta conseguir el margen de fase deseado. Las mejoras con éste no eran apreciables por lo que nos quedamos con los mismos valores de componentes de la tabla anterior.

En la Figura 7.4(a) se observa que el valor de la frecuencia para ganancia 1 es de 20 KHz. Tal como se muestra en la Figura 7.4(b) el margen de fase, el cual se calcula en bucle abierto, es de 45°, siendo el sistema estable.

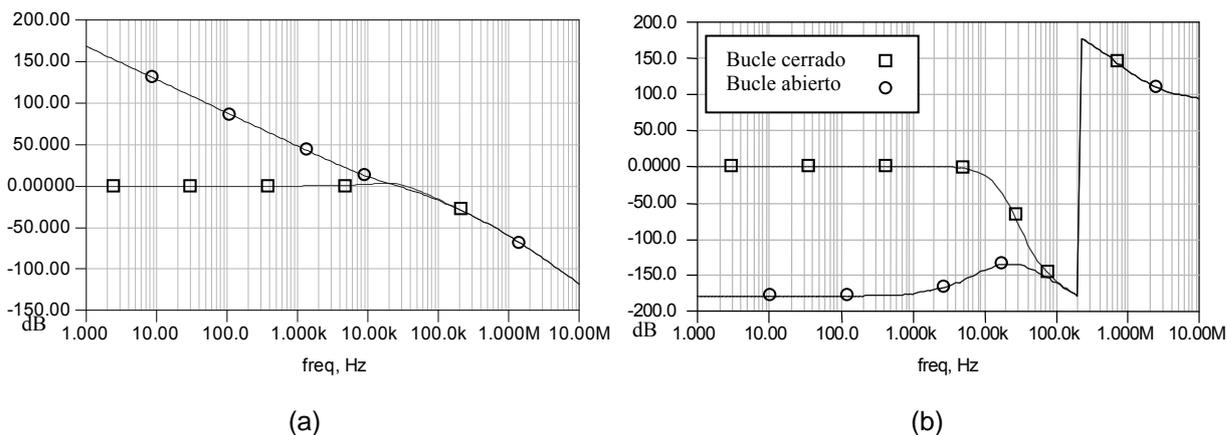


Figura 7.4. Simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3, representación de la magnitud en dB (a) y la fase en grados (b). Con cuadrado en bucle cerrado y con círculo en bucle abierto.

7.2.1.1. Simulación de la respuesta del bucle para todas las sub-bandas

Escogiendo los valores de los componentes del filtro para la sub-banda 1 se comprueba si valen los componentes para todas las sub-bandas.

Decidimos fijar el valor del condensador $C2$ y seguir cambiando el valor de $R2$ para asegurarnos de la condición del margen de fase entre 30° y 60° , siendo la óptima de 45° para todas las sub-bandas. La condición de estabilidad que buscábamos en el margen de fase se verificó correctamente. La Tabla 7.2 especifica un resumen de la búsqueda del mejor valor de $R2$.

Tabla 7.2. Valores del mejor componente $R2$

Sub-bandas	Constante K_v (MHz)	Constante N máx	Margen de fase (grados)
Sub-banda 5	-23,228	498	35,936
Sub-banda 4	-30,84	546	38,056
Sub-banda 3	-42,32	602	39,951
Sub-banda 2	-62,87	682	42,965
Sub-banda 1	-105,41	858	44,659

7.2.2. Simulación transitoria

Con esta simulación se comprueba si el sintetizador es capaz de cambiar de una frecuencia de salida a otra. A continuación se muestra una breve descripción de cada bloque:

- El bloque PFD_CP corresponde al detector de fase más el bombeo de carga. Este elemento no es modelado, sino real, es decir su descripción está hecha a nivel de transistores.
- El filtro pasivo de orden 3 es el calculado en el apartado de filtro externo.
- El bloque '*VCO_DivideByN*' es un VCO ideal al cual se le ha puesto como característica la curva de tensión de control-frecuencia de salida del VCO, con su expresión modelada. Incorporamos la impedancia de nuestro VCO con una resistencia y un condensador. Utilizando dicho bloque, en vez del VCO real, se ha reducido el tiempo de simulación del sintetizador de meses a días. Esto es debido a que al utilizar frecuencias del orden de GHz (la del VCO) junto con frecuencias del orden de MHz (frecuencia de referencia), el número de muestras necesarias para conseguir una apreciación digna del comportamiento del sintetizador es muy elevada, necesitando mucho tiempo de simulación si utilizáramos el VCO real.
- El bloque '*SDD2PI*' es un elemento que adecua la señal de salida del VCO ideal, la cual es de diente de sierra, a una señal que se asemeja más a la del VCO real dividida entre N , la cual es de forma cuadrada, y así poder atacar al detector con más fiabilidad.
- La señal que actúa como frecuencia de referencia es '*Vref*'.

En la Figura 7.5 se observa el esquema de simulación transitoria que hemos usado para cada sub-banda. A cada caso se le incorpora su determinada curva de tensión-frecuencia y su factor de división.

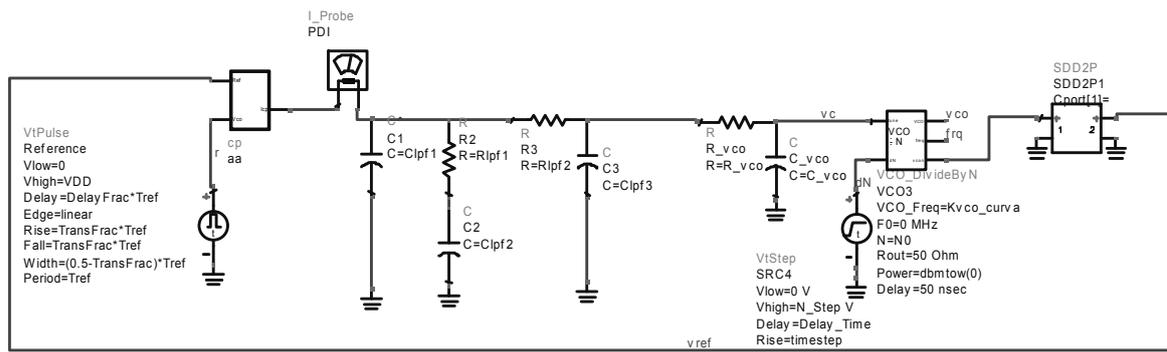


Figura 7.5. Esquema de simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3.

Seguidamente se representan las simulaciones para todas las sub-bandas.

7.2.2.1. Simulación transitoria para la sub-banda 1

En la Figura 7.5 se muestra el esquema de simulación utilizado en ADS para realizar dicha prueba. Se ha simulado el peor caso, que es el salto máximo de frecuencia entre canal para esta sub-banda, siendo de 1428 MHz a 1716 MHz. La salida del VCO elegida para la realimentación corresponde a la que se obtiene dividida dependiendo de la tensión $VtStep$. De esta manera la salida primero es dividida por un factor de 714 y a los 530 μ s pasa a ser dividida por 858. Estos factores de división corresponden a la frecuencia mínima y máxima que debe generar el sintetizador, es decir, 1428 MHz y 1716 MHz respectivamente.

El resultado de la simulación se puede ver en la Figura 7.6, observándose como varía la frecuencia de salida del VCO. La frecuencia de salida se obtiene de la salida, $freq$, del bloque ' $VCO_DivideBy$ '. La salida da una tensión proporcional a la frecuencia de salida del VCO pero en GHz (como ejemplo 1,2 Voltios en $freq$ significa que el VCO tiene una salida de 1,2 GHz). Se observa que el sintetizador se engancha a 1380 MHz en 0,3 ms aproximadamente. En el instante 0,53 ms se le aplica el cambio en el factor de división y el sintetizador cambia a la frecuencia de 1716 MHz en 0,3 ms. Se comprueba que el error de fase y frecuencia es cero, correspondiente a un PLL tipo 2.

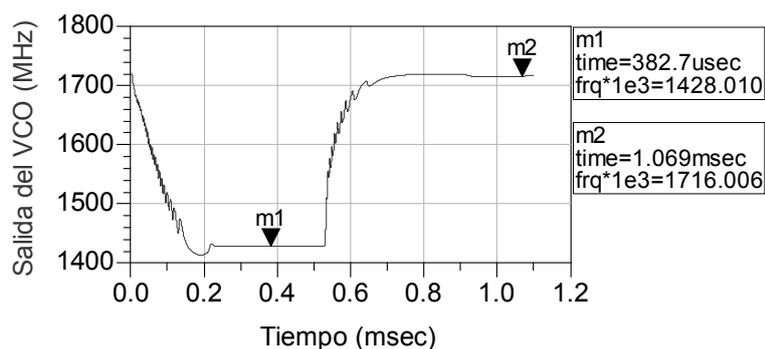


Figura 7.6. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3, para la sub-banda1.

En la Figura 7.7(a) se observa como varía la tensión de salida del filtro, la cual se ajusta con la realimentación del circuito. La tensión de salida del filtro aproximadamente de 3,098 V para que el VCO genere una frecuencia de 1428 MHz mientras que para una tensión de salida de 0,137 V el VCO genera la frecuencia de 1716 MHz. En la Figura 7.7(b) se muestra el detalle en el tiempo de la corriente de salida del bombeo de carga, observándose los pulsos de corriente correspondientes en cada caso.

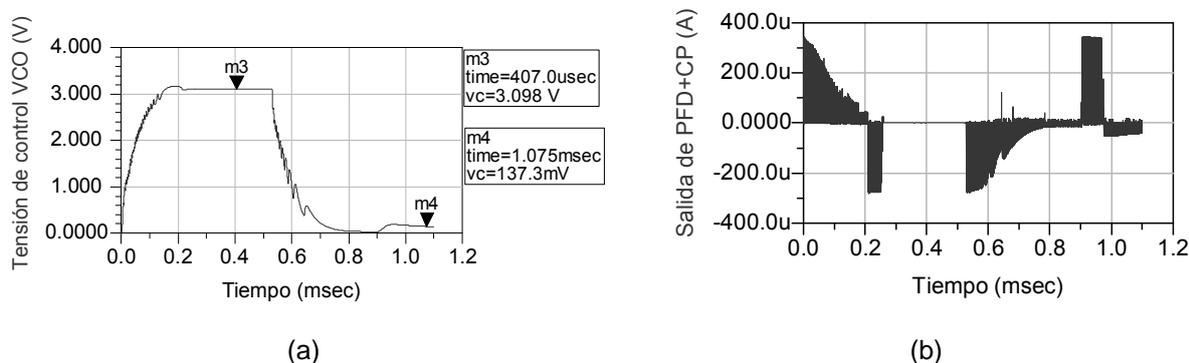


Figura 7.7. Simulación de la respuesta transitoria del sintetizador para la sub-banda1; (a) tensión de control, (b) bomba de carga.

7.2.2.2. Simulación transitoria para la sub-banda2

Se realiza la misma prueba que para el caso anterior pero para la correspondiente función de curva tensión-frecuencia y para sus constantes. El salto máximo de frecuencia para esta sub-banda, es de 1252 MHz a 1412 MHz.

El resultado de la simulación se puede ver en la Figura 7.8. Se observa que el sintetizador se engancha a 1252 MHz en un tiempo de 0,3 ms. Aplicando un cambio en el

factor de división para alcanzar el canal más alejado en el instante 0,53 ms, el sintetizador cambia a la frecuencia de 1412 MHz en 0,4 ms.

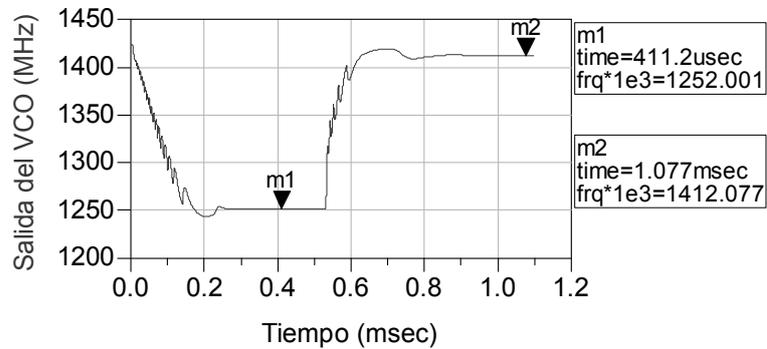


Figura 7.8. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3, para la sub-banda2.

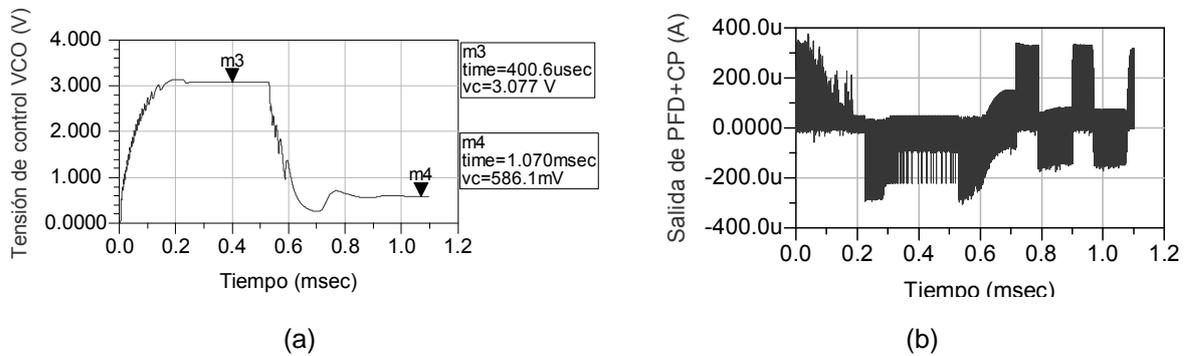


Figura 7.9. Simulación de la respuesta transitoria del sintetizador para la sub-banda2; (a) tensión de control, (b) bomba de carga.

7.2.2.3. Simulación transitoria para la sub-banda3

En este caso cogemos la función de curva tensión-frecuencia y las constantes de esta sub-banda, donde el salto máximo de frecuencia entre canal es de 1124 MHz a 1236 MHz.

El resultado de la simulación se puede ver en la Figura 7.10. Se observa que el sintetizador se engancha a 1124 MHz en 0,3 ms. En el instante 0,53 ms se le aplica el cambio en el factor de división y el sintetizador cambia a la frecuencia de 1236 MHz en 0,25 ms.

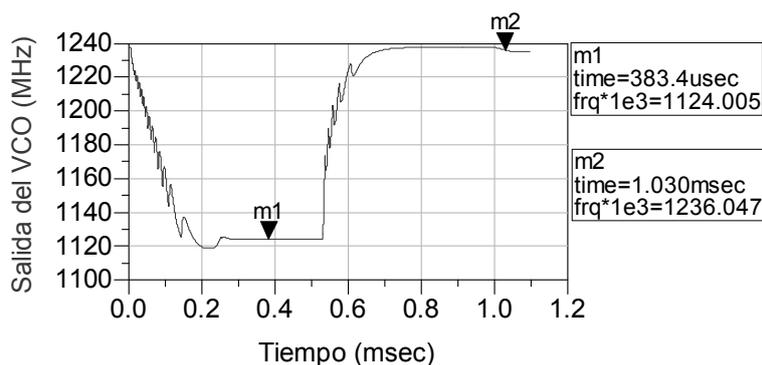


Figura 7.10. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3, para la sub-banda3.

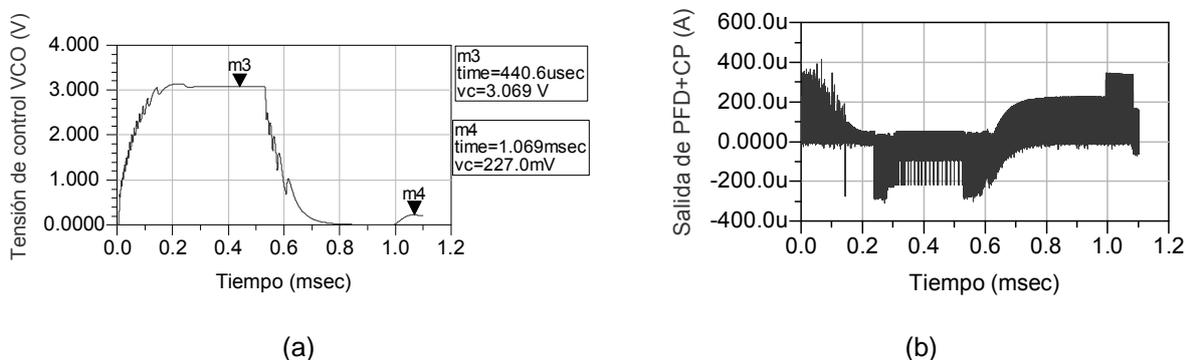


Figura 7.11. Simulación de la respuesta transitoria del sintetizador para la sub-banda3; (a) tensión de control, (b) bomba de carga.

7.2.2.4. Simulación transitoria para la sub-banda4

Según las constantes y la función de curva tensión-frecuencia de esta sub-banda se realiza el esquema correspondiente. El salto máximo de frecuencia entre canal es de 1028 MHz a 1108 MHz.

La simulación viene representada en la Figura 7.12. El enganche del sintetizador se realiza a 1028 MHz en un tiempo de 0,3 ms. En el instante 0,53 ms se le aplica el cambio en el factor de división máximo especificado anteriormente y el sintetizador cambia a la frecuencia de 1108 MHz en 0,45 ms.

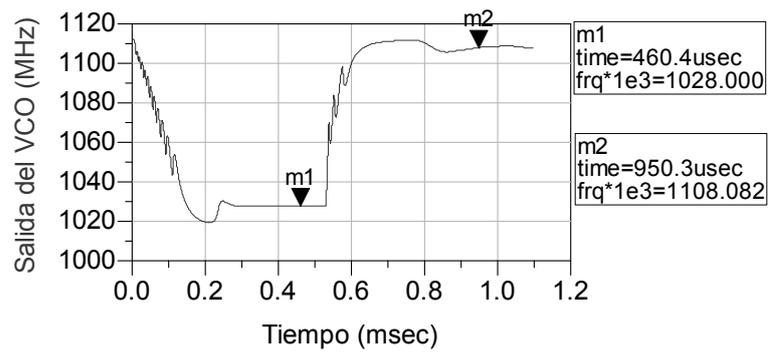


Figura 7.12. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3, para la sub-banda4.

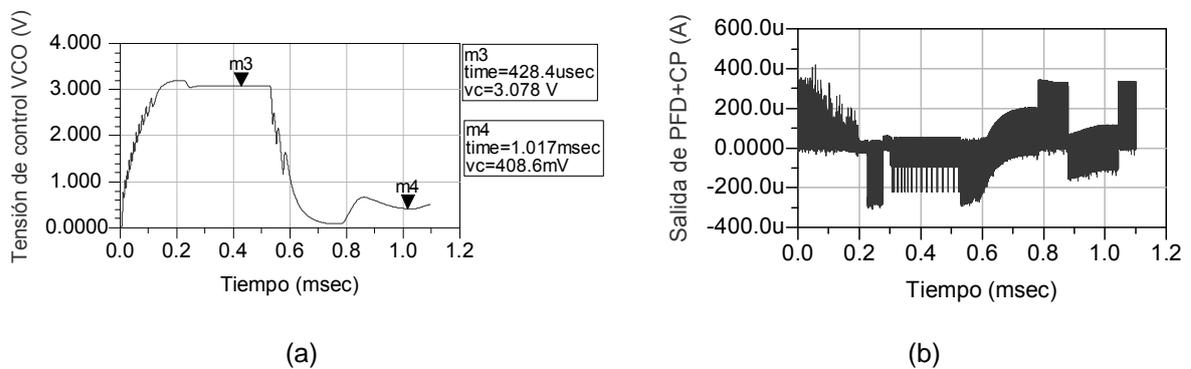


Figura 7.13. Simulación de la respuesta transitoria del sintetizador para la sub-banda4; (a) tensión de control, (b) bomba de carga.

7.2.2.5. Simulación transitoria para la sub-banda5

El salto máximo de frecuencia para esta sub-banda, es de 948 MHz a 1012 MHz y se puede ver en la Figura 7.14. El sintetizador se engancha a los 948 MHz en 0,3 ms. En el instante 0,53 ms se le aplica el cambio en el factor de división y el sintetizador cambia a la frecuencia de 1108 MHz en 0,45 ms.

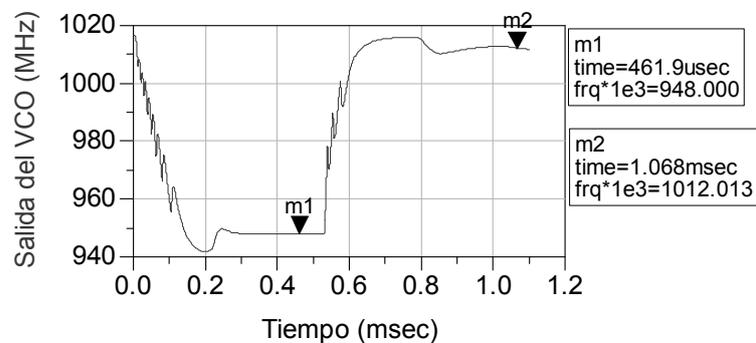


Figura 7.14. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3, para la sub-banda5.

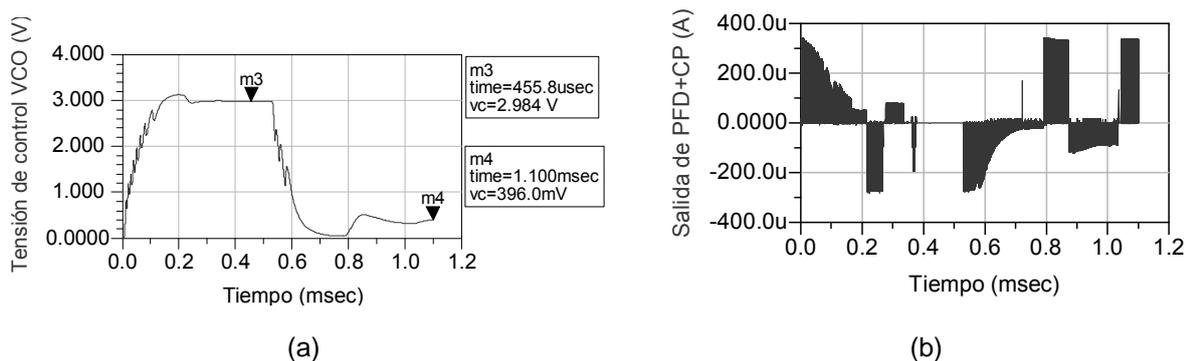


Figura 7.15. Simulación de la respuesta transitoria del sintetizador para la sub-banda5; (a) tensión de control, (b) bomba de carga.

7.2.2.6. Simulación transitoria para salto de canal entre dos sub-bandas distintas

Con esta simulación se comprueba si el sintetizador es capaz de cambiar de una frecuencia de salida a otra, pero en vez de entre una misma sub-banda, se observa si es capaz de cambiar cuando tiene que pasar a otro canal en otra sub-banda.

7.2.2.6.1. Simulación transitoria para cambio de canal entre la sub-banda2 y la sub-banda1 con PFD+CP ideal

En esta prueba pretendemos demostrar un cambio de canal. Este cambio de canal se realizará entre dos sub-bandas distintas, cosa que no se ha probado hasta este momento. Para esta prueba será necesario disponer de *switches*, donde conmutar primero una sub-banda, entonces en un instante dado cambiar de canal y saltar a otra sub-banda.

Los bloques empleados se muestran a continuación:

- El bloque '*PhaseFreqDetCP*' corresponde al detector de fase más la bomba de carga ideal, para poder acelerar las primeras pruebas.
- El filtro pasivo de orden 3 es el calculado en el filtro externo.
- La impedancia del VCO es la calculada en el apartado referido a este elemento.
- Las curvas propias de los VCO, son las correspondientes a la sub-banda2 y la sub-banda1.

El esquema realizado consiste en incorporarle unos *switches* donde primero actúe una sub-banda para luego variar la posición de los *switches* y que actúe la otra sub-banda (ver Figura 7.16). La prueba se realiza primero en la sub-banda2 para enganchar el último canal, al que le pertenece una frecuencia de salida de 1412 MHz. Una vez enganchado, como en pruebas anteriores se quiere enganchar a otro canal, en este caso el siguiente, donde coincide que tiene que cambiar también de sub-banda a la sub-banda1. Para ello se abren los *switches* de la sub-banda2 deshabilitándola, y se cierran los de la sub-banda1. Con esto conseguimos que a la salida no se mezclen las dos señales de las sub-bandas distintas, sino que se recojan los canales por separado, como se realizaría en la realidad.

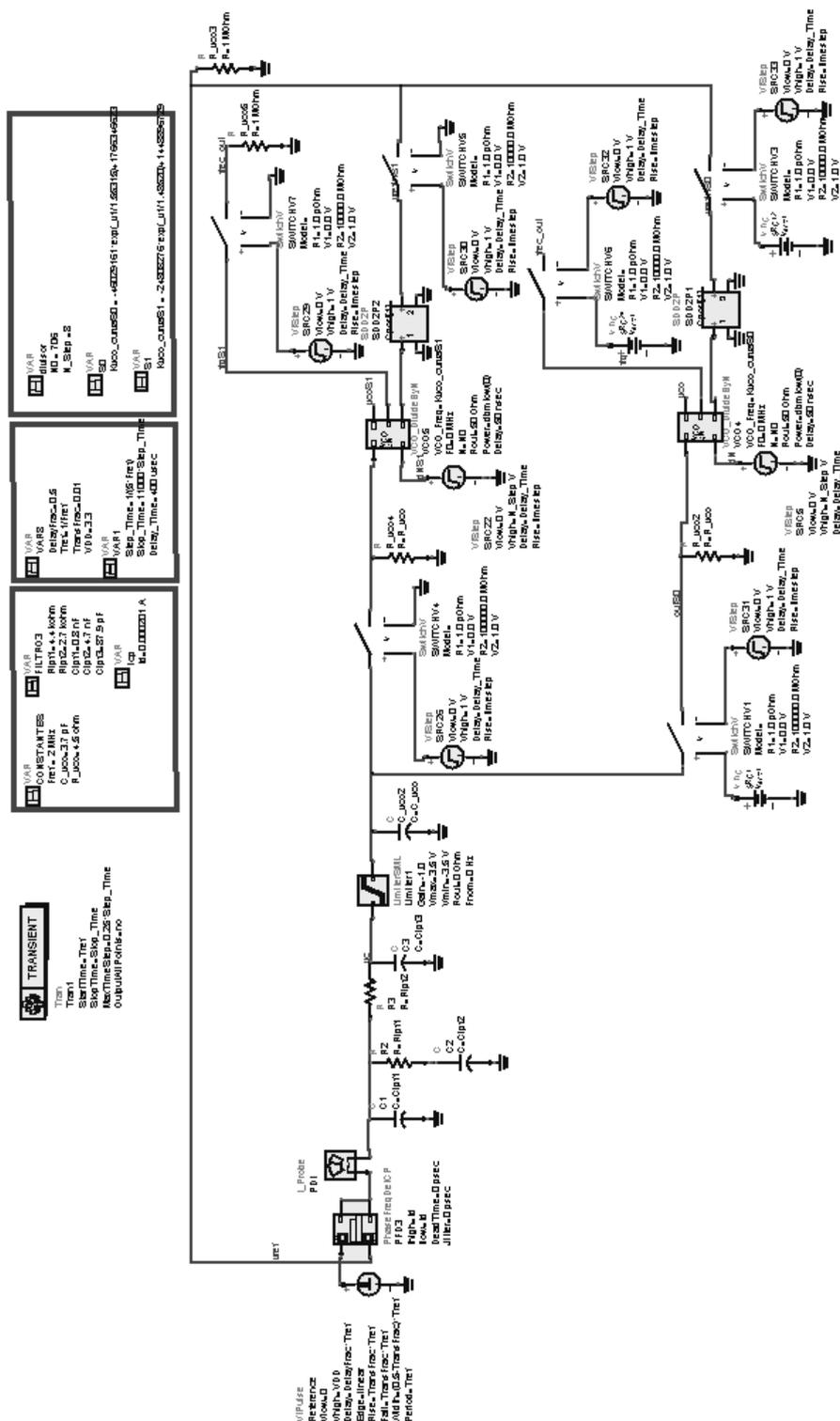


Figura 7.16. Esquema de simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3, con PFD+CP ideal, para cambio entre dos canales de la sub-banda2 a la sub-banda1.

El resultado de la simulación se puede ver en la Figura 7.17, observándose como varía la frecuencia de salida del VCO. El salto de frecuencia al último canal de la sub-banda2, de 1412 MHz se realiza correctamente. La salida del VCO elegida para la realimentación corresponde a la que se obtiene dividida dependiendo de la tensión $VtStep$ de 706 para el primer canal y de esta cantidad más 8 (714) para el siguiente canal. En el momento de 400 μ s los *switches* cambian de posición y $VtStep$ pasa a ser dividida por (706+8) para saltar a la siguiente frecuencia de 1428 MHz.

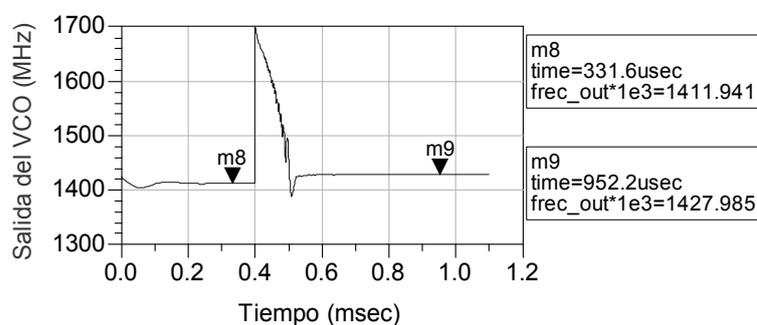


Figura 7.17. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3 integrable, con PFD+CP ideal, para cambio de la sub-banda2 a la sub-banda1.

7.2.2.6.2. Simulación transitoria para cambio de canal entre la sub-banda2 y la sub-banda1 con PFD+CP real

Una vez visto que con el componente del detector de fase/frecuencia y la bomba de carga ideal da resultados muy satisfactorios, se comprueba que estos se trasladan cuando utilizamos la real.

Los bloques empleados son:

- El bloque real del PFD+CP: CP2.
- El filtro pasivo de orden 3 es el calculado en el filtro externo.
- La impedancia del VCO es la calculada en el apartado referido a este elemento.
- Las curvas propias de los VCO, son las correspondientes a la sub-banda2 y la sub-banda1.

El esquema es igual al de la Figura 7.16 pero incorporándole nuestro componente real. Este esquema es el de la Figura 7.18.

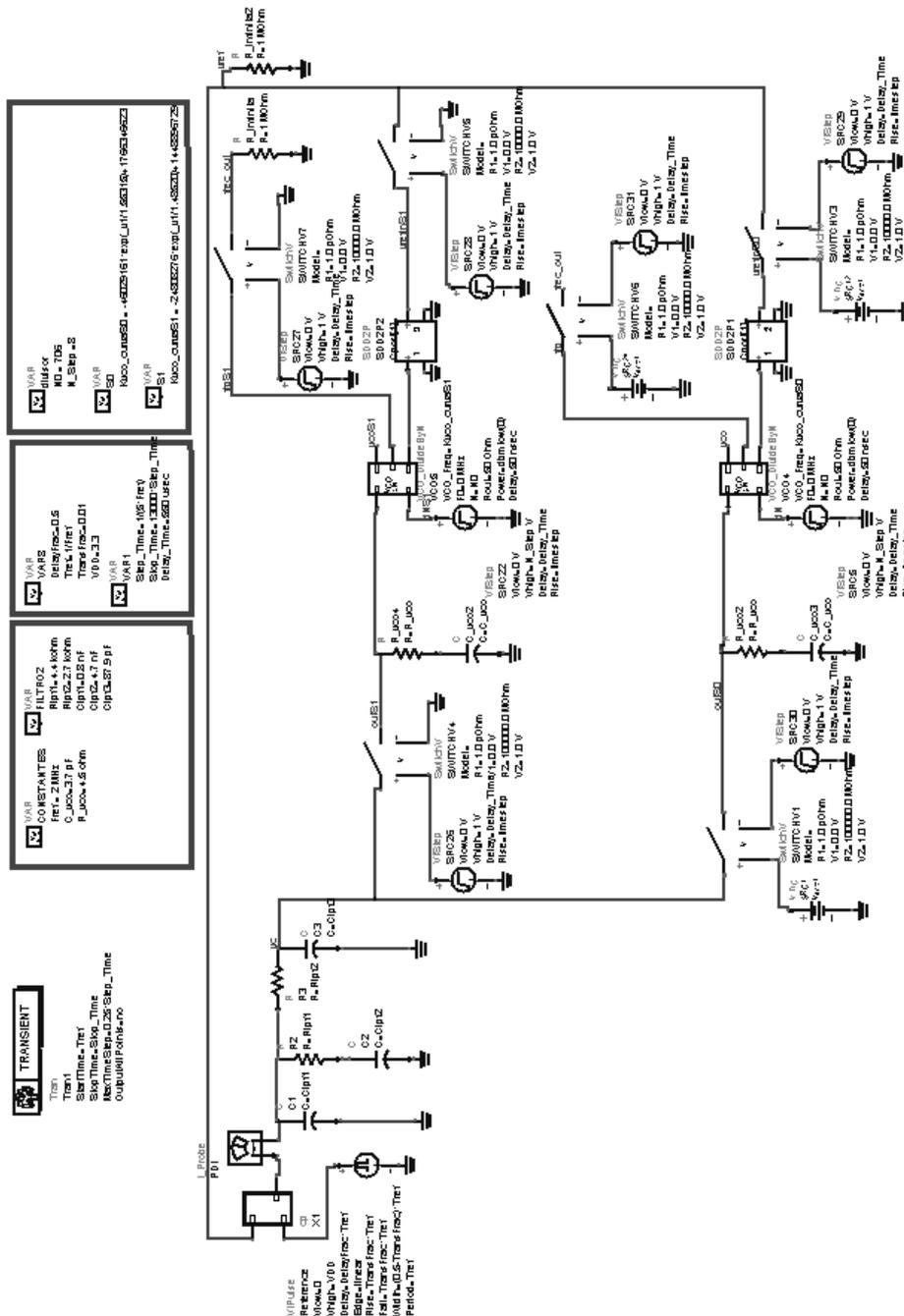


Figura 7.18. Esquema de simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3 con PFD+CP real, para cambio entre dos canales de distintas sub-bandas.

En la Figura 7.19(a) se representa el enganche para la frecuencia más baja y a los 550 ms se desactiva poniéndose este VCO a su nivel mayor de salida debido a la apertura del switch. En la Figura 7.19 (b) se observa lo contrario, primero está a su nivel más alto para esta sub-banda, pero después de un tiempo dado pasa a funcionar este modelo de sub-banda de VCO para engancharse al siguiente canal.

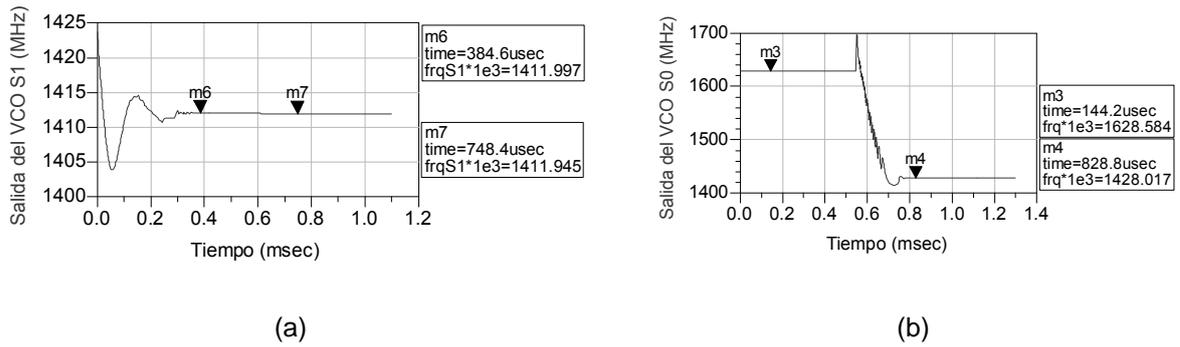


Figura 7.19. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3; (a) para la sub-banda2, (b) para la sub-banda1.

Una vez tenemos las respuestas por separado las sumamos, sabiendo que primero actúa una y luego otra. Como resultado final, en la Figura 7.20 demostramos el cambio de canal.

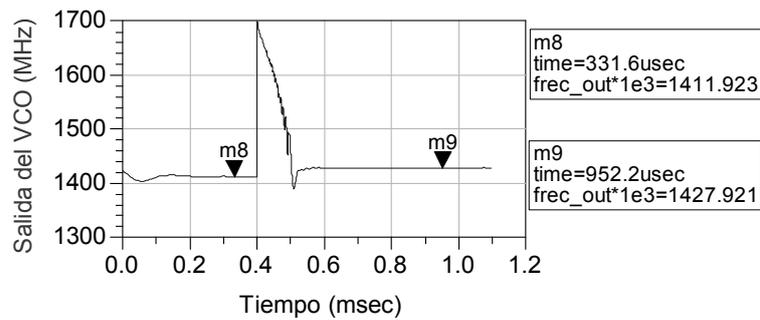


Figura 7.20. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3, con PFD+CP real, para cambio de la sub-banda2 a la sub-banda1.

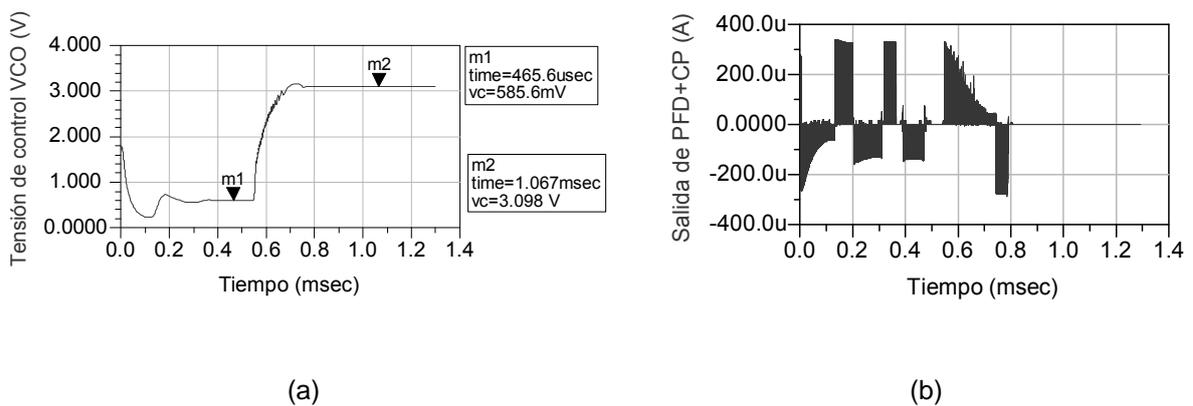


Figura 7.21. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3, para la sub-banda5; (a) tensión de control, (b) salida bomba de carga.

Se puede deducir que el diseño propuesto para el sintetizador de frecuencias con un cambio de canal entre sub-bandas es correcto.

7.2.3. Simulación del ruido de fase

Con esta simulación se comprueba el ruido de fase del sintetizador uniendo la contribución de todas las partes y determinando el ruido de fase total del sistema.

En un primer apartado se estudia el ruido producido por cada bloque del sintetizador para una vez establecidos todos ellos, proceder a su unión y extraer el ruido de fase total.

7.2.3.1. Componentes del ruido de fase del sintetizador

En este apartado se estudia el ruido de cada componente.

7.2.3.1.1. Parámetros del ruido en el Filtro

Este se determina con los componentes del filtro pasivo de tipo 2 y orden 3. Los componentes que introducen ruido en este bloque serán las resistencias, por lo que según sean sus valores más elevados, repercutirán en mayor medida al sistema.

7.2.3.1.2. Parámetros del ruido en el PFD+CP

Para este componente se empleará el bloque denominado 'LinearPFDwNoise_plllib'. A dicho bloque hay que incorporarle las constantes I_d y PFD_inoise .

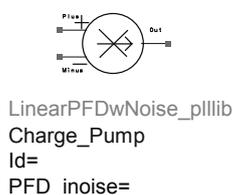


Figura 7.22. Símbolo Linear PFDwNoise_plllib.

La constante I_d es la máxima corriente de salida que puede suministrar la bomba de carga después del detector de fase. Este parámetro viene determinado dentro la sensibilidad del detector, la cual es $K_d = I_d / (2 \cdot \pi)$.

PF_{D_noise} es la medida del umbral de ruido (*noise floor*) a la salida de la bomba de carga expresada en amperios por hertzios.

Para obtener la constante PF_{D_noise} se proceden a realizar dos simulaciones transitorias del detector de fase/frecuencia y la bomba de carga incluyendo un análisis sin y con ruido (ver Figura 7.23). Se define una constante llamada *IncludeNoise* de forma que cuando ésta es cero el análisis con ruido está desactivado y cuando es igual a uno se incluirá el ruido. Las frecuencias de entrada del detector de fase/frecuencia las ponemos iguales a la frecuencia de referencia y a la salida de la bomba de carga se obtienen estos dos análisis. El valor del ruido en RMS es igual a realizar la desviación estándar de la resta de la salida de la bomba de carga del análisis con ruido menos la del análisis sin ruido. Para obtener el valor del ruido en A/Hz debemos dividirlo entre la frecuencia de reloj. Este resultado es el umbral de ruido que se está pidiendo en este bloque.

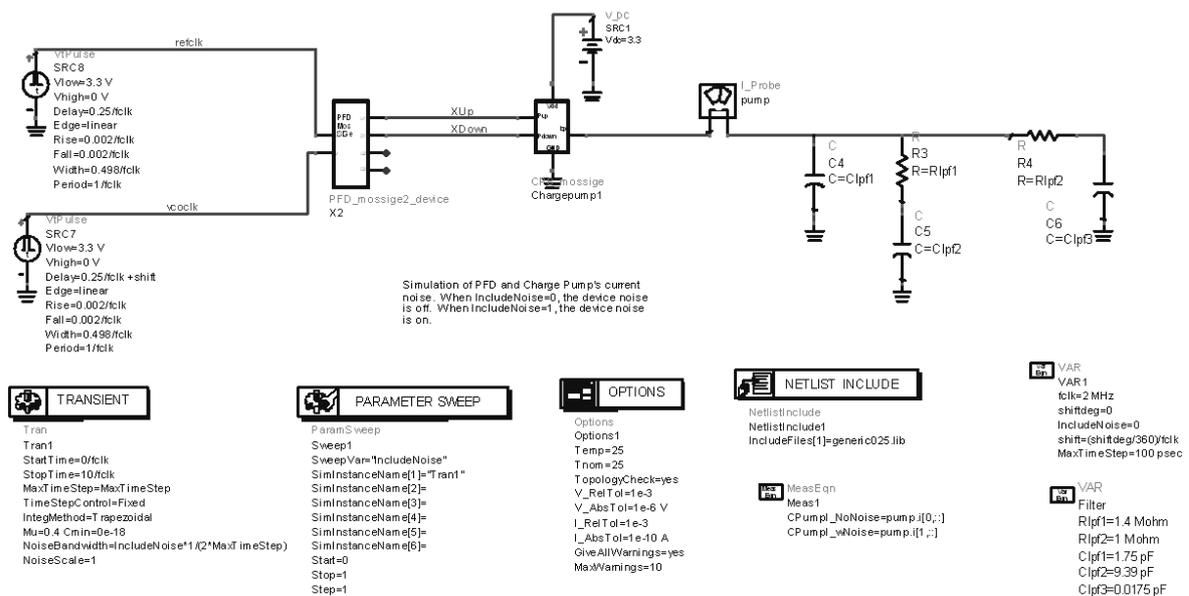


Figura 7.23. Esquemático para calcular el PF_{D_noise} de la bomba de carga.

En la Figura 7.24 se observa la simulación del parámetro PF_{D_noise} .

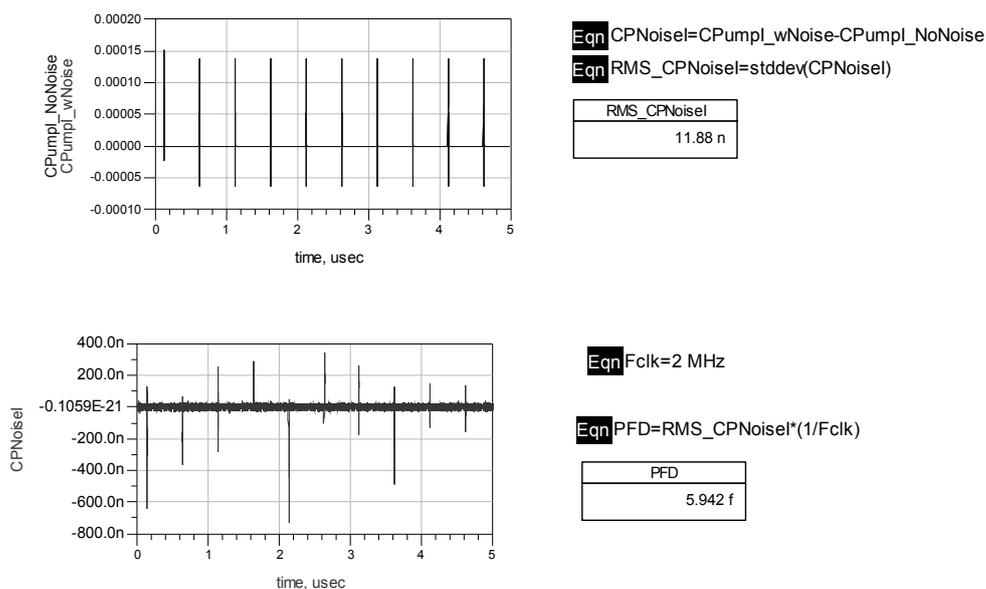


Figura 7.24. Simulación del PFD_inoise de la bomba de carga.

Los parámetros del ruido de la bomba de carga se expresan en la Tabla 7.3.

Tabla 7.3. Parámetros del ruido del PFD/CP

PFD_inoise	5,942 fA/Hz
i_{cp}	201,6 μA

7.2.3.1.3. Parámetros del ruido en el VCO

Este componente se modela con el bloque ‘LinVCOwNoiseSlps’.

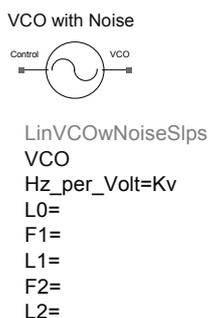


Figura 7.25. Símbolo LinVCOwNoiseSlps.

Hay que incorporar el valor de la constante del VCO denominada K_v . Además se ha de incorporar las pendientes que poseen las componentes del ruido (ver Figura 7.26) referenciadas a un nivel de ruido de fase respecto a su frecuencia. Estas vienen

determinadas según si caen -10, -20 o -30 dB/dec. También hay que incorporar la medida en *noise floor* a partir del cual determinamos que será un valor constante de ruido.

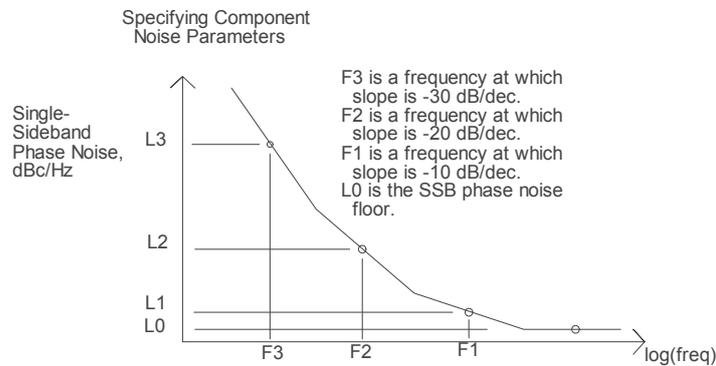


Figura 7.26. Curva de especificaciones de los componentes, tales como el VCO, divisores y referencia.

En la Figura 7.27 se observa el ruido de fase medido del VCO en *free run* [37].

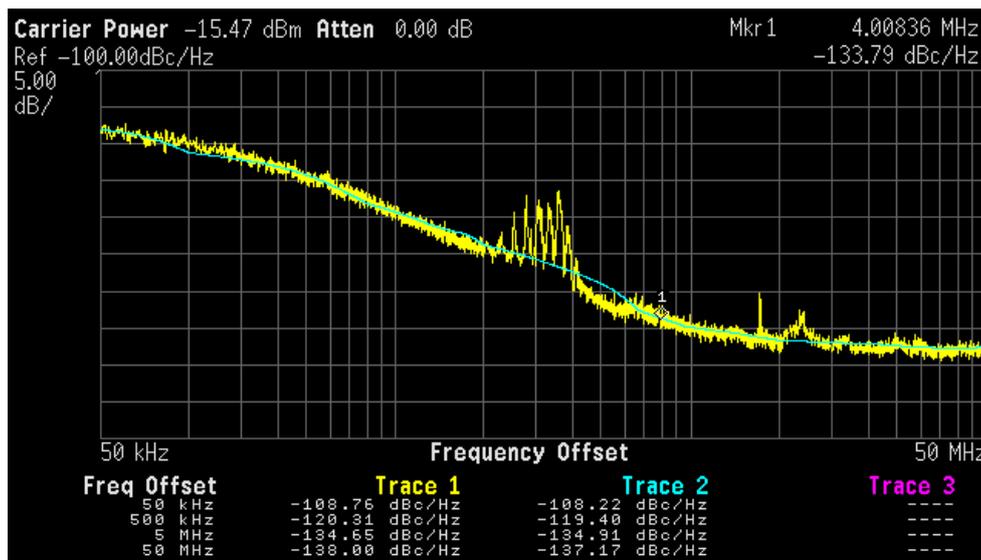


Figura 7.27. Medida del ruido de fase del VCO.

De aquí podemos extraer los parámetros a incorporar en el bloque del VCO.

Tabla 7.4. Componentes del ruido VCO

Ruido	(dB)	(MHz)
0 dB/dec (Noise floor)	-138	-
-10 dB/dec (Noise flicker)	-	-
-20 dB/dec	-134	4

7.2.3.1.4. Parámetros del ruido en el Divisor entre dos

Se incluye dentro del ruido del divisor programable.

7.2.3.1.5. Parámetros del ruido en el Divisor programable

Este componente se modela con el bloque ‘*LinDiv_wNoiseSlps*’ (ver Figura 7.28).

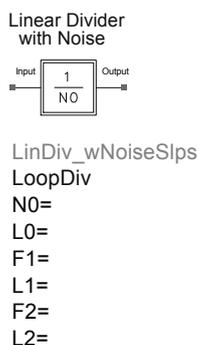


Figura 7.28. Símbolo *LinDiv_wNoiseSlps*.

Hay que incorporar el valor de la constante, $N0$, relativo a la división a realizar. Además hay que incorporar las pendientes de las componentes del ruido (ver Figura 7.26). Estas pendientes se pondrán por defecto las pertenecientes al *template* de ADS siendo los siguientes:

Tabla 7.5. Componentes del ruido divisor programable

Ruido	(dB)	(Hz)
0 dB/dec (Noise floor)	-165	-
-10 dB/dec	-160	1K
-20 dB/dec	-1000	100

7.2.3.1.6. Parámetros del ruido de la referencia

Para obtener una respuesta parecida a la realidad, ésta se modela con dos bloques como son el ‘*RefOscSlps*’ y el ‘*LinDiv_wNoiseSlps*’ (ver Figura 7.29).

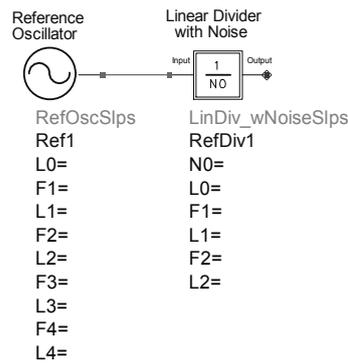


Figura 7.29. Símbolos para modelar la referencia.

Incorporamos los componentes del ruido de estos elementos. Para ello dejamos los que tienen por defecto el *template* de ADS (ver Tablas 7.6 y 7.7).

Tabla 7.6. Componentes del bloque *LinDiv_wNoiseSlps* de la referencia

Ruido	(dB)	(Hz)
0 dB/dec (Noise floor)	-165	-
-10 dB/dec	-160	1K
-20 dB/dec	-1000	100

Tabla 7.7. Componentes del bloque *RefOscSlps* de la referencia

Ruido	(dB)	(Hz)
0 dB/dec (Noise floor)	-165	-
-10 dB/dec	-160	100K
-20 dB/dec	-150	1K
-30 dB/dec	-140	10
-40 dB/dec	-1000	1

7.2.3.2. Simulación del ruido de fase del sintetizador

Con esta simulación se comprueba el ruido de fase del sintetizador uniendo la contribución de todas las partes y determinando el ruido de fase total del sistema.

Se ha utilizado el esquema representado en la Figura 7.30.

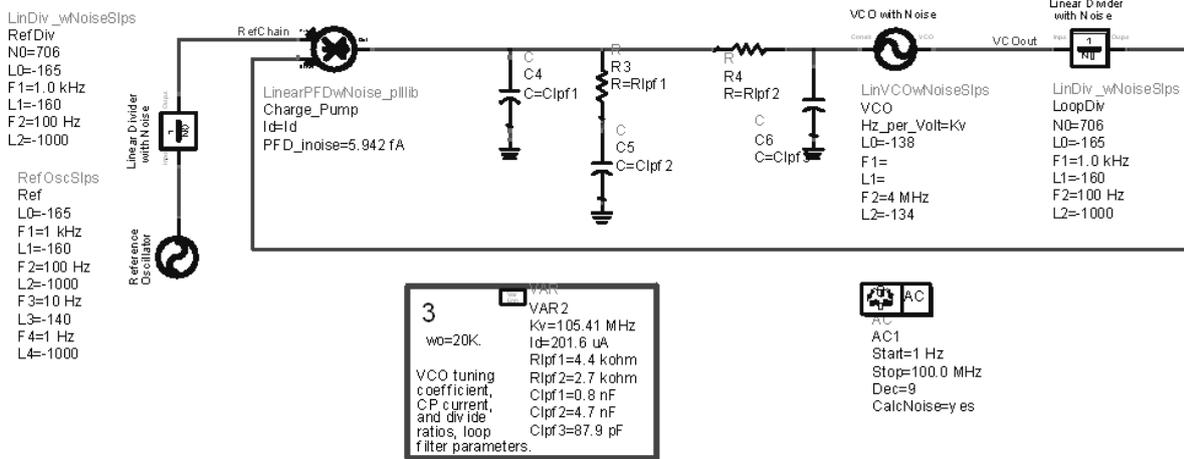


Figura 7.30. Esquema del ruido de fase del sintetizador con filtro externo.

En la Figura 7.31 se observa la contribución del VCO en *free run* así como el ruido que produce éste en el sistema. Los dos se pueden observar frente al ruido total del sistema.

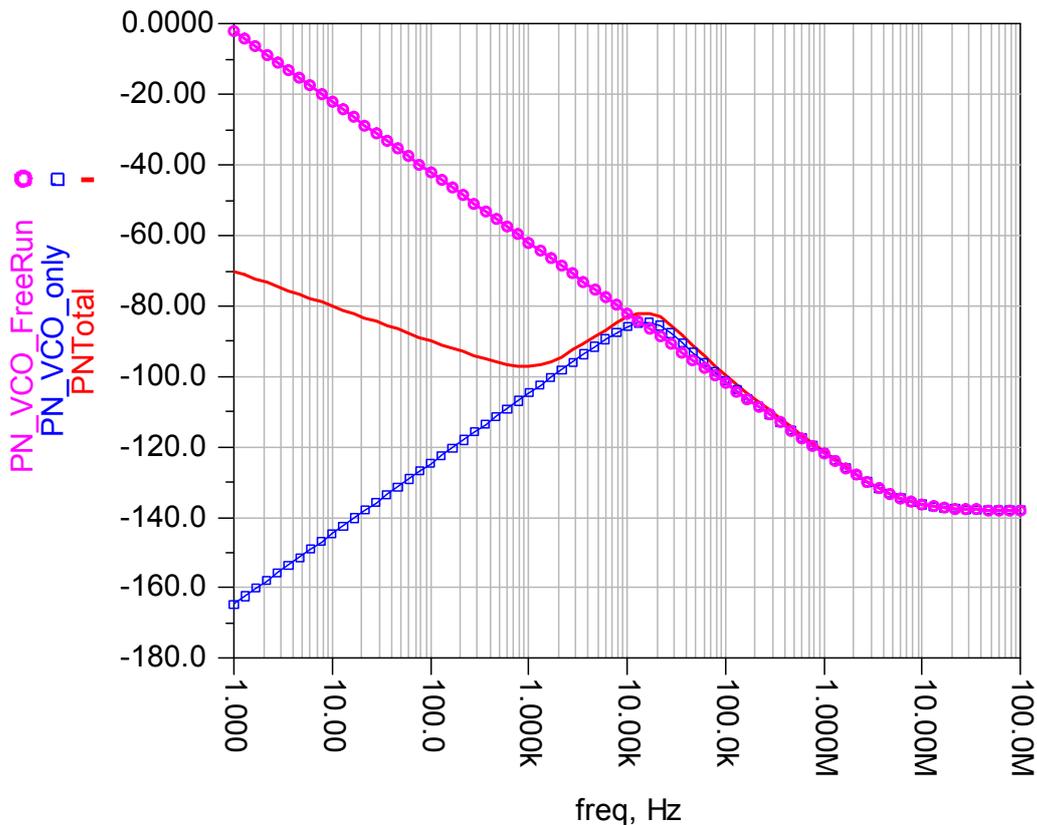


Figura 7.31. Simulación de la respuesta del ruido de fase del VCO, con filtro externo.

En la Figura 7.32 se observa el ruido que produce cada elemento como son la frecuencia de referencia, las resistencias pertenecientes al filtro, el divisor, el detector de fase/frecuencia y el VCO. También se puede observar el ruido total del sistema.

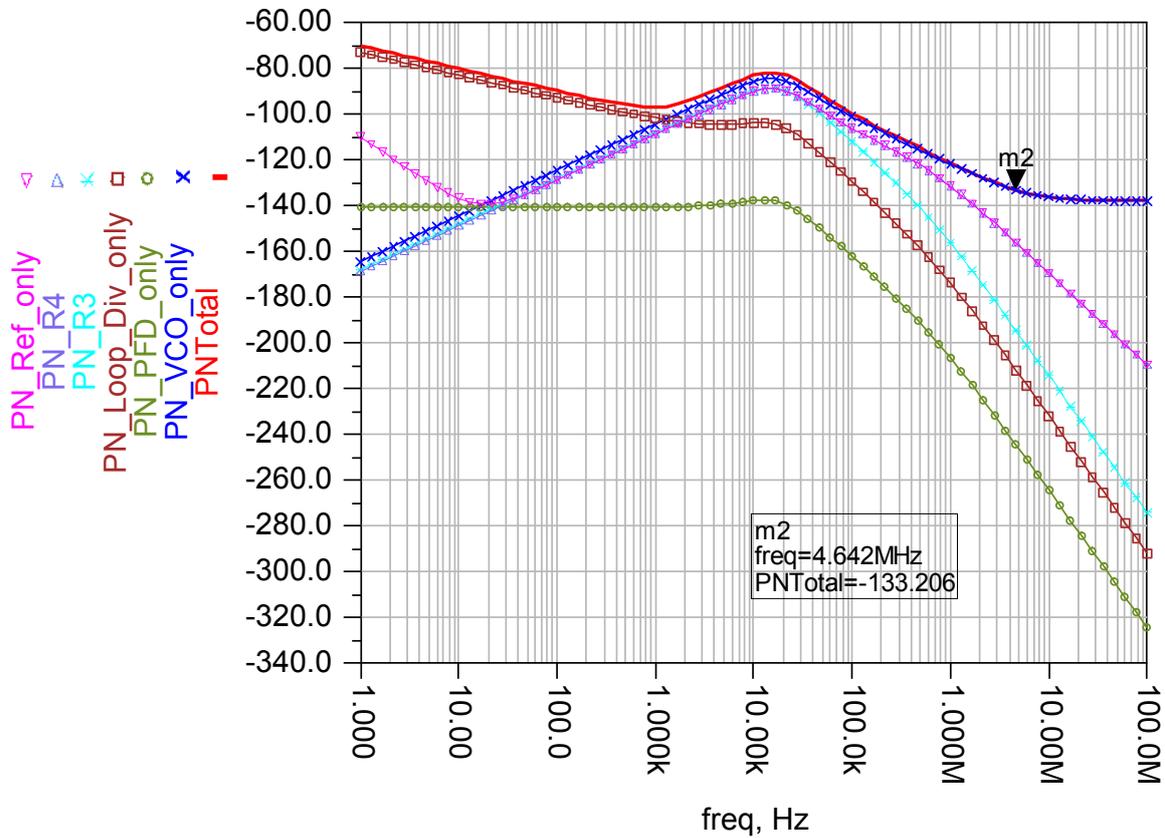


Figura 7.32. Simulación de la respuesta del ruido de fase de la referencia, PFD/CP, VCO, divisor y total.

Para frecuencias pequeñas hasta 1 KHz el bloque que más afecta al ruido de fase total es el del divisor. A partir de aquí es el VCO el responsable del ruido de fase y no las resistencias. El ruido de fase total es el expresado en la Tabla 7.8.

Tabla 7.8. Ruido de fase total, con filtro externo

Frecuencia (Hz)	PNTotal (dBc/Hz)
1	-70,012
10	-80.000
100	-89,875
1 K	-97,091
10 K	-83,197

100 K	-99,814
1 M	-121,339
10 M	-136,340

Vemos que con el filtro externo las especificaciones se cumplen mucho mejor que con el filtro integrable. Sobre todo elimina el ruido de las resistencias donde sólo afecta el ruido del VCO a frecuencias elevadas.

7.3. Resumen

En este capítulo se ha simulado el sintetizador para el receptor de ZERO IF según el estándar DVB-H.

Se realizaron tres tipos de simulaciones para el detector de fase/frecuencia más bomba de carga para un filtro pasivo de tipo 2 y orden 3. La primera fue la respuesta del bucle, la segunda el análisis del ruido de fase y la tercera la respuesta transitoria. Con estos análisis se verificó el margen de fase y, por tanto, la estabilidad del sistema, el ruido de fase de salida y, por último, si el sintetizador se enganchara ante un salto de canal. Para el VCO y los divisores se han utilizado modelos de comportamiento con objeto de reducir el tiempo de simulación del sintetizador.

Una vez simulado nuestro sintetizador con la herramienta ADS pasamos al capítulo 8 con la realización del divisor programable con varias herramientas de *software* digital para obtener el *layout* del bloque final del divisor.

Capítulo 8

Divisor programable de baja velocidad

Este capítulo aborda tanto las decisiones tomadas para el divisor programable como la realización hasta nivel de *layout* del divisor programable de baja velocidad dentro del divisor programable.

8.1. Estructura del divisor programable

En el capítulo anterior se ha diseñado un divisor programable de doble módulo que consta de un *prescaler* rápido, que puede dividir por $(P+1)$ y P , y dos contadores programables A y N_p de baja velocidad. En este capítulo abordaremos el diseño de estos divisores programables de baja velocidad.

Se ha tenido que tomar una decisión importante en el diseño ya que se quiere fabricar el bloque completo del sintetizador y medirlo con la estación de puntas disponible en el laboratorio. Se han contado las señales necesarias y sólo se dispone de dos patillas

libres para el control del divisor programable, por lo que se ha decidido generar sólo cuatro frecuencias con las señales de control que tenemos, una por sub-banda y quedándose una de ellas sin cubrir. En la Figura 8.1 se muestra el esquema de conexionado del sintetizador.

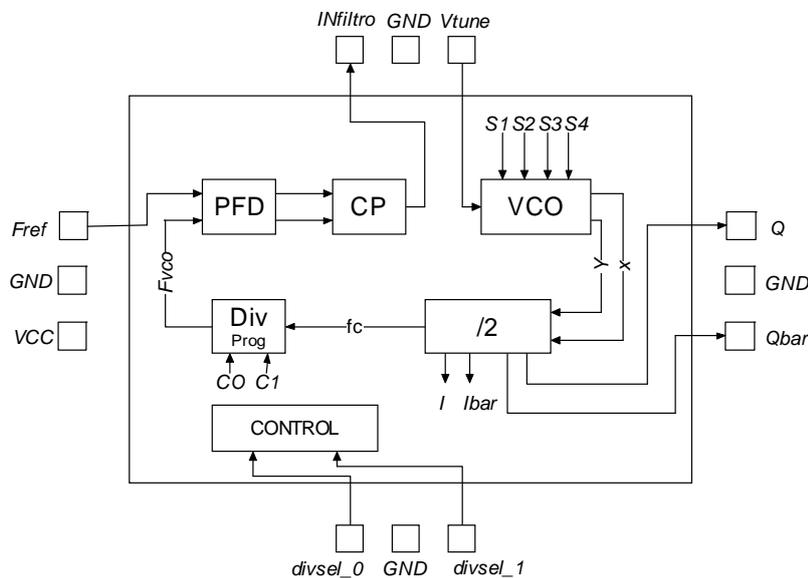


Figura 8.1. Esquema de conexionado del sintetizador.

En nuestro caso se va a realizar una configuración compuesta de una primera etapa de *prescaler* rápido, que puede dividir por $(P+1)/P$ seguido de un divisor N_p que se realiza con herramientas para diseño digital (ver ecuación (8.1)).

$$F_{vco} = f_c / N = f_c / ((P+1) + N_p) \tag{8.1}$$

El esquema del sintetizador junto a la estructura del divisor programable lo podemos ver en la Figura 8.2.

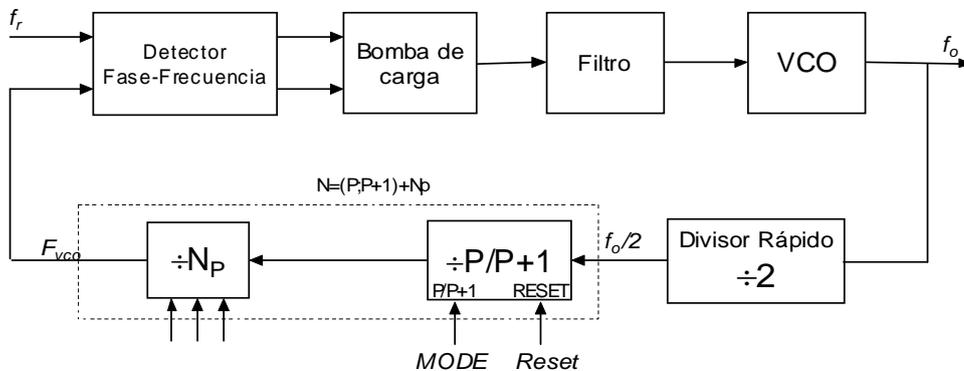


Figura 8.2. Esquema del sintetizador utilizando un detector de fase/frecuencia más bomba de carga, el divisor rápido y el programable.

Las frecuencias medidas del VCO difieren algo de las simuladas, por lo que en esta situación trabajamos con las medidas de la Tabla 8.1.

Tabla 8.1. Medidas de las frecuencias del VCO

V_{tune}	freq para sub-banda1 (GHz)	freq para sub-banda2 (GHz)	freq para sub-banda3 (GHz)	freq para sub-banda4 (GHz)	freq para sub-banda5 (GHz)
0	1,7914	1,4997	1,3211	1,1894	1,0903
0,2	1,7827	1,4957	1,3181	1,1871	1,0887
0,4	1,7734	1,4914	1,3144	1,1847	1,0871
0,6	1,7624	1,4864	1,3107	1,1821	1,0855
0,8	1,7534	1,4811	1,3071	1,1794	1,0839
1	1,7414	1,4754	1,3031	1,1761	1,0819
1,2	1,7287	1,4697	1,2981	1,1731	1,0795
1,4	1,7154	1,4637	1,2944	1,1694	1,0764
1,6	1,6997	1,4567	1,2901	1,1654	1,0730
1,8	1,6841	1,4494	1,2857	1,1607	1,0692
2	1,6674	1,4404	1,2804	1,1554	1,0649
2,2	1,6487	1,4321	1,2744	1,1511	1,0605
2,4	1,6197	1,4224	1,2671	1,1434	1,0553
2,6	1,5914	1,4107	1,2584	1,1361	1,0497
2,8	1,5684	1,3977	1,2501	1,1287	1,0437
3	1,5364	1,3831	1,2401	1,1184	1,0367
3,2	1,4991	1,3671	1,2291	1,1057	1,0271
3,3	1,4784	1,3564	1,2217	1,0977	1,0201
3,4	1,4514	1,3451	1,2137	1,0891	1,0124
3,6	1,3944	1,3187	1,1957	1,0656	0,9936
3,8	1,3204	1,2864	1,1734	1,0320	0,9612

Al generar el divisor programable no se tuvo en cuenta el divisor rápido entre dos por lo que se ha reducido la frecuencia de referencia a la mitad, es decir a 1 MHz. La frecuencia de salida, f_o , debe ser múltiplo entero de la frecuencia de referencia, f_r . Los valores enteros de división generados por el divisor se pueden ver en la Tabla 8.2.

Tabla 8.2. Valores del divisor programable

Sub-bandas	Frecuencia de salida del sintetizador f_o (MHz)	Frecuencia para el estándar DVB-H = Frecuencia de salida del divisor rápido $f_o/2 = f_c$ (MHz)	Valor de P	Valor de N_p
Sub-banda 5	948	474	5	-
	964	482	5	-
	980	490	5	98
	996	498	5	-
	1012	506	5	-
	1028	514	5	-
	1044	522	5	-
	1060	530	5	106
	1076	538	5	-
	1092	546	5	-
Sub-banda 4	1108	554	5	-
	1124	562	5	-
	1140	570	5	114
	1156	578	5	-
	1172	586	5	-
	1188	594	5	-
Sub-banda 3	1204	602	5	-
	1220	610	5	122
	1236	618	5	-
	1252	626	5	-
	1268	634	5	-
	1284	642	5	-
	1300	650	5	130
	1316	658	5	-
Sub-banda 2	1332	666	5	-
	1348	674	5	-
	1364	682	5	-
	1380	690	5	138
	1396	698	5	-
	1412	706	5	-
	1428	714	5	-
	1444	722	5	-
	1460	730	5	146
	1476	738	5	-
	1492	746	5	-

Sub-banda 1	1508	754	5	-
	1424	762	5	-
	1540	770	5	154
	1556	778	5	-
	1572	786	5	-
	1588	794	5	-
	1604	802	5	-
	1620	810	5	162
	1634	818	5	-
	1652	826	5	-
	1668	834	5	-
	1684	842	5	-
	1700	850	5	170
	1716	858	5	-

La estructura propuesta necesita un bloque de control para el cambio del valor de división y el cambio de banda del VCO. La propuesta de las frecuencias a generar se puede ver en la Tabla 8.3 y el valor de los *switches* para cambiar de sub-banda el VCO se puede ver en la Tabla 8.4.

Tabla 8.3. Valores del divisor programable de baja velocidad

Sub-banda	N _p
Sub-banda4	114
Sub-banda3	130
Sub-banda2	138
Sub-banda1	170

Tabla 8.4. Valores de los *switches* para cambiar de sub-banda el VCO

Sub-banda	S1	S2	S3	S4
Sub-banda5	1	1	1	1
Sub-banda4	1	1	1	0
Sub-banda3	1	1	0	0
Sub-banda2	1	0	0	0
Sub-banda1	0	0	0	0

8.2. Diseño y simulación del divisor programable de baja velocidad

Seguidamente se explica el procedimiento a seguir para realizar el diseño de un ASIC, en este caso un divisor programable de baja velocidad (N_p). Los pasos son la síntesis lógica, el *Floor planing*, la planificación de la alimentación, el *Placement* y el *Routing* [31].

8.2.1. Procedimiento

Para realizar circuitos digitales de baja velocidad se pueden utilizar técnicas y herramientas digitales. Estas técnicas van desde realizar un diseño desde VHDL (*VHSIC (Very High Speed Integrated Circuit) Hardware Description Language*) hasta llegar al *Placement* y *Routing* teniendo el *layout* listo sin llegar a utilizar técnicas de *full custom*. El flujo de diseño se muestra en la Figura 8.3.

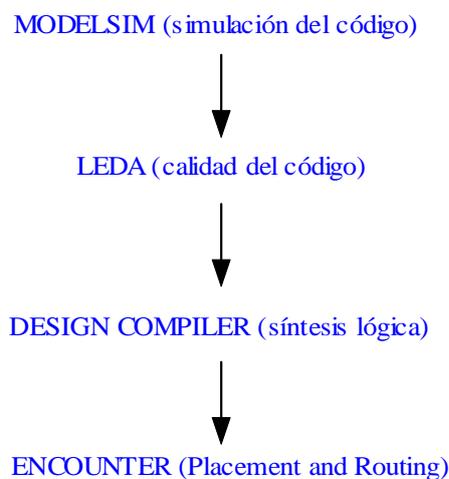


Figura 8.3. Herramientas para realizar diseño ASIC con técnicas digitales.

A continuación veremos los pasos a seguir en cada una de las herramientas que se van a utilizar.

8.2.1.1. Código en VHDL

En este apartado escribimos el código en lenguaje VHDL de nuestro diseño y su respectivo *testbench* para la comprobación de que el código escrito realiza correctamente el funcionamiento deseado.

8.2.1.1.1. Escribir el diseño en código VHDL

El diseño tiene una señal de entrada de reloj, *clk*, y una señal de reseteo, *rst_n*. También tiene dos señales de control, *divsel_0* y *divsel_1*, que controlan tanto el valor de división como la sub-banda que va a seleccionarse, y la salida denominada *clkout*. La Tabla 8.5 muestra tanto el valor de división como los *switches* de selección para seleccionar la sub-banda correspondiente.

Tabla 8.5. Valores de la señal de control, los *switches* para cambiar de sub-banda el VCO y el valor de división del divisor programable de baja velocidad

Sub-banda	divsel_0	divsel_1	S1	S2	S3	S4	N _p
Sub-banda4	0	0	1	1	1	0	114
Sub-banda3	0	1	1	1	0	0	130
Sub-banda2	1	0	1	0	0	0	138
Sub-banda1	1	1	0	0	0	0	170

El código VHDL de nuestro divisor programable de baja velocidad se muestra a continuación.

```

-----
--
--          DIVISOR PROGRAMABLE
--
-----
--
-- Modulo:   div256
-- Fichero:  div256.vhd
-- Autor:    Dailos Ramos Valido
-- Descripción:
--   Su función es realizar un divisor programable de la
--   frecuencia del reloj principal del sistema.
--   Tenemos unos valores de division.
--   Tambien se hace un control para cambiar el VCO con la division.
--   Valores division: 114, 130, 138, 170.
--   Para 114 -> sub4: s1=1; s2=1; s3=1; s4=0.
--   Para 130 -> sub3: s1=1; s2=1; s3=0; s4=0.
--   Para 138 -> sub2: s1=1; s2=0; s3=0; s4=0.
--   Para 170 -> sub4: s1=0; s2=0; s3=0; s4=0.
--
--

```

```

-----
--
-- Componente:
--          +-----+
--          |          +--->clkout
--      clk----->+   +--->ctl_s1
--      divsel-->+    +--->ctl_s2
--      rst_n-->o+    +--->ctl_s3
--          |          +--->ctl_s4
--          +-----+
--
-----

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;      --necesario para contador
use IEEE.std_logic_unsigned.all;  --necesario para contador

-- Entidad: entradas y salidas del circuito
entity div256 is
    port (clk : in std_logic;      --reloj principal del sistema
          rst_n : in std_logic;    --reset
          divsel : in std_logic_vector (1 downto 0); --selec. division
          clkout : out std_logic;  --salida
          ctl_s1 : out std_logic;  --salida
          ctl_s2 : out std_logic;  --salida
          ctl_s3 : out std_logic;  --salida
          ctl_s4 : out std_logic;  --salida
    );
end div256;

-- Arquitectura: comportamiento de la entidad
architecture comport of div256 is

    -- Declaracion de señales internas
    signal contador : std_logic_vector (6 downto 0);
    signal en_salida : std_logic;
    signal en_s1 : std_logic;
    signal en_s2 : std_logic;
    signal en_s3 : std_logic;
    signal en_s4 : std_logic;

begin
    process (rst_n, clk) -- Lista sensible: entro si cambia clk o reset
    begin

        -- Si reset=0, entonces la salida será cero
        if rst_n = '0' then
            contador <= "0000000";
            en_salida <= '0';
            en_s1 <= '0';
            en_s2 <= '0';
            en_s3 <= '0';
            en_s4 <= '0';

            -- Si reset=1, entonces contamos los flancos de subida de clk
            elsif clk'event and clk='1' then

```

```

contador <= contador+1;
-- Según el valor de seleccion de división, cogemos
-- una salida del contador u otra:
case divsel is
  -- sub5: --no se usa en este caso

  -- sub4:
when "00" => -- /114
  if contador = "0111000" then
    --mitad de un ciclo menos uno: 114/2=>57-1
    contador <= "0000000";
    en_salida <= not en_salida;
  end if;
  en_s1 <= '1';
  en_s2 <= '1';
  en_s3 <= '1';
  en_s4 <= '0';

  -- sub3:
when "01" => -- /130
  if contador = "1000000" then
    --mitad de un ciclo menos uno: 130/2=>64-1
    contador <= "0000000";
    en_salida <= not en_salida;
  end if;
  en_s1 <= '1';
  en_s2 <= '1';
  en_s3 <= '0';
  en_s4 <= '0';

  -- sub2:
when "10" => -- /138
  if contador ="1000100" then
    --mitad de un ciclo menos uno: 138/2=>69-1
    contador <= "0000000";
    en_salida <= not en_salida;
  end if;
  en_s1 <= '1';
  en_s2 <= '0';
  en_s3 <= '0';
  en_s4 <= '0';

  -- sub1:
when "11" => -- /170
  if contador ="1010100" then
    --mitad de un ciclo menos uno: 170/2=>85-1
    contador <= "0000000";
    en_salida <= not en_salida;
  end if;
  en_s1 <= '0';
  en_s2 <= '0';
  en_s3 <= '0';
  en_s4 <= '0';

when others => -- /170
  if contador ="1010100" then

```

```

--mitad de un ciclo menos uno: 170/2=>85-1
    contador <= "0000000";
    en_salida <= not en_salida;
end if;
en_s1 <= '0';
en_s2 <= '0';
en_s3 <= '0';
en_s4 <= '0';

    end case;

    end if;
end process;
clkout <= en_salida;--asigno la señal de division al puerto de salida
ctl_s1 <= en_s1; --asigno la señal de control a puertos de salida
ctl_s2 <= en_s2;
ctl_s3 <= en_s3;
ctl_s4 <= en_s4;

end comport;

```

8.2.1.1.2. *Testbench* para el diseño

Para realizar el *testbench* ponemos unos tiempos tanto de reseteo como de cambio en la entrada de control tal que luego se pueda simular y comprobar el correcto funcionamiento del bloque. El código del *testbench* de nuestro divisor programable de baja velocidad se muestra a continuación.

```

-----
--
--          DIVISOR PROGRAMABLE
--
-----
--
-- Modulo:  div256_tb
-- Fichero:  div256_tb.vhd
-- Autor:   Dailos Ramos Valido
-- Descripción:
--         Testbench del módulo div256
--
-----

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;      --necesario para contador
use IEEE.std_logic_unsigned.all;   --necesario para contador

-- Definimos la entidad del testbench no especifica puertos
entity div256_tb is
--no especifica puertos E/S
end div256_tb;

-- Arquitectura: comportamiento de la entidad tb_clkscale
architecture estimulos_div256 of div256_tb is

```

```

-- Señales internas, que son las señales de E/S del circuito
signal s_clk      : std_logic := '1'; -- Inicializamos a uno
signal s_rst_n   : std_logic;
signal s_divsel  : std_logic_vector (1 downto 0);
signal s_clkout  : std_logic;
signal s_ctl_s1  : std_logic;
signal s_ctl_s2  : std_logic;
signal s_ctl_s3  : std_logic;
signal s_ctl_s4  : std_logic;

-- Declaracion de clkprog_tb componente (circuito a simular)
component div256
  port (clk : in std_logic;      --reloj principal del sistema
        rst_n : in std_logic;   --reset
        divsel : in std_logic_vector (1 downto 0); --selec. division
        clkout : out std_logic;  --salida
        ctl_s1 : out std_logic;  --salida
        ctl_s2 : out std_logic;  --salida
        ctl_s3 : out std_logic;  --salida
        ctl_s4 : out std_logic  --salida
  );
end component;

begin
  -- Instanciación:
  s1 : div256 port map (s_clk, s_rst_n, s_divsel, s_clkout, s_ctl_s1,
    s_ctl_s2, s_ctl_s3, s_ctl_s4);

  -- Generación de la señal de reloj de 50MHz
  process
  begin
    wait for 10 ns;
    s_clk <= not s_clk;
  end process;

  -- Comprobar reset,
  -- '1' --> '0' --> '1'
  s_rst_n <= '1', '0' after 10 ns, '1' after 20 ns;

  -- Comprobar divsel, cambiamos el valor de divsel cada 3us,
  -- un tiempo algo mayor que el de la señal más lenta
  s_divsel <= "00", "01" after 30 us, "10" after 60 us,
    "11" after 120 us, "00" after 150 us, "01" after 180 us,
    "10" after 210 us, "11" after 240 us, "00" after 270 us;

end estimulos_div256;

```

8.2.1.2. *Modelsim*

Con esta herramienta se compila el código y luego se simula el funcionamiento.

8.2.1.2.1. Simulación del diseño en VHDL

Hay que crear un proyecto donde incorporar los ficheros en VHDL, compilarlos y luego simular el *testbench*. El entorno de la herramienta *Modelsim* es el que se muestra en la Figura 8.4.

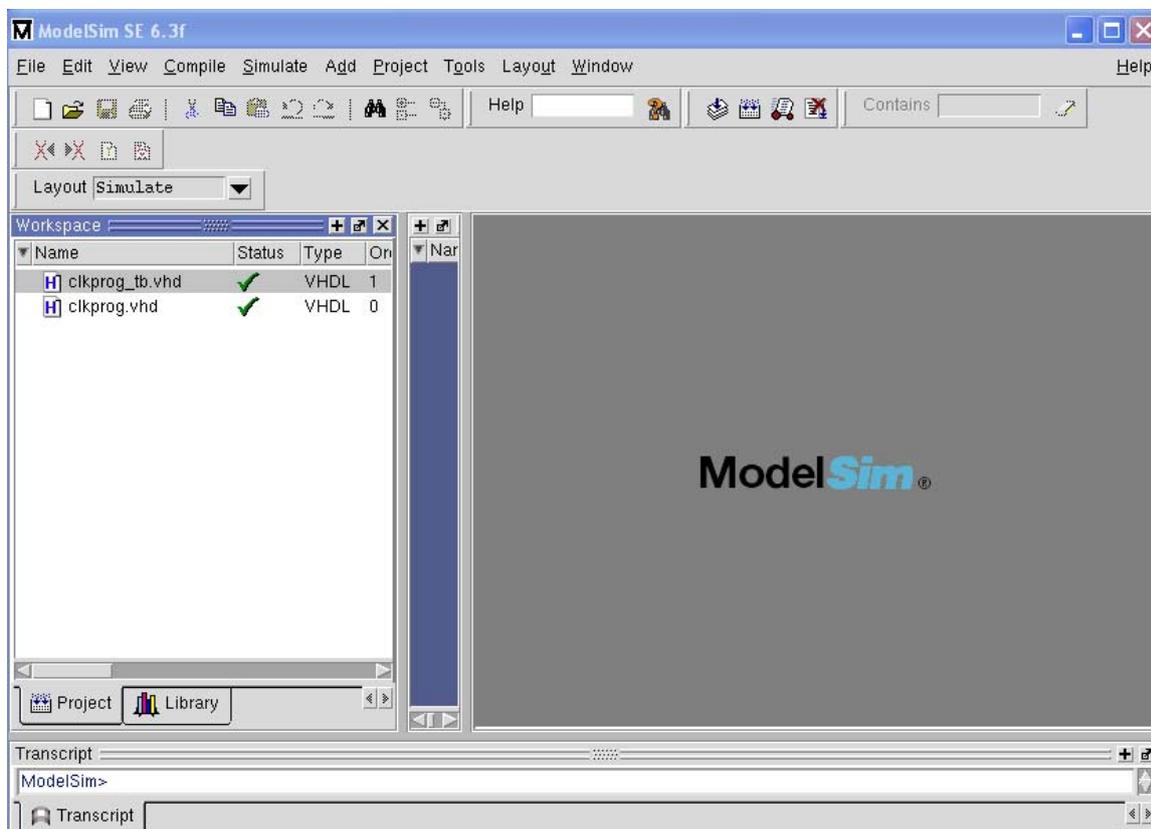


Figura 8.4. Herramienta *ModelSim*.

En las Figuras 8.5 a 8.13 se comprueba la simulación del *testbench* realizado del divisor. Se puede ver la simulación completa del bloque donde se comprueba que la entrada cambia y con ella los *switches* del cambio de sub-banda y la señal de salida. También se ven los resultados de las sub-bandas haciendo un *zoom* a cada una de ellas.

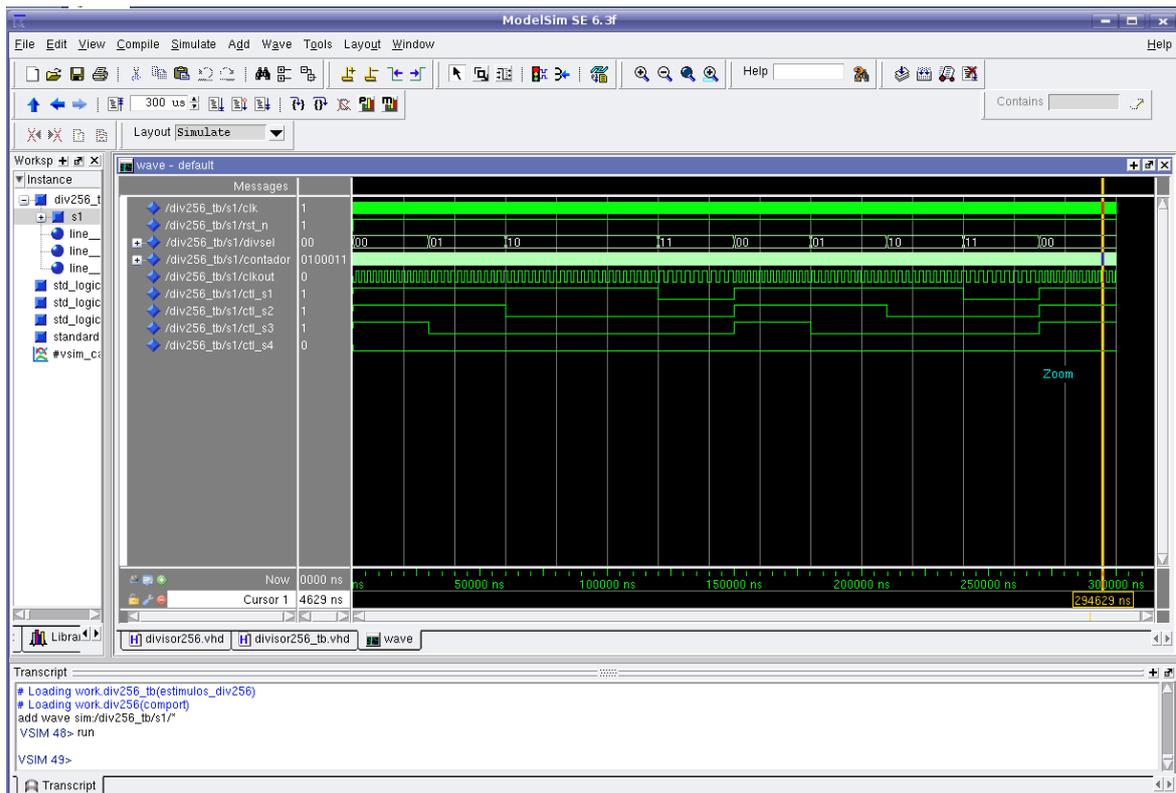


Figura 8.5. Simulación de todo el tiempo del *testbench* con la herramienta *ModelSim*.

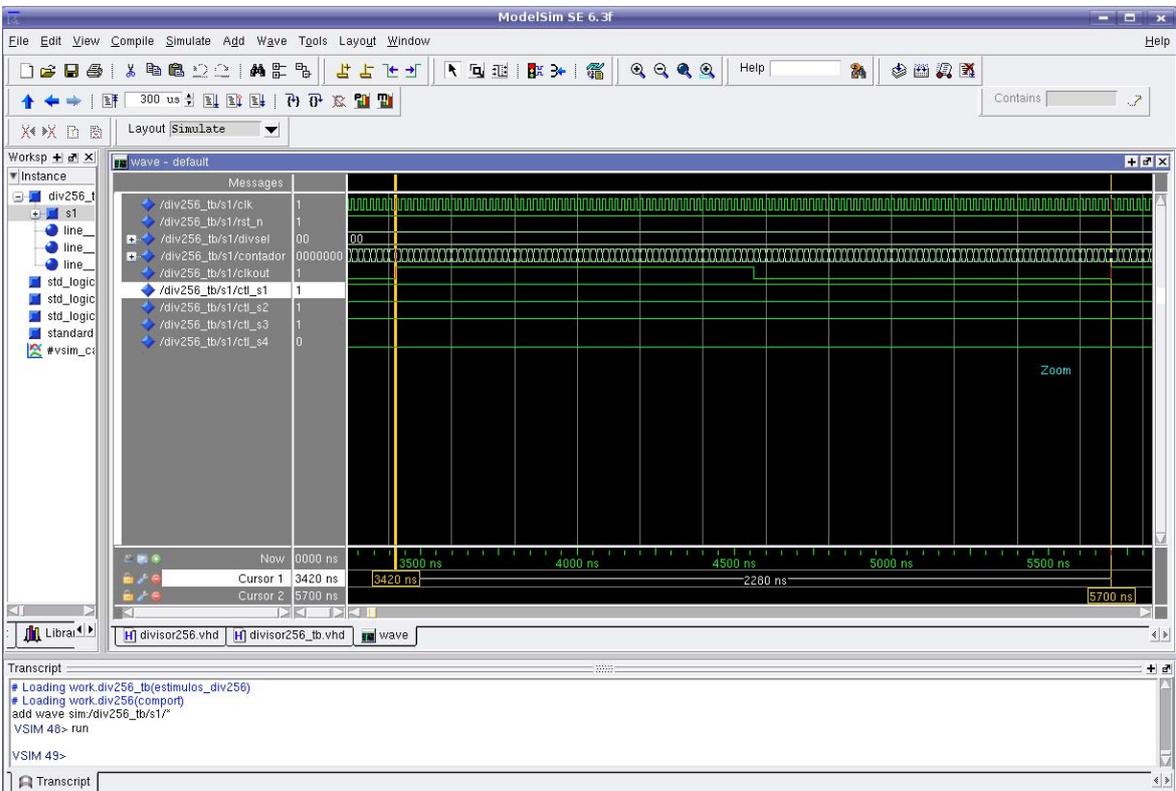


Figura 8.6. Simulación de un periodo de *clkout* de la sub-banda4 con *ModelSim*.

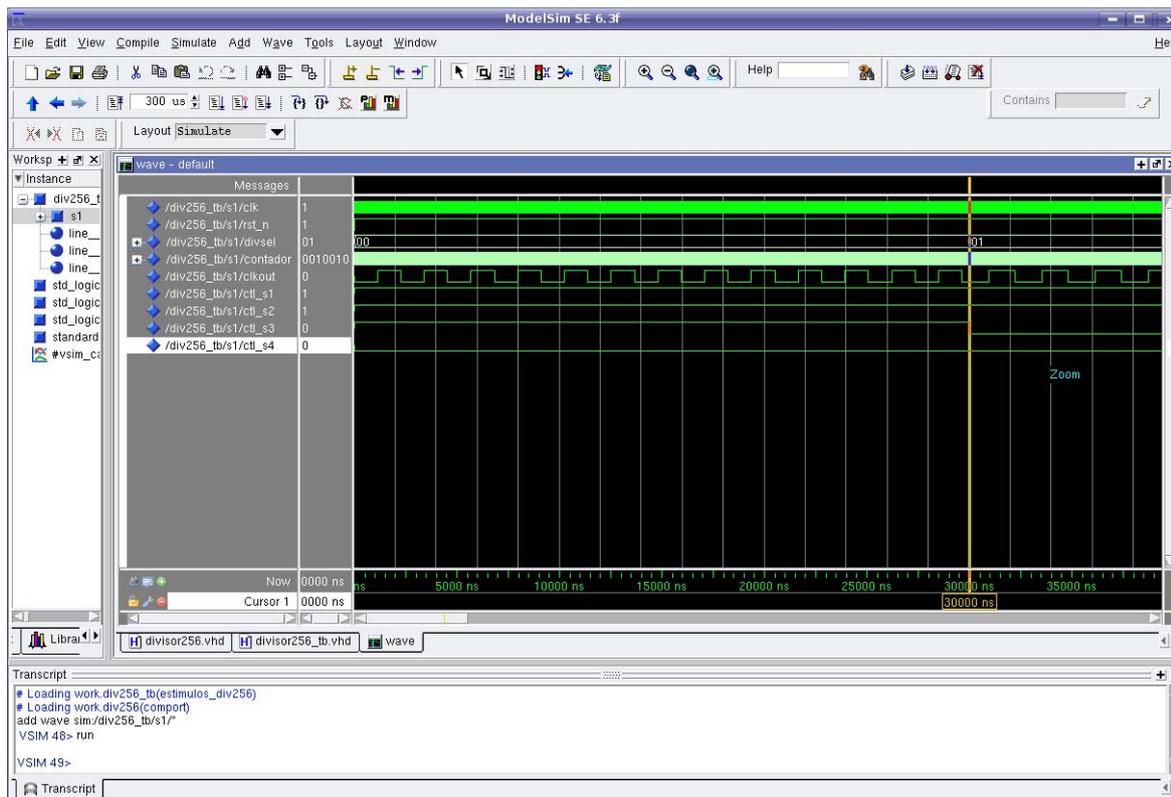


Figura 8.7. Simulación de todo el tiempo en la sub-banda4 con ModelSim.

En las Figuras 8.6 y 8.7 se observa simulaciones para la sub-banda4. Un periodo del divisor para un control de $divsel_1=“0”$ y $divsel_0=“0”$, que divide entre 114, es de:

$$5700ns - 3420ns = 2280ns \tag{8.2}$$

El reloj de simulación tiene un periodo de 20ns, por lo tanto el valor de división es:

$$\frac{2280ns}{20ns} = 114 \tag{8.3}$$

Este es el valor programado, por lo que el diseño es correcto. Además se ven las señales de control para seleccionar la sub-banda del VCO deseada.

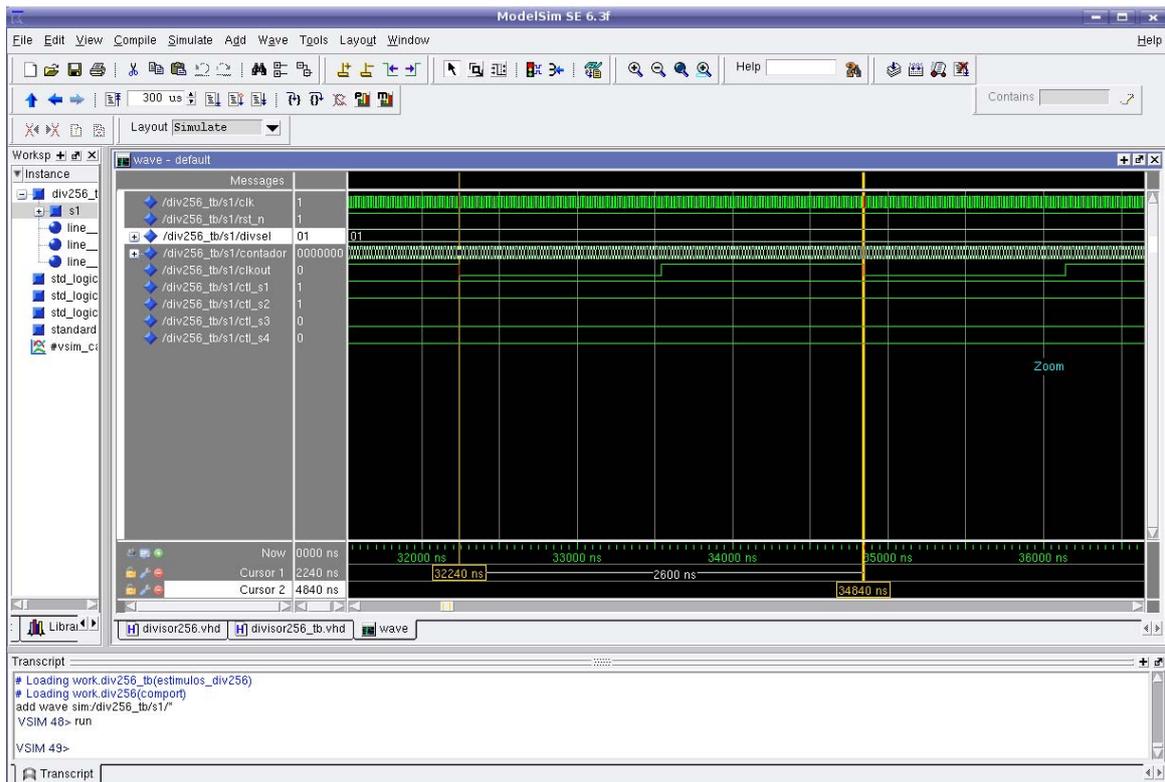


Figura 8.8. Simulación de un periodo de *clkout* de la sub-banda3 con *ModelSim*.

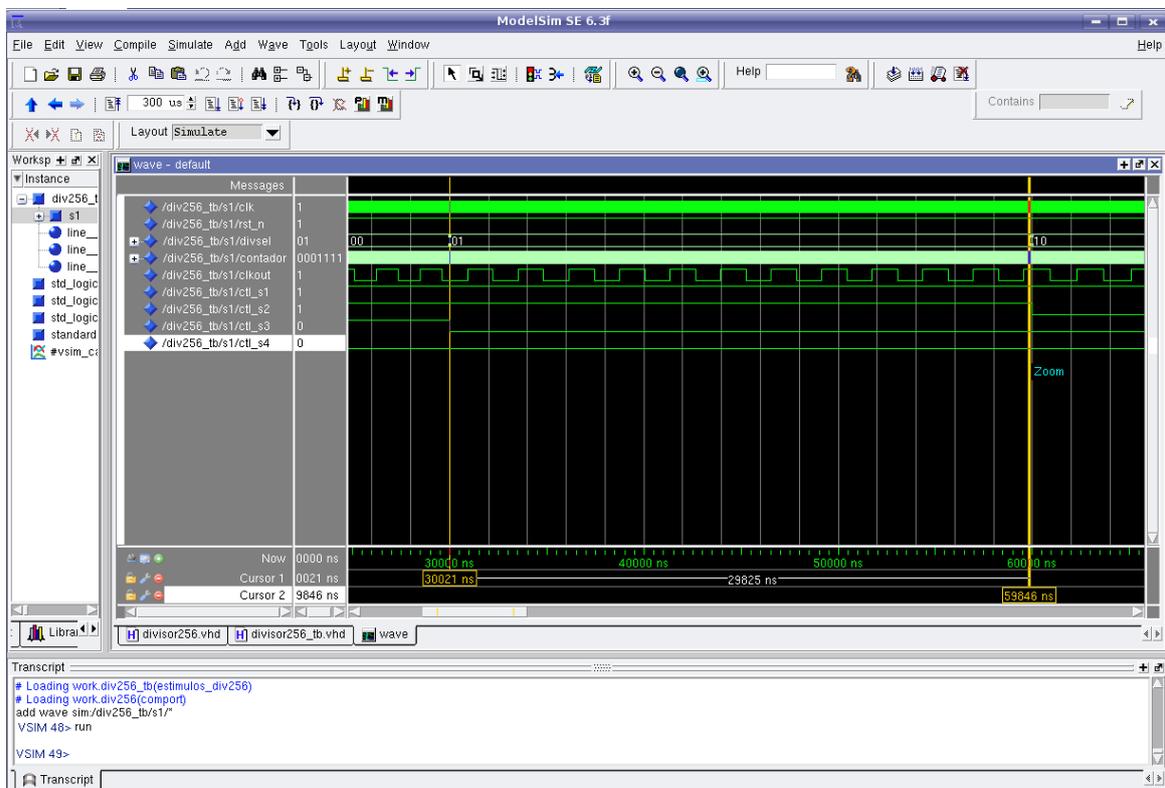


Figura 8.9. Simulación de todo el tiempo en la sub-banda3 con *ModelSim*.

Las Figuras 8.8 y 8.9 corresponden a simulaciones en la sub-banda3. Un periodo del divisor para un control de $divsel_1=“0”$ y $divsel_0=“1”$, que divide entre 130, es de:

$$34840ns - 32240ns = 2600ns \quad (8.4)$$

Por lo tanto, el valor de división es:

$$\frac{2600ns}{20ns} = 130 \quad (8.5)$$

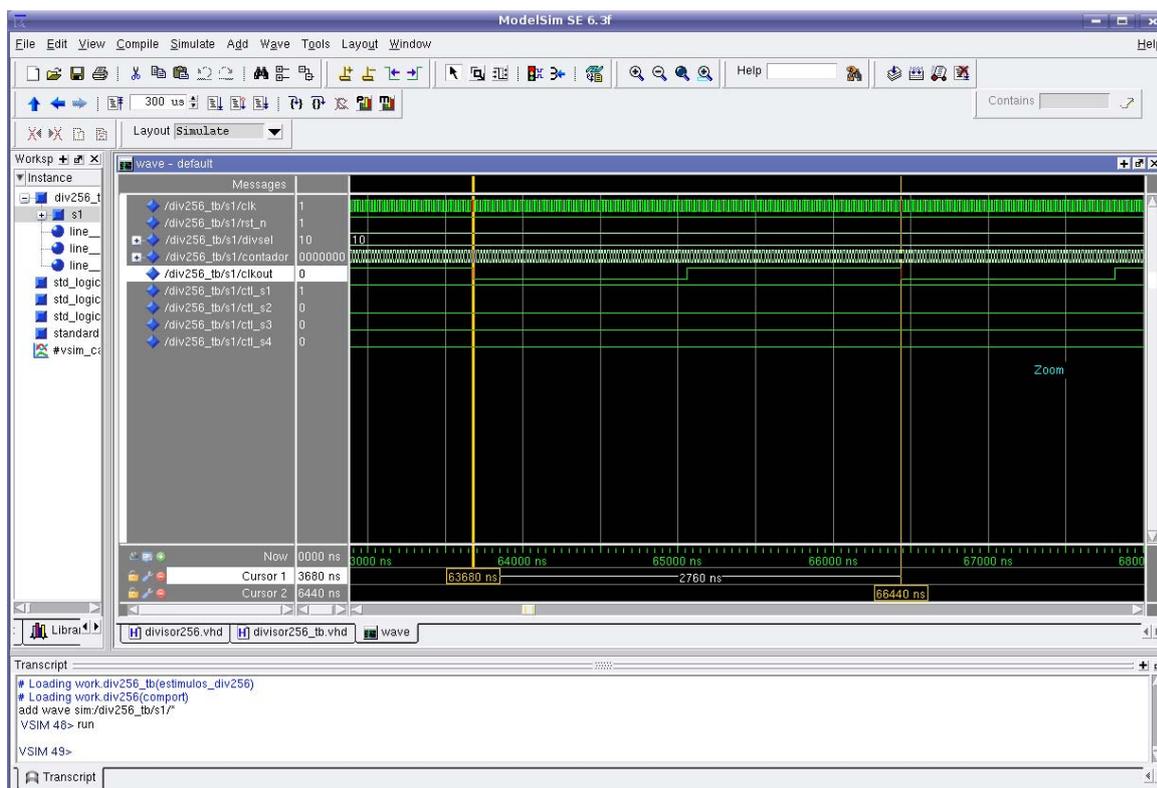


Figura 8.10. Simulación de un periodo de $clkout$ de la sub-banda2 con ModelSim.

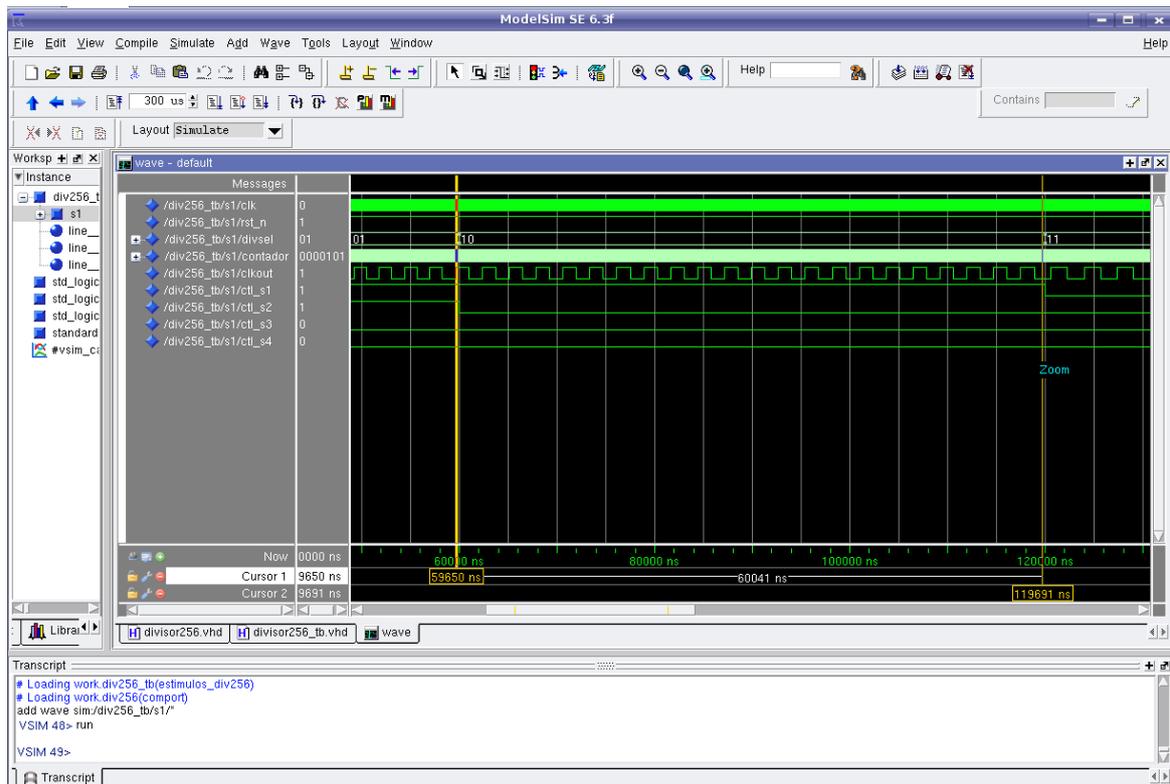


Figura 8.11. Simulación de todo el tiempo en la sub-banda2 con ModelSim.

Para un control de $divsel_1=“1”$ y $divsel_0=“0”$, que divide entre 138 (ver Figuras 8.10 y 8.11), el periodo del divisor es:

$$66440ns - 63680ns = 2760ns \quad (8.6)$$

El valor de división es:

$$\frac{2760ns}{20ns} = 138 \quad (8.7)$$

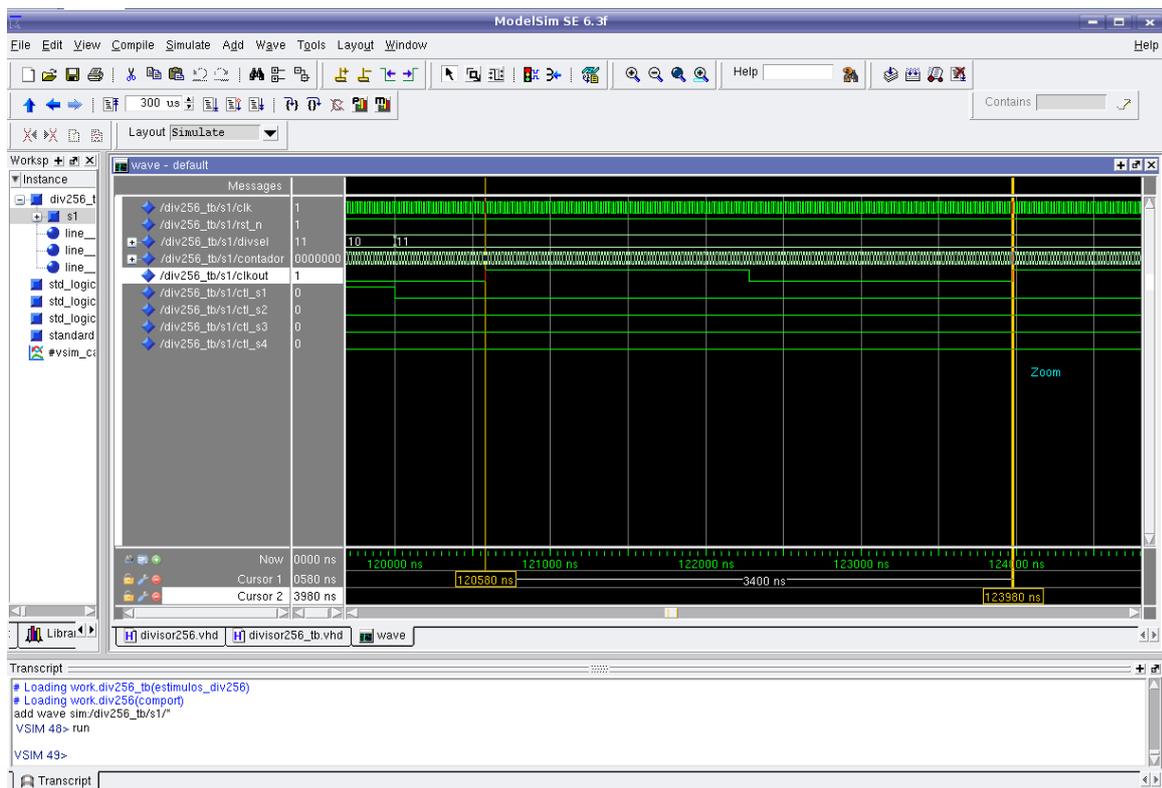


Figura 8.12. Simulación de un periodo de *clkout* de la sub-banda1 con *ModelSim*.

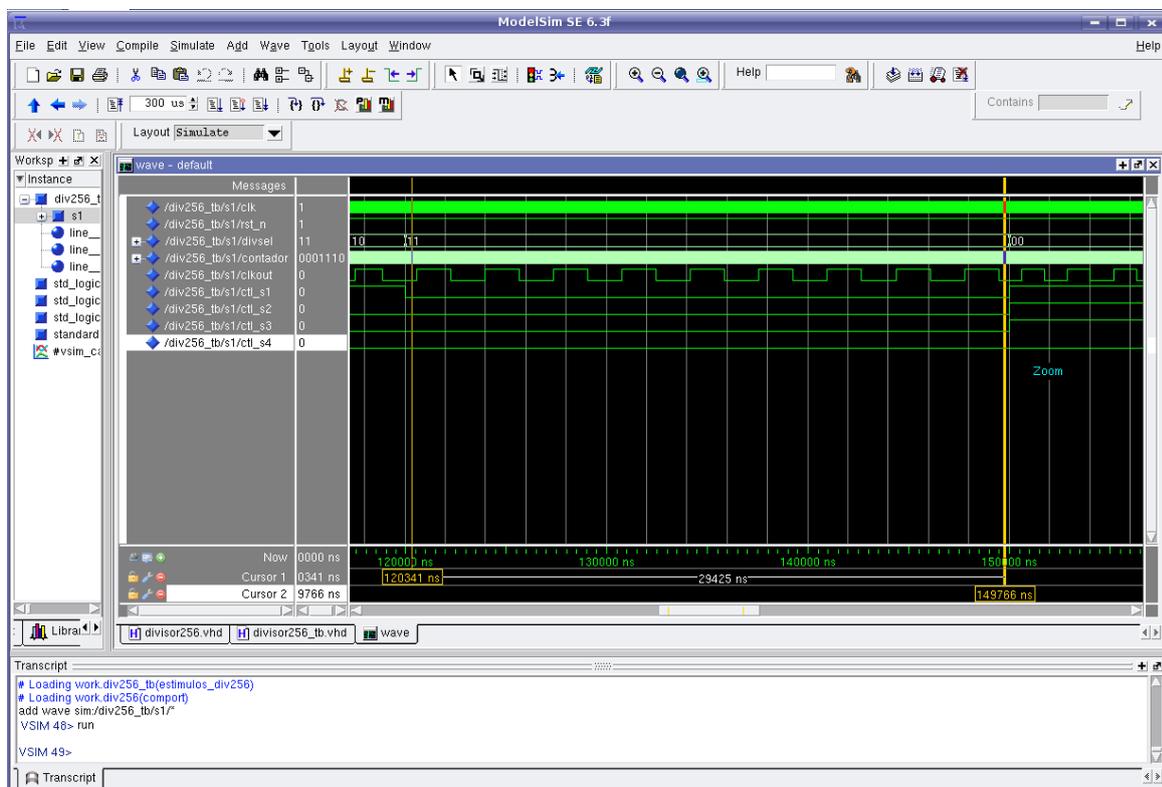


Figura 8.13. Simulación de todo el tiempo en la sub-banda1 con *ModelSim*.

Para el último caso (ver Figuras 8.12 y 8.13), un periodo del divisor para un control de $divsel_1=“1”$ y $divsel_0=“1”$, que divide entre 170, es de:

$$123980ns - 120580ns = 3400ns \quad (8.8)$$

El valor de división es:

$$\frac{3400ns}{20ns} = 170 \quad (8.9)$$

Con esta herramienta se ha comprobado el correcto funcionamiento del diseño realizado para todos los diferentes casos posibles.

8.2.1.3. *Leda*

Con esta herramienta se comprueba la calidad del código VHDL realizado y si es sintetizable.

8.2.1.3.1. **Compilación del código**

En este paso se compila el código para comprobar que el código escrito es sintetizable y se puede llevar a un ASIC. Se ha agregado el código del diseño en la herramienta y no se han encontrado errores por lo que el código es sintetizable y está listo para el siguiente paso. El entorno de la herramienta *Leda* se muestra en la Figura 8.14.

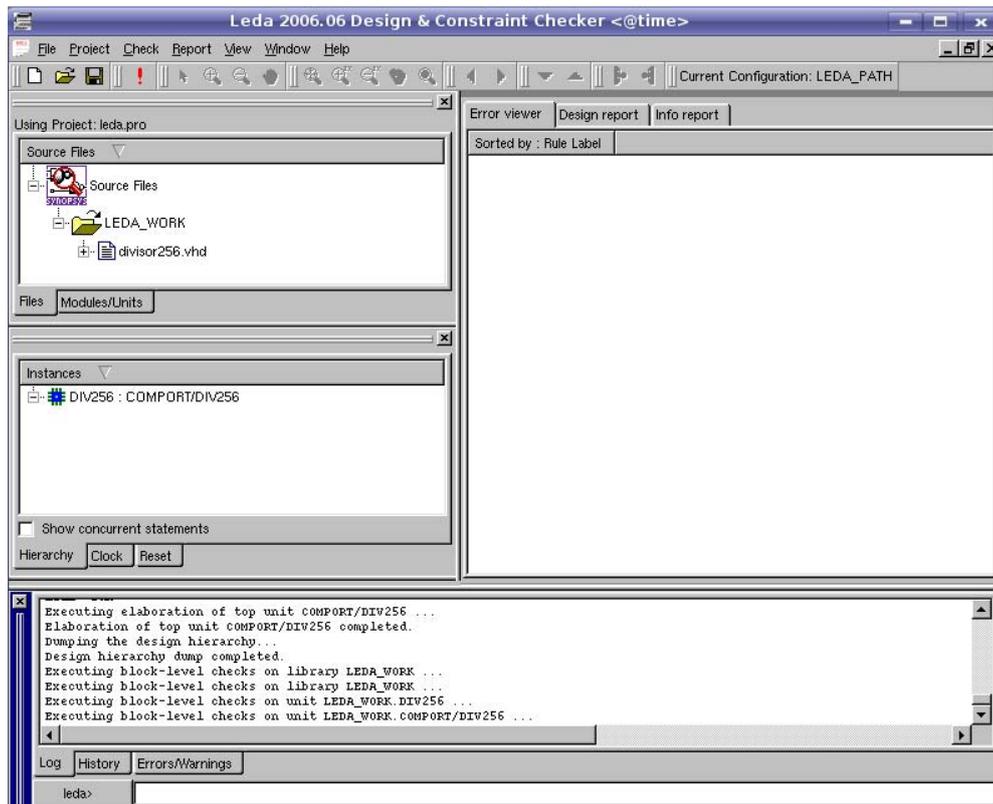


Figura 8.14. Herramienta *Leda*.

8.2.1.4. *Design Compiler*

Esta herramienta realiza la síntesis lógica del diseño donde se le pueden poner una serie de restricciones en cuanto a área, etc. También se comprueba que cumpla las especificaciones de tiempo con la tecnología que se está utilizando y el reloj establecido.

8.2.1.4.1. Flujo de diseño en la síntesis lógica en un ASIC

El flujo de diseño de la herramienta *Desing Compiler* se ve en la Figura 8.15. Hay que ponerle las restricciones para luego analizarlo, mapearlo y optimizarlo para finalmente obtener una *netlist*.

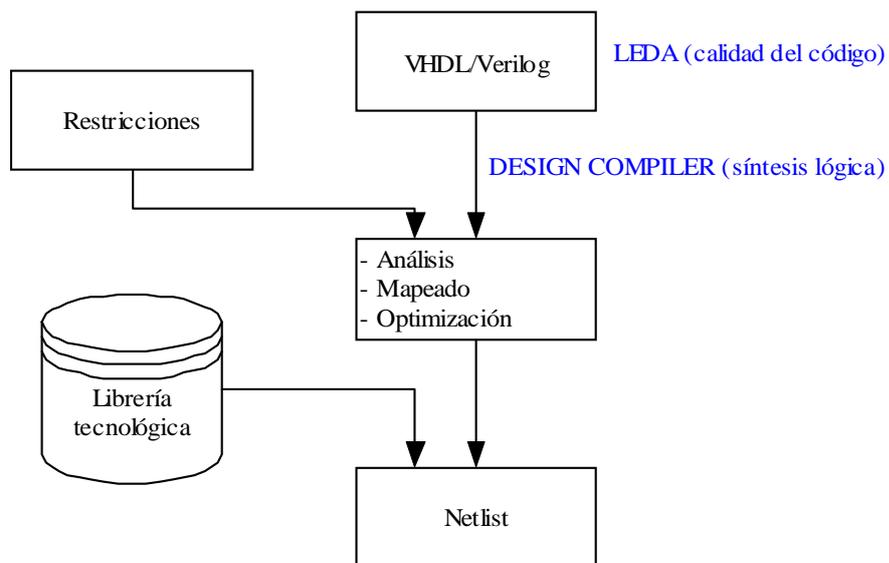


Figura 8.15. Flujo de diseño de la herramienta *Design Compiler*.

8.2.1.4.2. Análisis, mapeado y optimización

El entorno de la herramienta *Design Compiler* se ve en la Figura 8.16. En un primer paso hay que configurar la herramienta para que reconozca la tecnología que se va a utilizar.

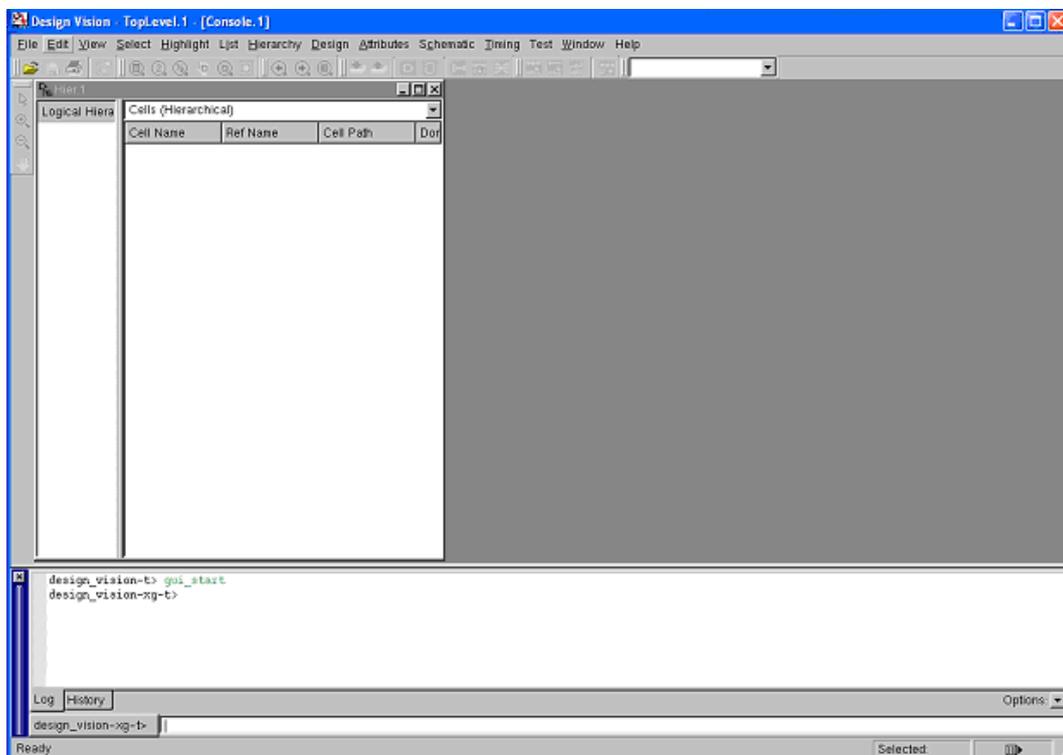


Figura 8.16. Herramienta *Design Compiler*.

Se pone el reloj correspondiente así como los parámetros que se necesitan (ver Figuras 8.17 a 8.20).

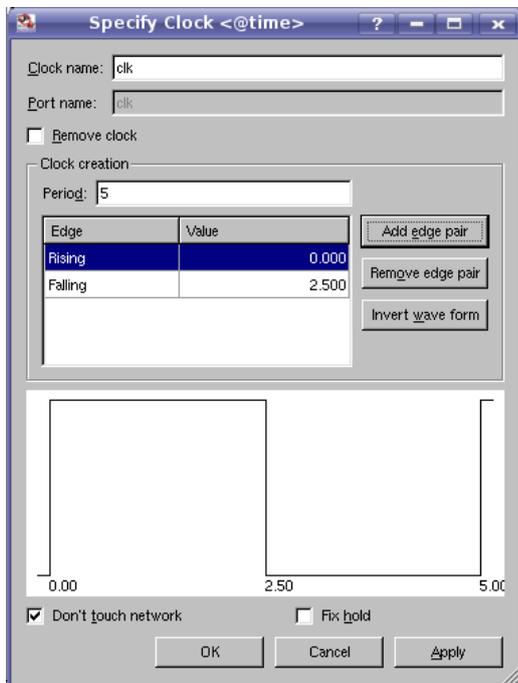


Figura 8.17. Reloj para diseño en *Design Compiler*.

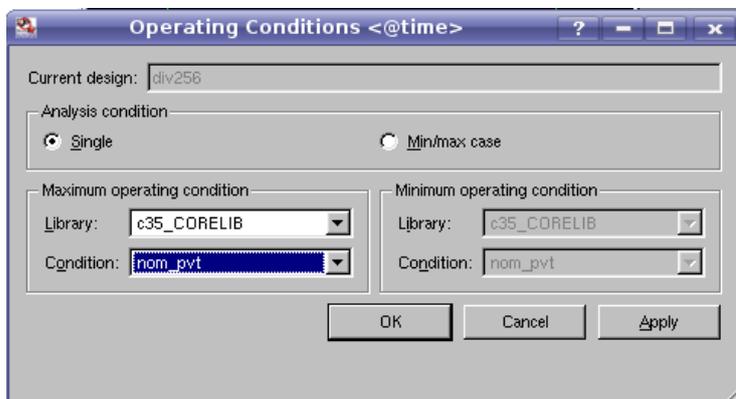


Figura 8.18. Tecnología y valor nominal de los componentes en el diseño en *Design Compiler*.

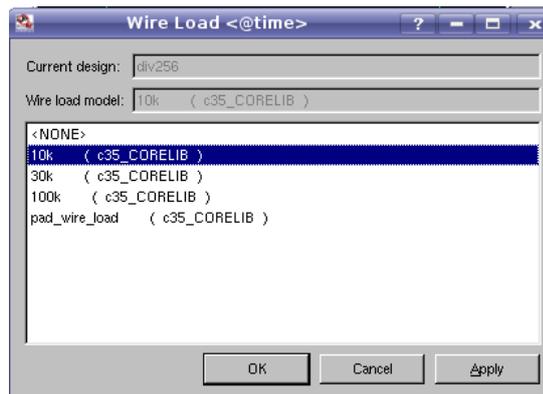


Figura 8.19. Carga en los cables en el diseño en *Design Compiler*.

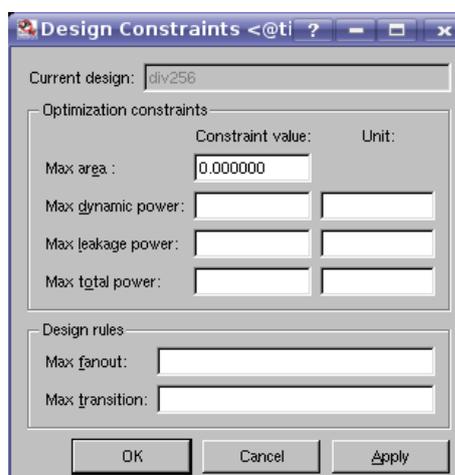


Figura 8.20. Restricción de máxima área en el diseño en *Design Compiler*.

La herramienta genera automáticamente un símbolo con las entradas y salidas del diseño. En la Figura 8.21 tenemos el símbolo creado por la herramienta.

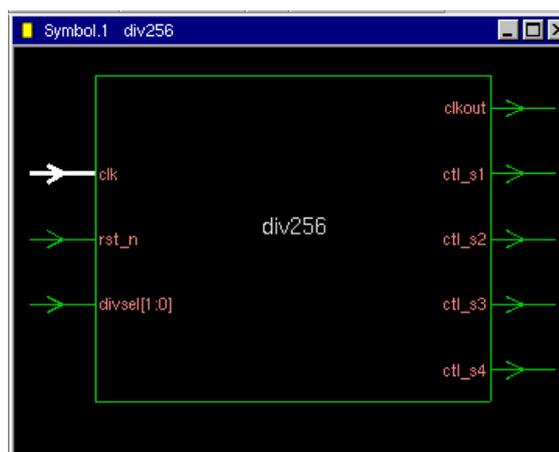


Figura 8.21. Símbolo creado por *Design Compiler*.

En la Figura 8.22 se ve la lógica generada a partir de la descripción en lenguaje VHDL.

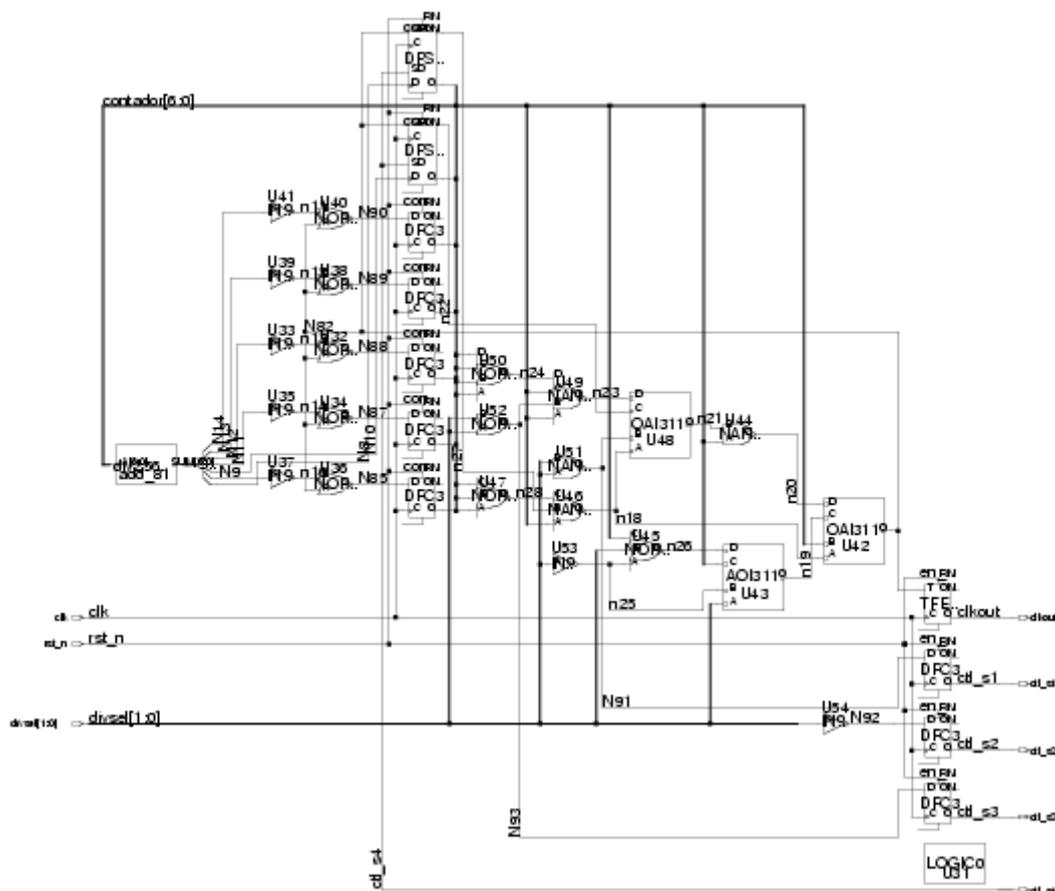


Figura 8.22. Lógica creado por Design Compiler.

El límite de esta tecnología es alrededor de los 200MHz. En la Figura 8.23 se puede ver el informe de tiempo generado donde se puede usar el diseño porque cumplen las restricciones de *slack*. En la Figura 8.24 se puede ver un informe de área que consume el circuito.

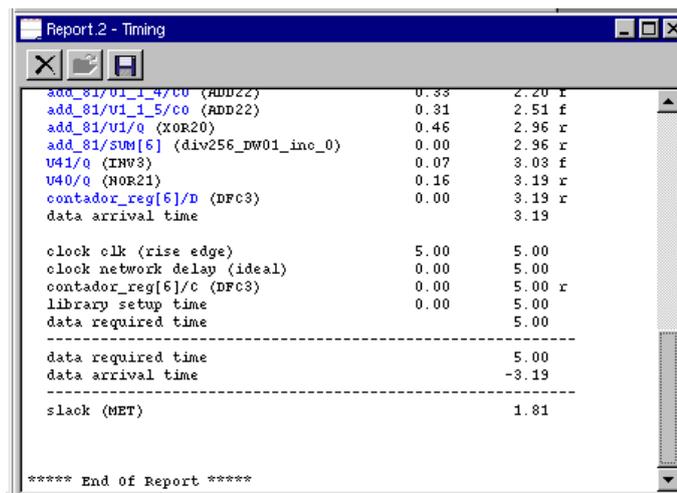


Figura 8.23. Informe de tiempo creado por Design Compiler.

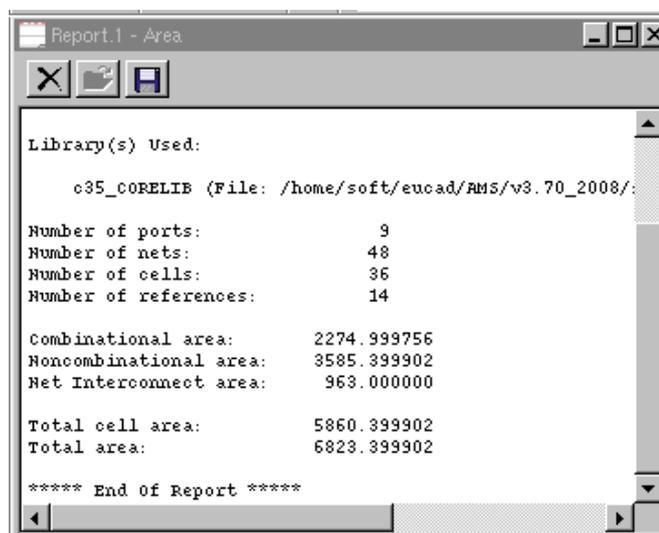


Figura 8.24. Informe de área creado por Design Compiler.

8.2.1.5. *Encounter*

Es una herramienta para realizar el *Floorplaning*, la Planificación de la Alimentación, el *Placement* y el *Routing*.

8.2.1.5.1. Flujo de diseño del Floor planing, Planificación de Alimentación, Placement, CTS, Routing, Análisis y Verificación.

El flujo de diseño de la herramienta *Encounter* es el que se muestra en la Figura 8.25. Se comienza con una *netlist* y se llega a obtener un archivo en formato gds.

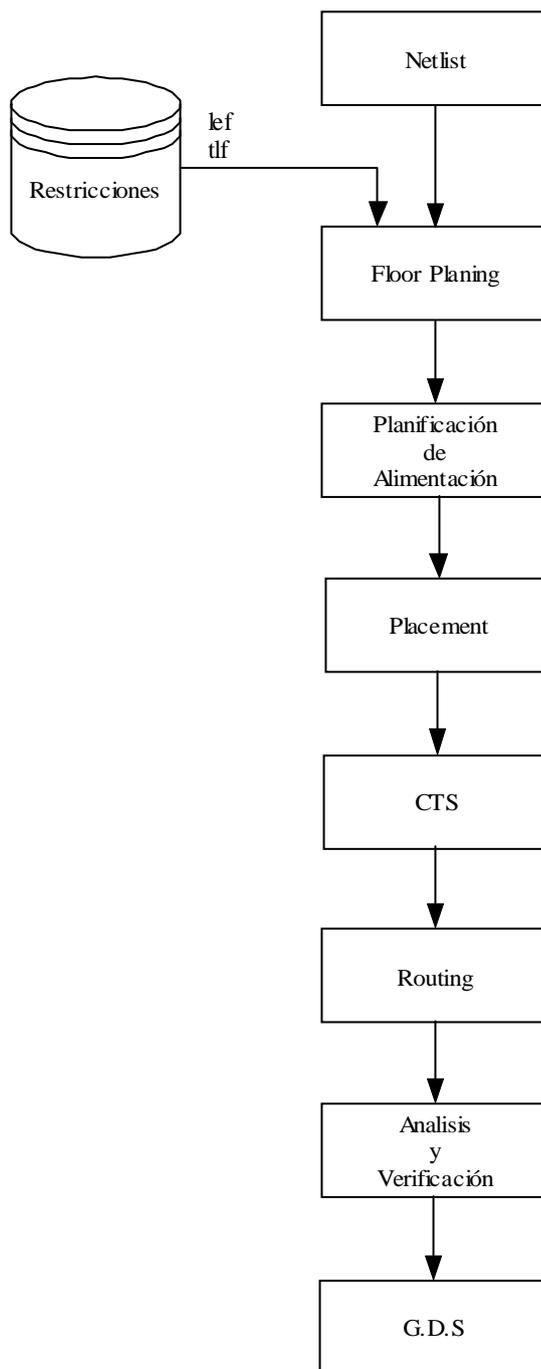


Figura 8.25. Flujo de diseño de la herramienta *Encounter*.

8.2.1.5.2. Floor planing, Planificación de Alimentación, Placement, CTS, Routing, Análisis y Verificación, formato GDS.

El entorno de la herramienta es el de la Figura 8.26.

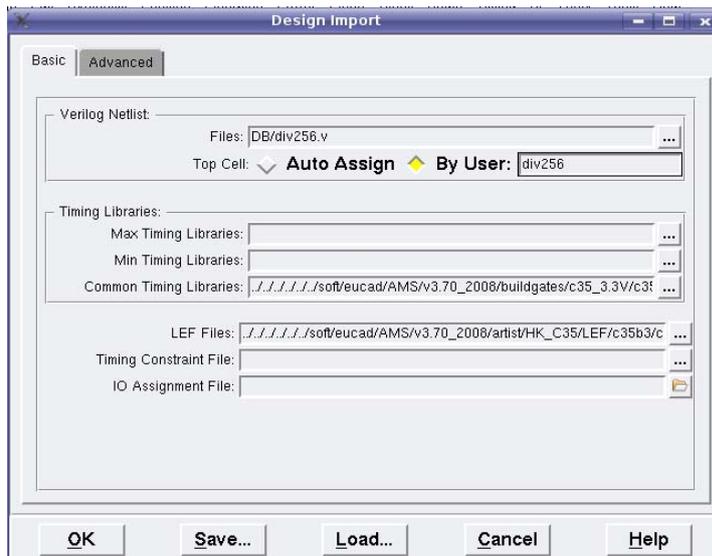


Figura 8.27. Importar diseño con la herramienta Encounter.

Un paso importante es poner la alimentación (*VDD*) y masa (*VSS*). Lo carga y estima el área a utilizar (ver Figuras 8.28 y 8.29).

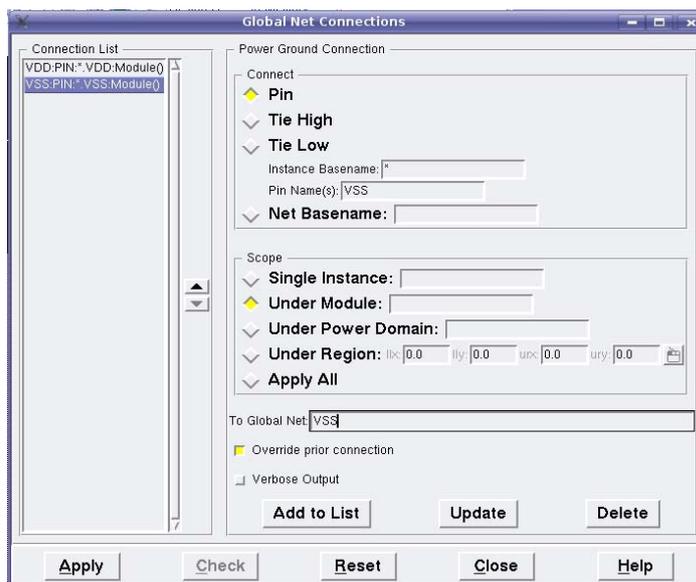


Figura 8.28. Conexión de Nets globales con la herramienta Encounter.

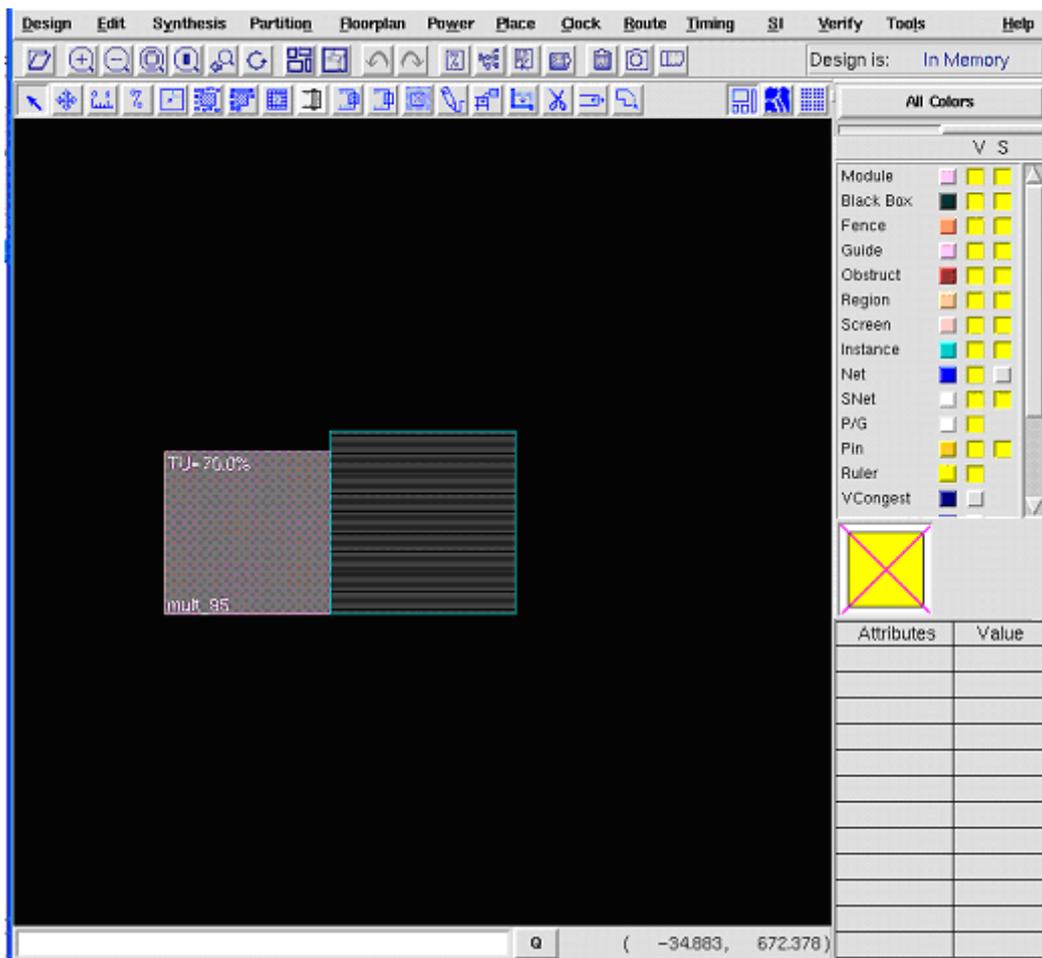


Figura 8.29. Estimación del área a usar en la Herramienta *Encounter*.

Hay que configurar la dimensión del núcleo o *core*. Por ejemplo, se puede poner lo más cuadrado posible si nos interesa y la herramienta intenta buscar la mejor solución disponible (ver Figura 8.30).

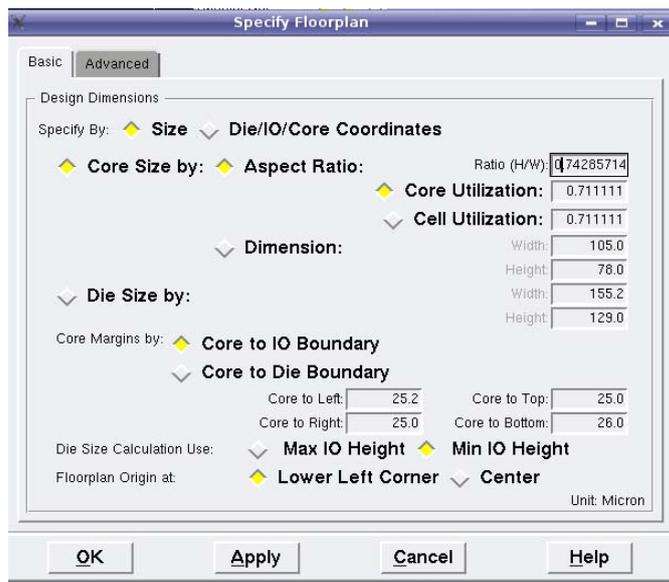


Figura 8.30. Especificaciones del Floorplan con la herramienta Encounter.

Se pone un anillo de alimentación con la VDD y GND donde hay que poner la anchura y centrarlo en el canal (Figura 8.31). El anillo de alimentación queda como se representa en la Figura 8.32.

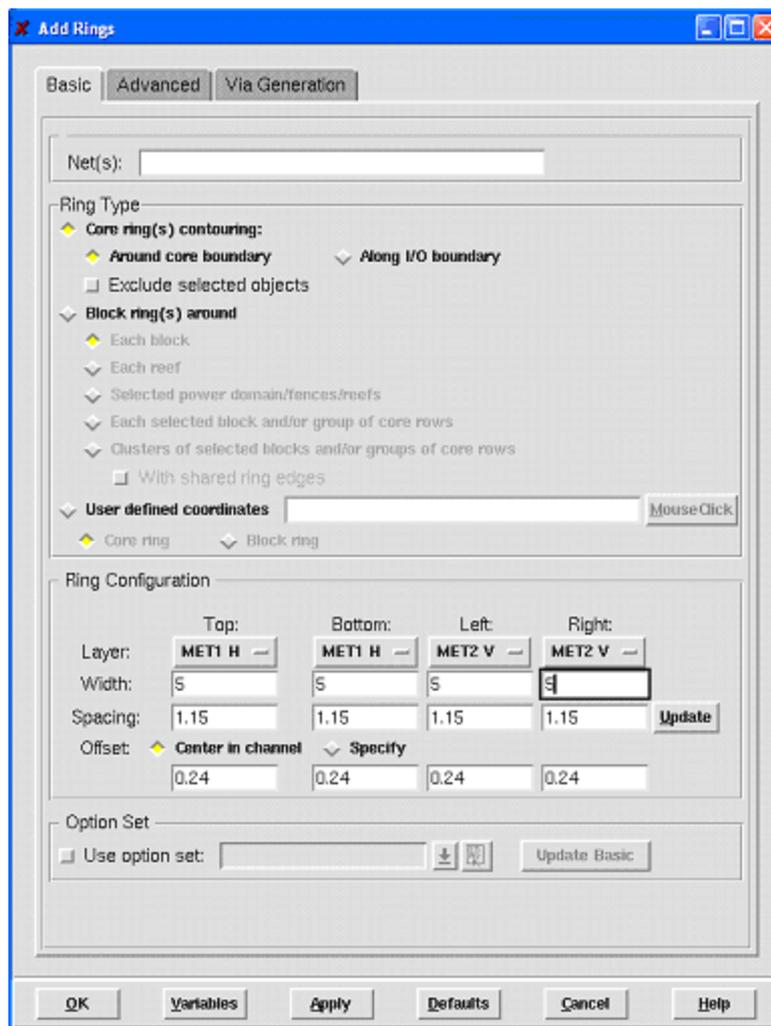


Figura 8.31. Configuración del anillo de alimentación en la herramienta *Encounter*.

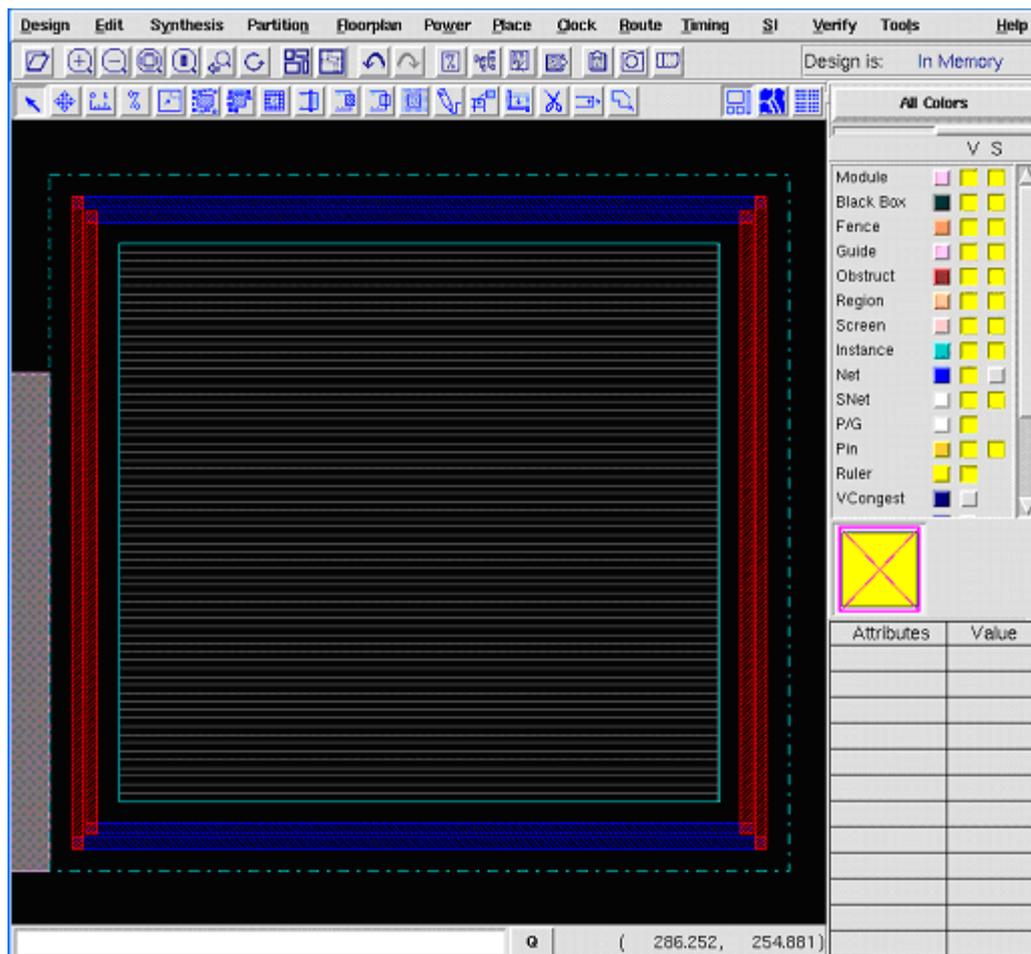


Figura 8.32. Vista final del anillo de alimentación en la herramienta *Encounter*.

En este momento hay que rellenar con las células estándar, las cuales son la lógica de nuestro diseño. Este paso se puede ver en la Figura 8.33.

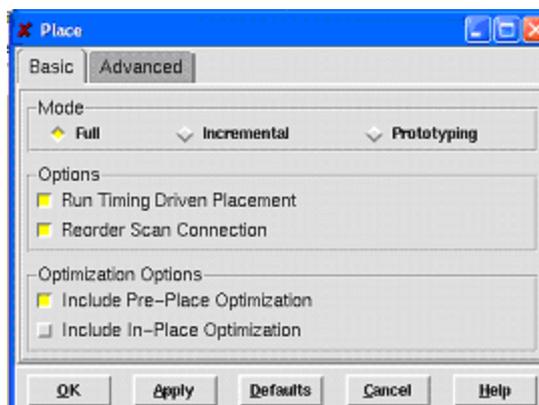


Figura 8.33. Configuración de las células estándar en la herramienta *Encounter*.

También hay que poner células de relleno para no dejar huecos entre las células estándar. En la Figura 8.34 se ven los nombres de las células de relleno de las que se disponen.

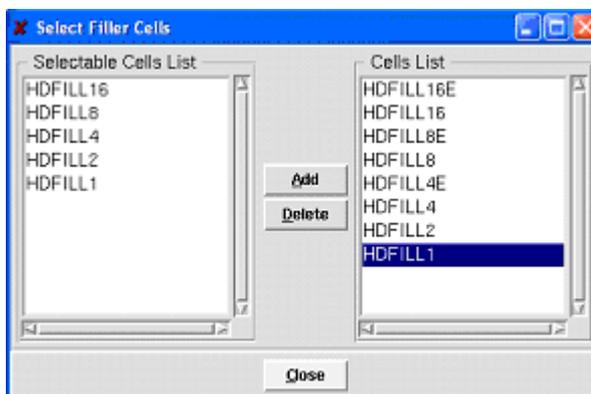


Figura 8.34. Configuración de las células de relleno en la herramienta *Encounter*.

Ahora hay que establecer el conexionado de las células del circuito, para ello se dispone en la herramienta de un *Special Route* del cual se hará utilidad para este fin. Una vez realizado este paso se puede ver la vista física del *layout*, como se puede ver en la Figura 8.35.

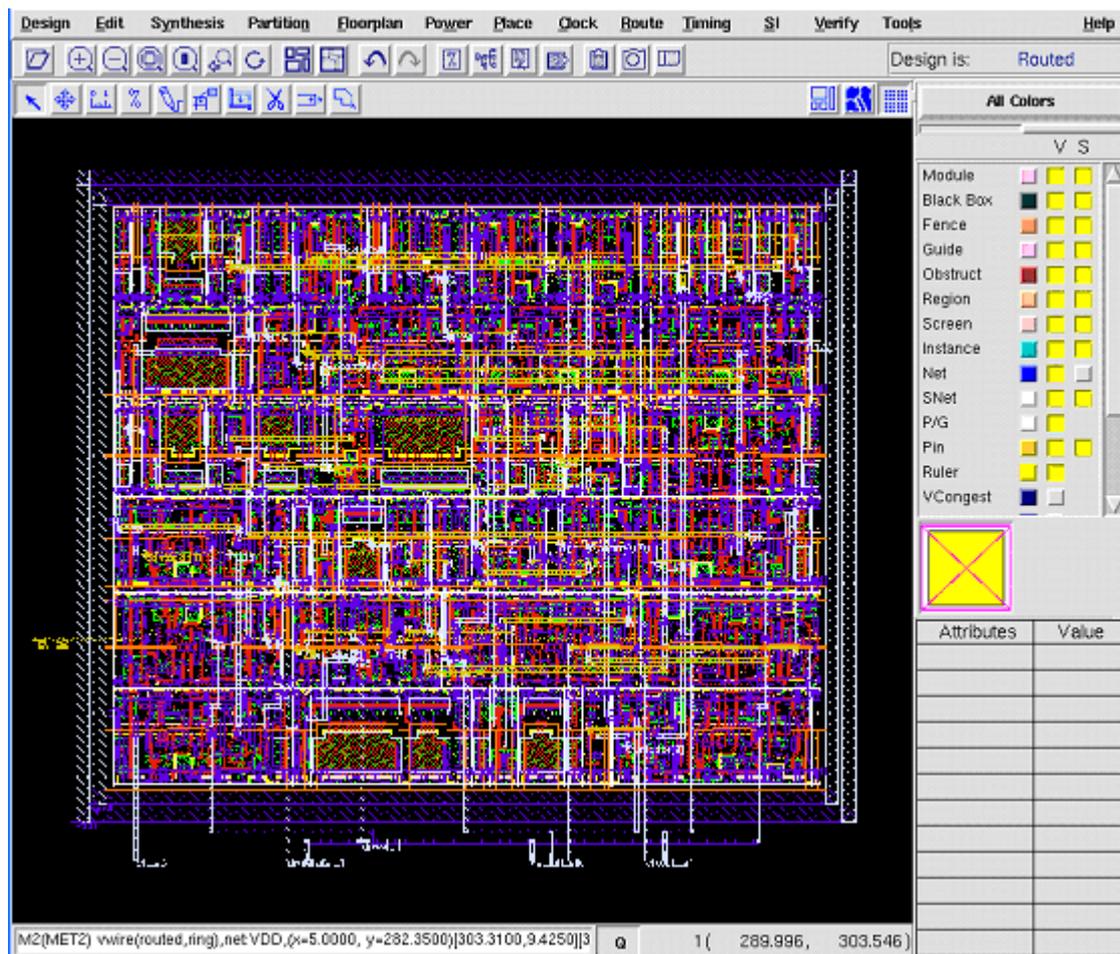


Figura 8.35. *Layout* automático con la herramienta *Encounter*.

Una vez realizados todos los pasos anteriores sólo queda guardar el diseño en formato gds para poder exportarlo y usarlo en el diseño final del sintetizador.

8.3. Resumen

Al comenzar el capítulo se definió la estructura del divisor programable que se va a realizar. En cuanto al divisor programable de baja frecuencia se han explicado los pasos a seguir en el diseño de un ASIC utilizando lenguaje VHDL y herramientas de simulación, compilación, sintetización, síntesis lógica, el *floor planing*, la planificación de la alimentación, *placement* y el *routing*.

Una vez realizado el *layout* del divisor programable de baja velocidad en el siguiente capítulo se procede a realizar el *layout full-custom* de los demás bloques que forman el sintetizador con la herramienta *Cadence*.

Capítulo 9

Layout de los distintos bloques y del sintetizador completo

Una vez realizado el diseño de las distintas partes del sintetizador a nivel de esquemático en ADS y comprobar que las simulaciones de los circuitos cumplen con las especificaciones, procedemos al diseño del circuito a nivel de *layout*.

9.1. Introducción

Para la realización del *layout* utilizamos la herramienta *Virtuoso* integrada dentro del software *Cadence*, que a su vez integra la herramienta de verificación física *Assura* [7]. Esto nos va a permitir, no sólo realizar el *layout full-custom* del circuito sino, además, hacer las simulaciones *post-layout*.

Para generar el *layout* correctamente deben de cumplirse una serie de reglas que dependen de la tecnología empleada, como pueden ser: la distancia entre los distintos

elementos, ángulos, densidad de corriente que pueden pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaños, anchos de las pistas, etc.

Así mismo, existen una serie de aspectos a tener en cuenta que nos permiten obtener el comportamiento óptimo del diseño. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se muestran a continuación:

- El sustrato se debe conectar al potencial más negativo.
- Se ha de lograr la máxima simetría entre los componentes aplicando la técnica del centroide común. Esta técnica se emplea para que a dos elementos iguales le afecten del mismo modo las dispersiones que se puedan producir durante el proceso de fabricación.
- Se debe evitar que los ángulos de las pistas sean menores a 45°.
- Las pistas de poli-silicio deben ser lo más cortas posibles, ya que crean resistencias perjudiciales para el comportamiento del circuito.
- Las pistas de poli-silicio, metal 1, metal 2 y metal 3 han de tener un determinado ancho dependiendo del flujo de corriente que circule a través de ellas. Estas dimensiones son recomendadas por la tecnología usada y son mostradas en la Tabla 9.1.

Generalmente, las pistas se han sobredimensionado para evitar posibles roturas. Las pistas de alimentación las sobredimensionamos al máximo aprovechando los espacios vacíos, ya que se nos crea una capacidad parásita muy grande que nos sirve para filtrar cualquier ruido que viniera con dichas tensiones de alimentación. En cambio para las señales tanto de alta frecuencia como de reloj nos interesa que esta capacidad sea muy pequeña para que nos influya lo menos posible.

Tabla 9.1. Dimensiones mínimas de los materiales con respecto al flujo de corriente

Materiales	Unidades (mA/ μ m)
Poly 1	0,5
Metal 1	1
Metal 2	1
Metal 3	1

A la hora de fabricar el circuito, a los distintos componentes pueden afectarle una serie de dispersiones del proceso. Estas dependen, sobre todo, de donde esté ubicado el circuito integrado dentro de la oblea. Las dispersiones siempre actúan de manera lineal y en una dirección determinada. Se pueden distinguir varios tipos de dispersiones, entre las que destacan:

- Variación en el espesor de la capa de óxido: afecta, principalmente, a las capacidades parásitas de los transistores.
- Variación en el número de impurezas: afecta a la movilidad de los electrones, lo que modifica el valor de la transconductancia.
- Variación del tamaño de los transistores: afecta al valor de la transconductancia, capacidades parásitas y resistencias de los transistores.

Si queremos pasar de un metal a otro y colocamos una única vía de unión entre las capas de los diferentes metales, esto nos hace correr el riesgo de que si esta falla nos pueda repercutir en el mal funcionamiento del circuito. Por este motivo todo el circuito se diseña para evitar riesgos innecesarios y en lugar de colocar una sola vía entre las diferentes capas de metales optamos por poner dos si el diseño lo permite.

9.2. Diseño a nivel de *Layout*

La metodología utilizada para el diseño del *layout* del sintetizador es dividir el circuito en diferentes bloques para ir construyendo el *layout*. De este modo, cuando se finaliza cada bloque hacemos una simulación de la vista extraída con el resto de los

Para simularlo se quitan las bobinas del *layout* y se incorporan con unos esquemáticos como elementos externos del circuito ya que al ser bobinas nos darían errores de cortocircuito al pasar las reglas de diseño (DRC). Hay que tener muy en cuenta que estas bobinas hay que incorporarlas en el diseño final del *layout* cuando se envíe a fabricar.

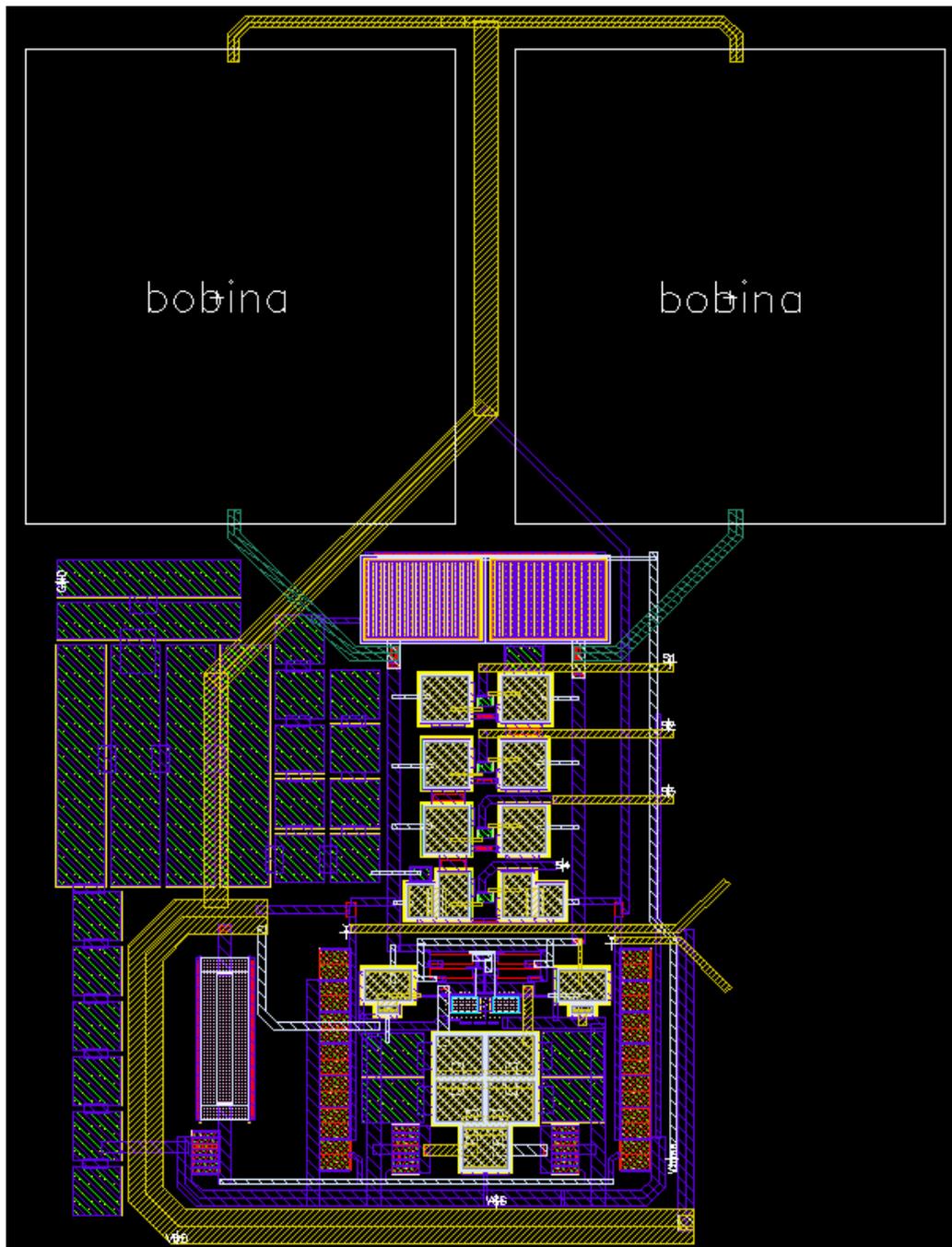


Figura 9.2. *Layout* del VCO sin pads.

Se ha realizado la pertinente simulación y se ha comprobado el correcto funcionamiento del bloque para las distintas sub-bandas. Un factor importante a tener en cuenta es que como se trata de un oscilador hay que ponerle una condición inicial para que arranque.

9.2.2. Divisor entre dos

Asociado al divisor entre dos podemos relacionar la adaptación para que este bloque sea funcional con nuestro diseño. Por lo tanto en este apartado se ven los bloques relacionados con éste.

9.2.2.1. Nivel de continua

El primer bloque (ver Figuras 9.3 y 9.4) se usa para quitarle a la salida del VCO un posible nivel de continua que puede ser distinto según la frecuencia de salida y poner un nivel de continua conocido.

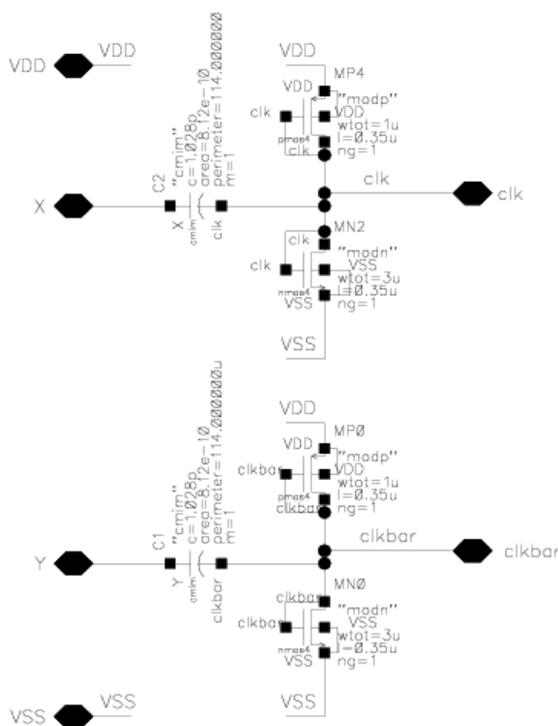


Figura 9.3. Esquemático en Cadence de adaptación de nivel de continua.



Figura 9.4. Layout de adaptación de nivel de continua.

La primera simulación se realiza con los bloques separados del VCO y el de la adaptación del nivel de continua, con el test de la Figura 9.5.

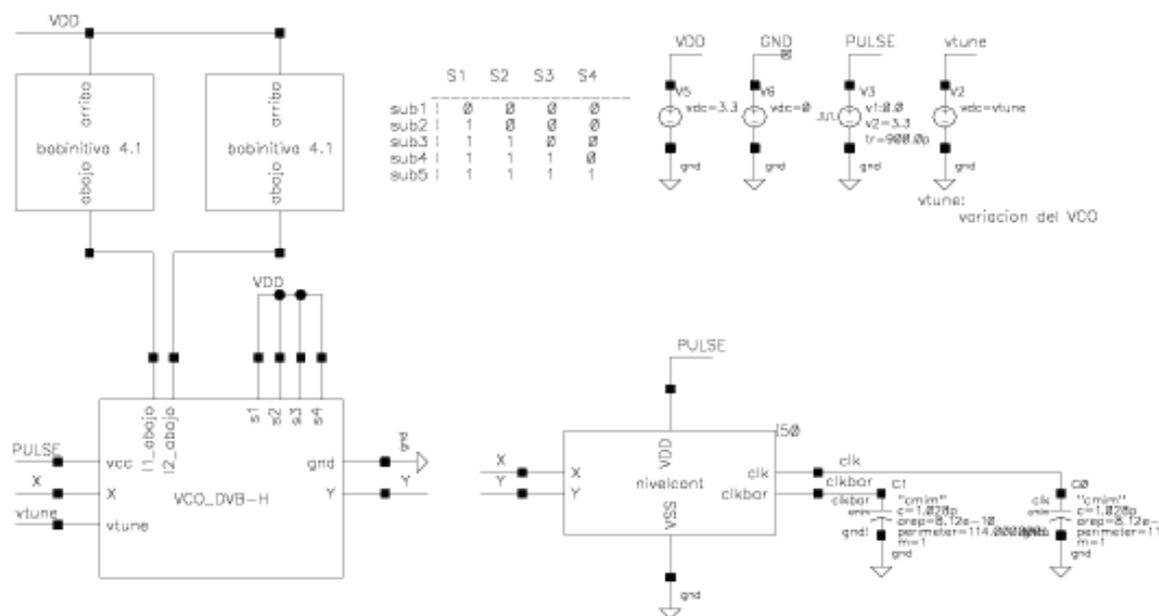


Figura 9.5. Test en Cadence del VCO y de la adaptación de nivel en continua por separados.

Seguidamente, como se ve en la Figura 9.6, se unen los bloques en un mismo layout y se comprueba el correcto funcionamiento tal como se hizo en la simulación de los circuitos por separado.

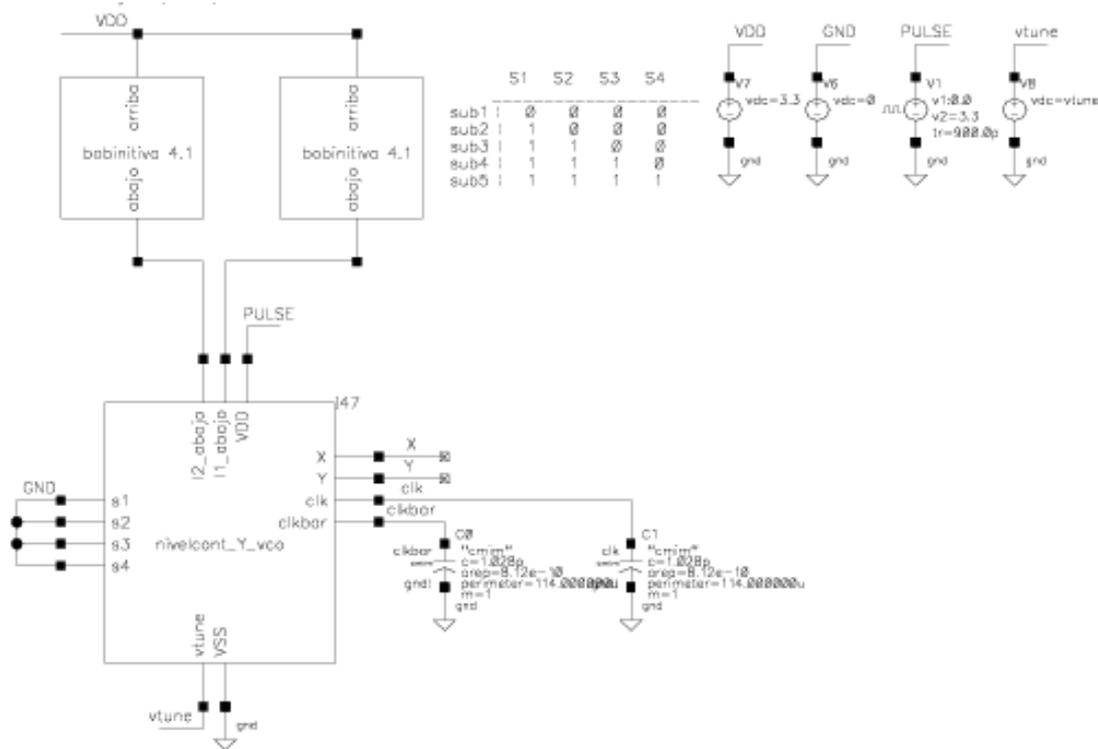


Figura 9.6. Test en Cadence del VCO y de la adaptación del nivel en continua unidos.

En la Figura 9.7 se muestra el layout con los circuitos del VCO y de la primera parte que vamos a integrar, el de adaptación del nivel de continua. Estos pasos son los seguidos para todas las demás partes del diseño.

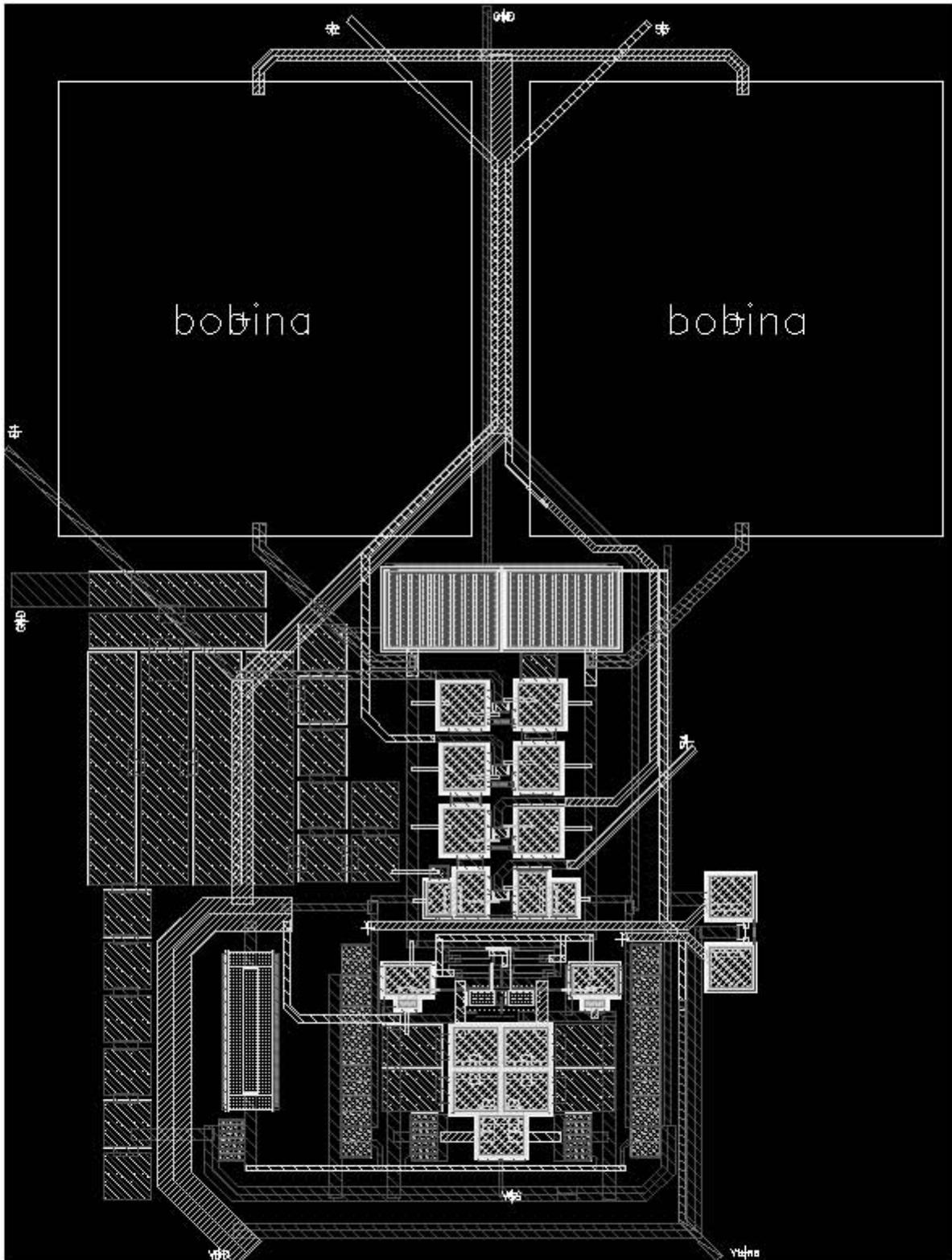


Figura 9.7. Layout del VCO y de la adaptación de nivel de continua.

9.2.2.2. Fuente de corriente 0,15mA

Esta parte es necesaria para el siguiente bloque, el *buffer* de RF (ver Figuras 9.8 y 9.9). Se han reajustado los componentes MN2 y R0 para obtener la corriente deseada ya que difiere el modelo de los componentes en *Cadence* de los componentes de ADS.

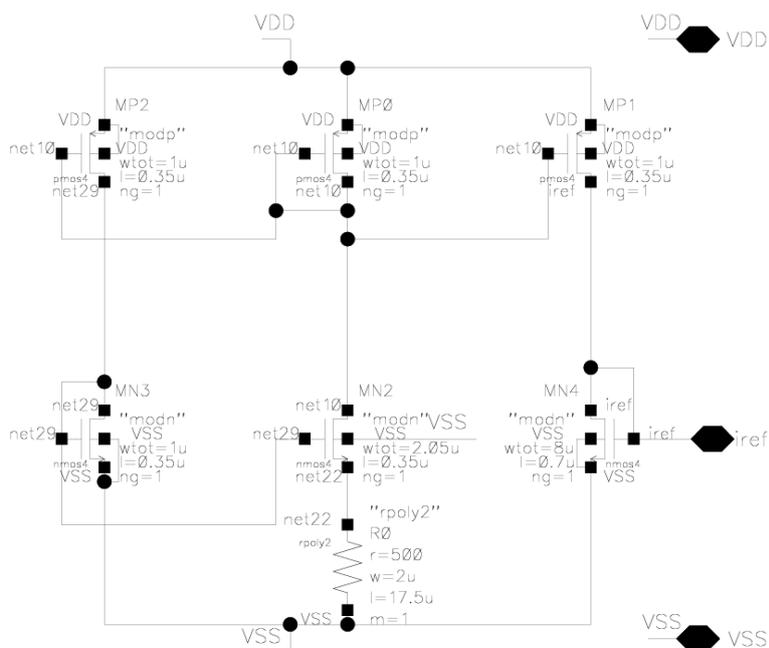


Figura 9.8. Esquemático en *Cadence* de la fuente de corriente de 0,15mA.

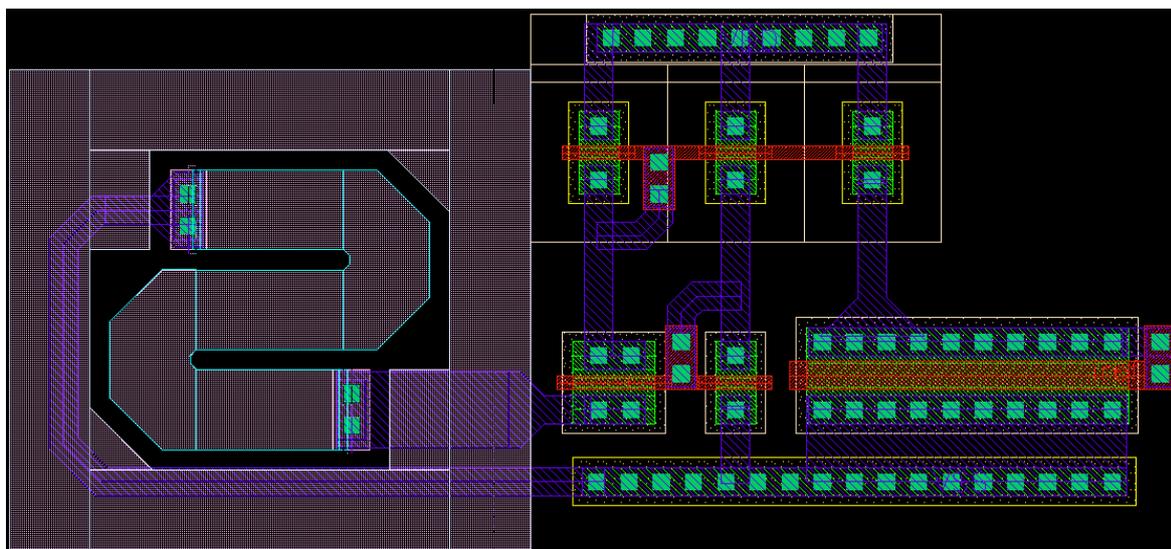


Figura 9.9. *Layout* de la fuente de corriente de 0,15mA.

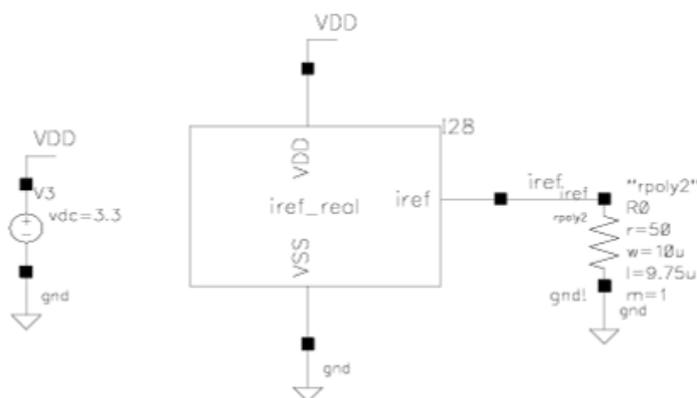


Figura 9.10. Test de la fuente de corriente de 0,15mA.

En la Figura 9.10 vemos el test realizado a la fuente de corriente. La corriente de salida proporcionada es la calculada de 0,15mA.

9.2.2.3. Buffer de RF

Se ha variado el esquema respecto al diseñado en ADS. Se debe a que en las simulaciones en *Cadence* con las resistencias no conseguimos ajustar los niveles. Cambiando las resistencias por transistores que actúan como cargas activas conseguimos el funcionamiento deseado ahorrando mucho área. Las dimensiones de los transistores las podemos ver en la Tabla 9.2.

Tabla 9.2. Dimensiones de las cargas activas en Buffer de RF

Componente	w (μm)
MP3	7
MP4	7

En las Figuras 9.11 y 9.12 se muestran el esquemático y el *layout* del *buffer* RF. Debido a las dimensiones de los transistores que ocupan demasiada longitud, se opta por incrementar el número de dedos a cada uno de los transistores, disminuyendo así considerablemente su longitud y evitando que se produjesen resistencias parásitas en el polisilicio.

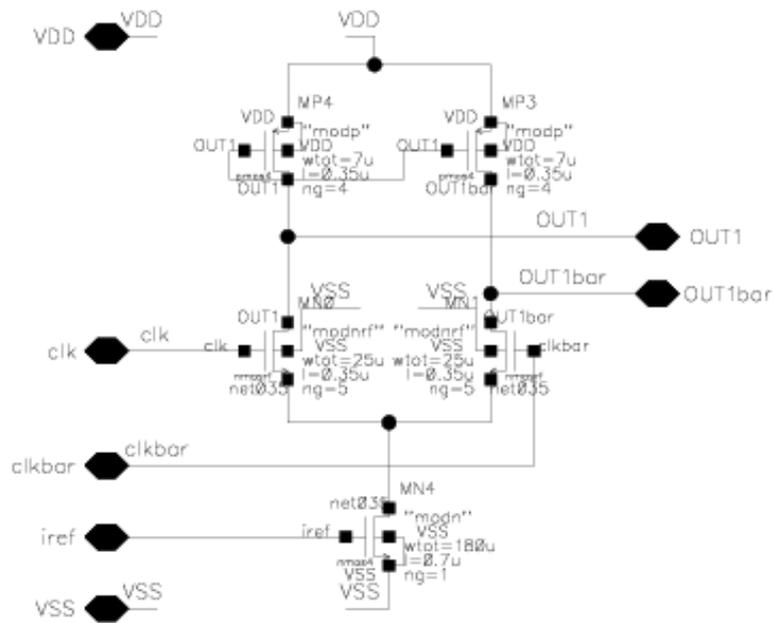


Figura 9.11. Esquemático en Cadence del Buffer RF.

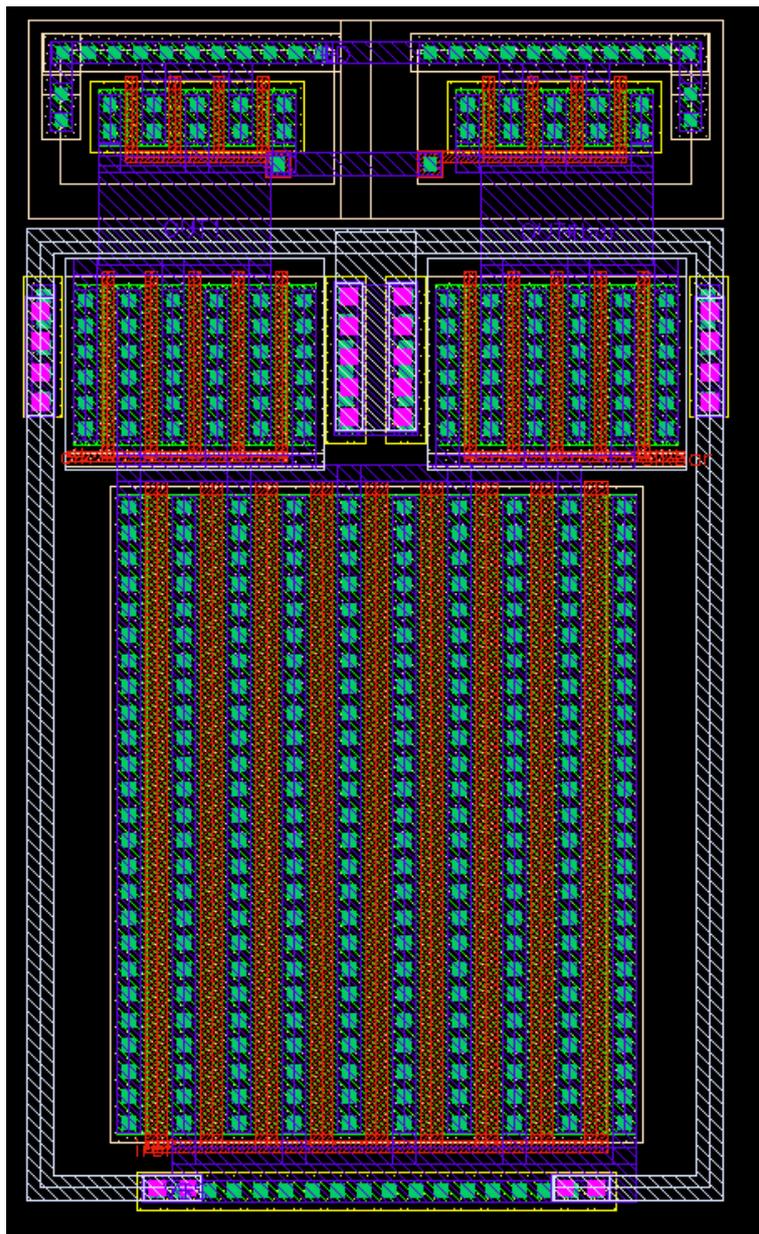


Figura 9.12. Layout del Buffer RF.

9.2.2.4. Fuente de corriente 0,75 mA

Este elemento se ha introducido ya que en esquemático funciona a la perfección el divisor entre dos utilizando una fuente de corriente de 0,15mA, pero cuando sacamos el extraído con sus resistencias y capacidades asociadas, nos hace falta suministrar una mayor corriente al divisor entre dos. Haciendo pruebas tenemos que triplicar la corriente anterior. Para ajusta la corriente necesaria se modifica la anchura del transistor MP1. En la Tabla

9.3 se expresa la dimensión de la anchura de MP1. En la Figura 9.13 se ve el esquemático de la fuente y en la Figura 9.14 el *layout*.

Tabla 9.3. Dimensión de MP1 en fuente de corriente 0,75 mA

Componente	w (μ m)
MP1	4,4

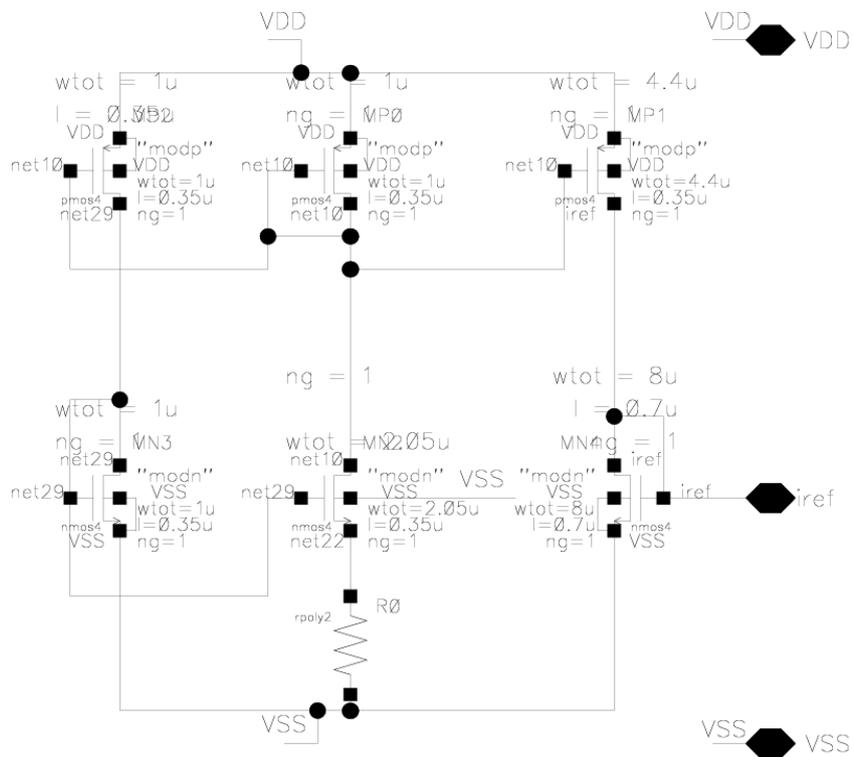


Figura 9.13. Esquemático en Cadence de la fuente de corriente de 0,75mA.

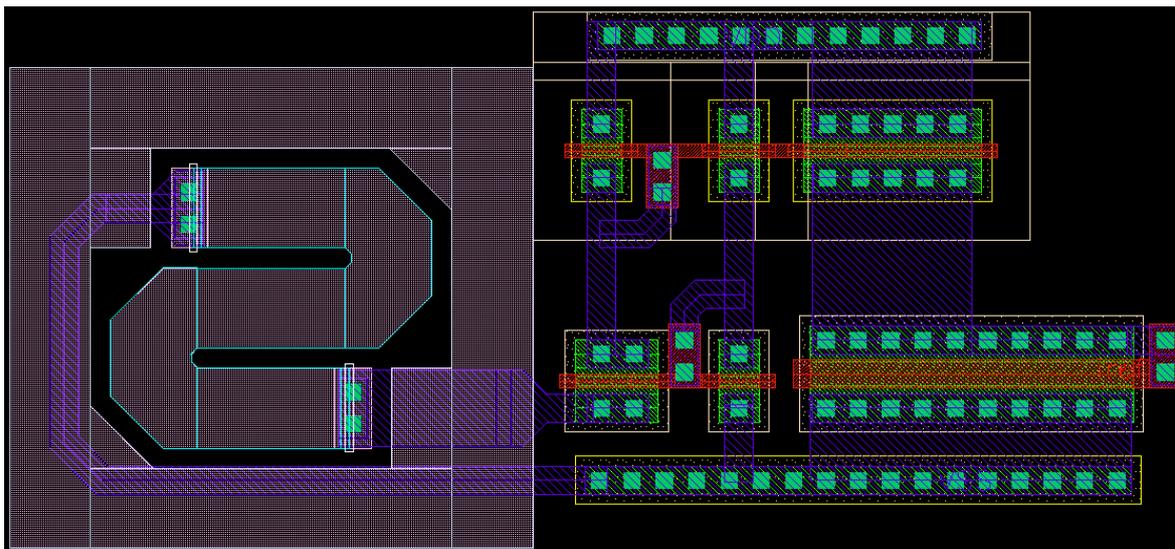


Figura 9.14. Layout de la fuente de corriente de 0,75 mA.

9.2.2.5. Divisor entre dos con latches utilizando cargas activas

El esquemático en *Cadence* del divisor entre dos se puede ver en la Figura 9.15. El *layout* de este componente se observa en la Figura 9.16. Como se puede apreciar el *layout* se ha realizado lo más compacto posible y con el menor cruce posible de pistas. También se ha introducido un plano de masa para intentar reducir parásitos en este bloque ya que es una parte delicada.

Tabla 9.4. Dimensiones de las cargas activas en el divisor entre dos

Componente	w (μm)	ng
MP1	2	2
MP2	2	2
MP3	2	2
MP4	2	2

Se tuvo que redimensionar las cargas activas porque, aunque con los modelos en esquemático la simulación va muy bien, a la hora de extraer el bloque no funciona para las frecuencias más altas (ver Tabla 9.4). Este ha sido un problema en el cual nos hemos pasado mucho tiempo en buscar el error. Finalmente después de realizar muchas pruebas con extracción de capacidades o de impedancias por separado, se cambió la anchura de las cargas activas y se comprobó el correcto funcionamiento.

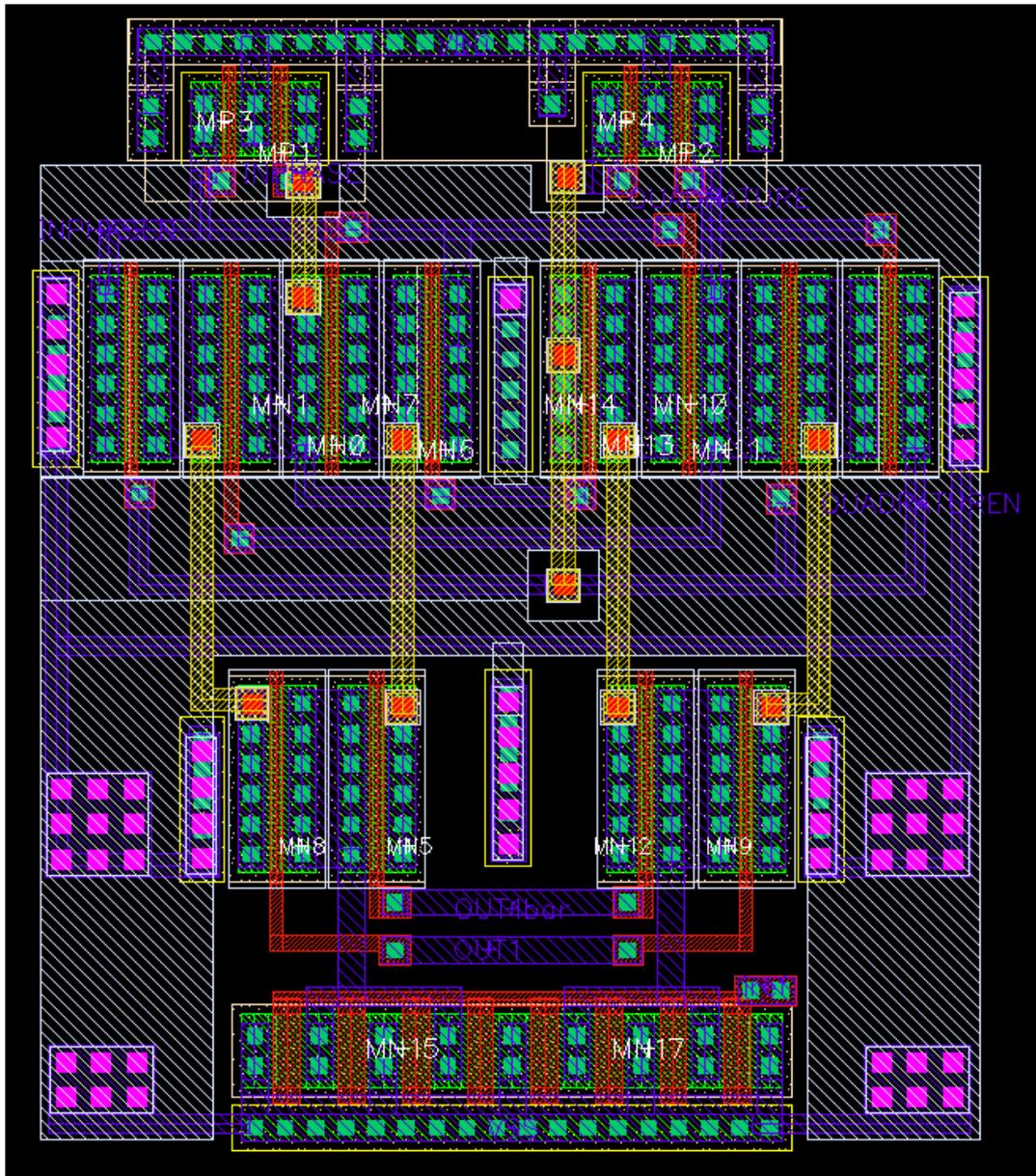


Figura 9.16. Layout del divisor entre dos CML con cargas activas.

9.2.2.6. Buffer de salida

El esquemático y el layout del buffer de salida se ven en las Figuras 9.17 y 9.18 respectivamente.

9.2.3. Divisor programable

A este bloque podemos asociarle cuatro partes diferentes, el de adaptación de nivel lógico, el del divisor 5/4, el *buffer* de señal de reloj y el del divisor de baja frecuencia.

9.2.3.1. *Buffer adaptador al bloque divisor programable*

Como ya se ha visto en la parte de los elementos del sintetizador, hace falta una adaptación de los niveles lógicos en cuanto a los que suministran el divisor entre dos y los que necesita el divisor 5/4. El esquemático se ve en la Figura 9.19 y el *layout* en la Figura 9.20.

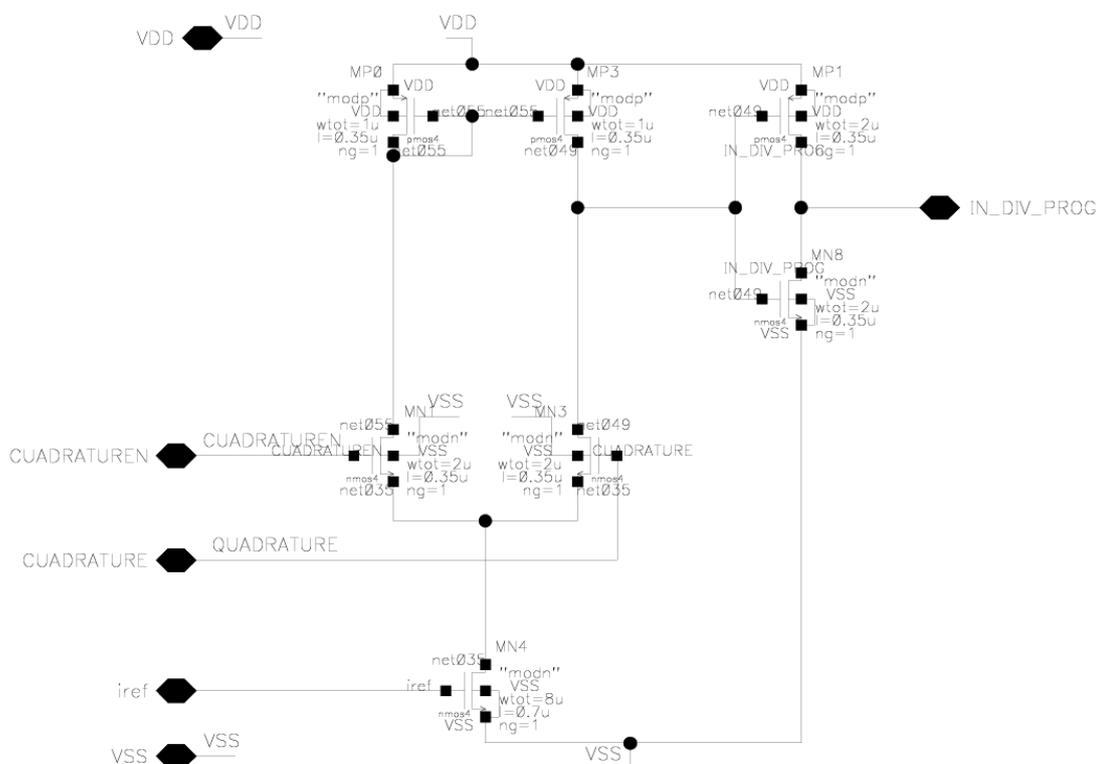


Figura 9.19. Esquemático en *Cadence* del convertor de CML a CMOS.

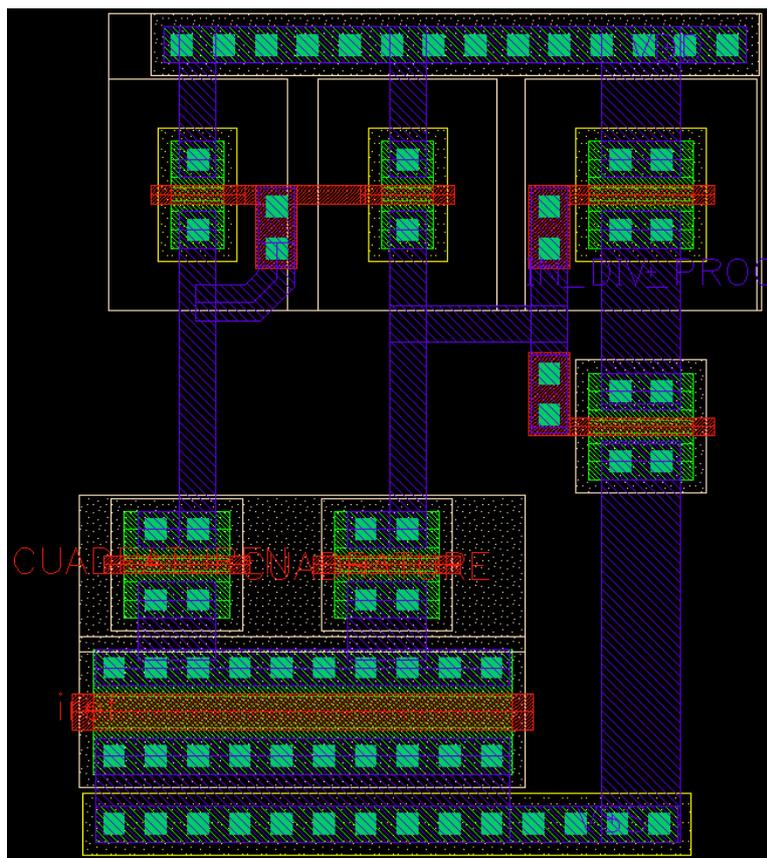


Figura 9.20. *Layout* del convertor CML a CMOS.

9.2.3.2. *Prescaler 5/4*

El prescaler 5/4 es el mismo que se ha visto en el capítulo 6 de los distintos bloques del sintetizador pero esta vez se ha decidido incorporar un árbol de reloj para suministrar una señal suficientemente fuerte a cada *flip-flop* del bloque como se ve en la Figura 9.21. El árbol de reloj consta de un primer inversor el cual se conecta su entrada a la salida del convertor CML a CMOS, y su salida ataca a la entrada de tres inversores. La salida de estos tres inversores actúa como señal de reloj de cada uno de los *flip-flops*. En la Figura 9.22 se ve lo compacto que se ha realizado el *layout* del bloque.

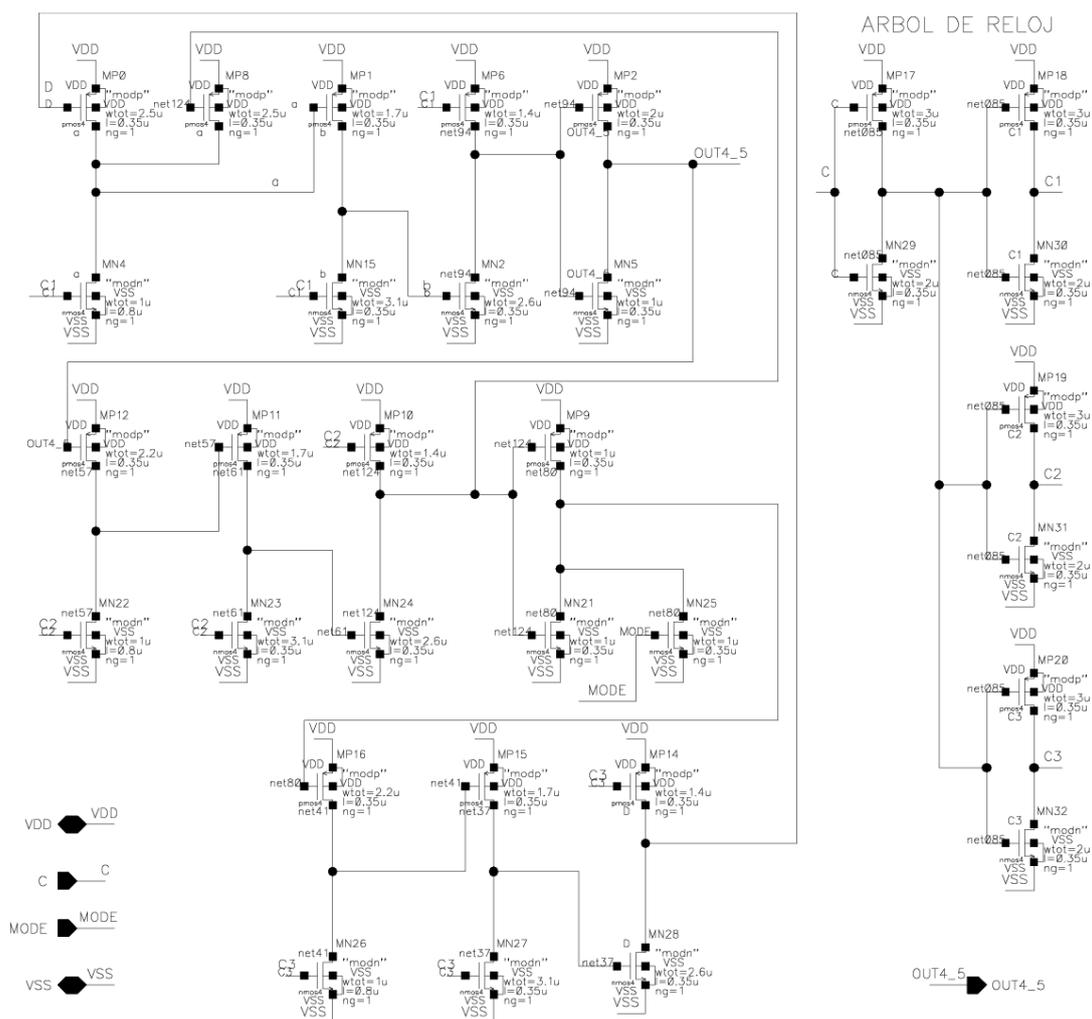


Figura 9.21. Esquemático en Cadence del Prescaler 5/4.

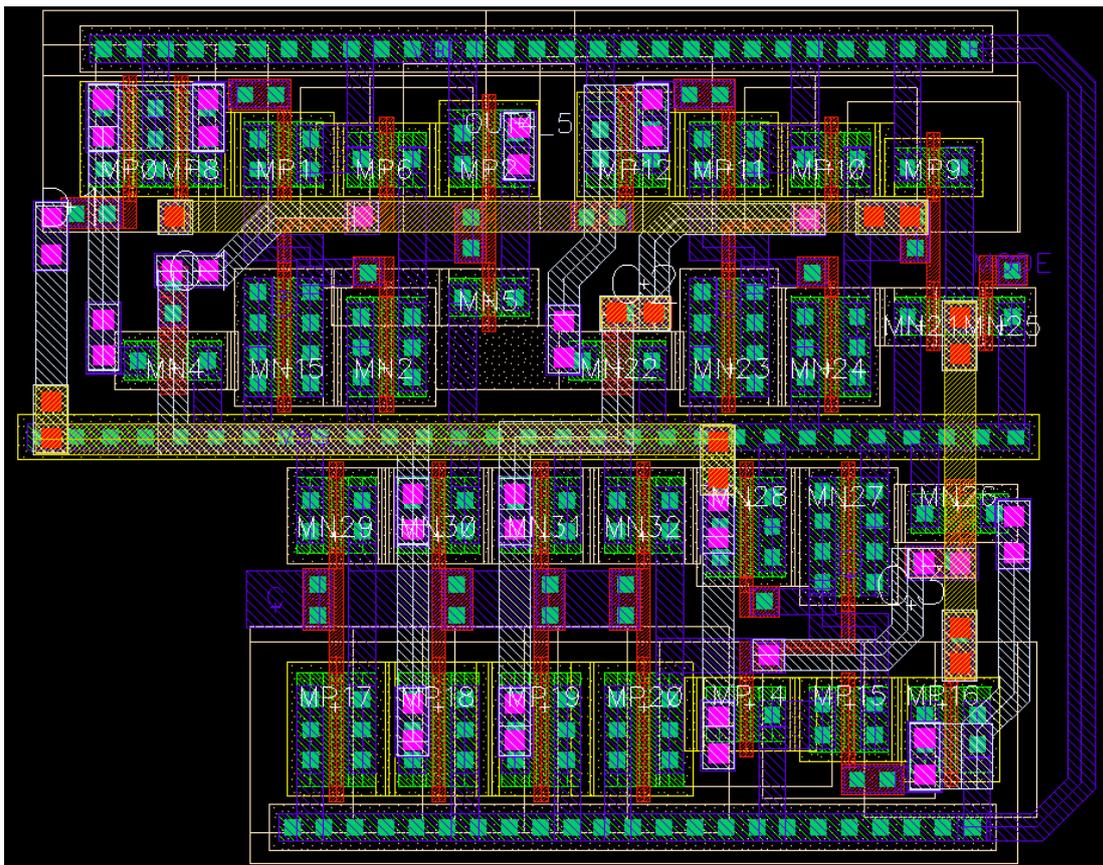


Figura 9.22. Layout del Prescaler 5/4.

El test realizado para el divisor 5/4 con árbol de reloj para el componente extraído se ve en la Figura 9.23. Las simulaciones se han realizado en ADS pero con los modelos del circuito extraído en Cadence gracias a una herramienta de interacción entre las dos, el *Dynamic Link*.

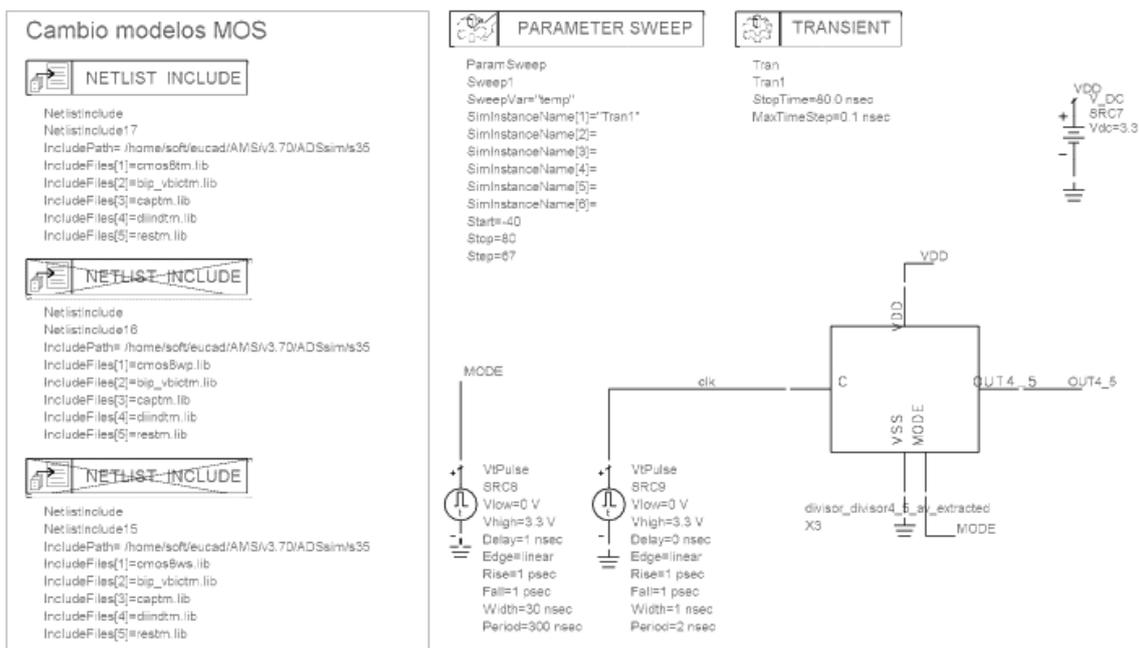


Figura 9.23. Diseño de simulación del divisor 4/5 con árbol de reloj.

Seguidamente, de las Figuras 9.24 a 9.26, se pueden observar las simulaciones para los distintos modelos de componentes posibles, siendo los típicos, de peor potencia, y peor velocidad. También se analizaron los casos para distintas temperaturas.



Figura 9.24. Simulación del divisor 4/5 con árbol de reloj, para modelo *Typical Mean*.

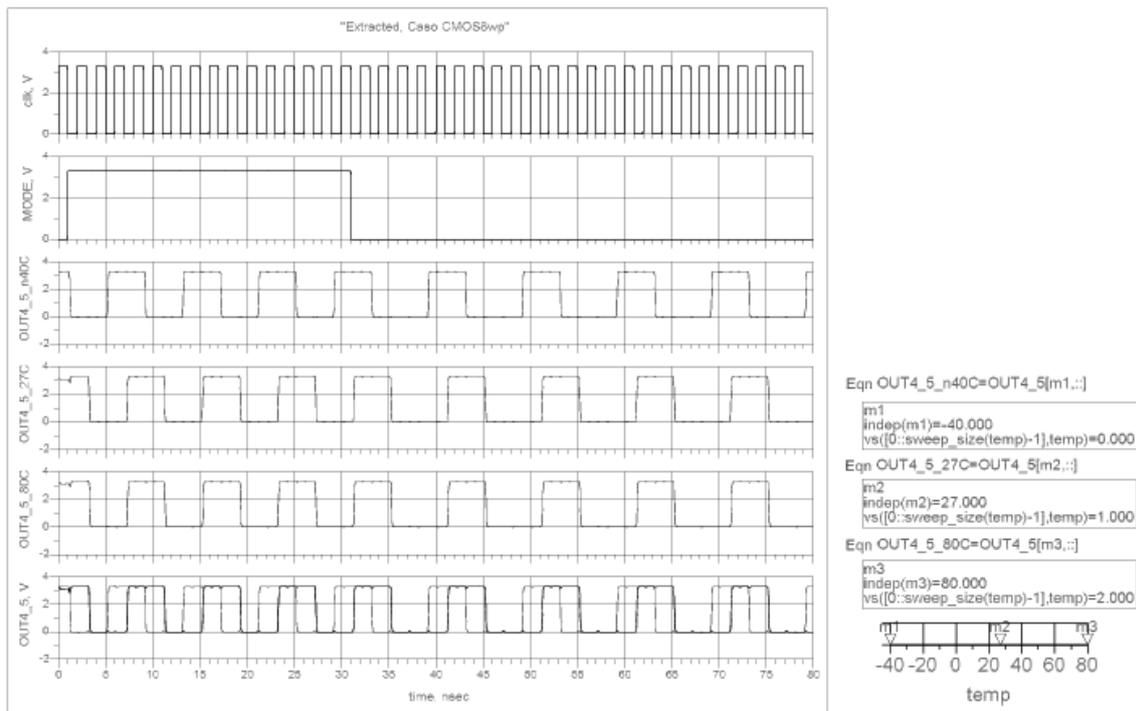


Figura 9.25. Simulación del divisor 4/5 con árbol de reloj, para modelo *Worst Power*.

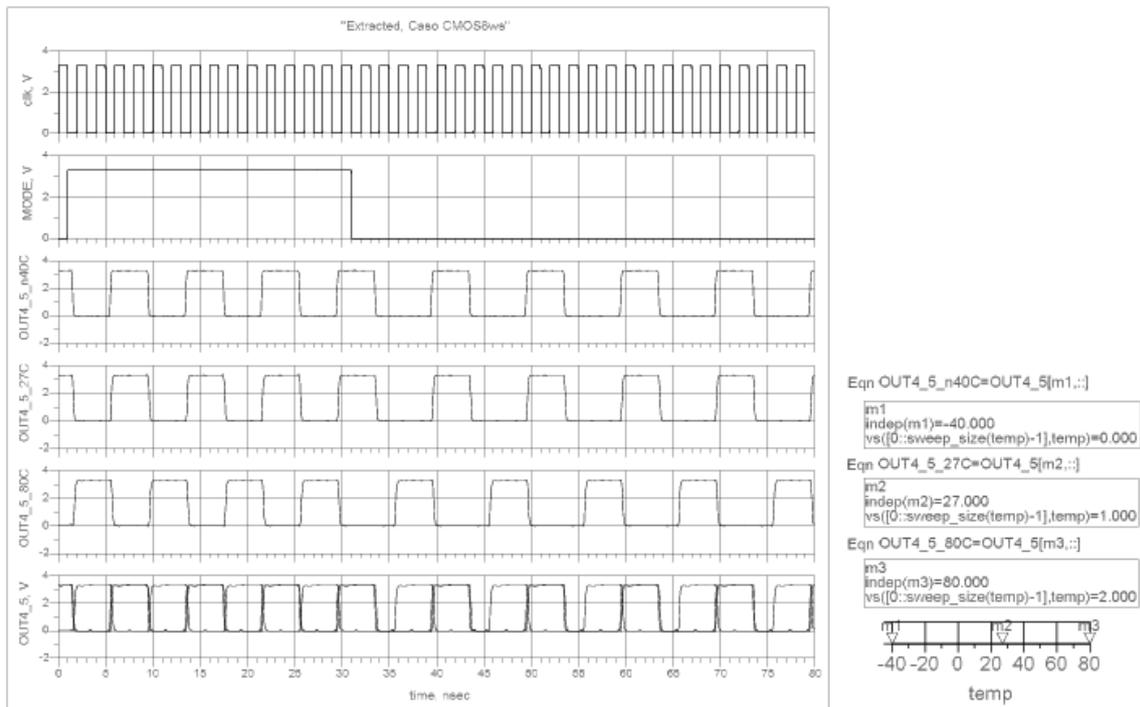


Figura 9.26. Simulación del divisor 4/5 con árbol de reloj, para modelo *Worst Speed*.

9.2.3.3. Buffer de reloj para el divisor de baja velocidad

Esta parte se introduce en el diseño porque se comprueba que si ponemos directamente la señal de salida del bloque del divisor 5/4 a la entrada del divisor programable de baja velocidad, esta primera se deteriora. Por lo tanto, ponemos dos inversores en serie donde se dimensiona considerablemente cada uno para poder atacar a la señal de reloj de todas las puertas del divisor programable de baja velocidad, puesto que éste tiene bastante lógica asociada. En las Figuras 9.27 y 9.28 se ve el esquemático y el layout del *buffer 1*, y en las Figuras 9.29 y 9.30 el esquemático y el layout del *buffer 2*.

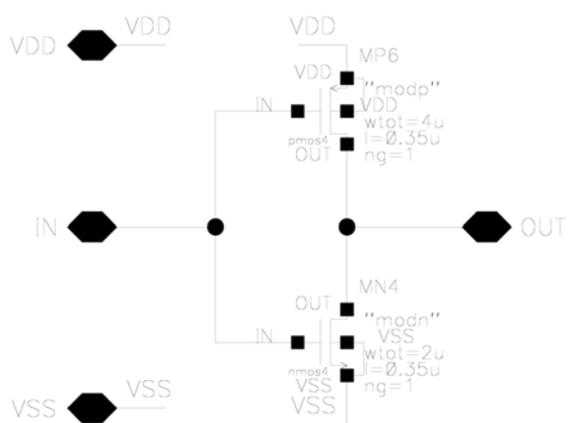


Figura 9.27. Esquemático en Cadence de invector *buffer 1*.

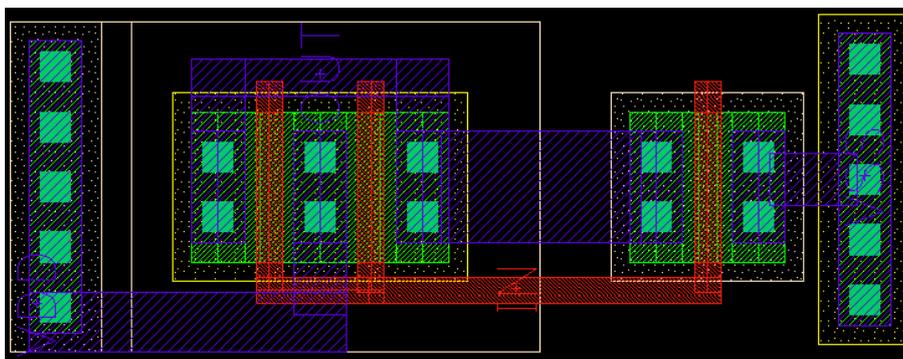


Figura 9.28. Layout de invector *buffer 1*.

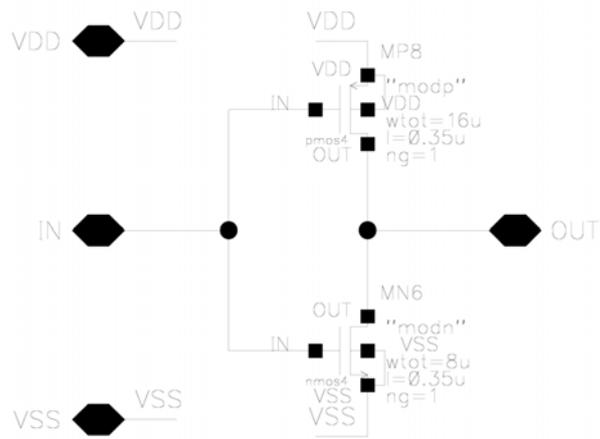


Figura 9.29. Esquemático en Cadence de inversor buffer 2.

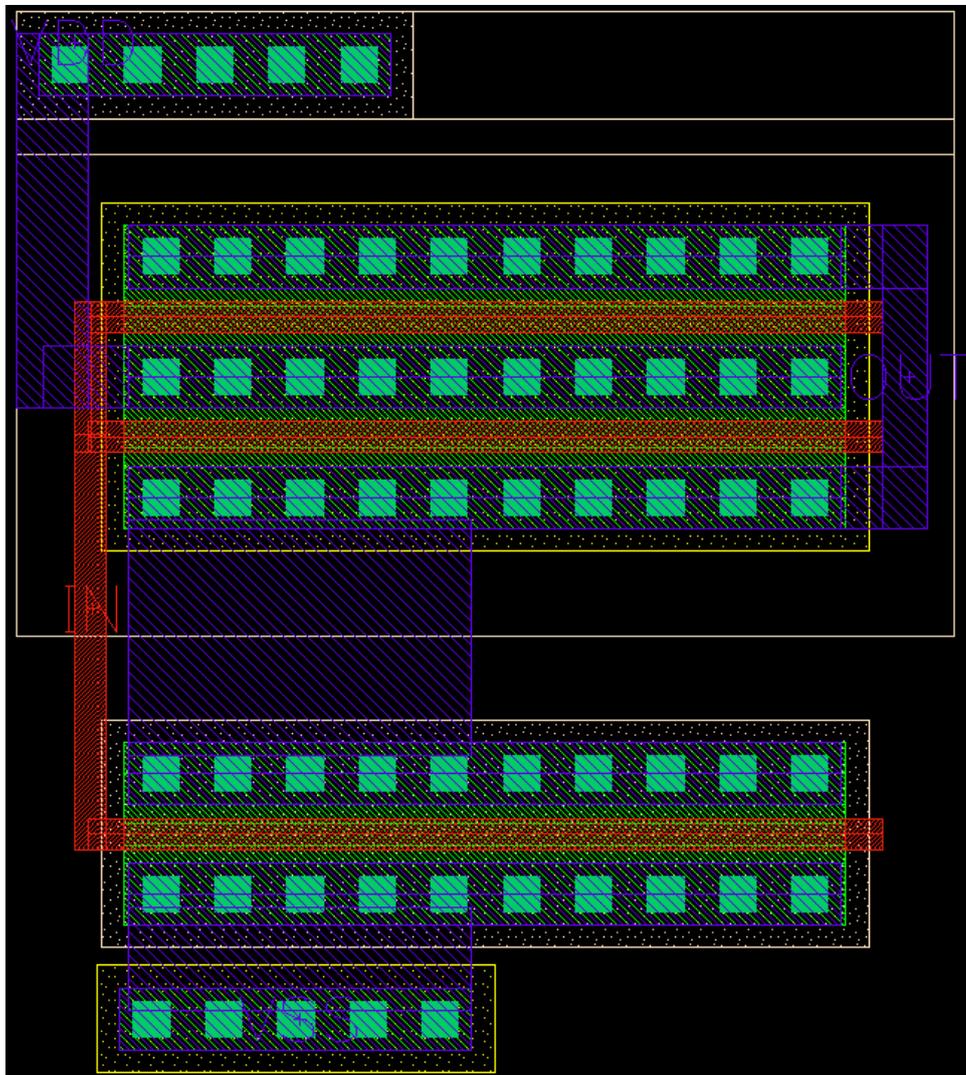


Figura 9.30. Layout de inversor buffer 2.

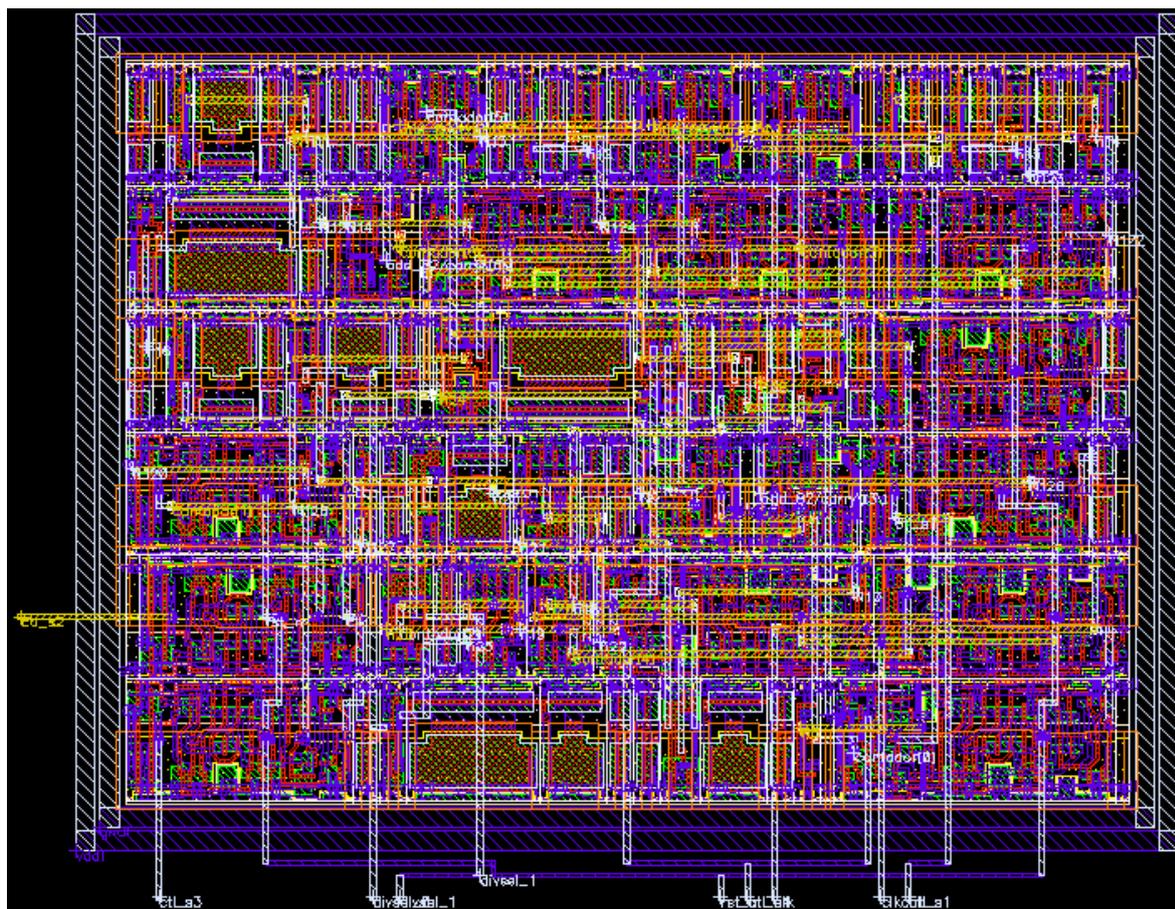


Figura 9.32. Layout del divisor programable de baja velocidad.

El test de simulación se ve en la Figura 9.33. La simulación del divisor programable de baja velocidad se realiza cambiando las señales de control, *divsel_0* y *divsel_1*, y observando que las señales que actúan en los switches (*S1*, *S2*, *S3* y *S4*) para cambiar de sub-banda lo hagan según lo diseñado. También se ve la señal de salida del bloque, *OUT4_5*, y comprobamos que la relación entre la señal de referencia y la de salida del bloque tienen el factor de división programado. Las simulaciones para las distintas sub-bandas se muestran en las Figuras 9.34 a 9.37.

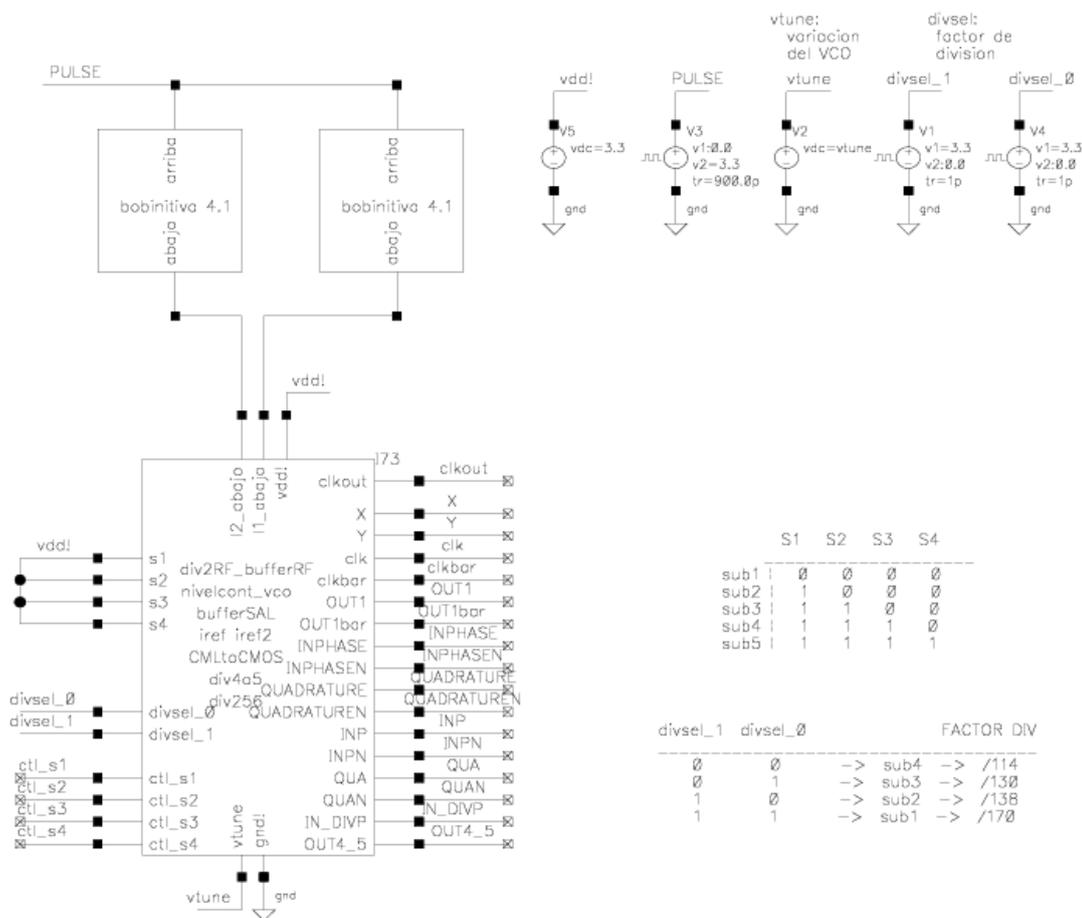


Figura 9.33. Test en Cadence del divisor programable de baja velocidad.

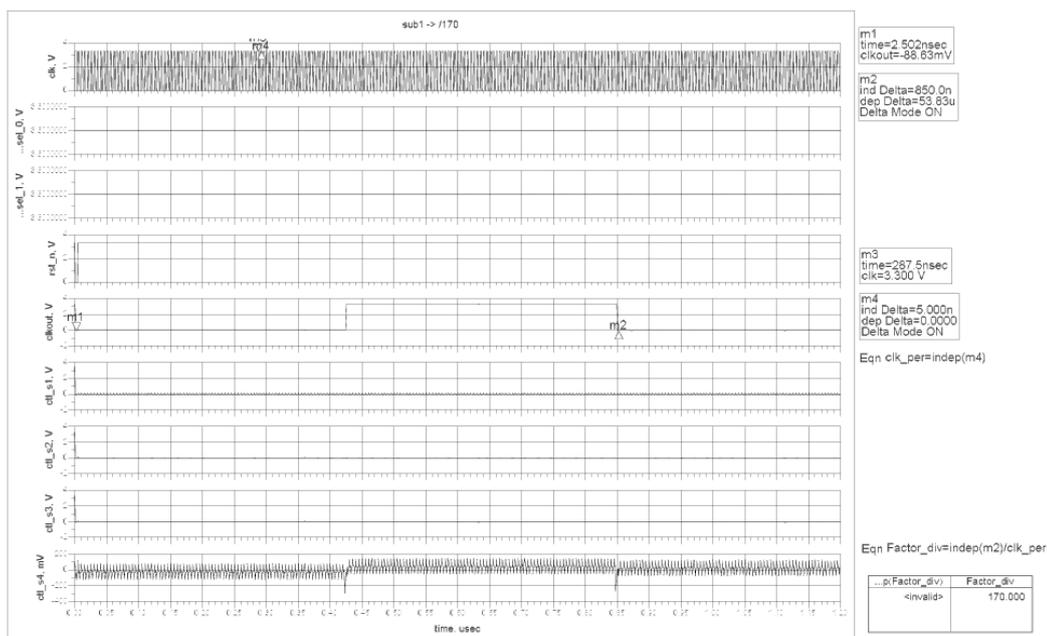


Figura 9.34. Simulación en Cadence del divisor programable de baja velocidad, para la sub-banda1.

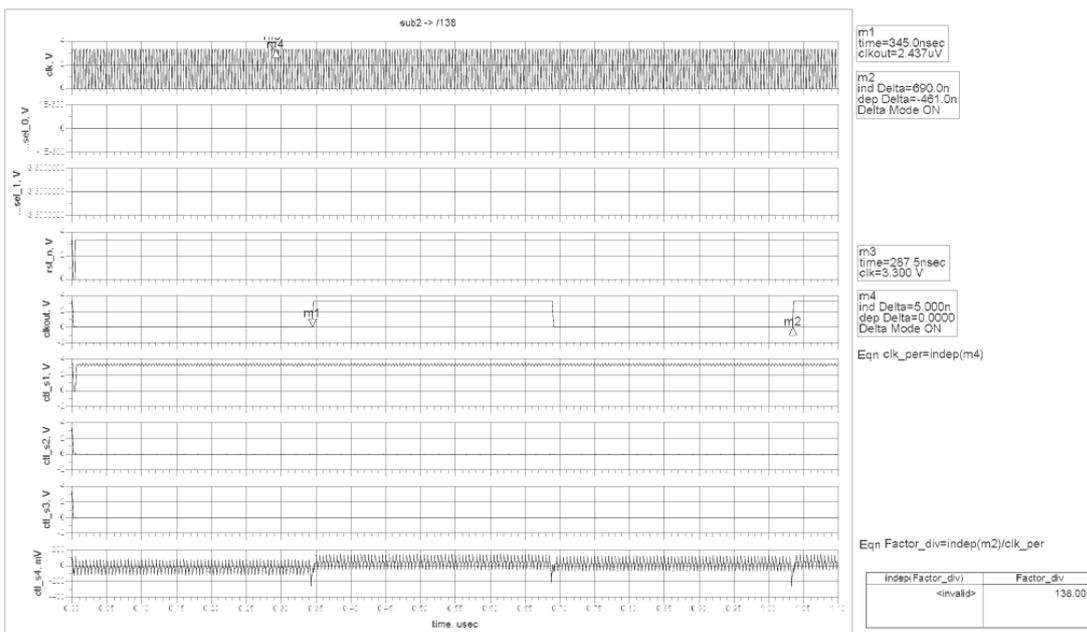


Figura 9.35. Simulación en Cadence del divisor programable de baja velocidad, para la sub-banda2.

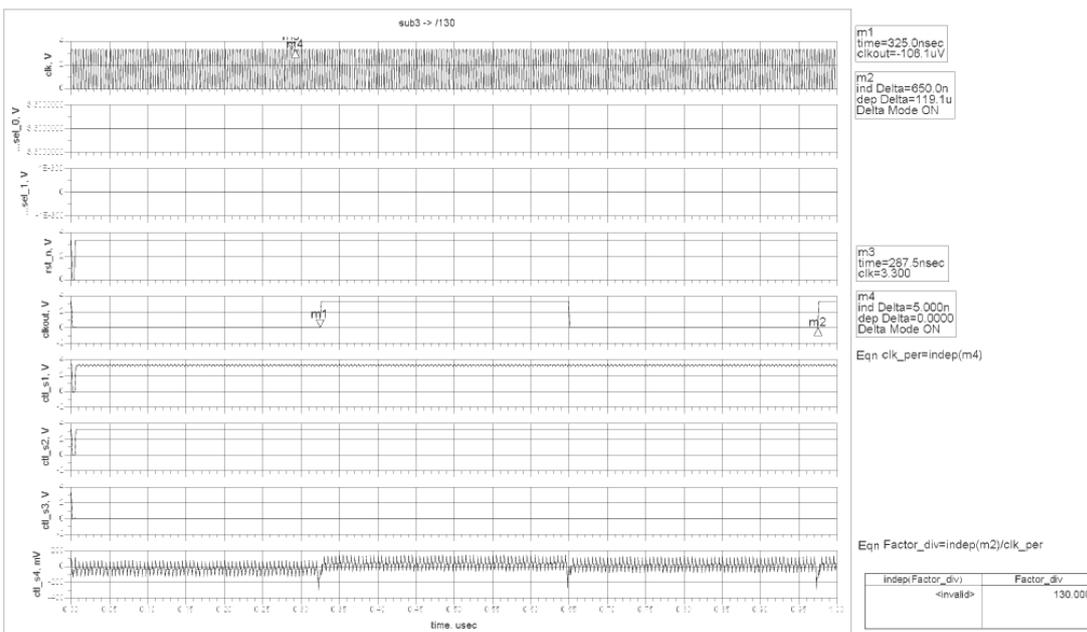


Figura 9.36. Simulación en Cadence del divisor programable de baja velocidad, para la sub-banda3.

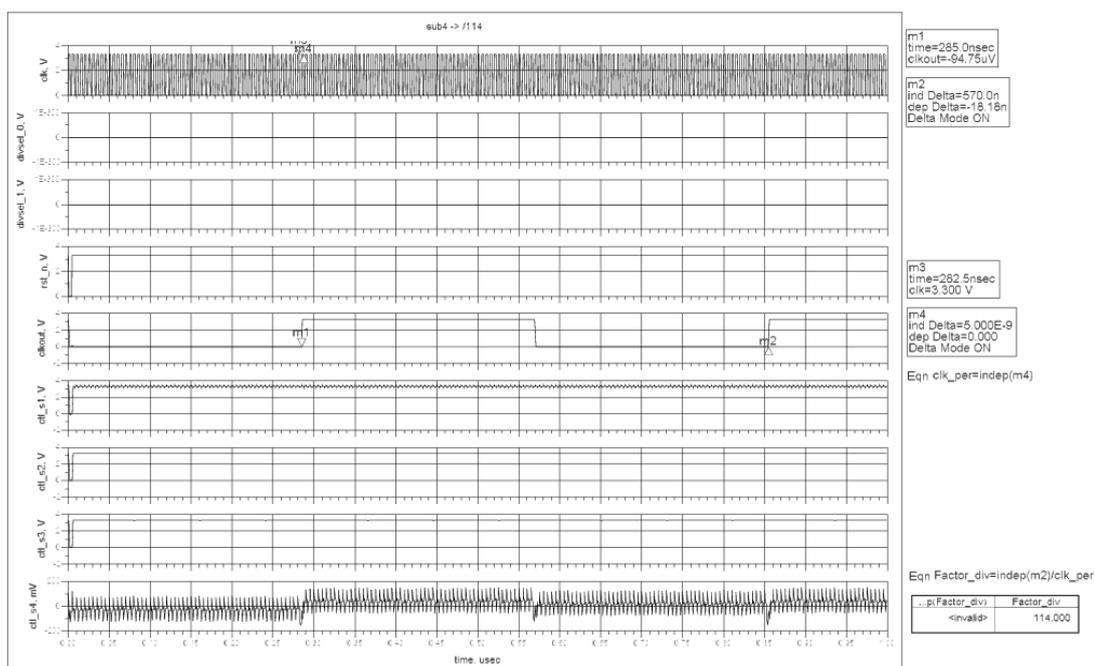


Figura 9.37. Simulación en Cadence del divisor programable de baja velocidad, para la sub-banda4.

9.2.4. Comparador de fase/frecuencia y bomba de carga

Como ya se ha visto, implementaremos cada parte por separado para luego unir las y tener la respuesta conjunta.

9.2.4.1. Comparador de fase/frecuencia

Los componentes son los mismos con las mismas dimensiones que los vistos en el PFD con la herramienta de ADS, por ello no colocamos los esquemáticos de la lógica utilizada. El esquemático se ve en la Figura 9.38 y el layout en la Figura 9.39.

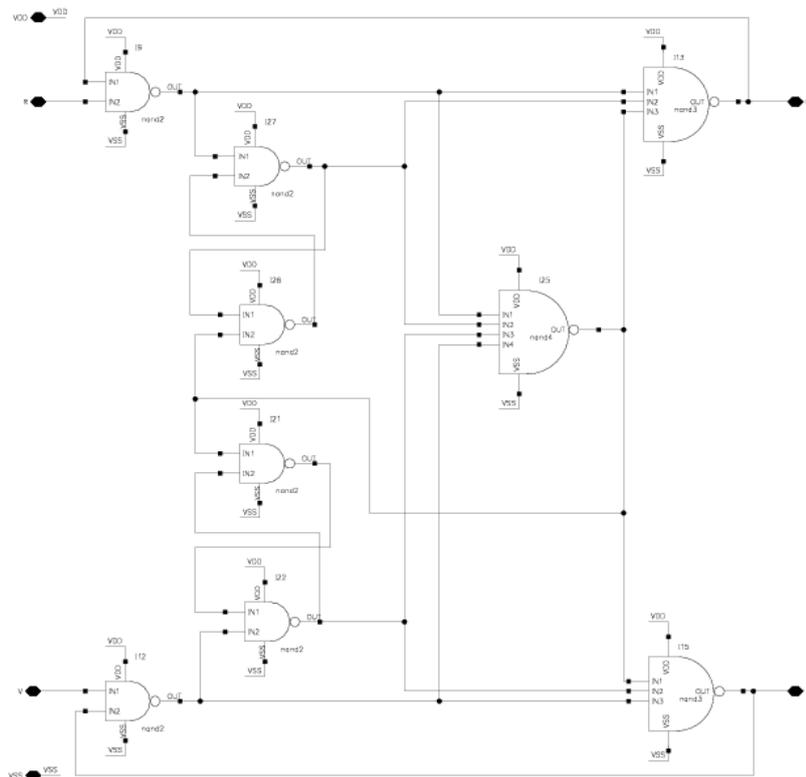


Figura 9.38. Esquemático en Cadence del PFD.

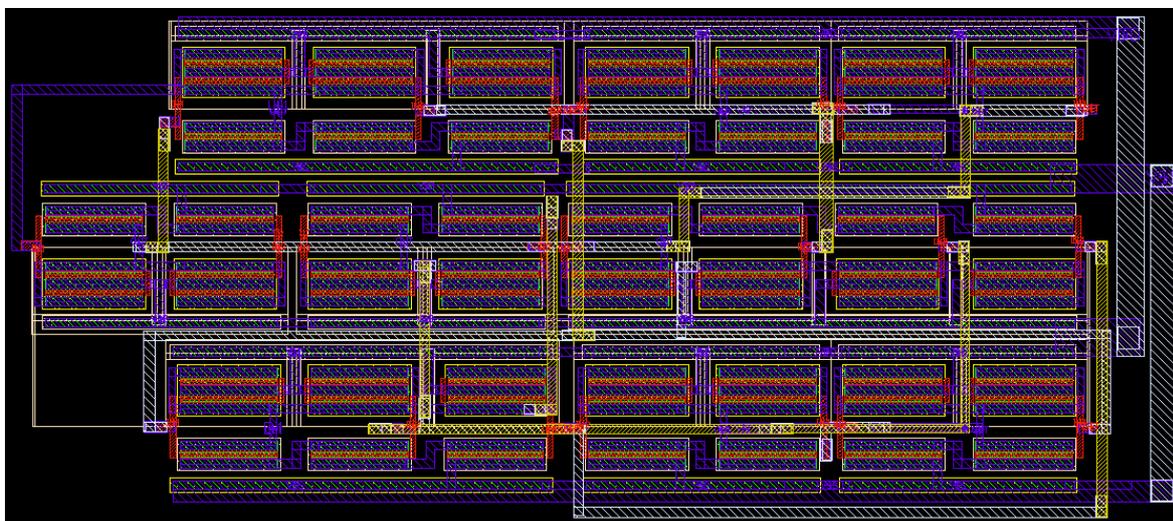


Figura 9.39. Layout del PFD.

9.2.4.2. Bomba de carga

La bomba de carga se realiza como se ve en las Figuras 9.40 y 9.41.

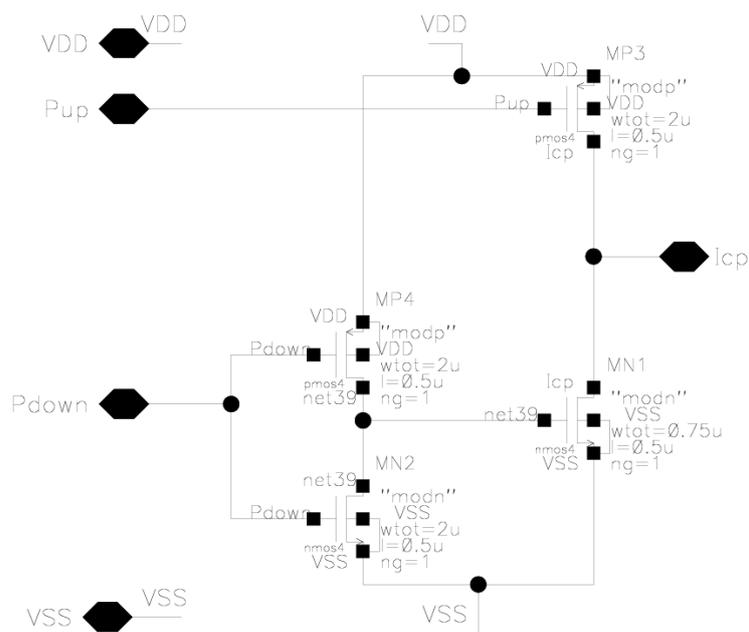


Figura 9.40. Esquemático en Cadence de la bomba de carga.

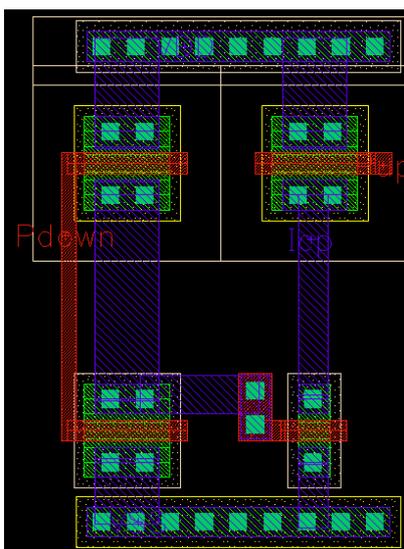


Figura 9.41. Layout de la bomba de carga.

9.2.4.3. Comparador de fase/frecuencia más la Bomba de carga

Una vez realizados los layouts de las partes por separado se unen en un bloque y se simulan. El esquemático se ve en la Figura 9.42 y el layout en la Figura 9.43.

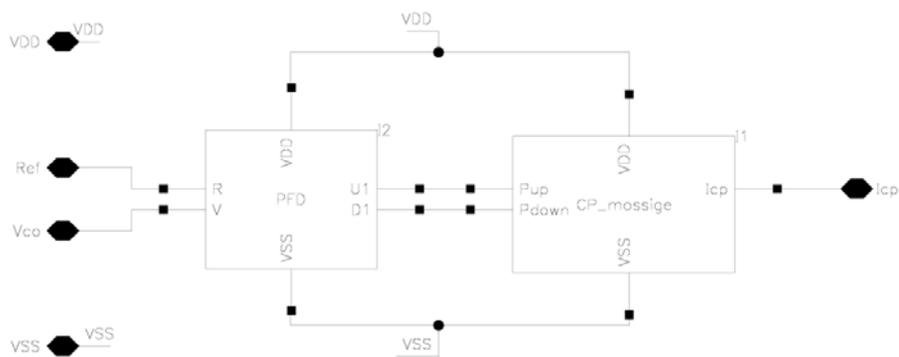


Figura 9.42. Esquemático en Cadence del PFD unido a la bomba de carga.

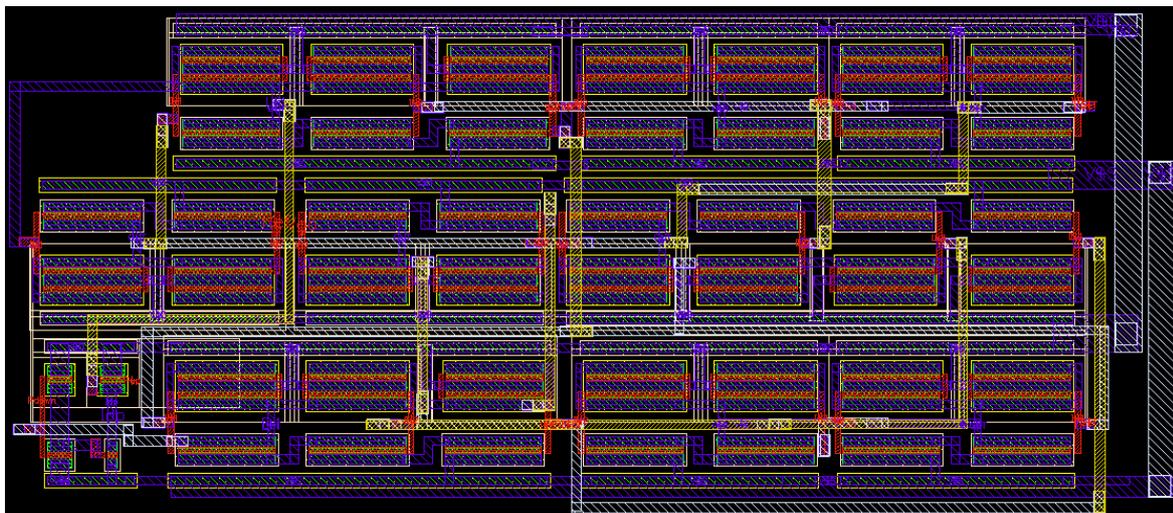


Figura 9.43. Layout del PFD unido a la bomba de carga.

El test para la simulación se ve en la Figura 9.44 y las simulaciones comprobando el correcto funcionamiento se ven en las Figuras 9.45 y 9.46.

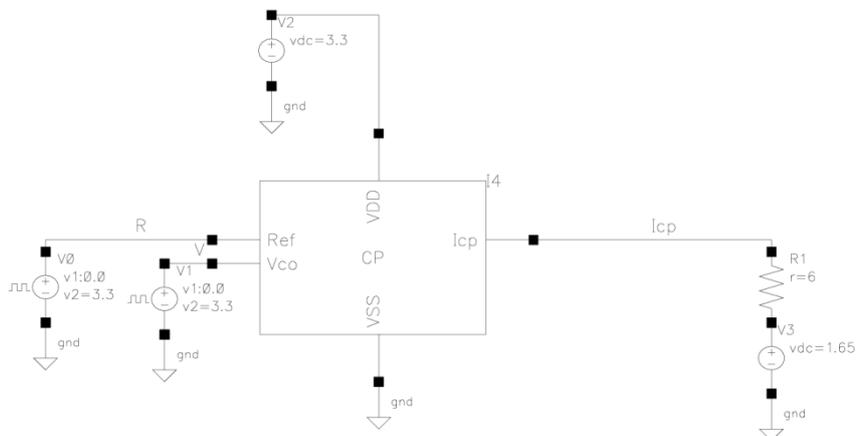


Figura 9.44. Test en Cadence del PFD unido a la bomba de carga.

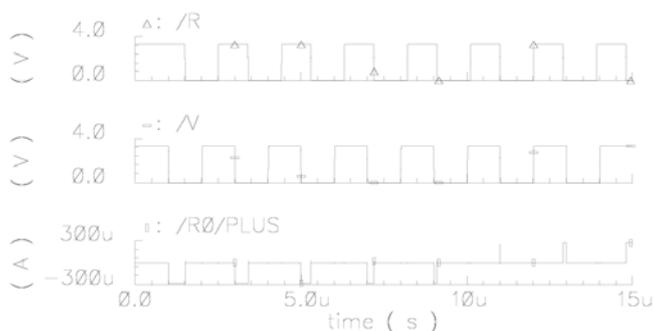


Figura 9.45. Simulación en Cadence del PFD unido a la bomba de carga, para la señal R atrasada.

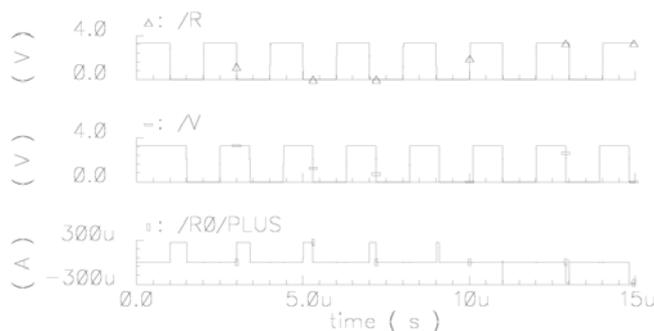


Figura 9.46. Simulación en Cadence del PFD unido a la bomba de carga, para señal R adelantada.

9.2.5. Filtro

Este bloque se incorpora como elementos externos en el esquemático que vamos a simular, puesto que se trata de componentes externos por los altos valores de las capacidades. Los componentes del filtro lo vemos en la Figura 9.47.

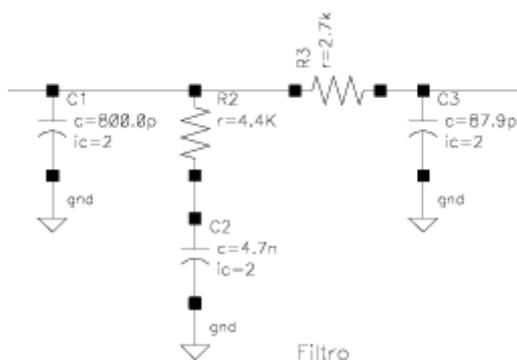


Figura 9.47. Esquemático en Cadence del filtro.

9.2.6. Sintetizador

El bloque del sintetizador completo se realiza con todas las partes anteriormente expuestas. El bloque de esquemático comprende todos los esquemáticos por separado unidos de forma adecuada (ver Figura 9.48).

El bloque del divisor programable de baja velocidad contiene las redes (*nets*) de alimentación y masa con nombres globales de *vdd!* y *gnd!*. En los diseños de los bloques anteriores habíamos puesto estas alimentaciones como *VDD* y *VSS* pero nos encontramos con un error insalvable cuando los unimos e intentamos guardar el diseño. La solución es fácil, hay que renombrar las *nets* donde teníamos los antiguos nombres de las alimentaciones y ponerles los de las globales, *vdd!* y *gnd!*.

En el diseño se ponen de entradas y salidas todas las señales posibles para verificarlas en la simulación pero en realidad todas estas no van a ser entradas y salidas de nuestro circuito real. El *layout* del bloque se ve en la Figura 9.49.

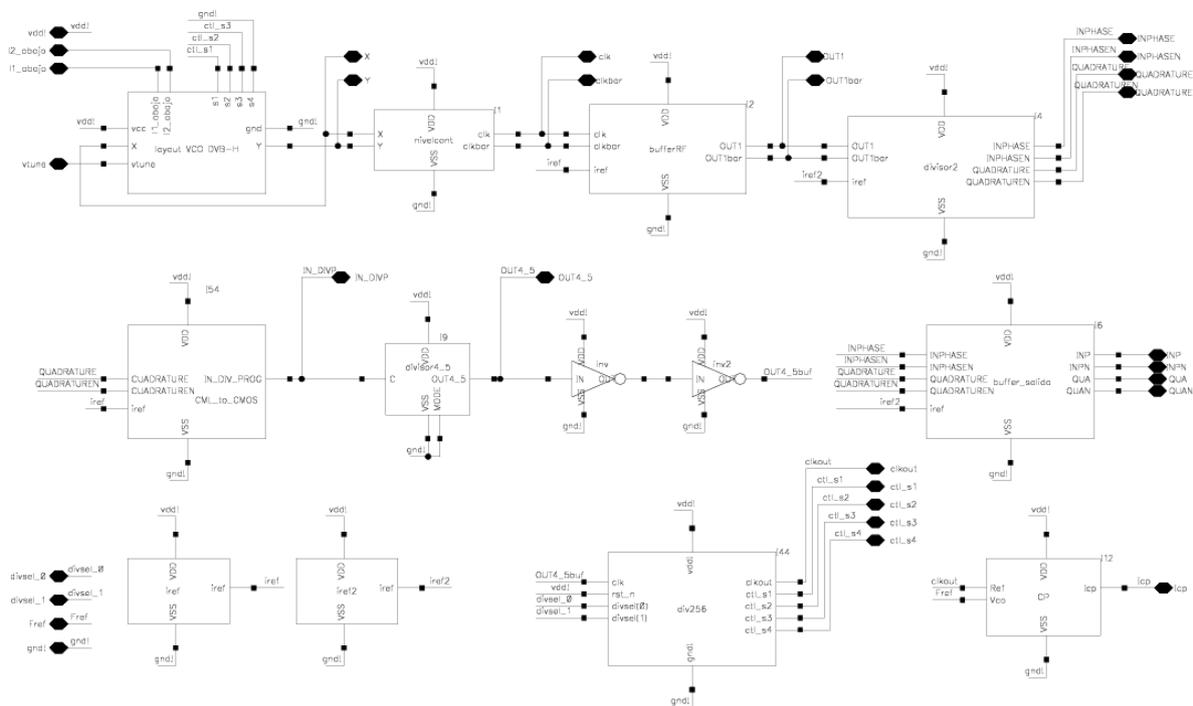


Figura 9.48. Esquemático en Cadence del sintetizador.

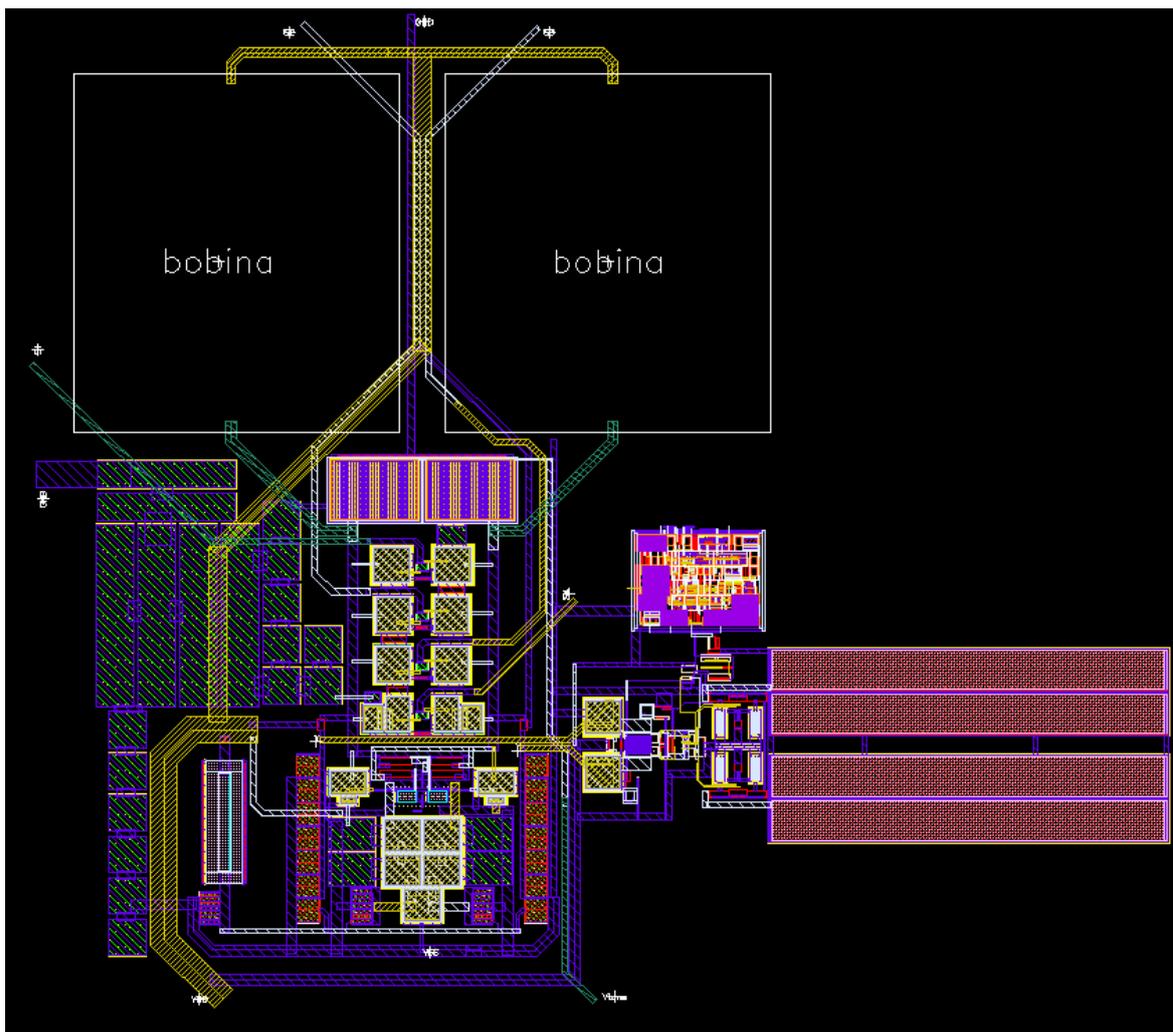


Figura 9.49. Layout del sintetizador.

9.3. Distribución de *pads* en el *layout* final

En la Figura 9.50 se muestra la distribución de las puntas de prueba tomadas para nuestro diseño. Como se puede observar, las puntas que se deben usar en la medida son del tipo SGS (*Signal Ground Signal*) debido al gran número de señales de entrada y salida que tenemos.

A la hora de realizar la distribución, se tomó como premisa fundamental el sacar los pines de la señal de RF (en modo diferencial) lo más directas y simétricamente posible. En cuanto a los pines de alimentación y de IF se trató de enmarañar lo menos posible el diseño

y evitar el solapamiento entre capas de metal adyacentes con el objetivo de evitar capacidades parásitas inesperadas.

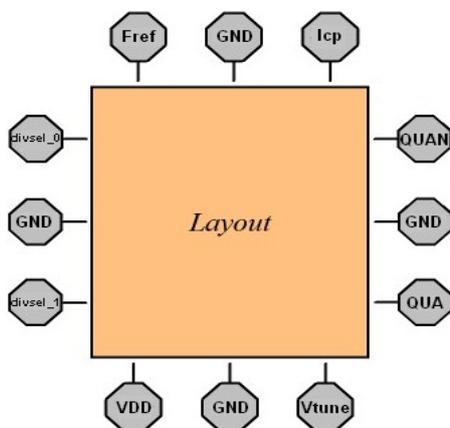
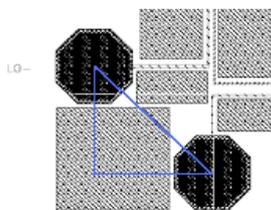


Figura 9.50. Distribución de los pads de medida.

Para ubicar los pads correctamente seguimos las recomendaciones del manual del fabricante de las puntas de medida (*CASCADE MICROTECH*) [52]. Los pads deben estar distanciados 150 µm de centro a centro de los pads más próximos y 200 µm los pads que utilizan distintas puntas de medida. Para ello, en algunos casos, aplicamos el teorema de Pitágoras, como se muestra en la Figura 9.51.



$$a^2 = b^2 + c^2$$

Figura 9.51. Distribución entre los centros de los pads de medida.

Otra consideración a tener en cuenta es que se debe colocar contactos al sustrato en las zonas del chip que quedan vacías. Esto se hace para evitar que aparezcan corrientes de fuga que interfieran en el funcionamiento del circuito. A la hora de colocar los contactos al sustrato, se debe hacer en bloques con una dimensión máxima de 31,9 µm en al menos uno de sus lados.

En la Figura 9.52 se muestra como queda finalmente nuestro diseño con todos los bloques interconectados y los *pads*. Como no disponemos de dos *pads* para las señales *INP* e *INPN*, para compensarlas con las señales *QUA* y *QUAN* que vamos a medir, ponemos unas cargas de 50Ω en el *layout*. La Figura 9.53 muestra el símbolo del bloque que usaremos en el test.

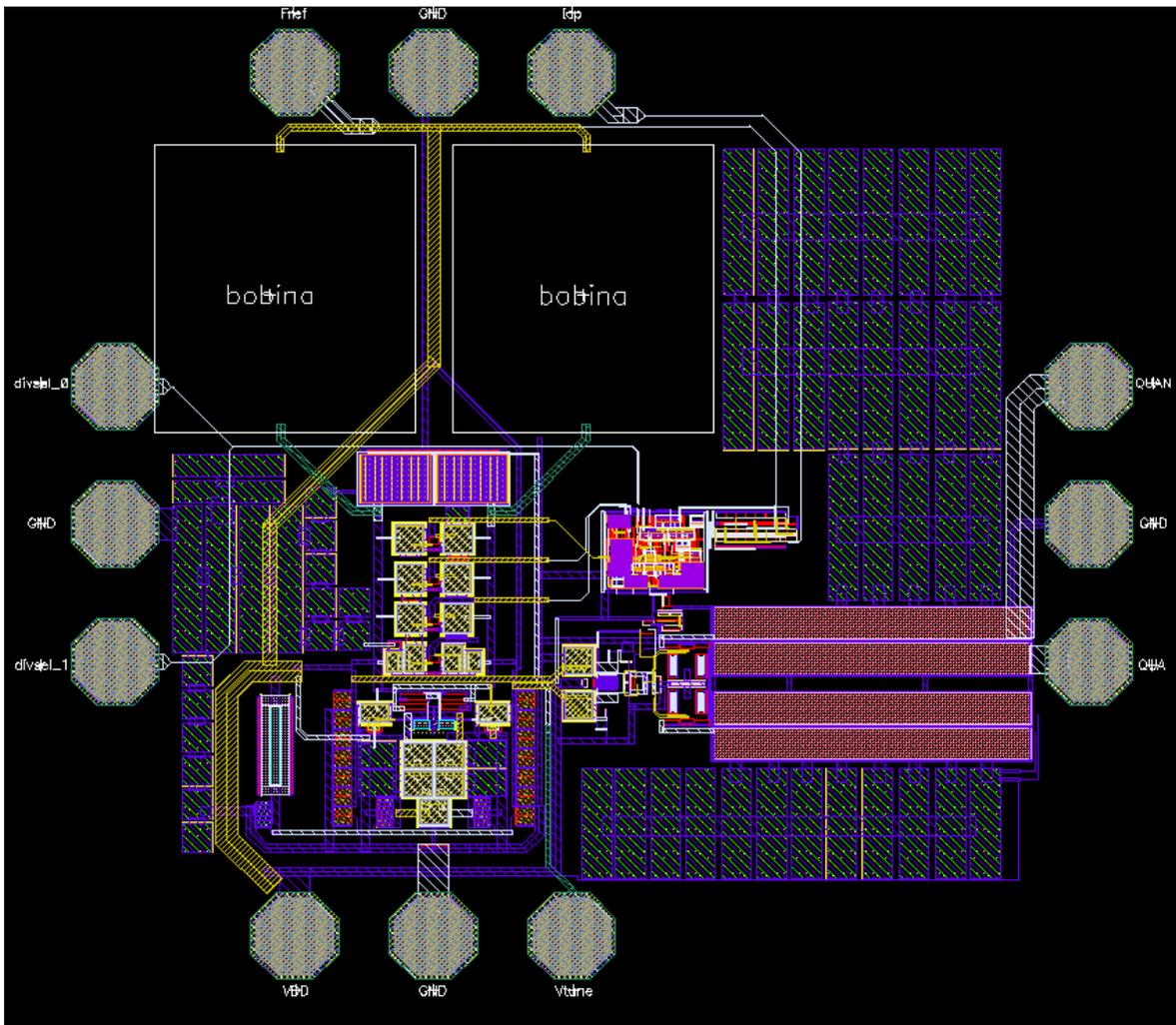


Figura 9.52. Layout del sintetizador con los *pads* de medida.

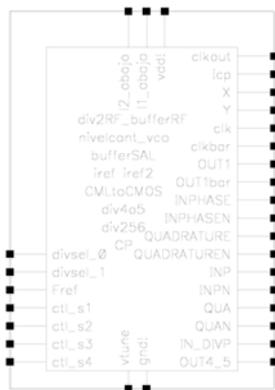


Figura 9.53. Símbolo en Cadence del sintetizador.

En la Figura 9.54 tenemos el test realizado para el sintetizador. La Figura 9.55 muestra como el sintetizador tiende a engancharse, aunque todavía en la simulación no se llega a ver el enganche final. La simulación completa del enganche no se ha realizado puesto que tarda mucho tiempo debido a la escala del reloj principal y los factores de división del diseño, pudiendo llegar cada simulación a meses. La Figura 9.56 muestra la señal diferencial en cuadratura.

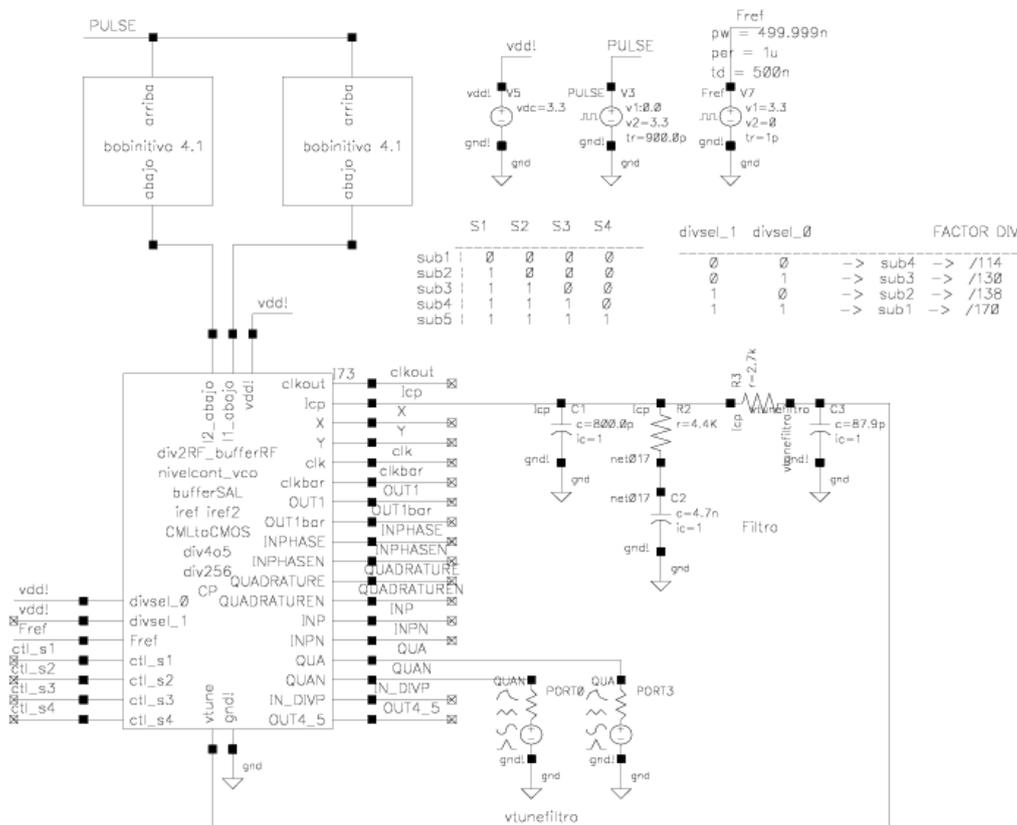


Figura 9.54. Test en Cadence del sintetizador con filtro.

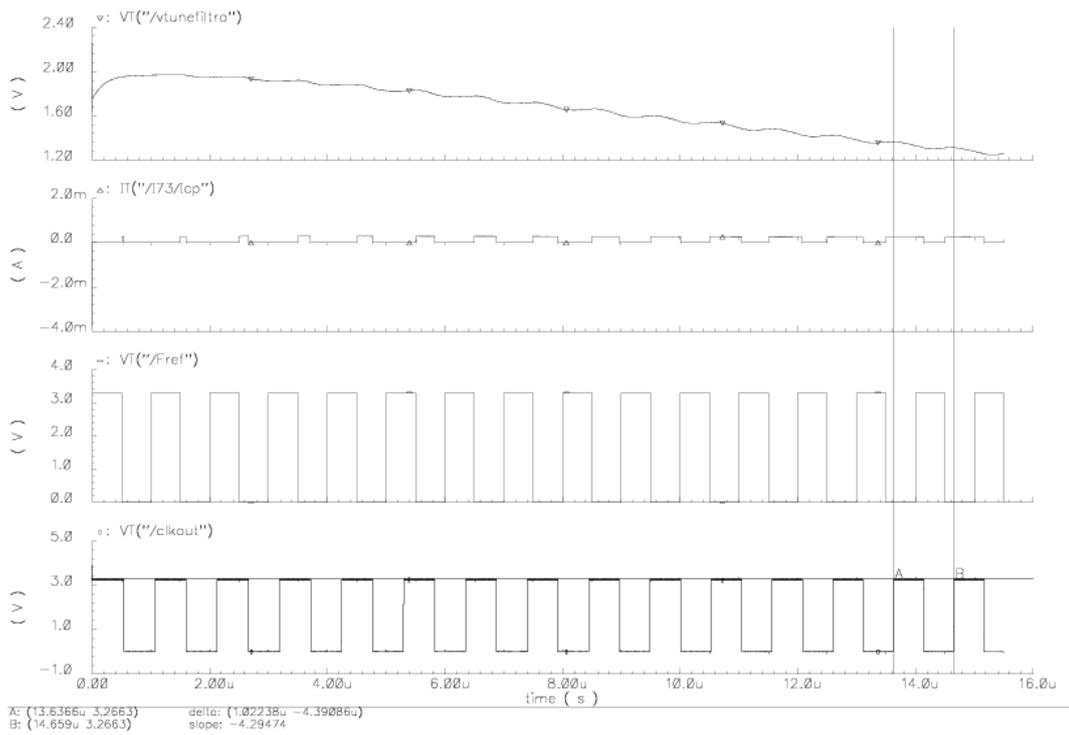


Figura 9.55. Simulación en *Cadence* del sintetizador enganchándose.

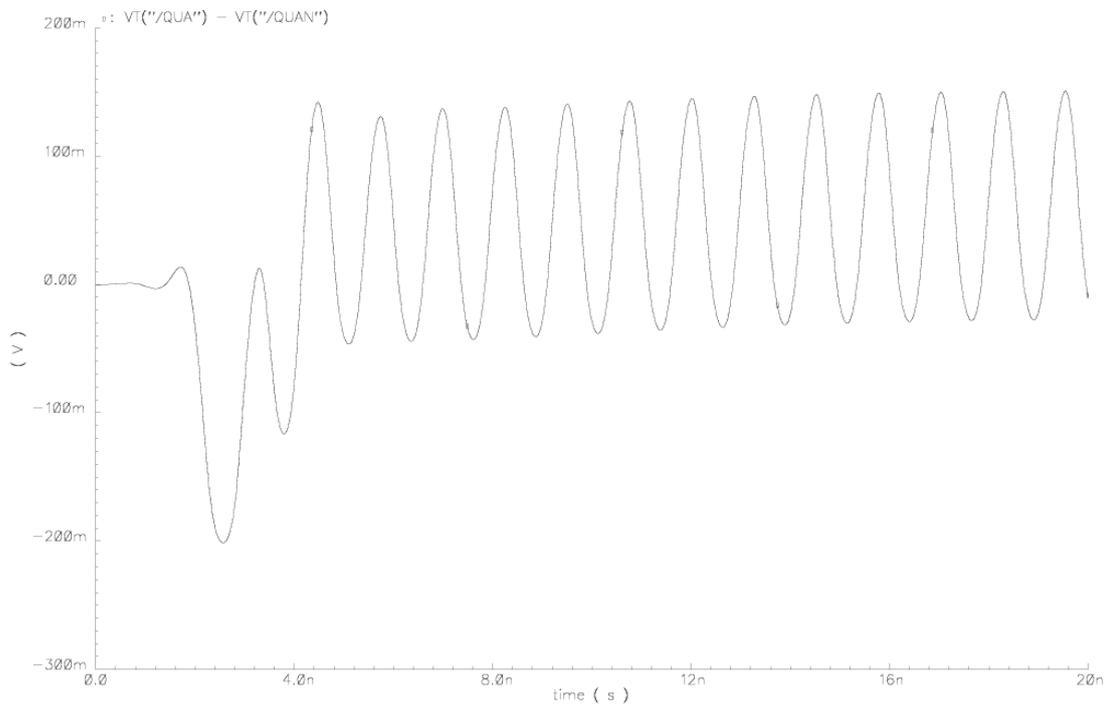


Figura 9.56. Simulación en *Cadence* del sintetizador, para la señal diferencial de (QUA-QUAN).

Finalmente el circuito que se enviará a fabricar será con las bobinas puestas, paso del cual no podemos olvidarnos. En la Figura 9.57 se ve el *layout* final con las bobinas correspondientes.

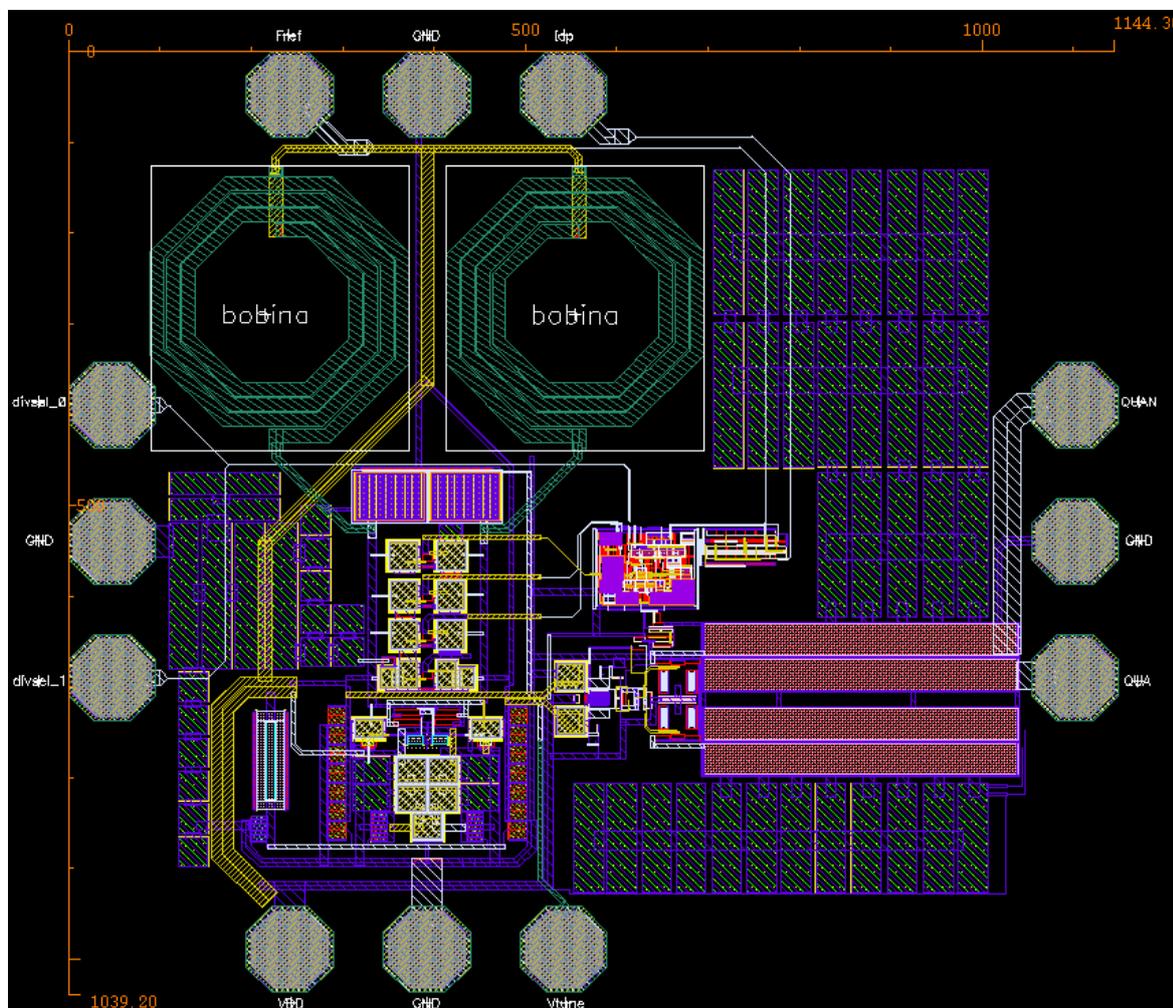


Figura 9.57. *Layout* final del sintetizador con *pads* de medida y bobinas.

9.4. Resumen

En este capítulo se va visto la realización de los *layouts* de los distintos bloques así como del sintetizador completo verificando el funcionamiento con las respectivas simulaciones *post-layout*.

En el próximo capítulo se establece un balance del desarrollo del proyecto, lo que nos conduce a una serie de conclusiones, válidas para el desarrollo de futuros trabajos y diseños.

Capítulo 10

Conclusiones

Una vez realizado todo el diseño del sintetizador tanto a nivel de esquemático como de *layout*, vamos a ver las principales conclusiones del diseño.

10.1. Resumen

El objetivo del proyecto ha sido diseñar un sintetizador basado en tecnología BiCMOS de 0,35 μm suministrada por AMS para un receptor de radiofrecuencia según el estándar DVB-H. Dicho sintetizador actúa como oscilador local de un receptor de conversión directa. Las especificaciones del sintetizador se expresan en la Tabla 10.1.

Tabla 10.1. Especificaciones

Frecuencias a generar	470 MHz+4MHz+(N-21)·8MHz; N=21,...,69
Ruido de fase	-107 dBc/Hz para un <i>offset</i> de 100 KHz

Una vez realizado el estudio de la tecnología, el estudio teórico de los PLL y de los sintetizadores de frecuencia, se pasó a la elección de la configuración a utilizar. La configuración elegida fue la de un divisor fijo entre dos con un divisor programable.

10.1.1. Diseño a nivel de esquemático

En una primera fase se diseñaron y simularon todos los componentes que forman el sintetizador con la herramienta ADS.

Comenzamos con los comparadores de fase donde el detector más apropiado para nuestro sintetizador es el detector de fase/frecuencia más la bomba de carga ya que se pueden usar señales de entrada en el detector de relaciones cíclicas distintas de 1/2. Para el detector de fase utilizamos una única estructura basada en puertas NOR donde analizamos su correcto funcionamiento junto a la bomba de carga. En la Tabla 10.2 se muestran las principales características de este bloque.

Tabla 10.2. Características del detector de fase/frecuencia más la bomba de carga

Comparador de fase	Margen lineal	K_d	Señales de entrada
PFD+CP	Desde -2π a $+2\pi$	32,61(μ A/rad)	Sin restricciones para señales no cíclicas

El VCO utilizado en el diseño ya estaba implementado [5], lo que se hizo fue extraer los datos que nos interesaban para la simulación del sintetizador en ADS.

Para el divisor rápido implementamos un divisor entre dos basado en *latch* tipo D en modo CML. Esta opción era la más acertada puesto que obteníamos las señales en fase y cuadratura directamente desde este bloque. Debido a las características de las tensiones de salida del VCO tuvimos que anteceder al divisor un bloque de adaptación entre el VCO y el divisor rápido, que fue un *buffer* de RF. Para el divisor entre dos también era necesaria una fuente de corriente. Otro bloque introducido tras el divisor rápido fue un *buffer* de salida para suministrar suficiente potencia hacia el bloque que en el futuro irá conectado, un mezclador.

Se realizó un estudio del divisor programable. Éste consta de un *prescaler* rápido que puede dividir por $(P+1)$ y P , y dos contadores programables A y N_p de baja velocidad.

Los filtros fueron analizados según el método del margen de fase, y elegimos el filtro pasivo de tipo 2 y orden 3.

Una vez visto cada elemento por separado, se realizaron simulaciones conjuntas de todos los componentes del sintetizador. En la simulación del sintetizador completo en AMS sólo usamos el modelado del VCO, pues la simulación tardaría varios meses si usamos el real. La primera consistió en la simulación de la respuesta del bucle, el segundo tipo de simulación realizada fue el análisis del ruido de fase y la tercera la respuesta transitoria. Se realizaron simulaciones con valores del filtro que podían ser integrados pero se tuvo que desechar esta posibilidad debido al ruido de fase introducido por las resistencias. Finalmente se utilizó un filtro pasivo de tipo 2 y orden 3 externo. Los resultados de las simulaciones con el filtro externo se pueden encontrar resumidos en la Tabla 10.3 y Tabla 10.4.

Tabla 10.3. Resultados de la respuesta del bucle y transitoria en ADS del sintetizador

	Respuesta del bucle	Respuesta transitoria	
Sub-bandas	Margen de fase (grados)	Tiempo de enganche inicial (ms)	Tiempo de enganche entre fmin y fmax (ms)
Sub-banda 5	35,936	0,3	0,45
Sub-banda 4	38,056	0,3	0,45
Sub-banda 3	39,951	0,3	0,25
Sub-banda 2	42,965	0,3	0,4
Sub-banda 1	44,659	0,3	0,3

Tabla 10.4. Resultados del ruido de fase total en ADS del sintetizador

Frecuencia (Hz)	PNTotal (dBc/Hz)
1	-70,012
10	-80,000
100	-89,875
1 K	-97,091
10 K	-83,197
100 K	-99,814
1 M	-121,339
10 M	-136,340

10.1.2. Diseño a nivel de *layout*

En una segunda fase se diseñaron y simularon todos los componentes que forman el sintetizador con la herramienta *Cadence*.

El diseño en *Cadence* del *layout* finalmente se quería enviar a fabricar. Como no disponíamos de todos los pines necesarios para generar el control de todos los canales, se tomó la decisión de generar cuatro frecuencias de salida, una por sub-banda y dejando una sub-banda fuera.

El *layout* del divisor programable de baja velocidad se realizó con herramientas de técnicas digitales para baja frecuencia. En la Tabla 10.5 se puede ver la relación en las señales de control elegidas para cada sub-banda así como el factor de división en el divisor programable de baja velocidad.

Tabla 10.5. Valores de la señal de control, los switches para cambiar de sub-banda el VCO y el valor de división del divisor programable de baja velocidad

Sub-banda	divsel_0	divsel_1	S1	S2	S3	S4	N _p
Sub-banda4	0	0	1	1	1	0	114
Sub-banda3	0	1	1	1	0	0	130
Sub-banda2	1	0	1	0	0	0	138
Sub-banda1	1	1	0	0	0	0	170

Se realizaron todos los bloques de los que consta el sintetizador a nivel de *layout*. En la simulación del sintetizador completo en *Cadence* usamos el VCO real. Algunos bloques tuvieron que ser rediseñados ya que el modelo de los componentes en ADS difería a los utilizados en *Cadence*. Finalmente se comprobó que el sintetizador tiende a engancharse. La simulación completa del enganche no se ha realizado puesto que su duración es elevada. Esto se debe a la escala del reloj principal y los factores de división del diseño, pudiendo dilatarse a meses.

10.2. Conclusión final

Se ha comprobado que con la tecnología *SiGe* 0,35 μ m se pueden realizar diseños de sintetizadores para DVB-H. De esta manera podemos integrar en un mismo chip la parte

analógica y digital del terminal receptor a excepción, en este caso, del filtro que no pudimos obtener un diseño válido con valores integrables.

Como se ha podido observar a lo largo de este proyecto, se ha cerrado el flujo de diseño de un circuito integrado mixto de radiofrecuencia, ya que en todos los circuitos se ha partido de un esquemático genérico, que poco a poco se ha ido optimizando, para luego pasar al desarrollo del *layout*. A lo largo del proyecto se ha obtenido una visión general del proceso de diseño que se transforma en experiencia a la hora de afrontar cualquier diseño, porque en todo momento se tiene una idea aproximada de lo que puede pasar en las diferentes fases del flujo de diseño.

Un logro a destacar es que parte de este trabajo ha sido publicado en un artículo de congreso internacional y en un artículo de revista donde al final de la memoria se encuentran anexas dichas publicaciones:

- S.L. Khemchandani, J.del Pino, D. Ramos, J. Pérez, N. Barrera, U. Alvarado, A. Hernández, “A BiCMOS Chipset for a DVB-H front-end receiver”, XXIII Design of Circuits and Integrated Systems Conference, Grenoble, November 12-14, 2008.
- S.L. Khemchandani, J. del Pino, E. López-Morillo, U. Alvarado, D. Ramos-Valido, B. Palomo, F. Muñoz-Chavero, “RF and Mixed Signal Circuits for a DVB-H Receiver”, Analog Integrated Circuits and Signal Processing, 2010.

Para concluir se puede decir que los objetivos planteados inicialmente se han alcanzado. En cualquier caso la línea de trabajo que subyace a este proyecto fin de carrera es parte de una línea de investigación de mayor envergadura en la que se desarrollan varios proyectos de investigación. De este modo, la temática de este trabajo tiene continuidad en aspectos como la integración del sistema en la cadena de recepción, etc.

PRESUPUESTO

Presupuesto

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento, para concluir con el proyecto, en este capítulo se realizará un estudio económico con los costes tanto parciales como totales del proyecto.

P.1. Costes de Recursos Humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias, ver Tabla P.1. Este personal está formado por dos técnicos a tiempo completo para un total de cien usuarios.

Tabla P.1. Costes de recursos humanos

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
2 Técnicos a tiempo completo	9	36060,73	360,61	270,46
TOTAL				270,46

P.2. Costes de Ingeniería

Se ha invertido un total de 9 meses a tiempo completo en el desarrollo de este proyecto. Durante este tiempo se han desarrollado las tareas de formación, estudio y análisis, especificación, desarrollo, análisis de resultados y documentación; como muchas de estas tareas se solapan en el tiempo se han incluido los períodos de tiempo en función de la tarea predominante. En este presupuesto se ha incluido los costes de formación al ser específicos para el desarrollo de este proyecto. Tomando la tarifa por costes de ingeniería aplicada a un ingeniero junior en España, asciende a un total de 2.232,16€/mes englobando en la misma el salario, la Seguridad Social, y el IRPF (Impuesto sobre la Renta de las personas físicas). La Tabla P.2 muestra los costes de ingeniería desglosados.

Tabla P.2. Costes de ingeniería

Descripción	Tiempo (meses)	Gastos (€/mes)	Gastos (€)
Formación y estudios previos	2	2232,16	4464,32
Estudio de las herramientas de trabajo	1	2232,16	2232,16
Desarrollo del circuito	5	2232,16	11160,80
Realización de la memoria	1	2232,16	2232,16
TOTAL			20089,44

P.3. Costes de amortización

En este apartado se exponen los costes derivados del uso de paquetes *software*, y material *hardware*. Estos equipos *hardware* y paquetes *software* presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se han estimado en 10.

En la Tabla P.3 se detalla el cálculo de los gastos totales para los recursos *hardware* utilizados.

Tabla P.3. Costes de recursos hardware

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	9	3300	330	247,50
Servidor para simulación SUN Sparc Station 10	9	3926	392,6	294,45
Impresora Hewlett Packard Laserjet 4L	9	4000	400	300,00
Ordenador Personal Pentium IV 2.5 GHz	9	1200	120	90,00
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	9	900	90	67,50
TOTAL				999,45

El cálculo de los gastos totales de los recursos *software* bajo licencia utilizados, tienen un coste estimado de amortización y mantenimiento según el período de uso (referenciados a un período de un año). Estos costes de licencias pertenecen a licencias universitarias, no comerciales se detallan en la Tabla P.4.

Tabla P.4. Costes de recursos software

Descripción	Tiempo de uso (meses)	Gastos		Gastos (€)
		Total (€/año)	Usuario (€/año-usuario)	
Microsoft Office 2007	9	450	45	33,75
Advance Design System (ADS)	9	3200	320	240,00
Cadence con Kit de diseño	9	1500	150	112,50
Modelsim	9	1000	100	75,00
Leda, Design Compiler	9	2810	281	210,75
Encounter	9	4030	403	302,25
Matlab	9	900	90	67,50
Origin	9	Versión prueba	-	0
TOTAL				1041,75

La Tabla P.5 muestra el total de los gastos por costes de amortización.

Tabla P.5. Costes de amortización

Descripción	Gastos (€)
Costes por recursos hardware	999,45
Costes por recursos software	1041,75
TOTAL	2041,20

P.4. Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación. El circuito mide: 1,145×1,040.

Tabla P.6. Costes de fabricación

Descripción	mm ²	Precio del mm ² (€)	Gastos (€)
Sintetizador	1,2	1000	1200,00
TOTAL			1200,00

P.5. Otros costes

En este apartado se incluyen los costes debidos al material fungible y a la elaboración del documento final del proyecto.

Tabla P.7. Otros costes

Descripción	Unidades	Coste unidad (€)	Gastos (€)
Paquetes papel DIN_A4 80 gr/m ²	3	4,5	13,50
Fotocopias	1000	0,04	40,00
CDs	3	3	9,00
Otros			100,00
TOTAL			162,50

P.6. Presupuesto total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Tabla P.8. Presupuesto total

Descripción	Gastos (€)
Costes de recursos humanos	270,46
Costes de ingeniería	20089,44
Costes de amortización	2041,20
Costes de fabricación	1200,00
Otros costes	162,50
PRESUPUESTO FINAL	23763,60
TOTAL (IGIC 5%)	24951,78

D. Dailos Ramos Valido declara que el proyecto “Diseño de un sintetizador de frecuencia integrado para DVB-H en tecnología BiCMOS 0,35 μ m” asciende a un total de 24951,78 euros.

Fdo.: Dailos Ramos Valido

DNI: 54075476-S

Las Palmas de Gran Canaria, a 2 de diciembre de 2010

BIBLIOGRAFÍA

Bibliografía

- [1] Website oficial DVB: <http://www.dvb.org/>
- [2] ETSI EN 302 304 V1.1.1, Digital Video Broadcasting (DVB); Transmission System for Handheld Terminals (DVB-H), November 2004.
- [3] AMS Austria Micro Systems, “0.35 μm BiCMOS Design Rules”, Rev. 5.0. 2005.
- [4] AMS Austria Micro Systems, “0.35 μm BiCMOS Process Parameters”, Rev. 4.0. 2005.
- [5] Gerardo Betancort González, “Diseño de un oscilador controlado por tensión (VCO) en tecnología SiGe 0.35 μm para el estándar DVB-H”, Proyecto Fin de Carrera, Septiembre de 2006.
- [6] Website oficial ADS: <http://www.agilent.com>
- [7] Website oficial Cadence: <http://www.cadence.com>

- [8] WP4 / D4.1 deliverable, “Front-end and Antennas External Specification”, Based on “Mobile and Portable DVB-T Radio Access Interface Specification, EICTA / TAC / MBRAI-02-16, Version 1.0 (1.1.2004)”.
- [9] ETSI EN 300 744 V1.5.1, Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television, November 2004.
- [10] Behzad Razavi, “RF microelectronics”, Prentice Hall, 1998.
- [11] Radio-Electronics TSEK 26, 4 P, RF CMOS Transceiver Design, <http://www.ek.isy.liu.se/courses/tsek26/#labs>, System Design.
- [12] Thomas H. Lee, “The Design of CMOS Radio Frequency Integrated Circuits”, Cambridge University Press, 1998.
- [13] J. del Pino, “Modelado y aplicaciones de inductores integrados en tecnologías de silicio”, Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [14] J. del Pino, S.L. Khemchandani, A. Hernández, J.R. Sendra, J. García, B. González, and A. Nunez, “The Impact of Integrated Inductors on Low Noise Amplifiers”, XVIII Design of Integrated Circuits and Systems Conference, 2003.
- [15] Informe “Run 2003” asociado al proyecto “Desarrollo de Circuitos Integrados para Redes Inalámbricas en la Banda de 5GHz” desarrollado por el Instituto de Microelectrónica Aplicada, Noviembre 2003.
- [16] Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, Mc Graw Hill, 2001.
- [17] Behzad Razavi, “RF microelectronics”, Prentice Hall, 1998.
- [18] R. Jacob Baker, Harry W. Li and David E. Boyce, “CMOS Circuit Design, Layout and Simulation”, IEEE Press, 1998.
- [19] Paul R. Gray, Paul J. Hurst, Stephen H. Lewwis y Robert G. Meyer, “Analysis and design of analog integrated circuits”, John Wiley & Sons, 2001.
- [20] J.S. Yuan, “SiGe, GaAs, and InP Heterojunction Bipolar Transistors”, John Wiley & Sons, 1999.
- [21] Manuel Sierra Pérez, “Electrónica de comunicaciones”, Pearson Prentice Hall, 2003.
- [22] Paraninfo, “Electrónica aplicada a las altas frecuencias”, Thomson Learning, 2000.
- [23] Dailos Ramos Valido, “Diseño de un sintetizador para el estándar IEEE 802.11a”, Proyecto Fin de Carrera, Octubre de 2005.

- [24] Roberto Aparicio Joo, "Frequency generation Techniques for integrated Applications", Thesis, California Institute of Technology Pasadena, 2004.
- [25] M. Usama, T. Kwasniewski, "New CML latch structure for high speed prescaler design", Canadian Conference on Electrical and Computer Engineering, 2004.
- [26] Ranganathan Desikachari, "High-Speed CMOS Dual-Modulus Prescalers for Frequency Synthesis", Thesis, Oregon State University, 2004.
- [27] Michael S. Reid, "The design and development of a 2.4-GHz and 5.7-GHz dual band CMOS transmitter for system-on-chip applications", Thesis, Iowa State University Ames, 2005.
- [28] AESOFT,
http://www.ansoft.com/markets/High_Performance_IC/5_Phase_Locked_Loop_Design_for_Mobile_WiMax_Radio.pdf
- [29] Angel María Gómez Argüello, João Navarro Soares Jr, "Diseño de un sintetizador de frecuencia integrado para RF (2.4 GHz) en tecnología CMOS de 0.35 μ m", Escola Politécnica de Universidade de São Paulo, Brasil.
- [30] W. O. Keese, "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loop", National Semiconductor Application Note 1001, May 1996.
- [31] Servicio de Tecnologías y Herramientas del IUMA (STH): <http://sth.iuma.ulpgc.es>
- [32] Página web COIT: <http://www.coit.es>
- [33] F. Javier del Pino, Apuntes de la asignatura: "Diseño de Circuitos Integrados de Radiofrecuencia", ULPGC, 2007.
- [34] Alan Hartings, "The art of analog layout", Ed. Prentice Hall, 2001.
- [35] Website oficial Origin: www.originlab.com
- [36] Website oficial Matlab: www.mathworks.com
- [37] Sunil L. Khemchandani, Javier del Pino, Dailos Ramos, Jonas Perez, Nestor Barrera, Unai Alvarado, Antonio Hernandez, "A BiCMOS Chipset for a DVB-H front-end receiver", XXIII Design of Circuits and Integrated Systems Conference, Grenoble, November 12-14, 2008.
- [38] S.L. Khemchandani, J. del Pino, E. López-Morillo, U. Alvarado, D. Ramos-Valido, B. Palomo, F. Muñoz-Chavero, "RF and Mixed Signal Circuits for a DVB-H Receiver", Analog Integrated Circuits and Signal Processing, 2010.

ANEXOS

ANEXO I

“A BiCMOS Chipset for a DVB-H front-end receiver”, XXIII Design of Circuits and Integrated Systems Conference, Grenoble, November, 2008.



The DCIS conference has evolved from its origins, more than two decades ago, into an important international meeting for researchers in the highly active fields of micro and nano electronics circuits and integrated systems. It provides an excellent forum to present and investigate the emerging challenges in modelling, design, implementation and test of circuits and systems. Experts from both industry and academia have the chance to discuss the demands and solutions for current applications. Strong scientific, technical and personal relationships have been developed in the frame of this event.

DCIS 2008 will take place in Grenoble, in France, organized by the TIMA Laboratory.



Conference on Design of Circuits and Integrated Systems

November 12 - 14, 2008
Grenoble, France

General Chair
Raoul Velazco, TIMA
Program Chairs
Lorena Anghel, TIMA
Maria José Avedillo, IMSE CNM

Welcome to DCIS 2008
Committee
Program Committee
Program at a Glance
Detailed Program
List of Abstracts
Social Event



DCIS 2008

ISBN: 978-2-84813-124-5

A BiCMOS Chipset for a DVB-H front-end receiver

S. L. Khemchandani¹, J. del Pino¹, D. Ramos¹, J. Pérez¹, N. Barrera¹, U. Alvarado² and A. Hernández¹

¹Dep. Ingeniería Electrónica y Automática / Instituto Universitario de Microelectrónica Aplicada (IUMA), Universidad de Las Palmas de Gran Canaria, Spain.

²Centro de Estudios e Investigaciones Técnicas de Guipúzcoa (CEIT), Spain.
sunil@iuma.ulpgc.es

Abstract—This paper describes the three most challenging components of a digital video broadcasting–handheld tuner: the wideband low noise amplifier, the mixer and the synthesizer. A direct conversion receiver is chosen over classical digital video broadcasting–terrestrial architectures. These blocks are implemented in a standard 0.35 μm BiCMOS process and their measured specifications are the following: the LNA minimum gain is 13 dB at 950 MHz with a maximum NF of 3 dB; the mixer has a conversion gain of 10.7 dB and a maximum NF of 22.5 dB; the VCO oscillates from 1085 MHz to 1766 MHz, covering nearly the entire band using only one VCO core, the phase noise is -112 dBc/Hz at 100 kHz offset, and the tuning range is 47.6 %.

Index Terms—low noise amplifier; LNA; mixer; digital video broadcasting–handheld; DVB-H; BiCMOS; VCO; synthesizer.

I. INTRODUCTION

Digital video broadcasting–handheld (DVB-H) merges the two best-selling consumer products in history, TVs and cellular phones. DVB-H technology adapts the digital video broadcasting–terrestrial (DVB-T) system for digital terrestrial television, to the specific requirements of handheld, battery-powered receivers. DVB-H can offer a downstream channel at high data rates which can be used standalone or as an enhancement of mobile telecoms networks which many typical handheld terminals are able to access anyway [1] [2].

Manufacturers of cellular telephones, portable computers, and other mobile devices are looking for ways to incorporate DVB-H receivers into their products. For many of these handheld devices, one of the primary concerns is battery life. Thus, there is strong motivation to provide good performance at very low power [1]-[3].

This paper deals with the design of the RF part of a DVB-H receiver, particularly with the design of the receiver front–end, in low cost 0.35 μm BiCMOS technology. The designed circuits include a low noise amplifier (LNA), dual quadrature mixers and a synthesizer implementing a direct conversion architecture.

In section II front-end specifications and system architecture are shown. Section III and IV give details of the

LNA and mixer design, respectively, addressing the topics of conversion gain, linearity and noise. Section V is devoted to the synthesizer design. Measured results are presented in each section. Finally, some conclusions are drawn in Section VI.

II. DVB-H RECEIVER

DVB-H standard works in the IV and V UHF bands, from 470 MHz to 862 MHz. The relationship between the channel center frequency and the channel number (N) is the following:

$$f_c = (470 + 4 + (N - 21) \cdot 8) \text{ MHz}, \quad N = 21, \dots, 69 \quad (1)$$

The channel separation is 8 MHz and the channel bandwidth is 7.61 MHz. In case that mobile communications under the standard GSM 900 is used in the same terminal as DVB-H, the usable frequency range is limited to channel 49 (698 MHz).

For the receiver, direct conversion architecture has been selected, thus only one phase locked loop (PLL), working at the channel center frequency, should be designed. In addition, it also avoids the need for an off-chip image reject filter. In double conversion architectures, two different PLLs are needed, one fixed at the higher possible frequency, and the other, at a lower frequency, which is in charge of channel selection. Both PLLs are easier to design than the one proposed here, however the complete receiver would have more power consumption and larger area. On the other hand, the direct conversion architecture suffers from drawbacks such as local oscillator leakage (self-mixing effect) and frequency pulling that appears because the synthesizer operates at the RF signal frequency. Generally, the proposed direct conversion solution is cheaper than the double conversion architecture.

The LNA and mixer specifications depend on the receiver baseband, ADC and automatic gain control. Reference [2] is used as initial approach for specifications to design the LNA and mixer circuits.

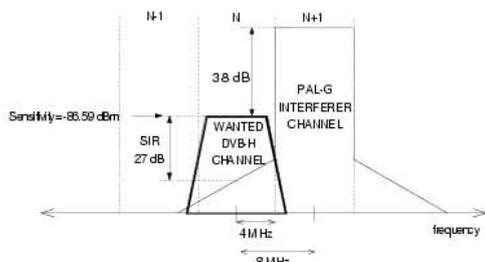


Fig. 1. Graphic representation of the interferer and the wanted channel for phase noise calculation.

For VCO specifications, some calculations have been done. With the chosen architecture, the VCO frequency range is from 474 MHz to 858 MHz. VCO phase noise limits the receiver selectivity and its specification can be calculated from maximum interferer signal in the N+1 channel. This happens for an analog PAL-G interferer channel as shown in Fig. 1 [1].

A 27 dB signal to interferer ratio (SIR) has been selected, 8 dB greater than the carrier to noise ratio (C/N) for the worst case described in the standard, which is 19.2 dB.

The maximum phase noise at 4 MHz offset is:

$$L(4\text{MHz}) = P_{WS} - P_{IS} - \text{SIR} - 10 \cdot \log(B) = -138 \text{ dBc/Hz} \quad (2)$$

where P_{WS} and P_{IS} are the wanted and interferer signals power. Assuming that this value is in the $1/f^2$ part of the phase noise curve according to Leeson [12], the slope is -20 dB/dec. This gives a phase noise requirement of -103 dBc/Hz at 100 kHz offset.

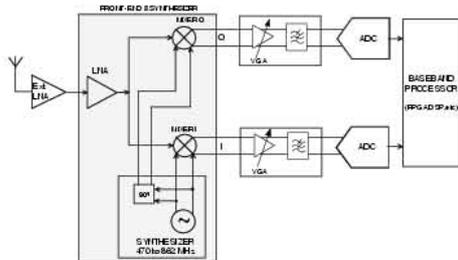


Fig. 2. Block scheme of the DVB-H front-end.

Fig. 2 shows the proposed receiver block scheme. It consists on the front-end and synthesizer, which are the circuits presented in this paper, the baseband amplification and filtering, the ADC and the digital baseband processing.

An external LNA is included in order to meet NF requirements [2].

III. LNA

The primary goal of a LNA is to keep the overall NF of the receiver low enough by screening the relatively large noise of the following mixer by the LNA gain. The essential requirements of a LNA are low noise, high gain, high linearity, low power consumption, and in DVB-H, wideband.

A. LNA Description

Recently, a new topology of a wideband amplifier for UWB system, which adopts a band-pass filter at the input of the cascode LNA for wideband input matching, has been reported [5][6]. The band-pass filter-based topology incorporates the input impedance of the cascode amplifier as a part of the filter, and shows a good performance while dissipating small amounts of dc power.

In this paper it is proposed to combine a resistive loaded LNA, with the conventional resistive shunt-feedback, in order to achieve a low power, low noise and wideband amplifier for the DVB-H band. Fig. 3 shows the proposed topology. As it can be seen, this circuit uses only one inductor reducing the required chip area.

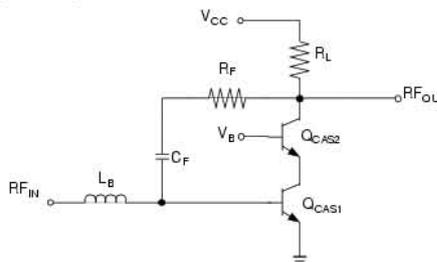


Fig. 3. LNA circuit diagram.

The LNA consists on two stages: the input stage, composed by two transistors (Q_{CAS1} and Q_{CAS2}) in cascode configuration and one inductor (L_B), and the output stage, which is the load resistance, R_L . The input stage is cascoded to allow suppressing local oscillator (LO) feed-through from the mixer back to the LNA's RF input.

Through resistive shunt-feedback it is possible to match the input and the output having an excellent trade-off between conjugate matching and minimum noise. The first step to do this is to select the values of R_L and R_F in order to match the real part of the input and output impedances. The imaginary part of the input impedance is then matched using the inductor L_B .

Following the procedure outlined above, transistor dimensions of Q_{CAS1} and Q_{CAS2} were selected to be $96 \mu\text{m}^2$. Also, a value of 300Ω has been selected for R_L and R_F in order to guarantee wideband operation. Finally, the input matching is achieved with a L_B of 3.5 nH. In this

implementation, the dc biasing nodes V_B and V_{CC} are biased separately through external voltage sources. The feed-back capacitor C_F value is 1 pF.

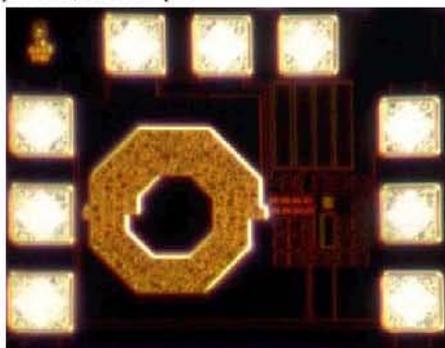


Fig. 4. LNA microphotography.

B. LNA measurement

Fig. 4 shows the LNA microphotography. The total chip size, excluding probe pads, is $452 \times 600 \mu\text{m}^2$. The amplifier draws 3 mA from a 3.3 V supply.

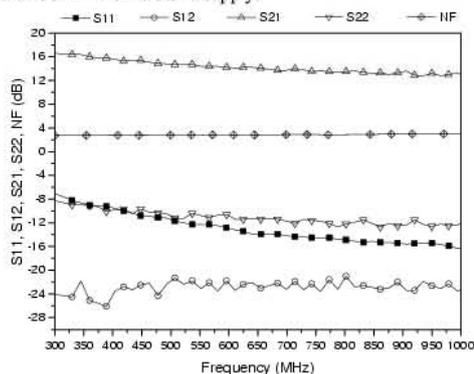


Fig. 5. Measured LNA S-parameters and NF.

Fig. 5 shows the measured S parameters of the wideband amplifier for $V_B=2$ V. In the band, from 470 to 862 MHz, the gain varies from 13 to 16 dB. The measured input return loss (S11) and output return loss (S22) are higher than 10 dB over the bandwidth. The reverse isolation (S12) is greater than 22 dB in the whole band due to the cascode stage. The NF measurement was done in a noise free environment with an E4440 Agilent 26.5 GHz spectrum analyzer and a 346C noise source. The NF varies from 3 to 3.3 dB. This result shows good agreement between measured and simulated data. The input IP3 was measured with a two tone test situated at 666 MHz and 666.2 MHz. Fig. 6 shows the measured IIP3 resulting a value of 5 dBm.

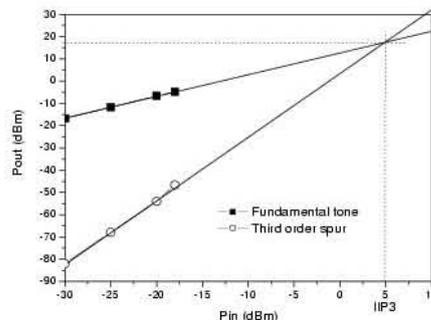


Fig. 6. Measured LNA IIP3.

IV. MIXER

Mixers are used for frequency conversion and are critical components in modern RF systems. In order to avoid self-mixing effect, a high LO and RF isolation is required, so a differential structure was used.

A. Mixer Description

The most common mixer topology is the double balanced configuration known as the Gilbert Cell (see Fig. 7) [8]. This design is often chosen over the simpler single balanced configuration due to its LO feed-through isolation properties. Double balanced mixers use symmetry to cancel the unwanted LO components while enhancing desired mixing components at the output.

In the designed mixer, the driver stage has been biased with the current source composed by Q_{REF} , R_{REF} , R_{B1} , R_{B1} and R_{B2} . The switching stage is biased directly through $V_{BIAS, LO}$. For measurement purposes, an emitter follower buffer is inserted in order to drive an external 50 Ω load.

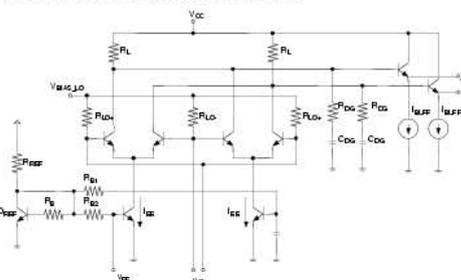


Fig. 7. Gilbert Mixer Cell.

The mixer linearity can be increased by source degeneration [8]. This technique consists on introducing a resistance (or inductance) in the emitters of the driver stage in order to maximize the linear input voltage range. However, this implies a deterioration of the gain and noise figure and, as a consequence, was not used in our design. Instead of this, a

degeneration network composed by C_{DG} and R_{DG} has been introduced at the buffer input to improve the linearity.

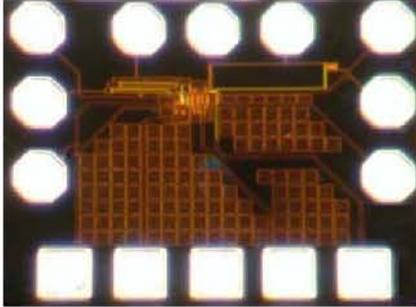


Fig. 8. Mixer microphotography.

B. Mixer measurement

Fig. 8 shows the mixer microphotography. The total chip size, excluding probe pads, is $120 \times 46 \mu\text{m}^2$. The amplifier, including the output buffer, draws 2 mA from a 3.3 V supply.

Fig. 9 shows the measured mixer conversion gain for a LO power of 0 dBm. The IF frequency has been fixed to 4 MHz and the RF and LO frequencies have been varied from 470 to 862 MHz. The measured gain is approximately 13 dB. The NF measurement was done in a noise free environment with the previous configuration. The NF measured value is from 20.5 to 22.5 dB in the band of interest. As the LNA, this result shows good agreement between measured and simulated data.

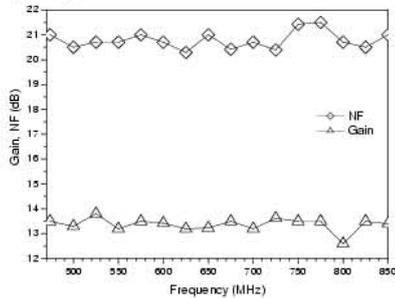


Fig. 9. Mixer measured conversion gain and NF.

V. SYNTHESIZER

The block diagram of the proposed synthesizer is shown in Fig. 10. The phase frequency detector (PFD) compares the output frequency (f_{out}), divided by the dividers (f_{div}), and the reference frequency f_{ref} . The charge pump converts the PFD comparison in current pulses, which are filtered by the loop filter to generate the control voltage. This voltage drives the VCO to increase or decrease the output frequency so as to drive the PFD's average output towards zero.

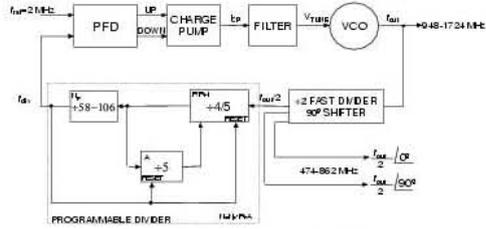


Fig. 10. Synthesizer for DVB-H.

A. Phase Frequency Detector and Charge Pump

The phase and frequency errors are detected by PFD and its schematic is shown in Fig. 11. It is a state machine with RS flip-flops as memory elements [9].

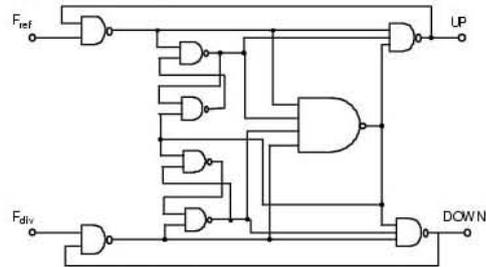


Fig. 11. Phase frequency detector schematic.

The charge pump structure consists on a pair of current sources with switches (see Fig. 12). The PFD gain (K_d) is $32.09 \mu\text{A}/\text{rad}$ and I_{cp} has a value of $\pm 201 \mu\text{A}$.

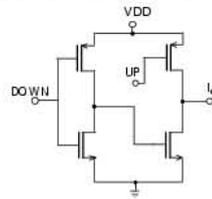


Fig. 12. Charge pump schematic.

B. Fast divider and phase shifter.

The fast divider block diagram is shown in Fig. 13. It is composed by a CML (current mode logic) fast divider, which divides de VCO output by two as well as generates de 0° and 90° signals. The buffers are to drive the mixers and they are matched to 50Ω . A CML to CMOS level converter is used to drive the dual modulus programmable divider.

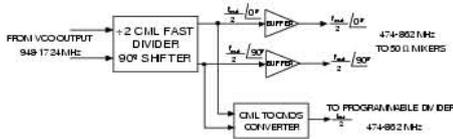


Fig. 13. High speed divider and 90° phase shifter.

The CML fast divider also acts as 0-90° phase shifter and its schematic is shown in Fig. 14 [10]. It is composed by two CML latches with active loads. As shown in Fig. 14, a divider by two using CML latches is formed by a master-slave configuration. This configuration is used to obtain the 0° and 90° LO to drive the I/Q mixers.

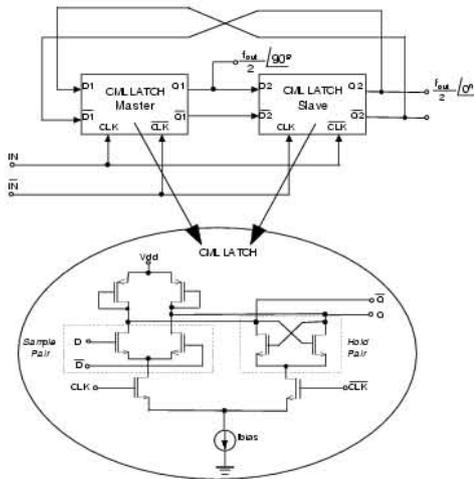


Fig. 14. CML fast divider and shifter.

C. Filter

The utilized loop filter is a passive three-pole filter (see Fig. 15). This comprises a second order filter section and a RC section, providing an extra pole to assist the attenuation of the sidebands at multiples of the comparison frequency that may appear.

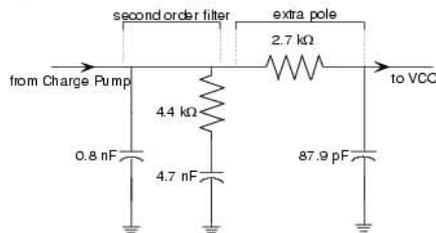


Fig. 15. Passive three-pole loop filter.

D. VCO

The VCO is implemented as an LC oscillator topology [11], integrating all the components of the tank on-chip. A simplified schematic of the VCO is shown in Fig. 16. The core uses a cross-coupled transistor pair to build-up the negative resistance. A buffer amplifier was also added to provide additional isolation from load variations and to boost the output power. A voltage applied to the V_{TUNE} pin, which is connected to the varactors, controls the VCO frequency. Also, an array of switched capacitors was employed to sweep the whole frequency range.

The close-in phase noise behaviour at an offset Δf from the carrier frequency f_0 of a differential LC tuned VCO is given by Leeson's model [12]:

$$L(\Delta) = \frac{2 \cdot K \cdot T \cdot R \cdot F}{V_o^2} \left(\frac{f_0}{2 \cdot Q \cdot \Delta f} \right)^2 \left(1 + \frac{f_c}{\Delta f} \right) \quad (3)$$

where K is Boltzmann's constant, T is the absolute temperature, R is the tank parallel resistance, V_o is the amplitude of oscillation, Q is the resonator loaded quality factor, f_c is the flicker noise corner frequency where flicker noise and thermal noise are equal in importance and F is the excess noise factor. From equation (3) and for a given f_0 , the VCO phase noise can be minimised by reducing the excess noise factor F , improving the tank (i.e. increasing the tank quality factor Q), increasing the amplitude of oscillation V_o .

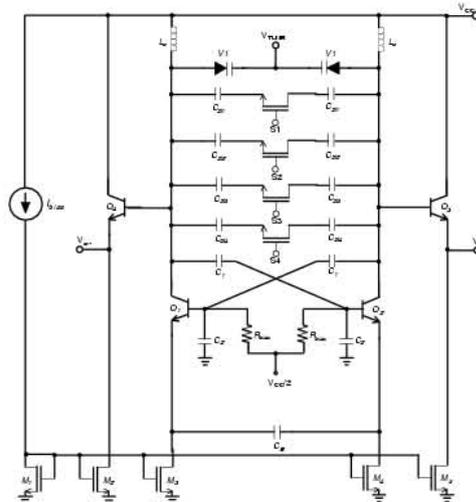


Fig. 16. VCO simplified schematic.

In order to facilitate the integration of inductors and capacitors, the VCO should run at twice the required UHF frequency (from 948 MHz to 1716 MHz). The required

inductors were selected using a commercially available planar electro-magnetic (EM) simulator (Momentum©)[13]. Tuning is achieved by a combination of continuous analog voltage control and digitally switching capacitors (see Fig. 16). The array of switched capacitors is arranged to give five digitally selectable sub-bands.

Capacitive emitter degeneration was employed [14] to increase the amplitude of oscillation V_o . The capacitor C_E is selected so that, at the oscillation frequency, it cancels out the impedance introduced by L_e . As the selected inductance was 4.1 nH, the required capacitance was $C_E \approx 3.5$ pF. This includes the output capacitance of the bias circuit because it introduces extra degeneration.

Another technique used here to increase the output voltage is a capacitive divider [13]. It uses a capacitive voltage division network to decrease the swing at the bases of the cross-coupled transistors, with respect to the tank voltage swing (C_1 and C_2). This prevents the transistors to saturate heavily at high swing at the output. DC biasing of the base terminals is done with 2 k Ω resistors (R_{bias}).

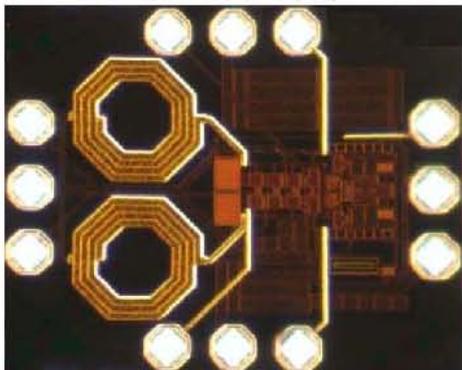


Fig. 17. VCO microphotography.

The chip microphotography is shown in Fig. 17 and its size is 826 \times 1020 μ m². Fig. 18 shows the VCO tuning range and the overlapping regions between the five sub-bands. The VCO oscillates from 1085 MHz to 1766 MHz, covering nearly the entire band using only one VCO core. The VCO measured tuning range is 47.6 %.

For phase noise measurement, free running VCO was biased with batteries to minimize the noise from the power supply. The obtained VCO spectrum was quite clear, as shown in Fig. 19. Due to the very low 1/f device corner frequency in SiGe BiCMOS technology the phase noise is -20 dB/dec until the noise floor of the measurement setup is reached. It has been achieved a -112 dBc/Hz at 100 kHz offset. These specifications are suitable for the proposed receiver requirements. The VCO output power is -14 dBm and the current consumption for a 3.3 V supply is 6 mA.

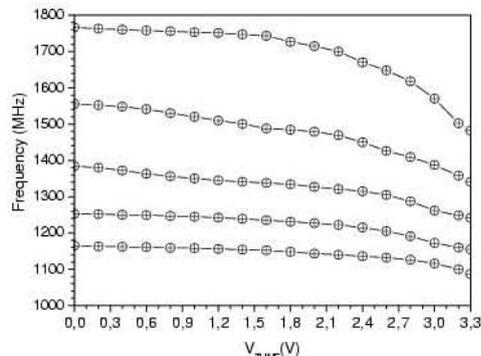


Fig. 18. VCO tuning range.

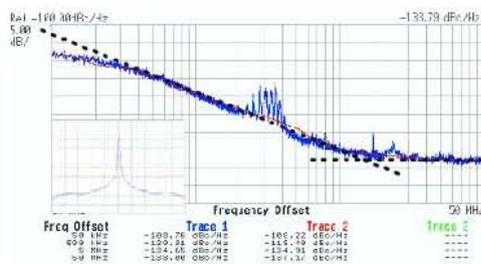


Fig. 19. Measured phase noise for 1740 MHz oscillation frequency.

E. Synthesizer loop response

The synthesizer simulations have been carried out with a modelled VCO using Advanced Design System tool [13]. Fig. 20 shows a synthesizer hop from 1252 MHz to 1412 MHz. Initially, the synthesizer is in free running mode. The synthesizer frequency is stabilized on 1252 MHz after 0.25 ms. A change in the divider is applied at 0.55 ms to achieve the 1412 MHz frequency.

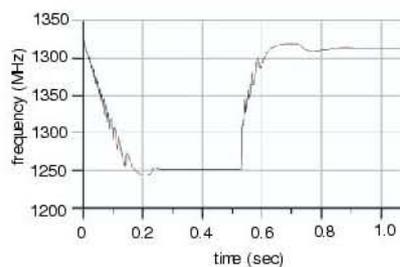


Fig. 20. Synthesizer transient response.

Fig. 21 shows the V_{TUNE} voltage for the same hop and Fig. 22 shows the current pulses from the charge pump output.

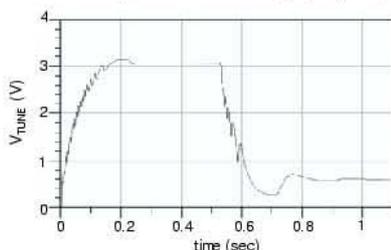


Fig. 21. Synthesizer transient response, V_{TUNE} voltage.

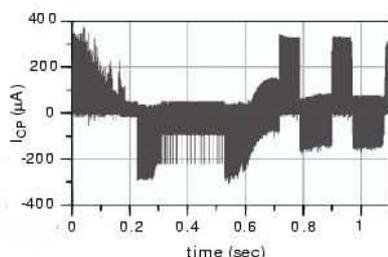


Fig. 22. Synthesizer transient response, charge pump output current.

VI. CONCLUSIONS

A functional LNA/mixer combination with a synthesizer for a DVB-H receiver has been presented. The front-end uses only one inductor, located in the LNA input matching network, and the load is not LC resonant in order to obtain the large RF bandwidth required by DVB-H (470 MHz to 862 MHz). The down-conversion is performed with a quadrature mixer. Both, LNA and mixer, present a suitable trade off between linearity and noise figure, at a very low power cost. The measured conversion gain of the LNA/Mixer combination is 28.5 dB and the total NF is 8.4 dB.

Also, a single core fully integrated VCO with on chip tank has been designed. In order to test the VCO, a synthesizer according to DVB-H standard has been designed, including the 0-90° phase shifter, fast dividers, PFD, charge pump and loop filter. Simulations have been done to test the synthesizer behavior.

VII. ACKNOWLEDGEMENT

This work is partially supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnología, TEC2005-08091-C03-02).

REFERENCES

- [1] Guido Retz, Phil Burton, "A CMOS Up-Conversion receiver Front-End for Cable and Terrestrial DTV Applications," in ISSCC 2003.
- [2] Patrick Antoine, Philippe Bauser, Hugues Beaulaton, Martin Buchholz, Declan Carey, Thierry Cassagnes, T. K. Chan, Stephane Colomines, Fionn Hurley, David T. Jobling, Niall Kearney, Aidan C. Murphy, James Rock, Didier Salle, and Cao-Thong Tu, "A Direct-Conversion Receiver for DVB-H," in IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, December 2005.
- [3] Mark Dawkins, Alison Payne Burdett and Nick Cowley, "A Single-Chip Tuner for DVB-T," in IEEE Journal of Solid-State Circuits, Vol. 38, No. 8, August 2003.
- [4] P. Antoine, P. Bauser, H. Beaulaton, M. Buchholz, D. Carey, T. Cassagnes, T. K. Chan, S. Colomines, F. Hurley, D. T. Jobling, N. Kearney, A. C. Murphy, J. Rock, D. Salle and C.-T. Tu, "A Direct-Conversion Receiver for DVB-H", IEEE Journal of Solid-State Circuits, vol. 40, no. 12, December 2005.
- [5] Yunseo Park, Chang-Ho Lee, John D. Cressler, and Joy Laskar, "Theoretical Analysis of a Low Dispersion SiGe LNA for Ultra-Wideband Applications," in IEEE Microwave and Wireless Components Letters, Vol. 16, No. 9, September 2006.
- [6] Chang-Wan Kim, Min-Suk Kang, Phan Tuan Anh, Hoon-Tae Kim, and Sang-Gug Lee, "An Ultra-Wideband CMOS Low Noise Amplifier for 3-5-GHz UWB System," in IEEE Journal of Solid-State Circuits, Vol. 40, No. 2, February 2005.
- [7] Thomas H. Lee, "The Design of CMOS RF Integrated Circuits," Cambridge University Press, 1998.
- [8] Behzad Razavi, "RF Microelectronics", Prentice Hall, 1998.
- [9] Agilent Technologies, "PLL Design Guide," <http://eesof.tm.agilent.com>, Aug, 2005.
- [10] M. Usama, T. Kwasniewski, "New CML latch structure for high speed prescaler design," *Canadian Conference on Electrical and Computer Engineering*, vol. 4, pp. 1915 - 1918, May 2004.
- [11] J. Craninckx, M. Steayert, "Low-Noise Voltage-Controlled Oscillators Using Enhanced LC-Tanks," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no.12, pp. 794-804, Dec. 1995.
- [12] D. B. Leeson, "A simple model of feedback oscillator noise spectrum," *Proceedings of IEEE*, vol. 54, pp. 329-330, Feb. 1966.
- [13] Agilent Technologies, <http://eesof.tm.agilent.com>.

- [14]Jing-Hong Conan Zhan, Kyle Maurice, Jon Duster and Kevin T. Kornegay, "Analysis and Design of Negative Impedance LC Oscillators Using Bipolar Transistors," *IEEE Transactions on Circuits and Systems*, vol. 50, no. 11, pp. 1461-1464, Nov. 2003.

ANEXO II

“RF and Mixed Signal Circuits for a DVB-H Receiver”, Analog Integrated Circuits and Signal Processing, 2010.

Artículo

	RF and mixed signal circuits for a DVB-H receiver	
	Publicación	Analog Integrated Circuits and Signal Processing
	Publisher	Springer Netherlands
	ISSN	0925-1030 (Print) 1573-1979 (Online)
	DOI	10.1007/s10470-010-9452-1
	Subject Collection	Ingeniería
Fecha de SpringerLink		miércoles, 17 de febrero de 2010

Online First

 PDF (1,3 MB)  HTML

Sunil L. Khemchandani¹, **Javier del Pino¹**, **Enrique López-Morillo²**, **Unai Alvarado³**, **Dailos Ramos-Valido¹**, **Bernardo Palomo²** and **Fernando Muñoz Chavero²**

- (1) Institute for Applied Microelectronics (IUMA), University of Las Palmas de Gran Canaria, Campus Universitario de Tafira s/n Edificio de Electrónica y Telecomunicaciones, 35017 Las Palmas de Gran Canaria, Spain
 (2) School of Engineering, Department of Electronic Engineering, University of Seville, Camino de los Descubrimientos s/n, 41092 Sevilla, Spain
 (3) CEIT and Tecnun, University of Navarra, Paseo Manuel de Lardizábal 13, 20015 San Sebastián, Spain

Received: 17 July 2009 **Revised:** 31 December 2009 **Accepted:** 4 January 2010 **Published online:** 18 February 2010

Abstract

This paper presents a tutorial on RF and mixed signal circuits design for a digital video broadcasting-handheld tuner. A detailed description of the wideband low noise amplifier, the mixer, the synthesizer and the ADC, which are the most challenging components of a receiver, are carried out. Requirements relative to frequency range, sensitivity, noise figure, linearity, phase noise gain and dynamic range are discussed. The LNA uses a cascode configuration, combining a resistive loaded LNA with a conventional resistive shunt-feedback, in order to achieve a low power, low noise and wide bandwidth. The mixer uses a classical Gilbert cell configuration. The VCO employs techniques like emitter degeneration, capacitor divider, and optimum bias for minimum noise to improve phase noise requirements and oscillation amplitude. There are two ADC structures, one of which is a delta sigma ADC. The blocks are implemented in a AMS 0.35 μm BiCMOS process.

Keywords RFIC - Digital video broadcasting-handheld - DVB-H - Low noise amplifier - LNA - Mixer, synthesizer, VCO - Sigma delta ADC

 **Sunil L. Khemchandani (Corresponding author)**
Email: sunil@iuma.ulpgc.es

 **Unai Alvarado**
Email: ualvarado@ceit.es

 **Fernando Muñoz Chavero**
Email: fmunoz@gte.esi.us.es

RF and mixed signal circuits for a DVB-H receiver

Sunil L. Khemchandani · Javier del Pino ·
 Enrique López-Morillo · Unai Alvarado · Dailos Ramos-Valido ·
 Bernardo Palomo · Fernando Muñoz Chavero

Received: 17 July 2009 / Revised: 31 December 2009 / Accepted: 4 January 2010
 © Springer Science+Business Media, LLC 2010

Abstract This paper presents a tutorial on RF and mixed signal circuits design for a digital video broadcasting-handheld tuner. A detailed description of the wideband low noise amplifier, the mixer, the synthesizer and the ADC, which are the most challenging components of a receiver, are carried out. Requirements relative to frequency range, sensitivity, noise figure, linearity, phase noise gain and dynamic range are discussed. The LNA uses a cascode configuration, combining a resistive loaded LNA with a conventional resistive shunt-feedback, in order to achieve a low power, low noise and wide bandwidth. The mixer uses a classical Gilbert cell configuration. The VCO employs techniques like emitter degeneration, capacitor divider, and optimum bias for minimum noise to improve phase noise requirements and oscillation amplitude. There are two ADC structures, one of which is a delta sigma ADC. The blocks are implemented in a AMS 0.35 μm BiCMOS process.

Keywords RFIC · Digital video broadcasting-handheld · DVB-H · Low noise amplifier · LNA · Mixer, synthesizer, VCO · Sigma delta ADC

1 Introduction

Digital video broadcasting-handheld (DVB-H) merges the two best-selling consumer products in history, TVs and cellular phones. DVB-H technology adapts the digital video broadcasting-terrestrial (DVB-T) system for digital terrestrial television, to the specific requirements of handheld, battery-powered receivers. DVB-H can offer a downstream channel at high data rates which can be used standalone or as an enhancement of mobile telecoms networks which many typical handheld terminals are able to access anyway [1, 2].

This paper deals with the design of the RF and mixed signal part of a DVB-H receiver for the UHF band. The use of the VHF-Band III is discarded because the signal wavelengths in this band (>1 m) imply a large size receiving antenna which would be difficult to integrate in a small handheld terminal. The designed circuits include a low noise amplifier (LNA), a mixer, a synthesizer, channel filter and two $\Delta\Sigma$ ADC structures.

In section II front-end specifications and system architecture are shown. Section III and IV give details of the LNA and mixer design, respectively, addressing the topics of conversion gain, linearity and noise. Section V and VI are devoted to the single core VCO and synthesizer design. The ADC and channel filter are shown in Sect. VI. Measured results are presented in each section. Finally, some conclusions are drawn in Sect. VII.

S. L. Khemchandani (✉) · J. del Pino · D. Ramos-Valido
 Institute for Applied Microelectronics (IUMA), University of Las Palmas de Gran Canaria, Campus Universitario de Taira s/n
 Edificio de Electrónica y Telecomunicaciones,
 35017 Las Palmas de Gran Canaria, Spain
 e-mail: sunil@iuma.ulpgc.es

E. López-Morillo · B. Palomo · F. M. Chavero
 School of Engineering, Department of Electronic Engineering,
 University of Seville, Camino de los Descubrimientos s/n,
 41092 Sevilla, Spain
 e-mail: fmunoz@gte.esi.us.es

U. Alvarado
 CEIT and Tecnum, University of Navarra, Paseo Manuel de Lardizábal 13, 20015 San Sebastián, Spain
 e-mail: ualvarado@ceit.es

Published online: 18 February 2010

 Springer

2 DVB-H receiver

In this section the requirements for the tuner performance relative to frequency range, sensitivity, noise figure, linearity, phase noise gain and dynamic range are extracted.

(1) *Frequency range*: The DVB-H frequency band extends over both IV and V UHF TV bands, going from 470 to 862 MHz. However, interoperability with cellular radio systems reduces the upper limit of the frequency band. The blocking effect of the GSM 900 radio uplink at 880 MHz leaks into the DVB-H receiver due to its high power (up to +33 dBm). A GSM rejection filter must be implemented at the receiver input in order to attenuate the blocking signal to a value of at least -28 dBm [3] (the maximum allowed input signal for DVB-H). The practical implementation of such filters reduces the frequency range to 750 MHz. Hence, the DVB-H reception band is limited from 470 up to 750 MHz [4].

(2) *Sensitivity and noise figure*: The sensitivity of the receiver depends directly on the noise figure and the signal to noise ratio:

$$P_{in,min} = -174 \text{ dBm/Hz} + 10 \log \text{ BW} + \text{NF} + C/N \quad (1)$$

where 7.61 MHz of effective bandwidth (BW) has been used to calculate the noise floor level. Using a GSM reject filter, the noise figure of 6 dB [4] is achievable, and the minimum power of the input signal is -96.8 dBm for a QPSK modulation (CR = 1/2).

(3) *Linearity*: The linearity test is performed by applying two interferers at channels N + 2 and N + 4 with the maximum allowed power (-35 dBm). The desired channel N has either a signal power 40 dB lower (in case of DVB interferer) or 45 dB lower (if there is a PAL interferer) [3]. The receiver must maintain the signal to noise ratio under these conditions. The required IIP3 is calculated using the following expressions [5]:

$$\text{IM3} = P_{int} - (P_{des} - C/N - \text{NF}) \quad (2)$$

$$\text{IIP3} = P_{int} + \left(\frac{\text{IM3}}{2}\right) \quad (3)$$

where P_{int} and P_{des} are the power (in dBm) of the interferers and desired signal, respectively. The result depends on the modulation (as long as C/N does), being the worst case equal to -3.4 dBm (64 QAM, CR = 2/3).

(4) *Phase noise*: The phase noise requirements must be stated taking into account the influence of the phase impairments in OFDM systems (at the vicinity of each carrier) and the influence due to adjacent channel interference. Being the former the most restrictive of both of them, the required phase noise is calculated considering the sensitivity of the OFDM scheme to phase impairments.

The phase noise in the OFDM system introduces inter carrier interference (ICI) and leads to a degradation in SNR given as [5]

$$D = \frac{11}{6 \ln 10} 4\pi\beta T \frac{E_s}{N_0} \quad (4)$$

where β is the single-sided -3 dB line-width of phase noise power spectral density (assumed to have a Lorentzian spectrum), $1/T$ is the subcarrier spacing, E_s is the symbol energy and N_0 is the single sided noise PSD.

Assuming that [6]

$$\frac{E_s}{N_0} = \frac{C}{N} - 10 \log(m) \quad (5)$$

being m the number of bits per symbol and considering a 0.1 dB degradation in SNR with a 64-QAM modulation (C/N = 21.8 dB), the -3 dB line-width should be at most 1.41 Hz which translates into a phase noise requirement of at least [7]

$$\text{PN}(f) = 10 \log \left(\frac{1 - \beta}{\pi f^2 + \beta^2} \right) \quad (6)$$

At 100 kHz offset we obtain -106.5 dBc/Hz.

(5) *Gain and dynamic range*: The front-end gain control must provide a dynamic range such that it does not overload the ADC input. If the filtering is done after the ADC, it must have the ability of passing the maximum level of the undesired channel.

The following formula relates the ADC dynamic range (DR_{ADC}), the maximum blocker level (P_{bl}), the carrier to noise ratio (C/N) and the blocker attenuation (A).

$$\text{DR}_{\text{ADC}} = \underbrace{(P_{bl} - A)}_{P_{\text{max}}} - \underbrace{\left(P_{\text{in min}} - \frac{C}{N} - \text{Margin} \right)}_{\text{noise}} \quad (7)$$

Table 1 shows the filter attenuation for the two proposed ADCs assuming that C/N + Margin = 20 dB.

If the ADC sampling frequency (f_s) increases, the quantization noise decreases, this leads to a lower front end gain (G_{FE}). Some calculations concerning to this issue are shown in Table 2 in order to obtain the CAG vs. upsampling factor (p). G_{FEmin} is the minimum G_{FE} , which is the

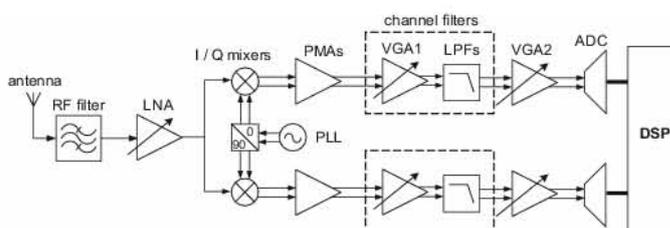
Table 1 Performance specification for channel filter assuming a BW = 7.66 MHz

Pass freq (MHz)	Pass ripple	Stop freq (MHz)	Stop att (dB)	ADC bits
3.83	Lowest	4.17	38.8	8
3.83	Lowest	4.17	20.8	11

Table 2 Upsampling factor, CAG, maximum and minimum gain

p	G_{FFmax} (dB)	G_{FFmin} ($P_{max-ADC} - S_{I_{max}}$) (dB)	CAG ($G_{FFmax} - G_{FFmin}$) (dB)
8 bits ADC			
1	68.2	30	38.2
2	65.19	30	35.19
4	62.18	30	32.18
8	59.17	30	29.17
11 bits ADC			
1	50.14	30	20.14
2	47.13	30	17.13
4	44.12	30	14.12
8	41.11	30	11.11

Fig. 1 DVB-H front-end architecture block diagram



ADC maximum input power ($P_{max-ADC}$) minus antenna maximum input power ($S_{I_{max}}$).

A direct conversion to zero-IF front-end architecture has been selected for this work. The simplicity of this architecture, due to the lesser amount of components, causes two important consequences: the reduction of the size and the cost of the receiver, because the number of external components is smaller; lower power consumption (expected to be lower than 100 mW for the whole front-end [3]), makes this receiver suitable for hand-held battery-powered portable devices (Fig. 1).

Table 3 summarizes all the front-end requirements stated above.

Table 3 DVB-H front-end overall specifications summary

Front-end parameter	Value
Sensitivity	-96.8 dBm
Noise figure	6 dB
Maximum gain	70 dB
Dynamic range	50 dB
Maximum input level	-28 dBm
Max. required SNR	21.8 dB
IIP3	-3.4 dBm
LO phase noise @ 100 kHz	-106.5 dBc/Hz
$N \pm 1$ channel rejection	Analog blocker 38 dB Digital blocker 29 dB
$N \pm m$ channel rejection	Analog blocker 56 dB Digital blocker 40 dB

3 LNA

The primary goal of a LNA is to keep the overall NF of the receiver low enough by screening the relatively large noise of the following mixer by the LNA gain.

Recently, a new topology of a wideband amplifier for UWB system, which adopts a band-pass filter at the input of the cascode LNA for wideband input matching, has been reported [8, 9]. The band-pass filter-based topology incorporates the input impedance of the cascode amplifier as a part of the filter, and shows a good performance while dissipating small amounts of dc power.

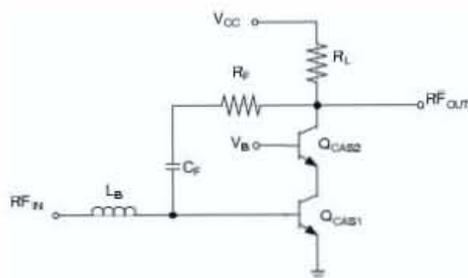


Fig. 2 LNA circuit diagram

However, the adoption of the LC filter at the input mandates a number of reactive elements, which could lead to larger chip area and NF degradation in the case of on-chip implementation. In addition, it is worth noting that as the frequency band for DVB-H extends over the 4 and 5 UHF TV bands, going from 470 to 862 MHz, the inductors would require high inductance values (~ 10 nH), not available in typical silicon technologies with reasonable quality factors.

In this paper it is proposed to combine a resistive loaded LNA, with the conventional resistive shunt-feedback, in order to achieve a low power, low noise and wideband amplifier for the DVB-H band. Figure 2 shows the proposed topology. As it can be seen, this circuit uses only one inductor reducing the required chip area.

The LNA consists of two stages: the input stage, composed by two transistors (Q_{CAS1} and Q_{CAS2}) and one inductor (L_B), and the output stage, which is the load resistance, R_L .

The input stage is cascoded for a number of reasons. The first one is to reduce the influence of the base-to-collector capacitance on the LNA's input impedance. Specifically, the Miller effect tends to substantially decrease the input impedance, making difficult to match the input. In addition to mitigating the Miller effect, the use of a cascode improves the LNA's reverse isolation, which is important in the present application in order to allow suppressing local oscillator (LO) feed-through from the mixer back to the LNA's RF input. Finally, the inclusion of the cascode device Q_{CAS2} allows the gain variation through the V_B bias voltage.

Having established the LNA's topology, we now discuss the selection of current values and transistor sizes. The noise figure of the LNA depends directly on the emitter area and on the bias current of Q_{CAS1} , and it will reach a minimum for a particular combination of those parameters. We have simulated various combinations of bias currents, transistors areas and transistors multiplicity. The circuit has been simulated using the software Advanced Design

System (ADS) from Agilent Technologies and power constraints have been taken into account in order to achieve a low power design.

The next step in minimizing the noise is matching the LNA input impedance. Through resistive shunt-feedback it is possible to match the input and the output having an excellent trade-off between conjugate matching and minimum noise. The first step to do this is to select the values of R_L and R_F in order to match the real part of the input and output impedances. The imaginary part of the input impedance is then matched using the inductor L_B .

Following the procedure outlined above, transistor dimensions of Q_{CAS1} and Q_{CAS2} were selected to be $96 \mu\text{m}^2$. Also, a value of 300Ω has been selected for R_L and R_F in order to guarantee wideband operation. Finally, the input matching is achieved with an L_B of 3.5 nH. In this implementation, the dc biasing nodes V_B and V_{CC} are biased separately through external voltage sources. The feedback capacitor C_F value is 1 pF.

Figure 3 shows the LNA microphotography. The total chip size, excluding probe pads, is $452 \times 600 \mu\text{m}^2$. The amplifier draws 3 mA from a 3.3 V supply.

Figure 4 shows the measured S parameters of the wideband amplifier for $V_B = 2$ V. In the band, from 470 to 862 MHz, the power gain varies from 13 to 16 dB. The gain can be adjusted from 5 to 16 dB through V_B (from 1 to 2 V). The measured input return loss (S11) and output return loss (S22) are higher than 10 dB over the bandwidth. The reverse isolation (S12) is greater than 22 dB in the whole band due to the cascode stage. The NF measurement was done in a noise free environment with an E4440 Agilent 26.5 GHz spectrum analyzer and a 346C noise source. The NF varies from 3 to 3.3 dB. This result shows good agreement between measured and simulated data. The input IP3 was measured with a two tone test situated at 666

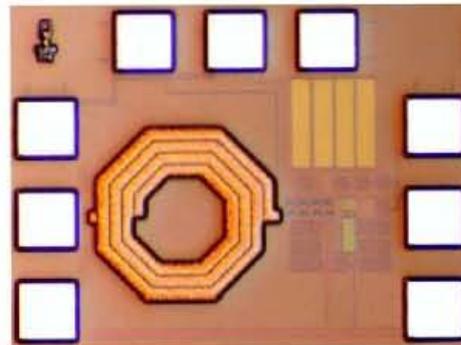


Fig. 3 LNA microphotography

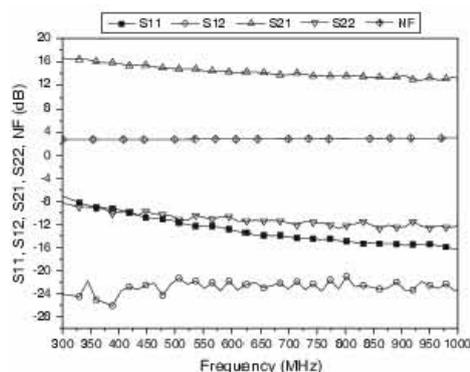


Fig. 4 Measured LNA S-parameters and NF

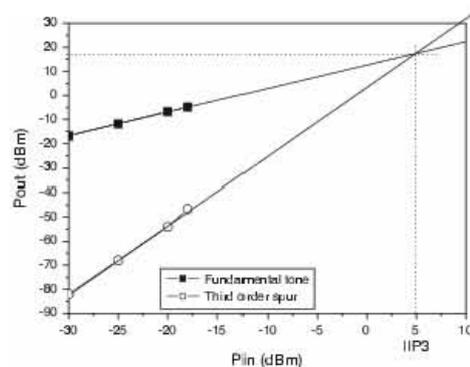


Fig. 5 Measured LNA IIP3

and 666.2 MHz. Figure 5 shows the measured IIP3 resulting a value of 5 dBm.

4 Mixer

The selected mixer topology is the double balanced configuration known as the Gilbert Cell (see Fig. 6) [10]. The driver stage has been biased with the current source composed by Q_{REF} , R_{REF} , R_B , R_{B1} and R_{B2} . The switching stage is biased directly through V_{BIAS_LO} . For measurement purposes, an emitter follower buffer is inserted in order to drive an external 50 Ω load.

The driver stage has been biased with the current source composed by Q_{REF} , R_{REF} , R_B , R_{B1} and R_{B2} . The switching stage is biased directly through V_{BIAS_LO} . For

measurement purposes, an emitter follower buffer is inserted in order to drive an external 50 Ω load.

There are several factors which affect mixer performance, such as gain, linearity, power and noise. Adjusting circuitry for the purpose of optimizing a particular performance parameter may serve to unintentionally degrade the performance of the other parameters. It is important to monitor all of the performance parameters throughout the design process. The following discussion will outline how the approximations for each circuit element in the mixer were achieved. The design was focused on providing high gain and linearity with a low power consumption.

An approximation of the mixer voltage gain is as follows:

$$A_V = \left(\frac{2}{\pi}\right) \cdot g_{m_{RF}} \cdot R_L \tag{8}$$

where the $2/\pi$ factor is the attenuation introduced by the switching stage, $g_{m_{RF}}$ is the transconductance of the driver stage and R_L is the load impedance. This approximation is valid if the switching stage transistors are considered to act as perfect switches.

Since the gain is a strong function of R_L , one may consider increasing this parameter. However, this would have a degrading effect on the mixer linearity because the load resistors could cause gain compression if the voltage swing at the collectors is large enough to cause the output to clip under large signal drive conditions. On the other hand, one may also consider increasing the transconductance of the driver stage transistors, $g_{m_{RF}}$, increasing the transistor current I_{EE} . This, in addition to a power consumption increasing, would cause a deterioration of the linearity due to the third order intermodulation increase produced in the switching quad through the emitter-base junction capacitance.

So, there is a combination of the load resistance and bias current in order to achieve a good trade off between gain and linearity with convenient power consumption.

The mixer linearity can be increased by source degeneration [10]. This technique consists of introducing a resistance (or inductance) in the emitters of the driver stage in order to maximize the linear input voltage range. However, this implies a deterioration of the gain and noise figure and, as a consequence, was not used in our design. Instead of this, a degeneration network composed by C_{DG} and R_{DG} has been introduced at the buffer input to improve the linearity.

A further improvement of mixer performance can be achieved optimizing the transistor areas and multiplicities. In general, the gain and NF depend on the transistor transistors area and the IIP3 depends more on the switching transistor area, reaching a maximum at a given value.

Fig. 6 Gilbert mixer cell

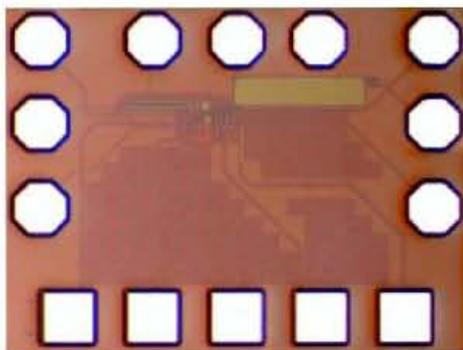
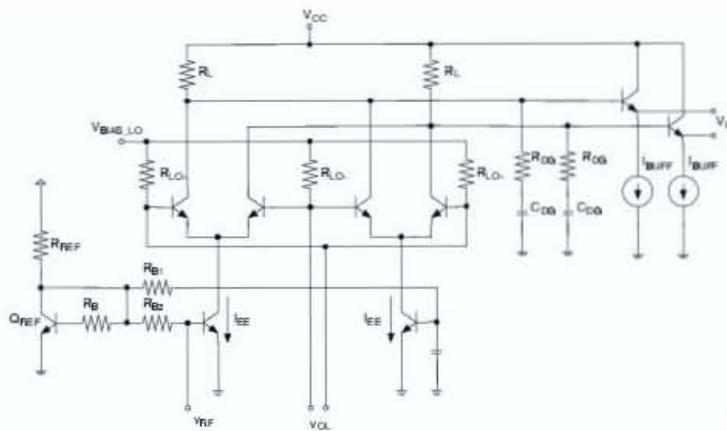


Fig. 7 Mixer microphotography

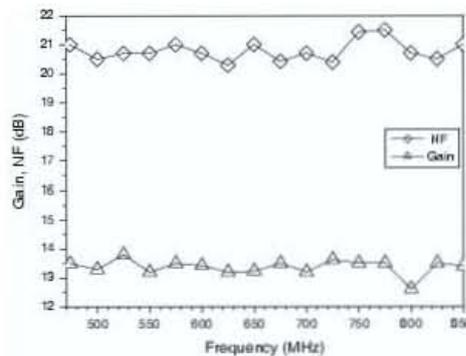


Fig. 8 Mixer measured conversion gain and NF

Taking this into account, a transconductor and a switching quad transistor areas of 1 and 11 µm² was chosen, respectively.

Figure 7 shows the mixer microphotography. The total chip size, excluding probe pads, is 120 × 46 µm². The amplifier, including the output buffer, draws 2 mA from a 3.3 V supply.

Figure 8 shows the measured mixer conversion gain for a LO power of 0 dBm. The IF frequency has been fixed to 4 MHz and the RF and LO frequencies have been varied from 470 to 862 MHz. The measured gain is approximately 13 dB. The NF measurement was done in a noise free environment with the previous configuration. The NF measured value is from 20.5 to 22.5 dB in the band of interest. As the LNA, this result shows good agreement between measured and simulated data.

5 VCO

The VCO is implemented as an LC oscillator topology [11], integrating all the components of the tank on-chip.

A simplified schematic of the VCO is shown in Fig. 9. The core uses a cross-coupled transistor pair to build-up the negative resistance. A buffer amplifier was also added to provide additional isolation from load variations and to boost the output power. An array of switched capacitors was employed to sweep the whole frequency range.

The close-in phase noise behavior at an offset Δf from the carrier frequency f₀ of a differential LC tuned VCO is given by Lesson's model [12]:

$$L(\Delta) = \frac{2 \cdot K \cdot T \cdot R \cdot F}{V_0^2} \left(\frac{f_0}{2 \cdot Q \cdot \Delta f} \right)^2 \left(1 + \frac{f_c}{\Delta f} \right) \quad (9)$$

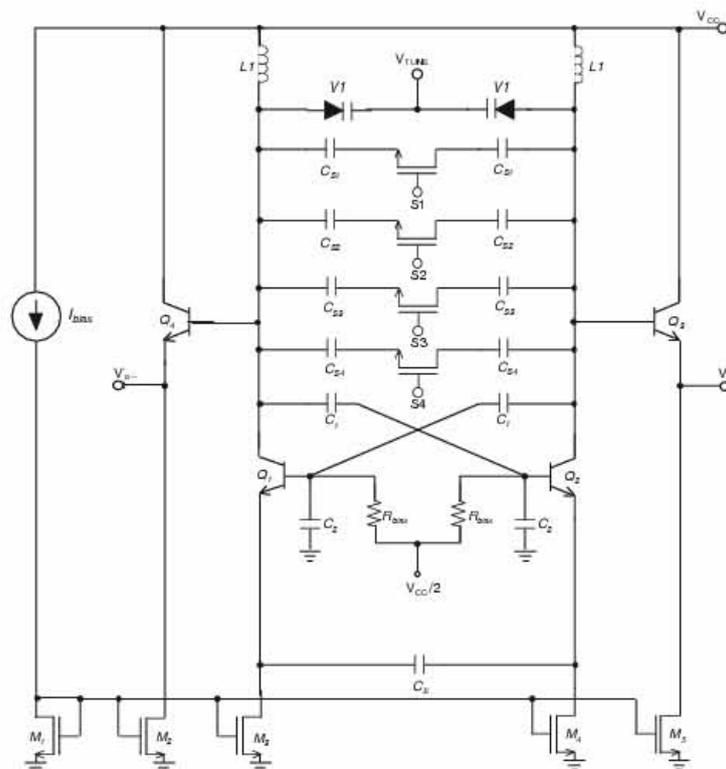


Fig. 9 VCO simplified schematic

where K is Boltzmann's constant, T is the absolute temperature, R is the tank parallel resistance, V_o is the amplitude of oscillation, Q is the resonator loaded quality factor, f_c is the flicker noise corner frequency where flicker noise and thermal noise are equal in importance and F is the excess noise factor.

From Eq. 9 and for a given f_o , the VCO phase noise can be minimized by:

- Reducing the excess noise factor F
- Improving the tank, i.e., increasing the tank quality factor Q , which implies a reduction of the tank parallel resistance R ,
- Increasing the amplitude of oscillation V_o

In the following sections, different techniques for minimizing the VCO phase noise acting over the previous points will be discussed.

5.1 VCO optimum bias

In order to minimize the cross-coupled differential transistor pair excess noise factor, the transistor design stage first involves finding the optimal noise current density. As the minimum noise figure and the optimum noise current density are practically independent of emitter length [13] the transistor areas are then adjusted so that the negative resistance equals the tank parallel resistance R at the minimum noise current density.

5.2 Tank design

A major challenge for the receiver design is frequency generation for the down converter mixers, which needs to cover nearly an octave of tuning range (from 474 to

858 MHz), while at the same time meeting stringent phase noise requirements.

In order to facilitate the integration of inductors and capacitors, the VCO should run at twice the required UHF frequency (from 948 to 1,716 MHz). If the VCO were designed for generating the required frequencies directly, the inductors and capacitors needed would result in extremely large values. For example, if a 5 nH inductor were chosen, a maximum capacitance of 23 pF would be needed for 474 MHz, which occupies a large area.

The required inductors were selected using a commercially available planar electro-magnetic (EM) simulator (Momentum[®]) [14]. This allows us to gain insight in the different tradeoffs between coil radius, conductor width, and number of turns, in order to achieve the inductor with the best quality factor at the center of the band. Tuning is achieved by a combination of continuous analog voltage control and digitally switching capacitors (see Fig. 9). The array of switched capacitors is arranged to give five digitally selectable sub-bands.

5.3 Emitter degeneration

Equation 9 leads to the conclusion that for the same noise factor and tank quality, the phase noise of a VCO can be minimized by increasing the amplitude of oscillation V_o . However, V_o decreases with frequency because of the reduced transistor gain. This is evident if the transformed negative impedance of the cross coupled transistor pair is considered (Z_{IN}). Z_{IN} can be expressed as:

$$Z_{IN} \approx -2 \left(\frac{1}{g_m} + s \frac{C_{\pi} \cdot r_b}{g_m} \right) = -2 \left(\frac{1}{g_m} + s \cdot L_e \right) \quad (10)$$

where C_{π} is the base-emitter capacitance and L_e denotes the equivalent inductance introduced by the cross coupled pair. As frequency increases, $s \cdot L_e$ dominates the negative impedance, diminishing the transistor gain. The consequence is a reduced amplitude of oscillation and, eventually, a loss of the condition to sustain oscillation.

In order to overcome this problem, capacitive emitter degeneration can be employed. This method consists on introducing an extra capacitor, C_E to cancel out the effect of the negative inductance introduced by r_b and C_{π} . Equation 5 represents the transformed negative impedance of the cross coupled transistor pair with capacitive degeneration.

$$Z_{IN} \approx -2 \left(\frac{1}{g_m} + s \cdot L_e + \frac{1}{s \cdot C_E} \right) \quad (11)$$

The capacitor C_E is selected so that, at the oscillation frequency, it cancels out the impedance introduced by L_e . As the selected inductance was 4.1 nH, the required capacitance was $C_E \approx 3.5$ pF. This includes the output

capacitance of the bias circuit because it introduces extra degeneration.

5.4 Capacitive divider

Another technique used here to increase the output voltage is a capacitive divider [15]. It uses a capacitive voltage division network to decrease the swing at the bases of the cross-coupled transistors, with respect to the tank voltage swing (C_1 and C_2). This prevents the transistors to saturate heavily at high swing at the output. DC biasing of the base terminals is done with 2 kΩ resistors (R_{bias}).

The chip microphotography is shown in Fig. 10 and its size is $826 \times 1,020 \mu\text{m}^2$. Figure 11 shows the VCO tuning range and the overlapping regions between the five sub-bands. The VCO oscillates from 1,085 to 1,766 MHz, covering nearly the entire band using only one VCO core. In simulations, the VCO covered the full DVB-H band, but when it was fabricated and measured it didn't. This is because a minor difference between the inductor model used in simulations and the measured model. A solution for this should be to redesign slightly the VCO tank, leaving a bigger guard interval in the DVB-H oscillation frequency. The VCO measured tuning range is 47.6%.

For phase noise measurement, free running VCO was biased with batteries to minimize the noise from the power supply. Due to the very low $1/f$ device corner frequency in SiGe BiCMOS technology the phase noise is -20 dB/dec until the noise floor of the measurement setup is reached. It has been achieved a -112 dBc/Hz at 100 kHz offset. These specifications are suitable for the proposed receiver requirements. The VCO output power is -14 dBm and the current consumption for a 3.3 V supply is 6 mA (Fig. 12).

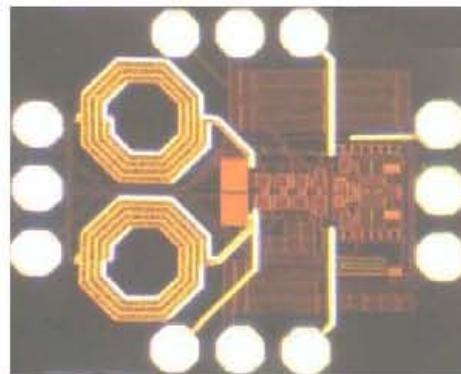


Fig. 10 VCO microphotography

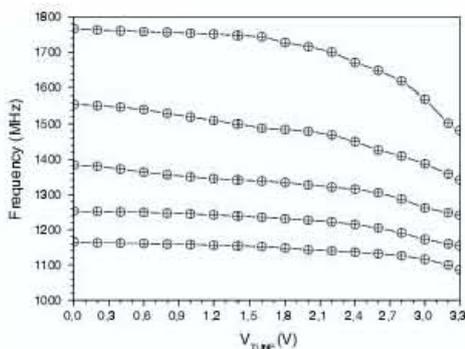


Fig. 11 VCO tuning range

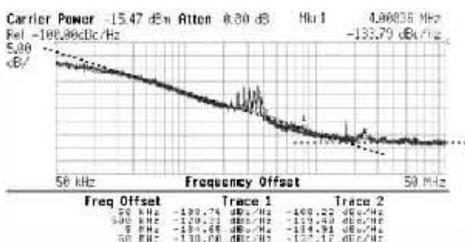


Fig. 12 Measured phase noise for 1,740 MHz oscillation frequency

6 Synthesizer

The block diagram of the proposed synthesizer is shown in Fig. 13.

The phase and frequency errors are detected by PFD which is a state machine with RS flip-flops as memory elements [16]. The charge pump structure consists on a pair

of current sources with switches. The PFD gain (K_d) is 32.09 $\mu\text{A}/\text{rad}$ and I_{cp} has a value of $\pm 201 \mu\text{A}$.

The fast divider block diagram is shown in Fig. 14. It is composed by a CML (current mode logic) fast divider, which divides the VCO output by two as well as generates the 0° and 90° signals. The buffers are to drive the mixers and they are matched to 50Ω . A CML to CMOS level converter is used to drive the dual modulus programmable divider.

The CML fast divider also acts as $0-90^\circ$ phase shifter and its schematic is shown in Fig. 15 [15]. It is composed by two CML latches with active loads. As shown in Fig. 15, a divider by two using CML latches is formed by a master-slave configuration. This configuration is used to obtain the 0° and 90° LO to drive the I/Q mixers.

The utilized loop filter is a passive three-pole filter. This comprises a second order filter section and a RC section, providing an extra pole to assist the attenuation of the sidebands at multiples of the comparison frequency that may appear. The loop bandwidth is 125 kHz.

6.1 Synthesizer loop response

Figure 16 shows the VCO phase noise contribution to the synthesizer. The VCO determines the synthesizer phase noise above 100 kHz, but with a slight reduction of approximately 5 dB. This difference is decreasing until a 1 MHz offset is reached, in this point the difference is zero.

Figure 17 shows a synthesizer hop from 1,252 to 1,316 MHz. Initially, the synthesizer is in free running mode. The synthesizer frequency is stabilized on 1,252 MHz after 0.25 ms. A change in the divider is applied at 0.55 ms to achieve the 1,316 MHz frequency.

Figure 18 shows the V_{TUNE} voltage for the same hop and Fig. 19 shows the current pulses from the charge pump output. These simulations have been carried on with a modelled VCO using Advanced Design System tool [14].

Fig. 13 Synthesizer for DVB-H

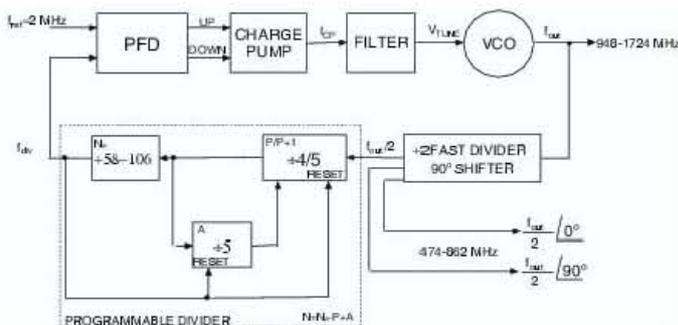


Fig. 14 High speed divider and 90° phase shifter

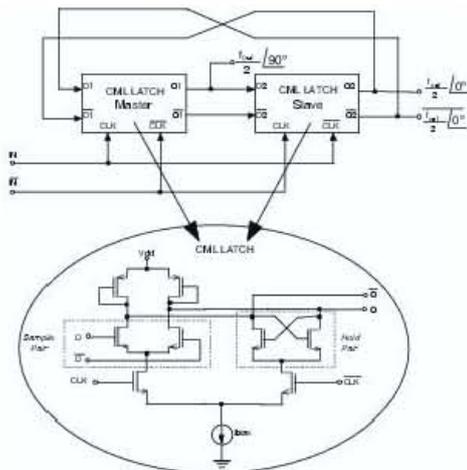
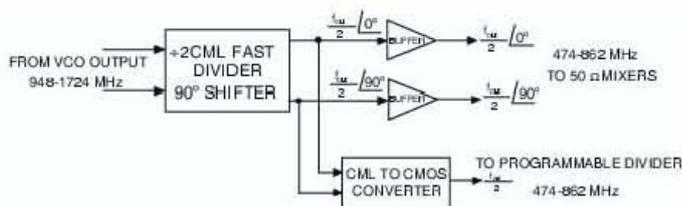


Fig. 15 CML fast divider and shifter

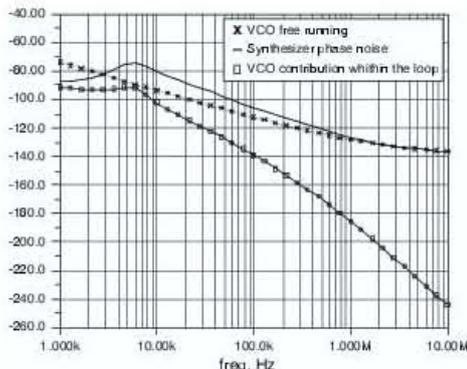


Fig. 16 VCO phase noise contribution to the synthesizer

7 ADC

Two approaches have been implemented for the ADC. Firstly, a low-power pipeline ADC converter. Secondly, a

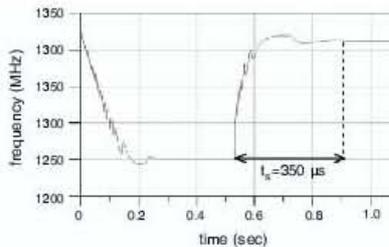


Fig. 17 Synthesizer transient response

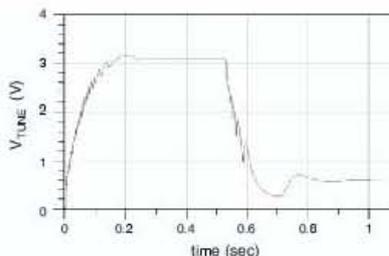


Fig. 18 Synthesizer transient response, VTUNE voltage

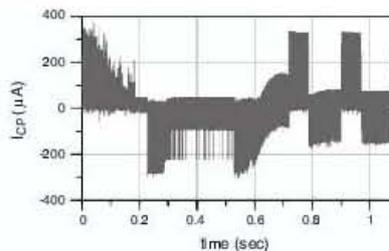


Fig. 19 Synthesizer transient response, charge pump output current

novel approach has been proposed, based on a fifth order SD converter and feedback architecture, allowing the reduction of the filter order.

As it is shown in Fig. 1 the main building blocks of the analog baseband receiver are the channel filter, the VGA

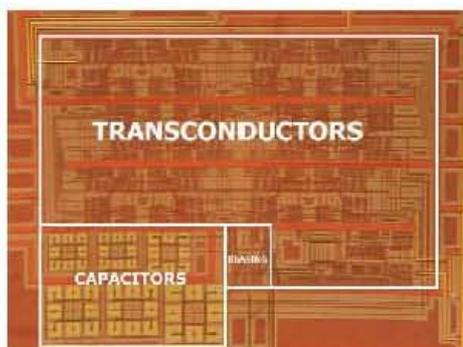


Fig. 20 Chip microphotograph of the fabricated filter (1,130 $\mu\text{m} \times 900 \mu\text{m}$)

and the ADC. This section will focus on the design of the ADC, which is the most power hungry blocks (Fig. 20).

Among many ADC architectures, pipeline converters have proven to be a very efficient architecture for meeting the low power consumption and high input bandwidth requirements of DVB-H standard [17, 18]. Moreover, the evolution of CMOS technology has made the choice of a continuous-time Sigma-Delta ($\Sigma\Delta$) architecture very attractive because its power efficiency. In this paper both approaches are explored using a 0.35 μm CMOS technology.

7.1 A very low power 8 bit 16 M samples/s pipelined converter

A classical 1.5 bit per stage pipelined architecture has been used to implement this version of the ADC. The main contribution of this circuit design is the clever combination of different power saving techniques to achieve a very low power solution, such as op-amp sharing [19], low-power amplifiers with gain boosting and an aggressive capacitor scaling.

A block diagram of the chosen pipeline architecture is shown in Fig. 21. It consists on a cascade of seven stages. Each stage resolves two bits with a sub-ADC, subtracts the converted value from its inputs and amplifies the resulting residue by a gain of two. The resulting 14 bits are combined with digital correction to yield eight bits at the output of the ADC.

A 2.5 V, 8-bit, 16-MS/s pipelined ADC implemented in a 0.35 μm standard digital CMOS technology (AMSC35) was designed as shown in Fig. 22, with a power consumption of 4 mW. Experimental results show a DNL of 0.4 LSB and INL of 1.06 LSB. The active area of the layout is 4.78 mm^2 . Finally the simulated peak SNDR is

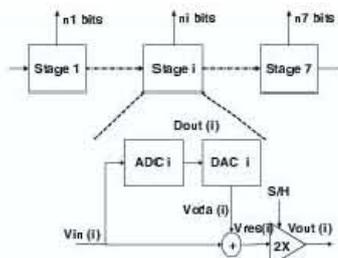


Fig. 21 Pipeline-ADC 1.5-bit/stage architecture

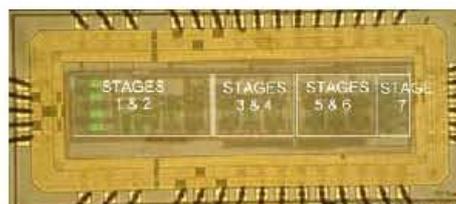


Fig. 22 Microphotograph of the eight bits ADC (4.78 mm^2)

Table 4 Summary of the 8 bits ADC experimental measurements

Technology	AMS 0.35 μm CMOS
Voltage supply	2.5 V
Full scale differential input signal	$\pm 1 V_{pp}$
Core current consumption	1.6 mA
Peak SNDR (2 MHz input signal)	48.51 dB
ENOB	7.76 bits
Dynamic range	72.7 dB
Conversion rate	16 MS/S
DNL	0.40 LSB
INL	1.06 LSB

48.51 dB, yielding an ENOB of 7.76. Experimental results are summarized in Table 4.

7.2 An 11-Bits continuous-time sigma-delta modulator

A DVB-H transmission channel represents a very hostile environment due to near out-of-band interferers. Therefore, a high selectivity channel filter is required which demands high-order. Despite of its high selectivity, the channel filter cannot (completely) attenuate the high power interferer placed at frequencies in the adjacent channel increasing the DR requirement of the ADC. Continuous-time $\Sigma\Delta$ Modulators have shown to be a very efficient architecture for

high resolution converters. Moreover, the receiver performance is improved by some well-known features of the continuous-time $\Sigma\Delta$ converters:

- The anti-aliasing behaviour [20].
- The necessary digital decimation filter performs a low pass filtering that can removes interferers in the digital domain without power penalty, relaxing the channel filter requirements [20].

$\Sigma\Delta$ Modulators have been a traditional approach for low frequency applications because the limitation on the sampling frequency. However, nowadays this problem has been minimized with the new technologies which can operate at higher frequencies, therefore, many examples in the range of 11 bits of resolution can be found in the literature [20, 21].

In this work, a feedforward compensated continuous-time $\Sigma\Delta$ modulator with a fifth order loop filter has been implemented. The objective is to digitalize a 4 MHz signal at a resolution of 11bits with the minimum power consumption. A sampling rate of 256 MHz has been chosen.

The block diagram of the modulator is shown in Fig. 23. An effective way to reduce the quantization noise is to apply local feedback paths (coefficients r_1 and r_2 in Fig. 23) to create two notches distributed over the signal bandwidth.

The presented $\Sigma\Delta$ modulator has been processed in a 0.35 µm CMOS technology of AMS. Table 5 summarizes the post-layout simulated performance. Simulation results show 11 bits over a bandwidth of 4 MHz with a power consumption of 8.4 mW at 2.5 V of supply voltage. Figure 24 shows the simulated output spectrum using an input signal of 1.5 Vpp (Full-Scale) at 1.5 MHz of frequency. A SNDR of 71.8 dB has been obtained.

We can conclude that the converter achieves more than 11 bits of resolution that is enough for processing the high DR DVB-H signals avoiding the converter saturation with only 8.4 mW of power consumption. The low power consumption reported shows that $\Sigma\Delta$ Modulators can be a good choice for communication applications where stringent blocking specifications are required, instead of the classical pipeline architecture approach.

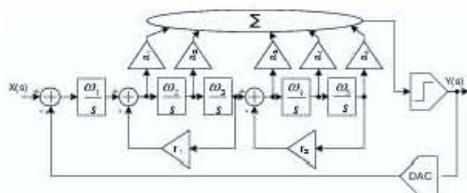


Fig. 23 Block diagram of the fifth-order continuous-time $\Sigma\Delta$ modulator

Table 5 Summary of the 11 bits ADC's features

Technology	AMS 0.35 µm CMOS
Voltage supply	2.5 V
Full scale differential input signal	1.5 Vpp
Signal bandwidth	4 MHz
Total bias current consumption	3.36 mA
Peak SNDR (1.15 MHz input signal)	71.8 dB
ENOB	11.9 bits
Dynamic range	72.7 dB
Loop filter	5th order
Quantizer	1 bit

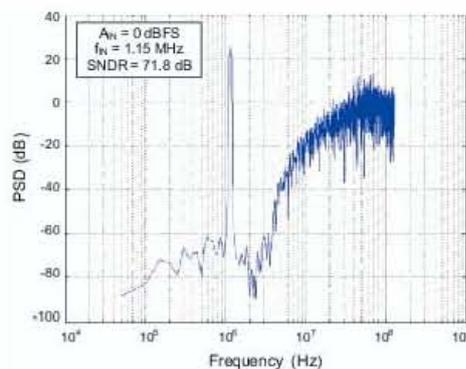


Fig. 24 Simulated output spectrum

8 Conclusions

A set of LNA, mixer, synthesizer, channel filter and ADC for a DVB-H receiver has been presented. The front-end uses only one inductor, located in the LNA input matching network, and the load is not LC resonant in order to obtain the large RF bandwidth required by DVB-H. LNA and mixer present a suitable trade off between linearity and noise figure at a very low power cost.

A single core fully integrated VCO with on chip tank has been designed. In order to test the VCO, a synthesizer according to DVB-H standard has been designed, including the 0–90° phase shifter, fast dividers, PFD, charge pump and loop filter. Simulations have been done to test the synthesizer behavior.

Finally, for the ADC, two approaches have been implemented. First of all, a low-power pipeline ADC converter. Secondly, a novel approach has been proposed, based on a fifth order SD converter and feedback architecture, allowing the reduction of the filter order. Although, same DVB-H tuner functionality is already implemented

Table 6 Performance summary of the RF blocks

Technology	0.35 μm BiCMOS S35D4
Supply voltage	3.3 V
LNA	
Power gain	13–16 dB (470–862 MHz)
NF	3–3.3 dB
Input IP3	5 dBm
In/out return loss	>10 dB
Reverse isolation	>22 dB
Power consumption	3 mA/9.9 mW
Mixer	
Power gain	13 dB
NF	20.5–22.5 dB
Input IP3	5 dBm
Power consumption	2 mA/6.6 mW
Synthesizer	
Frequency range	948–1,716 MHz/474–858 MHz
Phase noise	–106 dBc@100 kHz
PFD gain	32.09 $\mu\text{A}/\text{rad}/\text{lcp} = \pm 201 \mu\text{A}$
VCO power Consumption	6 mA/19.8 mW
Settling time	350 μs

on one single commercial CMOS ICs, this paper has presented some design issues that usually are not shown by the IC manufacturer Table 6.

Acknowledgments This work is partially supported by the Spanish Ministry of Science and Innovation (TEC2008-06881-C03-01) and the Spanish Ministry of Industry, Tourism and Trade (TSI-020400-2008-71).

References

- Retz, G., & Burton, P. (2003). A CMOS up-conversion receiver front-end for cable and terrestrial DTV applications. *IEEE International Solid-State Circuits Conference*, 1, 442–506.
- Antoine, P., Bauser, P., Beaulaton, H., Buchholz, M., Carey, D., Cassagnes, T., et al. (2005). A direct-conversion receiver for DVB-H. *IEEE Journal of Solid-State Circuits*, 40, 2536–2546.
- Mobile and Portable DVB-T Radio Access Interface Specification. *European Industry Association EICTA, MBRAI-02-16*.
- Digital Video Broadcasting (DVB). (2009). *DVB-H implementation guidelines, DVB BlueBook A092 Rev.3(A092r3)*.
- Pollet, T., Van Bladel, M., & Moeneclaey, M. (1995). BER sensitivity of OFDM systems to carrier frequency offset and wiener phase noise. *IEEE Transactions on Communications*, 43(234), 191–193.
- European Telecommunications Standards Inst. (ETSI), ETR 290: Digital Video Broadcasting (DVB); Measurement guidelines for DVB systems. (1997).
- Navid, R., Lee, T. H., & Dutton, R. W. (2005). An analytical formulation of phase noise of signals with Gaussian-distributed jitter. *IEEE Transactions on Circuits and Systems-II: Express Briefs*, 52, 3.
- Park, Y., Lee, C.-H., Cressler, J. D., & Laskar, J. (2006). Theoretical analysis of a low dispersion SiGe LNA for ultra-wideband applications. *IEEE Transactions on Microwave Wireless Components Letter*, 16, 9.
- Kim, C.-W., Kang, M.-S., Anh, P. T., Kim, H.-T., & Lee, S.-G. (2005). An ultra-wideband CMOS low noise amplifier for 3–5-GHz UWB system. *IEEE Journal of Solid-State Circuits*, 40, 2.
- Razavi, B. (1998). *RF microelectronics*. USA: Prentice Hall.
- Craninckx, J., & Steyert, M. (1995). Low-noise voltage-controlled oscillators using enhanced LC-tanks. *IEEE Transactions of Circuits System II: Analog Digital Signal Process*, 42(12), 794–804.
- Leeson, D. B. (1966). A simple model of feedback oscillator noise spectrum. *Proceedings of IEEE*, 54, 329–330.
- Voinescu, S. P., Marchesan, D., & Copeland, M. A. (2000). A family of monolithic inductor-varactor SiGe-HBT VCOs for 20 GHz to 30 GHz LMDS and Fiber-optic receiver applications. *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 173–177, Jun. 2000.
- Agilent Technologies, <http://eesof.tm.agilent.com>.
- Usama, M., & Kwasniewski, T. (2004). New CML latch structure for high speed prescaler design," presented at the Canadian Conference on Electronics Computation Engineering, May 2–5, 2004, Ontario.
- Agilent Technologies. (2005). *PLL design guide*. <http://eesof.tm.agilent.com>, Aug. 2005.
- Li, J., Zeng, X., Xie, L., Chen, J., Zhang, J., & Guo, Y. (2008). A 1.8 V 22-mW 10-bit 30-MS/s pipelined CMOS ADC for low-power subsampling applications. *IEEE Journal of Solid-State Circuits*, 43(2), 321–329.
- Arias, J., Boccuzzi, V., Quintanilla, L., Enriquez, L., Bisbal, D., Banu, M., et al. (2004). Low-power pipeline ADC for wireless LANS. *IEEE Journal of Solid-State Circuits*, 39(8), 1338–1340.
- Min, B.-M., Kim, P., Bowman, F. W., Boisvert, D. M., & Aude, A. J. (2003). A 69-mW 10-bit 80-M sample/s pipelined CMOS ADC. *IEEE Journal of Solid-State Circuits*, 38(12), 2031–2039.
- Philips, K., Nuijten, P. A. C. M., Roovers, R., van Roermund, A. M., Muñoz, F., Tejero, M., & Torralba, A. (2004). A continuous-time $\Delta\Sigma$ ADC with increased immunity to interferers. *IEEE Journal of Solid-State Circuits*, 39, 12.
- Muñoz, F., Philips, K., & Torralba, A. (2005). A 4.7 mW 89.5 dB DR CT complex $\Sigma\Delta$ ADC with built-in LPP. *ISSCC Digital Technical Papers*, 1, 500–501.



Sunil L. Khemchandani was born in Las Palmas de Gran Canaria, Spain. In 2000 he received the M.S. degree in telecommunication engineer from the University of Las Palmas de Gran Canaria, and the Ph.D. degree in 2007. From 1998 he is in the Research Institute for Applied Microelectronics of University of Las Palmas de Gran Canaria. His research work involved GaAs IC's for video and image processing. From 2001 to 2003 he was working in INCIDE, where he was involved in the modelling of inductors in CMOS technology, designing LNAs for GPS applications, transimpedance amplifiers for SONET/SDH and PLLs for MMDS application. His research interests include high-frequency integrated circuits for telecommunications, with particular attention to the design of VCOs, LNAs and mixers in CMOS technology. He published seven journals papers and over 31 conference papers. Now, he is a lecturer at the Department of Electronics at the University of Las Palmas de Gran Canaria.



Javier del Pino was born in Canary Islands, Spain. He received the B.S. and M.S. degrees in Telecommunications Engineering, in 1996 and 1997, respectively both from the University of Las Palmas de Gran Canaria, Spain, and the Ph.D. degree in 2002 from the same University. Since 1994 he has been with the Microelectronic Technologic Division of the Institute for Applied Microelectronics IUMA, at the University of Las Palmas de Gran Canaria and in 1998 he joined the University of Las Palmas de Gran Canaria where he has been an Associate Professor from 1998 to 2005, and a Professor since 2005. In 2000 and 2002 he was an Invited Researcher in the Centro de Estudios e Investigaciones Técnicas de Guipúzcoa, Spain, and in the Fraunhofer Institute for Integrated Circuits, Germany, respectively. His research interests include high-frequency integrated circuits for telecommunications, with particular attention to the design, characterization and modelling of silicon integrated inductors. He has authored or coauthored more than 50 papers in international journals and conferences and leads research projects funded by public institutions and local companies.

co-author of more than 20 articles in international journals and conferences.



Dailos Ramos-Valido was born in Gran Canaria, he received the B.S. degree in telecommunication engineering from the University of Las Palmas de Gran Canaria in 2005. From 2005 he is in the Research Institute for Applied Microelectronics of University of Las Palmas de Gran Canaria. His research interests include RF IC for wireless communications.



Enrique López-Morillo was born in Sevilla, Spain. He received the telecommunications engineering degree from the University of Seville, Seville, Spain, in 2006. In 2007, he received a professional research grant from the Spanish government and joined the Department of Electronic Engineering, School of Engineering, University of Seville, where he is currently pursuing the Ph.D. degree. His research interests are related to low-voltage low-power analog circuit design, analog-digital and digital-analog conversion, and biomedical applications of microelectronics.



Bernardo Palomo was born in Dos Hermanas, Seville, Spain. He received the telecommunications engineering degree from the University of Seville, Seville, Spain, in 2002. Since that year, he has been with the Department of Electronic Engineering, School of Engineering, University of Seville, where he has been a reader since 2005 and is currently pursuing the Ph.D. degree. In 2003, he was a trainee at Natlab, Philips Research, Eindhoven, The Netherlands. His research interests are related to low-voltage low-power analog circuit design, analog-digital conversion, and analog and mixed-signal processing.

power analog circuit design, analog-digital and digital-analog conversion, and biomedical applications of microelectronics.



Unai Alvarado received his M.Sc. degree in Electronics Engineering and Ph.D. in Electronics and Communications from the University of Navarra. He is a researcher at CEIT since 2003 and associate professor at the University of Navarra since 2007. His research interests include RFIC design, with special emphasis in low-power and low-noise techniques for CMOS technologies. He has been involved in national and international projects related to DVB-H/SH, GPS/GALILEO and RFID technologies. He is author or



Fernando Muñoz Clavero was born in El Saucejo, Sevilla, Spain. He received the telecommunications engineering and Ph.D. degrees from the University of Seville, Seville, Spain, in 1998 and 2002, respectively. Since 1997, he has been with the Department of Electronic Engineering, School of Engineering, University of Seville, where he has been an Associate Professor since 1999. In 2000 and 2002, he was a Visiting Researcher at Natlab, Philips Research, Eindhoven, The Netherlands, and in 2003, in the Klipsch School of Electrical Engineering, New Mexico State University, Las Cruces. His research interests are related to low-voltage low-power analog circuit design, analog-digital and digital-analog conversion, and analog and mixed-signal processing.

Philips Research, Eindhoven, The Netherlands, and in 2003, in the Klipsch School of Electrical Engineering, New Mexico State University, Las Cruces. His research interests are related to low-voltage low-power analog circuit design, analog-digital and digital-analog conversion, and analog and mixed-signal processing.