

**UNIVERSIDAD DE LAS PALMAS DE GRAN  
CANARIA**

**ESCUELA UNIVERSITARIA DE  
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



**PROYECTO FIN DE CARRERA**

**DISEÑO DE UN AMPLIFICADOR DISTRIBUIDO EN  
TECNOLOGÍA SiGe 0.35  $\mu\text{m}$  PARA *ULTRA WIDE BAND***

**ESPECIALIDAD: SISTEMAS ELECTRÓNICOS.  
TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.  
AMAYA GOÑI ITURRI.  
AUTOR: GUSTAVO MARTIN RAMIREZ.  
FECHA: ENERO 2007**

**UNIVERSIDAD DE LAS PALMAS DE GRAN  
CANARIA**

**ESCUELA UNIVERSITARIA DE  
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



**PROYECTO FIN DE CARRERA**

**DISEÑO DE UN AMPLIFICADOR DISTRIBUIDO EN  
TECNOLOGÍA SiGe 0.35  $\mu\text{m}$  PARA *ULTRA WIDE BAND***

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

**NOTA:**

**ESPECIALIDAD: SISTEMAS ELECTRÓNICOS.  
TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.  
AMAYA GOÑI ITURRI.  
AUTOR: GUSTAVO MARTIN RAMIREZ.  
FECHA: ENERO 2007**



# Índice

---

## Capítulo 1 Introducción

1.1 Introducción.....	1
1.2 Wi-Fi (Wíreless Fidelity).....	4
1.3 El Bluetooth.....	6
1.4 UWB ( <i>Ultra Wide Band</i> ).....	7
1.4.1 Regulación del Ultra Wide Band- FCC 02-48.....	8
1.4.2 Tipos de UWB .....	10
1.4.3 IEEE 802.15.3a.....	10
1.4.4 MB-OFDM desafíos del diseño.....	12
1.4.5 Arquitectura de un receptor de UWB .....	13
1.5 Objetivos.....	13
1.6 Estructura de la memoria.....	14

## Capítulo 2 Amplificadores Distribuidos

2.1 Introducción.....	17
2.2 Historia de los amplificadores distribuidos .....	17
2.3 Estructura y Funcionamiento de los amplificadores distribuidos.....	18
2.4 Figura de Mérito en los amplificadores distribuidos .....	21
2.5 Cálculo de los componentes en los amplificadores distribuidos .....	24
2.5.1 Cálculo de las semisecciones derivadas (derived half-sections) ...	27
2.6 Conclusiones.....	30

# Capítulo 3 Estudio de la Tecnología

3.1	Introducción .....	31
3.2	Resistencias .....	31
3.2.1	Construcción.....	31
3.2.2	Resistencias en la tecnología S35D4 de AMS .....	32
3.3	Condensadores .....	35
3.3.1	Construcción.....	35
3.3.2	Condensadores en la tecnología S35D4 de AMS.....	35
3.4	Bobinas.....	37
3.4.1	Construcción.....	37
3.4.2	Funcionamiento .....	38
3.4.3	Modelo de la bobina.....	39
3.4.4	Bobinas en la tecnología S35D4 de AMS .....	41
3.5	El Transistor MOSFET .....	44
3.5.1	Construcción.....	44
3.5.2	Funcionamiento .....	45
3.5.3	Modelo de Baja Frecuencia.....	48
3.5.4	Modelo de Alta Frecuencia .....	48
3.5.5	Transistores MOSFET en la tecnología S35D4 de AMS.....	50
3.6	HBTs de SiGe.....	52
3.6.1	Construcción.....	52
3.6.2	Funcionamiento .....	53
3.6.3	Modelo de baja frecuencia .....	57
3.6.4	Modelo de alta frecuencia .....	57
3.6.5	HBTs en la tecnología S35D4 de AMS .....	59
3.7	Resumen .....	61

## Capítulo 4 Diseño del Amplificador Distribuido a nivel de esquemático

4.1 Introducción.....	63
4.2 Descripción del diseño .....	63
4.3 Especificaciones del diseño .....	64
4.4 Cálculo de los componentes del diseño.....	64
4.4.1 Cálculo de las semisecciones derivadas (derived half sections)....	67
4.5 Realización y simulación del esquemático.....	67
4.5.1 Simulación esquemático-1 (sin semisecciones derivadas) .....	68
4.5.2 Simulación esquemático-2 (con semisecciones derivadas).....	69
4.5.3 Simulación esquemático final (bobinas reales) .....	71
4.6 Conclusiones.....	75

## Capítulo 5 Diseño del Amplificador Distribuido a nivel de *layout*

5.1 Introducción.....	77
5.2 Proceso de diseño .....	77
5.3 Layouts de los amplificadores distribuidos .....	79
5.3.1 Amplificador distribuido 1 .....	79
5.3.2 Amplificador distribuido 2 .....	83
5.3.3 Amplificador distribuido 3 .....	87
5.3.4 Amplificador distribuido compacto 1 .....	89
5.3.5 Amplificador distribuido compacto 2.....	92
5.3.6 Amplificador distribuido compacto 3.....	94
5.3.7 Comparativas .....	96
5.4 Figura de mérito .....	99
5.5 Conclusiones.....	101

## Capítulo 6 Medidas

6.1 Introducción .....	103
6.2 El <i>set up</i> de medidas .....	103
6.3 Medidas de los amplificadores distribuidos .....	105
6.3.1 Medida del amplificador distribuido 1 .....	105
6.3.2 Medida del amplificador distribuido 2 .....	107
6.3.3 Medida del amplificador distribuido 3 .....	108
6.4 Medidas de los amplificadores distribuidos compactos .....	109
6.4.1 Medida del amplificador distribuido compacto 1 .....	109
6.4.2 Medida del amplificador distribuido compacto 2 .....	110
6.4.3 Medida del amplificador distribuido compacto 3 .....	111
6.5 Figura de mérito .....	113
6.6 Conclusiones .....	114

## Capítulo 7 Conclusiones

7.1 Conclusiones .....	117
7.2 Análisis de los resultados .....	118
7.2.1 Resultados a nivel de <i>layout</i> .....	118
7.2.2 Resultados de las medidas.....	120
7.3 Líneas Futuras .....	122

# Capítulo 8 Presupuesto

8.1 Introducción.....	125
8.2 Baremos utilizados .....	125
8.3 Cálculo del presupuesto.....	126
8.3.1 Costes debidos a los recursos humanos.....	126
8.3.2 Costes de amortización de equipos informáticos y software.....	127
8.3.3 Costes de medidas .....	129
8.3.4 Costes de fabricación.....	129
8.3.5 Otros costes .....	130
8.3.6 Presupuesto total.....	130

<b>Bibliografía</b> .....	133
---------------------------	-----

<b>Anexo</b> .....	137
--------------------	-----

Artículo: Design of a Fully Integrated DC to 8.5 GHz Distributed Amplifier in CMOS 0.35 .....	139
---	-----





# Capítulo 1

## Introducción

### 1.1 Introducción

En los últimos años han aparecido nuevas tecnologías inalámbricas tales como *Wi-Fi*, *Bluetooth* y *UWB (Ultra Wide Band)* que han copado de alguna manera las transmisiones actuales de datos, video y sonido entre dispositivos móviles. Estas tecnologías eliminan la necesidad de usar cables y establece nuevas aplicaciones añadiendo una flexibilidad mayor a las redes cableadas y, lo que es más importante, incrementa la productividad y eficiencia en las actividades diarias de los usuarios.



**Figura 1. 1 Red Inalámbrica (*Wireless Net*).**

Muchos de los fabricantes de ordenadores y equipos de comunicaciones como PDAs (*Personal Digital Assistants*), módems, microprocesadores inalámbricos, lectores de punto de venta y otros dispositivos están introduciendo aplicaciones en soporte a este tipo de comunicaciones inalámbricas.

Estas tecnologías ofrecen ventajas de conectividad entre dispositivos sin las limitaciones que supone estar atado a una ubicación. Existen numerosos escenarios en los que este hecho puede ser de interés; entre ellos, se pueden citar los siguientes:

- Las conexiones inalámbricas pueden ampliar o sustituir una infraestructura con cables cuando es costoso o está prohibido tender cables. Las instalaciones temporales son un ejemplo de una situación en la que la red inalámbrica tiene sentido o incluso es necesaria.

Algunos tipos de construcciones o algunas normativas de construcción pueden prohibir el uso de cableado, lo que convierte a las redes inalámbricas en una importante alternativa.

- Por supuesto, el fenómeno asociado al término "inalámbrico", es decir, no tener que instalar más cables que los de la red de telefonía y la red de alimentación eléctrica, ha pasado a ser el principal catalizador para las redes domésticas.
- Los usuarios móviles, cuyo número crece día a día, son indudables candidatos a las redes LAN inalámbricas. El acceso portátil a las redes inalámbricas se realiza a través de equipos portátiles y tarjetas de red inalámbricas. Esto permite al usuario viajar a distintos lugares (salas de reunión, vestíbulos, salas de espera, cafeterías, aulas, etc.) sin perder el acceso a los datos de la red. Sin el acceso inalámbrico, el usuario tendría que llevar consigo molestos cables y disponer de conexiones de red.
- Más allá del campo empresarial, el acceso a Internet o a sitios corporativos podría estar disponible a través de zonas activas de redes inalámbricas públicas. Los aeropuertos, los restaurantes, las estaciones de tren y otras áreas comunes de las ciudades se pueden dotar del equipo necesario para ofrecer este servicio. Cuando un trabajador que está de viaje llega a su destino, quizás una reunión con un cliente en su oficina, se puede proporcionar acceso limitado al usuario a través de la red inalámbrica local. La red reconoce al usuario de la otra organización y crea una conexión que, a pesar de estar aislada de la red local de la empresa, proporciona acceso a Internet al visitante.

Las redes inalámbricas se pueden dividir en dos grupos: las fijas y las móviles. Las redes inalámbricas fijas son aquellas en las que tanto el emisor como el receptor están situados en enclaves físicos permanentes, mientras que las redes inalámbricas móviles son

aquellas en las que no existe esta restricción, al menos en parte de los equipos que intervienen en la comunicación.

Dentro de las redes inalámbricas fijas nos podemos encontrar con:

- *MMDS* del inglés *Multichannel Multipoint Distribution Service*.
- *LMDS* del inglés *Local Multipoint Distribution Service*
- Microondas punto a punto
- Enlaces ópticos

Las redes inalámbricas móviles se pueden clasificar en diferentes tipos en función de las distancias a través de las que se pueden transmitir los datos:

- Redes inalámbricas de área extensa (*WWAN*)
- Redes inalámbricas de área metropolitana (*WMAN*)
- Redes inalámbricas de área local (*WLAN*)
- Redes inalámbricas de área personal (*WPAN*)

Las *WWAN* permiten a los usuarios establecer conexiones inalámbricas a través de redes remotas públicas o privadas. Estas conexiones pueden mantenerse a través de áreas geográficas extensas, como ciudades o países, mediante el uso de antenas en varias ubicaciones o sistemas satélite que mantienen los proveedores de servicios inalámbricos.

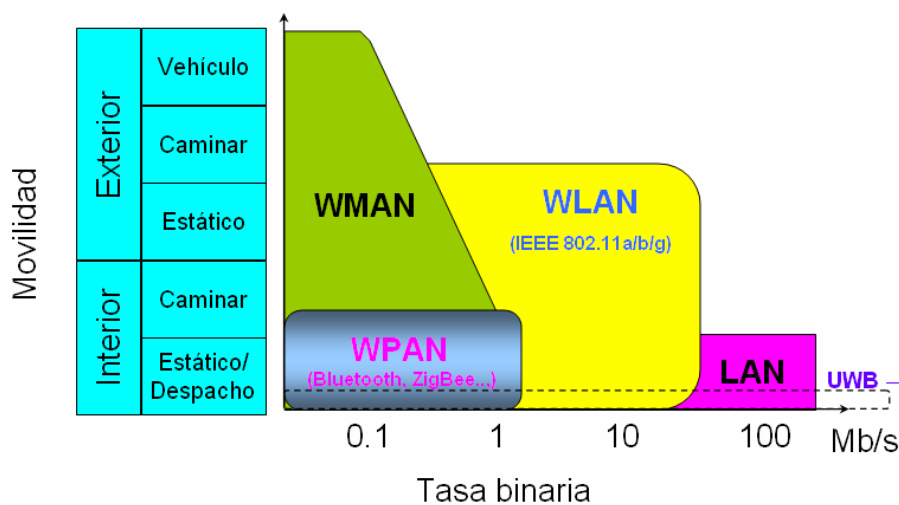
Las tecnologías *WMAN* permiten a los usuarios establecer conexiones inalámbricas entre varias ubicaciones dentro de un área metropolitana (por ejemplo, entre varios edificios de oficinas de una ciudad o en un campus universitario), sin el alto coste que supone la instalación de cables de fibra o cobre y el alquiler de las líneas. Además, *WMAN* puede servir como copia de seguridad para las redes con cable, en caso de que las líneas alquiladas principales para las redes con cable no estén disponibles.

Las *WLAN* permiten a los usuarios establecer conexiones inalámbricas dentro de un área local (por ejemplo, un edificio corporativo o campus empresarial, o en un espacio público como un aeropuerto). Las *WLAN* se pueden utilizar en oficinas temporales u otros espacios donde la instalación de cableado sería prohibitivo, o para complementar una *LAN* existente. En las *WLAN* de infraestructura, las estaciones inalámbricas (dispositivos con radiotarjetas de red o módems externos) se conectan a puntos de acceso inalámbrico que funcionan como puentes entre las estaciones y la red troncal existente. En las *WLAN* de

igual a igual (*ad hoc*), varios usuarios dentro de un área limitada, como una sala de conferencias, pueden formar una red temporal sin utilizar puntos de acceso, si no necesitan obtener acceso a recursos de red.

Las tecnologías *WPAN* permiten a los usuarios establecer comunicaciones inalámbricas *ad hoc* para dispositivos (como *PDA*, teléfonos móviles y equipos portátiles) que se utilizan dentro de un espacio operativo personal (*POS*). Un *POS* es el espacio que rodea a una persona, hasta una distancia de 10 metros.

En la Figura 1.2 se muestra una gráfica que enfrenta la movilidad con la tasa binaria de las redes inalámbricas.



**Figura 1.2 Redes inalámbricas: Movilidad frente a la tasa binaria.**

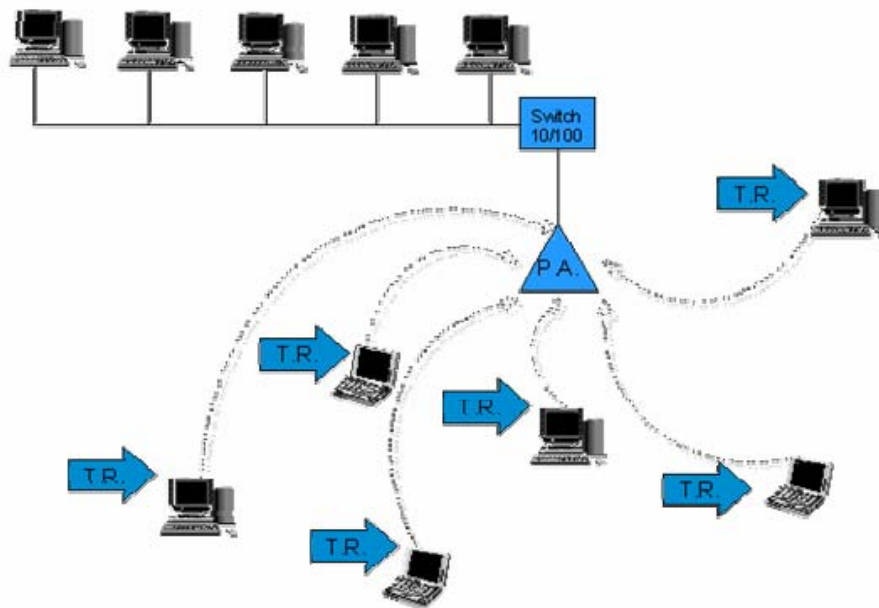
Actualmente el mercado demanda tecnologías *WPAN* con velocidades similares a las ofrecidas por las tecnologías de conexión física, que ofrezcan por ejemplo transmisiones de video de alta definición en tiempo real.

A continuación haremos una pequeña introducción a este tipo de tecnologías (en concreto Wi-Fi y Bluetooth) para luego dedicarnos por completo a la tecnología que verdaderamente nos interesa el UWB (*Ultra Wide Band*).

## 1.2 Wi-Fi (*Wireless Fidelity*)

El *Wi-Fi* es un conjunto de estándares para redes inalámbricas basado en los estándares IEEE 802.11 (Ethernet inalámbrica). Este se creó para ser utilizado para LANs

inalámbricas, pero es frecuente que en la actualidad se utilice para el acceso a Internet. En la Figura 1.3 podemos apreciar el esquema de una red Wi-Fi.



**Figura 1.3 Esquema red Wi-Fi**

Las redes Wi-Fi se rigen según el estándar del *IEEE* 802.11 cuyas variantes más importantes se detallan a continuación:

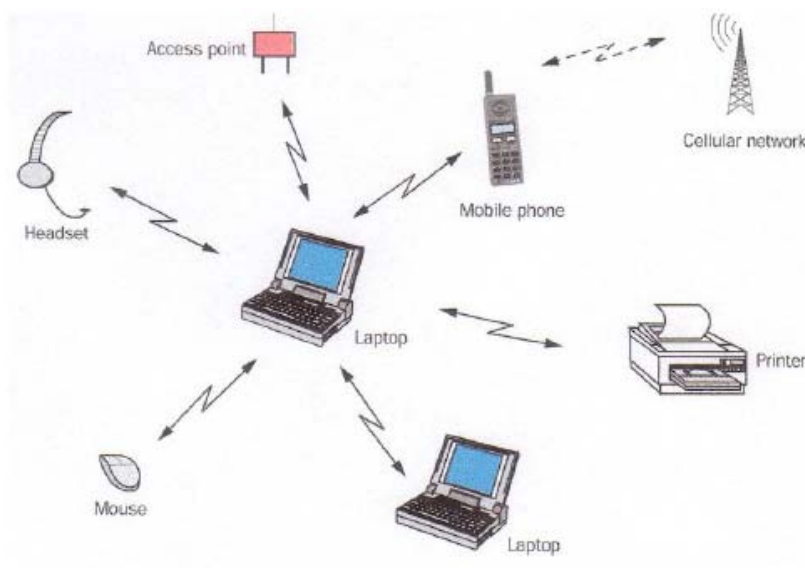
- El 802.11a fue el primero en aparecer, puede llegar hasta 54 Mbps, el problema es que su frecuencia (5GHz) dificulta la implementación de dispositivos de bajo coste.
- El 802.11b puede llegar hasta 11Mbps estandarizada por IEEE, aunque realmente se consiguen velocidades de hasta 22Mbps. Usa la frecuencia de 2.4 GHz, la misma que el *bluetooth*, por lo que puede provocar posibles interferencias con los dispositivos que usan dicha tecnología. Sus ventajas son la gran implantación que ha tenido gracias a que la banda que usa es gratuita, y al bajo precio de los dispositivos.
- El 802.11g es una revisión del b aumentando la velocidad hasta 54Mbps. Este estándar es equivalente al b en todo lo demás (frecuencia, ventajas, desventajas...)

### 1.3 Bluetooth

*Bluetooth* es una especificación abierta para la comunicación inalámbrica de datos y voz. Está basada en un enlace de radio de bajo coste y corto alcance, proporcionando conexiones instantáneas para comunicaciones tanto móviles como estáticas. El *Bluetooth* tiene como objetivo reemplazar los cables que conectan hoy en día la práctica totalidad de los dispositivos (teléfonos, móviles, ordenadores portátiles, impresoras, agendas electrónicas, PDAs, faxes, teclados, joystick...) y sobre todo puede usarse como puente a las redes de datos existentes.

Como características podríamos destacar que es un estándar muy aceptado por empresas tales como Nokia, Toshiba, IBM e Intel. Su uso inicial fue destinado para la comunicación entre dispositivos móviles, de ahí la necesidad de que los chips a usar sean de reducidas dimensiones.

La frecuencia usada por el *Bluetooth* es de 2.4 GHz la misma que usa el Wi-Fi b y g, la ventaja es que está libre a nivel mundial. En la Figura 1.4 podemos ver el esquema de una red con *Bluetooth*.



**Figura 1.4** Esquema de una red *Bluetooth*.

## 1.4 UWB (*Ultra Wide Band*)

El mundo del *Ultra Wide Band* (UWB) ha cambiado dramáticamente en la historia reciente. En los últimos 20 años, el UWB se ha utilizado para radares, sensores y comunicaciones militares. En febrero de 2002 hubo un cambio sustancial, cuando la FCC (2002a,b) publicó las normas para que el UWB fuera utilizado para comunicaciones de datos tanto como para radares y aplicaciones de seguridad.

El ancho de banda asignado a las comunicaciones está en torno a los 7.5 GHz, la asignación más grande de ancho de banda hecha hasta ahora para cualquier sistema terrestre comercial. Las decisiones de la FCC UWB asignó 1500 veces la asignación del espectro de una simple licencia de UMTS (*Universal Mobile Telecommunication System*).

La licencia actual del UWB permite a este tener una potencia máxima para un transmisor de aproximadamente 0.5 mW, esta es una pequeña fracción si la comparamos con las bandas ISM (Industrial, Scientific and Medical) de 2.45 GHz como los estándares IEEE 802.11a/b/g. Esto desplaza al UWB a comunicaciones interiores de corto alcance para grandes rangos de datos o rangos de datos bajos para enlaces a distancia básicos. Las aplicaciones como el UWB inalámbrico en redes personales han sido propuestas desde cientos de Mbps a varios Gbps y distancias entre 1 a 10 metros. Para rangos de 20 metros o más, las tasas de datos conseguidas son muy bajas comparadas con los sistemas de redes inalámbricas de área local existentes (WLAN).

Uno de los potenciales más grandes del UWB, sin embargo, es la habilidad para moverse entre un rango de datos muy alto para enlaces a corta distancia y un rango de datos muy bajo para aplicaciones a gran distancia.

Las comunicaciones de *Ultra Wide Band* (UWB) ofrecen una propuesta radicalmente diferente a las comunicaciones inalámbricas de los sistemas convencionales de banda estrecha. El interés global en la tecnología es muy grande. Algunas estimaciones predicen que el mercado del UWB hacia el año 2007 podría ser tan grande como los mercados existentes de redes inalámbricas locales (LAN) y el Bluetooth combinados [1]. Esto es posible gracias a la capacidad de rendimiento de estos sistemas inalámbricos de gran ancho de banda ya que están exentos de licencia, tienen un bajo coste, y en un corto rango tienen una muy alta capacidad de conexiones para las comunicaciones inalámbricas.

El rango de datos real alcanzable depende, naturalmente, de las condiciones particulares de la tecnología y de la propagación; en la Figura 1.5 se muestra la tasa de



datos típica para enlaces de UWB, con un rango de 500 Mbps a 3m y de 110 Mbps a 10 m usados en figuras estáticas.

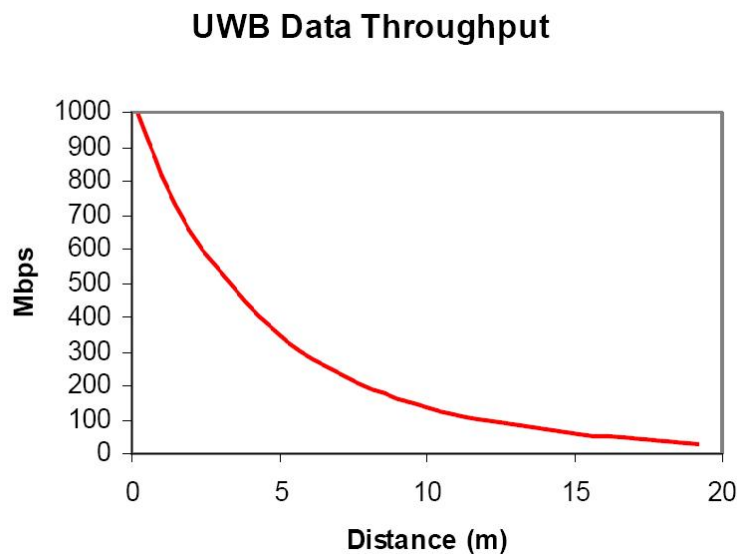


Figura 1.5 Rendimiento y transferencia de datos según distancia.

### 1.4.1 Regulación del *Ultra Wide Band-FCC 02-48*

En el 2002 la FCC (en el informe FCC 02-48) publicó las reglas del UWB. La FCC aprobó el sistema UWB para el rango de frecuencias comprendido entre 3.1-10.6 GHz [2]. Un dispositivo de UWB se define como un dispositivo donde el ancho de banda fraccional es mayor que 0.2 u ocupa 0.5 GHz (ecuación 1.1),

$$Fractional\ Bandwidth = \frac{2 \cdot (f_H - f_L)}{f_H + f_L} \tag{1.1}$$

donde  $f_H$  es la frecuencia superior y  $f_L$  la inferior a un punto de emisión a 10 dB. Basándonos en esta asignación, el UWB no está considerado como una tecnología sino como un espectro disponible para el uso sin licencia.

El FCC describe los estándares para tres tipos de dispositivos de UWB de uso civil, los cuales están permitidos para uso comercial:

- Sistemas de proyección de imagen incluyendo radares de penetración en tierra, proyección de imágenes a través de paredes, aplicaciones médicas y para dispositivos de vigilancia.
- Sistemas de radar para vehículos.
- Sistemas de comunicaciones y medidas.

La máscara espectral para dispositivos de uso interior (*indoor*) es la mostrada en la Figura 1.6. En esta se muestra los niveles reducidos de transmisión en las bandas sensibles a otros servicios como el GPS (sobre los 1.5GHz) para asegurar que estos servicios puedan coexistir con sistemas de UWB (ver Figura 1.7). Los sistemas de UWB tienen que emitir con unos niveles relativamente altos de interferencia debido a los dispositivos en las bandas ISM comprendidas entre 2.4 GHz y 5 GHz. Esas interferencias deberían ser tenidas en cuenta en la definición del estándar como en la implementación real de los circuitos de radio.

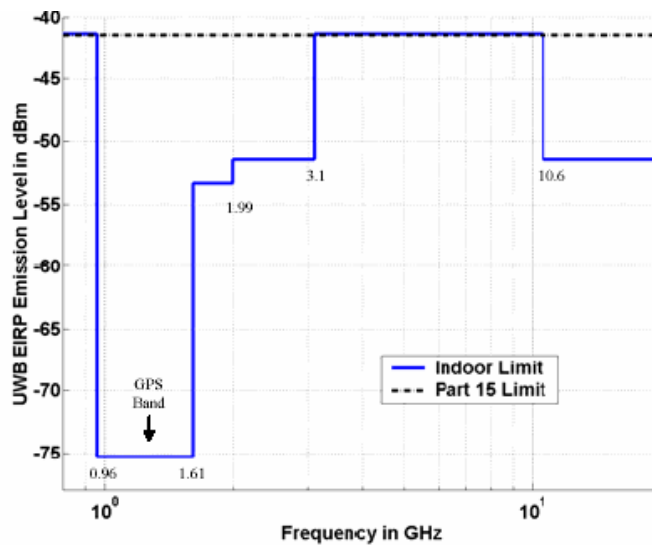


Figura 1.6 Límite de las emisiones de UWB para sistemas *Indoor*.

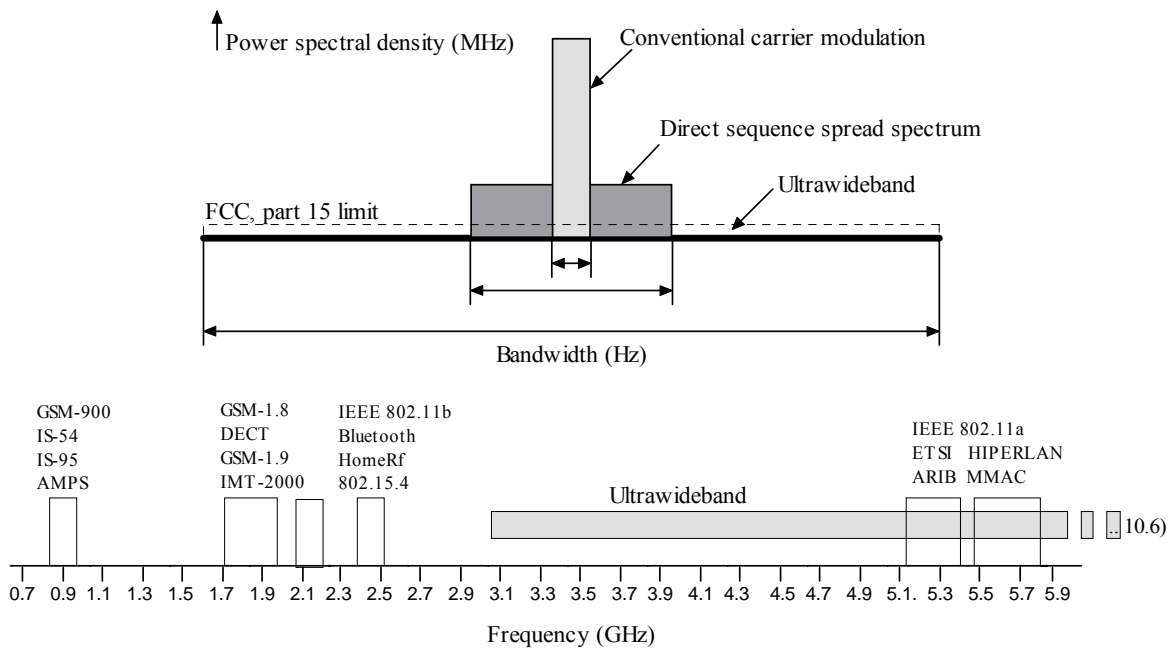


Figura 1.7 Comparación del ancho de banda de diferentes tipos de sistemas inalámbricos (arriba), espectro (debajo).

## 1.4.2 Tipos de UWB

Existen dos grandes métodos para la generación de las señales de *UWB*:

- *IR-UWB (Impulse Radio-UWB)*: en este caso se utiliza señales de radio de pulsos cortos del orden de picosegundos en banda base, las cuales se transmiten sin una portadora que lo sustente.
- *CB-UWB (Carrier Based-UWB)*: el segundo método de generación de señales de *UWB* es a través de técnicas con portadora (*DSSS* del inglés *Direct Sequence Spread Spectrum* o *FHSS* del inglés *Frequency Hopping Spread Spectrum*), técnicas de multi-portadora (*OFDM* del inglés *Orthogonal Frequency Division Multiplexing*) o la combinación de ambos. La *FCC (Federal Communications Commission)* indicó que los sistemas *UWB* para propósitos comerciales, tales como *802.15.3a*, se basarán probablemente en *CB-UWB* [2]

## 1.4.3 IEEE 802.15.3.a

Se han hecho varias propuestas para el estándar *802.15.3a*, pero nosotros nos centraremos en la propuesta por la *MBOA (Multiband OFDM Alliance)* [3]. La *MBOA* dividió el espectro de 3 a 10 *GHz*, en bandas de 528 *MHz* empleando *OFDM* en cada banda. Los datos son modulados en *QPSK-OFDM 128*, permitiendo tasas de datos de 53.3 *Mb/s* a 480 *Mb/s* (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 *Mb/s*).

En la Figura 1.8 se muestran los cinco grupos de frecuencias en los que se divide este estándar. La frecuencia del grupo 1 es propuesta para la primera generación de dispositivos (dispositivos del modo 1 desde 3.1 a 4.9 *GHz*). Los grupos de frecuencia 2 a 5 están reservados para un uso futuro. En el modo de operación obligatorio, en la Figura 1.8 se puede apreciar el esquema de saltos de frecuencia en las bandas más bajas. Al usar solamente las tres bandas más bajas nos permite el uso de un pre-filtro pasobanda para reducir los niveles de interferencia de la banda *ISM* a 5*GHz*.

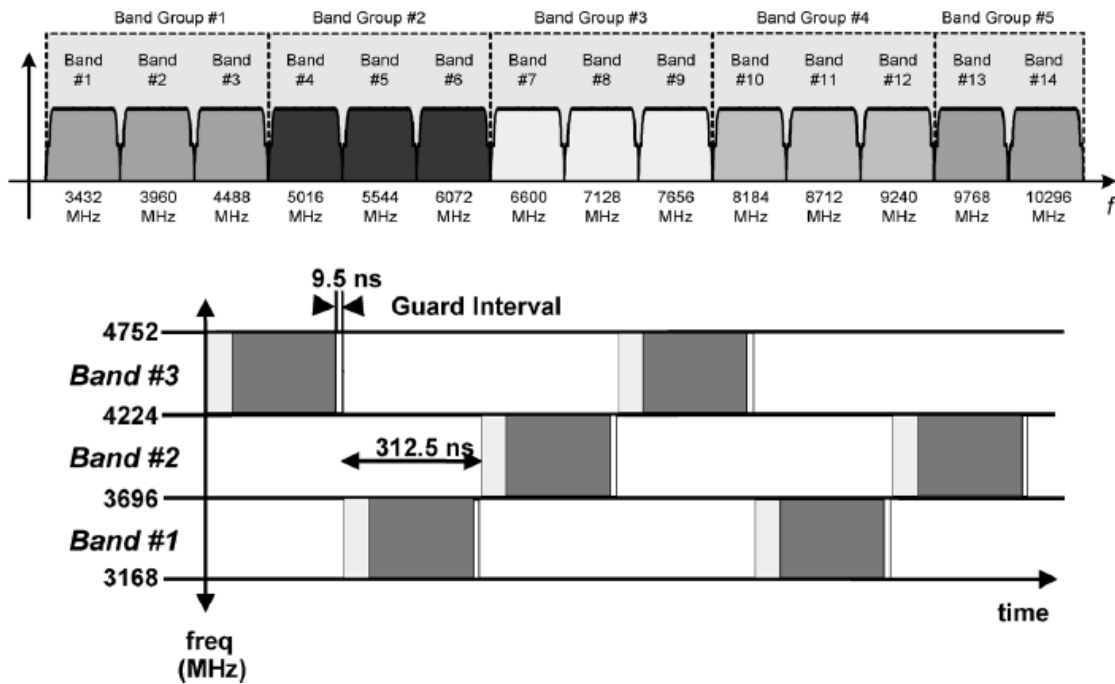


Figura 1.8 MBOA bandas en frecuencia y secuencia de saltos.

Los saltos de frecuencia, entre las bandas de cada grupo de bandas, proporcionan robustez contra las múltiples trayectorias y las interferencias. El cabezal de recepción de tal sistema debería tener una alta linealidad y el ancho de banda del oscilador local (LO) tiene que ser capaz de saltar en frecuencia en menos de 9.5 ns (ver Figura 1.8).

En la Tabla 1.1 se muestra la planificación de frecuencia de cada grupo de bandas MB-OFDM.

Tabla 1.1 MB-OFDM planteamiento de frecuencia

Band Group	BAND_ID	Lower Frequency	Center Frequency	Upper Frequency
1	1	3168 MHz	3432 MHz	3696 MHz
	2	3696 MHz	3960 MHz	4224 MHz
	3	4224 MHz	4488 MHz	4752 MHz
2	4	4752 MHz	5016 MHz	5280 MHz
	5	5280 MHz	5544 MHz	5808 MHz
	6	5808 MHz	6072 MHz	6336 MHz
3	7	6336 MHz	6600 MHz	6864 MHz
	8	6864 MHz	7128 MHz	7392 MHz
	9	7392 MHz	7656 MHz	7920 MHz
4	10	7920 MHz	8184 MHz	8448 MHz
	11	8448 MHz	8712 MHz	8976 MHz
	12	8976 MHz	9240 MHz	9504 MHz
5	13	9504 MHz	9768 MHz	10032 MHz
	14	10032 MHz	10296 MHz	10560 MHz

$$\text{Frecuencia central de la banda} = 2904 + 528 \times n_b, \quad n_b = 1 \dots 14 \text{ (MHz)}$$

### 1.4.4 MB-OFDM Desafíos del diseño

Comparado con los receptores de banda estrecha, MB-OFDM supone una serie de desafíos los cuales están resumidos a continuación [4],[5],[6]:

- El ancho de banda de la adaptación de impedancias a la entrada debería abarcar de 3.4 a 10.3 GHz. El amplificador de bajo ruido (LNA) en el cabezal del receptor debería proporcionar en toda la banda una figura de ruido baja y una ganancia alta con un consumo de corriente bajo. Esto es muy difícil conseguir usando LNAs de banda estrecha convencionales[7].
- Cuando recibimos un canal, las señales de otros canales que entran en el receptor aparecen como bloqueadores. Como resultado, además de las restricciones de linealidad en las bandas, el ancho de banda del receptor es vulnerable a la compresión entre bandas.
- Coexistiendo con otras bandas entre 3.4-10.3 GHz se da un incremento a nuevas restricciones de linealidad que no existen en receptores de banda estrecha. Por ejemplo, en sistemas de banda estrecha la distorsión armónica debida a las no linealidades de segundo orden no tienen importancia debido a que están fuera de banda. Sin embargo, en un receptor de UWB, la distorsión de segundo orden del canal 1 está situada dentro del canal 5.
- El receptor necesita un filtro selector de canales con una alta frecuencia de corte de 264 MHz. Es particularmente difícil realizar un filtro activo con polos en este rango de frecuencias que también satisfagan el riguroso rango dinámico sin un gran consumo de corriente.
- El receptor necesita un ancho de banda para el sintetizador de frecuencias que abarque de 3.4 a 10.3 GHz.
- Los sistemas de banda ancha usan espectros modulados complejos, cuyas constelaciones completas se sitúan más grandes que las demandadas en el balance de ganancia entre los canales I y Q, y en la exactitud de la cuadratura de las fases del LO.
- Las divisiones en frecuencia en la señal del LO, incluso las muy lejanas, pueden *down-convert* las señales en banda a la misma frecuencia que la banda deseada.

## 1.4.5 Arquitectura de un receptor de UWB

Para conseguir una solución de bajo coste, se requiere por lo tanto una arquitectura integrada para el receptor, con un número mínimo de componentes externos. La arquitectura cero-IF, como la de la Figura 1.9, es la adecuada para esta aplicación de UWB. Este concepto ha sido usado en otras implementaciones de radio para UWB publicadas recientemente [4], [5], [6]. La señal de la antena es filtrada por un filtro pasivo externo de preselección para reducir el nivel de interferencias fuera de banda. El cabezal consiste en un LNA de banda ancha y un mezclador de cuadratura que convierte la señal hacia cero-IF. El sintetizador proporciona los saltos de frecuencia en cuadratura de las señales del LO. La señal en banda base es filtrada y amplificada convenientemente para posteriormente ser digitalizada por el ADC, el cual es seguido por el procesador digital en banda base.

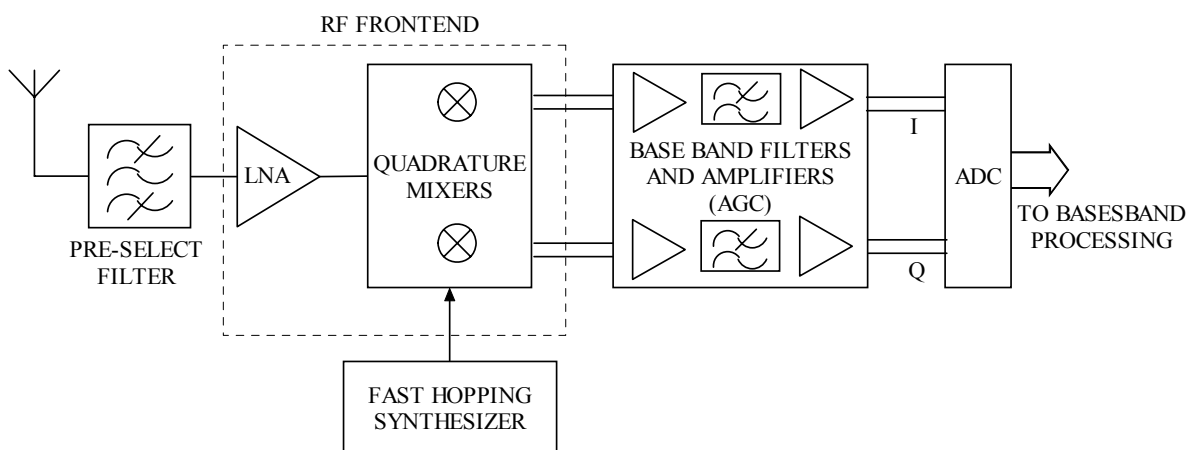


Figura 1.9 Arquitectura cero-IF.

## 1.5 Objetivos

El objetivo principal de este proyecto es el diseño de un amplificador distribuido de ultra banda ancha con transistores *CMOS* para un receptor de *UWB* (estándar *802.15.3a*). Para ello se hará uso de la tecnología *SiGe 0.35μm* suministrada por la empresa *AMS (Austria Micro System)*[8]-[9].

Dicho amplificador forma parte de una línea de investigación de más envergadura “*Wireless Technologies for small area Networks with Embedded Security and Safety WITNESS*” en la que se desarrollan varios proyectos encaminados a estudiar las

posibilidades de integración de terminales inalámbricos basados en los estándares de última generación, así como las aplicaciones de las mismas.

En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

### 1.6 Estructura de la Memoria

En este capítulo se ha presentado las tecnologías inalámbricas que actualmente están en auge, posteriormente se ha hecho un análisis de cada tecnología para finalmente centrarnos en el UWB y fijar los objetivos de este proyecto.

En el **capítulo 2** nos centraremos en el estudio de los amplificadores distribuidos, al igual que en este capítulo empezaremos con una introducción de estos amplificadores para luego seguir con el funcionamiento y la estructura de los A D. Se definirá el concepto de figura de mérito y para finalizar el capítulo se hace un pequeño estudio de las semisecciones derivadas.

A continuación en el **capítulo 3** profundizaremos en el estudio de la tecnología SiGe de 0,35  $\mu\text{m}$  de AMS. Esto lo alcanzaremos analizando todos los componentes que suministra dicha tecnología y que entran a formar parte de la estructura de un amplificador distribuido. Para aplicar esta tecnología a nuestro diseño nos ayudaremos del *software Cadence*. Será este programa junto con el *software ADS (Advanced Design System)*, los empleados a la hora de simular e implementar físicamente nuestro diseño.

Pasamos posteriormente en el **capítulo 4** al diseño a nivel de esquemático del amplificador distribuido. Una vez establecidas las especificaciones del diseño pasamos al cálculo de todos los componentes. El último apartado de esta sección es la realización y la simulación del esquemático mediante el *software ADS (Advanced Design System)*.

En el **capítulo 5** pasaremos a la implementación física del diseño obtenido en el anterior capítulo mediante la generación del *layout*. Una vez generado nuestro *layout*, realizaremos una serie de simulaciones *post-layout* para asegurar la correcta implementación de nuestro diseño. Finalmente en este capítulo calcularemos la figura de mérito propuesta en el capítulo 2 de todos los diseños desarrollados.

En este capítulo (**capítulo 6**) se mostrarán las medidas del circuito real y se hará una comparación con los resultados obtenidos *post-layout*, posteriormente se hará una comparativa con otras implementaciones.

Para finalizar en el **capítulo 7** se resumen las principales conclusiones y líneas de trabajo abiertas a raíz de este proyecto. De la misma forma, haremos un repaso de la comparativa de nuestro diseño con implementaciones de banda ancha, lo cuál nos será útil a la hora de obtener dichas conclusiones.





# Capítulo 2

---

## Amplificadores Distribuidos

### 2.1 Introducción

En este capítulo haremos una introducción a los amplificadores distribuidos. Para ello, en la sección 2.2, hacemos una pequeña reseña histórica de los amplificadores distribuidos desde los inicios hasta la actualidad. A continuación, en la sección 2.3, veremos el funcionamiento de estos amplificadores así como las posibles estructuras que nos podemos encontrar. Para el diseño de este tipo de amplificadores es muy importante tener en cuenta las Figuras de Mérito (FOM: *Figure of Merit*) que los caracterizan. Por esta razón en la sección 2.4 se comenta algunas de las FOM utilizadas en diferentes trabajos así como la utilizada en este proyecto. Para finalizar, en la sección 2.5, explicaremos de forma general como se calculan los componentes para este tipo de estructuras.

### 2.2 Historia de los Amplificadores Distribuidos

El concepto de amplificación distribuida existe desde hace más de 50 años. Este tipo de diseño fue propuesto por Percival en 1936 como resultado de mejorar la ganancia y el ancho de banda de los amplificadores de banda ancha al sumar las transconductancias de válvulas individuales después de separar sus capacidades [10]. Sin embargo el término amplificación distribuida data de 1948 donde Ginzton lo da a conocer en un artículo suyo [11]. Desde entonces numerosos investigadores ampliaron el análisis e implementaron amplificadores distribuidos usando MESFETs de Silicio debido a sus características atractivas para este tipo de diseños, como puede ser su bajo ruido, alta ganancia y frecuencia de corte. Recientemente los investigadores han empezado a usar CMOS (MOSFET) para la implementación de amplificadores distribuidos, convirtiéndose en una de las mejores metodologías para diseñar circuitos para comunicación de alta frecuencia y ancho de banda elevado a un coste reducido.

## 2.3 Estructura y Funcionamiento de los Amplificadores Distribuidos

Los amplificadores distribuidos usan una estructura en la que las etapas de ganancia están conectadas de forma que sus capacidades están separadas y, a pesar de eso, las corrientes de salida se combinan de una manera aditiva. Para separar estas capacidades se usan elementos inductivos en serie en las entradas y salidas de las etapas de ganancia. Conceptualmente podemos decir que un amplificador distribuido (Figura 2.1) consiste en un par de líneas de transmisión (una de entrada y otra de salida) acopladas mediante la transconductancia de los elementos activos. Cuando usamos transistores MOS como elementos activos, a la línea de entrada se la suele denominar línea de puerta y a la de salida línea de drenador. Estas líneas de transmisión están formadas por elementos inductivos en serie con elementos capacitivos en derivación. En el caso de la línea de puerta aprovechamos la capacidad puerta-surtidor del transistor para generar el elemento capacitivo de la línea.

A medida que la señal de RF viaja por la línea de puerta, cada transistor es excitado por la onda de tensión y transfiere la señal al drenador a través de su transconductancia. Si la velocidad de fase en las líneas de puerta y drenador son iguales, entonces las señales en la línea de drenador se va sumando a medida que la señal se va desplazando hacia la salida. Las ondas que viajan fuera de fase en el sentido contrario serán absorbidas por la terminación de la línea de drenador.

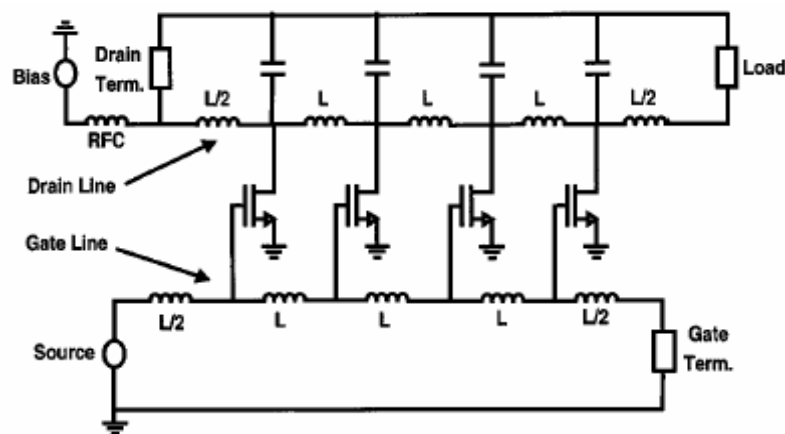


Figura 2.1 Amplificador distribuido ideal de 4 etapas

La naturaleza distribuida de las capacidades hace que el amplificador consiga un gran ancho de banda. Sin embargo debido al número de etapas de transconductancia usadas, el consumo de potencia de los amplificadores distribuidos suele ser más alto que cualquier LNA de una o dos etapas. Otra desventaja de estos diseños es el área consumida por los componentes pasivos que componen dicho amplificador.

Una de las mayores dificultades que se nos presenta a la hora de implementar este tipo de amplificadores está en el diseño de las bobinas. Los inductores integrados sobre silicio poseen un factor de calidad (Q) muy bajo. Esto hace que las pérdidas asociadas a las líneas de puerta y surtidor sean considerables y que, por lo tanto, debamos tenerlas en cuenta a la hora de diseñar el circuito. Para este diseño hemos usado las bobinas del IUMA, las cuales tienen unas características adecuadas para este tipo de diseños, ya que poseen una Q considerablemente mejor que las bobinas ofrecidas por la tecnología.

En la literatura nos podemos encontrar con tres tipos básicos de arquitectura de amplificadores distribuidos:

- A D en la que las etapas de ganancia son un simple transistor (Figura 2.2.) [12]
- A D en la que las etapas de ganancia son un par cascode (Figura 2.3) [13]
- A D compuesto por la unión en cascada de etapas independientes (Figura 2.4) [14]

Los dos primeros tipos mencionados se corresponden con el modo de funcionamiento descrito hasta ahora y la única diferencia estriba en la estructura adoptada para la etapa de ganancia. El uso de amplificadores cascode en lugar de etapas simples mejora el aislamiento entre las líneas de drenador y puerta a la vez que aumenta la ganancia. El tercer tipo de estructura mencionada, consiste en la unión en cascada de amplificadores distribuidos de una sola etapa. La ventaja de este tipo de diseño frente a los A.D. convencionales es que las cargas asociadas a las líneas de drenador y puerta de los A.D. intermedios no tienen por que ser iguales a las cargas del primero y último (generalmente  $50\Omega$ ) con lo que la ganancia se podría mejorar considerablemente.

Por supuesto, alternativamente a estos tipos básicos de estructuras mencionadas nos podemos encontrar modificaciones de las mismas con sus correspondientes ventajas e inconvenientes asociados.

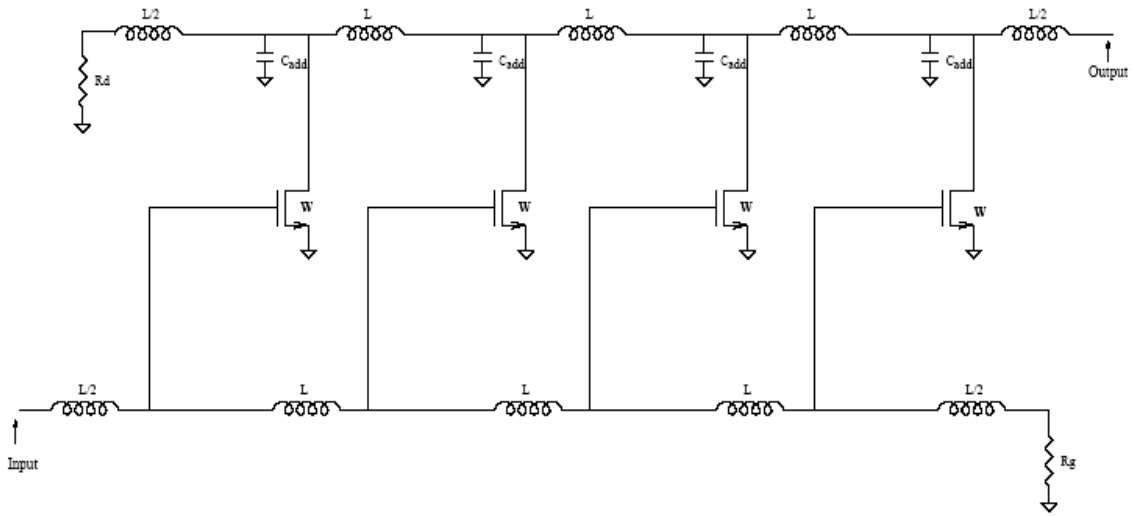


Figura 2.2 Amplificador distribuido con 4 etapas básicas.

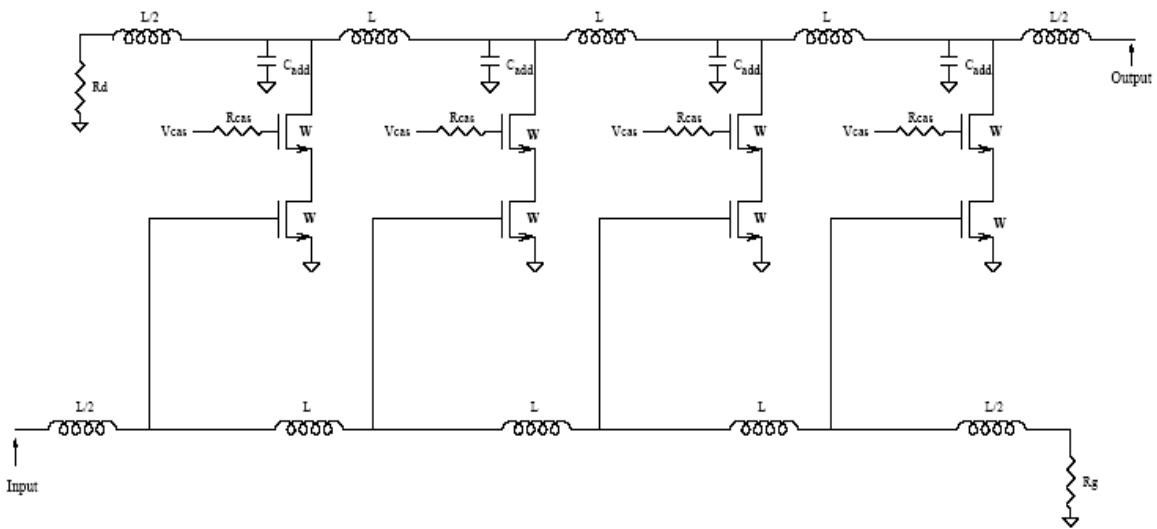


Figura 2.3 Amplificador distribuido de cuatro etapas cascode.

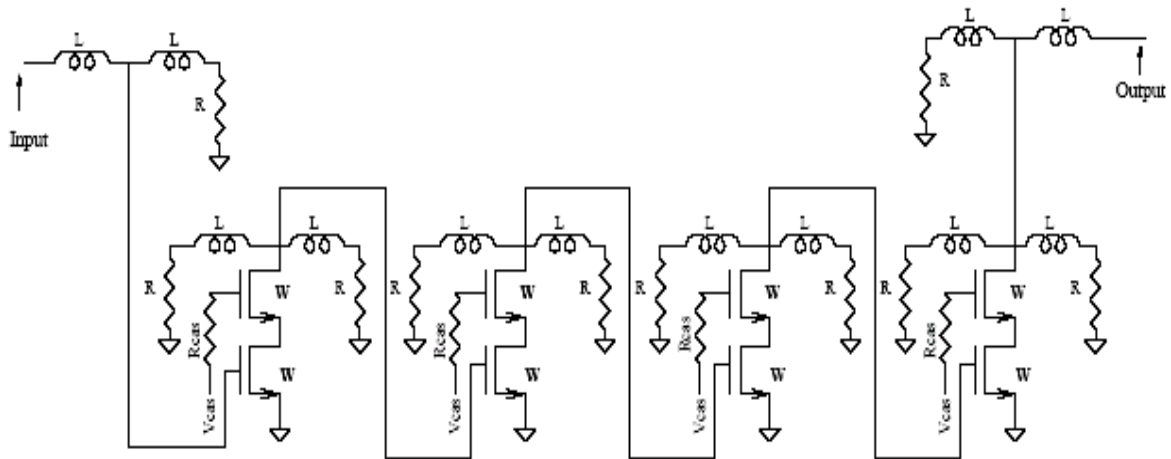


Figura 2.4 Amplificador distribuido con 4 etapas en cascada.

## 2.4 Figura de Mérito en los Amplificadores Distribuidos

Para el diseño de amplificadores distribuidos tenemos que tener en cuenta muchos factores como la ganancia, linealidad, ancho de banda, número de etapas, etc. Debido a ello se suelen definir distintas figuras de mérito (FOM) que permiten comparar las prestaciones de uno y otro circuito. Para el diseño de LNAs se han sugerido muchas figuras de mérito como por ejemplo la medida del ruido

$$NM = \frac{(F-1)}{(1-(1/G))} \quad (2.1)$$

donde F es el factor de ruido y G es la ganancia del LNA. La medida del ruido da cuenta del compromiso entre el factor de ruido y la ganancia, pero no incluye información acerca del consumo de potencia, ancho de banda y linealidad. En otro tipo de trabajos se sugieren FOM basadas en la linealidad y en la figura de ruido NF. También podemos encontrar FOM basadas en el rango dinámico, la cual incluye la medida del ruido, la linealidad y el consumo de potencia.

En amplificadores CMOS de banda ancha existe un compromiso fundamental entre potencia eficiente y ancho de banda. Este compromiso puede ser comprendido si consideramos una etapa simple de transconductancia. En primer lugar consideramos el modelo ideal de un transistor en el que para la obtención de la transconductancia según la corriente de drenador usamos la siguiente expresión:

$$\frac{gm}{I_D} = \frac{2}{V_{ov}} \quad (2.2)$$

donde  $V_{ov}$  es el punto de funcionamiento de la puerta  $V_{GS} - V_{TH}$  del dispositivo. El ancho de banda de la ganancia por unidad de corriente es

$$f_t \approx \frac{\mu \cdot V_{ov}}{L^2} \quad (2.3)$$

$$\frac{gm}{I_D} f_t \approx \frac{2\mu}{L^2} \quad (2.4)$$

donde  $\mu$  es la movilidad en el canal y  $L$  es la longitud del canal. Normalmente, la  $f_t$  está directamente relacionada con el ancho de banda ha conseguir en los LNAs de banda ancha, y debería estar incluida en las figuras de mérito consideradas. De las ecuaciones mostradas anteriormente se puede ver que el producto  $\frac{gm}{I_D} \cdot f_t$  es constante para una tecnología dada, independientemente de la  $V_{ov}$  elegida. Por tanto podemos decir que en primera aproximación existe un compromiso lineal entre la disipación de potencia y el ancho de banda.

En la Figura 2.5 se puede apreciar la simulación del producto  $\frac{gm}{I_D} \cdot f_t$  en función de  $V_{ov}$  para diferentes tecnologías CMOS estándar. Estos datos demuestran que el producto de la eficiencia de transducción  $\frac{gm}{I_D}$  y la  $f_t$  no es constante, alcanzando su pico máximo para tensiones de 150-200 mV. Para  $V_{ov}$  muy pequeñas (<100mV), el dispositivo entra en una región muy parecida a la operación bipolar y  $\frac{gm}{I_D}$  es limitada por el valor de  $\frac{1}{nkT/q}$ , donde  $n$  es el factor de pendiente sub-umbral del transistor. Para tensiones  $V_{ov}$  elevadas, la degradación de la velocidad de saturación y la de la movilidad hace que  $\frac{gm}{I_D}$  esté entre un 10 y un 25% por debajo de la estimación de la ley cuadrática. Para tensiones intermedias alrededor del pico podemos considerar que el compromiso entre la disipación de potencia y el ancho de banda es lineal.

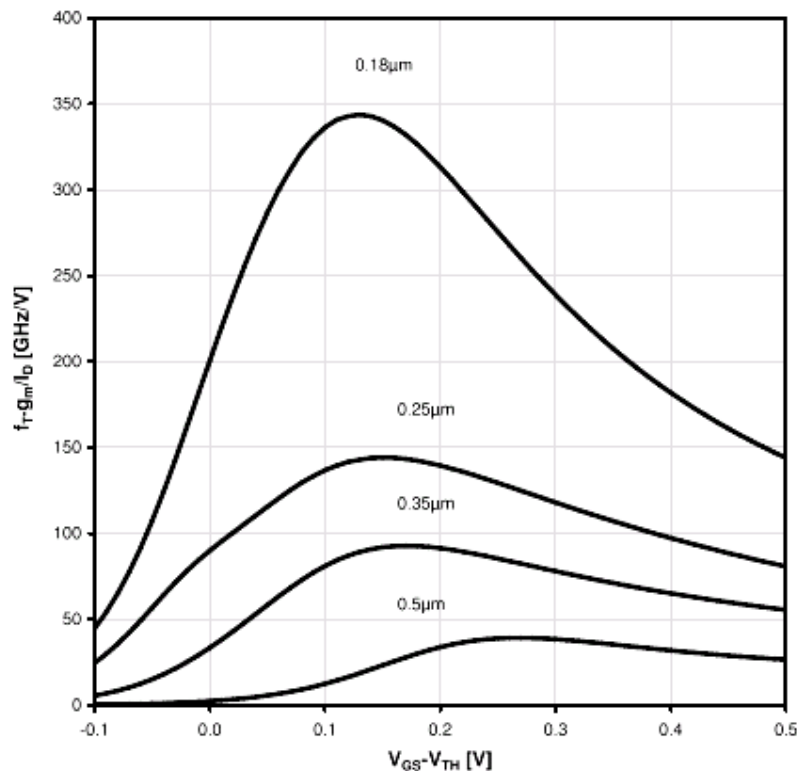
Si nos basamos en estas observaciones, podríamos proponer una FOM de la siguiente forma:

$$FOM = \frac{P_{1dB}}{P_{noise}} \frac{1}{P_{dc}} \frac{f_h}{f_{t*}} \quad (2.5)$$

Esta expresión incluye como medida de linealidad a la potencia de compresión a 1dB ( $P_{1dB}$ ), la potencia consumida en DC ( $P_{dc}$ ), y a la potencia del ruido a la salida ( $P_{noise} = P_{th} \cdot F \cdot Gain$ ), donde  $P_{th}$  ( $=kT$ ) es el ruido térmico que tiene el valor de -174 dBm/Hz para una  $T= 290$  K. Además introducimos una medida relativa para el ancho de banda a través de un factor de utilización del ancho de banda (BUF) que sería  $f_h/f_{t^*}$ , donde  $f_h$  es la frecuencia de corte superior del LNA y la  $f_{t^*}$  es la  $f_t$  máxima de la tecnología obtenida en el pico de la Figura 2.5. La normalización con respecto a  $f_{t^*}$  permite comparaciones independientes de la tecnología y ayuda a cuantificar como de eficiente trasladamos la  $f_t$  disponible del transistor en el funcionamiento en banda ancha del LNA. En la Tabla 2.1 podemos ver los valores típicos de  $f_{t^*}$  [15].

**Tabla 2.1 Valores Típicos de  $f_{t^*}$ .**

Tecnología ( $\mu\text{m}$ )	0.8	0.5	0.35	0.25	0.18
$f_{t^*}$ (GHz)	4	5.8	8.13	15.4	33.7



**Figura 2.5** Producto  $\frac{g_m}{I_D} \cdot f_t$  en función de  $V_{ov}$ .



Pensamos que para que la figura de mérito (FOM) sea más completa debemos prestar especial atención al área que ocupa, ya que esta es determinante en un diseño de estas características. Además de las potencias y las frecuencias que hemos nombrado anteriormente, el área es un factor determinante, ya que la finalidad de los circuitos integrados además de ajustarse a las condiciones típicas de cada diseño es que estos ocupen el menor área posible, por tanto la figura de mérito propuesta queda de la siguiente forma:

$$FOM = \frac{P_{1dB}}{P_{noise}} \frac{1}{P_{dc}} \frac{f_h}{f_{t^*}} \frac{1}{Area} \quad (2.6)$$

En esta expresión podemos apreciar que lo que nos va a interesar en este tipo de estructuras es que tenga el menor área posible.

## 2.5 Cálculo de los Componentes en los Amplificadores Distribuidos

Para el cálculo de los componentes de un diseño básico de cuatro etapas como el mostrado en la Figura 2.1 tendríamos que hacer que las bobinas de la línea de puerta y drenador estén adaptadas y que la capacidad de la línea de drenador sea igual a la de la línea de puerta. En estas condiciones podríamos afirmar que las corrientes de entrada y salida estarán sincronizadas en fase. Si tenemos en cuenta estas condiciones y además usamos terminaciones adaptadas en impedancia, la ganancia en tensión vendría dada por [16]:

$$\frac{V_{out}}{V_{in}} = \frac{-N \cdot gm}{2 \cdot \sqrt{1 - \omega^2 / \omega_c^2}} \sqrt{\frac{L}{C}} e^{N\theta} \quad (2.7)$$

donde

N número de etapas

$g_m$  transconductancia de la etapa

$\omega_c$  frecuencia de corte de las líneas definida como  $2/\sqrt{LC}$

$\theta$  constante de propagación de las líneas

En la expresión 2.7 es evidente que existe una dependencia de la frecuencia, la cual podría causar un pico en la ganancia cerca de la frecuencia de corte, siendo este efecto indeseable. Existen varios métodos para reducir el pico, pero en este trabajo hablaremos del método de *staggering* descrito por Sarma [17]. Este método se basa en hacer que la línea de drenador tenga una frecuencia de corte menor que la de la línea de puerta. Se define pues el valor de *staggering* como la relación entre la frecuencia de la línea de drenador y de la línea de puerta, mostrándose como valor óptimo 0.7. Asumiendo terminaciones adaptadas y diferentes frecuencias de corte para las líneas de puerta y drenador, pasaríamos a calcular la ganancia en tensión la cual vendrá dada por la siguiente expresión:

$$A_v \cong \frac{-gm}{2\sqrt{1-(\omega/\omega_{cg})^2}} \sqrt{\frac{L_d}{C_d}} \cdot \frac{\sinh\left[\frac{N(\theta_g - \theta_d)}{2}\right]}{\sinh\left[\frac{(\theta_g - \theta_d)}{2}\right]} e^{-N(\theta_g - \theta_d)/2} \quad (2.8)$$

Otra modificación en el circuito básico consiste en la modificación de las terminaciones de las líneas de puerta y drenador. La impedancia vista hacia las líneas de transmisión LC presenta una gran desviación con respecto a la impedancia nominal cerca de la frecuencia de corte de la línea. Esto implica que aunque idealmente todos los puertos deberían estar adaptados en impedancia para eliminar algún tipo de señal reflejada, sin embargo no es práctico realizar una adaptación en impedancia directamente. De este modo, el método usado será insertar semisecciones derivadas (*derived half sections*) para unir las líneas, el puerto de entrada, el puerto de salida y las terminaciones. Estas semisecciones (*half sections*) mejorarán considerablemente la adaptación de impedancias, a la vez que nos permite usar terminaciones resistivas simples. El circuito resultante es el que aparece en la Figura 2.6.

Usando la topología dada, y conociendo las especificaciones del diseño, podremos calcular los parámetros del circuito. Las ecuaciones para el cálculo de la frecuencia de corte y la impedancia de las líneas son:

$$f_c = \frac{1}{\pi\sqrt{LC}} \quad (2.9)$$

$$Z_0 = \sqrt{\frac{L}{C}} \quad (2.10)$$

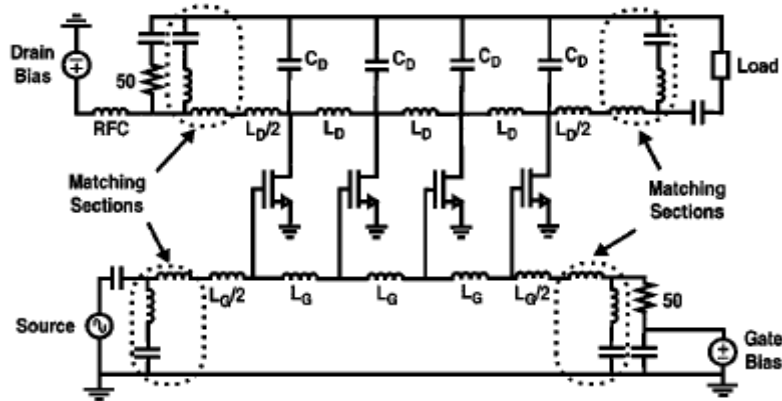


Figura 2.6 Amplificador distribuido de 4 etapas con semisecciones derivadas.

Aplicando la técnica de *staggering*, la línea de drenador tendrá una frecuencia de corte más baja. Además, una vez tengamos la frecuencia de corte y la impedancia, usando las expresiones 2.7 y 2.8 calcularemos  $L_d$  y  $C_d$

$$L_d = \frac{1}{C_d (\pi \cdot f_c)^2} \quad (2.11)$$

$$L_d = Z_0^2 \cdot C_d \quad (2.12)$$

Si hacemos que las impedancias de las líneas sean iguales y aplicamos la técnica de *staggering* con un factor de 0.7, calcularemos la inductancia y capacidad de la línea de puerta con las siguientes expresiones:

$$L_g = 0.7 \cdot L_d \quad (2.13)$$

$$C_g = 0.7 \cdot C_d \quad (2.14)$$

Una vez calculado  $C_g$  podemos calcular el área de puerta de los transistores con la siguiente expresión:

$$W \cdot L = \frac{C_g}{C_{ox}} \quad (2.15)$$

Conociendo la ganancia, el número de etapas, la inductancia y capacidad de la línea de drenador, la  $gm$  que necesitamos la calcularemos a partir de la ganancia a baja frecuencia (ecuación 2.16)

$$gm - \frac{2 \cdot A}{N} \sqrt{\frac{C_d}{L_d}} \Rightarrow gm = \frac{2 \cdot A}{N \cdot Z_0} \quad (2.16)$$

Para calcular la proporción que habría entre W y L podemos usar la siguiente expresión:

$$\frac{W}{L} = \frac{gm}{\mu_n C_{ox} (V_{gs} - V_t)} \quad (2.17)$$

De forma que combinando las ecuaciones (2.15) y (2.17) podemos obtener tanto la longitud como la anchura del dispositivo. Una vez conocido el tamaño del transistor y las capacidades e inductancias de las líneas de puerta y drenador, nos queda por calcular los componentes de las semisecciones derivadas (*derived half sections*).

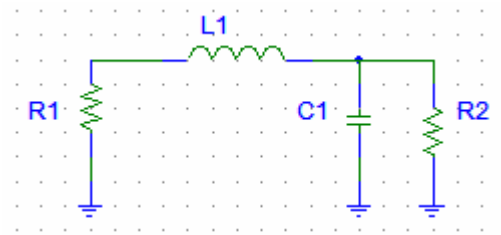
### 2.5.1 Cálculo de las Semisecciones Derivadas (*Derived Half-sections*)

Una vez calculado todos los componentes del amplificador pasaremos a calcular los componentes de las semisecciones derivadas (*derived half sections*).

Como dijimos antes, estas estructuras sirven para mejorar la adaptación en las líneas de transmisión artificiales compuestas por redes LC. A las redes LC básicas se las suele denominar semisecciones (*half-sections*) y a las redes compuestas por la unión de varias semisecciones se las suele denominar filtros de constante K. En la Figura 2.7 se muestra una de estas redes LC básicas o semisecciones. Para la frecuencia de corte, es decir, para la frecuencia en la que el comportamiento de la red pasa de ser capacitivo a ser inductivo, se cumple que

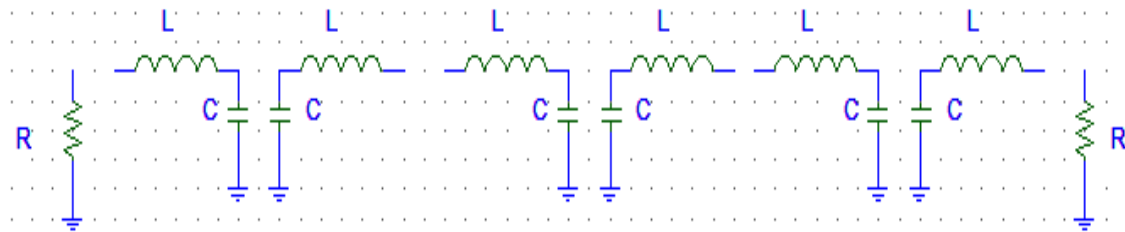
$$\omega_c L = \frac{1}{\omega_c C} = R \quad (2.18)$$

siendo  $R$  la impedancia característica de la línea. Esta red básica tiene 2 polos y por ello se dice que constituye un filtro de orden 2.

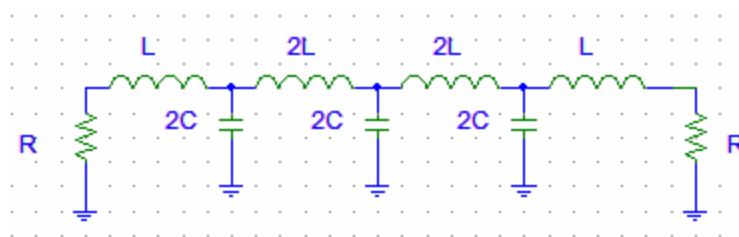


**Figura 2.7 Red Básica LC.**

Si quisiéramos diseñar un filtro de orden superior para la misma frecuencia de corte, lo único que deberíamos hacer es unir varias semisecciones. Por ejemplo, para el caso de un filtro de orden 7 deberíamos unir 6 redes LC básicas, tal y como se muestra en la Figura 2.8. De esta forma obtendríamos el circuito de la Figura 2.9 que como se puede observar tiene orden 7.



**Figura 2.8 Filtro Orden 7.**



**Figura 2.9 Filtro Orden 7.**

El filtro así diseñado presenta una respuesta como la de la Figura 2.10 donde se compara la mejora obtenida con respecto al filtro de orden 2.

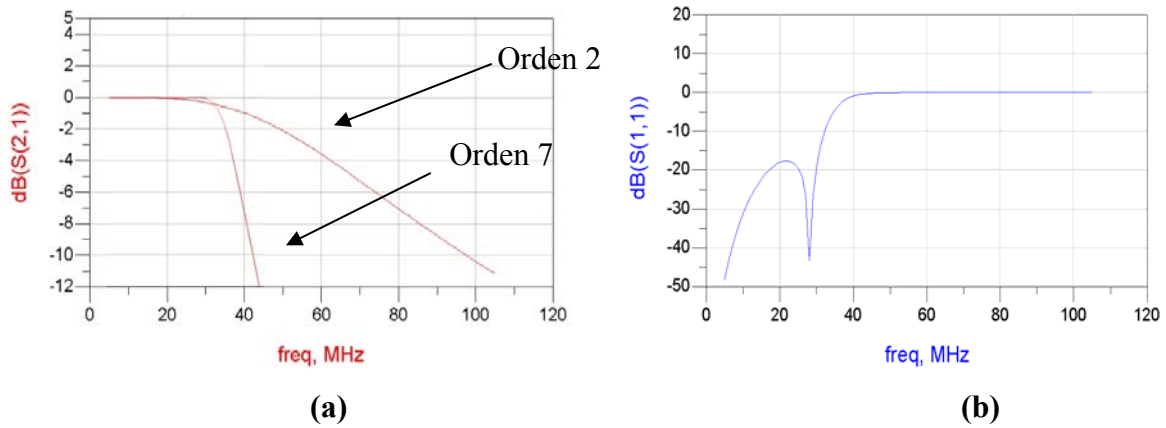


Figura 2.10 Comparativa filtros orden 2 y orden 7.

Una forma de mejorar estos filtros consiste en añadir semisecciones derivadas (*derived half-sections*) tanto a la entrada como a la salida del circuito (Figura 2.11). Gracias al uso de estas estructuras se consigue que aparezca un pico negativo en la respuesta en amplitud del filtro a 1.25 de la frecuencia de corte que mejora la caída del filtro. Además el ancho de banda para el cual existe adaptación con los puertos de entrada y salida aumenta considerablemente. Esto se puede ver en la Figura 2.12 donde se compara el filtro de orden 7 con y sin semisecciones derivadas. El valor del factor de derivación usado es  $m=0.6$  que es el que mejor respuesta proporciona.

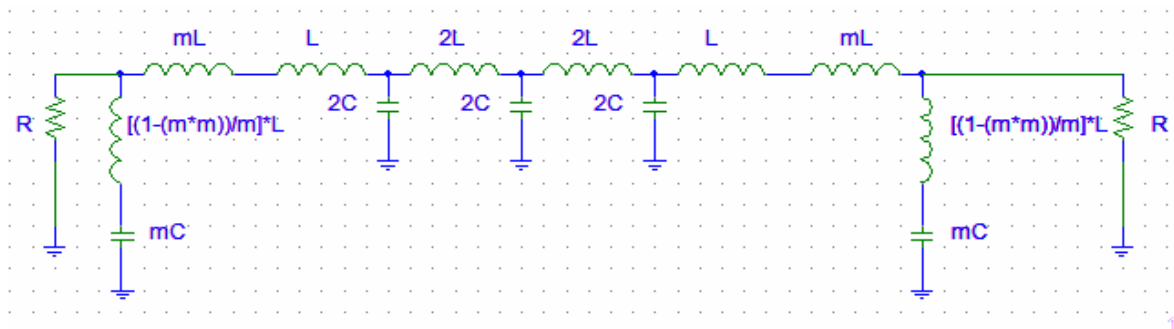


Figura 2.11 Filtro con semisecciones derivadas.

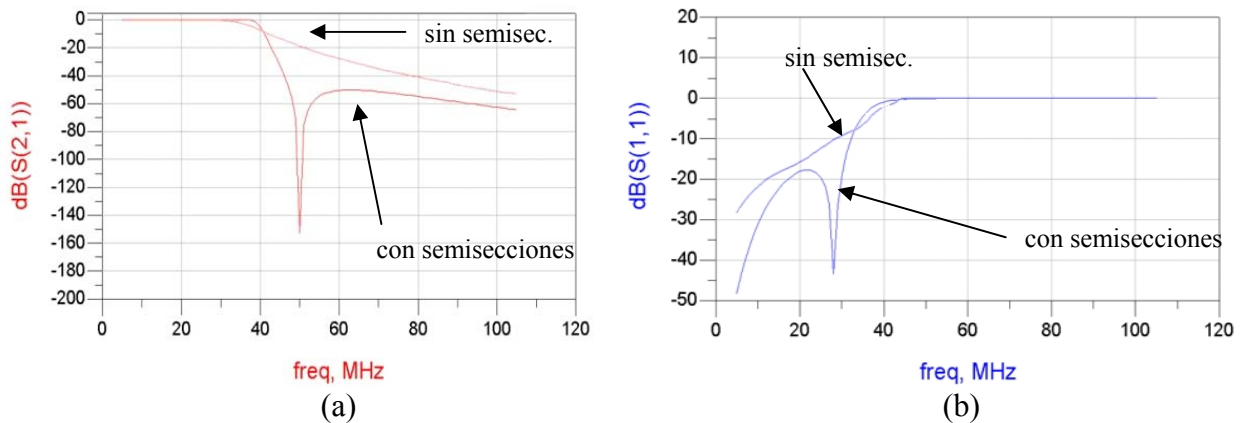


Figura 2.12 Comparativa filtro de orden 7 con y sin semisecciones derivadas.

## 2.6 Conclusiones

En este capítulo se ha hecho un repaso a los diferentes tipos de amplificadores distribuidos que nos podemos encontrar y se han expuesto todos los pasos a tener en cuenta para el diseño de un amplificador distribuido. También hemos puesto una especial atención a un factor determinante para el diseño de este tipo de dispositivos como puede ser la figura de mérito (FOM). Para finalizar hemos hecho una introducción al diseño de semisecciones derivadas (*derived half-sections*).

En el siguiente capítulo veremos las características de la tecnología empleada para nuestro trabajo. Esta tecnología es la denominada SiGe 0.35  $\mu\text{m}$  de AMS (*Austria Micro System*). Para ello, estudiaremos uno a uno todos los componentes suministrados por este proceso que entran en juego en el diseño de un amplificador distribuido.

# Capítulo 3

## Estudio de la Tecnología

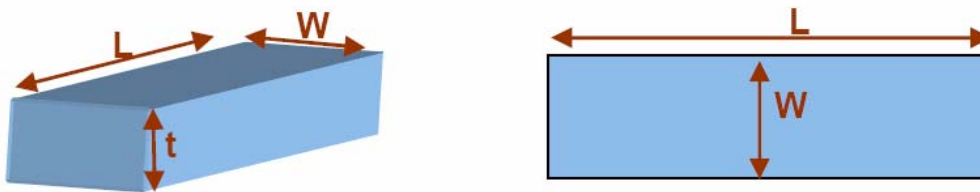
### 3.1 Introducción

Antes de comenzar con el diseño se debe realizar un estudio de la tecnología que se va a utilizar. Por esta razón se ha realizado este pequeño capítulo, con el que se pretende dar una visión general de la tecnología S35D4 de la fundidora AMS. Esta tecnología consta de cuatro metales, siendo la última capa de metal de un espesor mayor con la finalidad de mejorar el factor de calidad de los inductores integrados. En cuanto a dispositivos activos, consta de transistores bipolares de heteroestructura (HBT) y MOSFET, siendo la longitud de puerta mínima de  $0,35 \mu\text{m}$ . Así mismo la tecnología S35D4 ofrece librerías de componentes pasivos.

### 3.2 Resistencias

#### 3.2.1 Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la Figura 3.1 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.



**Figura 3.1** Parámetros de una resistencia.

Partiendo de la Figura 3.1, el valor de la resistencia se obtiene a partir de la ecuación (3.1).



$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (3.1)$$

Donde los parámetros que intervienen son:

- $\rho$  = Resistividad del material.
- $t$  = Espesor del material.
- $L$  = Longitud de la resistencia.
- $W$  = Anchura de la resistencia.

En procesos de semiconductores, el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia puede determinarse a partir de la ecuación (3.2).

$$R = R_{square} \cdot \frac{W}{L} \quad (3.2)$$

En la ecuación (3.2),  $R_{square}$  representa al cociente entre la resistividad y el espesor de la resistencia.

### 3.2.2 Resistencias en la tecnología S35D4 de AMS

La tecnología S35D4 de AMS presenta dos tipos de resistencias, RPOLY2 y RPOLYH, que se utilizan dependiendo del valor resistivo que se quiera integrar. En la tabla 3.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

**Tabla 3. 1 Resistencias incluidas en la tecnología S35D4**

<b>RPOLY2</b>				
<b>Parámetro</b>	Mínimo	Típico	Máximo	Unidad
<b>Resistencia</b>	40	50	60	$\Omega/\mu\text{m}$
<b>Coefficiente de temperatura</b>	--	0.6	--	$10^{-3}/\text{K}$
<b>Resistencia de contacto</b>	--	20	40	$\Omega/\text{cnt}$
<b>Densidad de corriente</b>	--	--	0.3	$\text{mA}/\mu\text{m}$

RPOLYH				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	0.9	1.2	1.5	K $\Omega$ / $\mu$ m
Coefficiente de temperatura	--	-1.2	--	10 <sup>-3</sup> /K
Resistencia de contacto	--	60	200	$\Omega$ /cnt
Densidad de corriente	--	--	0.3	mA/ $\mu$ m

En la Figura 3. 2 se muestra el cuadro de diálogo de Cadence donde se ajustan los parámetros de las resistencias.



Figura 3. 2 Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la Figura 3.2.

- 1. Valor de la resistencia: ajustando el valor óhmico de la resistencia, el software calcula la longitud de la misma.
- 2. Ancho de la pista: variando el ancho, el software determina la longitud para mantener el valor de resistencia establecido.
- 3. Longitud de la pista.
- 4. Ángulo de giro.
- 5. Número de dedos: empleado para reducir el tamaño de la resistencia.
- 6. Estructuras dummies: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.
- 7. Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.
- 8. Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

En la Figura 3. 3 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el kit de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

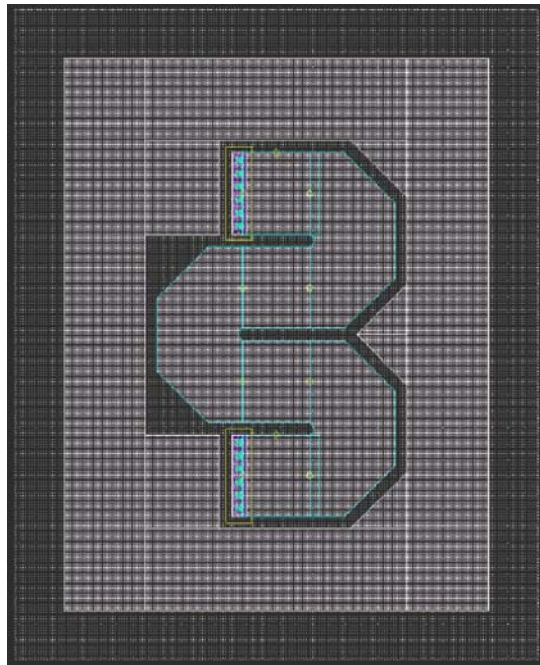


Figura 3. 3 Resistencia con estructuras *dummies*.

## 3.3 Condensadores

### 3.3.1 Construcción

En sistemas integrados, la implementación de condensadores se reduce a la construcción de un condensador plano empleando 2 capas de metal separadas por una capa de material aislante. En la Figura 3. 4 se muestra un esquema donde esto queda reflejado.

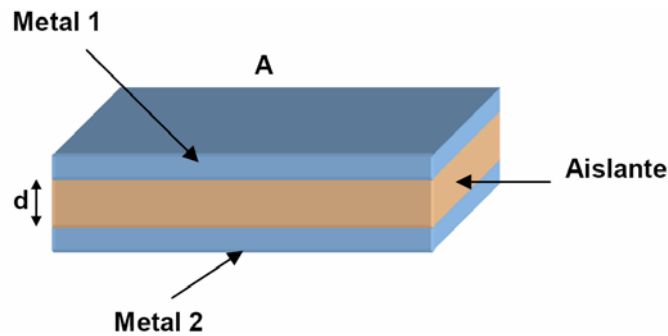


Figura 3. 4 Corte de un condensador.

Partiendo de la Figura 3. 4, el valor de la capacidad del condensador viene dado por la ecuación (3.3).

$$C = \frac{\varepsilon' \cdot \varepsilon_0 \cdot A}{d} \quad (3.3)$$

Donde los parámetros que intervienen son:

- $\varepsilon'$  = Permitividad relativa del material.
- $\varepsilon_0$  = Permitividad del vacío.
- $A$  = Área de las placas del condensador.
- $d$  = Distancia ente las placas del condensador.

### 3.3.2 Condensadores en la tecnología S35D4 de AMS

Esta tecnología dispone de dos tipos de condensadores. Por un lado está el CMIM, formado por dos capas de polisilicio y diseñado para capacidades de pequeño tamaño. Por otro lado está el CPOLY, formado por 2 capas de metal y diseñado para la implementación de capacidades de gran valor.

En la Figura 3. 5 se muestra el cuadro de diálogo donde se pueden ajustar los diversos parámetros de los condensadores.

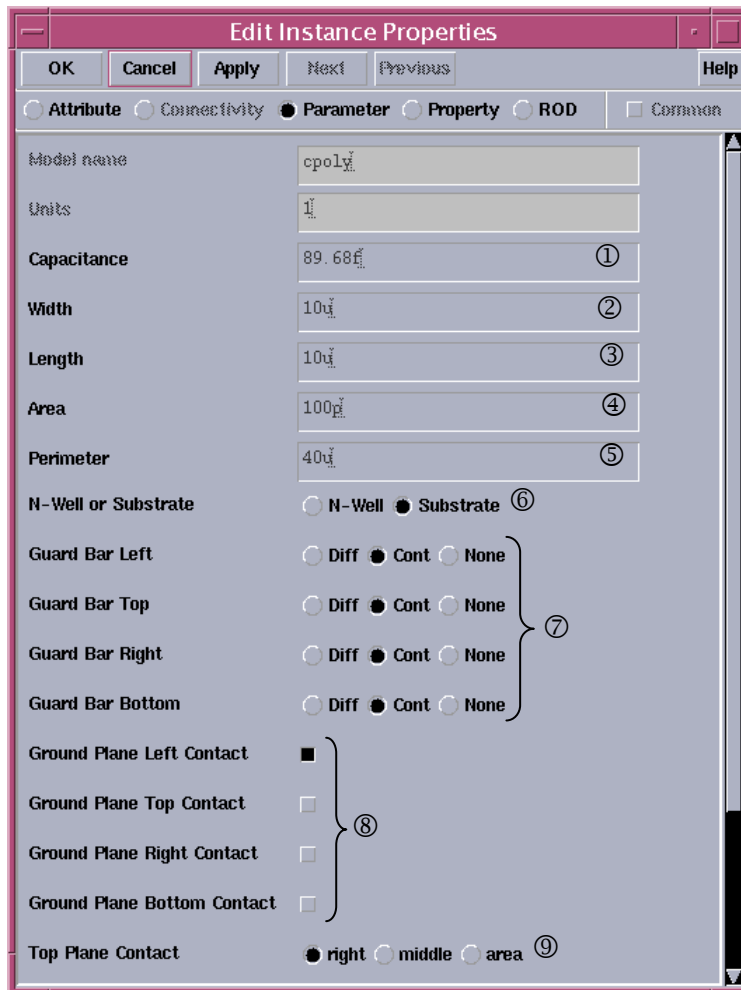
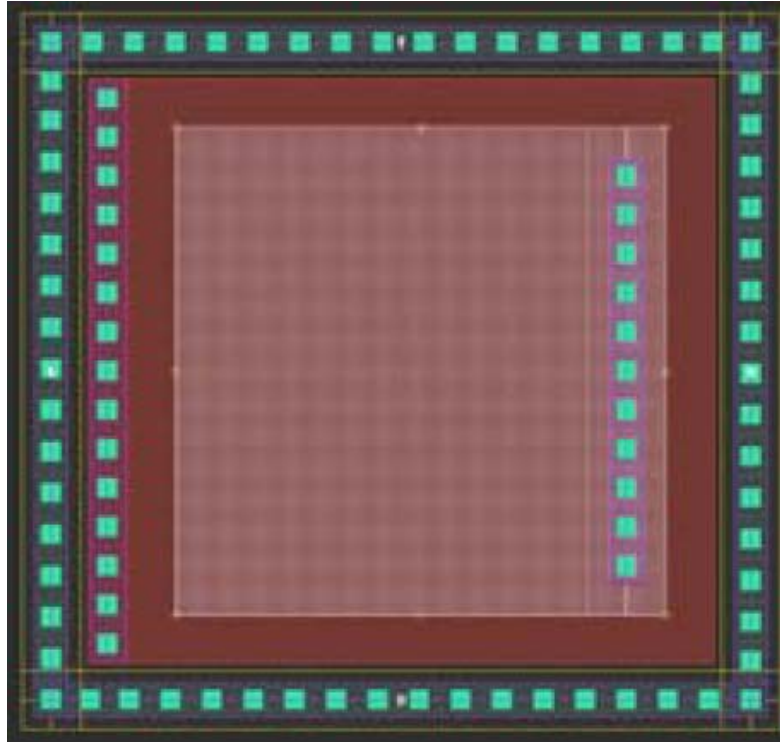


Figura 3. 5 Parámetros ajustables en los condensadores.

A continuación se detallan los parámetros mostrados en la Figura 3. 5.

- 1. Valor de la capacidad.
- 2. Ancho del condensador.
- 3. Longitud del condensador.
- 4. Área total del condensador.
- 5. Perímetro del condensador.
- 6. Conexión al sustrato o a un pozo tipo N.
- 7. Colocación de anillos de guarda mediante contactos o difusiones.
- 8. Colocación de los contactos de la capa inferior.
- 9. Colocación de los contactos de la capa superior.



**Figura 3. 6** *Layout de un condensador.*

A modo de ejemplo, en la Figura 3. 6 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior esta a la derecha.

## 3.4 Bobinas

### 3.4.1 Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, es necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la Figura 3. 7 se muestra el *layout* de una bobina espiral cuadrada simple, donde se puede apreciar la disposición del *underpass*, así como los parámetros más importantes de su geometría (radio  $r$ , anchura  $w$ , separación de las pistas  $s$  y número de vueltas  $n$ ).

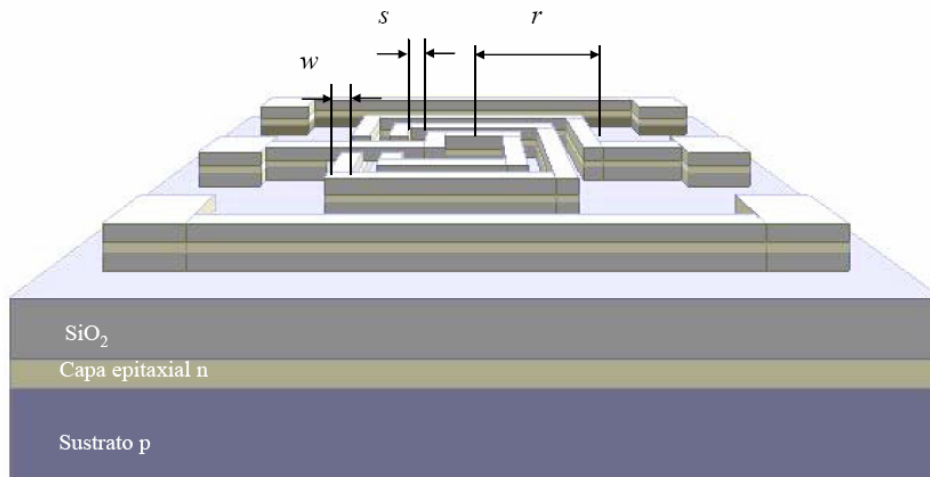


Figura 3. 7 *Layout* de una bobina cuadrada simple.

### 3.4.2 Funcionamiento

El inductor se caracteriza por su factor de calidad (ecuación (3.4)), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (3.4)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad y a las causadas por el Efecto Pelicular (*Skin Effect*) [18] y por las Corrientes de Torbellino (*Eddy Currents*) [18] inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la Figura 3. 8.

El campo magnético  $B(t)$ , está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como  $B(t)$  atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.

- $E_1(t)$  es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$  es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$  es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$  es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

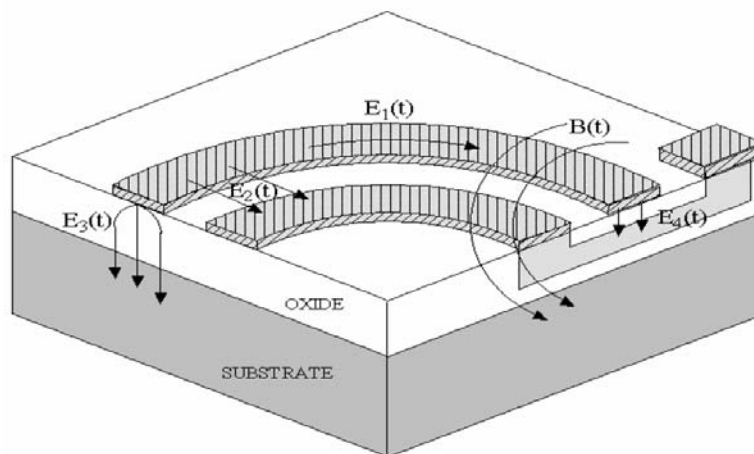


Figura 3. 8 Campos eléctricos y magnéticos en un inductor integrado.

### 3.4.3 Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la Figura 3. 9. En serie con la inductancia deseada,  $L_S$ , aparece una resistencia,  $R_S$ , que modela las pérdidas óhmicas generadas por  $E_1(t)$  (ver Figura 3. 8). El condensador  $C_P$  da cuenta del acoplamiento capacitivo generado por  $E_2(t)$  y  $E_4(t)$ . El resto de los elementos que aparecen en el circuito describen los efectos del sustrato. En particular, los condensadores  $C_{OX1}$  y  $C_{OX2}$  modelan las capacidades del



óxido existente entre la espiral y el sustrato, mientras que  $C_{SUB1}$  y  $C_{SUB2}$  dan cuenta de la capacidad del sustrato. Por último  $R_{SUB1}$  y  $R_{SUB2}$  modelan las pérdidas óhmicas del sustrato.

El circuito equivalente de la Figura 3. 9 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del underpass cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporciona valores de  $C_{OX1}$ ,  $C_{SUB1}$  y  $R_{SUB1}$  ligeramente diferentes a los de  $C_{OX2}$ ,  $C_{SUB2}$  y  $R_{SUB2}$ .

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente. Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [18].

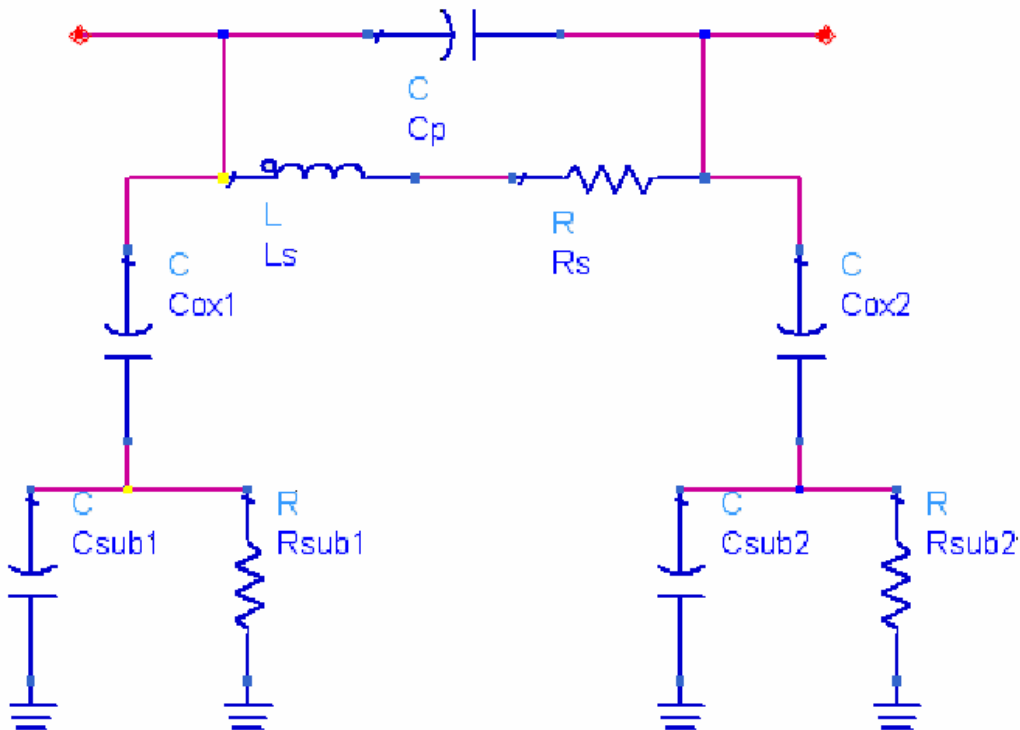
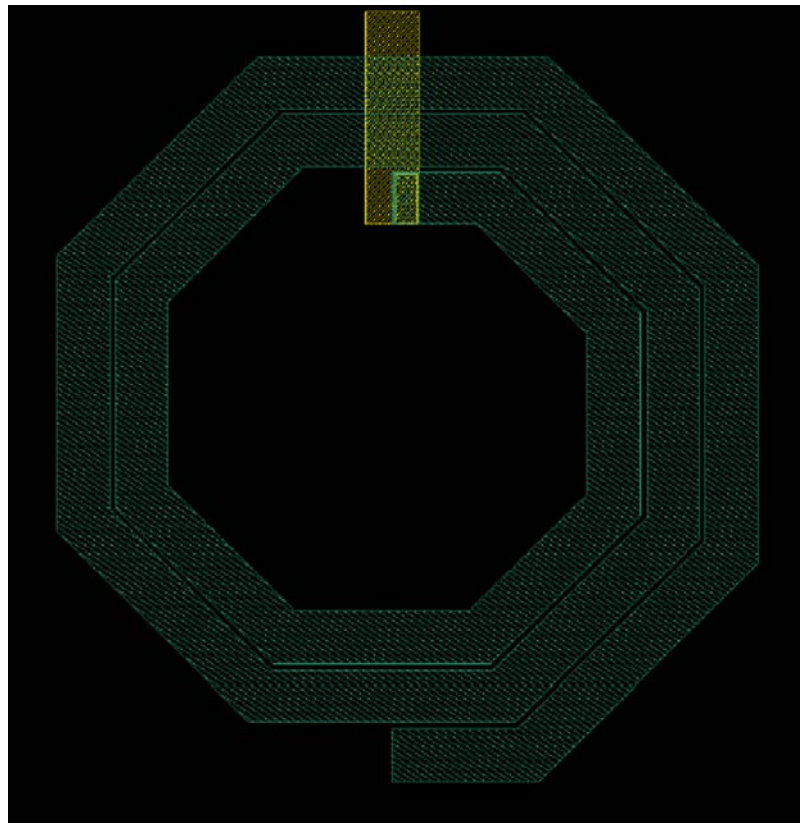


Figura 3. 9 Modelo clásico de dos puertos de inductores espirales integrados.

### 3.4.4 Bobinas en la tecnología S35D4 de AMS

La tecnología de AMS presenta bobinas, pero se optó por usar las bobinas desarrolladas por el IUMA ya que éstas presentan factores de calidad mayores que las de AMS, alcanzando valores de hasta 13,5 a una frecuencia central de 5,5 GHz [19].

En la Figura 3. 10 se muestra un ejemplo de las bobinas creadas por el IUMA. En este caso se trata de una bobina de ocho lados de 2 nH con un factor de calidad de 10,3.

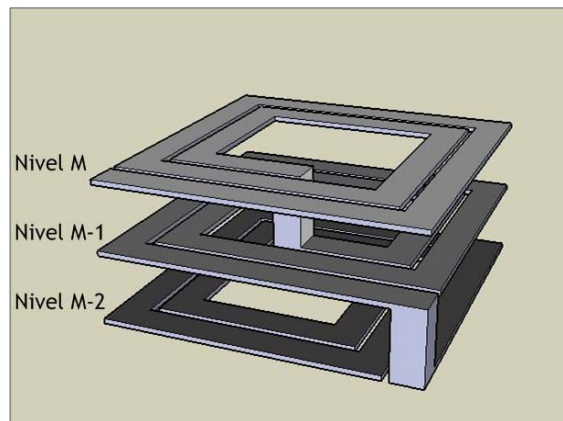


**Figura 3. 10** *Layout de una bobina.*

Para este diseño además de utilizar las bobinas mencionadas se han utilizado bobinas con otro tipo de estructuras, con las que se pretende principalmente reducir el área total ocupada por el dispositivo. Se trata de las bobinas apiladas (*stacked inductors*) [20] y de las bobinas 3D (*miniature 3-D inductor*) [21].

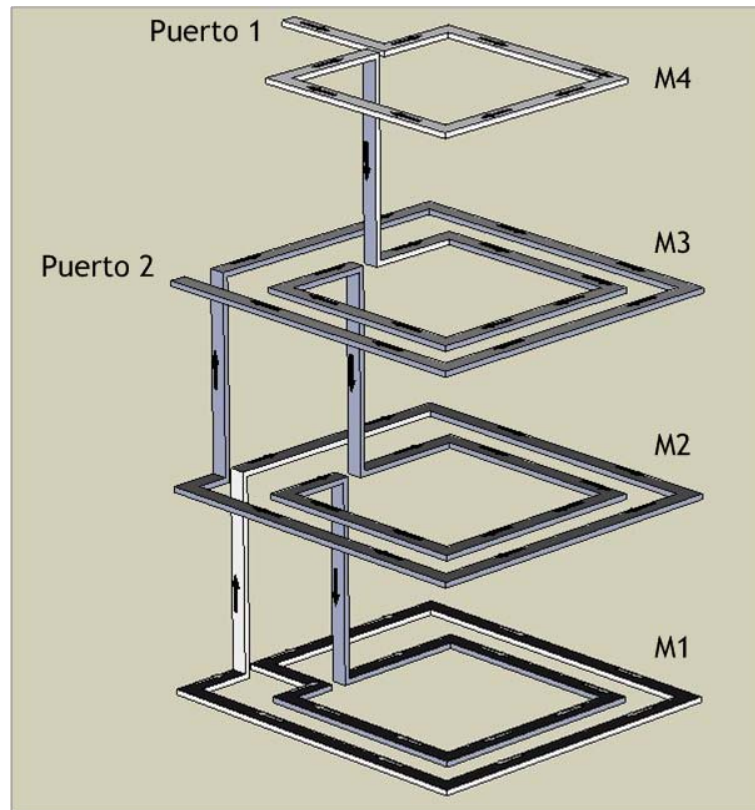
La Figura 3.11 muestra el aspecto de un inductor apilado. Consiste en la unión en serie de dos o más bobinas idénticas fabricadas una sobre otra en distintos niveles de metal. Puesto que los inductores son iguales, la inductancia de cada uno de ellos por separado será la misma y estará generada por el acoplamiento lateral entre las distintas vueltas de la

bobina. Además aparece ahora un acoplamiento mutuo vertical entre ambas que aumenta considerablemente la inductancia por unidad de área. Cuantos más niveles de metal apilemos en el inductor, mayor es este incremento de la inductancia. Sin embargo, la frecuencia de resonancia del inductor apilado disminuye con respecto a la bobina estándar, debido a que aparece una capacidad adicional entre las bobinas de distintos niveles.



**Figura 3.11 Estructura de los inductores apilados convencionales.**

Las bobinas 3D se consiguen uniendo en serie al menos dos bobinas apiladas, de forma que cada una de ellas tiene sólo una vuelta en cada capa de metal. Por ejemplo, supongamos que tenemos dos inductores apilados de una sola vuelta y diferente diámetro, y uno de ellos abarca desde el metal 4 hasta el metal 1, y el otro desde el metal 1 hasta el metal 3. Entonces para conseguir la estructura 3-D basta con unir ambas bobinas apiladas en el metal 1, tal y como muestra la Figura 3.12. La ventaja de un inductor 3D sobre uno apilado es que se consigue aumentar considerablemente la frecuencia de resonancia del inductor, lo que permitiría trabajar a frecuencias muy altas.



**Figura 3.12 Estructura de un inductor 3-D formado por dos inductores apilados.**

La bondad de los inductores apilados y 3D depende de las especificaciones del circuito donde se van a emplear. Se debe llegar a un compromiso entre calidad necesaria y área ocupada. Hay circuitos para los que no se requieren bobinas con factor de calidad alto, sino que lo más importante es el ahorro de espacio. Para estos casos estas nuevas estructuras son sin duda una buena solución. Sin embargo, si la inductancia necesaria es baja, y se requieren inductores de buena calidad se pueden encontrar bobinas estándar que cumpla los requisitos sin ocupar un área excesiva.

En la Figura 3.13 se puede apreciar la diferencia de área entre una bobina convencional y una apilada con idéntico valor inductivo. El estándar ocupa un área de  $260 \times 260 \mu\text{m}^2$  mientras que el apilado ocupa  $90 \times 90 \mu\text{m}^2$ . Sin embargo esta reducción de área implica una disminución importante del factor de calidad. En lo que respecta a este diseño estaríamos hablando de que un factor de calidad de 10.5 se vería reducido a 8.3.

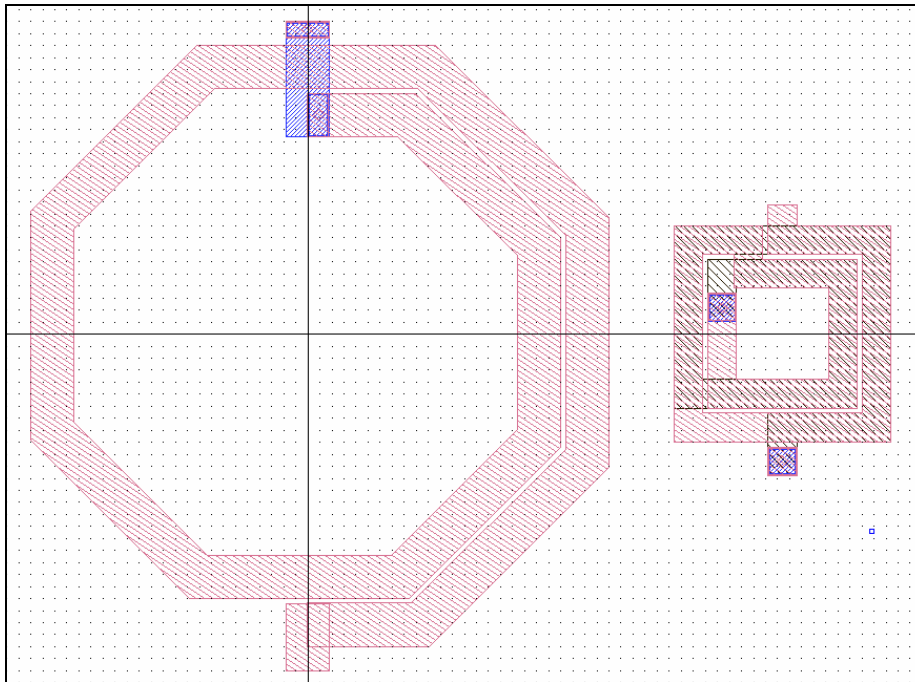


Figura 3.13 Diferencia entre bobina convencional y bobina apilada.

## 3.5 El Transistor MOSFET

### 3.5.1 Construcción

En la Figura 3.14 se muestra un corte esquemático de 2 transistores MOS tipo n y tipo p respectivamente. En el caso del transistor tipo n, el surtidor (fuente) y el drenador están formados por difusiones  $n^+$ , sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formadas con difusiones tipo  $p^+$  sobre un pozo tipo n. Tanto en el MOSFET tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de  $\text{SiO}_2$ .

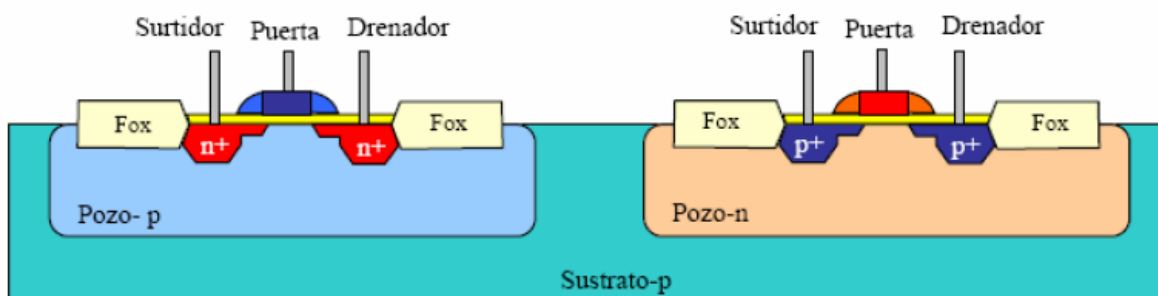


Figura 3.14 Corte esquemático de transistores MOS.

### 3.5.2 Funcionamiento

Como se muestra en la Figura 3.15, si en un MOSFET tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor ( $V_{GS}$ ) y se aplica una tensión positiva entre el drenador y el surtidor, no circulará corriente entre los terminales de drenador y surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor MOSFET se encuentra en corte.

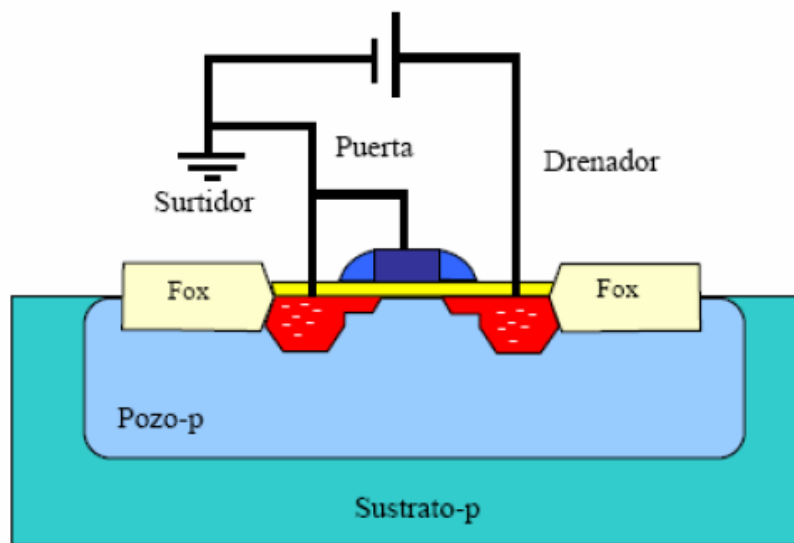


Figura 3.15 MOSFET tipo n en corte.

Si se aumenta la tensión  $V_{GS}$ , este nivel de tensión presionará a los huecos situados cerca de la capa de SiO<sub>2</sub> hacia las regiones más profundas del sustrato tal como muestra la Figura 3.16. Por el contrario, los electrones se verán atraídos hacia la capa de SiO<sub>2</sub> que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de  $V_{GS}$ , se produce un aumento de la concentración de electrones cerca de la capa de SiO<sub>2</sub> hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el Drenador y la surtidor. Al nivel de  $V_{GS}$  que hace que se produzca un aumento considerable de la corriente del Drenador al surtidor se le llama tensión de umbral ( $V_T$ ). Cuando se consigue circulación de corriente del Drenador al surtidor se dice que el MOSFET se encuentra en la región de triodo o zona óhmica.

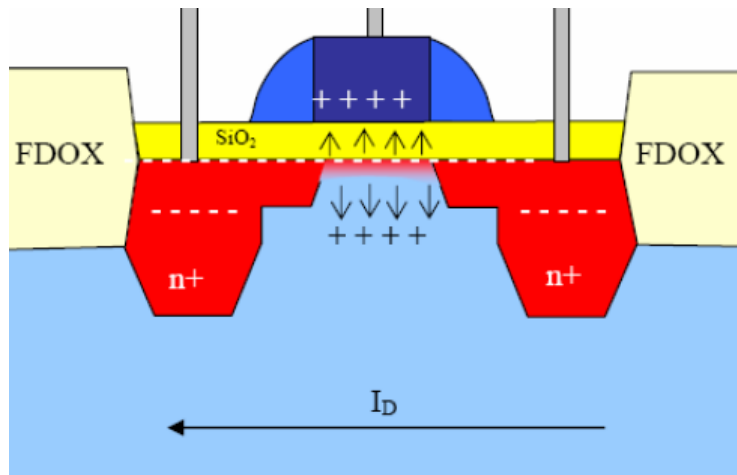


Figura 3.16 Detalle del MOSFET tipo n en zona óhmica.

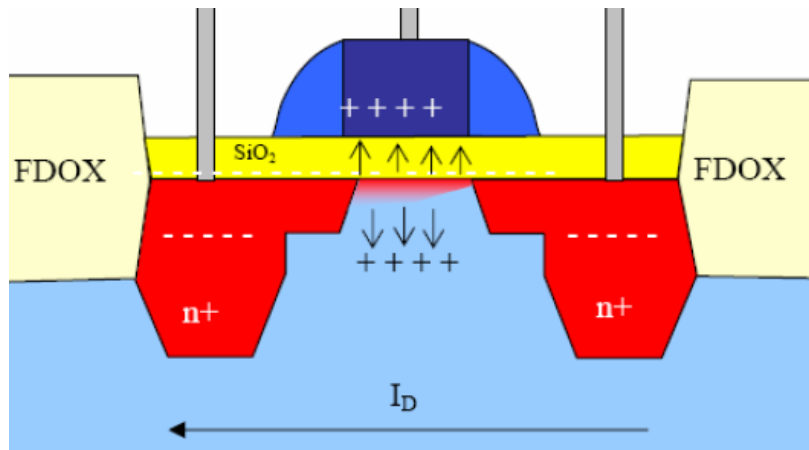
En la región de triodo la expresión que determina la corriente de drenador del MOSFET viene dada como

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \left[ (V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.5)$$

Donde:

- $\mu_n$  = Movilidad de los electrones
- $C_{OX}$  = Capacidad de puerta por unidad de área
- $L$  = Longitud del canal del transistor ( $\mu\text{m}$ )
- $W$  = Ancho del canal del transistor ( $\mu\text{m}$ )

Como ya se ha comentado, cuando el valor de  $V_{GS}$  es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de drenador. Sin embargo, si se mantiene  $V_{GS}$  constante y sólo se aumenta el nivel de  $V_{DS}$ , la corriente de drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra Figura 3.17.



**Figura 3.17 Detalle del MOSFET tipo n en zona de saturación.**

La tensión de drenador a puerta ( $V_{DG}$ ) viene dada por la ecuación (3.6).

$$V_{DG} = V_{DS} - V_{GS} \quad (3.6)$$

Si se mantiene  $V_{GS}$  fijo y se aumenta el valor de la tensión  $V_{DS}$  tal como muestra la ecuación (3.6), el valor de la tensión  $V_{DG}$  se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de  $V_{DS}$  no se traduce en un aumento de la corriente. En esta situación la corriente de drenador viene dada por la ecuación 3.7, diciéndose que el transistor se encuentra en zona de saturación.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad (3.7)$$

Al coeficiente  $\mu_n \cdot C_{OX}$  se le denomina factor de ganancia y se denota  $K_n$ .

A pesar de que el desarrollo anterior se refiere a un transistor MOSFET tipo n, en el caso del transistor MOSFET tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente  $I_D$  en el MOSFET tipo p es contrario del MOSFET tipo n.



### 3.5.3 Modelo de Baja Frecuencia

En la Figura 3.18 se muestra el modelo en baja frecuencia del transistor MOSFET.

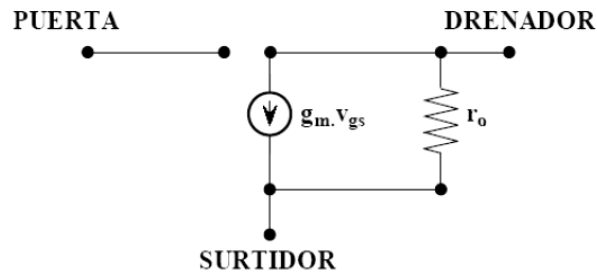


Figura 3.18 Modelo del MOSFET de baja frecuencia.

Donde  $r_o$  representa la parte real de la impedancia de salida del transistor, es decir, la resistencia del canal; y  $g_m$  es la transconductancia del transistor, que viene dada por la ecuación (3.8).

$$g_m = \sqrt{\frac{2 \cdot C_{OX} \cdot \mu_n \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{C_{OX} \cdot \mu_n \cdot W \cdot I_D}{L_{eff}}} \quad (3.8)$$

En la que:

- $L_{eff}$  = Longitud efectiva del canal ( $\mu m$ )

### 3.5.4 Modelo de Alta Frecuencia

En la Figura 3.19 se muestra el modelo de alta frecuencia del transistor MOSFET. Donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

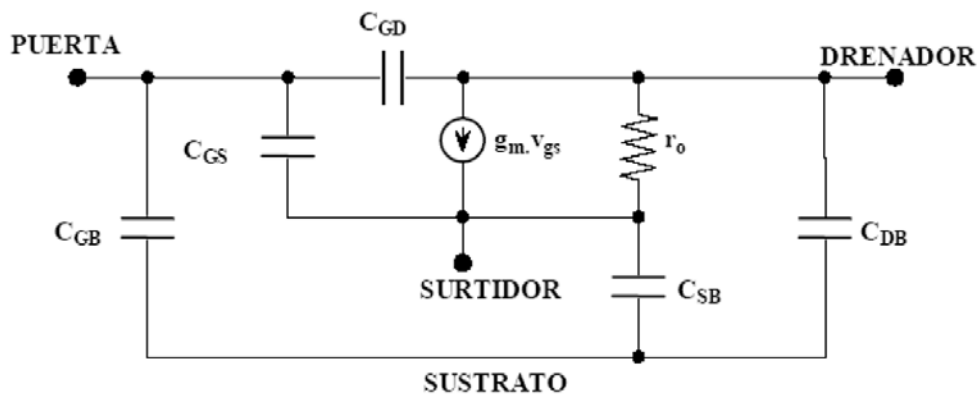


Figura 3.19 Modelo del MOSFET de alta frecuencia.

Las capacidades parásitas que aparecen a altas frecuencias son de dos tipos:

- Capacidades de la zona de carga espacial: Se producen en las uniones PN, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones (3.9) y (3.10).

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \quad (3.9)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \quad (3.10)$$

Donde:

- $C_{DB0}$  = Densidad de la capacidad de la unión Drenador-Sustrato cuando la polarización de esta es nula.
  - $C_{SB0}$  = Densidad de la capacidad de la unión surtidor-Sustrato cuando la polarización de esta es nula.
  - $V$  = Tensión directa de la unión.
  - $\psi_o$  = Barrera de potencial.
  - $m$  = Constante dependiente del tipo de unión.
- Capacidades en la zona de óxido: Aparecen capacidades entre 2 zonas conductoras separadas por óxido, sometidas a distintas tensiones. El valor de estas capacidades depende de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

- $C_{GB}$  = Capacidad de óxido entre puerta y Sustrato.
- $C_{GB}$  = Capacidad de óxido entre surtidor y puerta.
- $C_{GD}$  = Capacidad de óxido entre puerta y drenador.

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor. En la Tabla 3. 2 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor MOSFET.

**Tabla 3. 2 Capacidades de la zona de óxido de un transistor MOSFET**

Capacidad	Corte	Óhmica	Saturación
$C_{GD}$	$C_{OX} \frac{L}{d} W$	$C_{OX} \frac{L}{d} W + 0.5 C_{OX} \frac{LW}{d}$	$C_{OX} \frac{L}{d} W$
$C_{GS}$	$C_{OX} \frac{L}{d} W$	$C_{OX} \frac{L}{d} W + 0.5 C_{OX} \frac{LW}{d}$	$C_{OX} \frac{L}{d} W + 0.66 C_{OX} \frac{LW}{d}$
$C_{GB}$	$C_{OX} \frac{L}{d} W$	0	0

En la Tabla 3. 2, el parámetro  $L_d$  es la distancia de difusión lateral que se produce bajo la puerta.

### 3.5.5 Transistores MOSFET en la tecnología S35D4 de AMS

En la

Tabla 3. 3 y 3. 4 aparecen los parámetros más importantes de los transistores MOSFET suministrados por AMS dentro del kit de diseño.

**Tabla 3. 3 Parámetros más importantes de los MOSFET NMOS**

NMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral ( $V_T$ )	0.36	0.46	0.56	V
Factor de Ganancia (Kn)	155	175	195	$\mu A/V$
Den. Corriente Saturación	450	540	630	$\mu A / \mu m$

**Tabla 3. 4 Parámetros más importantes de los MOSFET PMOS**

PMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral ( $V_T$ )	-0.5	-0.6	-0.7	V
Factor de Ganancia (Kn)	48	58	68	$\mu A/V$
Den. Corriente Saturación	-180	-240	-300	$\mu A / \mu m$

En la Figura 3.20 se muestra el cuadro de diálogo mediante el cual se ajustan los parámetros del transistor MOSFET.

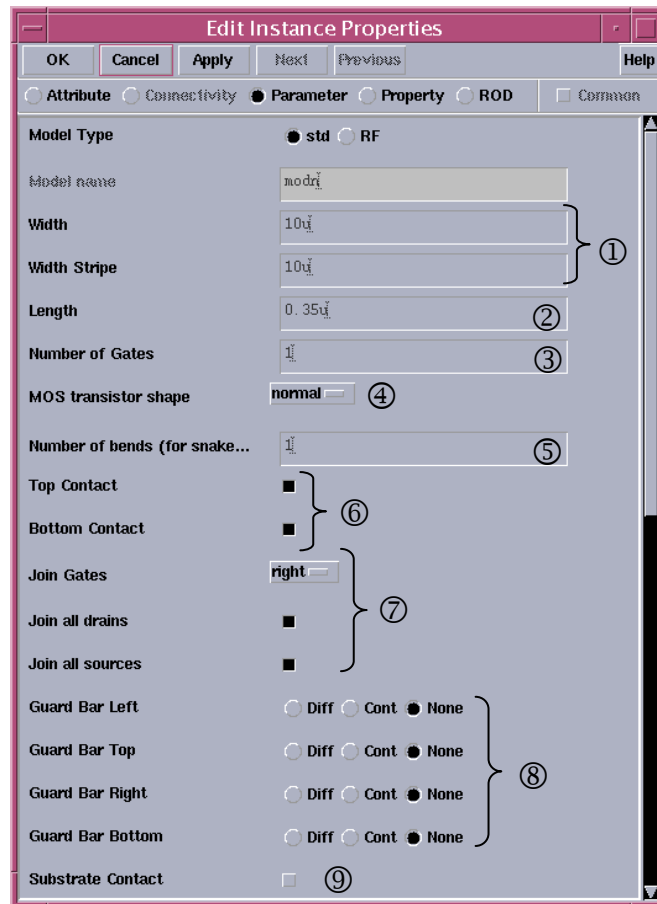


Figura 3.20 Parámetros en los MOSFET.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la Figura 3.20.

- 1. Ajuste del ancho del transistor.
- 2. Ajuste de la longitud del canal del transistor.
- 3. Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- 4. Selección de un transistor normal o un transistor tipo Snake [22].
- 5. Selección del número de dedos para los transistores tipo Snake.
- 6. Colocación de contactos a ambos lados del transistor.
- 7. Unión de las puertas, drenadores y surtidores.
- 8. Creación de anillos de guarda alrededor del transistor.
- 9. Colocación de contactos al sustrato para evitar el efecto *latch-up* [23] en el transistor

A modo de ejemplo, en la Figura 3.21 se muestra un transistor MOSFET tipo n con 5 puertas, generado a partir de las diferentes opciones que presenta el kit de la tecnología.

Se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

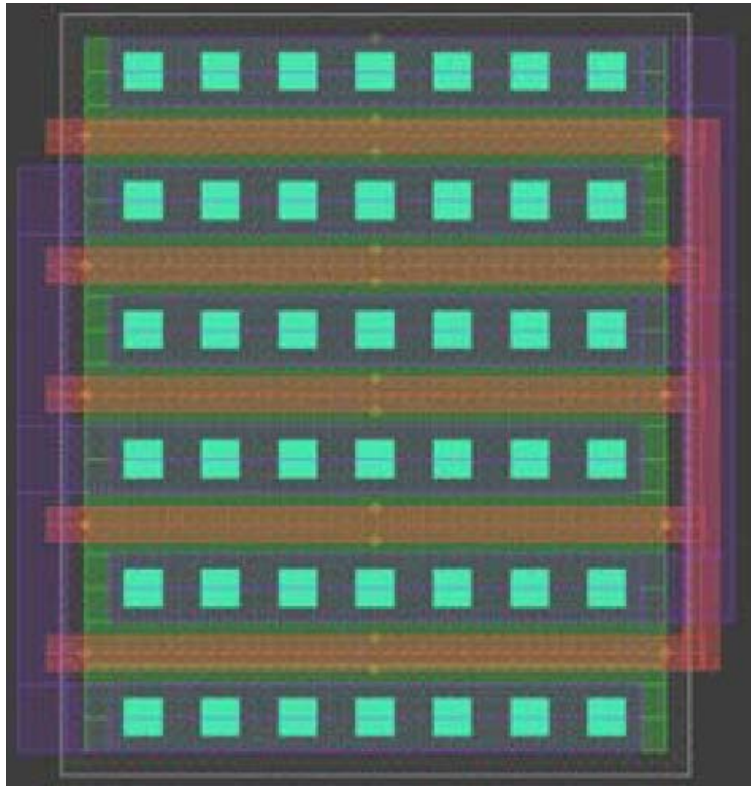


Figura 3.21 Ejemplo de transistor MOSFET.

## 3.6 HBTs de SiGe

### 3.6.1 Construcción

Los transistores bipolares de heteroestructura HBTs de SiGe son transistores npn bipolares en los que la base está formada por una capa muy estrecha ( $<50\text{nm}$ ) de  $\text{Si}_{1-x}\text{Ge}_x$  crecida de forma pseudomórfica. La concentración de Ge puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 nm. En la Figura 3.22 se muestra la estructura típica de un HBT de SiGe gradual.

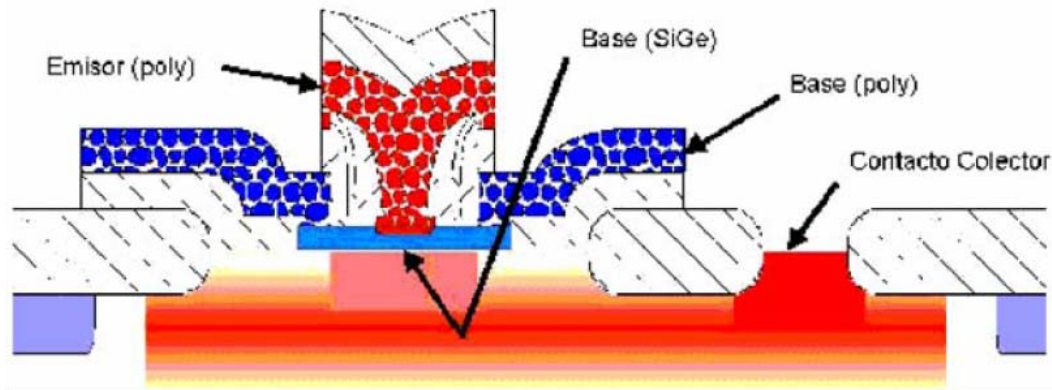


Figura 3.22 Estructura típica de un HBT de SiGe gradual.

### 3.6.2 Funcionamiento

El funcionamiento de los HBTs es exactamente igual al de los transistores bipolares de homounión (BJTs), con la salvedad de que sus prestaciones son muy superiores a las de éstos últimos.

Para ayudar a entender los beneficios de los HBT, se comparan en la Figura 3.23 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La corriente de colector, como se puede observar en la Figura 3.24, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base,  $I_n$ , menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos,  $I_p$ , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de deplexión de la unión emisor-base (que deberían ser pequeñas). Para entender el funcionamiento de los HBTs es necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

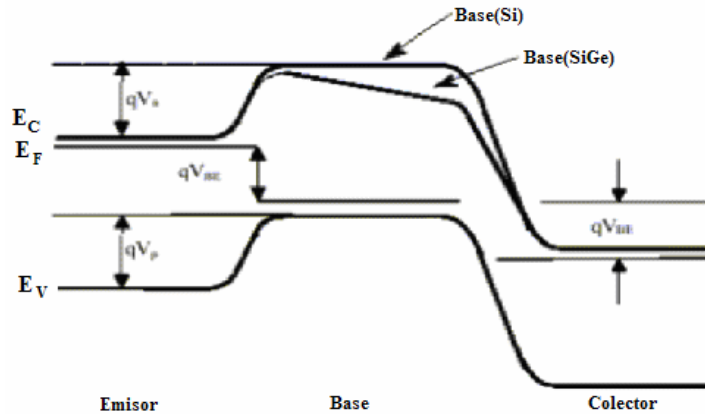


Figura 3.23 Diagrama de bandas de energía de un transistor bipolar de homounión npn-Si y un transistor bipolar de heterounión npn-Si/SiGe.

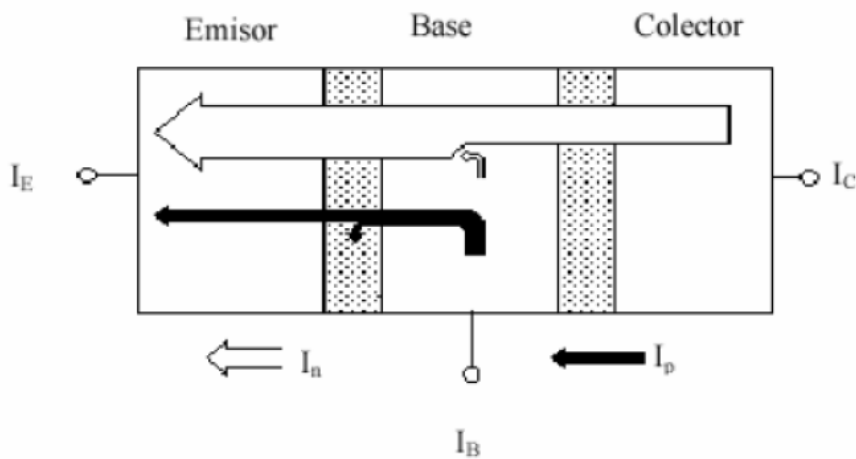


Figura 3.24 Esquema simplificado del flujo de corriente en un transistor de homounión npn-Si.

Si se desprecian las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los BJTs para comparar la magnitud de esas dos componentes principales de corriente.  $I_p$  e  $I_n$  son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es  $W_b$ , el ancho de emisor  $W_e$ , y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de Boltzmann ofrece las concentraciones de portadores minoritarios:

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left( e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (3.11)$$

$$J_p = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left( e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (3.12)$$

En estas ecuaciones ni es la concentración intrínseca para los semiconductores de base y emisor, para la homounión BJT.  $V_{BE}$  es la tensión aplicada a la unión B-E. La concentración de dopaje en el emisor de Si tipo n es  $N_e$ , y en la base de Si tipo p es  $P_b$ .  $D_n$  y  $D_p$  son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones (3.11) y (3.12) se obtiene la ganancia en corriente del transistor:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (3.13)$$

La ecuación (3.13) representa una cota superior del valor de  $\beta$ . Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces  $\beta_{max}$  vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si. Estos valores corresponderían a los valores de  $\beta$  para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una  $\beta$  adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la Figura 3.23 se muestra el diagrama de bandas correspondiente a un HBT. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde  $E_{G0}$  cerca del emisor hasta  $E_{G0} - \Delta E_G$  cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de  $\Delta E_G/W_b$ , el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base ( $\tau_{BC}$ ) y un aumento de la ganancia en corriente ( $\beta$ ). Así pues, para los HBTs la ganancia en corriente tendrá un término adicional que refleja este fenómeno:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\frac{\Delta E_G}{K \cdot T}} \quad (3.14)$$

Debido a que es posible obtener decenas de mV para  $\Delta E_G$  variando la concentración de Ge, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.



La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados [24] y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una  $\beta$  adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se ve incrementado y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias [24].

Por otro lado, para conseguir valores de corriente elevados en los BJT, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como se ha mencionado, esto entra en conflicto con la exigencia de tener valores de  $\tau_{BCs}$  bajos para poder operar a frecuencias elevadas. El uso de HBTs en vez de BJT ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de  $10^{20} \text{ cm}^{-3}$ .

Desde el punto de vista circuital, la elevada ganancia que presentan los HBTs trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los HBTs de SiGe es mayor que para los BJT de Si, con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Por último, debido a la elevada ganancia que presentan los HBTs de SiGe a frecuencias por encima de 2 GHz, es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y LNAs.

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presenta, lo cual hace que se complique sobre todo el diseño de amplificadores de potencia. Este problema no es específico del SiGe, sino de todos los procesos bipolares basados en Si, donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector [24]. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

### 3.6.3 Modelo de baja frecuencia

En la Figura 3.25 se muestra el modelo en baja frecuencia de un transistor bipolar NPN cuando el transistor está operando en configuración de emisor-común (EC).

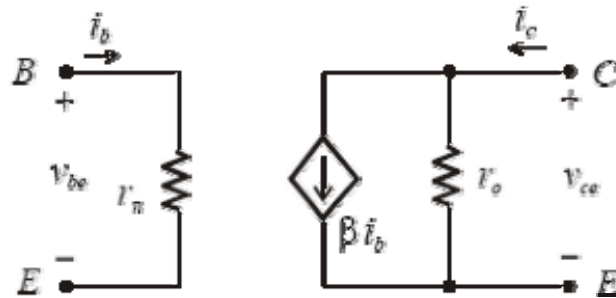


Figura 3.25 Modelo híbrido en  $\pi$  en baja frecuencia.

En la figura anterior:

$$v_{be} = r_{\pi} \cdot i_b \quad (3.15)$$

$$i_c = \beta \cdot i_b + \frac{1}{r_o} \cdot v_{ce} \quad (3.16)$$

### 3.6.4 Modelo de alta frecuencia

Hay dos factores que definen el comportamiento en alta frecuencia de los transistores bipolares: la dependencia de la  $\beta$  con la frecuencia y las capacidades internas. En la Figura 3.26.a se observa esta dependencia y se definen dos frecuencias:  $f\beta$ , frecuencia de corte superior que es la frecuencia a la cual la  $\beta$  a frecuencias medias especificada por  $\beta_0$  decae en  $1/\sqrt{2} = 0.707$ , y  $f_T$ , frecuencia de transición definida como la frecuencia a la cual la  $\beta$  vale 1. El fabricante proporciona el valor de  $f_T$  en función de la corriente de colector (Figura 3.26.b), siendo éste un parámetro importante que fija el ancho de banda del transistor.

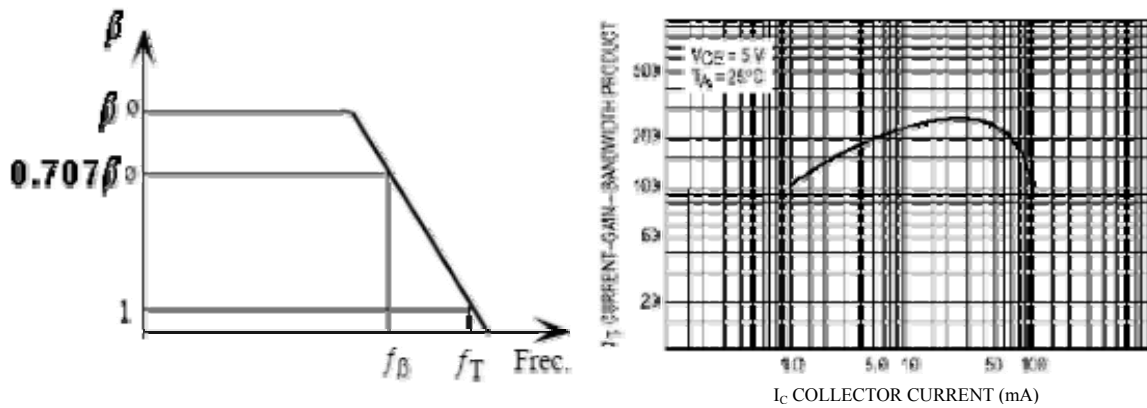


Figura 3.26 (a) Variación de la  $\beta$  de un transistor bipolar con la frecuencia. (b) Variación de  $f_T$  con  $I_C$ .

En la Figura 3.27 se muestra el modelo simplificado a alta frecuencia de un transistor bipolar. Está constituido por dos capacidades dominantes:  $C_{b'c}$ , y  $C_{b'e}$ , las cuales varían con la tensión inversa.  $C_{b'c}$  se obtiene gráficamente calculando la  $V_{b'c}$  del transistor (tensión inversa de la unión colector-base).  $C_{b'e}$  tiene asociada dos capacidades, la de difusión del emisor y la de unión emisor-base. Al ser la primera mucho mayor que la segunda, ésta capacidad se puede estimar como

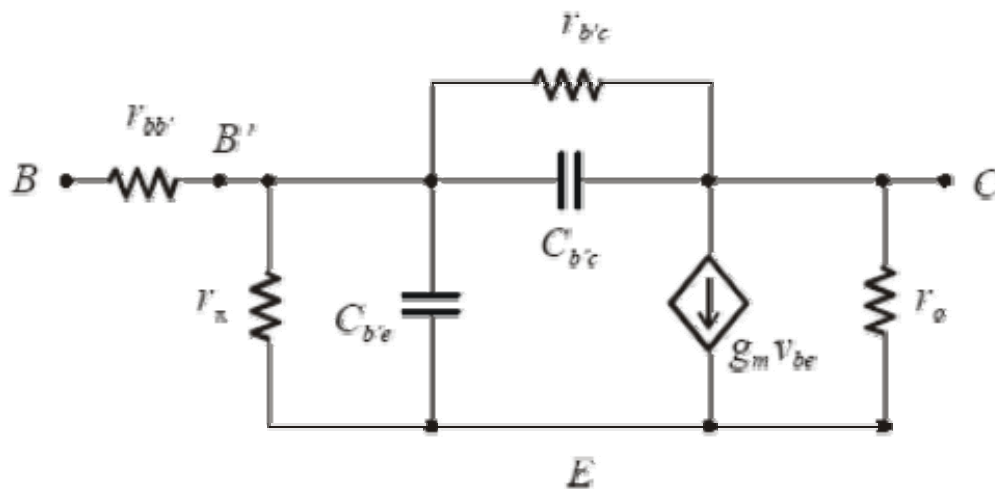


Figura 3.27 Modelo en alta frecuencia de un transistor bipolar.

$$C_{b'e} = \frac{I_C}{2\pi \cdot f_T \cdot V_T} - C_{b'c} \quad (3.17)$$

siendo  $V_T$  el potencial térmico, que vale 25 mV a 25 °C. La relación entre  $f_T$  y  $f_\beta$  y esas capacidades es la siguiente

$$f_T = f_\beta \cdot \beta' \quad (3.18)$$

siendo

$$f_o \cong \frac{1}{2\pi \cdot (rbb' + r\pi)(Cb'e + Cb'c)} \quad (3.19)$$

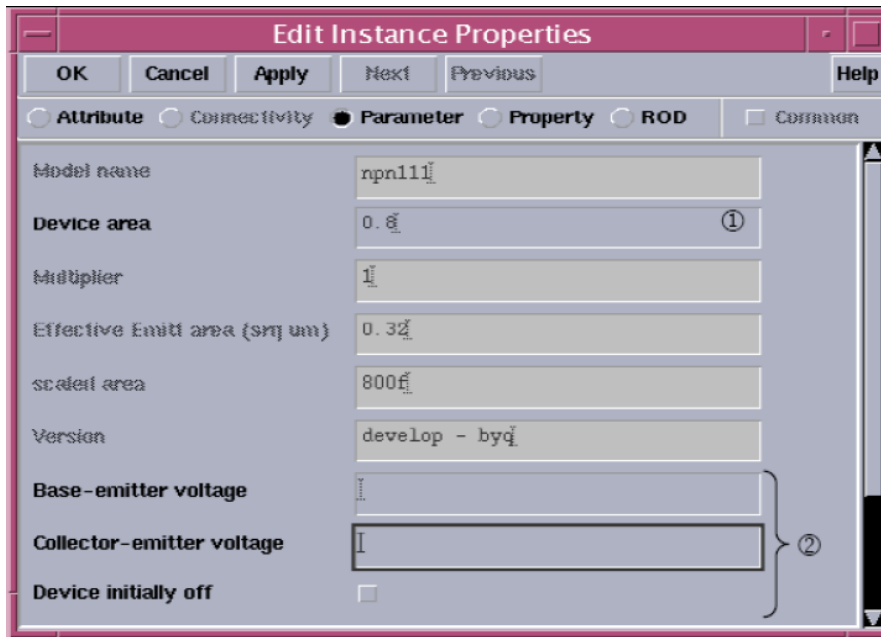
y

$$\beta = \frac{\beta'}{1 + j \frac{f}{f_o}} \quad (3.20)$$

### 3.6.5 HBTs en la Tecnología S35D4 de AMS

Los HBTs de SiGe utilizados para la realización de este diseño son los suministrados en el proceso S35D4 (0.35  $\mu\text{m}$  HBT BiCMOS) de la empresa AMS. Su producción se basa en un proceso de bajo coste de fabricación de BJTs. El material de partida es una oblea de silicio tipo p poco dopada de resistividad  $19\Omega\text{cm}$ . El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (CVD) [25] la cual se separa mediante un proceso de recesión LOCOS [25]. El siguiente paso es el crecimiento selectivo de la base de SiGe mediante CVD. La concentración de Germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de Base y Emisor. Finalmente el proceso termina con las metalizaciones de los contactos de Emisor, Base y Colector.

En la Figura 3.28 se muestra el cuadro de diálogo de los transistores disponible en el kit de la tecnología, así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

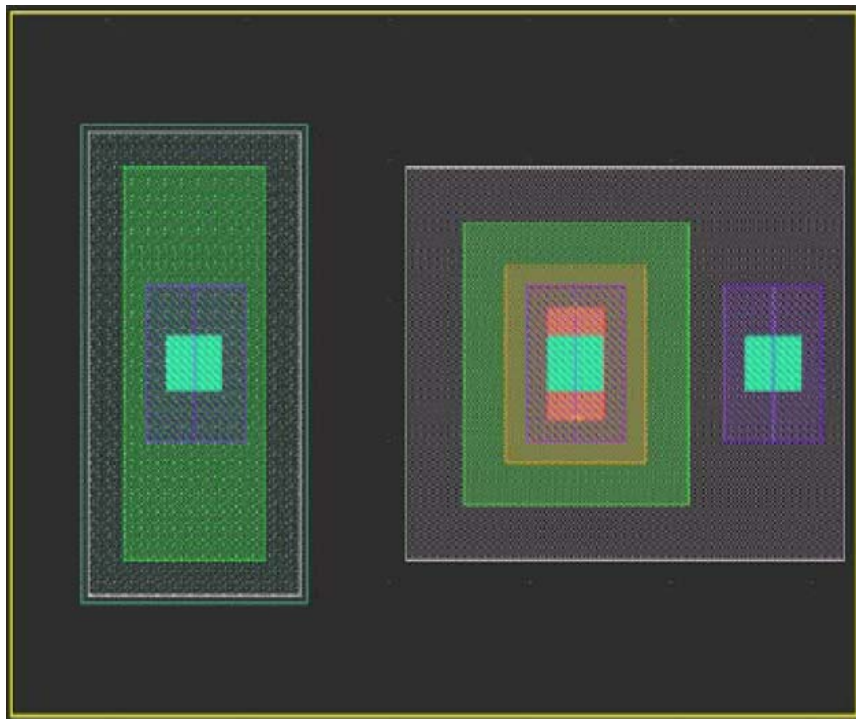


**Figura 3.28** Parámetros ajustables de los transistores.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la Figura 3.28.

- 1. Selección del área del transistor.
- 2. Selección de los ajustes para simulación.

En la Figura 3.29 se muestra el layout de un transistor HBT. Pueden observarse claramente las conexiones de Emisor, Base y Colector del mismo de izquierda a derecha.



**Figura 3.29** Layout de un Transistor HBT.

## 3.7 Resumen

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología S35D4 de AMS para la implementación de sistemas integrados para radiofrecuencia.

Una vez completado el estudio teórico de los amplificadores distribuidos y conocida la tecnología a emplear, en el próximo capítulo se comenzará desarrollar el diseño del amplificador distribuido a nivel de esquemático.



# Capítulo 4

## Diseño del Amplificador Distribuido a nivel de esquemático

### 4.1 Introducción

En el capítulo anterior se estudió las características principales de la tecnología empleada. En la presente sección se mostrará el proceso de diseño de un amplificador distribuido. Para ello, partiendo del esquemático de la Figura 4.1, se empezará con el cálculo de todos los componentes del circuito. Una vez se hayan obtenido todos los valores necesarios para el diseño, se procederá a la simulación del amplificador. Posteriormente se sustituirán las bobinas ideales por bobinas reales (circuito equivalente) y se harán las mismas simulaciones que en los apartados anteriores.

### 4.2 Descripción del diseño

En la Figura 4.1 se puede apreciar el esquemático del amplificador distribuido en cuestión. Para ello debemos tener presente en donde se encuentra la línea de drenador (cuadro rojo) y la línea de puerta (cuadro azul). Como se ha comentado en capítulos anteriores, la función de cada línea es diferente, siendo la línea de puerta la línea de entrada del circuito y la línea de drenador la de salida.

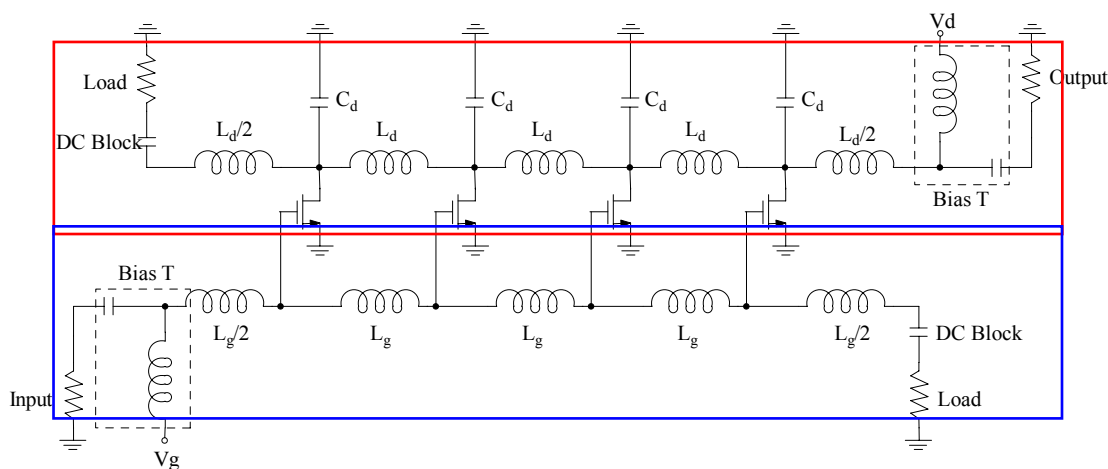


Figura 4. 1 Amplificador distribuido de 4 etapas.



Se puede apreciar que la línea de puerta carece del elemento capacitivo, para ello se aprovecha la capacidad existente entre la puerta y el surtidor del transistor.

### 4.3 Especificaciones del diseño

Cualquier dispositivo electrónico que se vaya a diseñar tiene que tener de antemano unas especificaciones iniciales, las cuales sirven como referencia al inicio del diseño. Posteriormente estas especificaciones podrán variar en menor o mayor medida. Este diseño se ha planteado con las especificaciones iniciales siguientes: amplificador distribuido de 4 etapas con una ganancia de 10 dB y un ancho de banda de unos 10 GHz. Aunque inicialmente se inicia el diseño con estas características, finalmente y debido a las simulaciones estas se verán modificadas en los resultados finales. En la Tabla 4.1 se refleja las especificaciones así como todos los datos necesarios para el cálculo de los componentes del diseño.

**Tabla 4. 1 Datos del amplificador distribuido.**

Parámetro	Valor
Número de etapas	4
Frecuencia de corte	10 GHz
Ganancia	10 dB
Tensión de drenador	3.3V
Tensión de puerta	1 V
$Z_0$	50 $\Omega$
$C_{ox}$ (dado por la tecnología)	4.545 e <sup>-3</sup> F
$V_t$ (dado por la tecnología)	0.48 V
$K_n$ (dado por la tecnología)	175 e <sup>-6</sup>

### 4.4 Cálculo de los componentes del diseño

En el capítulo 2 se ha explicado genéricamente como es el cálculo de los componentes necesarios para diseñar un amplificador distribuido. En esta sección particularizaremos lo explicado anteriormente con este diseño. Para ello se ha utilizado los datos y especificaciones mostrados en la Tabla 4.1.

Inicialmente se calculan los elementos inductivos de las dos líneas de transmisión (drenador y puerta). Para ello se han utilizado las expresiones 2.10 y 2.11. La siguiente expresión es la resultante de las dos expresiones anteriores

$$Ld = \frac{Z_0}{\pi \cdot f_c} \quad (4.1)$$

sustituyendo valores queda

$$Ld = \frac{50}{\pi \cdot 10e^9} = 1.59e^{-9}$$

Aunque teóricamente se obtiene un valor de 1.59 nH, este no será el valor final que se tomará para el diseño. Para el ajuste de este valor se ha utilizado un simulador comercial específico (Momentum ©). Este nos permite predecir la respuesta de los elementos inductivos en un sustrato de silicio con pérdidas. En la simulación se comprobó que una bobina de 1.465nH era el valor que más se ajustaba a las características del diseño. Este elemento inductivo presenta una Q de 9.28, un valor bastante bueno considerando que las bobinas integradas presentan una baja Q.

Tras realizar varios estudios comprobamos que la técnica de *staggering* no mejoraba las prestaciones de nuestro diseño. Por esta razón, tanto la línea de puerta como la de drenador presentarán la misma  $Z_0$  y  $f_c$  con lo que la capacidad y la inductancia de ambas líneas tendrán el mismo valor. En un MOSFET la  $C_{db}$  normalmente es menor que la  $C_{gs}$ , por lo que se ha añadido la capacidad  $C_d$  en derivación al drenador para hacer que las capacidades sean iguales. Las expresiones implicadas en el cálculo de las capacidades e inductancias de las líneas son pues las siguientes:

$$Lg = Ld = L \quad (4.2)$$

$$C_{gs} = C_{db} + C_d = C \quad (4.3)$$

Sólo quedaría por calcular las bobinas de entrada y terminación de las líneas de transmisión. Para ello aplicaremos la expresión (4.4)

$$\frac{Ld}{2} = \frac{Lg}{2} \quad (4.4)$$

sustituyendo valores se obtiene un resultado de  $7,33e^{-10}$ nH. Este valor es muy pequeño para una bobina integrada, por lo que utilizando de nuevo el Momentum© se obtuvo una bobina con unas características adecuadas a nuestro diseño. El valor obtenido fue de 1.15nH. Este valor era uno de los que más próximos estaba del valor requerido, además con este valor conseguíamos una Q de 12.3. Aunque el valor de esta bobina no coincide con la mitad del valor de  $L_d$ , podemos asegurar que a nivel de *layout* (capítulo 5) esta bobina casa perfectamente con los otros componentes del diseño. Debemos tener en cuenta que en los *layouts*, un elemento no modelado podría causar un mal funcionamiento en la totalidad del circuito.

Una vez calculados todos los elementos inductivos pasamos a calcular los elementos capacitivos, para ello utilizaremos la siguiente expresión

$$C = \frac{Ld}{Z_0^2} \quad (4.5)$$

resultándonos una C de 586 fF.

Los únicos componentes que nos quedan por calcular son los transistores. Para ello calculamos primero la transconductancia mediante la siguiente expresión

$$gm = \frac{2 \cdot A}{N} \sqrt{\frac{C_d}{L_d}} \Rightarrow gm = \frac{2 \cdot A}{N \cdot Z_0} \quad (4.6)$$

y a continuación pasamos a calcular el tamaño de los transistores utilizando las siguientes expresiones

$$L = \sqrt{\frac{(C_g \cdot kn \cdot (V_g - V_t))}{C_{ox} \cdot gm}} \quad (4.7)$$

$$W \cdot L = \frac{C_g}{C_{ox}} \Rightarrow W = \frac{C_g}{C_{ox} \cdot L} \quad (4.8)$$

En la Tabla 4.2 se muestra los valores de todos los componentes necesarios para la implementación del circuito.

**Tabla 4. 2 Valores de los componentes**

Componente	Valor
$L_g=L_d=L$	1.465 nH
$L_g/2=L_d/2$	1.15 nH
$C_d=C$	586 fF
L (longitud del transistor)	0.425 $\mu\text{m}$
W (anchura del transistor)	4,42e-17

#### 4.4.1 Cálculo de las semisecciones derivadas (*derived half sections*)

El cálculo de estos componentes se ha explicado en la sección 2.5.1. Para el cálculo de estas estructuras hemos usado un factor de derivación de  $m=0.6$ . En la Tabla 4.3 exponemos los valores calculados.

**Tabla 4. 3 Valores de las *derived half section***

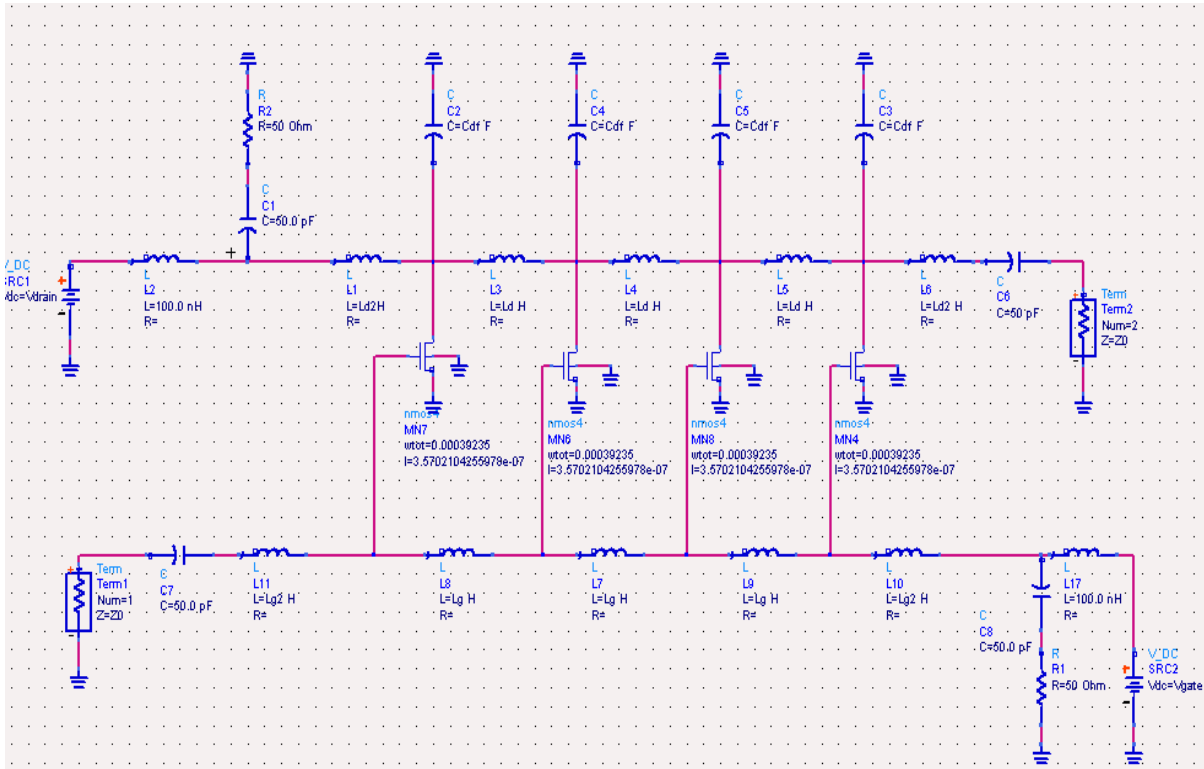
Componente	Valor
$L_s=m \cdot L$	879 pH
$C_s=m \cdot C$	351.6 fF
$L_{s2}=[(1-(m \cdot m))/m] \cdot L$	1.56 nH

#### 4.5 Realización y simulación del esquemático

Para la implementación de este diseño se ha utilizado el ADS (*Advanced Design System*). Para ello, tomando como guía la estructura de la Figura 4.1 se ha realizado los diferentes esquemáticos. En un primer momento se implementará un esquemático sin las semisecciones derivadas para luego posteriormente implementar el mismo esquemático pero esta vez con la introducción de estas estructuras; a posteriori compararemos ambos resultados. Los valores de los componentes tanto del primer diseño como del segundo son los mostrados en las tablas 4.2 y 4.3.

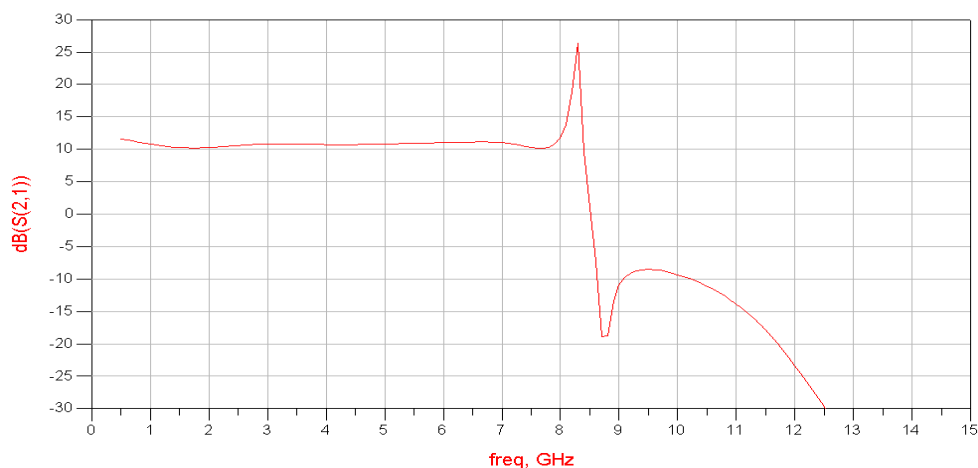
### 4.5.1 Simulación esquemático-1 (sin semisecciones derivadas)

El esquemático sobre el que vamos a realizar las simulaciones es el que se muestra en la Figura 4.2. En este esquemático se ha utilizado bobinas ideales para la simulación.



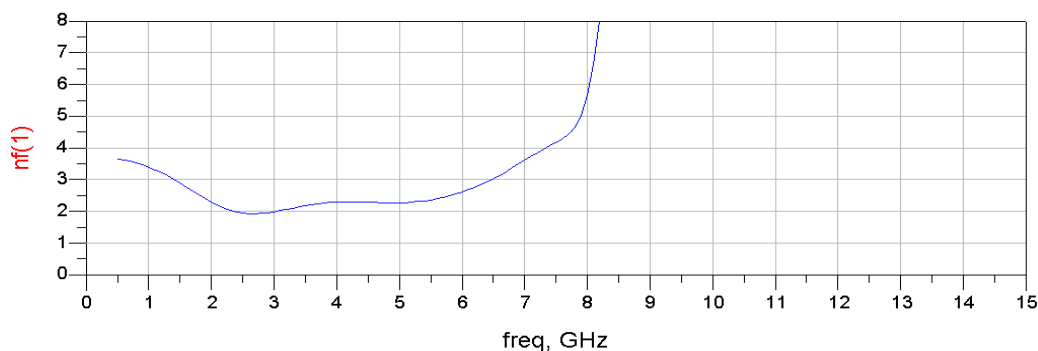
**Figura 4.2 Amplificador distribuido (esquemático 1).**

La primera simulación que se ha hecho es la del parámetro  $S_{21}$  (ver Figura 4.3) en donde se puede apreciar que tenemos una ganancia casi constante hasta los 8 GHz, es ahí en donde aparece un pico de ganancia para luego experimentar una bajada y quedarse a 0 dB en 8.6 GHz. Se puede apreciar en la Figura 4.3 que tenemos una planitud o *flatness* bastante buena hasta los 8 GHz. El *flatness* es un parámetro muy a tener en cuenta en este tipo de diseños ya que en la transmisión de datos a alta velocidad es fundamental que la ganancia sea de lo más plana posible para que no existan errores de transmisión.



**Figura 4.3 Parámetro  $S_{21}$  (esquemático 1).**

Otro parámetro a tener en cuenta en las simulaciones de este tipo de dispositivos es la figura de ruido ya que para la transmisión de datos a alta frecuencia necesitamos que este parámetro sea lo más bajo posible. En la Figura 4.4 se muestra la figura de ruido simulada.



**Figura 4.4 Figura de ruido (*noise figure*) (esquemático 1).**

En la Figura 4.4 Se puede apreciar que la figura de ruido conseguida está comprendida entre 2 y 3 dB en la banda de 1.5 a 6.5 GHz. A continuación esta se va incrementando hasta los 8 GHz hasta los 6 dB. A la luz de los resultados se puede considerar que se ha conseguido una figura de ruido aceptable para este diseño.

### 4.5.2 Simulación esquemático-2 (con semisecciones derivadas)

A continuación realizaremos las mismas simulaciones que en el apartado anterior para el esquemático de la Figura 4.5 en el que se ha introducido las semisecciones derivadas.

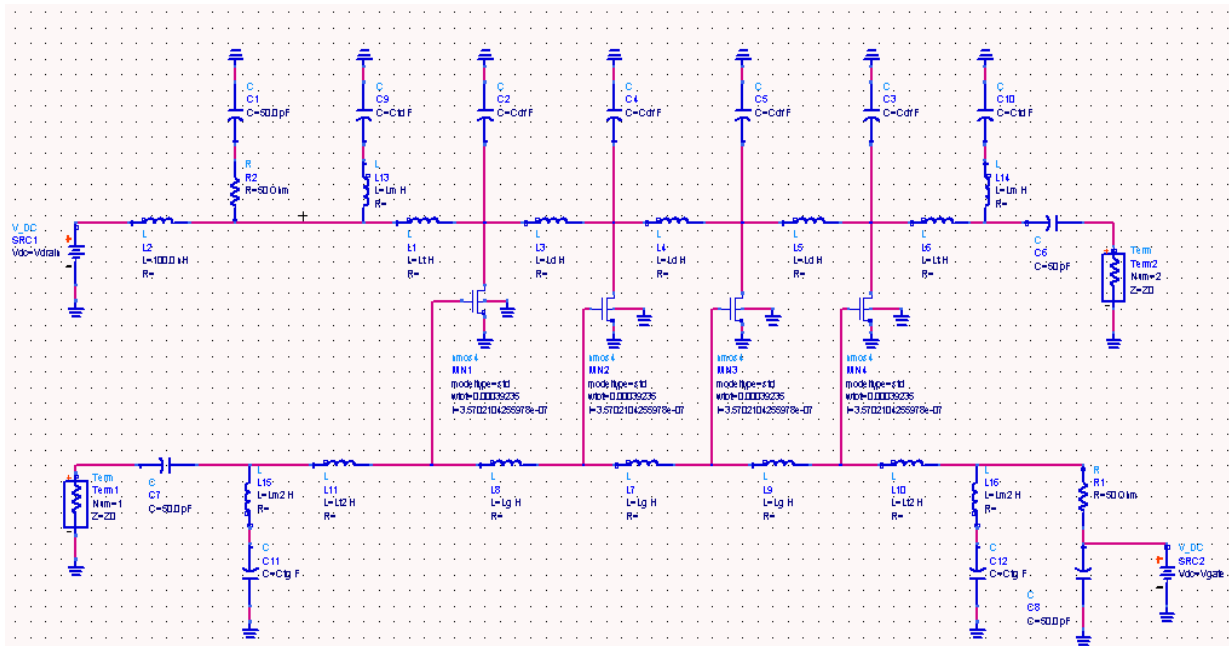


Figura 4.5 Amplificador distribuido (esquemático 2).

En el esquemático se pueden observar las semisecciones derivadas tanto a la entrada y salida de las líneas de transmisión. A continuación en la Figura 4.6 se muestra la simulación del parámetro  $S_{21}$ .

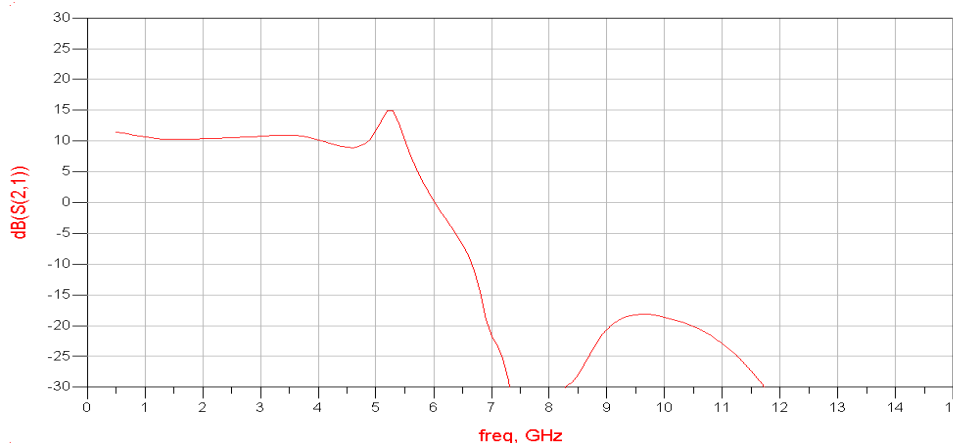
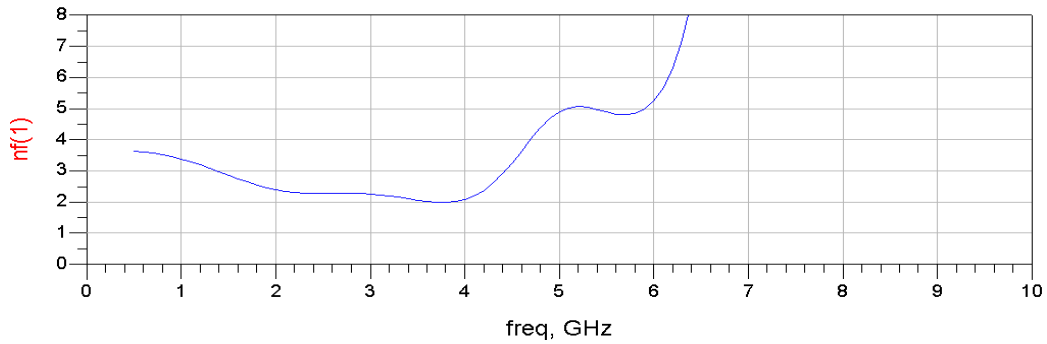


Figura 4.6 Parámetro  $S_{21}$  (esquemático 2).

Se puede apreciar que la respuesta del circuito es más estable consiguiéndose una planitud (*flatness*) de mejor calidad ya que el pico que aparece a partir de los 5 GHz no es tan pronunciado como el mostrado en la simulación anterior. También se ha visto decrementado el ancho de banda de 8.5 a 6 GHz.

En la Figura 4.7 se muestra la figura de ruido que se consiguió con la introducción de las semisecciones derivadas.

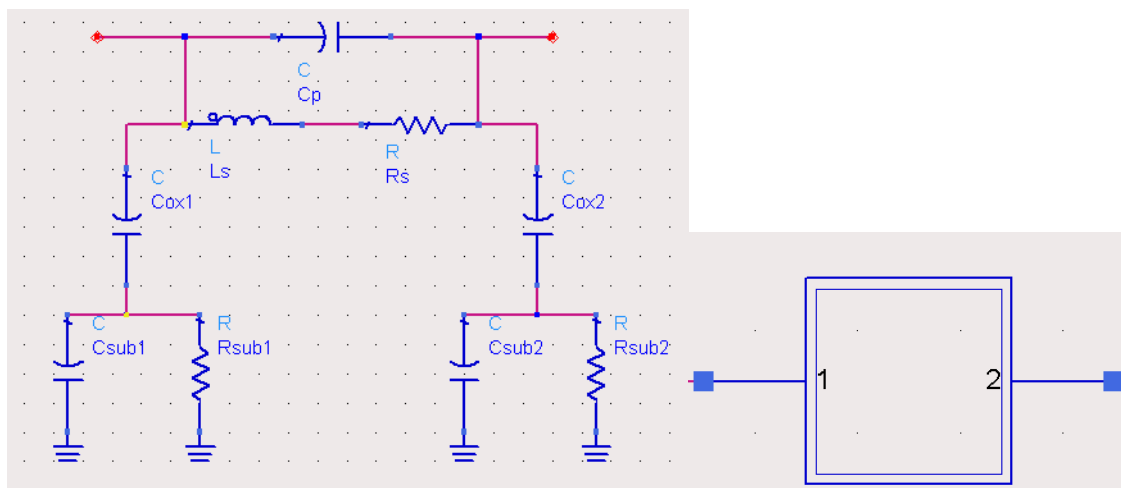


**Figura 4.7** Figura de ruido (*noise figure*) (esquemático 2).

Vemos que para este diseño la figura de ruido se ha visto degradada por lo que es un punto a tener en cuenta en la decisión final del diseño. Vemos que a los 6 GHz tenemos una figura de ruido de unos 5 dB, algo mayor que en el diseño anterior.

### 4.5.3 Simulación esquemático final (bobinas reales)

Una vez simulados los dos esquemáticos se ha visto que al insertarle las semisecciones derivadas, tanto la figura de ruido como la ganancia del circuito se han visto degradadas. Por esta razón, se ha optado por el primer diseño. A continuación sustituiremos en el esquemático 1 (Fig 4.2) las bobinas ideales por su equivalente real. En la Figura 4.8a se muestra el circuito equivalente de las bobinas utilizadas, en donde se supone que  $C_{ox1}$  y  $C_{ox2}$  así como  $R_{sub1}$  y  $R_{sub2}$  y  $C_{sub1}$  y  $C_{sub2}$  son iguales. En la Figura 4.8b se muestra el símbolo resultante de la bobina.



**Figura 4.8a** Circuito equivalente de la bobina, **4.8b** símbolo de la bobina real

Para la bobina de valor 1.15 nH tenemos los siguientes valores:



**Tabla 4.4 Valores bobina 1.15 nH**

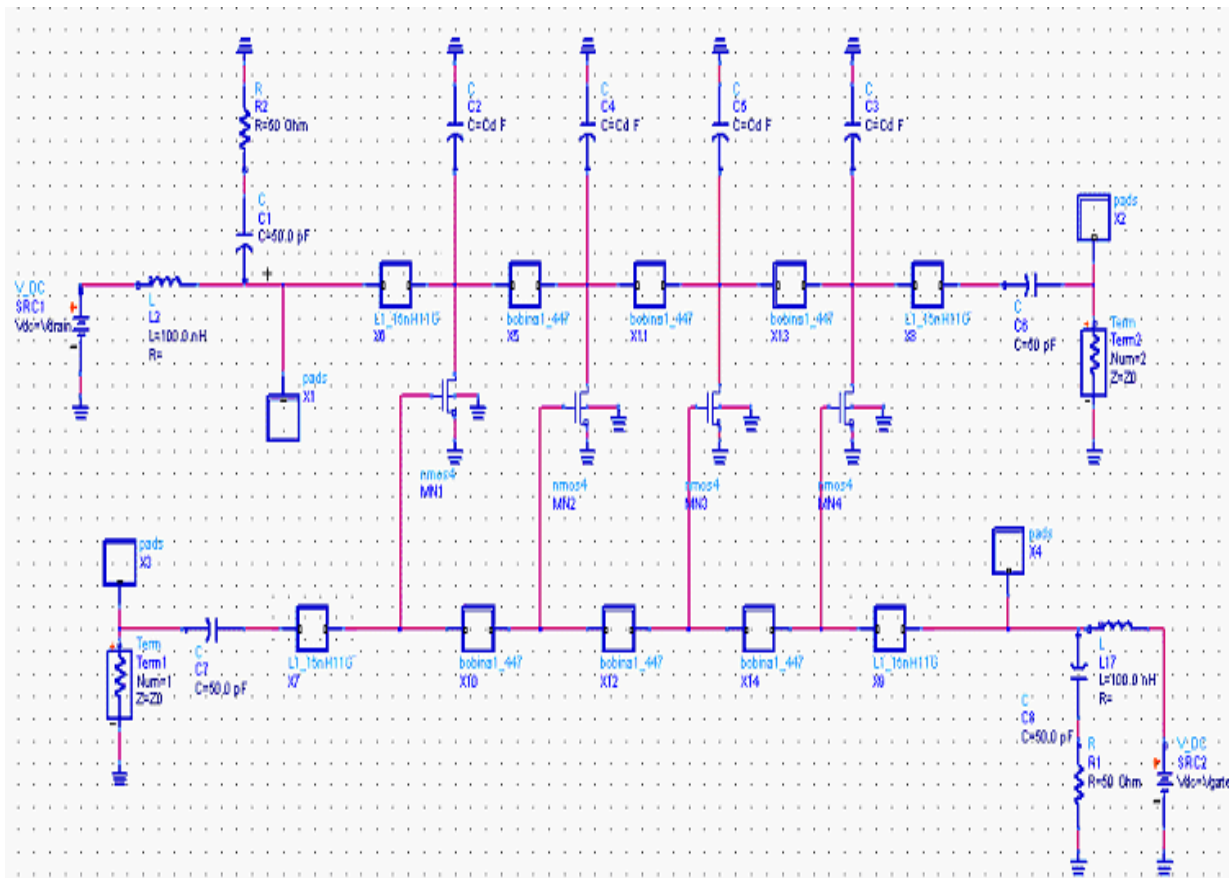
Ls	Rs	Cp	Cox	Csub	Rsub
9.48 e-10 H	1.7 ohm	2.22e-14 F	6.14 e-14 F	2.06e-14 F	883 ohm

Mientras que para la bobina de valor 1.447 nH los valores a sustituir son:

**Tabla 4.5 Valores bobina 1.447 nH**

Ls	Rs	Cp	Cox	Csub	Rsub
9.48 e-10 H	1.7 ohm	2.22e-14 F	6.14 e-14 F	2.06e-14 F	883 ohm

Una vez sustituidas las bobinas ideales por sus correspondientes reales y añadidos los pads el siguiente paso es simular el circuito. El circuito resultante es el mostrado en la Figura 4.9



**Figura 4.9 Amplificador distribuido con bobinas reales**

En la Figura 4.10a y 4.10b se puede ver el circuito equivalente de los pads así como el símbolo final.

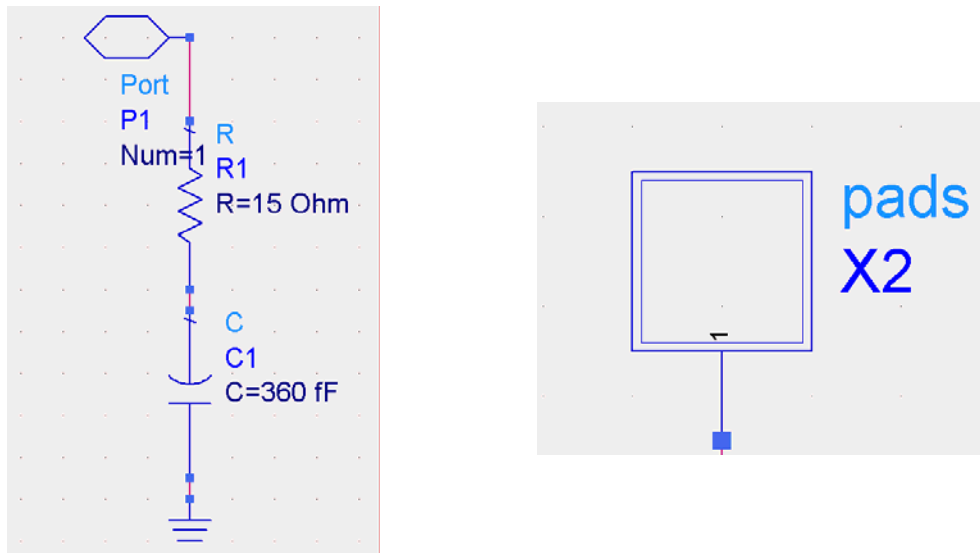


Figura 4.10a circuito equivalente del pad, 4.10b símbolo del pad.

Con objeto de estudiar el efecto de los *pads* de medida en el funcionamiento del circuito hemos hecho dos simulaciones diferentes, una con ellos y otra sin ellos. El haber introducido los *pads* hace que la respuesta del circuito sea muy diferente, ya que estos presentan unos parásitos que hay que tener en cuenta una vez se haya fabricado el circuito. En la Figura 4.11 se muestra la simulación del parámetro  $S_{21}$  del circuito sin los *pads*.

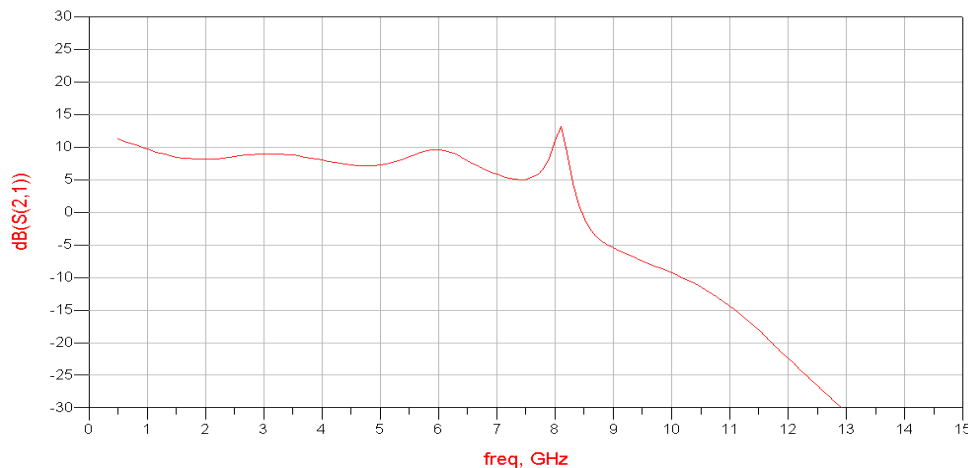
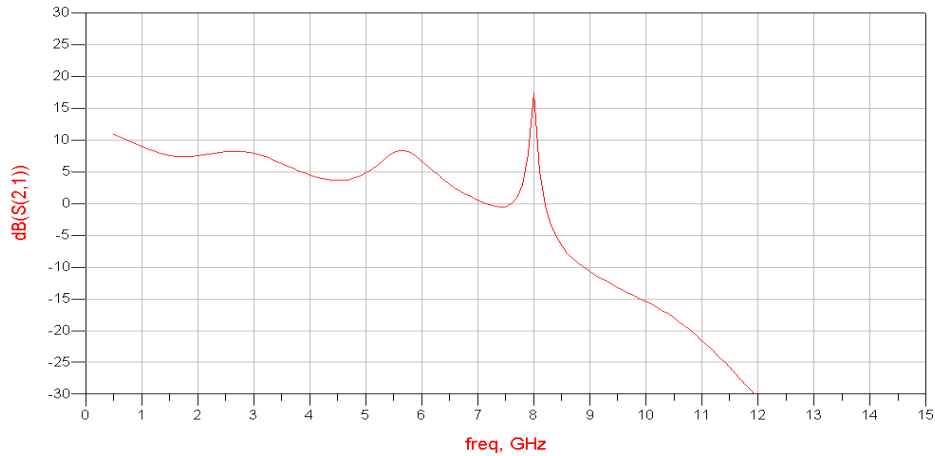


Figura 4.11 Parámetro  $S_{21}$  (esquemático sin *pads*).

Se puede apreciar en la gráfica que la ganancia se ha visto afectada por la introducción del circuito equivalente de las bobinas reales. Se observa que tenemos una ganancia por encima de 7 dB hasta los 6.5 GHz, es ahí en donde la ganancia experimenta una bajada para luego incrementarse hasta los 14 dB en 8.1 GHz. La planitud (*flatness*) se ha visto también afectada por la introducción de las bobinas reales. Nos encontramos el

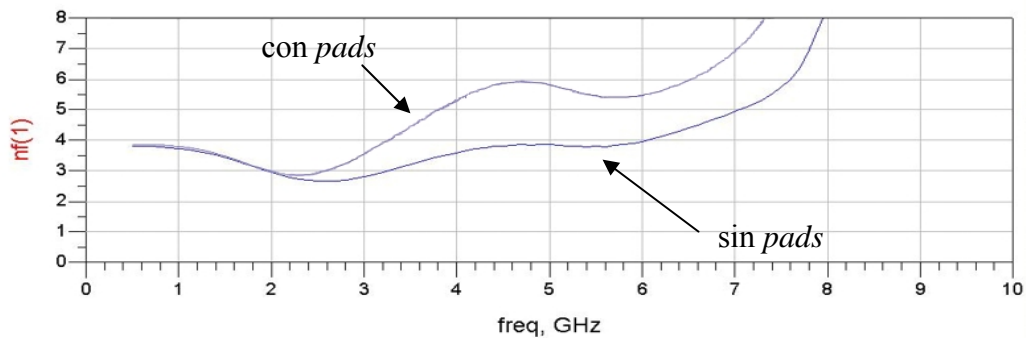
mejor valor de planitud entre 1 GHz y 6 GHz. A continuación se muestra el mismo parámetro ( $S_{21}$ ) pero esta vez introduciendo el circuito equivalente de los *pads*.



**Figura 4.12** Parámetro  $S_{21}$  (esquemático con *pads*).

El cambio que sufre la ganancia es bastante considerable viéndose incluso reducido su ancho de banda. A 6.2 GHz tenemos una ganancia de unos 5 dB, pero es aquí en donde la ganancia experimenta una bajada hasta situarse a 0 dB a 7.2 GHz. Posteriormente la ganancia denota un incremento hasta los 18 dB en 8 GHz. La planitud en este circuito ha sufrido una variación sustancial, ya que su valor no es tan bueno como en los resultados anteriores.

Si atendemos a la figura de ruido (*noise figure*) podemos realizar una comparación similar a la anterior. Así, en la Figura 4.13 se muestra la comparación de las figuras de ruido de los dos circuitos tratados en este apartado.



**Figura 4.13** Comparativa Figura de ruido.

En la Figura 4.13 se puede observar que al introducirle los *pads*, la figura de ruido se ve afectada. Se obtiene un valor menor a 6 dB entre 1 y 6.5 GHz en el circuito con *pads*. En cambio en el circuito sin *pads* el ancho de banda se ve incrementado en 1 GHz.

### 4.6 Conclusiones

En este capítulo se ha visto como se calcula todos los componentes de un amplificador distribuido. Además se ha hecho una comparación entre un amplificador distribuido sin semisecciones derivadas y otro con las semisecciones. Para finalizar se han reemplazado las bobinas ideales por su correspondiente real simulando el circuito resultante.

Los resultados obtenidos en este capítulo no son aún definitivos. A pesar de ello, estos resultados son de gran utilidad ya que sirven de punto de partida para la optimización posterior a nivel de *layout*.

En el capítulo siguiente se mostrará el diseño del circuito a nivel de *layout*. En dicho apartado se realizarán diversos diseños con la finalidad de ajustar su tamaño. También se mostrarán los *post-layout* del diseño.



# Capítulo 5

---

## Diseño del Amplificador Distribuido a nivel de *layout*

### 5.1 Introducción

El capítulo anterior se basó en el cálculo de los componentes de un amplificador distribuido a nivel de esquemático. Así, a lo largo del capítulo se dieron las pautas de diseño de las líneas de puerta y drenador así como de las semisecciones derivadas. Este trabajo se complementó con las simulaciones de los diferentes esquemáticos realizados.

En este capítulo pasaremos a mostrar el diseño a nivel de *layout*. Inicialmente se hizo 3 diseños con diversos tipos de bobinas y posteriormente esos diseños se rediseñaron con la finalidad de que ocuparan el mínimo espacio posible. A lo largo de este capítulo se mostrará cada uno de forma independientemente y finalmente se expondrá una comparativa y una tabla de resultados con su figura de mérito (FOM).

### 5.2 Proceso de diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc...

De la misma manera, hay que tener en cuenta una serie de reglas que nos permitan obtener el comportamiento óptimo del diseño realizado. Estas se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Aunque en nuestro diseño no se aplican todos los aspectos debido a la sencillez que este presenta, las reglas más importantes se enumeran a continuación:

- Simetría: Aunque en nuestro diseño no afecta en demasía este aspecto si es de vital importancia en otros circuitos integrados ya que presenta ventajas con respecto al rechazo al modo común.
- Técnica del centro-común: Esta técnica es empleada para que a dos elementos iguales le afecten del mismo modo las dispersiones que se puedan producir durante el proceso de fabricación.
- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común Vdd o tierra.
- El sustrato debe estar conectado a tierra.
- Se debe usar, en la medida de lo posible, las estructuras *dummies* en las resistencias. Con ellas lograremos la reducción de la tolerancia que presentan dichos dispositivos. En el diseño que se nos presenta no existen estructuras de este tipo ya que el amplificador distribuido que aquí se presenta carece de ellas.

Estos son aspectos imprescindibles en la generación de *layouts*, aunque debemos de tener en cuenta que cada circuito integrado tiene sus características específicas por lo que cada uno utilizará los adecuados a sus necesidades.

Como hemos comentado en anteriores capítulos el proceso de diseño de un circuito siempre empieza por su equivalente en esquemático, en el capítulo 4 se explico cual era el diseño de este amplificador distribuido y como se calculaban sus componentes, estos cálculos no son nunca concluyentes pero si muy orientativos. En dicho capítulo comentamos que para el cálculo de los componentes de los amplificadores teníamos que establecer una serie de condiciones (ganancia, frecuencia de corte, número de etapas, etc...) para calcular el valor de las bobinas, condensadores y los tamaños de los transistores. En el proceso de diseño a nivel de *layout* con la herramienta *Cadence* no seguimos ese patrón exactamente sino que volvimos a recalcular el tamaño de los transistores dejando los valores obtenidos de las bobinas y condensadores, para ello redujimos la ganancia y la

frecuencia de corte, de esta manera conseguimos que el pico que aparecía cerca de la frecuencia de corte desapareciera. Con estos ajustes y realizando el esquemático de nuevo en la herramienta *Cadence* seguimos con el proceso habitual en el proceso de diseño.

### 5.3 *Layouts* de los amplificadores distribuidos

En esta sección se mostrarán todos los diseños realizados. Empezaremos con los 3 diseños iniciales con sus correspondientes simulaciones para luego pasar a los 3 diseños restantes. Finalizaremos esta sección con una comparativa de las figuras de mérito de cada uno de ellos.

#### 5.3.1 Amplificador distribuido 1

El *layout* de este amplificador distribuido es el que se muestra en la Figura 5.1. En él se puede apreciar los diferentes componentes que lo forman. En los diseños de estas características las bobinas ocupan como mínimo el 80% del circuito por lo que la disposición de estas es muy importante en el tamaño final del diseño. El área ocupada por este diseño es de  $0.742 \times 1 \text{ mm}^2$ .

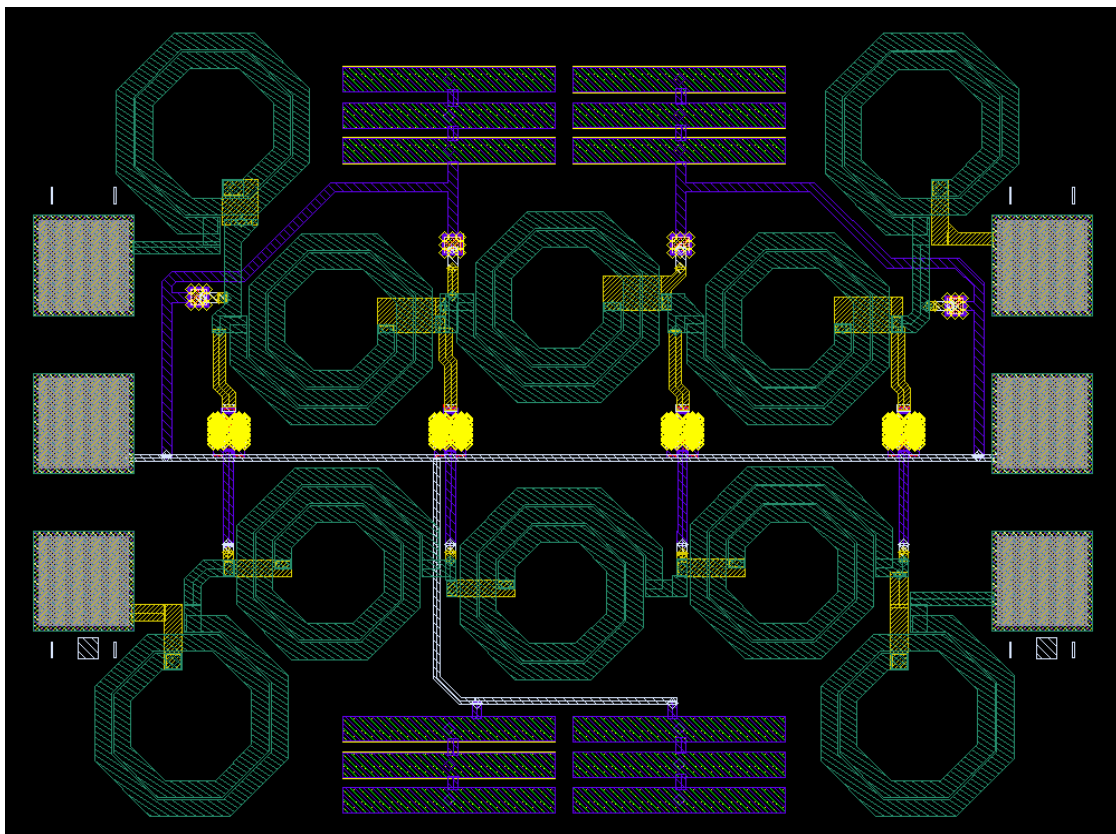
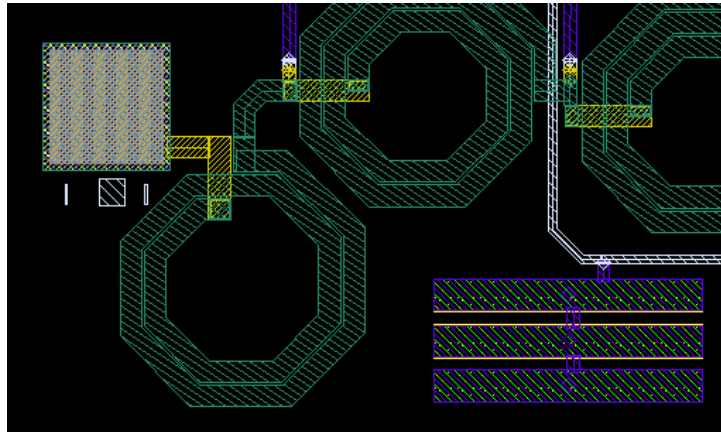


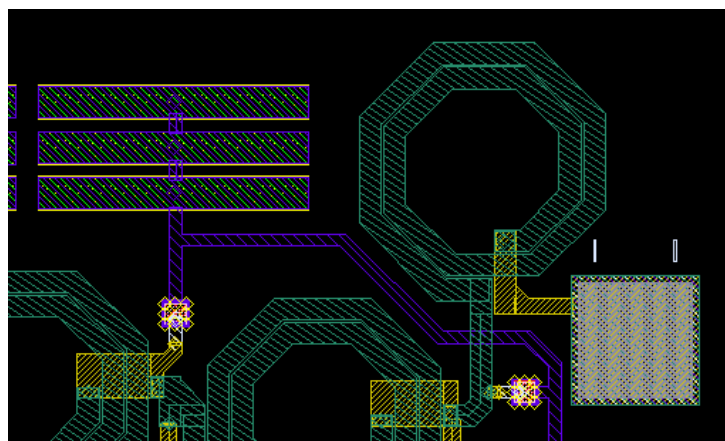
Figura 5. 1 *Layout* del amplificador distribuido 1.



La línea de drenador es la situada en la parte superior del circuito siendo la de puerta la inferior. Los elementos inductivos de inicio y de terminación, sitos en las esquinas del circuito son los que tienen valor de 1.15 nH, en cambio, las bobinas centrales son las de valor 1.465 nH. Además de los componentes propios del amplificador distribuido se pueden ver los pads de conexión con el exterior: la entrada del circuito se realiza por la línea de puerta (Figura 5.2) y la salida por la línea de drenador (Figura 5.3).

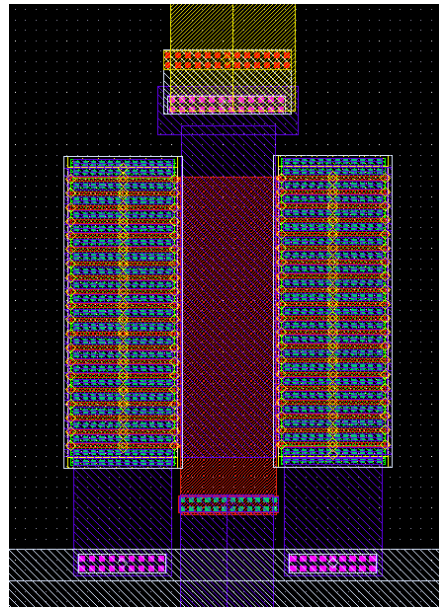


**Figura 5. 2 Entrada del circuito.**



**Figura 5. 3 Salida del circuito.**

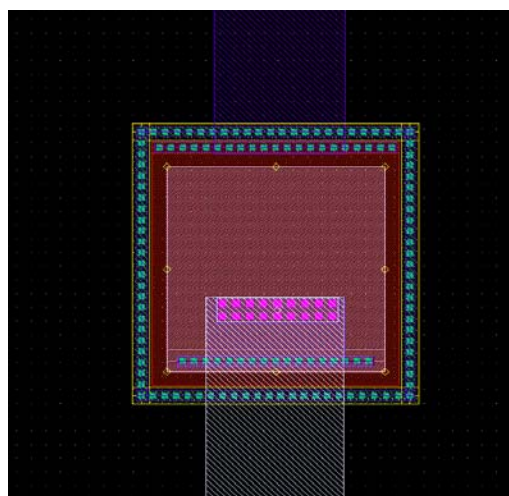
La diferencia principal entre los amplificadores de radiofrecuencia (distribuidos o no) y los amplificadores de baja frecuencia es que se requiere de un transistor diferente, debido a la frecuencia con las que se trabaja. Para ello la tecnología nos permite utilizar un transistor de RF, específico para este tipo de diseños. En la Figura 5.4 se puede apreciar la singularidad de su conexión.



**Figura 5. 4 Conexión del transistor.**

Debido al tamaño que necesitábamos para nuestro diseño, el transistor que nos ofrecía la tecnología no se ajustaba a las características que requeríamos. Para ello se optó por colocar dos transistores en paralelo para que realizaran la misma función que un solo transistor. Al unir los dos transistores en paralelo había que tener mucha atención con las conexiones de puerta y de drenador ya que estas podían llevar a la confusión. Finalmente el diseño por el que se optó fue respetado en todos los transistores del circuito.

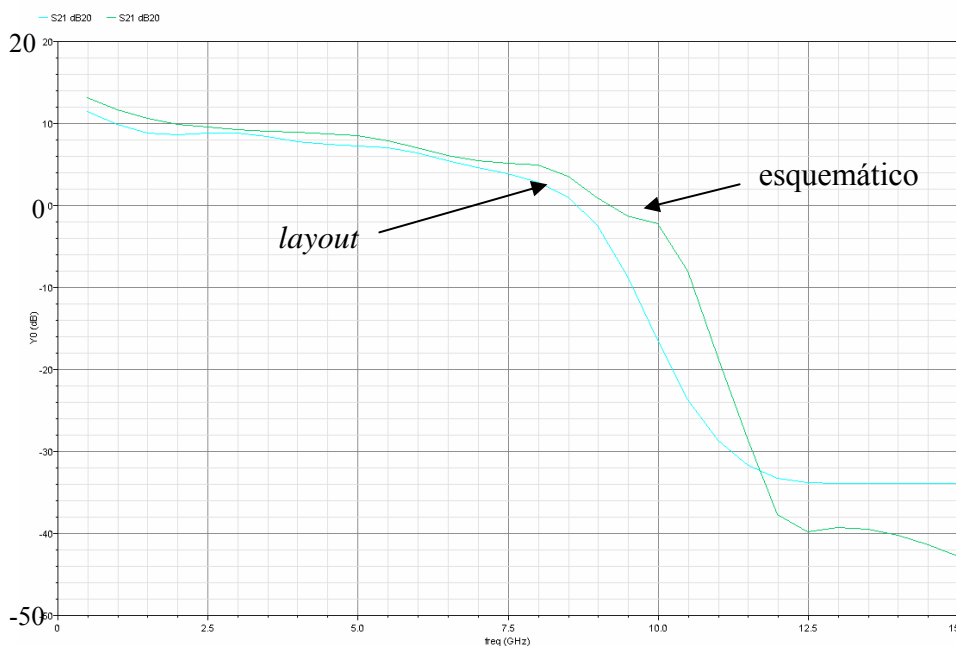
Como se ha comentado en capítulos anteriores, el circuito sólo posee 4 elementos capacitivos, ya que se aprovecha la capacidad existente entre la puerta y el surtidor del transistor. En la Figura 5.5 se muestra la conexión de estos elementos.



**Figura 5. 5 Conexión de los condensadores.**

Tanto en la parte inferior como en la superior se ha añadido contactos a tierra, con estos evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

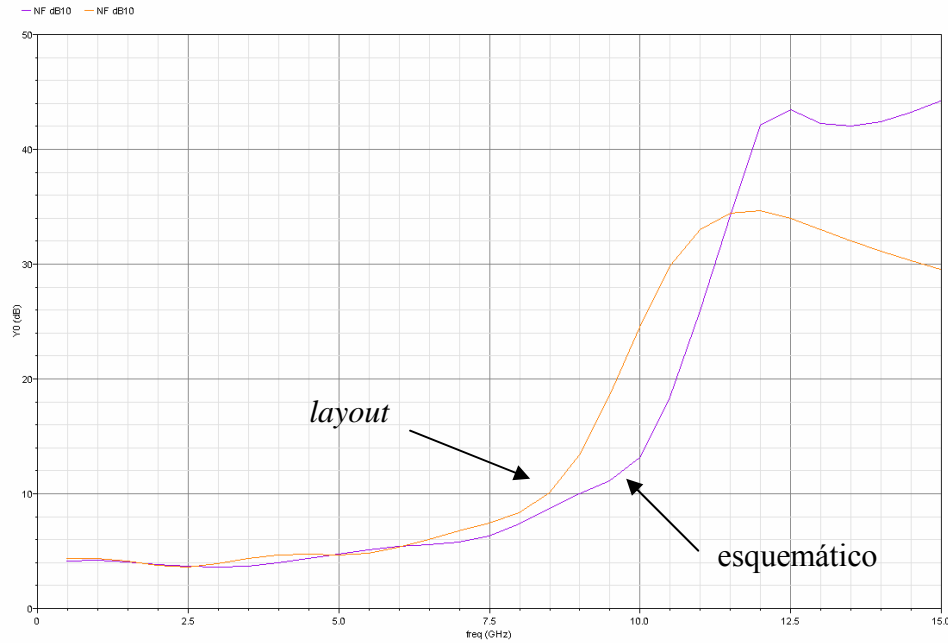
A continuación procederemos a la simulación del diseño. En la simulación mostraremos el parámetro  $S_{21}$  y la figura de ruido. En la Figura 5.6 se muestra el parámetro  $S_{21}$  de nuestro primer diseño tanto a nivel de esquemático como a nivel de *layout*.



**Figura 5. 6 Parámetro  $S_{21}$  del amplificador distribuido 1.**

En la figura se puede observar que las dos simulaciones presentan una respuesta muy parecida, presentando su mayor diferencia en la frecuencia para 0 dB, ya que difieren una de otra en 0.6 GHz. A nivel de *layout* se puede apreciar que hasta 6.7 GHz tenemos una ganancia entre 10 y 5 dB, es aquí en donde la ganancia experimenta su mayor bajada hasta alcanzar los 0 dB a 8.6 GHz. También se puede apreciar como el pico que nos aparecía en las simulaciones del esquemático desaparece. Entre 1 GHz y 5.7 GHz se consigue un *flatness* de 3, el cual se considera un valor bastante bueno.

En la Figura 5.7 se puede apreciar la figura de ruido (*noise figure*) tanto del esquemático como del *layout*.



**Figura 5. 7 Figura de ruido del amplificador distribuido 1.**

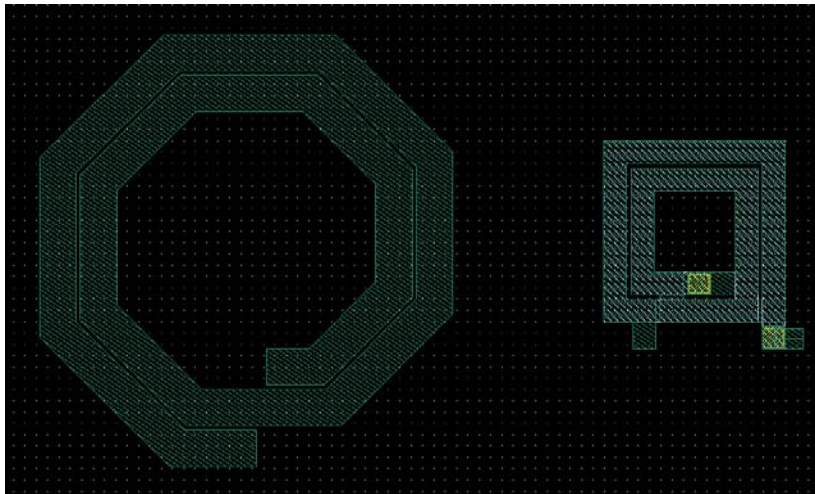
En esta simulación la figura de ruido del esquemático no difiere demasiado de la del *layout*. Hasta los 7.5 GHz estas van a la par, es a partir de aquí en donde la figura de ruido del *layout* experimenta un incremento mayor que la del esquemático. A nivel de *layout* la figura de ruido alcanza el valor de 10 dB a 8.5 GHz en cambio a nivel de esquemático este se encuentra a 9 GHz.

### 5.3.2 Amplificador distribuido 2

La finalidad de este diseño fue cambiar el tipo de bobinas estándar utilizadas en el anterior por otras estructuras inductivas para así reducir el área consumida. Por un lado se han utilizado inductores apilados como los que se vieron en el capítulo 3 apartado 3.4.4. Además, se han usado dos bobinas octogonales idénticas, una fabricada en el metal 2 y la otra en el metal 4, y se han empleado de manera independiente. El valor inductivo de ambas es el mismo, 1.15 nH, pero el factor de calidad de la que se construye sobre metal 2 es más bajo que la otra, ya que el metal 2 tiene una conductividad más baja que el 4 y presenta menor grosor. La idea principal de esta estructura era aprovecharnos de que en el diseño del amplificador se utilizaban los mismos inductores más de una vez, para colocarlos uno encima del otro y así conseguir reducir el área. Para su diseño nos basamos

en simulaciones de *Momentum* [26]. Al simular ambos inductores por separado, no se tuvo en cuenta la capacidad parásita que aparece entre los dos, que es considerable dado el tamaño de los inductores. Esta capacidad influirá mucho en la respuesta del amplificador, como se verá más adelante.

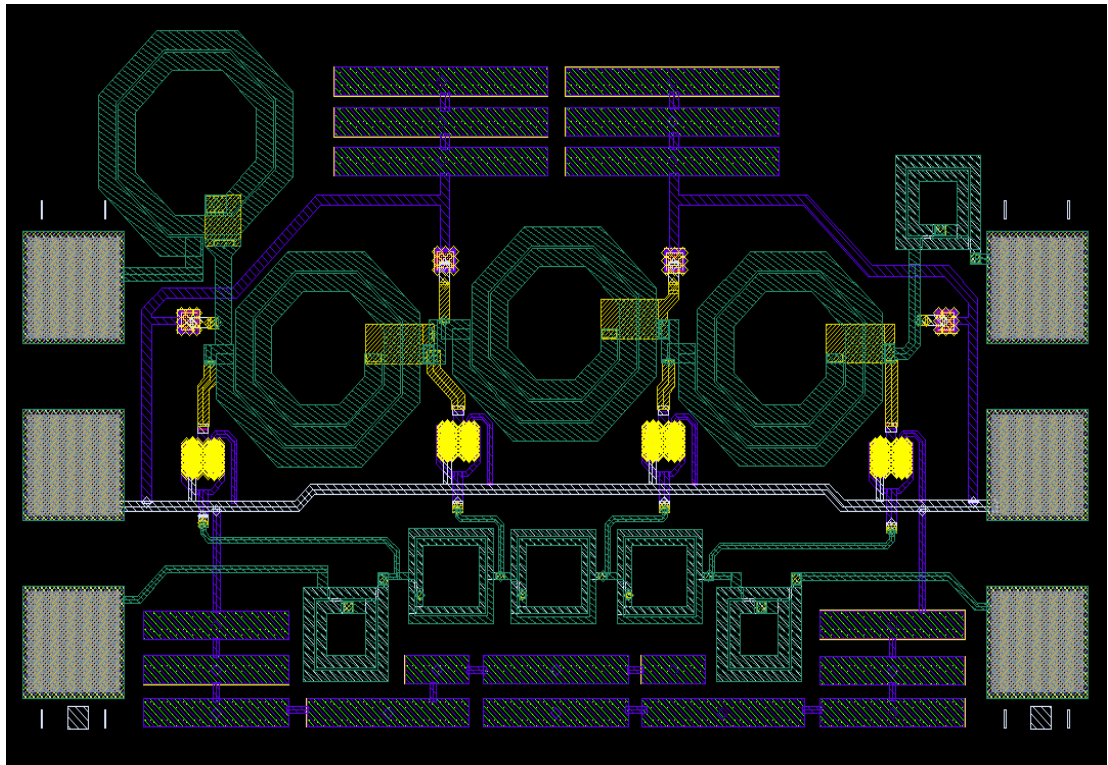
En la Figura 5.8 podemos observar el *layout* de ambos tipos de estructuras utilizadas en sustitución de los inductores estándar. Por un lado están los inductores apilados estándar (derecha), con área menor pero peor factor de calidad, y por otro los inductores octogonales apilados en metal 4 y metal 2.



**Figura 5. 8 Bobinas de 1.15 nH del amplificador distribuido 2.**

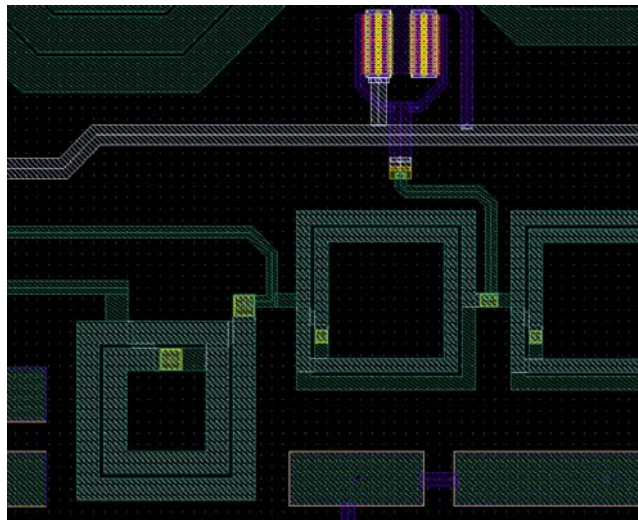
Para evitar que se sobrepase la densidad de corriente máxima de los metales debido a la alta corriente que pasa por la línea de drenador, en esta línea se ha mantenido el mismo diseño que en el circuito anterior. En cambio la línea de puerta está totalmente compuesta por bobinas apiladas. En cuanto al valor inductivo de las bobinas es el mismo que en el diseño anterior, siendo de 1.15 nH en el inicio y terminación de las líneas de transmisión y de 1.465 nH en las bobinas centrales.

Tanto los elementos capacitivos como los transistores están conectados de la misma manera que en el diseño anterior, por lo que se puede asegurar que lo único que difiere entre los dos diseños son los elementos inductivos. El área ocupada por este diseño se ha visto reducida considerablemente, quedando el área final en  $0.592 \times 1 \text{ mm}^2$ . Aunque el ancho del circuito sea el mismo nos hemos ahorrado en altura 0.150 mm. En la Figura 5.9 se puede ver el diseño final.



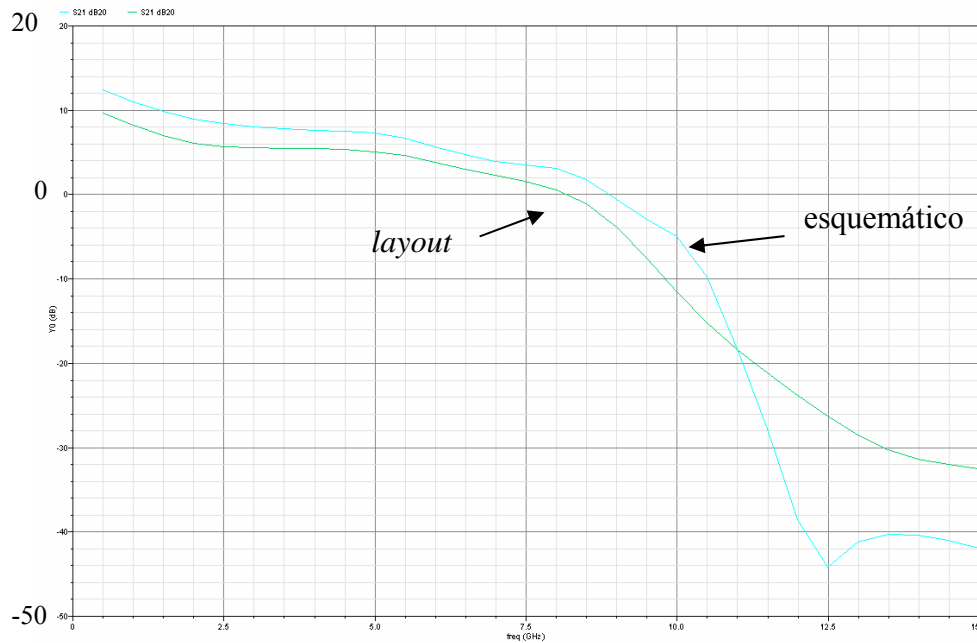
**Figura 5.9** *Layout* del amplificador distribuido 2.

En la Figura 5.10 se muestra en detalle la conexión entre las bobinas apiladas.



**Fig. 5.10** Bobinas apiladas.

En la Figura 5.11 se muestra la comparativa del parámetro  $S_{21}$  a nivel de esquemático y a nivel de *layout*.



**Figura 5. 11 Parámetro  $S_{21}$  del amplificador distribuido 2.**

Como se puede apreciar, la ganancia a nivel de *layout* se ve un poco afectada debido al peor factor de calidad de las bobinas. Entre 1 y 5 GHz la ganancia está comprendida entre 10 y 5 dB, para terminar en 0 dB en 8.1 GHz. En cambio a nivel de esquemático la ganancia a 0 dB se encuentra en 8.8 GHz. El mejor *flatness* se presenta entre 1 y 5 GHz.

Como se puede apreciar en la Figura 5.12, la figura de ruido de este diseño no difiere mucho del anterior. Se puede observar que la figura de ruido del circuito a nivel de *layout* es prácticamente igual a la del esquemático. A 5.2 GHz estas sufren un intercambio pasando a ser la figura de ruido del esquemático un poco superior a la del *layout*. Hasta los 8.5 GHz la figura de ruido tiene un valor menor a 10 dB, por lo que podemos asegurar que el amplificador tendrá una figura de ruido bastante aceptable en todo su ancho de banda.

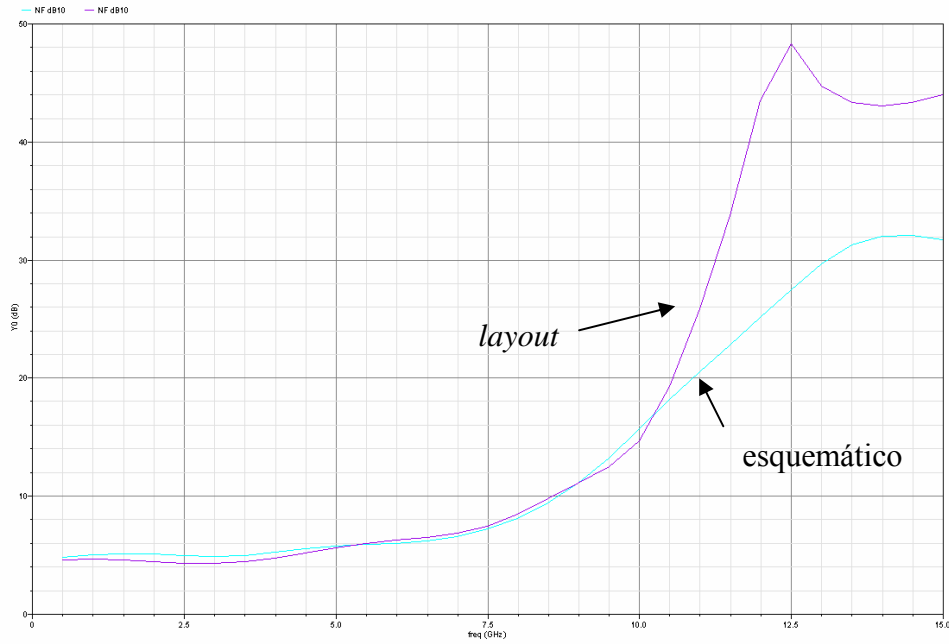


Figura 5. 12 Figura de ruido del amplificador distribuido 2.

### 5.3.3 Amplificador distribuido 3

Al igual que en el anterior diseño, este difiere del primero en las bobinas utilizadas en la línea de puerta. El área conseguida en este diseño es de  $0.610 \times 1 \text{ mm}^2$ . En la Figura 5.13 se muestra el diseño en cuestión.

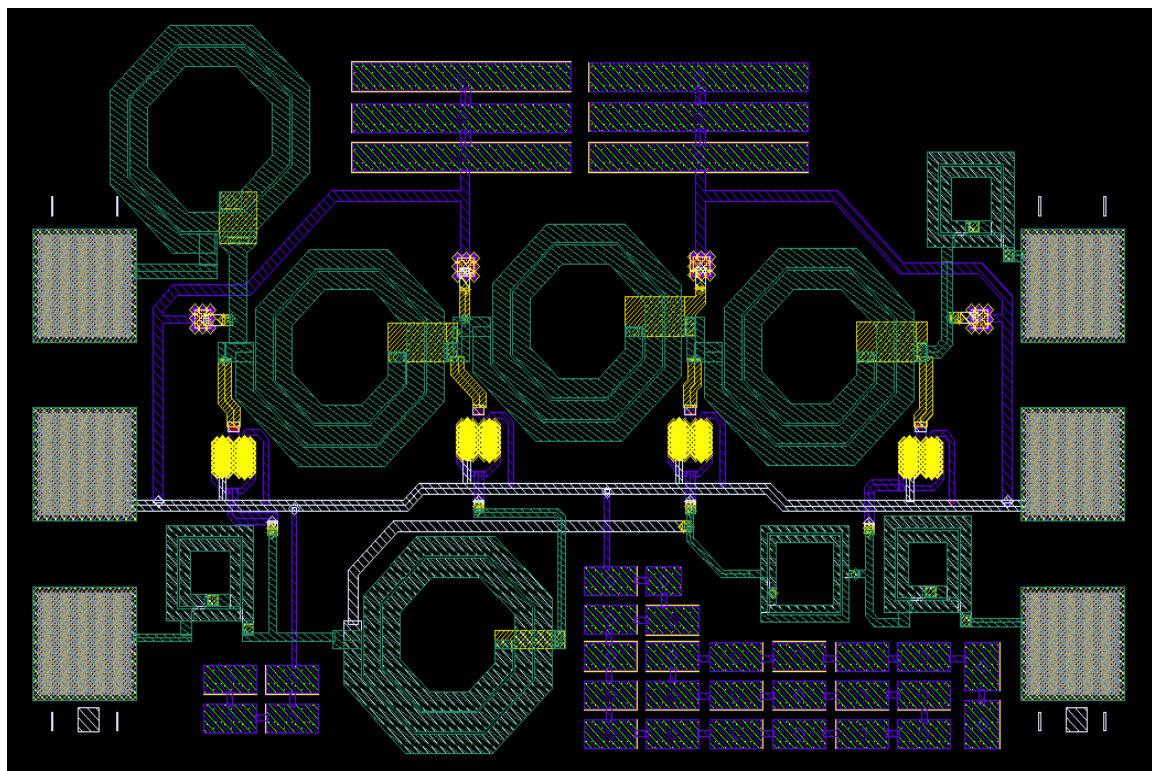
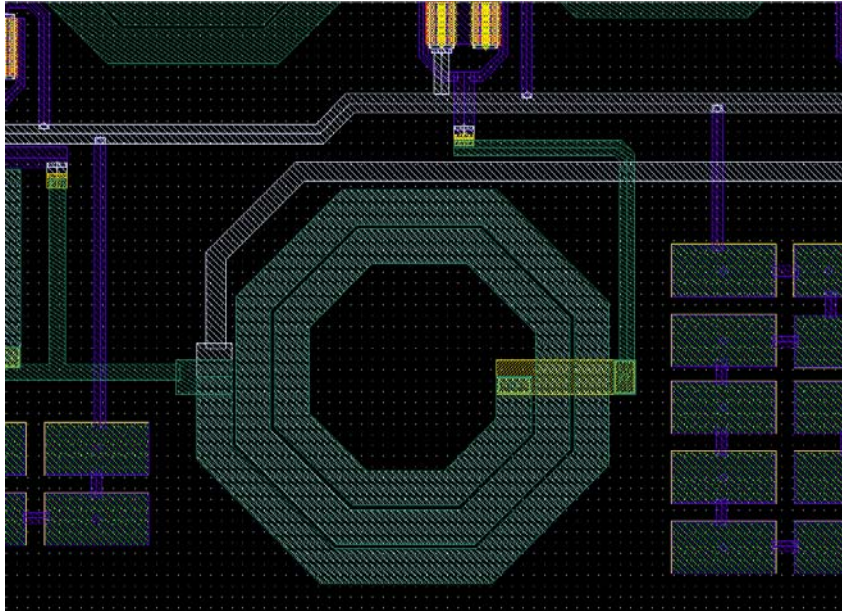


Figura 5. 13 *Layout* del amplificador distribuido 3.

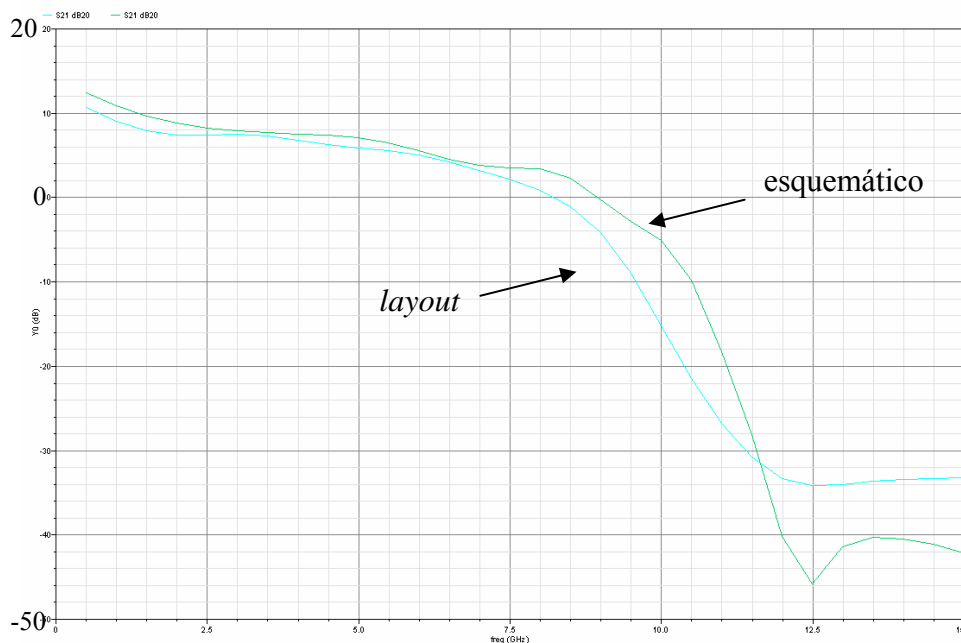


Utilizando el mismo diseño que el utilizado en el amplificador distribuido 2, se han sustituido dos bobinas en serie de la línea de puerta, por una única bobina apilada con el mismo valor. Para ello se ha realizado una bobina en metal 4 y otra en metal 2. La finalidad de esta bobina es que tenemos en el mismo área que ocupa una única bobina dos bobinas apiladas. En la Figura 5.14 se muestra en detalle una bobina apilada.



**Figura 5. 14** Detalle de la bobina apilada del amplificador distribuido 3.

El parámetro  $S_{21}$  del diseño en cuestión se muestra en la Figura 5.15.



**Figura 5. 15** Parámetro  $S_{21}$  del amplificador distribuido 3.

En este caso el parámetro  $S_{21}$  hasta los 7 GHz van a la par tanto a nivel de esquemático como a nivel de *layout*, es en este punto en donde a nivel de *layout* obtenemos ganancia 0 dB a 8.2 GHz, en cambio a nivel de esquemático obtenemos ganancia 0 dB a 9 GHz aproximadamente. El mejor *flatness* nos lo encontramos entre 1 y 5 GHz. En la Figura 5.16 se puede apreciar la figura de ruido de este diseño.

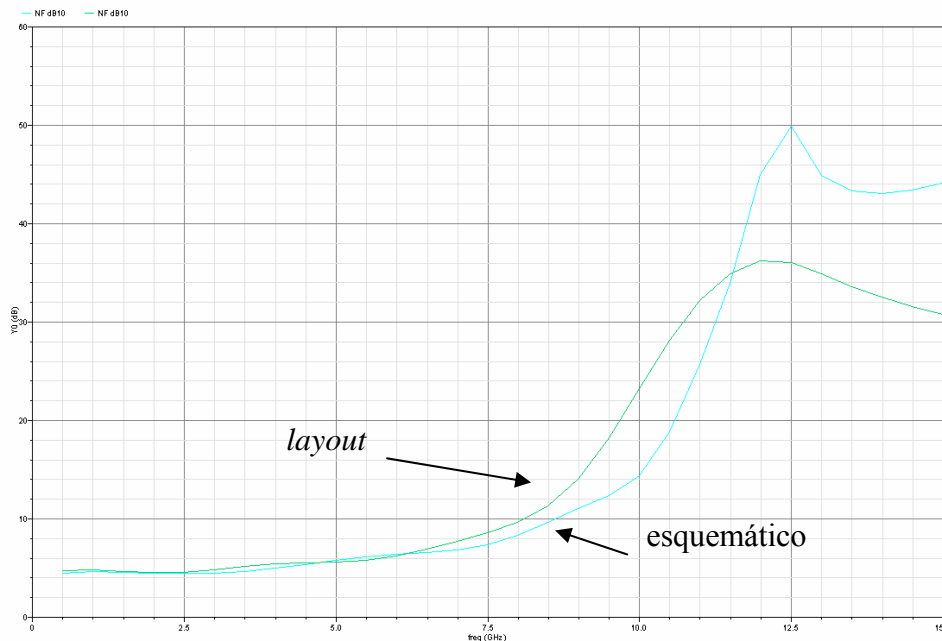


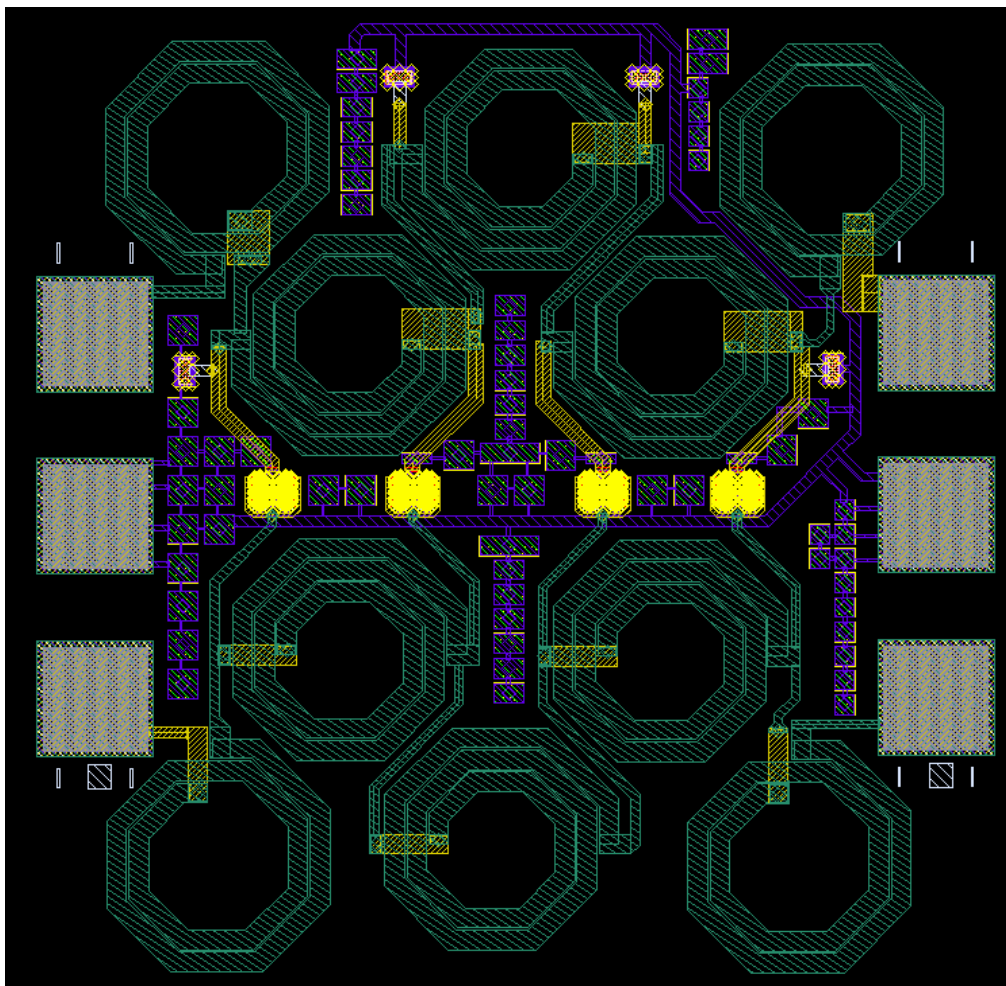
Figura 5. 16 Figura de ruido del amplificador distribuido 3.

La figura de ruido de este circuito es muy parecida a la del anterior diseño. Se puede observar que a nivel de *layout* tenemos una figura de ruido menor a 10 dB hasta los 8 GHz. En cambio a nivel de esquemático esta es menor a 10 dB hasta los 8.5 GHz. Entre 500 MHz y 5.5 GHz ésta sólo varía en 2 dB, con un valor comprendido entre 4 y 6 dB.

### 5.3.4 Amplificador distribuido compacto 1

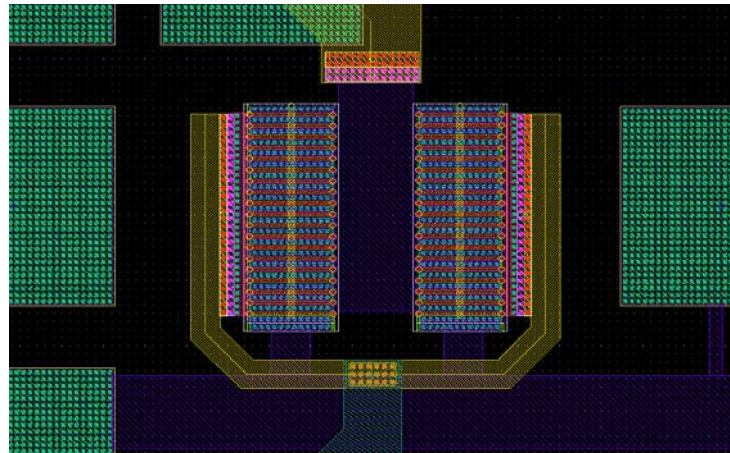
Los componentes de este diseño son los mismos que los del amplificador distribuido 1, la única diferencia es la disposición de las bobinas. La nueva posición de las bobinas nos permite reducir su tamaño pasando a ocupar un área de  $0.780 \times 0.782 \text{ mm}^2$ . En la Figura 5.17 se muestra el *layout* de este amplificador distribuido. El problema que puede surgir en este caso es que se degrade el funcionamiento del circuito como consecuencia del acoplamiento electromagnético (EM) entre las bobinas. Para evitar que esto ocurra se ha

procurado que el sentido de giro de las espirales que forman dos bobinas contiguas fuese siempre en sentido contrario. De esta forma evitamos que los campos EM se sumen produciendo variaciones notables de la inductancia de las bobinas. En cualquier caso, la validez de este diseño sólo se podrá verificar con las medidas ya que las simulaciones *post-layout* no tienen en cuenta este tipo de fenómenos.



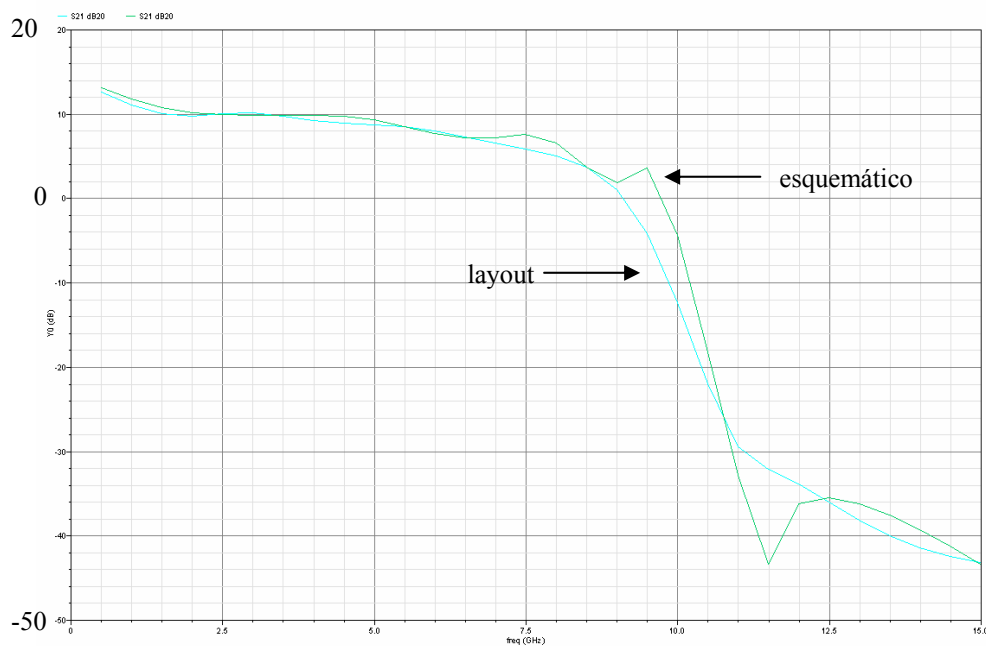
**Figura 5. 17 Layout del amplificador distribuido 1 compacto.**

Para este diseño la conexión de los transistores ha variado un poco con respecto a los anteriores diseños, sin embargo, en este diseño también se ha utilizado dos transistores en paralelo para conseguir el tamaño deseado. A continuación se muestra el detalle de la conexión (Figura 5.18).



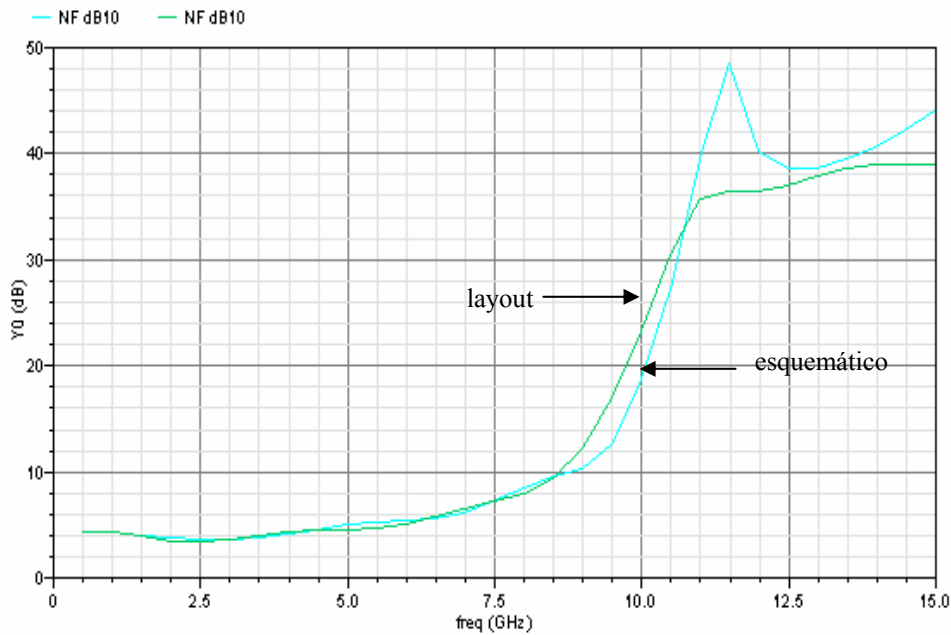
**Figura 5. 18 Detalle de la conexión de los transistores.**

En la Figura 5.19 mostramos la gráfica del parámetro  $S_{21}$  del amplificador en cuestión.



**Fig. 5. 19 Parámetro  $S_{21}$  del amplificador distribuido 1 compacto.**

Como en anteriores casos este parámetro tanto a nivel de esquemático como a nivel de *layout* es muy similar. En este en cuestión podemos apreciar que la respuesta de ambos diseños van a la par hasta los 7 GHz en donde todavía tiene una ganancia entre 6 y 8 dB. El *flatness* conseguido en este diseño tiene su mejor figura entre 1 GHz y 7.5 GHz, con un valor de aproximadamente 3. La gráfica siguiente muestra la figura de ruido de este amplificador (Figura 5.20).

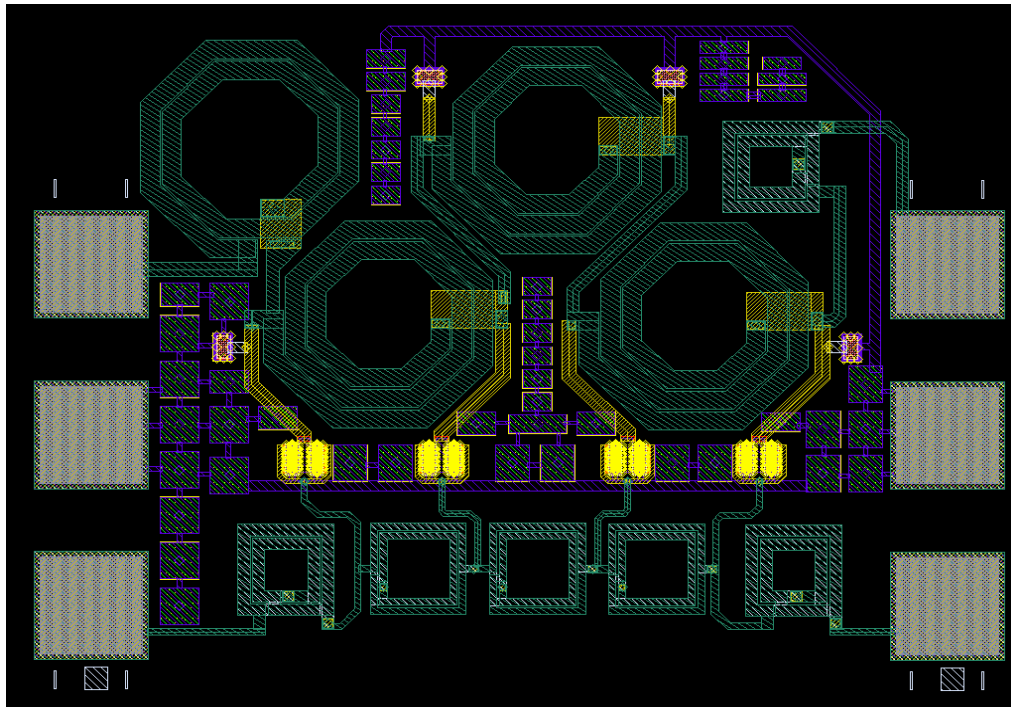


**Figura 5. 20 Figura de ruido del amplificador distribuido compacto 1.**

Al igual que en los anteriores diseños, la figura de ruido tanto en el esquemático como en el *layout* van a la par. En este caso éstas son muy similares hasta los 8.5 GHz, es aquí en donde la figura de ruido a nivel de *layout* se desmarca un poco de la del esquemático. Nos encontramos con una figura de ruido a 7.5 GHz de unos 8 dB aproximadamente.

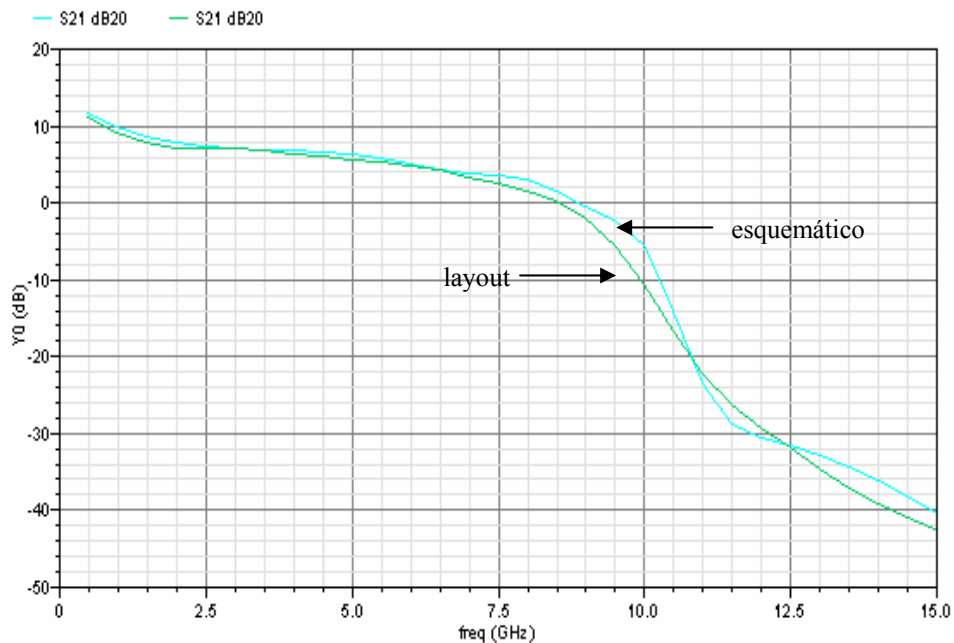
### 5.3.5 Amplificador distribuido compacto 2

Como comentamos en el anterior apartado éste no difiere del amplificador distribuido 2 en cuanto a componentes pero sí en la disposición de estos. La posición final de las bobinas ha permitido que el diseño alcanzado en este diseño haya visto reducido su tamaño considerablemente, consiguiendo un área final de  $0.583 \times 0.809 \text{ mm}^2$ . La posición de los demás componentes no ha variado con respecto a la versión anterior. El diseño alcanzado es el que se muestra en la Figura 5.21.



**Figura 5. 21** *Layout* del amplificador distribuido compacto 2.

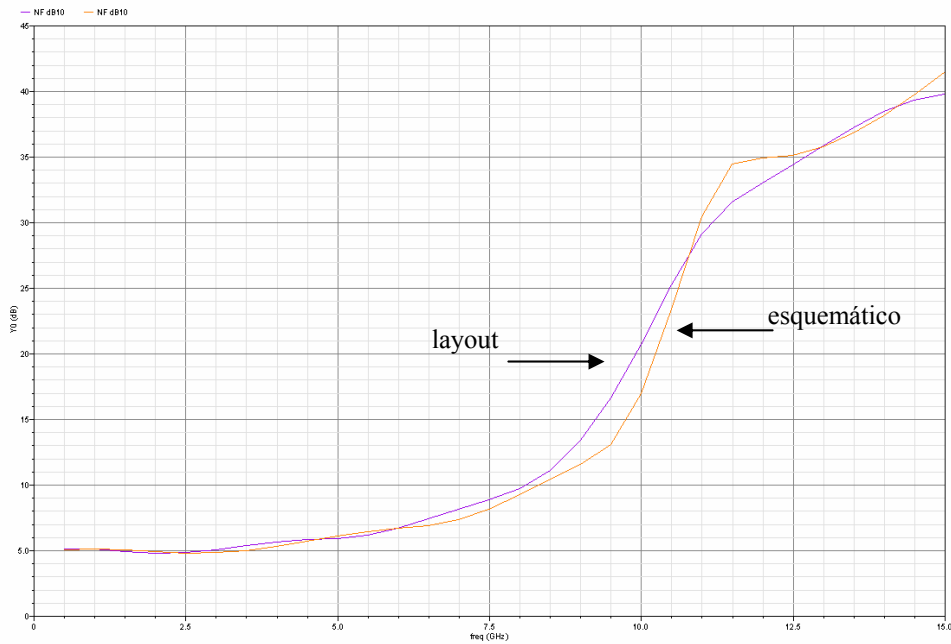
Como en los diseños anteriores pasaremos a continuación a mostrar el parámetro  $S_{21}$  (Figura 5.22).



**Figura 5. 22** Parámetro  $S_{21}$  del amplificador distribuido compacto 2.

Como ocurrió anteriormente, la ganancia tanto a nivel de esquemático como a nivel de *layout* se muestra muy similar hasta los 7.5 GHz, a partir de este punto estas empiezan a

diferenciarse, pero con una tendencia común. A la frecuencia de 6 GHz obtenemos una respuesta de unos 5 dB aproximadamente, y los 0 dB se alcanza a 8.5 GHz. El *flatness* conseguido en este diseño es similar a los conseguidos en los anteriores diseños. La figura de ruido se muestra en la Figura 5.23 donde se observa que tanto el esquemático como en el *layout* van a la par hasta los 8 GHz, en donde tiene un valor de 10 dB hasta 6.5 GHz donde conseguimos un valor por debajo de 5 dB.



**Figura 5. 23** Figura de ruido del amplificador distribuido compacto 2.

### 5.3.6 Amplificador distribuido compacto 3

Al igual que en el diseño anterior, éste tampoco difiere del amplificador distribuido 3. Lo que se pretende con este diseño es conseguir el menor área posible, cambiando la distribución de los elementos del circuito. Los componentes que más influyen en el área son las bobinas ya que el 80% del área del circuito está ocupada por ellas. Al final se ha conseguido un área de 0.615x 0.819 mm<sup>2</sup> consiguiendo un ahorro en área bastante considerable (ver Figura 5.24).

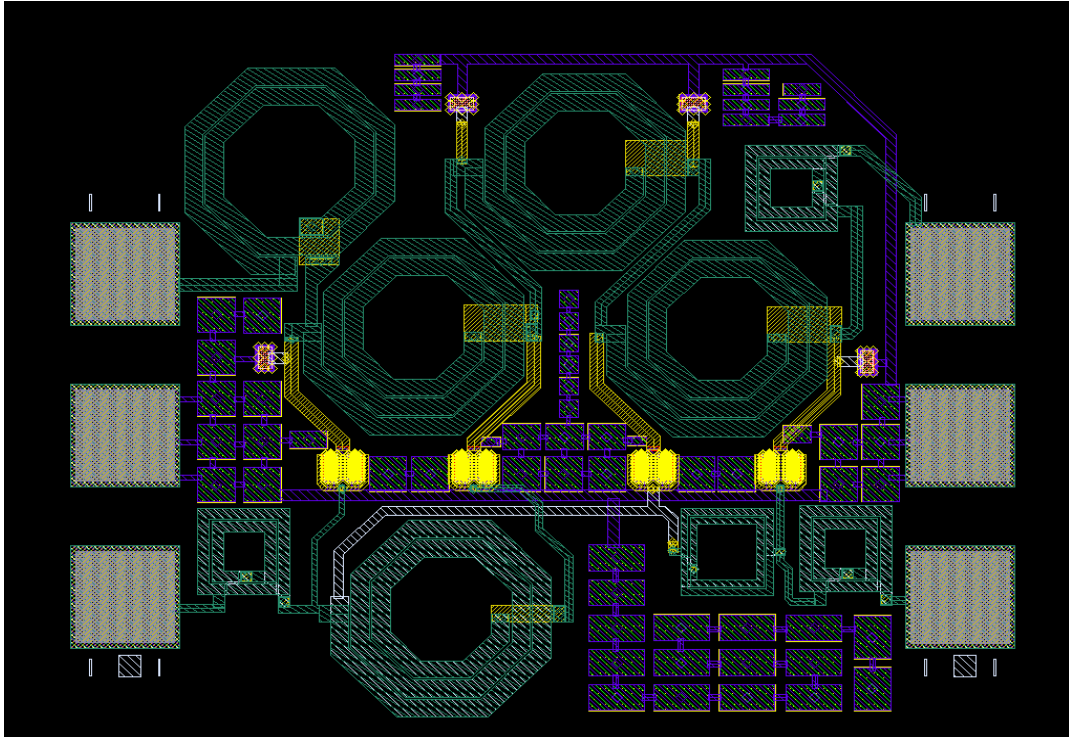


Figura 5. 24 *Layout* del amplificador distribuido compacto 3.

En la imagen siguiente podemos apreciar el parámetro  $S_{21}$  (Figura 5.25).

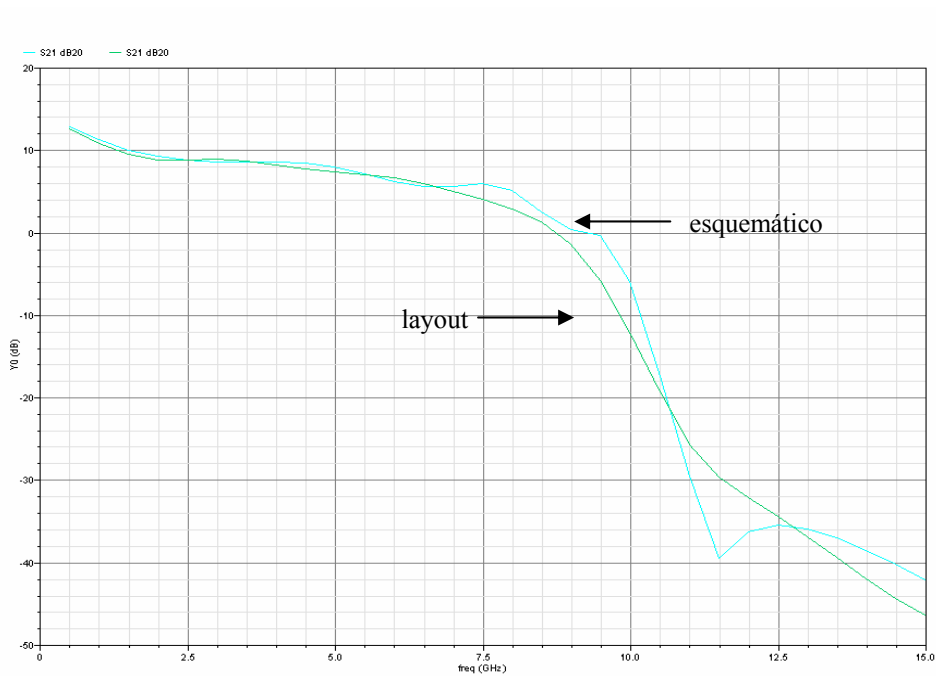


Figura 5. 25 Parámetro  $S_{21}$  del amplificador distribuido compacto 3.



Al igual que en los anteriores diseños la respuesta del circuito tanto a nivel de esquemático como a nivel de *layout* es similar en los primeros 6 GHz. El *flatness* que se consigue en este circuito también es muy similar al de los circuitos anteriores. En este diseño en concreto las dos simulaciones van a la par hasta los 7 GHz, desde aquí la simulación a nivel de *layout* se desmarca de la del esquemático. Con el *layout* conseguimos la ganancia de 0 dB a 8.6 GHz, mientras que con el esquemático la conseguimos 0.5 GHz después. El mejor *flatness* lo conseguimos entre 1 y 5.7 GHz.

En la Figura 5.26 se muestra la figura de ruido conseguida con este diseño. En ella se puede apreciar como obtenemos una figura de ruido menor a 6 dB hasta los 5.5 GHz, a partir de aquí la figura de ruido experimenta su mayor incremento, pasando a valer 8 dB a 7 GHz, tanto a nivel de esquemático como a nivel de *layout*. En este caso, la simulación tanto a nivel de *layout* como a nivel de esquemático son muy parecidas en su respuesta por lo que en este diseño las simulaciones de la figura de ruido son muy parecidas.

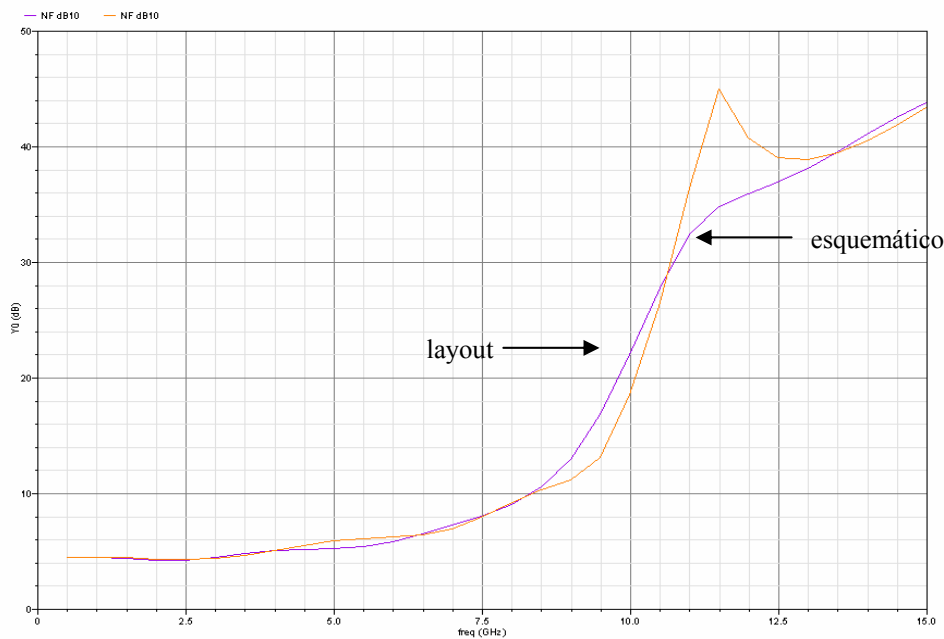


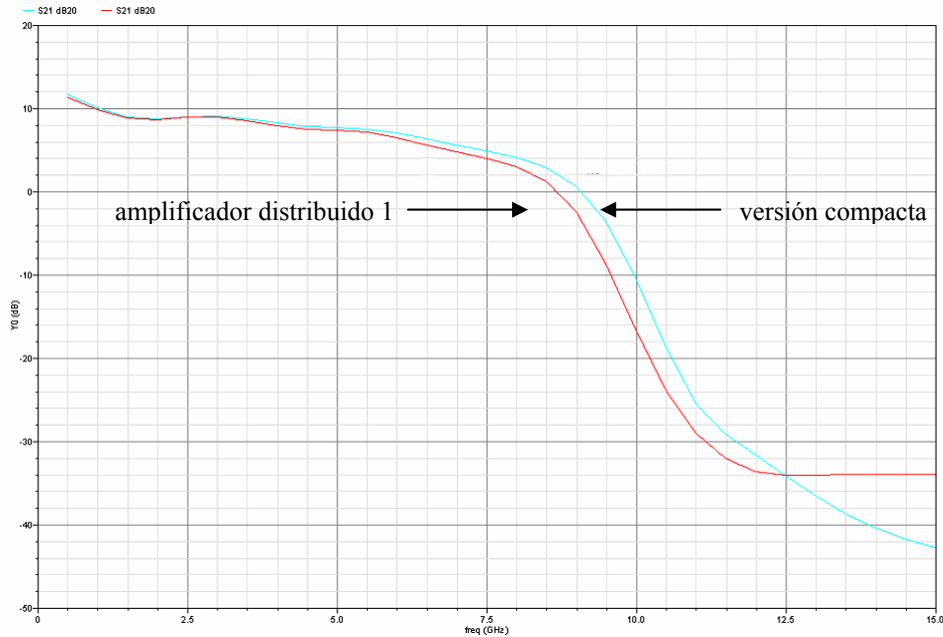
Figura 5. 26 Figura de ruido del amplificador distribuido compacto 3.

### 5.3.7 Comparativas

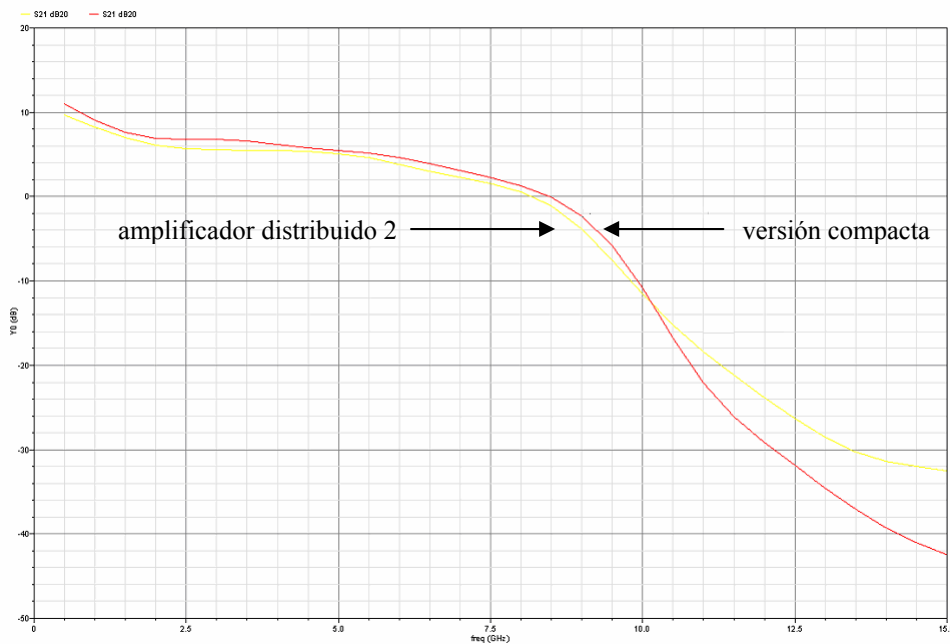
En esta sección mostraremos una comparativa de los circuitos propuestos anteriormente. Inicialmente compararemos cada amplificador distribuido con su versión compacta y posteriormente compararemos todos los amplificadores distribuidos y todos los amplificadores distribuidos compactos. Esto nos va a permitir saber cual de los circuitos

tiene mejor respuesta. Para finalizar mostraremos la figura de mérito de cada uno de ellos para saber que circuito tiene mejores características.

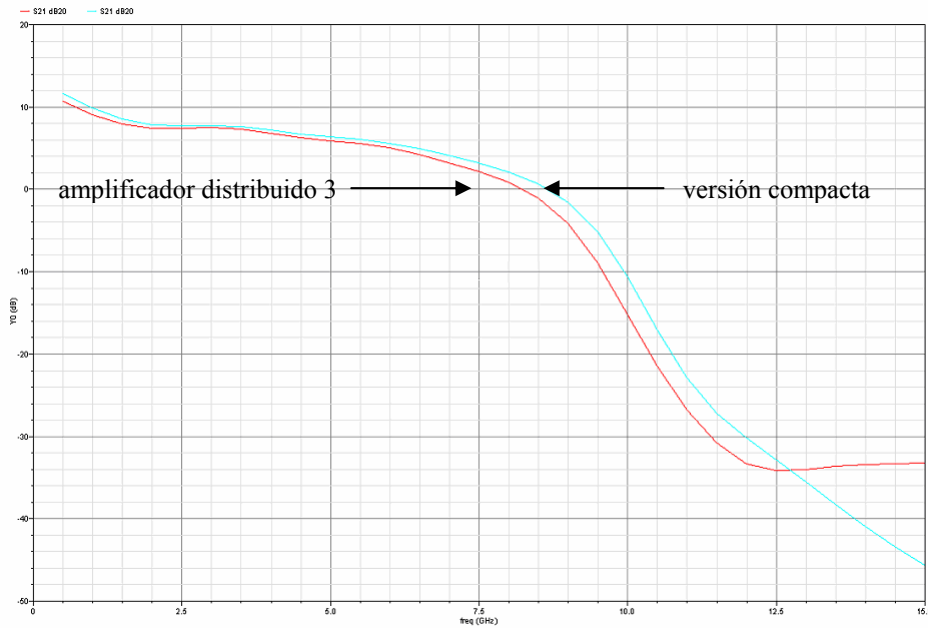
En las Figuras 5.27, 5.28 y 5.29 se muestran las comparativas de los diferentes amplificadores distribuidos.



**Figura 5.27** Comparativa del parámetro  $S_{21}$  del amplificador distribuido 1 y su versión compacta.



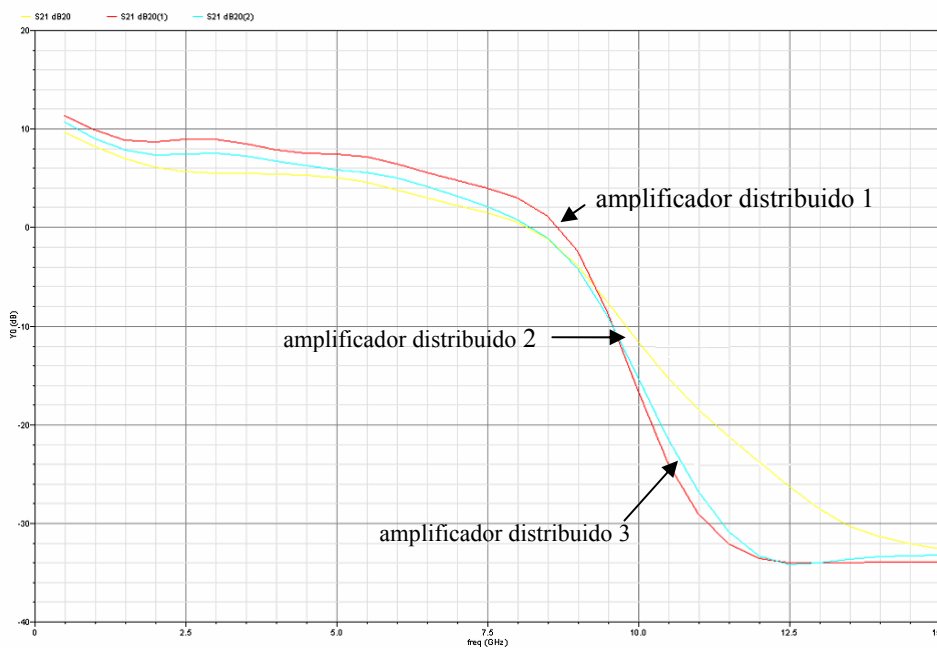
**Figura 5.28** Comparativa del parámetro  $S_{21}$  del amplificador distribuido 2 y su versión compacta.



**Fig. 5.29 Comparativa del parámetro  $S_{21}$  del amplificador distribuido 3 y su versión compacta.**

Como se puede observar en las tres comparaciones del parámetro  $S_{21}$ , los amplificadores compactos son sustancialmente mejores que los amplificadores iniciales. Esto es debido a que los amplificadores compactos tienen menos ruteado de pistas, por lo que existen menos parásitos en el circuito, teniendo de esta manera una mejor respuesta.

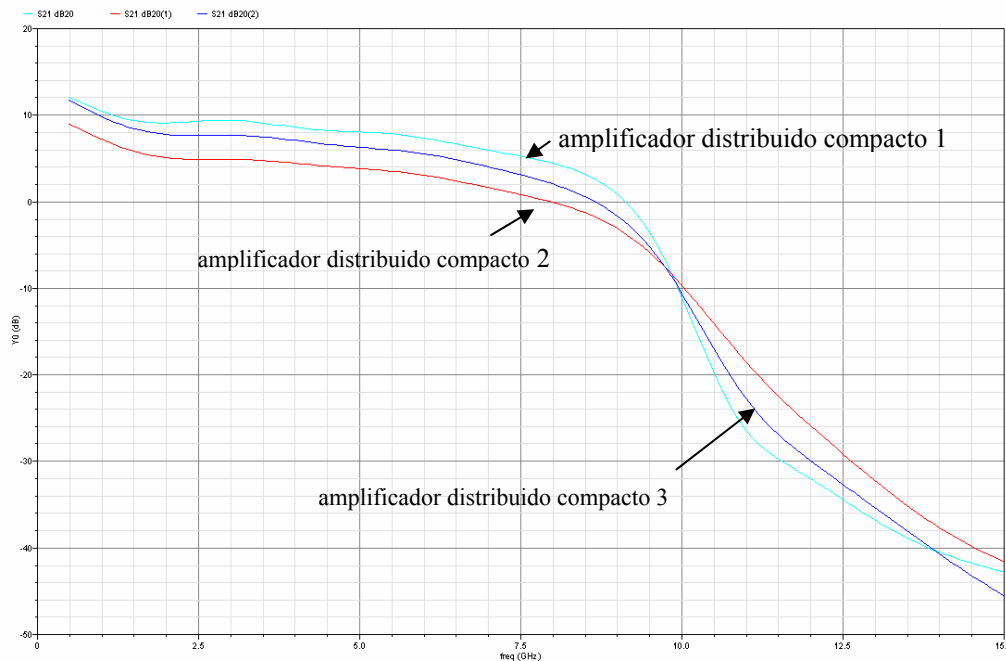
En la Figura 5.30 se puede apreciar la comparativa entre todos los amplificadores distribuidos.



**Figura 5.30 Comparativa del parámetro  $S_{21}$  de los amplificadores distribuidos 1,2 y 3.**

Como hemos comentado anteriormente la diferencia entre unos amplificadores y otros son las bobinas utilizadas. Las bobinas con mejor factor de calidad son las que se utilizaron en el amplificador distribuido 1, es por ello que la mejor respuesta del parámetro  $S_{21}$  es en este amplificador. El siguiente amplificador con mejor respuesta es el amplificador distribuido 3 y para finalizar el amplificador distribuido 2 es el que presenta peor respuesta a este parámetro.

A continuación en la Figura 5.31 presentamos la comparativa entre todos los amplificadores distribuidos compactos las conclusiones anteriores se mantienen para este caso.



**Figura 5. 31 Comparativa del parámetro  $S_{21}$  de los amplificadores distribuidos compactos 1,2 y 3**

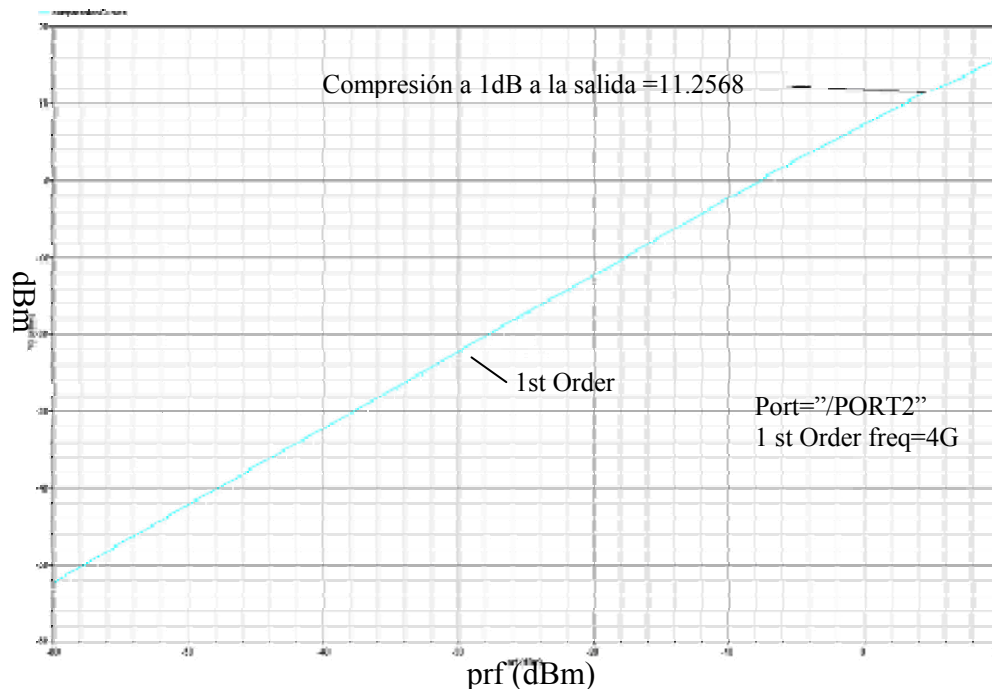
## 5.4 Figura de mérito

Como comentamos en el capítulo 2 la figura de mérito propuesta para nuestro diseño es la siguiente:

$$FOM = \frac{P_{1dB}}{P_{noise}} \frac{1}{P_{dc}} \frac{f_h}{f_{t^*}} \frac{1}{Area} \quad (2.6)$$

A continuación se calcularán todas las variables necesarias para el cálculo de dicha figura de mérito.

En la Figura 5.32 se muestra el detalle de la simulación para el cálculo de la potencia a 1 dB del amplificador distribuido 1, para realizar esta simulación se ha utilizado el CADENCE. Para el resto de circuitos se ha hecho de la misma manera.



**Figura 5. 32 Simulación P1dB.**

En la Tabla 5.1 mostramos todos los valores para calcular la figura de mérito propuesta.

**Tabla 5. 1 Figura de Mérito**

	$P_{1Db}$ (dBm)	$P_{noise}$	$P_{dc}$ (mW)	$f_h$ (GHZ)	$f_{t^*}$ (GHZ)	Área (mm <sup>2</sup> )	FOM
<b>Amp. Distribuido 1</b>	12.3332	3,17 E-20	104,31	7	8.13	0,742	210,88
<b>Amp. Distribuido 2</b>	11.2568	2,80 E-20	83,62	7	8.13	0,592	265,05
<b>Amp. Distribuido 3</b>	11.6016	3,17 E-20	102,82	7	8.13	0,61	255,42
<b>Amp. D. compacto 1</b>	12.4534	2,96 E-20	112,03	7,7	8.13	0,61	257,39
<b>Amp. D. compacto 2</b>	11.2752	2,52 E-20	99,47	7,7	8.13	0,472	332,95
<b>Amp. D. compacto 3</b>	11.871	2,64 E-20	115,56	7,7	8.13	0,504	311,27

A la luz de los resultados, el diseño con mejor figura de mérito es el amplificador distribuido compacto 2. Además se puede apreciar como los amplificadores distribuidos compactos tienen en general mejor figura de mérito que los amplificadores distribuidos normales.

## 5.5 Conclusiones

En este capítulo se ha explicado como ha sido el proceso de diseño llevado a cabo para la implementación de este proyecto. Inicialmente se han realizado tres diseños con diferentes tipos de bobinas para luego rediseñar los circuitos consiguiendo de esta que ocupen un área menor. Una vez terminados los circuitos se ha hecho una comparativa entre ellos calculando la figura de mérito propuesta para ver cual de ellos obtiene un mejor valor.

En el capítulo siguiente se hará una pequeña introducción de cuales son las herramientas necesarias para realizar las medidas en circuitos integrados. Posteriormente se mostrarán las medidas realizadas en todos los diseños. Finalizaremos este capítulo haciendo una comparativa de los resultados obtenidos con otras implementaciones de banda ancha.



# Capítulo 6

## Medidas

### 6.1 Introducción

El capítulo anterior se dedicó por completo a mostrar el proceso de diseño de los amplificadores distribuidos a nivel de *layout*. También pudimos comprobar cual de los diseños tenía mejor respuesta y mejor figura de mérito (FOM).

En este capítulo pasaremos a mostrar la metodología a seguir para hacer las medidas de los circuitos diseñados. Estas medidas se han hecho sobre oblea con lo que los elementos para llevar a cabo las mismas deben ser los adecuados para tal fin. Posteriormente se hará una comparativa de los resultados obtenidos con los resultados de otras implementaciones de banda ancha. En el siguiente apartado se detallan los equipos utilizados en la medida así como la disposición de los mismos.

### 6.2 Configuración de medida

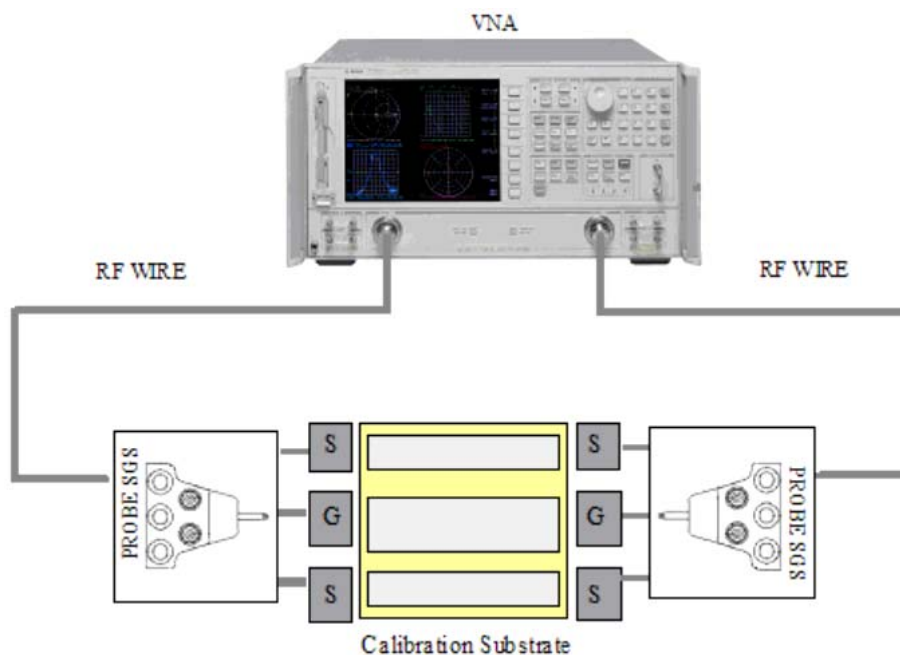
A continuación se muestra los elementos que tienen que ser empleados a la hora de realizar las medidas:

- 1 Fuente de alimentación *Hewlett Packard, Dual Output Power Supply, E3620A*.
- 1 Analizador de espectros *PSA Series Spectrum Analyzer, E4440A*.
- 1 Analizador vectorial de redes *Agilent, S Parameter Network Analyzer, 8720E*.
- 2 Sondas *Probes SGS de Cascade Microtech ACP40D-W SGS-150*.
- 2 Desacopladores de continua *DC-blocks BLK-18*.



- 1 Sustrato de calibración *Cascade Microtech Impedance Standard Calibration Substrate* P/N 101-190.
- Cables de RF: *Sucoflex* 104A 150cm.
- Cable de DC y adaptadores SMA-BNC.
- Codos de conexión
- 2 Estructuras de alimentación en T (Bias-T).
- 2 Cargas de 50Ω.

Inicialmente antes de hacer ningún tipo de medida debemos hacer la calibración del VNA con una calibración completa de los dos puertos. Para realizar dicha calibración deberemos utilizar un sustrato de calibración de impedancia estándar (*Impedance Standard Calibration Substrate*). En este proceso se emplea una carga, para intentar eliminar la influencia del *set-up* medida de la medida real. En la Figura 6. 1 se muestra el *set up* para hacer la calibración del VNA.



**Figura 6. 1 Calibración del VNA.**

Una vez hayamos calibrado el VNA para realizar las medidas, el VNA se usará en modo de reflexión conectando la entrada de puerta del amplificador distribuido al PORT1 y la salida de drenador al PORT2. En la Figura 6.2 se muestra el *set up* de medida de los amplificadores distribuidos en el que se puede observar el Bias-T empleado para introducir

la señal en DC en el circuito evitando de esta manera la interferencia con la señal en alterna.

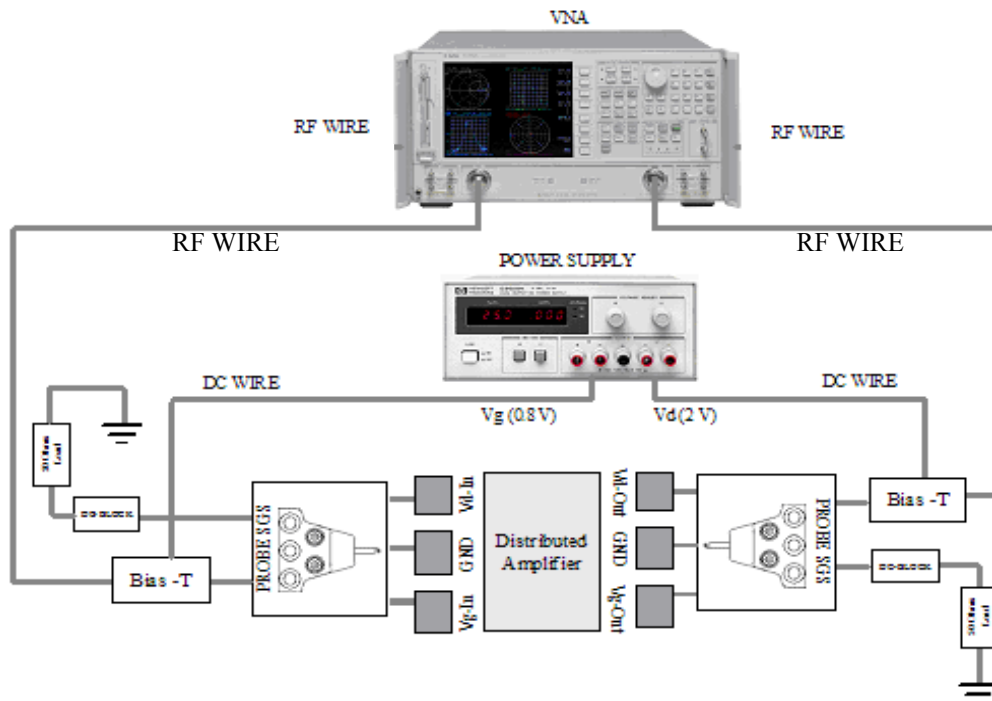


Figura 6. 2 Configuración de medidas.

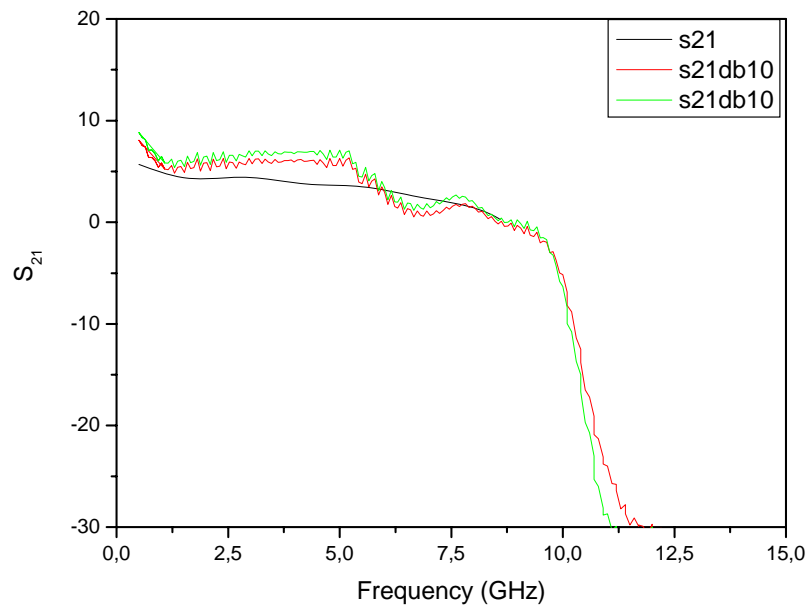
## 6.3 Medidas de los amplificadores distribuidos

Después de describir la configuración de medida podemos empezar a mostrar el resultado de las mismas. Las gráficas aquí mostradas han sido obtenidas en dB10 en cambio las gráficas realizadas en las simulaciones a nivel de *layout* y a nivel de esquemático han sido obtenidas en dB20, por lo que se han modificado para que concuerden con la medida y la comparativa sea correcta.

### 6.3.1 Medida del Amplificador distribuido 1

En la Figura 6. 3 se muestra una comparativa entre la medida y el resultado de simulación para el amplificador distribuido 1. Se puede observar que los resultados de la medida son muy similares a los resultados de simulación.

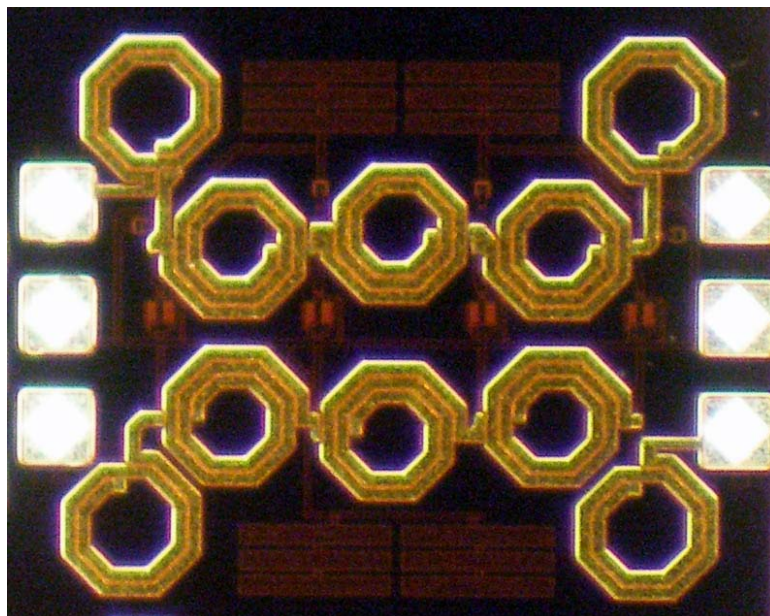
La línea roja representa la medida del parámetro  $S_{21}$  con una tensión de puerta de 0.85 V, la línea verde representa la medida del parámetro  $S_{21}$  con una tensión de puerta de 0.9 V, finalmente la línea negra representa el parámetro  $S_{21}$  en la simulación.



**Figura 6.3 Comparativa entre la medida y la simulación del amplificador distribuido 1.**

En la figura se puede apreciar que aunque el ancho de banda se ve afectado en las medidas la ganancia obtenida es mejor hasta los 6 GHz.

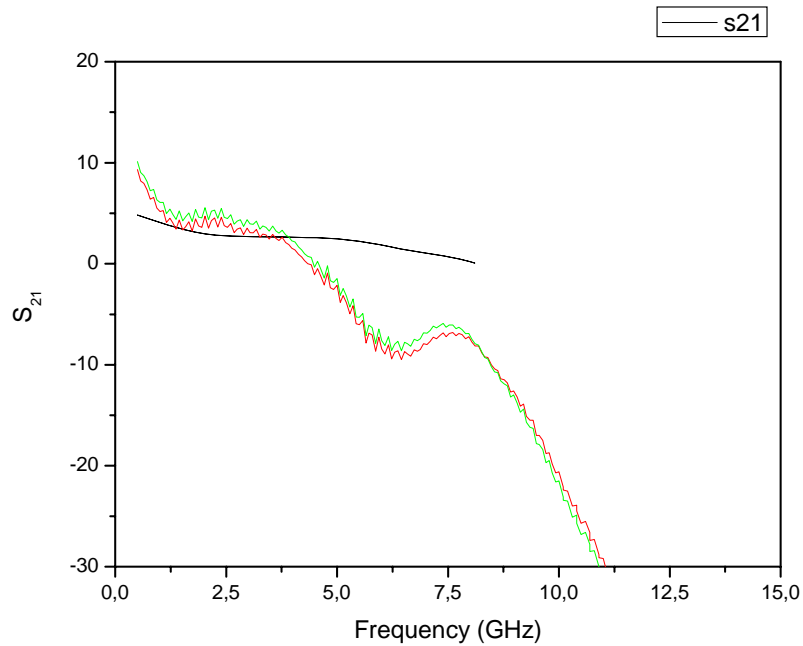
En la Figura 6.4 se puede apreciar una fotografía del circuito diseñado. Se puede ver que la mayor parte del circuito es ocupada por las bobinas del diseño.



**Figura 6.4 Fotografía del amplificador distribuido 1.**

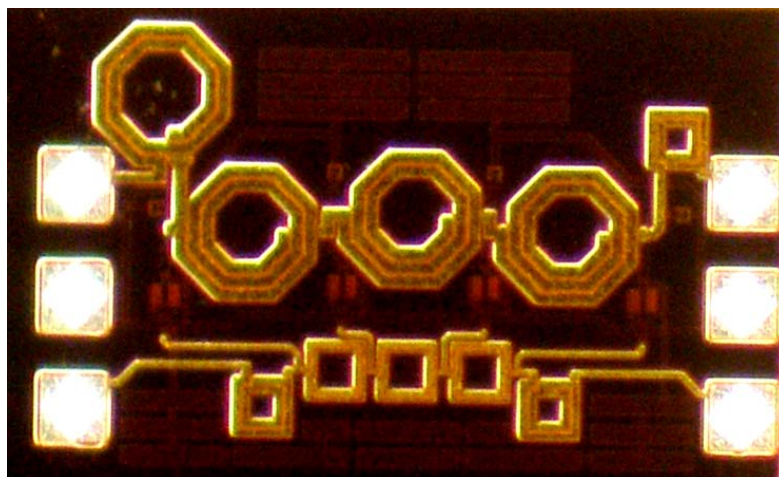
### 6.3.2 Medida del Amplificador distribuido 2

En la Figura 6.5 se muestra la medida del amplificador distribuido 2. Se puede observar como la respuesta del amplificador distribuido 2 es peor que la del amplificador distribuido 1 ya que las bobinas utilizadas en el amplificador distribuido 1 son de mejor calidad que las usadas en el diseño del amplificador distribuido 2.



**Figura 6.5 Comparativa entre la medida y la simulación del amplificador distribuido 2.**

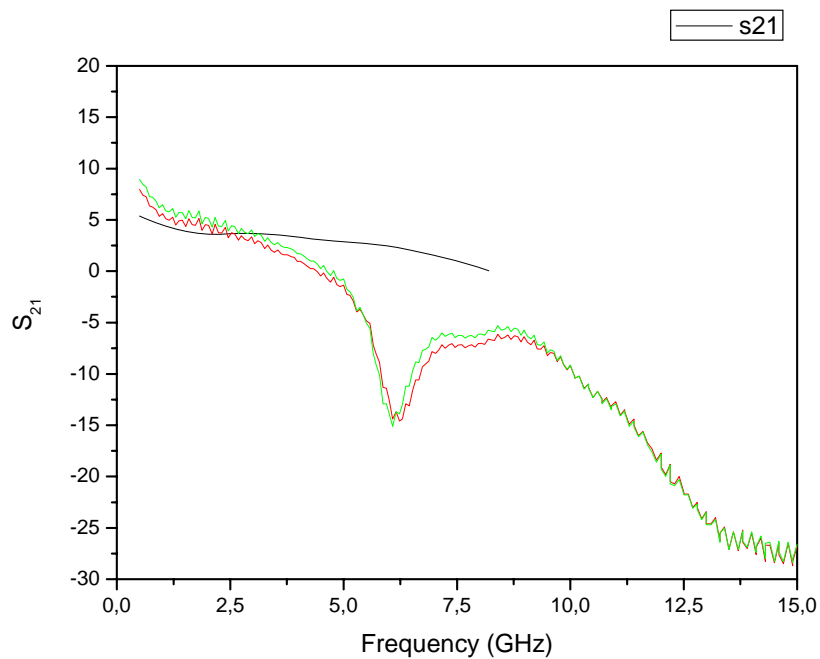
La fotografía (Figura 6.6) siguiente es la que corresponde a este diseño.



**Figura 6.6 Fotografía del amplificador distribuido 2.**

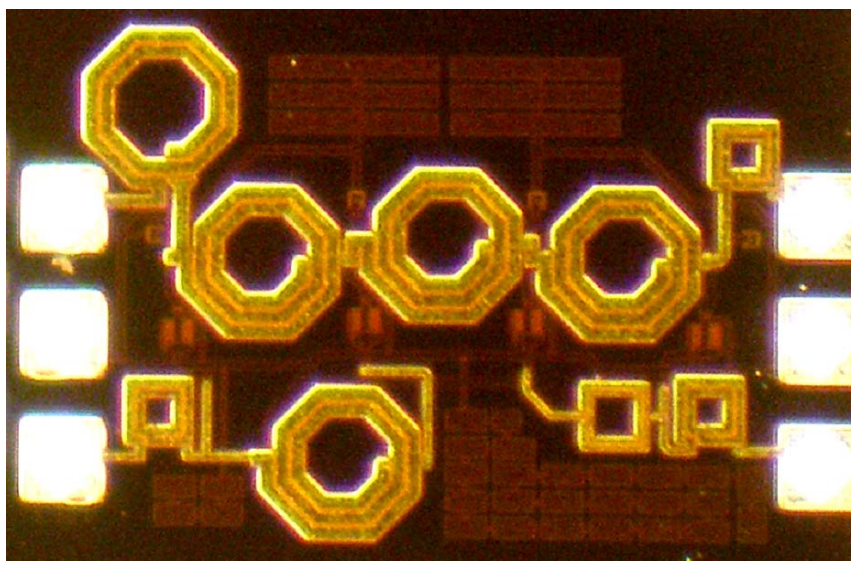
### 6.3.3 Medida del Amplificador distribuido 3

A continuación se muestra la gráfica de la medida del amplificador distribuido 3 (Figura 6.7). La respuesta de este amplificador es un poco mejor que la del amplificador distribuido 2 pero peor que la del amplificador distribuido 1.



**Figura 6.7 Comparativa entre la medida y la simulación del amplificador distribuido 3.**

A continuación podemos observar la fotografía del diseño (Figura 6.8).



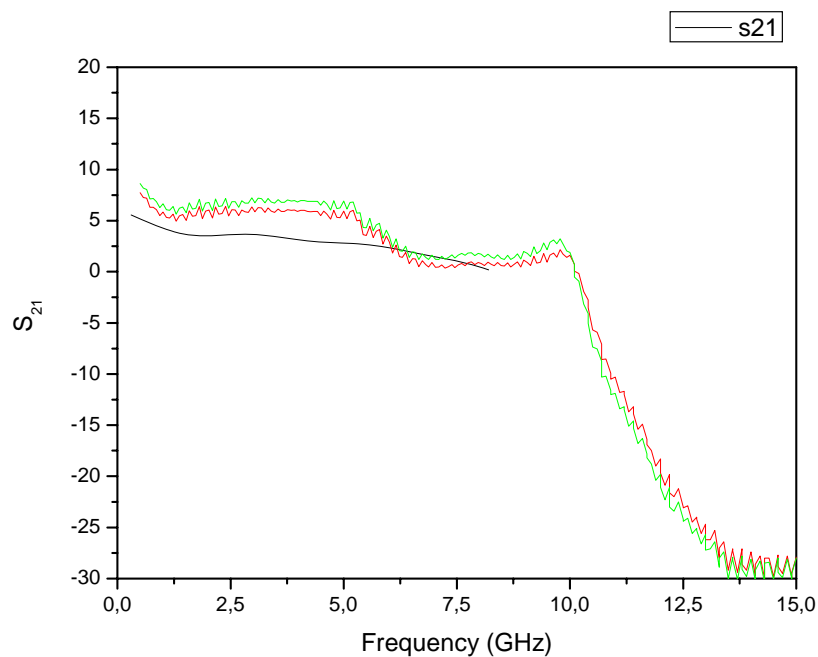
**Figura 6.8 Fotografía del amplificador distribuido 3.**

## 6.4 Medidas de los amplificadores distribuidos compactos

Después de haber mostrado los resultados de las medidas de los amplificadores distribuidos, en esta sección haremos lo mismo pero en este caso con los amplificadores distribuidos compactos.

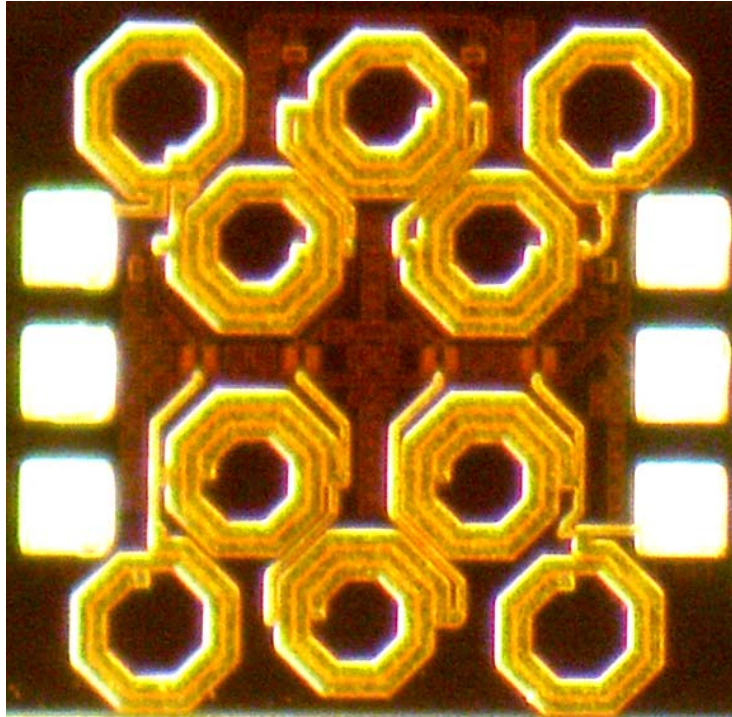
### 6.4.1 Medida del amplificador distribuido compacto 1

En la Figura 6.9 se muestra la respuesta del amplificador distribuido compacto 1. Este circuito es igual que el amplificador distribuido 1 pero este tiene una estructura compacta para reducir el área. Incluso con la considerable reducción de área, la respuesta del circuito es muy similar a la del amplificador distribuido 1.



**Figura 6.9 Comparativa entre la medida y la simulación del amplificador distribuido compacto 1.**

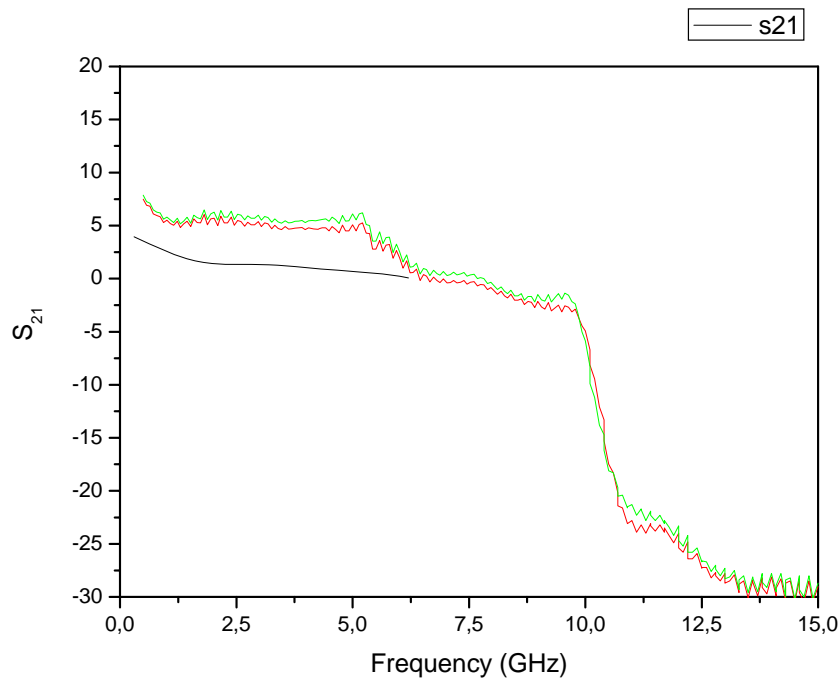
En la fotografía (Figura 6.8) se puede apreciar la nueva disposición de las bobinas permitiendo de esta manera un ahorro en área.



**Figura 6.9 –Fotografía del amplificador distribuido compacto 1.**

### **6.4.2 Medida del amplificador distribuido compacto 2**

Como en el circuito anterior, este circuito tiene la misma estructura que el amplificador distribuido 2 pero con los componentes situados de forma más compacta. En la Figura 6.10 se muestra la respuesta después de la medida del amplificador distribuido compacto 2. Como se puede observar, la respuesta mejora con respecto a la versión anterior.



**Figura 6.10 Comparativa entre la medida y la simulación del amplificador distribuido compacto 2.**



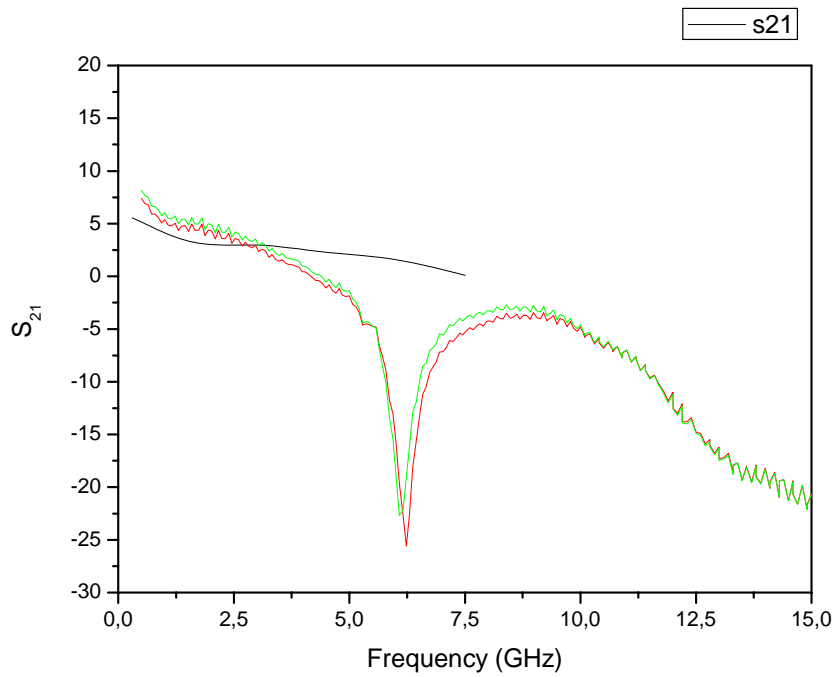
**Figura 6.11 Fotografía del amplificador distribuido compacto 2.**

En la Figura 6.11 se muestra la fotografía de este diseño.

### 6.4.3 Medida del amplificador distribuido compacto 3

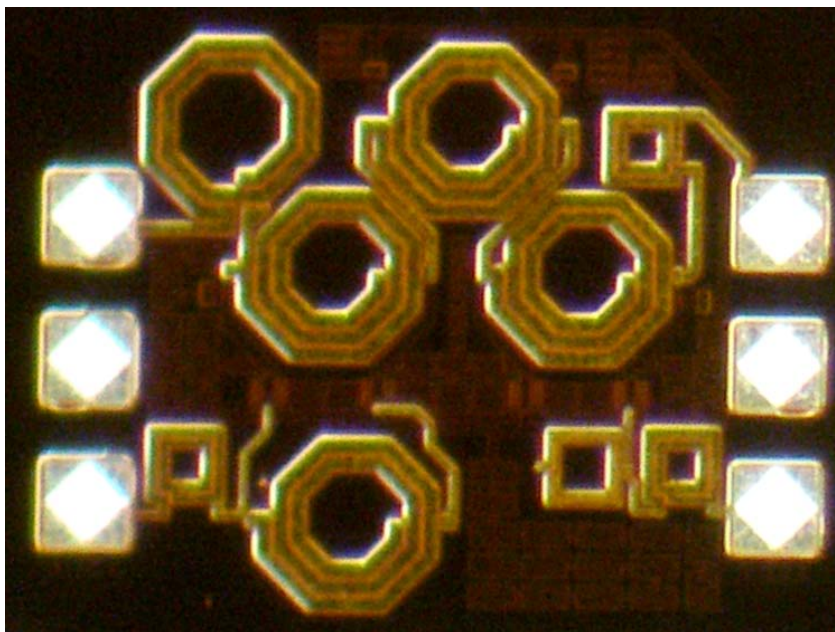
Para finalizar en la Figura 6.12 se muestra la respuesta del amplificador distribuido compacto 3. Como en los anteriores diseños este amplificador es la versión reducida del amplificador distribuido 3, pero con la salvedad de verse reducido su área. La respuesta no varía mucho de la del amplificador distribuido 3.





**Figura 6.12 Comparativa entre la medida y la simulación del amplificador distribuido compacto 3.**

La fotografía de la Figura 6.13 corresponde con el diseño en cuestión.



**Figura 6.13 Fotografía del amplificador distribuido compacto 3.**

La fotografía siguiente (Figura 6.14) es la correspondiente al último RUN completo, en el cual están los amplificadores distribuidos y diversas implementaciones del grupo de investigación.

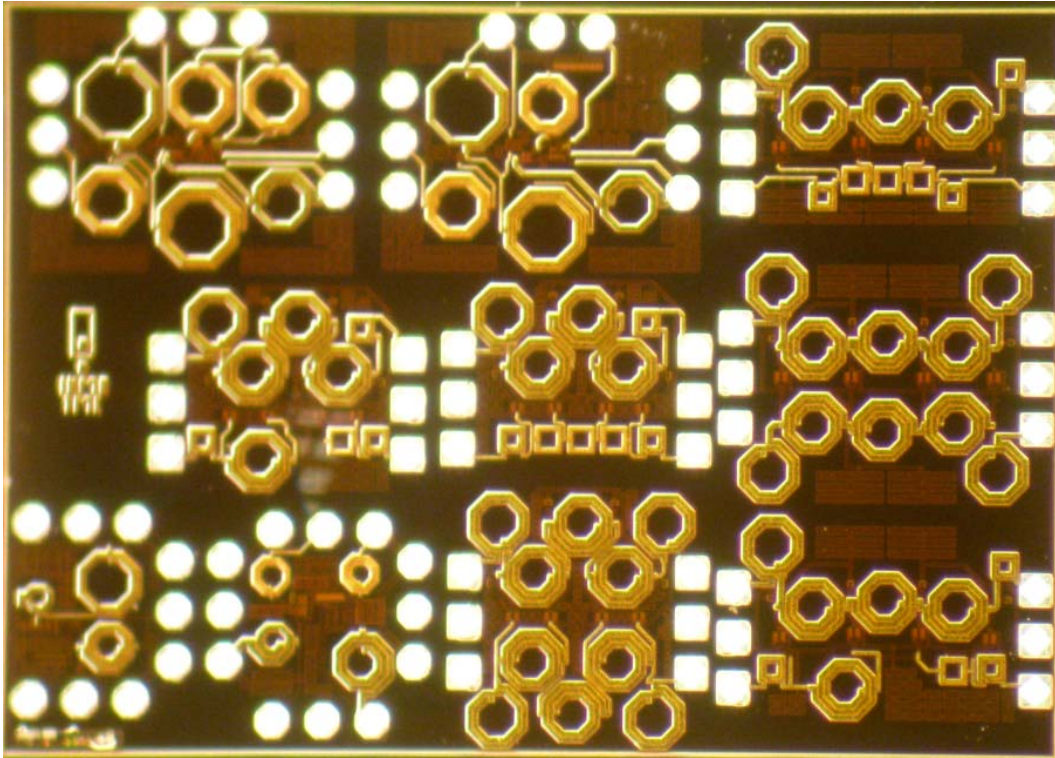


Figura 6.14 Fotografía del RUN.

## 6.5 Figura de mérito

A continuación haremos una comparativa con diferentes implementaciones de amplificadores de banda ancha. Para ello nos basaremos en los datos obtenidos de la Thesis de Srikanth Arekapudi [15], en la cual a partir de una figura de mérito diferente a la nuestra hace una comparativa entre diferentes diseños. Este autor utiliza una figura de mérito en donde el área no es importante, sin embargo, la figura de mérito que aquí se va a utilizar es la que aparece en el capítulo 2 en donde el área es un factor determinante para obtener una buena comparativa. En la tabla 6.1 se muestra los resultados.

Tabla 6. 1 Figura de Mérito

Implementación	Tecnología (μm)	Gain (dB)	NF (dB)	P <sub>1dB</sub> (dBm)	P <sub>dc</sub> (mW)	BW (GHz)	Área (mm <sup>2</sup> )	FOM (dB-Hz/mW-mm <sup>2</sup> )
[27]	0,18 CMOS	9,3	4,0	-5,7	9	2,3-9,2	1,1	127,11
[28]	0,25 CMOS	13,7	2,4	4,7	35	0,002-1,6	0,075	1831,06
[29]	0,18 CMOS	12,2	5,1	-3	35	1-7	--	--
[30]	0,4 CMOS	24	2,3	0,18	35	0,42-1,18	0,48	257,5

[12]	0,6 CMOS	7,4	6,86	6-8,8	83,4	0,5-5,5	0,79	185,48
<b>A D 1</b>	0,35 CMOS	7	5	12,33	104,31	0,5-5,5	0,742	<b>205,74</b>
<b>A D 2</b>	0,35 CMOS	5	5,95	11,25	83,622	0,5-3,9	0,592	<b>256,95</b>
<b>A D 3</b>	0,35 CMOS	5	6	11,61	102,82	0,5-3	0,61	<b>246,11</b>
<b>A D Comp. 1</b>	0,35 CMOS	7,1	4,5	12,45	112,03	0,5-5,5	0,61	<b>250,86</b>
<b>A D Comp. 2</b>	0,35 CMOS	5,1	6	11,27	99,47	0,5-6	0,471	<b>323,78</b>
<b>A D Comp. 3</b>	0,35 CMOS	5	5	11,87	115,56	0,5-3	0,504	<b>299,57</b>

Aunque la Tabla 6.1 muestra resultados de diseños realizados en diferentes, tecnologías podemos hacer una comparativa en lo que prestaciones se refiere. Como se puede apreciar, nuestros diseños presentan una buena figura de mérito comparada al resto de implementaciones. Cabe destacar que los resultados obtenidos son debidos al gran valor obtenido en la  $P_{1dB}$ , el cual ha sido determinante en la figura de mérito propuesta. En cambio, la implementación [28] destaca por encima de todos los diseños. Esto es debido a su reducida área ya que carece de bobinas. Sin embargo este diseño presenta un reducido ancho de banda que lo hace inservible para aplicaciones de UWB. También destacar que nuestro diseño es el que más consumo tiene solo comparable a la implementación [12] la cual posee unos valores muy similares a nuestro diseño. Sin embargo, en este caso todos nuestros diseños superan su figura de mérito.

## 6.6 Conclusiones

En este capítulo se ha hecho un pequeño resumen de la configuración realizada para hacer las medidas de los diseños. En relación con las medidas decir que los amplificadores distribuidos compactos tienen en general una mejor respuesta debido sobre todo a su reducido tamaño, lo cual reafirma los datos obtenidos en la simulación. Aunque los resultados en este tipo de diseños no son siempre equivalentes a los de la simulación, debido a la complejidad de su fabricación, podemos asegurar que los resultados obtenidos son bastantes satisfactorios y dan pie a futuras investigaciones en el campo del *Ultra Wide Band*. Además de las medidas, en este capítulo también se pueden observar las fotografías de cada diseño.

En el siguiente capítulo se hará un resumen de todo el trabajo y además se darán las conclusiones finales del proyecto.



# Capítulo 7

---

## Conclusiones

### 7.1 Conclusiones

Al llegar a este punto es conveniente recordar los aspectos más importantes que se han tratado en este proyecto.

La finalidad de este proyecto inicialmente fue la de diseñar un amplificador distribuido en tecnología SiGe 0.35  $\mu\text{m}$  para *Ultra Wide Band* pero una vez se realizó el primer *layout* nos dimos cuenta de que el circuito reunía las características apropiadas para poder probar diferentes tipos de bobinas y así ver su funcionamiento a alta frecuencia.

Inicialmente se hizo una introducción a los diferentes estándares inalámbricos de comunicación entre dispositivos que actualmente están en auge, como son, el *Wi Fi*, el *Bluetooth* y el *Ultra Wide Band*. En esta sección se hizo especial hincapié en la tecnología para la cual se diseñó el amplificador distribuido, el *Ultra Wide Band*.

El capítulo 2 básicamente se basa en una pequeña introducción teórica a los amplificadores distribuidos, posteriormente se analizan las diferentes estructuras que nos podemos encontrar en un diseño de este tipo y se muestra, además, el proceso para el cálculo de los componentes de un amplificador distribuido. En este capítulo se introduce un nuevo término “la figura de mérito” la cual nos va a ayudar para poder hacer comparaciones con otros circuitos.

En el siguiente capítulo (capítulo 3) se hace un estudio en profundidad de la tecnología empleada en este dispositivo.

Una vez estudiado el diseño de los amplificadores distribuidos así como su tecnología, pasamos a continuación al diseño del amplificador distribuido a nivel de esquemático (capítulo 4). En este capítulo se calculan todos los componentes necesarios para el diseño, para luego hacer las simulaciones iniciales.

Después de haber realizado el diseño a nivel de esquemático, el siguiente paso es realizar el diseño a nivel de *layout*. Si bien los resultados a nivel de esquemático son orientativos, estos son de gran utilidad ya que sirven de punto de partida para la

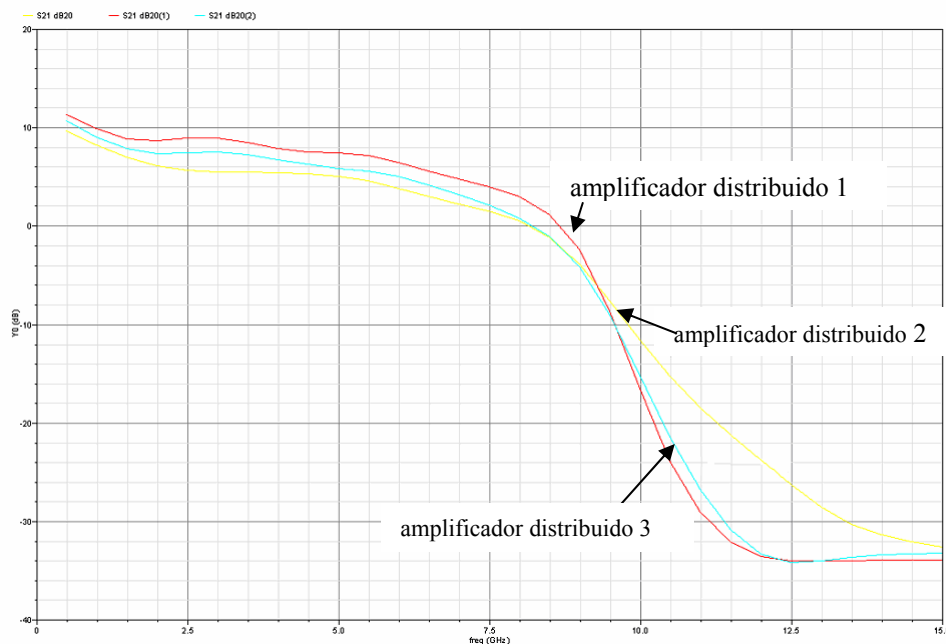
optimización posterior del diseño a nivel de *layout*. En el capítulo 5 inicialmente se realizaron tres diseños con diferentes tipos de bobinas los cuales fueron optimizados para que ocuparan un área menor.

Una vez hecho los diseños a nivel de *layout* y su posterior fabricación, en el capítulo 6 se muestran las medidas de los diseños y su comparativa a nivel de *layout* y esquemático. En este capítulo se compara los amplificadores distribuidos con diferentes implementaciones de banda ancha para lo cual nos hemos ayudado de la figura de mérito anteriormente mencionada.

## 7.2 Análisis de los resultados

### 7.2.1 Resultados a nivel de *layout*

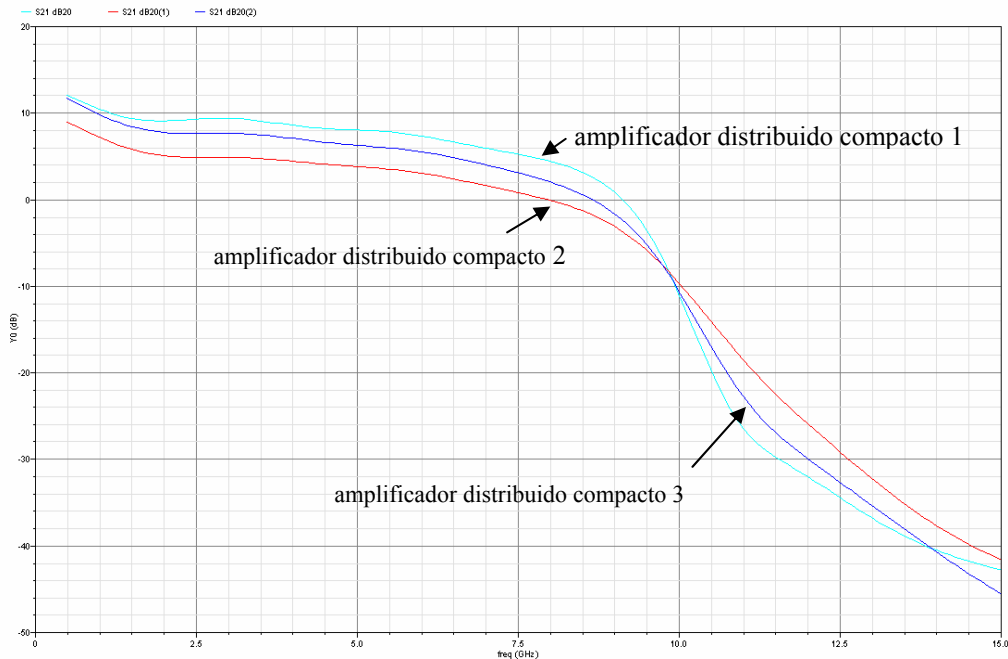
En este punto se realizará un análisis de los resultados de los diferentes diseños. Inicialmente se presentarán las gráficas comparativas del parámetro  $S_{21}$ , a nivel de *layout*, las cuales muestran la respuesta de cada amplificador según su estructura. En la Figura 7.1 se puede apreciar la comparativa de todos los amplificadores distribuidos y en la Figura 7.2 la comparativa de los amplificadores distribuidos compactos.



**Figura 7.1** Comparativa del parámetro  $S_{21}$  de los amplificadores distribuidos 1 2 y 3.

Esta gráfica nos muestra claramente que el amplificador distribuido 1 tiene una mejor respuesta ya que las bobinas que se utilizaron en este diseño poseían mejor factor

de calidad que el resto de diseños. El amplificador distribuido 3 es el segundo con mejor respuesta siendo el amplificador distribuido 2 el que peor respuesta presenta.



**Figura 7.2 Comparativa del parámetro  $S_{21}$  de los amplificadores distribuidos compactos 1 2 y 3**

Con respecto a las versiones compactas, al igual que en la anterior gráfica, el amplificador distribuido 1 es el que mejor respuesta tiene. Hay que resaltar que las variantes compactas de los amplificadores distribuidos presentan un ancho de banda mayor que los amplificadores distribuidos iniciales. Esto es debido a que los diseños compactos poseen menos ruteado evitando de esta manera la aparición de componentes parásitos.

En la tabla 7.1 se puede apreciar la figura de mérito de cada amplificador distribuido.

**Tabla 7. 1 Figura de mérito**

Diseño	Figura de mérito
<b>A D 1</b>	210,88
<b>A D 2</b>	265,05
<b>A D 3</b>	255,42
<b>A D compacto 1</b>	257,39
<b>A D compacto 2</b>	332,95
<b>A D compacto 2</b>	311,27

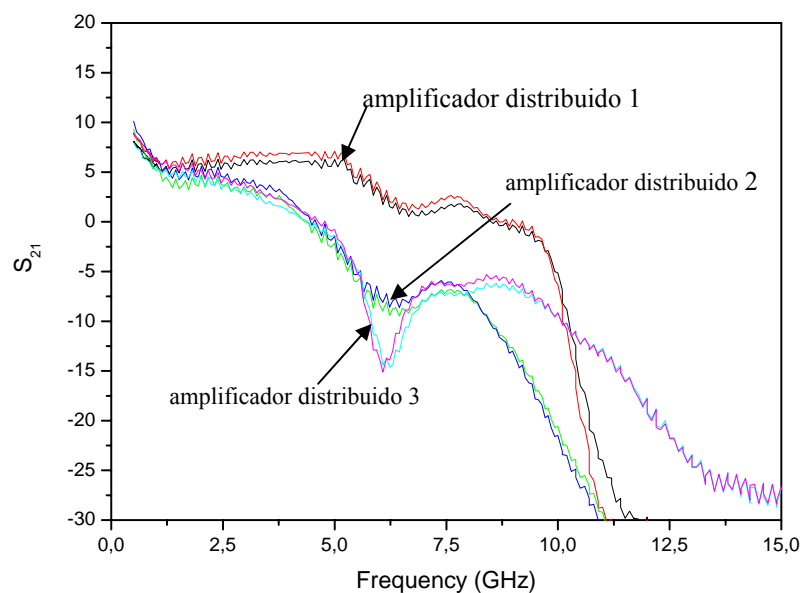


Como se comentó en el capítulo 5 el amplificador con mejor figura de mérito era el amplificador distribuido compacto 2. Esto es debido, sobre todo, a que los diseños compactos, y este en particular, poseen menos área, lo cual es un factor determinante para obtener una buena respuesta.

## 7.2.2 Resultados de las medidas

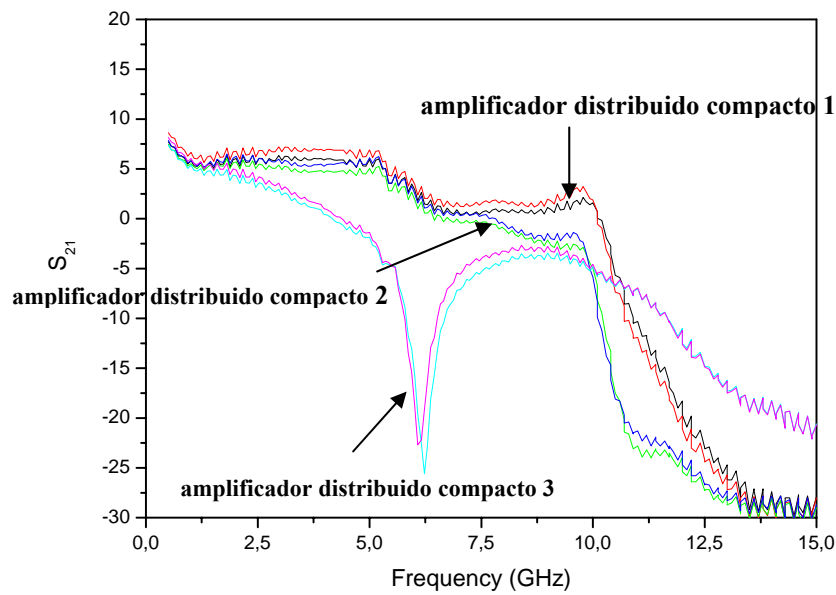
Al igual que ocurriese en las simulaciones a nivel de *layout* el amplificador distribuido 1, tanto el normal como el compacto, son los que poseen mejor respuesta ya que las bobinas utilizadas en estos diseños son las que poseen mejor factor de calidad.

En las Figuras 7.3 y 7.4 se puede ver la comparativa entre los amplificadores distribuidos normales y entre los amplificadores distribuidos compactos.



**Figura 7.3 Comparativa de la medida del parámetro  $S_{21}$  de los amplificadores distribuidos normales 1 2 y 3**

En esta gráfica se puede comprobar como la respuesta del amplificador distribuido 1 destaca sobre el resto. La respuesta de los amplificadores distribuidos 2 y 3 son muy similares.



**Figura 7.3 Comparativa de la medida del parámetro  $S_{21}$  de los amplificadores distribuidos compacto 1 2 y 3**

En cuanto a las versiones compactas, al igual que en los amplificadores distribuidos normales el A D compacto 1 es el que mejor respuesta tiene. Sin embargo, al contrario que ocurría en los anteriores diseños, el A D compacto 2 posee una respuesta muy similar al 1 hasta los 7.5 GHz. Este resultado concuerda más con las simulaciones y nos hace pensar que en el *layout* del A D normal 2 cometimos algún tipo de error. Finalmente el A D compacto 3 es el que peor respuesta presenta.

En la tabla 7.2 se muestra la comparativa realizada en el capítulo de medidas, en la cual podemos contemplar la figura de mérito de diferentes diseños de banda ancha. En la tabla se puede comprobar como nuestros diseños tienen una figura de mérito superior a la mayoría de implementaciones. Cabe destacar la implementación [28] en la cual, debido a su reducido área y su ancho de banda pequeño comparado con el resto de implementaciones, la figura de mérito da un valor muy por encima de los resultados de nuestros amplificadores distribuidos.

**Tabla 7. 2 Comparativa entre diferentes implementaciones**

Implementación	Tecnología ( $\mu\text{m}$ )	Área ( $\text{mm}^2$ )	FOM (dB-Hz/mW-mm <sup>2</sup> )
[27]	0,18 CMOS	1,1	127,11
[28]	0,25 CMOS	0,075	1831,06
[29]	0,18 CMOS	--	--
[30]	0,4 CMOS	0,48	257,5
[12]	0,6 CMOS	0,79	185,48
<b>A D 1</b>	0,35 CMOS	0,742	<b>205,74</b>
<b>A D 2</b>	0,35 CMOS	0,592	<b>256,95</b>
<b>A D 3</b>	0,35 CMOS	0,61	<b>246,11</b>
<b>A D comp. 1</b>	0,35 CMOS	0,61	<b>250,86</b>
<b>A D comp. 2</b>	0,35 CMOS	0,471	<b>323,78</b>
<b>A D comp. 3</b>	0,35 CMOS	0,504	<b>299,57</b>

### 7.3 Líneas futuras

Este proyecto fin de carrera posee un marcado contenido científico-tecnológico, por ello es pertinente indicar posibles líneas de trabajo futuras abiertas a partir del mismo:

- A D con etapas cascodo, en el cual mejoramos el aislamiento entre las líneas de drenador y puerta a la vez que aumenta la ganancia
- A D con etapas en cascada, este tipo de diseño permite que las cargas asociadas a las líneas de drenador y puerta de los A D intermedios no tengan que ser iguales a las cargas del primero y el último por lo que la ganancia podría mejorar considerablemente.
- A D con bipolares en los que podemos conseguir una respuesta en frecuencia mejor con un menor consumo.
- A D con una etapa simple, la ventaja de este amplificador sobre todo es su bajo consumo y su reducida área, ya que posee pocos elementos inductivos

Por último nos gustaría comentar que parte del trabajo aquí presentado ha sido publicado en la “*XXI Conference on Design of Circuits and Integrated Systems*” celebrada en Barcelona en Noviembre de 2006. El artículo completo aparece en el Anexo de este proyecto.



# Capítulo 8

## Presupuesto

### 8.1 Introducción

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento, para concluir con el estudio, en este capítulo se realizará un análisis económico con los costes tanto parciales como totales del proyecto.

### 8.2 Baremos utilizados

El cálculo del presupuesto de este proyecto se ha seguido según la “**Propuesta de baremos orientativos para el cálculo de honorarios**” establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir de 1-01-2006.

Esta propuesta establece que para “**Trabajos tarifados por tiempo empleado**” se aplique la siguiente ecuación:

$$H = H_n \times 65 + H_e \times 78 \quad (8.1)$$

Siendo:

- $H$  = Honorarios a percibir.
- $H_n$  = Horas contabilizadas en jornada normal.
- $H_e$  = Horas contabilizadas fuera de la jornada normal de trabajo.

Los honorarios que se obtengan por la aplicación de la clave “H” se reducirán a medida que aumente el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a lo detallado en la Tabla 8. 1.

**Tabla 8. 1 Coeficientes reductores.**

Horas		COEFICIENTE	
Hasta	36 horas	C=1	
Exceso de	36 horas	hasta 72 horas	C=0,9
Exceso de	hasta 72 horas	hasta 108 horas	C=0,8
Exceso de	hasta 108 horas	hasta 144 horas	C=0,7
Exceso de	hasta 144 horas	hasta 180 horas	C=0,65
Exceso de	hasta 180 horas	hasta 360 horas	C=0,60
Exceso de	hasta 360 horas	hasta 510 horas	C=0,55
Exceso de	hasta 510 horas	hasta 720 horas	C=0,50
Exceso de	hasta 720 horas	hasta 1.080 horas	C=0,45
Exceso de	hasta 1.080 horas		C=0,40

## 8.3 Cálculo del presupuesto

### 8.3.1 Costes debidos a los recursos humanos

En este apartado se incluyen los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, en la **Tabla 8. 2** establecemos unos valores indicativos del tiempo parcial empleado en cada fase del mismo.

**Tabla 8. 2 Tiempo empleado.**

DESCRIPCIÓN TIEMPO	PARCIAL (horas)
Búsqueda y estudio de la documentación	160
Estudio de la herramienta de diseño	95
Análisis y diseño del circuito	700
Medida de los diseños	250
Realización de la memoria	160

En definitiva, se necesitaron un total de 1365 horas para la realización de este proyecto, consideradas en su totalidad del tipo de jornada normal, con lo que el cálculo “H” resulta:

$$H = 1365 \times 65 = 88725 \quad (8.2)$$

Aplicando los coeficientes correctivos, dados por el COITT, a los tramos correspondientes resultan unos honorarios de:

$$H = 88725 \times 0.40 = 35.490\text{€} \quad (8.3)$$

### **8.3.2 Costes de amortización de los equipos informáticos y herramientas software**

A continuación se detallan, en las tablas 8.3 y 8.4, los costes relacionados a la utilización de equipos y herramientas software empleados en la elaboración del presente proyecto. Los costes están divididos entre el número de usuarios que acceden a ellos los cuáles se han estimado en un número de 50.



**Tabla 8. 3 Costes debidos a la utilización de herramientas software.**

Descripción	Tiempo de uso (meses)	Coste anual (€)		Total (€)
		Total	Usuario	
Sistema operativo SunOs Release 4.1.3, Openwindows y aplicaciones x11	12	903,32	18,06	18,06
Entorno y diseño de simulación Advanced Design System				
Amortización 3 años	12	2.208,11	44.162	44,16
Mantenimiento	12	1.445,31	28,90	28,90
Entorno Windows NT	12	306,21	6,12	6,12
Microsoft Office 2000	12	448,95	8,97	8,97
<b>COSTES DE HERRAMIENTAS SOFTWARE</b>		<b>TOTAL</b>		106,21

**Tabla 8. 4 Costes debidos a la utilización de equipos informáticos.**

Descripción	Tiempo de uso (meses)	Coste anual (€)		Total (€)
		Total	Usuario	
Estación de trabajo SUN Sparc modelo Sparc Station 10				
Amortización 3 años	12	5.228,80	104,57	104,57
Mantenimiento	12	1.274,65	31,49	31,49
Servidor para simulación SUN Sparc Station 10				
Amortización 3 años	12	5.068,53	101,37	101,37
Mantenimiento	12	1.547,65	31,49	31,49
Impresora Hewlett Packard Laserjet 4L				
Amortización 3 años	12	360	7,20	7,20
Mantenimiento	12	120,20	2,40	2,40

Ordenador Personal Pentium III 1 GHz Amortización 3 años Mantenimiento	12 12	360 120,20	7,20 2,40	7,20 2,40
<b>COSTES DE EQUIPOS INFORMÁTICOS</b>	<b>TOTAL</b>			288,12

### 8.3.3 Costes de medidas

En este apartado realizaremos un análisis económico de los gastos derivados del uso del laboratorio para la medida de los circuitos. Para la elaboración del estudio se ha tenido en cuenta que el laboratorio está siendo usado por una media de 10 personas a lo largo del año y la amortización de los equipos es a 10 años. Por otro lado el material fungible del laboratorio tales como puntas de medidas, cables, etc... se ha supuesto un periodo de amortización de 3 años.

**Tabla 8. 5 Costes de medida**

Descripción	Tiempo de uso	Coste anual (€)		Total (€)
		Total	Usuario	
Equipamiento del laboratorio de medida y estación del puntas	2 meses	30.477	3.047,7	507,95
Material fungible del laboratorio	2 meses	5.000	500	83,33
<b>COSTES DE MEDIDAS</b>	<b>TOTAL</b>			591,28

### 8.3.4 Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación

Descripción	mm <sup>2</sup>	Precio mm <sup>2</sup> (€)	Gastos
Amplificador distribuido 1	0,742	1.000	742
Amplificador distribuido 2	0,592	1.000	592
Amplificador distribuido 3	0,61	1.000	610

Amplificador distribuido c. 1	0,61	1.000	609,96
Amplificador distribuido c. 2	0,47	1.000	471,65
Amplificador distribuido c. 3	0,50	1.000	503,68
<b>COSTES DE FABRICACIÓN</b>	<b>TOTAL</b>		3529,29

### 8.3.5 Otros costes

En este apartado se incluyen los costes debidos al uso de Internet, material fungible y la elaboración del documento final.

**Tabla 8. 6 Otros costes.**

Descripción	Nº de unidades	Coste unidad	Total (€)
Horas de uso de Internet	200 horas	1,2 €/hora	240
Paquetes papel DIN_A4 80 gr/m <sup>2</sup>	3	4,55 €	13,65
Fotocopias	1.000	0,04 €	40
Otros			115
<b>OTROS COSTES</b>	<b>TOTAL</b>		408,65

### 8.3.6 Presupuesto total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

**Tabla 8.2 Presupuesto total**

<b>Costes</b>	<b>Total(€)</b>
Costes de herramientas software	106,21
Costes de equipos informáticos	288,12
Costes de medida	591,28
Costes de fabricación	3529,29
Costes de recursos humanos	35.490
Otros costes	408,65
Subtotal	39822,27
IGIC (5%)	1991,11
<b>PRESUPUESTO TOTAL</b>	<b>41813,38</b>

D. Gustavo Martín Ramírez declara que el proyecto “**Diseño de un amplificador distribuido en tecnología SiGe 0,35  $\mu$ m para *Ultra Wide Band* (UWB)**” asciende a un total de **cuarenta y un mil ochocientos trece euros con treinta y ocho céntimos**.

Fdo. Gustavo Martín Ramírez

DNI:52.839.169G

Las Palmas de Gran Canaria, a 15 de Enero de 2007.



# Bibliografía

---

- [1] G. Brown, “Ultrawideband: Spectrum for Free”, Unstrung Insider ([www.unstrung.com](http://www.unstrung.com)) W.-K. Chen, Linear Networks and Systems (Book style). Belmont, CA: Wadsworth, 1993, pp. 123–135.
- [2] Federal Communications Commission, FCC First Report and Order: “In the matter of Revision of Part 15 of the Commission’s Rules Regarding Ultra-Wideband Transmission System”, FCC 02-48, April 2002.
- [3] MB OFDM Alliance-SIG, “Multiband OFDM Physical Layer Proposal for IEEE 802.15 Task Group 3a”, Sept, 2004.
- [4] A. Ismail and A. Abidi, “A 3.1 to 8.2 GHz direct conversion receiver for MB-OFDM UWB communication,” in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, pp. 208–209, Dec 2005.
- [5] B. Razavi, Aytur, T., Fei-Ran Yang, Ran-Hong Yan, Han-Chang Kang, Cheng-Chung Hsu and Chao-Cheng Lee, “A 0.13  $\mu\text{m}$  CMOS UWB transceiver,” in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, pp. 216–217, Feb 2005.
- [6] R. Roovers, D. M. W. Leenaerts, J. Bergervoet, K. S. Harish, R. C. H. van de Beek, G. van der Weide, H. Waite, Y. Zhang, S. Aggarwal, and C. Razzell, “An Interference-Robust Receiver for Ultra-Wideband Radio in SiGe BiCMOS Technology”, IEEE Journal of Solid-State Circuits, vol. 40, no. 12, Dec 2005.
- [7] A. Bellomo, “Gain and noise considerations in RF feedback amplifier,” IEEE J. Solid-State Circuits, vol. 3, no. 3, pp. 290–294, Sep. 1968.
- [8] AMS Austria Micro Systems, “0.35  $\mu\text{m}$  BiCMOS Design Rules” Rev. 2.0. 2003.

- [9] AMS Austria Micro Systems, “0.35  $\mu\text{m}$  BiCMOS Process Parameters” Rev. 1.0.
- [10] W. S. Percival, “Thermonic valve circuits,” British Patent 460 562, Jan.25, 1937.
- [11] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg, and J. D. Noe, “Distributed amplification,” *Proc. IRE*, vol. 36, pp. 956–969, Aug. 1948.
- [12] B.M. Ballweber, R. Gupta and D.J. Allstot, “A Fully Integrated 0.5-5.5-GHz CMOS Distributed Amplifier,” *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 231–239, February 2000.
- [13] A. Worapishet, M. Chongcheawchamnan and S. Srisathit, “Broadband Amplification in CMOS Technology using Cascaded Single-Stage Distributed Amplifier,” *Electronics Letters*, vol. 38, pp. 675–676, July 2002.
- [14] R.-C. Liu, K.-L. Deng and H. Wang, “A 0.6-22-GHz Broadband CMOS Distributed Amplifier,” in *RFIC Symp. Dig.*, pp. 103–106, Jun 2003.
- [15] Srikanth Arekapudi “Analysis and Design of Cmos Wide-Band Low Noise Amplifiers” p. 10, August 2004.
- [16] Brian M. Ballweber, Member, IEEE, Ravi Gupta, Member, IEEE, and David J. Allstot, Fellow, IEEE “A Fully Integrated 0.5–5.5-GHz CMOS Distributed Amplifier,” *IEEE Transactions on Solid-State Circuits*, vol. 35. n° 2, Feb 2000.
- [17] D. G. Sarma, “On distributed amplification,” *Proc. Inst. Elect. Eng.*, vol.102B, pp. 689–697, 1954.
- [18] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [19] A. Goñi, S. Khemchandani, J. del Pino, B. González y A. Hernández “A 5GHz SiGe VCO for WLAN Using Optimized Spiral Inductors”, XIX Conference on Design

of Circuits and Integrated Systems, DCIS 2004, Bordeaux, Nov. 2004 Pendiente de publicación.

[20] Y. K. Koutsoyannopoulos, and Y. Papananos, “Systematic analysis and modelling of integrated inductors and transformers in RF IC design,” IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing, vol 47, no.8, pp. 699-713, August 2000.

[21] C. C. Tang, C. H. Wu, and S. I. Liu, “Miniature 3-D inductors in standard CMOS process,” IEEE Journal of Solid-State-Circuits, vol. 37, no. 4, pp. 471-480, April 2002

[22] AMS, Austria Micro Systems, “0.35  $\mu\text{m}$  BiCMOS Process Parameters,” Rev. 1.0. 2002.

[23] Alan Hastings “The art of analog layout”, Prentice Hall, 2001.

[24] J.S. Yuan, “SiGe, GaAs, and InP Heterojunction Bipolar Transistors,” John Wiley & Sons, 1999.

[25] Ben G. Streetman, “Solid state electronic devices”, Prentice Hall, Fourth Edition 1995.

[26] Momentum User’s Manual, 2004A ed., Agilent Technologies, Sept. 2004.

[27] Andrea Bevilacqua and A. Niknejad, “An Ultrawideband CMOS Low-Noise Amplifier for 3.1–10.6-GHz Wireless Receivers”, IEEE Journal of Solid-State Circuits 39, pp 2259-2268, Dec 2004.

[28] Federico Bruccoleri, Eric A. M. Klumperink, “Wide-Band CMOS Low-Noise Amplifier Exploiting Thermal Noise Canceling”, 2004.

[29] Stefan Andersson, Christer Svensson and Oskar Drugge, “Wideband LNA for a Multistandard Wireless Receiver in 0,18  $\mu\text{m}$  CMOS”, April 2003.



[30] Johan Janssens, Michiel Steyaert and Hiroyuki Miyakawa, “A 2.7 Volt CMOS Broadband Low Noise Amplifier”, 1997.

# Anexo

---



# Design of a Fully Integrated DC to 8.5 GHz Distributed Amplifier in CMOS 0.35

G. Martín, R. Diaz, J. del Pino, S. L. Khemchandani, A. Goñi, A. Hernández

**Abstract**—A fully-integrated Distributed Amplifier was implemented in a standard 0.35  $\mu\text{m}$  CMOS process up to 10 dB of gain and a bandwidth of 8.6 GHz. Octagonal inductors with no ground shield were implemented in top available metal. Design guidelines for optimizing amplifier gain are presented. Chip dimensions are  $0.75 \times 1 \text{ mm}^2$  and power dissipation is 107 mW, drawn from a 3.3 V supply.

**Index Terms**—Radio-frequency (RF) Integrated Circuit, Distributed Amplifier, Spiral Inductor, Ultra Wide Band.

## I. INTRODUCTION

The need for devices that can deliver large amounts of power without sacrificing any bandwidth has inspired researchers to develop fancy semi-compound technologies (GaAs, InP, GaN and others). One disadvantage of such technologies is the relatively high cost of integration, when compared with standard CMOS substrates. CMOS devices on the other hand, exhibit relatively low speed and passive structures with much lower quality factors, due to the lossy substrate [1]. This problem can be overcome by using a high resistivity substrate, but this usually adds more complexity and cost to the overall process. It is in the context of an SOC solution that researchers have continued their effort to demonstrate that CMOS can be used as an alternative to conventional microwave solutions.

The use of distributed amplification is proposed in this paper to push the limit of operation of an old technology (0.35  $\mu\text{m}$  CMOS) to 8.6 GHz with possible applications to Ultra Wide Band (UWB) systems.

The organization of this paper is the following. In section II we present the distributed amplifier basics. Sections III is devoted to the distributed amplifier and integrated inductors design methodology. The results of the designed circuit are presented in section IV, where the layout design issues are also addressed. Finally some conclusions are given.

This work has been partially supported by the Spanish MEC and MCyT under projects TEC-2005-08091-C03-03 and FIT-330100-2006-43.

Authors are with the Institute for Applied Microelectronics (IUMA) and Department of Electronic and Automatic Engineering (DIEA) University of Las Palmas de Gran Canaria, Spain. (e-mail: jpino@iuma.ulpgc.es).

## II. DISTRIBUTED AMPLIFIER BASICS

The frequency response of a MOS device degrades due to the pole formed by the input/output capacitance of the transistor and the resistance it sees. The MOSFET's transconductance rapidly falls with frequency and any attempt to increase the transconductance by increasing the size of the device will also increase its input/output capacitance. Thus, while low-frequency gain has been increased, the gain-bandwidth product remains about the same.

The gain-bandwidth product limits conventional circuit design to approximately 40% of the device's  $f_{\text{max}}$ .

The concept of distributed amplification has been around for over a half century [2][3]. Distributed amplifiers employ a topology in which the gain stages are connected such that their capacitances are separated, yet the output currents still combine in an additive fashion (Fig. 1). Series-inductive elements are used to separate capacitances at the inputs and outputs of adjacent gain stages. The resulting topology, given by the interlaying series inductors and shunt capacitances, forms what is essentially a lumped-parameter artificial transmission line. The additive nature of the gain dictates a relatively low gain; however, the distributed nature of the capacitance allows the amplifier to achieve very wide bandwidths.

Distributed amplification overcomes the gain bandwidth limitation absorbing the MOS input/output capacitance as part of the lumped elements of the artificial transmission line, formed with the series inductance that connects adjacent drains and gates.

As the amplified signals at each stage travels towards the load, the signal gets attenuated due to non-zero losses associated with the transmission lines. Finite Q inductors are the primary source of losses in the gate line. Losses in the drain line can be attributed to lossy inductors  $L_d$  and the drain-source resistance ( $r_{ds}$ ).

The characteristic impedance ( $Z_0$ ) and cut-off frequency ( $f_c$ ) of lossless transmission line are given by

$$Z_0 = \sqrt{\frac{L}{C}} \quad (1)$$

$$f_c = \frac{1}{\pi\sqrt{LC}} \quad (2)$$

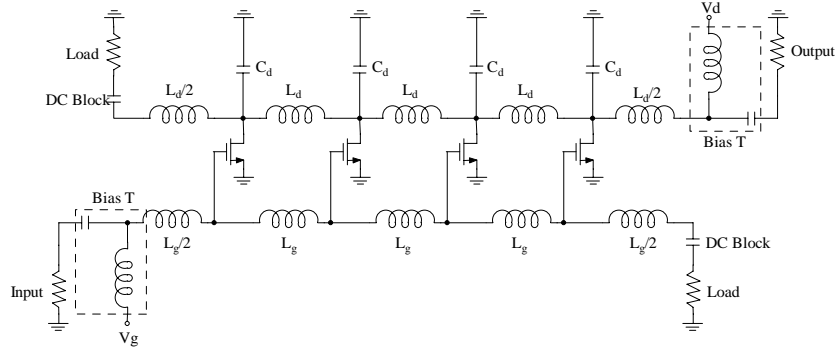


Fig. 1. Basic Distributed Amplifier schematic.

For having the same  $Z_0$  and  $f_c$ , the capacitance and inductance on both the drain and gate lines should be the same. For a MOSFET  $C_{db}$  is usually less than  $C_{gs}$ , hence a capacitor  $C_d$  is added in shunt to the drain to make the capacitances equal.

$$L_g = L_d = L \quad (3)$$

$$C_{gs} = C_{db} + C_d = C \quad (4)$$

The gain of the DA can now be expressed as

$$A = gm \frac{Z_0}{2\sqrt{1 - \left(\frac{f}{f_c}\right)^2}} \frac{e^{-N\frac{(A_g + A_d)}{2}} \sinh\left(N\frac{A_d - A_g}{2}\right)}{\sinh\left(\frac{A_d - A_g}{2}\right)} \quad (5)$$

where  $A_d$  and  $A_g$  are the attenuation of the drain and gate lines.  $gm$  is the transconductance of the MOSFET and  $N$  is the total number of stages. This equation assumes the following:

- Unilateral MOSFET model (ignores  $C_{gd}$ )
- Image impedance matched terminations
- Equal gate and drain phase velocities

The optimum number of stages that maximizes the gain is simply a function of gate and drain line attenuation. As the signal propagates along the gate line towards the termination, less signal is available for each MOSFET because of attenuation. Hence, the overall gain degrades with further increase in the number of stages. Unfortunately, the optimum number of stages cannot be easily obtained since the gate and drain line attenuations are complex functions and depend on the specific MOSFET parameters and also on the operating and cut-off frequencies. The number of stages for this work is chosen as 4 which was found to be optimum in [5][6][7].

Knowing the gain, number of stages, and drain-line inductance and capacitance, the required  $gm$  can be found from the low frequency gain of (5)

$$gm = \frac{2 \cdot A}{N} \sqrt{\frac{C_d}{L_d}} \Rightarrow gm = \frac{2 \cdot A}{N \cdot Z_0} \quad (6)$$

Then, the  $W/L$  ratio can be derived from

$$\frac{W}{L} = \frac{gm}{\mu_n C_{ox} (V_{gs} - V_T)} \quad (7)$$

Finally, the device length and width can be found by combining the above equation with the following expression

$$W \cdot L = \frac{C_g}{C_{ox}} \quad (8)$$

### III. DISTRIBUTED AMPLIFIER DESIGN

Following the guidelines outlined in the previous section a distributed amplifier for a cutoff frequency of  $\sim 10$ GHz, and a voltage gain of  $\sim 8$  dB was designed in a  $0.35 \mu\text{m}$  technology.

One of the difficulties in realizing a fully integrated distributed amplifier is creating the high-quality inductors necessary. On-chip spiral inductor parameters from full-wave electromagnetic simulations are used to simulate accurate artificial transmission line. A commercially available planar EM simulator (Momentum©) was used to predict the broadband response of inductors in lossy silicon substrates [8].

TABLE I  
INDUCTOR GEOMETRICAL PARAMETERS

	$s$ ( $\mu\text{m}$ )	$n$	$r$ ( $\mu\text{m}$ )	$w$ ( $\mu\text{m}$ )
L1	2	2.5	100	16
L2	2	2	100	16

Fig. 2 shows the simulated quality factor and inductance of  $L_d=L_g$  inductors (see L1 in Table I). As it can be shown this inductor presents a  $Q$  and an  $L$  of 9.8 and 1.4 nH, respectively, at 10 GHz. In the same way Fig. 3 shows the simulated quality factor and inductance of the  $L_d/2=L_g/2$  inductors (see L2 in Table I). In this case the  $Q$  and  $L$  are 11.4 and 1 nH, respectively, at 10 GHz. Although this inductor does not have half the inductance than  $L_d=L_g$ , its physical layout perfectly match with the other components in the design. Note that in such layouts, any non modelled element would imply a bad operation of the overall circuit. As it can be shown later, this issue is more important than the inductance value.

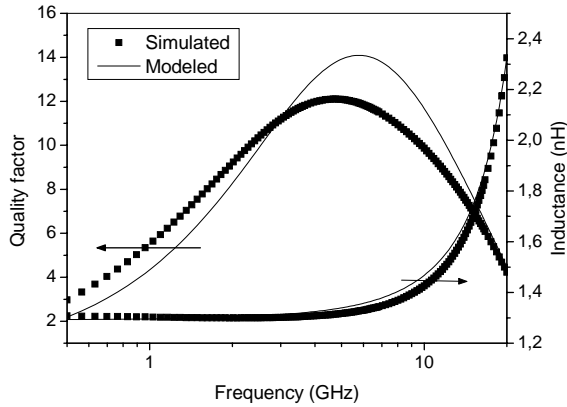


Fig. 2. Simulated and modelled Quality Factor and Inductance for  $L_d=L_g$ .

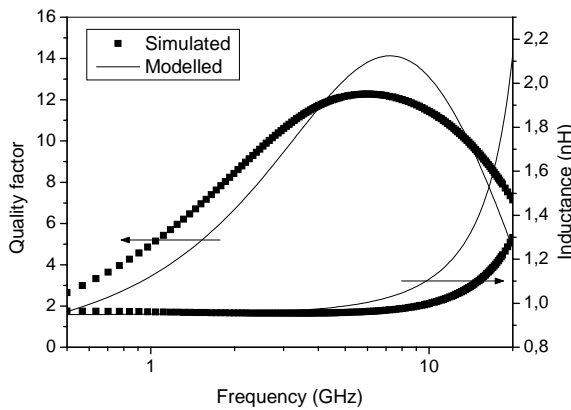


Fig. 3. Simulated and modelled Quality Factor and Inductance for  $L_d/2=L_g/2$ .

Both inductors were modeled using the well known pi model [9] in order to take into account its behavior in the schematics and layout simulations.

After making minor adjustments based on initial simulations, the resulting schematic, with initial component values, is shown in Fig. 4. This schematic includes the modeled inductors and also the corresponding subcircuits to take into account the effect of the pads. Note that additional capacitance has been added to the drain line to provide the required value.

Higher gain can be obtained by choosing higher characteristic impedance of gate and drain lines but the cutoff frequency will be lower, which will limit the bandwidth. On the contrary, wider bandwidth can be obtained with the tradeoff for gain. In order to investigate the tradeoffs between the gain and bandwidth with respect to the device size and drain capacitance line, two designs were simulated. The first one (DA1) utilizes a transistor size of  $260 \mu\text{m}$  (equivalent to a 13 gates device with  $10 \mu\text{m}$  gate width) and a capacitance  $C_d$  of 150 fF. The second one (DA2) is designed for lower frequency and higher gain with a transistor size of  $380 \mu\text{m}$  (equivalent to a 19 gates device with  $10 \mu\text{m}$  gate width) and a capacitance  $C_d$  of 198 fF. The frequency response of both circuits is shown in Fig. 5.

To this point, the simulated results correlate well with conventional theory, however, with the introduction of layout parasitics this will no longer hold true.

#### IV. RESULTS AND DISCUSSIONS

Fig. 6 shows the layout of the complete distributed amplifier DA1. The circuit occupies an area of  $0.75 \times 1 \text{ mm}^2$ , which include the pad frame. Due to very high frequency operation, special attention should be paid to the layout [4]. Thus, enough design accuracy can be achieved by adding accurate high-Q inductor model and optimizing parasitic effects coming from discontinuity and interconnection.

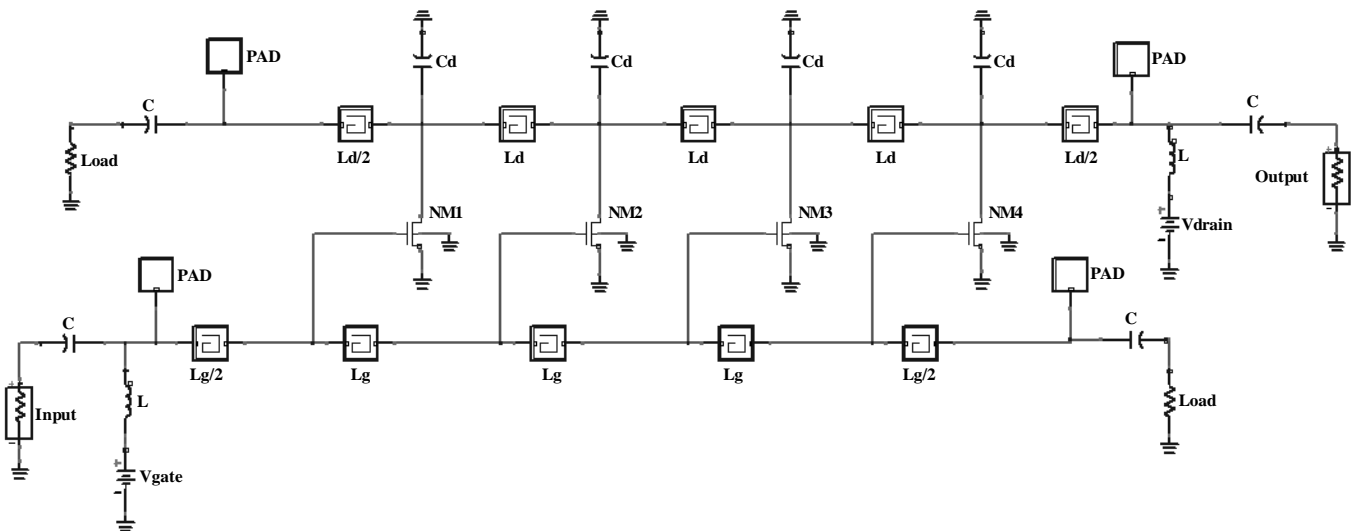


Fig. 4. Distributed Amplifier schematic.

The post-layout frequency response of the distributed amplifier is shown in Fig. 7. The gain is 8.5 dB with  $\pm 1.2$  dB flatness from 1 GHz to 5 GHz and the unity gain frequency is 8.6 GHz. The input and output match are generally much better than -10 dB over most of the bandwidth. The increase in gain in low frequency was due to the higher impedance of the blocking capacitance at low frequency. All simulations were taken under identical DC bias conditions, 3 V on the drain line and 0.8 V on the gate line; at this bias point the distributed amplifier consumed 35.64 mA for a total power dissipation of 107 mW. The phase response of this circuit is shown in Fig. 8. Result shows linear variation up to cutoff frequency.

In Fig. 9 the schematic and post-layout simulations are compared. As warned in the previous section, with the introduction of layout parasitics the simulated results differ with schematic simulations. In particular the bandwidth is reduced due to the capacitance added to the gate and drain artificial transmission lines by the routing metals. As a consequence special care should be taken on the routing metals and on the inductor layout in order to maximize the circuit performance. This is the motivation of using a  $L_d/2=L_g/2$  inductors that do not have half the inductance than  $L_d=L_g$  but that hold a physical layout which match with the other components in the design.

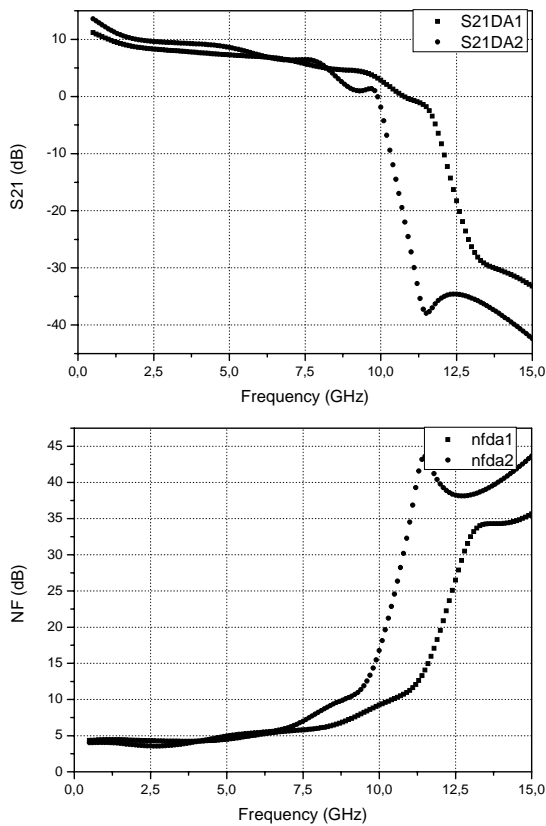


Fig. 5. The tradeoffs between the gain and bandwidth with respect to the device size and drain capacitance line. DA1:  $W=260 \mu\text{m}$  ( $n_g=13$ ),  $cd=150 \text{ fF}$  and DA2  $W=380 \mu\text{m}$  ( $n_g=19$ ),  $cd=198 \text{ fF}$ .

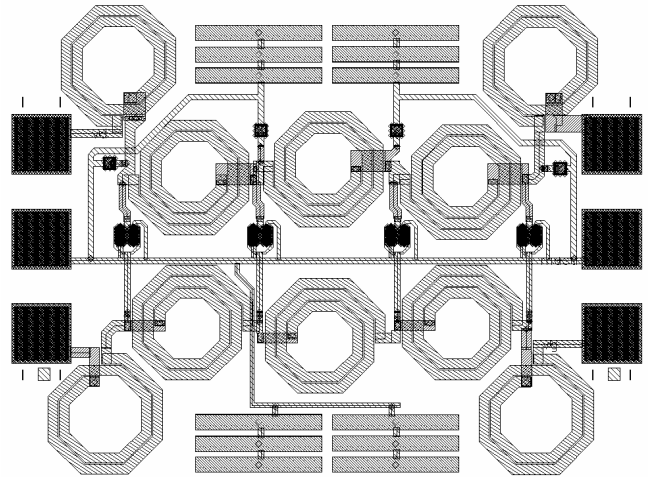


Fig. 6. Distributed Amplifier layout.

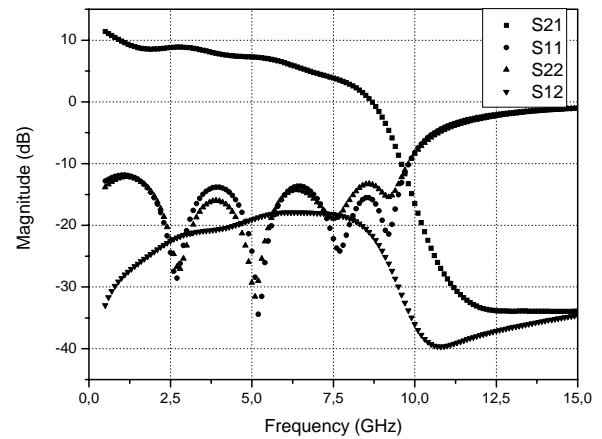


Fig. 7. Distributed amplifier post-layout S-parameter response.

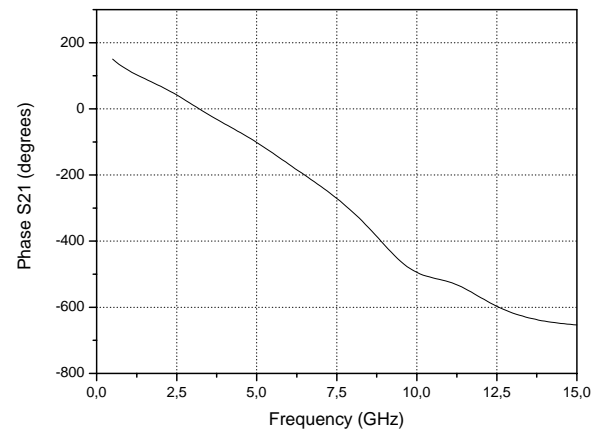
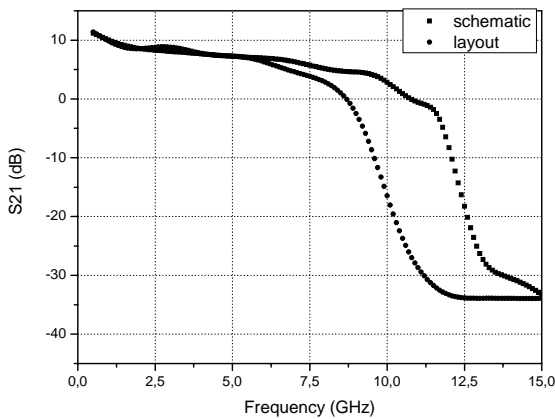


Fig. 8. Distributed amplifier post-layout phase response.



9. Comparison between schematic and post-layout simulations.

## V. CONCLUSIONS

A four-stage fully integrated CMOS distributed amplifier with 8.5 dB forward gain and 1.2 dB gain flatness over a 4 GHz bandwidth was implemented. Distributed Amplification opens the possibility for CMOS circuits to be considered as an alternative microwave solution and pushes the limit of operation of an old technology (0.35  $\mu\text{m}$  CMOS) to 8.6 GHz. Since this DA was designed using a commercial CMOS technology, it can be easily integrated with other front-end

circuits to build CMOS transceivers without requiring any post-processing steps.

## REFERENCES

- [1] Brian M. Ballweber, Ravi Gupta and David J. Allstot, "A Fully Integrated 0.5–5.5-GHz CMOS Distributed Amplifier" IEEE TRANSACTIONS ON SOLID-STATE CIRCUITS, VOL. 35, NO. 2, FEBRUARY 2000.
- [2] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg, and J. D. Noe, "Distributed amplification," Proc. IRE, vol. 36, pp. 956–969, Aug. 1948.
- [3] W. S. Percival, "Thermionic valve circuits," British Patent 460 562, Jan. 25, 1937.
- [4] Jinho Park, Kiyong Choi, and David J. Allstot "Parasitic-Aware RF Circuit Design and Optimization" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 51, NO. 10, OCTOBER 2004.
- [5] Y. Ayasli, R.L. Mozzi, J.L. Vorhaus, L D. Reynolds and R.A. Pucel, "A Mono-lithic GaAs 1-13 GHz Traveling-Wave Amplifier," IEEE Transactions on Mi-crowave Theory and Techniques, vol. 30, pp. 976–981, July 1982.
- [6] Michael Ross, Investigation of Taper and Forward-Feed in GaAs MMIC Dis-tributed Amplifiers, M.E. thesis, Department of Electronics, Carleton University, June 1987.
- [7] J.B. Beyer, S.N. Prasad, R.C. Becker, J.E. Nordman, and G.K. Hohenwarter, "MESFET Distributed Amplifier Guidelines," IEEE Transactions on Microwave Theory and Techniques, vol. 32, pp. 268–275, July 1984.
- [8] *Momentum User's Manual*, 2004A ed., Agilent Technologies, Sept. 2004.
- [9] A. Goni-Iturri S. Khemchandani, J. del Pino, J. García, B. González and A. Hernández, "Design and Modeling of an on Silicon Spiral Inductor Library Using Improved EM Simulations", SPIE's International Symposium on Microtechnologies for the New Millennium 2005 (VLSI Circuits and Systems, Sevilla, 2005.

Fig.