

Estudio e Implementación de extensiones dedicadas del juego de instrucciones RISC-V

René Rodríguez Paredes

Dr. Pedro Pérez Carballo

Grado en Ingeniería en Tecnologías de la Telecomunicación
SISTEMAS ELECTRÓNICOS, Julio 2025

Introducción y objetivos

Este trabajo explora cómo, mediante la expansión del conjunto de instrucciones RISC-V (1) (2), se puede acelerar la ejecución de las aplicaciones presentes en un amplio rango de los ámbitos de la computación.

Metodología y desarrollo

Se ha seguido una metodología (3) de trabajo basada en un proceso iterativo: fijar objetivos, adquisición de conocimientos, realización de prototipado y la obtención de resultados y realización de la documentación.

1. Estudio inicial realizado de la ISA RISC-V ha permitido conocer a fondo el formato de instrucciones, para entender a posteriori las diversas implementaciones.
2. Prototipado de diferentes procesadores que incluyen algún tipo de acelerador hardware para, mediante la validación del mismo determinar la plataforma óptima.
3. Se ha concluido con el acelerador Ara (4), con el CVA6 (4) como *host*, ambos integrados a su vez, en la plataforma Cheshire (5) y se han obtenido los resultados de potencia (6), rendimiento y área para la placa de prototipado VCU128.
4. Finalmente se han analizado diversas implementaciones ASIC realizadas por los desarrolladores de estas plataformas.

Resultados y conclusiones

Este trabajo ha contribuido de forma significativa a la comprensión del ecosistema RISC-V, a establecer la metodología necesaria para abordar un proyecto de cierta complejidad usando RISC-V y plantea nuevos retos en el camino a difundir esta tecnología de referencia en el contexto europeo.

