

# DESARROLLO DE UNA PLATAFORMA DE PERCEPCIÓN ESTEREOSCÓPICA DE PROFUNDIDAD BASADA EN SOPC

Santiago Díaz Villastrigo

Dr. Valentín de Armas Sosa, Dr. Félix Bernardo Tobajas Guerrero

GITT(Sistemas Electrónicos), Julio 2025

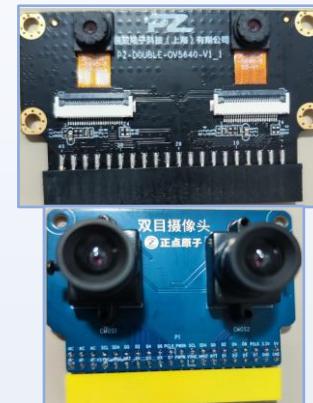
## INTRODUCCIÓN

La demanda de información 3D en el contexto de robótica, inspección y realidad aumentada exige soluciones de bajo coste y alto rendimiento.

La visión estereoscópica satisface este reto al estimar la profundidad mediante la disparidad entre dos cámaras. Este proyecto implementa una plataforma embebida sobre un SoPC PYNQ-Z2 capaz de capturar, rectificar y procesar en tiempo real imágenes estéreo para generar mapas de profundidad con aceleración hardware dedicada.

## OBJETIVOS

- Visualizar el vídeo en directo de las cámaras OV5640 de varios fabricantes vía HDMI
- Diseñar una PCB para la integración de las cámaras
- Calibrar y rectificar el array de cámaras
- Integrar el algoritmo StereoLBM con Vitis Vision
- Generar mapas de profundidad y evaluar precisión



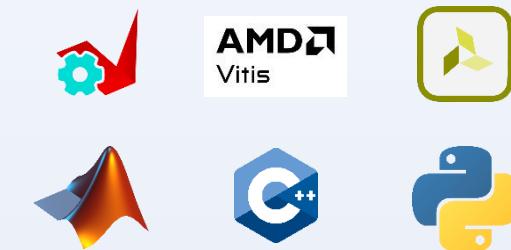
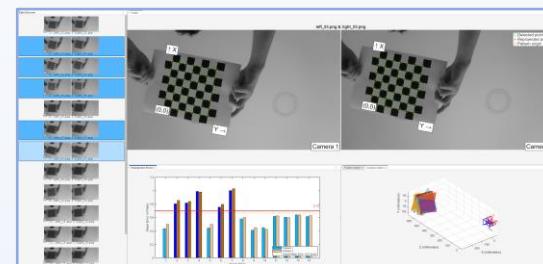
## METODOLOGÍA

Se creó una PCB de para el dispositivo PYNQ-Z2 que integra el módulo estéreo OV5640 a través de un *header* de 40 pines. La FPGA provee un reloj de 24 MHz y direcciona 8 líneas de datos directamente a la lógica programable.

Para alinear con precisión el par estéreo, se tomaron 30 pares de imágenes de un damero.

Estas imágenes se procesaron con la aplicación *Stereo Camera Calibrator* de MATLAB, obteniéndose los parámetros intrínsecos y extrínsecos de cada cámara tras la detección precisa de esquinas, el filtrado de *outliers* y la recalibración del par estéreo.

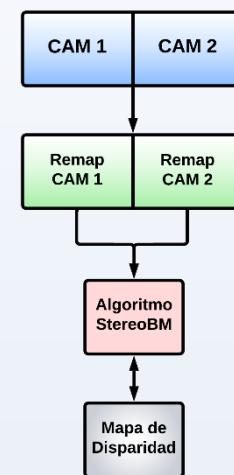
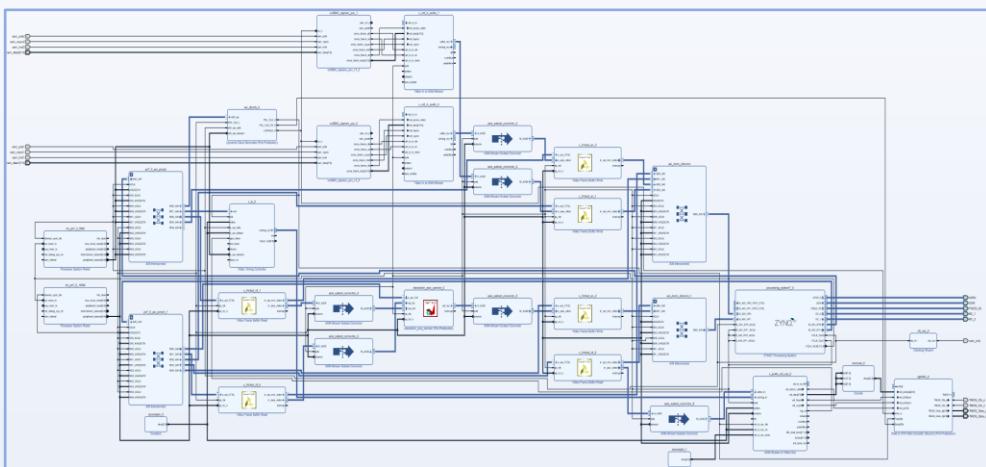
Se añadió una etapa de rectificación en *hardware* y se integró el acelerador StereoLBM generado con Vitis HLS y la biblioteca Vitis Vision en conjunto con OpenCV. Finalmente, se enlazó el núcleo HLS con el resto del subsistema HDMI para la generación final del mapa de disparidad.



## RESULTADOS

La cadena de vídeo creada en Vivado sigue un flujo *AXI-Stream* con *triple buffering* para sostener 60 fps y enviarlos por HDMI

En el mapa resultante se codifica, para cada píxel, la disparidad de posición entre las dos vistas estereoscópicas.



## CONCLUSIONES

Se ha validado una plataforma estéreo en tiempo real sobre el dispositivo PYNQ-Z2 que integra una PCB con un array de cámaras OV5640, calibra el sistema en MATLAB y genera mapas de disparidad mediante un acelerador SLBM en la FPGA, alcanzando 60 fps. El diseño roza el límite de DSPs y LUTs del dispositivo Zynq-7000, lo que fuerza una resolución de 800x600 píxeles.

Como líneas futuras, se plantea migrar a algoritmos más avanzados, como SGM o redes profundas, y escalar a un dispositivo MPSoC UltraScale+ para mayores resoluciones y permitir aplicaciones robóticas o autónomas.

## REFERENCIAS

- [1] Xilinx, «Zynq-7000 SoC Concepts, Tools and Techniques», 2013
- [2] OpenCV, «Camera Calibration», 2024
- [3] MathWorks, «Using the Stereo Camera Calibrator App», 2024
- [5] AMD/Xilinx, «Stereo Local Block Matching, User Guide (Vitis Vision)», 2025
- [6] AMD, «Vitis Vision Library», 2025