

Desarrollo de una librería de secuencias UVM para la verificación de un módulo *crossbar* con interfaz AXI-4 usando IP de verificación de Mentor Graphics

Autor: D. Miguel Quevedo Rodríguez

Tutores: Dr. Valentín de Armas Sosa, Dr. Félix B. Tobajas Guerrero

GITT (Sistemas Electrónicos)

Junio de 2022

Introducción y objetivos

La verificación de productos de sistemas hardware digitales, está adquiriendo gran importancia, siendo en alguna medida la fase la que más tiempo se le dedica dentro del proceso de diseño. Es por lo que cada vez se impone la necesidad de buscar estándares y métodos de verificación que simplifiquen estas funciones. El objetivo principal de este Trabajo Fin de Grado (TFG), es realizar todas las secuencias de test, de un *testbench* UVM usando un IP de verificación de Mentor Graphics, de Siemens Business, que verifique las especificaciones descritas para un módulo *crossbar* con interfaz AXI4.

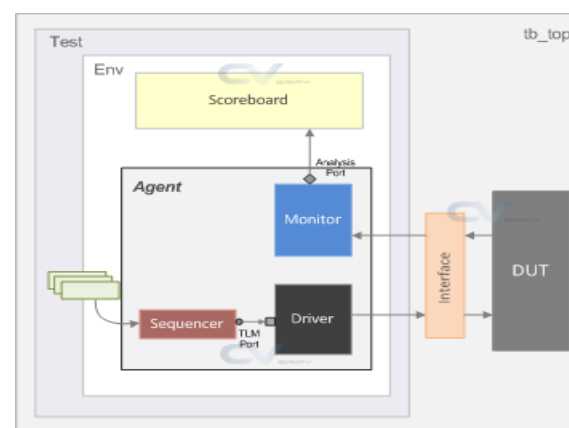


Figura I: Modelo de verificación UVM

Metodología

Este plan de verificación se sustenta en las secuencias de verificación, es por eso que el procedimiento seguido se basó en la estimulación de las entradas del DUV con las secuencias creadas y en el exhaustivo análisis de las respuestas de la salida para verificar las características en el DUV verificado. El diseño de las secuencias, su estructura y su uso basado en el conocimiento de la distribución de una secuencia UVM; el protocolo de *handshake* utilizado para mandar su secuencia UVM al componente a través del componente *UVM Sequencer*; y el análisis de los resultados obtenidos mediante la herramienta Wave.

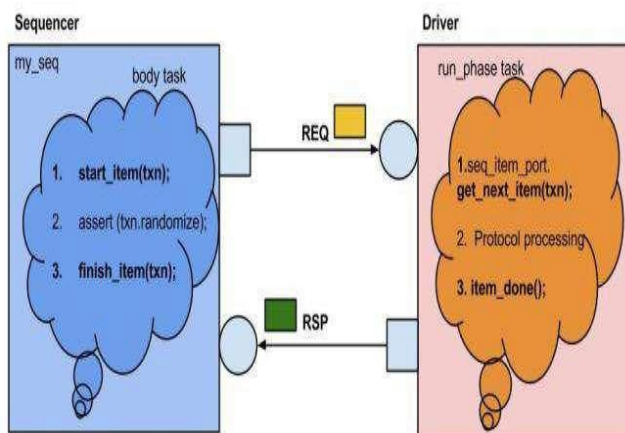


Figura II: Estructura de comunicación de una secuencia

Resultados y conclusiones

Se han realizado las secuencias necesarias, y se han ejecutado, obteniéndose la respuesta esperada, concluyendo que el DUV verificado mediante la metodología UVM, cumple con sus especificaciones. La metodología UVM y la implementación de la librería de secuencia UVM utilizando un entorno de verificación UVM con la reutilización del código de los componentes programados, resulta un método eficaz, donde cada día se impone más la necesidad de buscar estándares y métodos de verificación que simplifiquen las funciones de verificación.

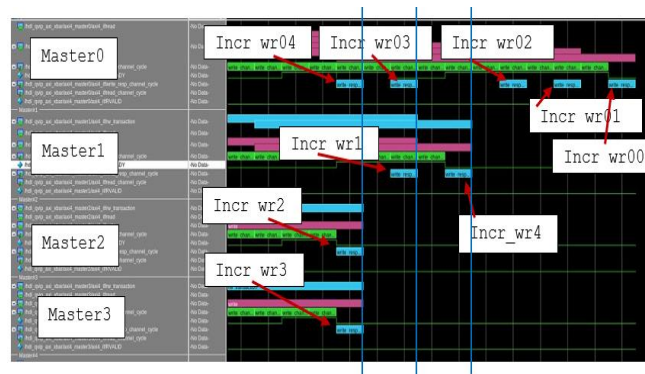


Figura III: Ejemplo de respuesta de ejecución de una secuencia