

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN
Y ELECTRÓNICA



TRABAJO DE FIN DE GRADO

***Estudio de la técnica bulk-driven y su aplicación al diseño
de mezcladores***

TITULACIÓN: Grado en Ingeniería en Tecnologías de la
Telecomunicación

MENCIÓN: Sistemas Electrónicos

AUTOR: Eduardo Díaz González

TUTOR: Dr. Sunil Lalchand Khemchandani

COTUTOR: D. David Galante Sempere

FECHA: Junio 2022

Agradecimientos

Esta página ha sido el brindis que he esperado toda mi carrera, porque significa que rendirse no ha sido una opción. Estos años de carreras me han enseñado que por muchas cosas que uno pueda hacer solo, no significa que tenga que ser así. Es por ello que todo mi trabajo y esfuerzo es compartido y dedicado.

Ha habido mucha gente detrás de mi ayudando y animando sin ni siquiera ellos saberlo. Desde los inicios de la carrera, donde estudiar en grupo se convirtió en una rutina de la que nunca me cansaré. Hasta el final, donde toda una clase de alumnos se han convertido en amigos y confidentes. Quiero agradecerles a todos el haberme exigido y ayudado a conseguirlo. A mi familia y novia su apoyo constante. A mis amigos de la facultad y de la residencia que espero no perder el contacto porque nunca olvidaré esta etapa de mi vida.

Pero sobre todo agradecerle a mi profesor Javier, mi tutor Sunil que ha sabido marcarme el ritmo al mismo tiempo que me guiaba con claridad y a mi cotutor David, el cual se ha involucrado y entregado sin flaquear ni un momento, gracias por ser un mentor que no solo me ha compartido sus conocimientos sino también una filosofía de vida.

Resumen

En este trabajo se ha realizado el diseño de un mezclador doblemente balanceado con transistores PMOS. Al tratarse de un elemento pasivo se han diseñado dos amplificadores de transimpedancia (TIA) para amplificar su señal. El mejor resultado se ha conseguido para un amplificador operacional de transconductancia (OTA) con realimentación negativa, con el que se ha obtenido una ganancia de conversión total de 80,3 dB y una figura de ruido de 7 dB.

Con la intención de mejorar estos resultados se ha aplicado la técnica *Bulk-Driven*. Para ello, se ha diseñado el mezclador con transistores tipo p para poder introducir la señal de entrada por el terminal de *bulk* del transistor sin afectar a otros componentes. En primer lugar, se estudió la aplicación de la técnica en un solo transistor PMOS y luego en el circuito del mezclador completo con el TIA conectado. Al introducir al mismo tiempo la señal por la puerta y por el *bulk*, se demuestran las mejoras de los resultados con una ganancia de 82,8 dB y una figura de ruido de 6,6 dB.

Todo este análisis se ha realizado sobre la prometedora tecnología 45-RFSOI de *Global Foundries*, una tecnología de tipo SOI (*Silicon-On-Insulator*) la cual está optimizada para altas frecuencias, ofreciendo pasivos con elevados factores de calidad y componentes de bajas pérdidas.

Abstract

In this work the design of a double-balanced mixer with PMOS transistors is presented. As it is a passive element, two transimpedance amplifiers (TIA) have been designed to amplify the signal. The best results were achieved with a negative feedback operational transconductance amplifier (OTA), achieving a gain of 80.3 dB and a noise figure of 7 dB.

To improve these results, the Bulk-Driven technique has been applied, which is why the mixer has been designed with p-type transistors, to introduce the input signal through the bulk without influencing other components. Firstly, this is achieved by studying the technique on a single PMOS transistor and then it is applied on the mixer with the TIA connected. By introducing the signal through the gate and through the bulk simultaneously, the results are enhanced and the circuit obtains a gain of 82.8 dB and a noise figure of 6.6 dB.

This analysis has been performed on Global Foundries' 45-RFSOI technology, a SOI (Silicon-On-Insulator) process which is optimised for high frequencies, offering high-Q passives and low loss components.

Índice general

Capítulo 1: Introducción	3
1.1 Antecedentes	3
1.2 Objetivos	3
1.3 Estructura del documento.....	4
Capítulo 2: Fundamentos teóricos.....	7
2.1 Transistor MOS.....	7
2.2 Operación Básica de los MOSFETs.....	10
2.2.1 Regiones de operación	11
2.3 Modelos en pequeña señal	14
2.3.1 Región activa	14
2.3.2 Región lineal	15
2.4 Conclusiones.....	15
Capítulo 3: Método de diseño g_m/I_D	16
3.1 Introducción a la metodología g_m/I_D	16
3.2 Principios básicos de la metodología g_m/I_D	16
3.3 Metodología g_m/I_D	18
3.4 Caracterización del transistor.....	19
3.5 Conclusiones.....	23
Capítulo 4: Estudio de la Tecnología 45RFSOI	25
4.1 Elementos pasivos:.....	25
4.1.1 Resistencias	25
4.1.2 Resistencia de la Tecnología.....	26
4.1.3 Condensadores.....	27
4.2 Elementos activos.....	30
4.2.1 MOSFETs de la tecnología	30
4.3 Conclusiones.....	33
Capítulo 5: Diseño del mezclador	35
5.1 Conceptos teóricos.....	35
5.2 Estructura del mezclador.....	36
5.3 Proceso de diseño del mezclador.....	37
5.4 Conclusiones.....	44
Capítulo 6: Diseño del amplificador de transimpedancia.....	45
6.1 Estructura del amplificador de transimpedancia	45
6.2 Proceso de diseño del amplificador de transimpedancia	47

6.3	Conclusiones.....	54
Capítulo 7:	Diseño de un TIA a partir de un OTA.....	55
7.1	Diseño de las etapas del OTA.....	55
7.1.1	Etapa de entrada.....	57
7.2	Etapa de salida y compensación Miller.....	59
7.3	Espejo de corriente.....	60
7.4	Diseño del amplificador de transimpedancia a partir del OTA.....	64
7.5	Conclusiones.....	70
Capítulo 8:	Análisis de la técnica <i>Bulk-Driven</i> en mezcladores.....	73
8.1	Técnica Bulk-Driven.....	73
8.2	Técnica Bulk-Driven aplicada al mezclador.....	75
8.3	Conclusiones.....	88
Capítulo 9:	Conclusiones.....	90
9.1	Resumen del trabajo realizado.....	90
9.2	Recopilación de resultados.....	90
9.3	Líneas futuras.....	93
	▪ Bibliografía	
	▪ Presupuesto	

Índice de figuras

Figura 2.1. Sección transversal de un transistor MOS de tipo N (a) y tipo P (b) [8].....	8
Figura 2.2. Simbología empleada para representar transistores MOS tipo N y P [8].	9
Figura 2.3. Representación de las tensiones y corrientes en los transistores MOS de tipo N y P [8].9	
Figura 2.4 Dimensiones de un transistor NMOS [8].....	10
Figura 2.5 Densidad de carga del canal cuando $V_{DS} > 0$ en un NMOS [8].....	11
Figura 2.6. Circuito para obtener las curvas características del transistor [8].....	12
Figura 2.7. Curvas I_D frente a V_{DS} para diferentes valores de V_{GS}	12
Figura 2.8. Modelo en pequeña señal de baja frecuencia de un transistor MOS en la región curva [8].	14
Figura 2.9. Modelo simplificado del transistor MOS en pequeña señal para baja frecuencia en la región lineal, válido cuando V_{DS} es pequeña [8].	15
Figura 3.1. Relación de g_m/I_D frente al coeficiente de inversión [19].....	19
Figura 3.2. Circuito de prueba para el estudio del transistor.....	21
<i>Figura 3.3. I_D vs V_{GS} de un Transistor NMOS.</i>	22
<i>Figura 3.4. Transconductancia del transistor NMOS.</i>	22
<i>Figura 3.5. Relación de g_m/I_D del transistor NMOS.</i>	23
<i>Figura 3.6. Frecuencia de tránsito del transistor NMOS.</i>	23
Figura 4.1. Vista de la resistencia integrada en perspectiva (a) y vista desde arriba (b) [22].....	25
Figura 4.2. Layout de la resistencia RR Polysilicon y RP Polysilicon [24].....	27
Figura 4.3. Esquema de un condensador MIM [26].	28
Figura 4.4. Esquema de un condensador MOM [21].	28
Figura 4.5. Modelo del condensador High Density MIM (a) y High-Q MIM (b) [24].....	29
Figura 4.6. Ejemplo de layout de los condensadores mimhd y mimhq [24].....	29
Figura 4.7. Respuesta del transistor NMOS TONPFETBC al variar la tensión en el bulk [24].....	32
Figura 4.8. Layout del transistor NMOS TONFETBC de la tecnología 45-RFSOI (a) y del transistor PMOS TOPFETBC [24].	33
Figura 5.1. Diagrama de bloques de un mezclador ideal [19].....	35
Figura 5.2. Estructura del mezclador.....	37
Figura 5.3. Esquemático del mezclador en la herramienta de diseño ADS.....	39
Figura 5.4. R_{ON} y R_{OFF} del transistor PMOS para una V_{Bulk} de 1,5V.	40
Figura 5.5. Circuito empleado para generar las señales del oscilador local	41
Figura 5.6. Desfase de las señales QLOp, QLOn, LOp y LOn del mezclador.	42
Figura 5.7. Ganancia del mezclador vs número de fingers del transistor PMOS.	44
Figura 5.8. Figura de ruido del mezclador vs número de fingers del transistor PMOS.....	44
Figura 6.1. Estructura del TIA [21].....	46
Figura 6.2. Estructura de los inversores del TIA [21].....	47
Figura 6.3. Diseño de los inversores.....	48
Figura 6.4. Símbolo del inversor.....	49
Figura 6.5. Diseño del TIA.....	50
Figura 6.6. Símbolo del TIA.....	51
Figura 6.7. Circuito del mezclador con el TIA conectado	52
Figura 6.8. Ganancia y Figura de ruido del circuito con el TIA conectado y activando la rama de la izquierda.....	53
Figura 6.9. Ganancia y figura de ruido del circuito con el TIA conectado y activando la rama de la derecha.....	53

Figura 7.1. Esquemático del OTA.	55
Figura 7.2. Distribución de corrientes en continua para el diseño del OTA.....	57
Figura 7.3. Espejo de corriente simple.	61
Figura 7.4. I_{Simple} vs V_{DS} del espejo de corriente simple.	62
Figura 7.5. Esquemático del Cascodo Simple.	62
Figura 7.6. I_{Simple} vs V_{DS} del Cascodo Simple.	63
Figura 7.7. Esquemático del Cascodo simple modificado.	63
Figura 7.8. I_{Simple} vs V_{DS} del Cascodo Simple modificado.	64
Figura 7.9. Circuito del OTA.	65
Figura 7.10. Símbolo del OTA.	66
Figura 7.11. Esquemático del TIA diseñado con OTAs con realimentación negativa.	67
Figura 7.12. Circuito completo del mezclador con el OTA conectado.	68
Figura 7.13. Diagrama de Bode.	69
Figura 7.14. Ganancia del circuito vs la frecuencia intermedia.	70
Figura 7.15. Figura de ruido del circuito vs la frecuencia intermedia.	70
Figura 8.1. Esquemático del transistor PMOS con la señal por la puerta y una $V_{\text{bulk}} = 1,8 \text{ V}$	76
Figura 8.2. Barrido de V_{GS} en continua para un transistor PMOS.	76
Figura 8.3. Barrido de V_{bulk} en continua para un transistor PMOS.	77
Figura 8.4. Barrido de V_{bulk} y V_{GS} en continua para un transistor PMOS.	78
Figura 8.5. Esquemático del transistor PMOS aplicando una tensión en continua por el terminal de la puerta y el bulk.	79
Figura 8.6. Barrido de V_{bulk} y V_{GS} en continua para un transistor PMOS.	80
Figura 8.7. Esquemático del mezclador con la señal del oscilador local por la puerta de los transistores.	81
Figura 8.8. Ganancia de conversión y figura de ruido vs V_{bulk} al introducir la señal del oscilador local por la puerta.	82
Figura 8.9. Esquemático del mezclador con la señal del oscilador local por el bulk.	83
Figura 8.10. Ganancia de conversión vs V_{bulk} al introducir la señal del oscilador local por el bulk.	84
Figura 8.11. Esquemático del mezclador con la señal del oscilador local por la puerta y el bulk.	85
Figura 8.12. Ganancia de conversión y figura de ruido vs V_{bulk} al introducir la señal del oscilador local por la puerta y por el bulk.	86
Figura 8.13. Esquemático del mezclador con la señal del oscilador local por la puerta y el bulk con una resistencia y condensadores de desacoplo.	87
Figura 8.14. Ganancia de conversión y figura de ruido vs la capacidad del condensador de desacoplo al introducir la señal del OL por la puerta y el bulk.	88
Figura 8.15. Ganancia de conversión y figura de ruido vs el valor de la resistencia al introducir la señal del OL por la puerta y el bulk.	88

Índice de tablas

Tabla 4.1. Valores de los parámetros de los condensadores MIM	30
Tabla 4.2. Tensión umbral y de saturación del transistor Thick-Oxide (DG) Body Contacted FET (TONPFETBC)	31
Tabla 5.1. Ganancia y figura de ruido del mezclador en función de las dimensiones de los transistores PMOS.....	43
Tabla 7.1. Especificaciones del OTA.	56
Tabla 7.2. Resultados teóricos de los transistores del par diferencial.....	59
Tabla 7.3. Resultados teóricos del transistor de la etapa de salida.	60
Tabla 7.4. Dimensiones de los transistores en el espejo de corriente Cascodo Simple.	64
Tabla 7.5. Resultados prácticos de los transistores del par diferencial y de la etapa de salida.....	65
Tabla 9.1. Recopilación de los resultados del mezclador.....	91
Tabla 9.2. Recopilación de los resultados de un transistor PMOS al introducir tensión en continua.	92
Tabla 9.3. Recopilación de los resultados del mezclador al aplicar la técnica Bulk-Driven.	92
Tabla 9.4. Costes de la amortización de recursos hardware.....	102
Tabla 9.5. Costes de la amortización de recursos software	102
Tabla 9.6. Presupuesto del trabajo tarifado y la amortización de inmovilizado material	103
Tabla 9.7. Presupuestos totales con la redacción del trabajo.....	104
Tabla 9.8. Costes del material fungible.	104
Tabla 9.9. Presupuesto total del proyecto.	105

MEMORIA

Capítulo 1: Introducción

A lo largo del capítulo se sitúa el contexto del proyecto, se muestran los objetivos perseguidos con la realización del presente Trabajo de Fin de Grado (TFG) y se describe brevemente la estructura completa del documento.

1.1 Antecedentes

El mezclador es un componente esencial en los transceptores inalámbricos para realizar la conversión de frecuencia. Su función es la de convertir o trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de la señal a trasladar (ancho de banda, relación de amplitudes, etc.). La señal de entrada puede estar localizada en cualquier rango de frecuencias, es decir, ser una señal en banda base o una señal paso-banda, y el mezclado puede realizarse tanto para subir en frecuencia la señal de entrada (*up-conversion*), como para bajarla (*down-conversion*). Su consumo, como el de cualquier otro elemento electrónico, se quiere minimizar todo lo posible. Es por ello por lo que se estudia la técnica *Bulk-Driven* para disminuir el consumo [1].

La técnica *Bulk-Driven* utiliza el transistor como un dispositivo de cuatro terminales usando el terminal de *bulk* (el cuarto terminal del MOSFET) para la señal de entrada [2], [3]. Aplicando esta técnica se consigue reducir el consumo de energía, prolongando la vida útil de la batería del sistema. Otra forma de reducir forma de eficiente el consumo es la utilización de tensiones bajas de alimentación. Para implementar un circuito con baja tensión de alimentación y bajo consumo la topología de este debe ser evaluada cuidadosamente [4], [5].

Para el estudio y diseño del proyecto se utilizó la tecnología 45-RFSOI de la fundidora *Global Foundries*, que permite hacer uso de la técnica *Bulk-Driven* en los transistores del circuito.

1.2 Objetivos

El objetivo principal de este TFG es estudiar la técnica *Bulk-Driven* para su posterior aplicación en diseños de mezcladores. A continuación, se desglosan los objetivos específicos del proyecto:

- ❖ **Objetivo 1:** Estudio del método de diseño g_m/I_D . Se estudian las ventajas y la aplicación de la metodología g_m/I_D en los transistores MOS.
- ❖ **Objetivo 2:** Estudio y análisis de la técnica *Bulk-Driven*. Se analiza dicha técnica y se prueba en los transistores MOS que son finalmente utilizados en el proyecto.
- ❖ **Objetivo 3:** Estudio de la tecnología 45-RFSOI para utilizar correctamente los modelos de los componentes requeridos en el circuito.
- ❖ **Objetivo 4:** Diseño y simulación del mezclador utilizando la técnica *Bulk-Driven*: se diseña y simula el mezclador utilizando la metodología g_m/I_D y la técnica *Bulk-Driven*.

Para llevar a cabo el proyecto se ha empleado la herramienta software *Advanced Design System (ADS)* de *Keysight Technologies*. Esta herramienta es ampliamente utilizada para el diseño de circuitos RF, es un instrumento muy potente que posee un gran número de librerías y componentes, además de diversos modos de simulación.

1.3 Estructura del documento

La estructura del documento se divide en nueve capítulos, los cuales se detallan a continuación:

- ❖ **Capítulo 1:** Se introduce el alcance del proyecto.
- ❖ **Capítulo 2:** Se explican los fundamentos teóricos del proyecto. Se comentan aspectos básicos requeridos para el desarrollo del trabajo. Y se realiza una introducción a los MOSFET.
- ❖ **Capítulo 3:** Se realiza una descripción de la metodología de diseño g_m/I_D .
- ❖ **Capítulo 4:** Se presenta un desglose de los componentes de la tecnología 45-RFSOI utilizados en este proyecto y se destacan los aspectos más relevantes.
- ❖ **Capítulo 5:** Se hace una introducción al funcionamiento y diseño de los mezcladores, en especial al utilizado en este proyecto. Explicando el proceso de diseño con los datos obtenidos.
- ❖ **Capítulo 6:** Este capítulo se dedica al diseño de un amplificador de transimpedancia (TIA) que se encuentra a la salida del mezclador.

- ❖ **Capítulo 7:** Se presenta el diseño de un TIA a partir de un amplificador operacional de transconductancia (OTA) para conectarlo a la salida del mezclador.
- ❖ **Capítulo 8:** En este capítulo se muestra la aplicación de la técnica *Bulk-Driven* en el circuito realizado.
- ❖ **Capítulo 9:** Se concluye el trabajo realizado, haciendo una recopilación de los resultados obtenidos.
- ❖ **Presupuesto:** Al final del proyecto se realiza el presupuesto necesitado en la elaboración del TFG.

Capítulo 2: Fundamentos teóricos

A continuación, se introducen varios conceptos esenciales para el desarrollo del proyecto, presentando una serie de aspectos teóricos relacionados con el funcionamiento de transistores metal-óxido-semiconductor (*Metal-Oxide Semiconductor* o MOS) de efecto de campo (*Field-Effect Transistor* o FET) o MOSFETs.

2.1 Transistor MOS

Como se ve en los siguientes capítulos, se realiza el diseño de un amplificador de transimpedancia, un mezclador y un amplificador operacional de transconductancia. Todos estos circuitos están formados por transistores MOS, por lo que es necesario introducir los principios de operación de los mismos.

En primer lugar, los circuitos basados en tecnologías CMOS (*Complementary Metal Oxide Semiconductor*) utilizan dos tipos de transistores: los de canal n o tipo N (llamados NMOS) y los del canal p o tipo P (llamados PMOS) [6]. El mecanismo que gobierna la conducción de corriente en los NMOS se basa en el desplazamiento de los electrones, mientras que en los PMOS los portadores de conducción de corriente son los “huecos”. Este concepto tiene que ver con el dopaje con cargas positivas (región p) o, lo que es lo mismo, la ausencia de electrones [7]. Esta situación queda reflejada en la Figura 2.1, donde se observa la sección de un transistor de canal NMOS (a) y PMOS (b). En el transistor de canal n, se observan cuatro terminales: puerta (*gate*), drenador (*drain*), fuente (*source*) y sustrato (*body, bulk, substrate* o B). Como se ve, los contactos de la fuente y el drenador están formados por una zona con dopaje n^+ , que se caracteriza por tener muchas cargas negativas. Por su parte, los contactos de sustrato están formados por regiones dopadas con cargas positivas o de tipo p^- . El símbolo “+” significa que se trata de una región altamente dopada y el símbolo “-” significa que se trata de una región con dopaje moderado.

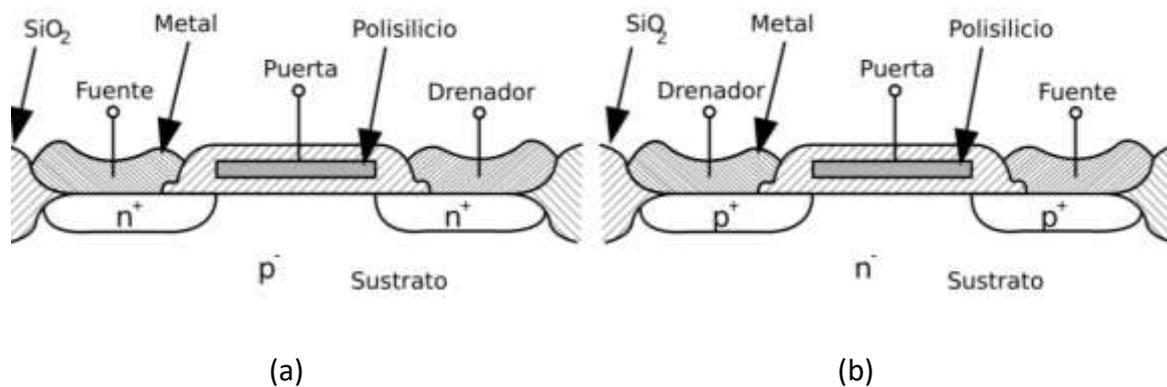


Figura 2.1. Sección transversal de un transistor MOS de tipo N (a) y tipo P (b) [8].

Hay que tener en cuenta que desde el punto de vista físico no hay diferencia entre el drenador y la fuente. Sin embargo, se llama fuente al terminal que está conectado a una tensión más negativa en un NMOS y a una más positiva en un PMOS. De este modo, cuando un transistor se activa la corriente fluye desde el drenador hacia la fuente en los NMOS y al revés en un PMOS. Asimismo, se denomina longitud de canal a la distancia entre el drenador y la fuente. Se destaca que en las tecnologías más modernas se ha logrado alcanzar longitudes de puerta de tan solo 5 nm [9].

Tanto para los transistores NMOS como para los PMOS, se utilizan diferentes símbolos representativos según los tipos de circuitos en los que se utilicen. En este sentido, en la Figura 2.2 (a) y (b) se muestran los símbolos empleados en el ámbito de los circuitos digitales para los NMOS y los PMOS, respectivamente. A su vez, las opciones presentadas en la Figura 2.2 (c-f) corresponden a los símbolos empleados para circuitos analógicos. En los símbolos de la Figura 2.2 (c) y (d), la flecha indica el sentido de la corriente, y en la Figura 2.2 (e) y (f), la flecha indica el sentido del diodo existente entre el sustrato y el canal. Cuando no se representa el terminal del sustrato en un MOSFET es porque se asume que está conectado a tensión más negativa (tierra o GND) en el caso de NMOS y en el caso de los PMOS a tensión más positiva (la tensión de alimentación V_{CC} o V_{DD}).

En la Figura 2.3, se puede apreciar la notación utilizada para referirse a las tensiones y corrientes características de los NMOS y PMOS. Nótese que con esta nomenclatura todas las tensiones y corrientes son siempre positivas.

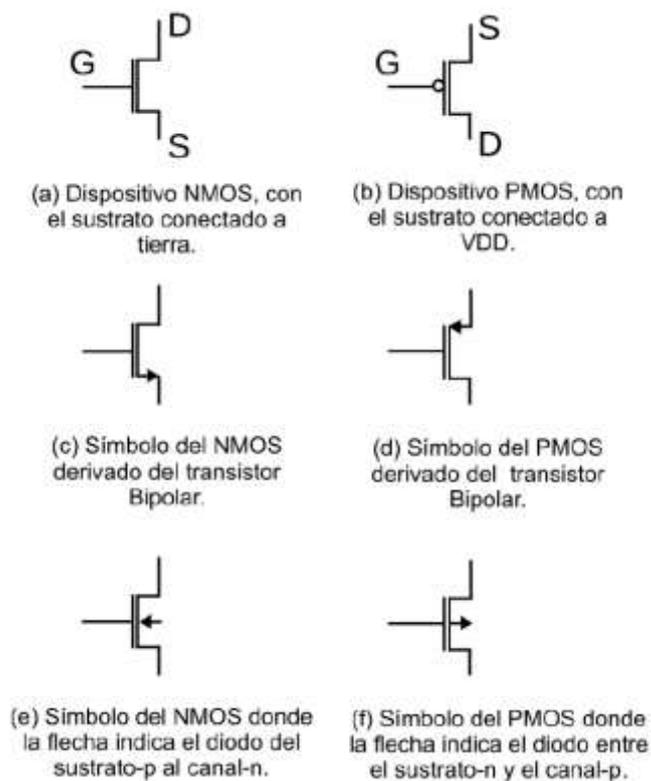


Figura 2.2. Simbología empleada para representar transistores MOS tipo N y P [8].

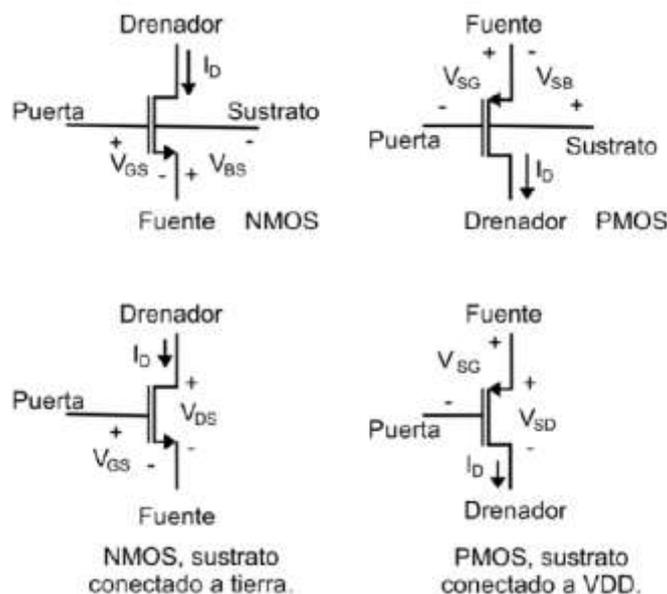


Figura 2.3. Representación de las tensiones y corrientes en los transistores MOS de tipo N y P [8].

2.2 Operación Básica de los MOSFETs

En un transistor MOS se define V_{TH} (*threshold voltage*) como la tensión umbral, que coincide con el valor mínimo de la tensión puerta-fuente V_{GS} para la cual se forma el canal bajo la puerta. Esta tensión V_{GS} es aquella para la cual que existe la misma concentración de electrones en el canal que de huecos en el sustrato. De este modo, si V_{GS} es inferior a V_{TH} se asume que no circula corriente entre el drenador y la fuente o que esta es despreciable. Asimismo, a medida que aumenta V_{GS} también aumenta la densidad de electrones en el canal. Esta densidad es proporcional a lo que se conoce como tensión efectiva o de *overdrive* (V_{eff} o V_{ov}), que se define como $V_{eff} = V_{GS} - V_{TH}$. Por lo tanto, si la tensión V_{GS} es mayor que la tensión umbral se forma el canal entre la fuente y el drenador del MOSFET. Si se aplica tensión en el drenador mientras se mantiene la fuente conectada a tierra, aparece una diferencia de tensión entre el drenador y fuente V_{DS} . Si esta diferencia de tensión es positiva, circula una corriente I_D por el canal del transistor desde el drenador hacia la fuente. Por regla general, se asume que I_D es igual a I_S (la corriente que circula por el drenador es la misma que circula por la fuente).

La relación entre V_{DS} e I_D es semejante a la de una resistencia cuando V_{DS} es pequeña, y queda representada por la expresión (2.1), donde Q_n es la densidad de cargas en el canal por unidad de superficie. Asimismo, en la Figura 2.4 se pueden apreciar las dimensiones del ancho (W) y largo (L) del transistor y cómo se definen.

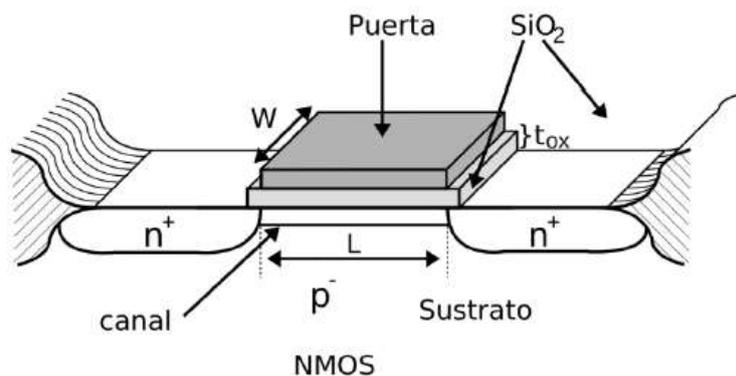


Figura 2.4 Dimensiones de un transistor NMOS [8].

$$I_D = Q_n \frac{W}{L} V_{DS} \quad (2.1)$$

Igualmente, en la ecuación (2.1) se aprecia que, al aumentar la longitud del transistor, la corriente se reduce, mientras que al aumentar la densidad de electrones o el ancho del transistor, la corriente aumenta. Por consiguiente, la densidad de electrones total (Q_{T-n}) depende de las dimensiones del canal, de la tensión efectiva y de la capacidad del óxido (C_{ox}). Esto se aprecia en la ecuación (2.2), teniendo en cuenta que esta ecuación solo se cumple para tensiones V_{DS} cercanas a cero.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.2)$$

La densidad de cargas en la zona del canal cercana al drenador disminuye al aumentar V_{DS} cuando hay una tensión positiva en el drenador, es decir, el canal va estrechándose. Este fenómeno sucede porque la diferencia de tensión entre la puerta y el canal es menor cerca del drenador, atrayendo así menos cargas negativas en esta región. Esto provoca un “estrangulamiento” del canal, como se aprecia en la Figura 2.5. Por lo tanto, cuando $V_{GD} \leq V_{TH}$ la corriente del canal se satura, permaneciendo la I_D aproximadamente constante, aunque V_{DS} siga aumentando.

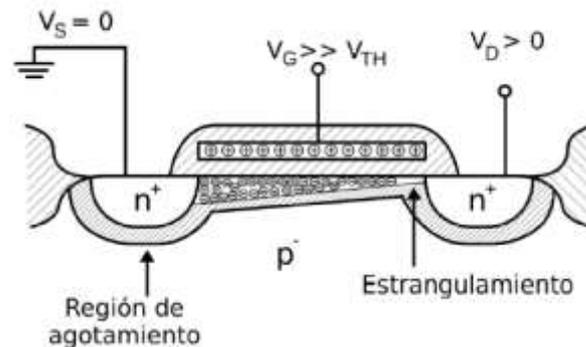


Figura 2.5 Densidad de carga del canal cuando $V_{DS} > 0$ en un NMOS [8].

2.2.1 Regiones de operación

Para obtener las curvas corriente-tensión (I-V) características del transistor se observa la corriente de drenador del transistor conforme V_{DS} aumenta para diferentes valores de V_{GS} . Para este propósito se emplea el circuito de la Figura 2.6.

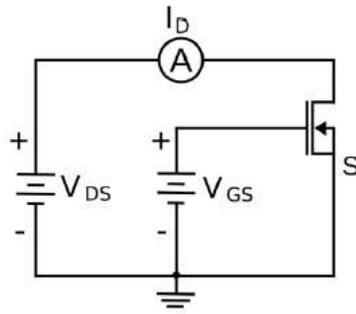


Figura 2.6. Circuito para obtener las curvas características del transistor [8].

Enfrentando la corriente de drenador con la tensión V_{DS} se obtienen los resultados que se muestran en la Figura 2.7, donde se aprecia la curva I-V que caracteriza el transistor.

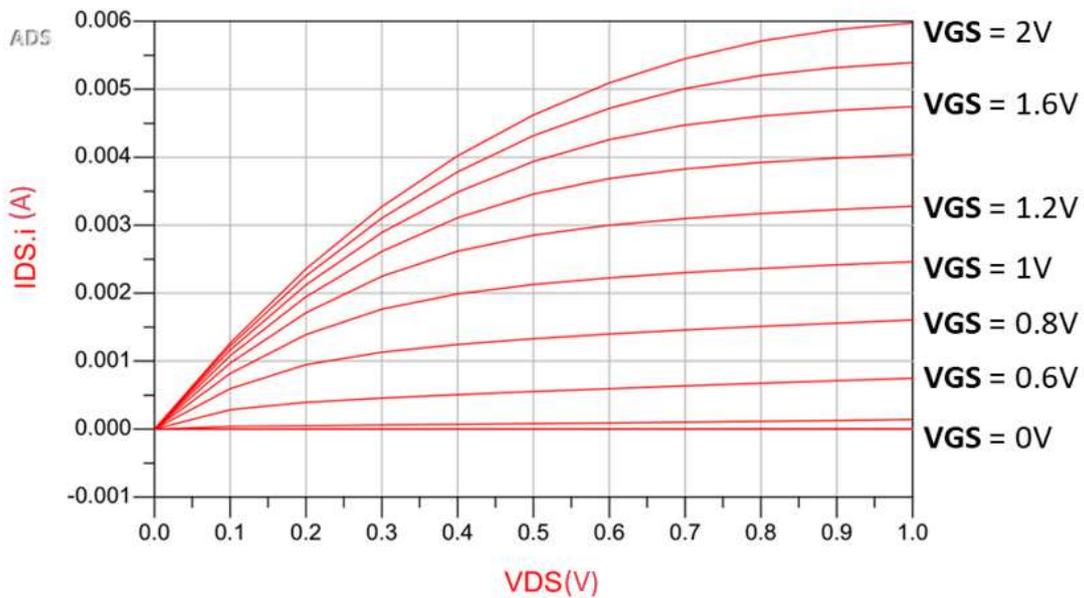


Figura 2.7. Curvas I_D frente a V_{DS} para diferentes valores de V_{GS} .

En esta figura se observa que existe una relación aproximadamente lineal entre la corriente I_D y V_{DS} , para valores pequeños de V_{DS} . También se observa que a partir de un determinado valor la corriente de drenador se satura. La zona en la que la relación entre I_D y la tensión V_{DS} es aproximadamente lineal se denomina región lineal o zona óhmica. Del mismo modo, se define como región activa o de saturación a la región donde I_D permanece aproximadamente constante, es decir, donde la corriente de drenador está saturada. Finalmente, un transistor MOS está en región de corte cuando la tensión de puerta es inferior a la tensión umbral, tal y como indica la expresión (2.3) en el caso de los NMOS y

en la ecuación (2.4) en el de los PMOS. Si el transistor está operando en región lineal, el valor de I_D se expresa como se indica en las ecuaciones (2.5) y (2.6) para los NMOS y los PMOS, respectivamente. Cuando el canal se empieza a estrechar porque tiene lugar el fenómeno del estrangulamiento, la I_D deja de crecer y el MOSFET empieza a operar en saturación o región activa. Esto se define para los NMOS por la ecuación (2.7) y con la ecuación (2.8) para los PMOS.

$$V_{GS} \leq V_{TH} ; V_{DS} > 0 \rightarrow I_D = 0 \quad (2.3)$$

$$V_{GS} > V_{TH} ; V_{DS} < 0 \rightarrow I_D = 0 \quad (2.4)$$

$$V_{GS} \geq V_{TH} ; V_{DS} > 0 ; I_D = \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.5)$$

$$V_{GS} \leq V_{TH} ; V_{DS} < 0 ; I_D = \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.6)$$

$$V_{GS} > V_{TH} ; V_{DS} > (V_{GS} - V_{TH}) ; I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{TH})^2 \quad (2.7)$$

$$V_{GS} < V_{TH} ; V_{DS} < (V_{GS} - V_{TH}) ; I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{TH})^2 \quad (2.8)$$

Debido a ciertos fenómenos físicos que aparecen durante la operación del transistor, la zona activa muestra una ligera pendiente debido a que la relación entre I_D y la tensión V_{DS} es cuadrática. Esta situación queda reflejada en la Figura 2.7. Estos fenómenos son más pronunciados cuando se emplean longitudes de puerta más pequeñas. La pendiente que presenta la corriente en la región de saturación se debe al efecto denominado “modulación del canal”, cuyo factor queda representado por la letra λ . El valor del factor de modulación de canal se obtiene a partir de la ecuación (2.9) y está comprendido entre 0.1 V^{-1} y 0.01 V^{-1} . Igualmente, el término X_{dl} hace referencia a la longitud de la región de agotamiento o vaciamiento. Por tanto, si se quiere tener en cuenta la modulación de canal tan solo habría que reescribir la ecuación característica de I_D y se obtendría la ecuación (2.10).

$$\lambda = \frac{1}{L} \frac{dX_{dl}}{dV_{DS}} \quad (2.9)$$

$$I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right) (V_{GS} - V_{TH})^2 [1 + \lambda V_{DS}] \quad (2.10)$$

2.3 Modelos en pequeña señal

Dependiendo de la polarización del transistor, se puede trabajar tanto en región activa como en región lineal. A continuación, se detallan los modelos de operación en pequeña señal del MOSFET en dichas regiones.

2.3.1 Región activa

Cuando se opera en saturación, el modelo en pequeña señal más utilizado para los MOSFETs es el que se muestra en la Figura 2.8. En dicho modelo, g_m representa la transconductancia del transistor, que vienen dada por la ecuación (2.11) y está definida como la derivada de I_D respecto a V_{GS} . Por lo tanto, la transconductancia equivale a la variación de la corriente de drenador para pequeñas variaciones de la V_{GS} , o lo que es lo mismo, representa la capacidad del MOSFET de producir corriente a partir de los cambios de tensión en la puerta. Igualmente, la resistencia r_{ds} o también r_o , representa la resistencia del canal y se expresa como dicta la ecuación (2.12).

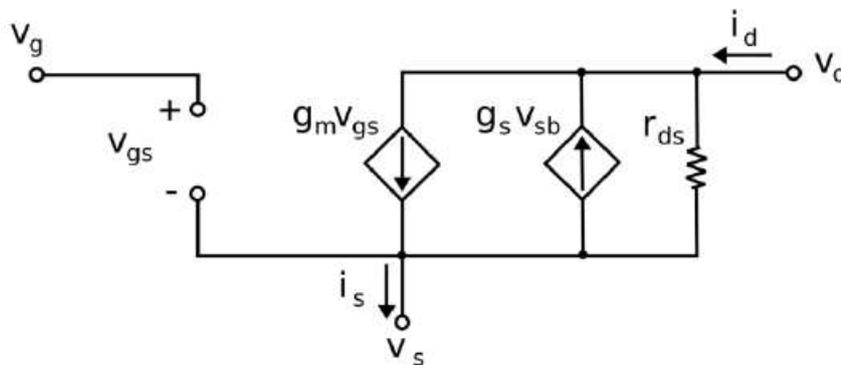


Figura 2.8. Modelo en pequeña señal de baja frecuencia de un transistor MOS en la región curva [8].

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (2.11)$$

$$r_{ds} = \frac{1}{\lambda \cdot I_{Dsat}} \quad (2.12)$$

En la región activa la operación del MOSFET se rige por la ecuación (2.7), por lo que, si se deriva dicha ecuación respecto a V_{GS} , se consigue la transconductancia g_m representada en la ecuación (2.13).

$$g_m = \mu_n C_{ox} \frac{W}{L} V_{eff} \quad (2.13)$$

2.3.2 Región lineal

El modelo en pequeña señal y baja frecuencia del transistor MOS en región lineal o de triodo se muestra en la Figura 2.9.

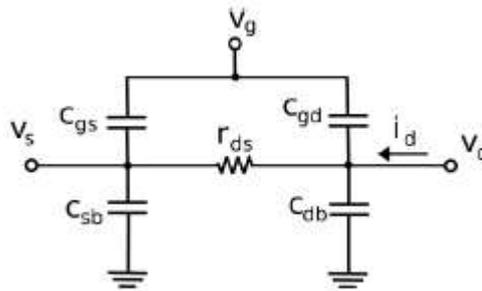


Figura 2.9. Modelo simplificado del transistor MOS en pequeña señal para baja frecuencia en la región lineal, válido cuando V_{DS} es pequeña [8].

2.4 Conclusiones

A lo largo del desarrollo de este capítulo se analizan los conceptos básicos sobre los transistores MOSFETs. Entre estos conceptos esta la formación del canal del transistor y el estudio de las condiciones para las diferentes regiones de operación del transistor. A continuación, se estudia la tecnología 45 RFSOI de *GlobalFoundries* empleada en el presente TFG.

Capítulo 3: Método de diseño g_m/I_D

A lo largo de este capítulo se expone la metodología de diseño g_m/I_D , enfocada en la optimización de circuitos analógicos de baja potencia. Este procedimiento se aplica en los siguientes capítulos para realizar el diseño del amplificador de transimpedancia (*Transimpedance Amplifier* o TIA) y del amplificador operacional de transconductancia (*Operational Transconductance Amplifier* u OTA).

3.1 Introducción a la metodología g_m/I_D

La evolución de la electrónica hacia tamaños cada vez más reducidos, se ve motivada por la necesidad de integrar una elevada cantidad de transistores en circuitos digitales. Lo mismo ocurre en los circuitos analógicos, donde se aprecia una evolución hacia menores voltajes y mejores ganancias y rangos dinámicos, entre otras características.

La metodología g_m/I_D se basa en el estudio de la eficiencia de los MOSFETs de una tecnología en función del grado de inversión en el que se encuentra el dispositivo [10], [11]. Dicha relación se obtiene mediante la caracterización completa del transistor realizando una serie de barridos sobre la polarización del transistor, así como de sus dimensiones. Esta metodología es atractiva porque integra la región de inversión del MOSFET en el diseño (es decir, desde la inversión débil hasta la fuerte) [12], [13] y se utiliza para el diseño de circuitos analógicos modernos [14], [15].

3.2 Principios básicos de la metodología g_m/I_D

La respuesta en continua de un transistor en saturación puede tener lugar en tres regiones de inversión diferentes (inversión débil, inversión moderada e inversión fuerte). Este concepto está relacionado con el grado de inversión en el que se encuentra la región del canal bajo la puerta del MOSFET. Cuando la tensión V_{GS} supera la tensión umbral, el canal del MOSFET se forma y entra en conducción. Esto sucede porque el dopaje en la región del canal queda "invertido", dado que inicialmente se trata (en un NMOS) de una región de sustrato tipo P que pasa a ser tipo N al poner tensión en la puerta, con lo que puede circular corriente entre drenador y fuente. Sin embargo, el canal no se "invierte" de forma repentina, sino que todo esto ocurre a medida que aumenta V_{GS} , pasando gradualmente de una región de inversión a otra.

La región de inversión débil aparece cuando el MOSFET trabaja con un valor de tensión de puerta muy cercano o por debajo de la tensión umbral, es decir con V_{eff} negativa. En este caso, la corriente se rige por el mecanismo de difusión, lo que significa que el transistor se modela con mayor precisión a partir de una relación exponencial entre la tensión de puerta y la corriente del canal. Esta corriente de saturación se expresa en la ecuación (3.1).

$$I_D(WI) = 2n\mu C_{ox} U_T^2 \left(\frac{W}{L}\right) \left(e^{\frac{V_{gs}-V_{th}}{nU_T}}\right) \quad (3.1)$$

La región de inversión fuerte ocurre cuando la tensión en la puerta es muy superior a la tensión umbral, lo que significa que el canal está fuertemente invertido. En este tipo de inversión la corriente que circula por el canal es fundamentalmente una corriente de arrastre. La corriente de saturación para la región de inversión fuerte es proporcional al cuadrado de la relación entre la puerta y la tensión efectiva de la fuente; si se excluyen los efectos geométricos como la velocidad de saturación, se puede expresar esta corriente como dicta la ecuación (3.2).

$$I_D(SI) = \frac{1}{2} \left(\frac{\mu C_{ox}}{n}\right) \left(\frac{W}{L}\right) (V_{GS} - V_{TH})^2 \quad (3.2)$$

Por último, la región moderada es la que se encuentra entre las dos anteriores. Esta región, no tiene una expresión de corriente claramente definida, ya que es compleja de calcular. Por esta razón para diseñar de forma eficiente e intuitiva, es necesario un modelo unificado para todas las regiones como el modelo EKV [16].

Este modelo propone el coeficiente de inversión (IC) indicado por la expresión (3.3), que determina la región de inversión en la que se va a trabajar. En dicha ecuación I_D es la corriente de drenador, W es el ancho, L es el largo del transistor MOS y la corriente I_o es la corriente de normalización determinada por la ecuación (3.4). En dicha expresión, n representa el factor del sustrato, β es el parámetro de transferencia y U_T es el voltaje térmico [6].

$$IC = \frac{I_D}{I_o \frac{W}{L}} \quad (3.3)$$

$$I_o = 2n\beta U_T^2 \quad (3.4)$$

Un valor de $IC < 0.1$ implica estar en la región de inversión débil y con un $IC > 10$ estar en la región de inversión fuerte. Lo que se traduce que la región de inversión moderada se encuentra entre $0.1 < IC < 10$ [17]–[19].

3.3 Metodología g_m/I_D

La figura de mérito (*figure of merit* o FoM) g_m/I_D es particularmente importante en las aplicaciones de bajo consumo y es una herramienta muy potente a la hora de dimensionar transistores MOS [17], [20]. Esta relación indica cuanta transconductancia puede obtenerse para una corriente de polarización fija, al mismo tiempo que se relaciona con el IC. Una expresión sencilla de g_m/I_D es la que viene expresada por la ecuación (3.5):

$$\frac{g_m}{I_D} = \frac{1}{nU_T} \cdot \frac{1}{(0.5 + \sqrt{IC + 0.25})} \quad (3.5)$$

Tal y como se muestra en la Figura 3.1, la relación g_m/I_D tiene dos regiones claramente reconocibles: la región de inversión débil y la región de inversión fuerte. El límite del comportamiento de la región de inversión débil está definido por una asíntota paralela al eje x, y el límite de la región de inversión fuerte está definido por una asíntota que se aproxima como una relación de ley cuadrática a la respuesta g_m/I_D [13]. Siempre que se desprecien los efectos del canal corto, la corriente de inversión fuerte sigue una dependencia de ley cuadrática, por lo que la asíntota de la región de inversión fuerte tiene una pendiente de $-1/2$; por otro lado, la asíntota de inversión débil es simplemente una línea plana con pendiente 0 [19]. El punto en el que se cruzan ambas asíntotas coincide con el centro de la región de inversión moderada como se puede ver en la Figura 3.1.

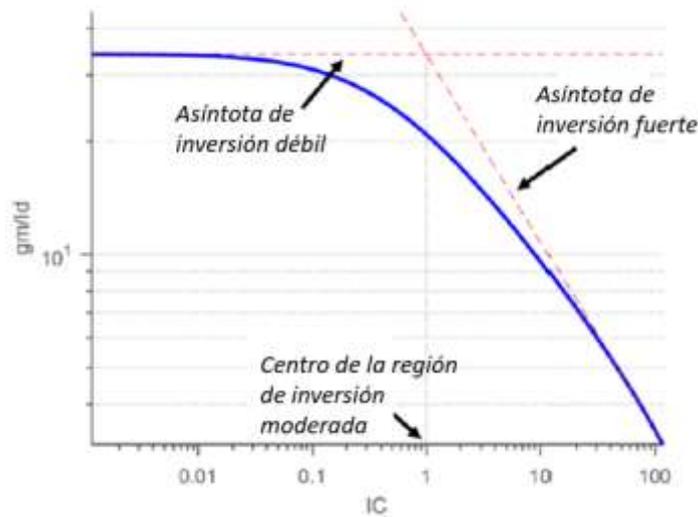


Figura 3.1. Relación de g_m/I_D frente al coeficiente de inversión [19].

La transconductancia de un transistor en región sub-umbral, $g_{m(\text{sub-th})}$, se determina a partir de la expresión (3.6), ya que para una corriente I_D fija, la $g_{m(\text{sub-th})}$ es independiente de V_{eff} . Si se normaliza la transconductancia con respecto a la corriente del drenador se obtiene un valor constante dado por la ecuación (3.7).

$$g_{m_{\text{sub-th}}} = \left(\frac{q}{nkT}\right) I_{D0} \left(\frac{W}{L}\right) e^{\frac{qV_{\text{eff}}}{nkT}} = \frac{qI_D}{nkT} \quad (3.6)$$

$$\frac{g_{m_{\text{sub-th}}}}{I_{D_{\text{sub-th}}}} = \frac{q}{nkT} \quad (3.7)$$

Para conseguir valores de transconductancia útiles en la región sub-umbral de inversión débil es necesaria una relación de aspecto (W/L) muy grande, lo que implica mayores capacidades parásitas que dificultan las operaciones a altas velocidades. Por ello, solo se trabaja en estas regiones sub-umbral cuando es viable sacrificar velocidad y conseguir una corriente de drenador menor, lo que implica un consumo más bajo.

3.4 Caracterización del transistor

Al enfrentar g_m/I_D con la corriente de drenador normalizada se dispone de una herramienta de diseño que permite empezar a seleccionar las dimensiones de los MOSFETs y trabajar en la región de inversión deseada. La forma de dimensionar los transistores es la siguiente [21]:

1. Se obtienen las curvas g_m/I_D vs. $I_D/(W/L)$ para los transistores de tipo N y P.

Capítulo 3: Método de diseño g_m/I_D

2. Se establece la relación g_m/I_D deseada para el transistor, teniendo en cuenta la región en la que se va a operar.
3. Se obtiene la g_m del transistor para cumplir las especificaciones de diseño.
4. Se calcula la corriente de drenador del transistor en continua, tal y como se muestra en la ecuación (3.8).

$$I_D = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*} \quad (3.8)$$

5. En este punto, se extrae el valor de $I_D/(W/L)$. Al conocer el valor de la corriente de drenador del punto anterior, se puede extraer la relación de aspecto del transistor a través de la relación (3.9). Si además se fija la longitud (L) se consigue extraer el ancho (W).

$$\left(\frac{W}{L}\right) = \frac{I_D}{\left(\frac{I_D}{W/L}\right)^*} \quad (3.9)$$

Para comprender mejor el proceso de diseño, lo ideal es presentar un ejemplo de esta metodología. Como precedente, se plantea un transistor tipo N con una relación de $g_m/I_D = 10$, y una corriente normalizada $I_D/(W/L) = 3,9 \mu A$. De las especificaciones se determina que es necesaria una transconductancia $g_m = 60 \mu S$. Se calcula la corriente que circula por el transistor en continua a partir de la ecuación (3.8). Al operar se obtiene una corriente de $6 \mu A$, tal y como se indica en la ecuación (3.10).

$$I_D = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*} = \frac{60(\mu S)}{10\left(\frac{\mu S}{\mu A}\right)^*} = 6 \mu A \quad (3.10)$$

Para obtener la relación de aspecto (W/L) se opera siguiendo la ecuación (3.9), obteniendo como resultado 1.54, tal y como se aprecia en la ecuación (3.11).

$$\left(\frac{W}{L}\right) = \frac{I_D}{\left(\frac{I_D}{W/L}\right)^*} = \frac{6(\mu A)}{10(\mu A)^*} = 1,54 \quad (3.11)$$

En este ejemplo se emplea una longitud de puerta mínima de 112 nm, por lo que haciendo un sencillo calculo se consigue diseñar el transistor con un ancho de puerta de 172,48 nm, tal y como se aprecia en la ecuación (3.12).

$$W = \left(\frac{W}{L}\right)L = 1,54 \cdot 112(\text{nm}) = 172,48 (\text{nm}) \quad (3.12)$$

La metodología g_m/I_D es una herramienta muy potente a la hora de dimensionar los transistores, proporcionando una característica única para todos los transistores de una misma tecnología o proceso de fabricación. A su vez, la relación g_m/I_D no depende de la relación de aspecto del transistor, ya que tanto la transconductancia como la corriente de drenador varían según el ancho de la puerta. Al dividir una entre otra desaparece dicha dependencia. Este punto es fundamental para el diseño y en él radica la efectividad del mismo.

A partir del circuito de la Figura 3.2, se realizan diferentes simulaciones para observar el comportamiento del transistor de la tecnología 45RFSOI seleccionado. Para el estudio, se utiliza un transistor NMOS de longitud 112 nm, un ancho unitario de *fingers* de 1 μm y un total de 10 *fingers*.

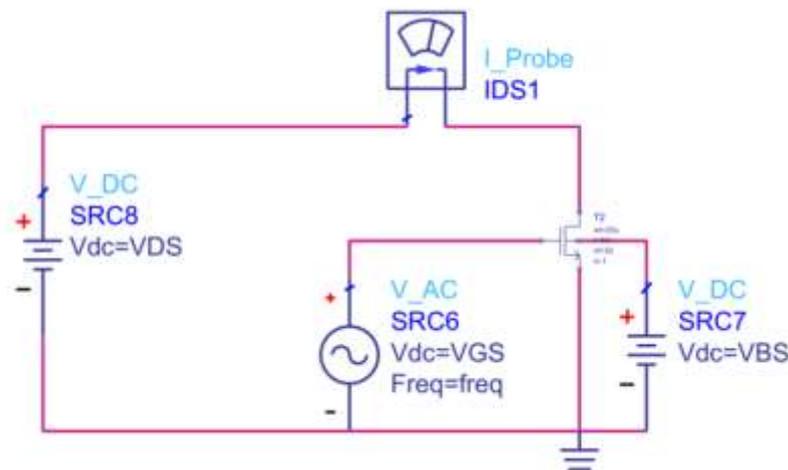


Figura 3.2. Circuito de prueba para el estudio del transistor.

En la Figura 3.3 se puede observar la corriente de drenador frente a la tensión de puerta. En esta figura se aprecia cómo el transistor entra en conducción a partir de aproximadamente 300 mV. De igual forma, cuando aumenta la tensión en el *bulk*, el transistor entra en conducción para una tensión V_{GS} inferior. Esto se conoce como *body*

effect y permite modular la tensión umbral del transistor en aplicaciones de ultra bajo consumo.

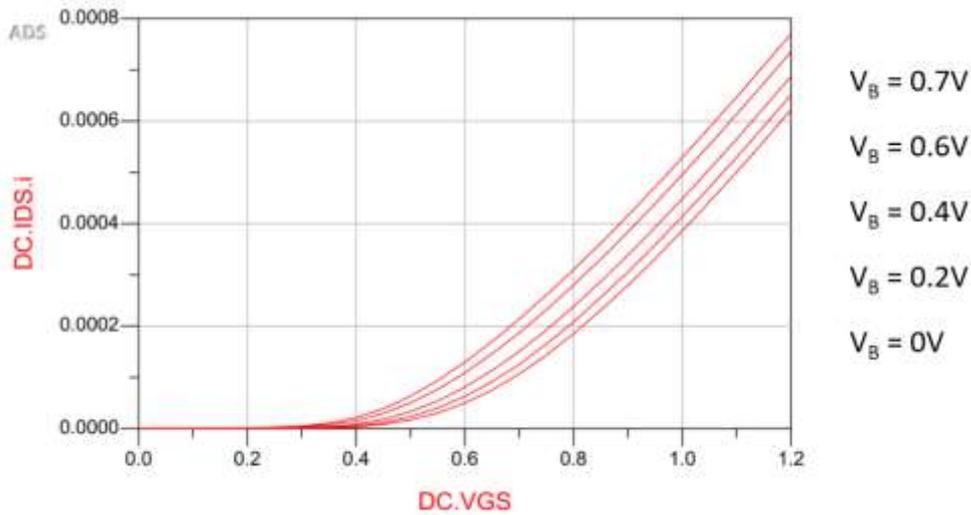


Figura 3.3. I_D vs V_{GS} de un Transistor NMOS.

La transconductancia g_m de los transistores se muestra en la Figura 3.4, donde se aprecia que crece a medida que aumenta el coeficiente de inversión. Al mismo tiempo, la transconductancia es levemente menor en regiones de inversión moderada y fuerte cuando aumenta V_B .

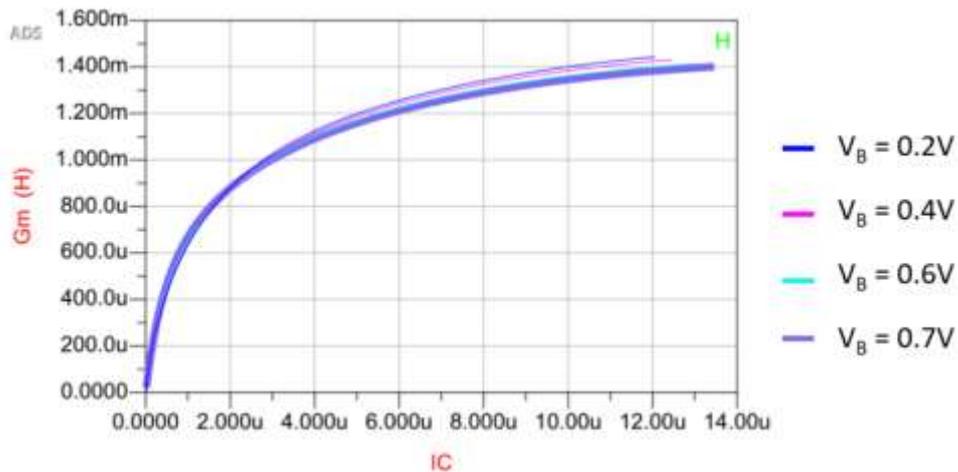


Figura 3.4. Transconductancia del transistor NMOS.

La relación g_m/I_D se muestra en la Figura 3.5. Se observa que, a mayor coeficiente de inversión, menor es la eficiencia g_m/I_D , ya que la máxima relación de g_m/I_D se encuentra en la región de inversión débil.

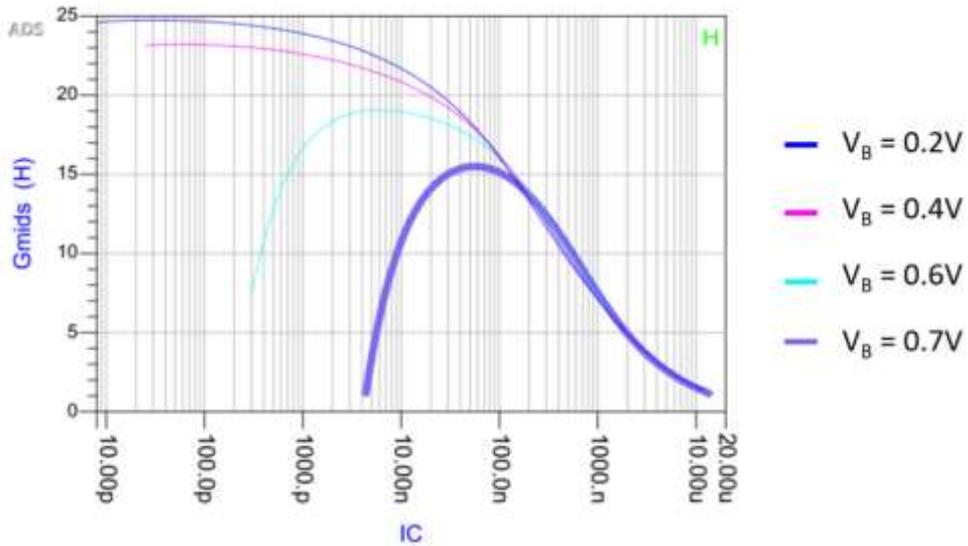


Figura 3.5. Relación de g_m/I_D del transistor NMOS.

La frecuencia de tránsito (f_T) la cual se muestra en la Figura 3.6, está inversamente relacionada con la relación g_m/I_D . Es decir, si se desea obtener una g_m/I_D elevada la f_T queda limitada. De ese modo se aprecia que a medida que se acerca a la región de inversión fuerte, mayor es la f_T .

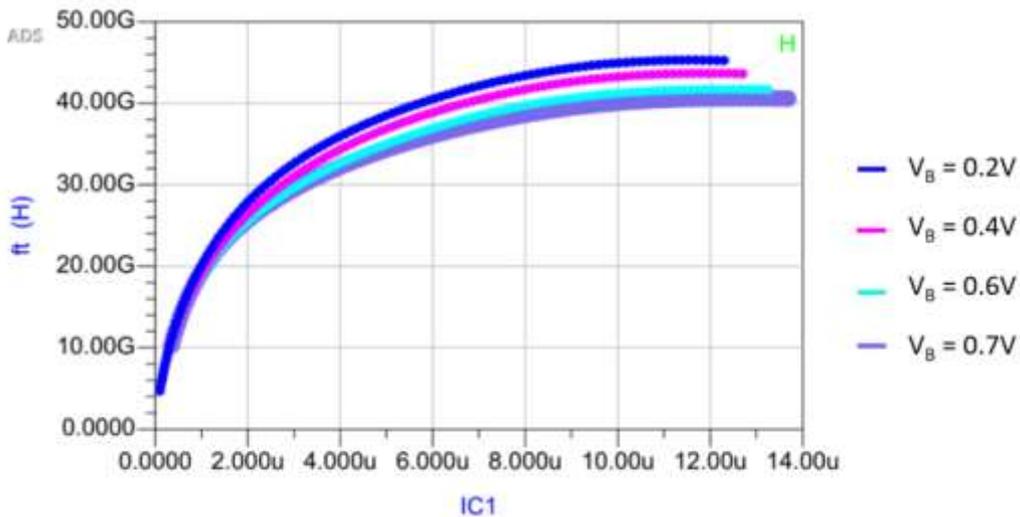


Figura 3.6. Frecuencia de tránsito del transistor NMOS.

3.5 Conclusiones

Recapitulando los contenidos de este apartado, se puede ver un repaso de la metodología de diseño g_m/I_D . Asimismo, se describen los pasos a seguir para dimensionar los transistores a partir de g_m/I_D . Este procedimiento es muy importante en el desarrollo

Capítulo 3: Método de diseño g_m/I_D

este TFG y se utiliza en el diseño del OTA para lograr obtener las especificaciones deseadas con un consumo muy reducido. En el capítulo siguiente se describe la tecnología 45 RFSOI de la fundidora *GlobalFoundries*, la cual se utiliza en el circuito del mezclador, TIA y OTA.

Capítulo 4: Estudio de la Tecnología 45RFSOI

A lo largo del capítulo se muestran los elementos y reglas de diseño característicos de la tecnología 45-RFSOI, la cual está optimizada para altas frecuencias, ofreciendo altos factores de calidad y bajas pérdidas. Entre los diferentes elementos activos y pasivos de la tecnología, los utilizados en este trabajo de fin de grado son los que se presentan a continuación.

4.1 Elementos pasivos:

Los elementos pasivos se distinguen por el hecho de que no aportan potencia a la señal que pasa por ellos, simplemente la disipan, la almacenan o la liberan.

4.1.1 Resistencias

Dentro de los elementos pasivos, el más sencillo es la resistencia. Poseen un valor óhmico dependiente del material empleado y de sus dimensiones, definidas en la Figura 4.1 y cuyo valor se define en las expresiones (4.1) y (4.2) [22]. La resistividad del material se define mediante el parámetro ρ (en $\Omega\cdot\text{cm}$) y el grosor del material se representa por la letra t (*thickness*), mientras que el ancho y largo de la resistencia vienen dados como W y L , respectivamente [7], [23].

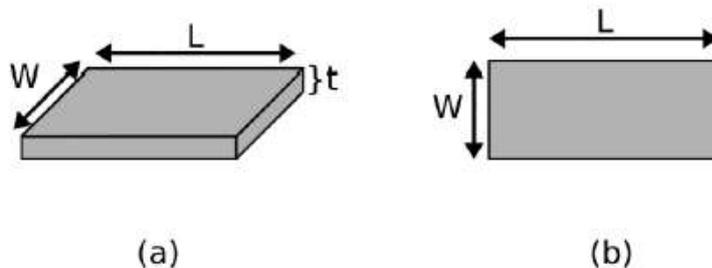


Figura 4.1. Vista de la resistencia integrada en perspectiva (a) y vista desde arriba (b) [22].

$$R = \frac{\rho}{t} \cdot \frac{L}{W} \quad (\Omega) \quad (4.1)$$

$$R = R_s \frac{L}{W} \quad (\Omega) \quad (4.2)$$

En el proceso de fabricación el grosor de material es fijo, por lo que su valor se define solamente a partir del ancho (W) y largo (L). Por lo que el valor de las resistencias se

determina a partir de la ecuación (4.2), donde R_s representa el valor de la resistencia por cuadrado (en inglés se denomina *sheet resistivity* cuya unidad es Ω/square) y su valor viene fijado por el proceso de fabricación. Desde el punto de vista del *layout*, una resistencia tiene un valor determinado por el número de cuadrados multiplicado por R_s [22]. De ese modo, cuando $L = W$ la resistencia es cuadrada con valor R_s .

4.1.2 Resistencia de la Tecnología

Las resistencias de la tecnología se dividen en:

- RR Polysilicon (*oprrppres*).
- RP Polysilicon (*oprppres*).
- RR Serpentine (*rr_serpentine*).
- RP Serpentine (*rp_serpentine*).
- N+ Silicided Polysilicon (*ndsilres*).

De las cuales se destaca las *RR Polysilicon* y las *RP Polysilicon* por ser las utilizadas en este trabajo final de carrera.

4.1.2.1 RR Polysilicon (*oprrppres*) y RP Polysilicon (*oprppres*)

Esta tecnología proporciona dos resistencias de polisilicio p+, las resistencias RR (*oprrppres*) y las resistencias RP (*oprppres*). Las cuales admiten geometrías cuadradas y rectangulares, pero no aceptan las formas irregulares como *L-shape* o la *dogbones*. Los modelos y herramientas de diseño permiten seleccionar cualquier relación de longitud/anchura (L/W) elegido para producir el valor de resistencia deseado, debido a que la tolerancia de la resistencia depende de las dimensiones seleccionadas.

En la Figura 4.2 se puede observar el modelo de dichas resistencias, distinguiendo la capa CA que indica donde se sitúan los contactos. La longitud de la forma OP (región sombreada) es la longitud de la resistencia. En esta tecnología se fija como tamaño mínimo para las resistencias un ancho de $0.152 \mu\text{m}$ y una longitud de $0.4 \mu\text{m}$.

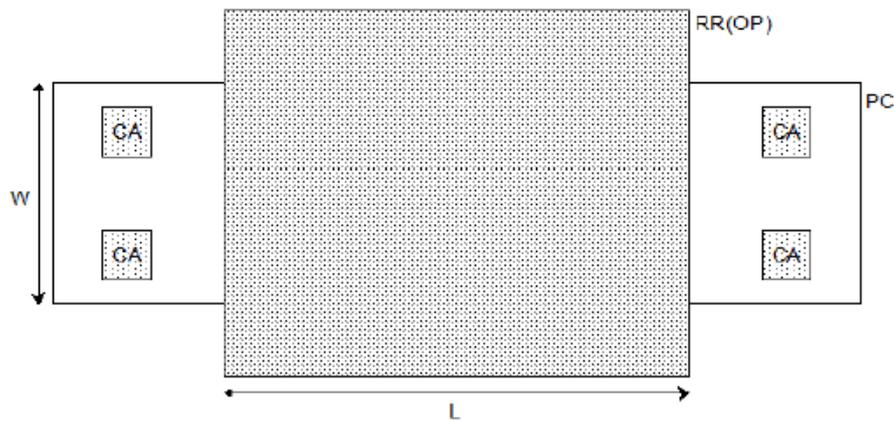


Figura 4.2. Layout de la resistencia RR Polysilicon y RP Polysilicon [24].

Se define la ecuación (4.3) como valor nominal de las resistencias de polisilicio OP p+ a 25°C y 0 V.

$$R_{nom} = \left(R_s \cdot \frac{L}{W} \right) + \left(2 \cdot \frac{R_{end}}{W} \right) \quad (\Omega) \quad (4.3)$$

La distancia mínima de las resistencias se determina entre los bordes de CA y la capa PC. Debido a que las formas de *dogbone* no son soportadas por estas resistencias, los valores más grandes son usados para especificar los anchos mínimos permitidos para las resistencias.

4.1.3 Condensadores

Un condensador se trata de un elemento pasivo con la capacidad de almacenar energía sustentando un campo eléctrico. Se compone por un par de superficies conductoras separadas por superficies dieléctricas o por vacío, las cuales poseen una diferencia de potencial que las dota de carga eléctrica, capaces de conservar o de suministrar en los procesos de carga y descarga.

En el proceso de fabricación CMOS existen multitud de opciones a la hora de implementar condensadores, pero entre ellos destacan dos tipos. Los MIMCAP cuyo prefijo MIM (*Metal-Insulator-Metal*) se refiere a dos metales separados por un material aislante, como se puede apreciar en la Figura 4.3. Estos condensadores son muy resistentes a variaciones de temperatura y tensión. Además, se pueden escalar a diferentes valores y situarlos en capas superiores del metal para reducir sus capacidades [25].

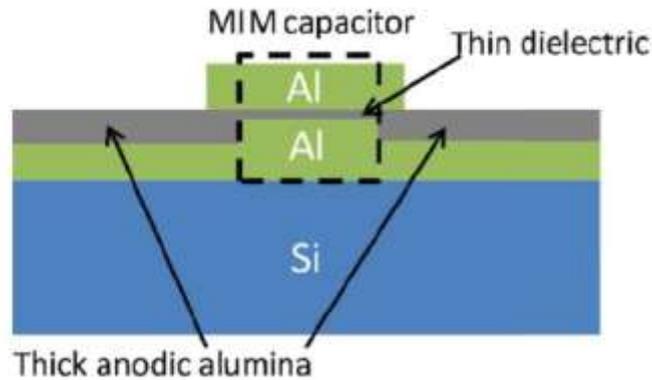


Figura 4.3. Esquema de un condensador MIM [26].

Y luego están los condensadores tipo MOMCAP, (*Metal-Oxide-Metal* o MOM) que se refiere a la estructura del condensador. Su composición se puede apreciar mejor en la Figura 4.4. Se suele utilizar para obtener altas densidades capacitivas, además de que posee menores capacidades parasitas. Sin embargo, presenta dificultades a la hora de calcular la dependencia de su valor en función de la frecuencia de trabajo [21].

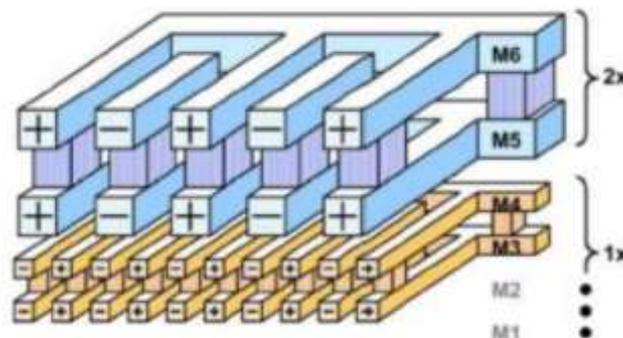


Figura 4.4. Esquema de un condensador MOM [21].

4.1.3.1 Condensadores de la tecnología

De los dos tipos de condensadores, se decide utilizar los MIMCAP, ya que resulta de mayor dificultad obtener valores concretos de los condensadores tipo MOM. En la tecnología 45-RFSOI existen dos tipos de condensadores, los de tipo MIM de alta densidad (mimhd), y los MIM con un factor de calidad (Q) elevado (mimhq). El modelo correspondiente al condensador mimhd se muestra en la Figura 4.5 (a) y el del mimhq, en la Figura 4.5 (b). A su vez, en ambas figuras se pueden apreciar a qué capa de metal está conectado cada terminal.

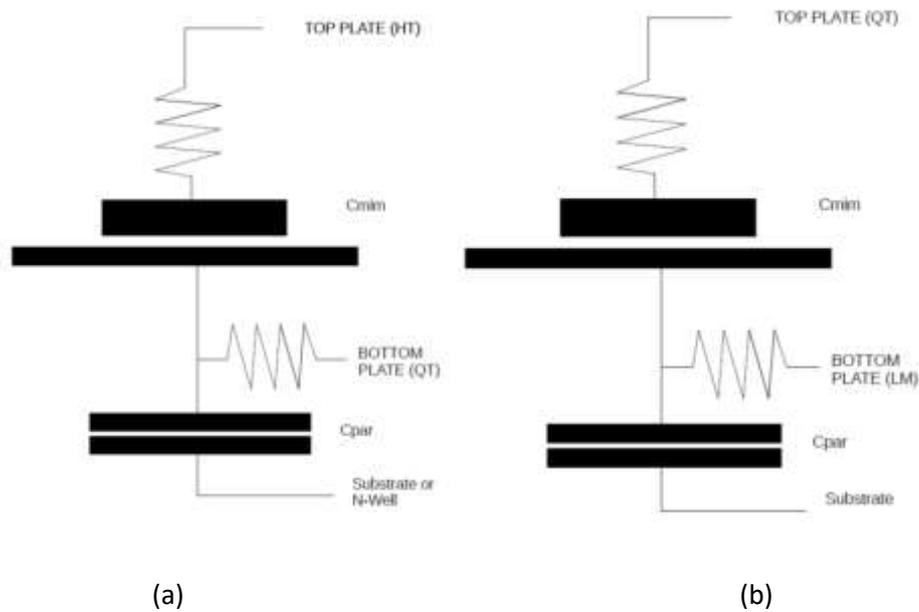


Figura 4.5. Modelo del condensador High Density MIM (a) y High-Q MIM (b) [24].

Para ambos modelos los parámetros que se pueden ajustar son el largo (L), el ancho (W) y la multiplicidad (M). Dependiendo del ancho y largo, se puede obtener el valor de la capacidad del condensador. Además, estos parámetros afectan a la capacidad del condensador. En la Figura 4.6, se puede apreciar el *layout* de ambos tipos de condensadores MIM.

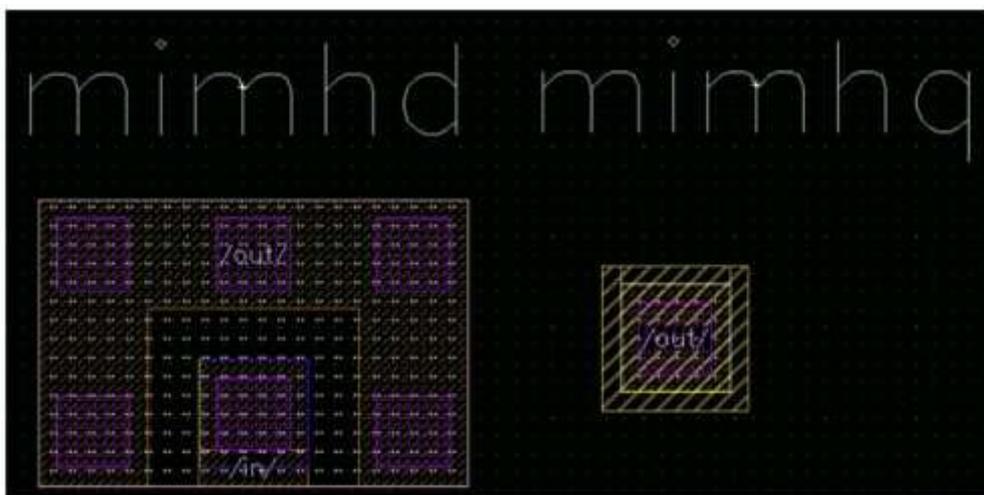


Figura 4.6. Ejemplo de layout de los condensadores mimhd y mimhq [24].

En la Tabla 4.1 se reflejan los valores que pueden tomar los parámetros que definen los condensadores MIM en esta tecnología. Estos parámetros son la capacidad por unidad de área (C_a) y la capacidad por unidad de perímetro (C_p).

Tabla 4.1. Valores de los parámetros de los condensadores MIM

	Ca (fF/μm ²)	Cp (fF/μm)	L (m)	W (m)	M
High Density MIM	2.4±0.36	0.2 ± 0.18	6μ	>=5μ	1
High-Q MIM	0.335±0.05	0.11±0.099	6μ	>=5μ	1

4.2 Elementos activos

Los elementos activos son aquellos que aportan potencia a los circuitos, produciendo alguna clase de ganancia (o atenuación), aunque pueden realizar tareas muy diversas. De entre los elementos disponibles este trabajo se centra en el MOSFET. Por lo tanto, esta sección se focaliza en la descripción de los modelos de los MOSFETs de la tecnología.

4.2.1 MOSFETs de la tecnología

La tecnología 45-RFSOI está compuesta por una extensa variedad de transistores MOS, pudiendo distinguir entre los siguientes modelos:

- *Analog Body Contacted FET.*
- *Analog Floating Body FET.*
- *Analog Body Contacted FET (AVTANPFET) Device (L = 0.112).*
- *Analog Body Contacted FET (AVTMNPFET) Device (L = 0.232).*
- *Thick-Oxide (DG) Floating Body FET (TONPFET) Device (L = 0.112).*
- *Thick-Oxide (DG) Body Contacted FET (TONPFETBC) Device (L = 0.112).*
- *Thick-Oxide (DG) Body Contacted FET (TOLNPFET) Device (L = 0.472).*
- *Regular-Vt Floating Body FET (RVT) Device.*
- *High-Vt Floating Body FET (HVT) Device.*
- *Superhigh-Vt Floating Body FET (SVT) Device.*
- *Ultrahigh-Vt Floating Body FET (UVT) Device.*

Como se aprecia, se pueden diferenciar los *Analog FET*, los *Thick-Oxide (DG)*, los *RVT*, los *HVT*, los *SVT* y *UVT*. Los MOSFETs de doble puerta (DG) son electroestáticamente superiores a los MOSFET de puerta única (SG) y permiten un escalado adicional de la

longitud de la puerta. Se observa que el MOSFET DG proporciona un buen control de la corriente de fuga en comparación con el MOSFET convencional de puerta única. Los RVT (*Regular-Vt*,) representan el equilibrio entre el retardo del circuito y su consumo de energía. El uso de los HVT (*High Threshold Voltage*, tensión de umbral alta) resulta en un menor consumo de energía, pero el tiempo de conmutación no está optimizado. Se utilizan en aplicaciones de potencia. Los SVT (*Superhigh-Vt*, tensión umbral super elevada) se caracterizan por tener una tensión umbral mayor que los HVT y los UVT (*Ultrahigh-Vt*, tensión umbral ultra elevada).

4.2.1.1 Thick-Oxide (DG) Body Contacted FET (TONPFETBC)

Para los transistores *Thick-Oxide* (DG) de tipo N y tipo P, la longitud de transistor (L) es fija y tiene un valor de 112 nm, con un mínimo número de fingers (NF) igual a 2 y un ancho de 1.3 μm . Ambos transistores se alimentan con una tensión (V_{DD}) de 1.5 V. Sin embargo, la tensión umbral y de saturación difiere para ambos tipos como se indica en la Tabla 4.2.

Tabla 4.2. Tensión umbral y de saturación del transistor *Thick-Oxide* (DG) Body Contacted FET (TONPFETBC)

	Tipo N			Tipo P		
	<i>LSL</i>	<i>TGT</i>	<i>USL</i>	<i>LSL</i>	<i>TGT</i>	<i>USL</i>
Tensión umbral (V_{th})	0.384 mV	0.459 mV	0.538 mV	-0.512 mV	-0.451 mV	-0.39 mV
Tensión de saturación ($V_{t_{sat}}$)	0.239 mV	0.313 mV	0.390 mV	-0.407 mV	-0.347 mV	-0.287 mV

La tensión umbral se define en esta tecnología como la polarización puerta-fuente donde para los NMOS la corriente de drenador (I_D) es de 300 nA con una relación W/L de 0.022 y para los PMOS una I_D de 70 nA con W/L de 0.022.

En la tecnología 45-RFSOI la magnitud de la tensión que se puede aplicar en el terminal *bulk* del transistor está limitada, ya que a partir de un determinado valor el modelo deja de reflejar el comportamiento real del dispositivo. Tal y como se indica en el manual del kit de diseño, si la tensión de sustrato es superior a 0,7 V en los transistores tipo N, el modelo deja de reflejar el comportamiento real del dispositivo. Es por ello que en los

transistores NMOS la tensión en el sustrato no debe superar los 0,7 V, esta situación queda representada en la Figura 4.7.

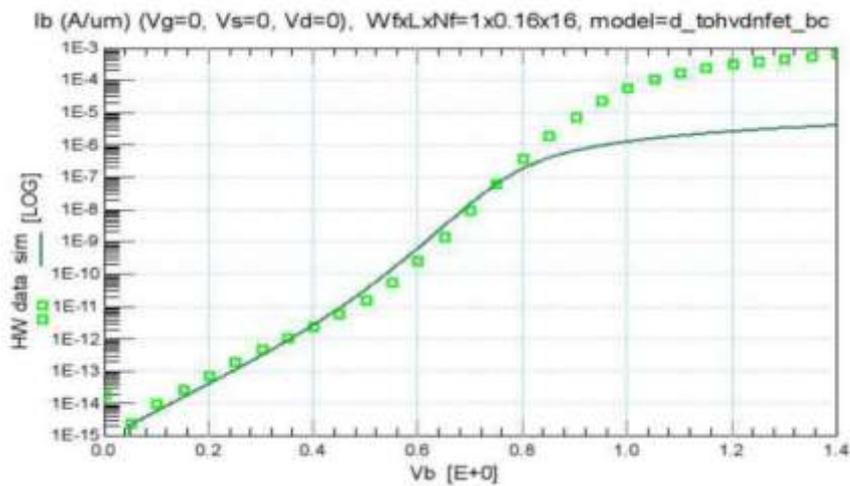
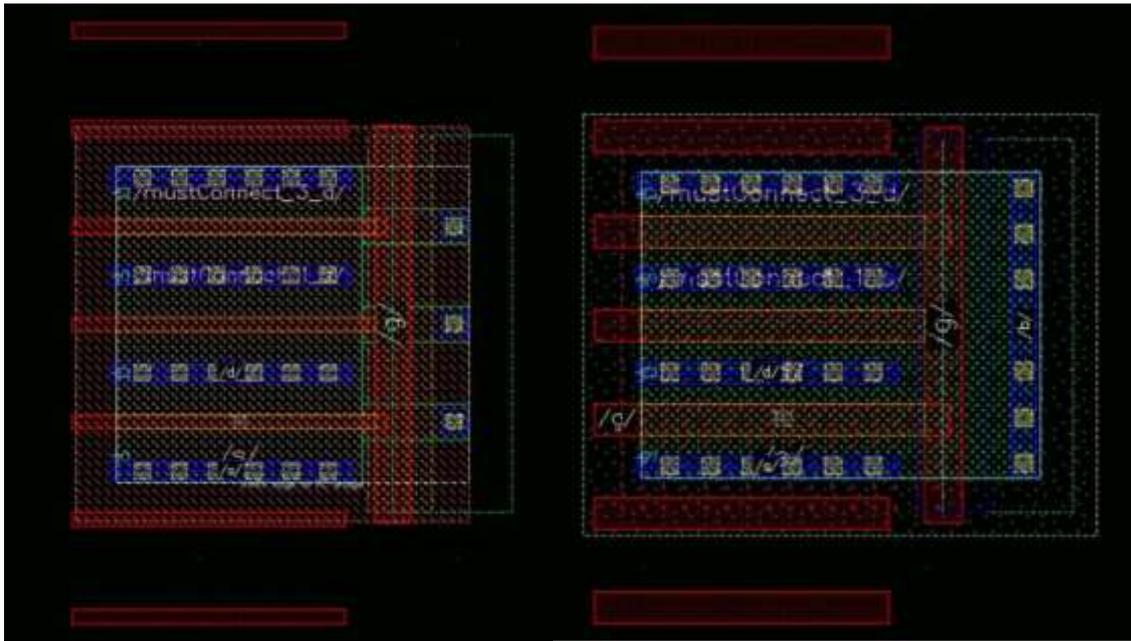


Figura 4.7. Respuesta del transistor NMOS TONPFETBC al variar la tensión en el bulk [24].

Uno de los aspectos más importantes y por los que se decidió utilizar los transistores PMOS se debe a la naturaleza de la aplicación de la técnica *Bulk-Driven*. Esta consiste en introducir la señal de entrada por el terminal del *bulk*, pero al tratarse de un proceso con sustrato tipo P, todos los NMOS comparten un único sustrato. Como resultado, si se aplica la técnica *bulk-driven*, se introduce señal de forma indeseada en otros dispositivos. Por su naturaleza, los transistores PMOS se forman en una región de tipo N, y al existir un sustrato común de tipo P es necesario crear pozos (*wells*) de tipo N o N-well para obtener un transistor PMOS. Gracias a ello, los transistores PMOS cuentan con su propio sustrato aislado de los demás transistores. En la Figura 4.8 también se puede apreciar el *layout* de un transistor NMOS TONFETBC (a) y un transistor PMOS TOPFETBC (b). Cabe destacar que el color rojo corresponde al polisilicio o puerta de los MOSFETs, los pequeños cuadrados amarillos son contactos, el color azul marino representa la capa de metal 1 y la zona verde representa las regiones con dopajes de tipo N o P. En la Figura 4.8 (b), la línea blanca discontinua representa el pozo N (*N-Well*) donde se sitúa el transistor PMOS [24].



(a)

(b)

Figura 4.8. Layout del transistor NMOS TONFETBC de la tecnología 45-RFSOI (a) y del transistor PMOS TOPFETBC [24].

4.3 Conclusiones

A lo largo de este capítulo se han analizado los elementos más relevantes para este proyecto de la tecnología 45 RFSOI de *GlobalFoundries*. Asimismo, se ha prestado mayor atención a los elementos que se utilizan en el diseño del mezclador, el cual se explica en el siguiente capítulo.

Capítulo 5: Diseño del mezclador

En este capítulo se introduce la arquitectura elegida para el diseño del mezclador. El cual se conecta posteriormente a un TIA.

5.1 Conceptos teóricos

Los mezcladores son circuitos no lineales que se encargan de recoger la señal de RF entrante y trasladarla a la frecuencia intermedia (FI) deseada, sin modificar las características de frecuencia de la señal trasladada (ancho de banda, relación de amplitudes, etc.). En estas circunstancias, la señal de RF se encuentra a una frecuencia de 2,4 GHz y la intermedia a 2,5 MHz, lo que significa que se traslada la señal de 2,4 GHz a 2,5 MHz. Este tipo de mezclador se conoce como “*down-conversion*” porque traslada de una frecuencia alta a una menor. Igualmente, también existen los mezcladores que realizan la operación contraria, “*up-conversión*”, trasladando de una frecuencia baja a una más elevada. Para trasladar la señal de una frecuencia a otra, el mezclador le suma o resta a la banda de frecuencias de la señal de RF un valor constante que corresponde con la frecuencia de oscilador local. Es así como se obtiene a la salida del mezclador la señal en la frecuencia intermedia deseada [19].

Un mezclador ideal está compuesto por un multiplicador y un filtro paso banda. Como se muestra en la Figura 5.1, al mezclador le entra una señal cuya frecuencia es la de RF, X_{RF} y una señal del oscilador local X_{OL} . Estas señales vienen descritas por las ecuaciones (5.1) y (5.2), respectivamente, donde ω_{RF} es la frecuencia de la señal de RF y la ω_{OL} la frecuencia del oscilador local.

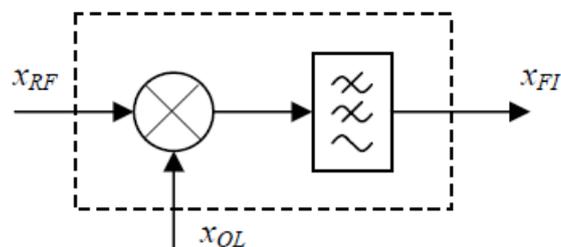


Figura 5.1. Diagrama de bloques de un mezclador ideal [19].

$$X_{RF} = g(t) \cdot \cos(\omega_{RF}t) \quad (5.1)$$

$$X_{OL} = A \cdot \cos(\omega_{OL}t) \quad (5.2)$$

A la salida del mezclador se obtiene la multiplicación de la señal entrante por la señal del oscilador local, como queda reflejado en la ecuación (5.3). Desarrollando la salida del mezclador se consigue la ecuación (5.4), donde se observan las componentes de la suma y la resta de frecuencias.

$$X_{RF} \cdot X_{OL} = A \cdot g(t) \cdot \cos(\omega_{RF}t) \cdot \cos(\omega_{OL}t) \quad (5.3)$$

$$X_{RF} \cdot X_{OL} = \frac{1}{2} A \cdot g(t) [\cos(\omega_{RF} + \omega_{OL})t \cdot \cos(\omega_{RF} - \omega_{OL})t] \quad (5.4)$$

Como se muestra en la Figura 5.1, la señal de frecuencia intermedia (X_{FI}) se obtiene después de aplicar el filtro paso bajo, por lo que la expresión de la señal tras aplicar el filtro viene dada por (5.5):

$$X_{FI} = \frac{1}{2} A \cdot g(t) \cdot \cos(\omega_{RF} - \omega_{OL})t = \frac{1}{2} A \cdot g(t) \cdot \cos(\omega_{FI})t \quad (5.5)$$

El principal parámetro de un mezclador es la ganancia de conversión $g(t)$, que se define como la relación de amplitudes entre la señal de FI y la señal de RF. Asimismo, parámetros como la figura de ruido, el margen dinámico y el aislamiento de puertos, entre otros más, definen el comportamiento del mezclador [27].

5.2 Estructura del mezclador

Para este trabajo final de grado se ha optado por utilizar un mezclador pasivo doblemente balanceado. La razón principal es que no disipa corriente continua, es decir, al no pasar corriente continua por los transistores, la contribución de ruido se minimiza [28]. Además, este tipo de mezclador destaca por poseer una alta linealidad, al mismo tiempo que se reducen las fugas del oscilador local hacia la entrada.

Como se puede apreciar en la Figura 5.2, el mezclador tiene dos salidas diferenciales (I+, I- y Q+, Q-). Dichas salidas se obtienen en modo corriente, por lo que hace falta un amplificador de transimpedancia para convertir la señal de corriente a tensión. Se diseñaron dos versiones del TIA, una en el capítulo 6 (página 45) a partir de inversores y

otra a partir de amplificadores de transconductancia (*Operational Transconductance Amplifier* u OTA) variables en el capítulo 7 (página 55). Además, el sustrato de cada transistor se conecta a una misma tensión de sustrato (V_{bulk}).

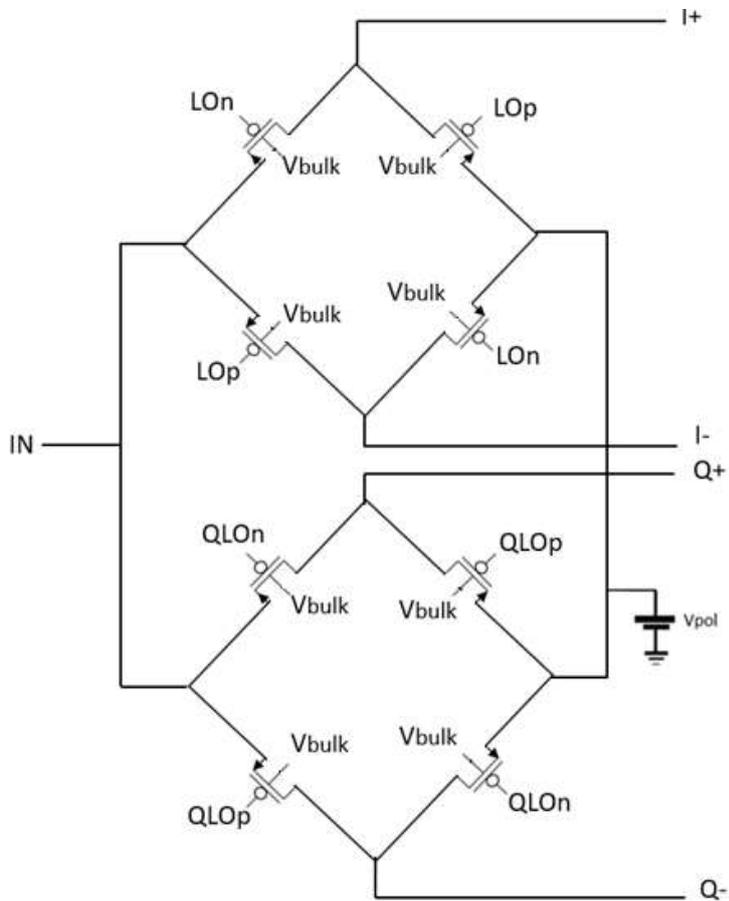


Figura 5.2. Estructura del mezclador.

El mezclador tiene una rama tanto para la fase como para la cuadratura, ya que diferencia entre estas dos. En realidad, un mezclador en cuadratura se puede considerar como dos mezcladores cuyas entradas del oscilador local están desfasadas 90 grados [21]. Es en cada una de estas ramas con salida diferencial donde se conecta un TIA o un OTA.

5.3 Proceso de diseño del mezclador

Como se comenta en el apartado anterior, se trata de un mezclador pasivo doblemente balanceado que diferencia entre fase y cuadratura. El mezclador utiliza la señal que le proporciona el oscilador local para realizar la mezcla con la señal de RF de entrada. Hay que tener en cuenta que la señal de RF se encuentra a una frecuencia de 2,4 GHz y se

Capítulo 5: Diseño del mezclador

desea que la frecuencia intermedia se sitúe a 2,5 MHz, lo que se traduce en que la señal del oscilador local se sitúa a 2,5 MHz por debajo de la señal RF, es decir, 2,3975 MHz.

Los transistores utilizados en el circuito son los que proporciona la tecnología 45RFSOI, concretamente los de tipo p. La razón principal de utilizar transistores PMOS es que estos transistores están en un pozo “n” (N-Well), lo que significa que cada uno de ellos posee un pozo independiente, permitiendo variar las tensiones de sustrato en cada uno de los transistores sin afectar a los demás. En cambio, todos los transistores NMOS se encuentran sobre el mismo sustrato tipo P, por lo que cambiar la tensión en uno implica hacerlos en todos. Para averiguar la configuración idónea de los transistores PMOS, se realiza un estudio del dimensionamiento de los transistores. La manera de modificar su tamaño consiste en variar el número de *fingers* y el ancho total del transistor, ya que la longitud (112 nm) viene fijada por la tecnología. Mediante la herramienta *Advanced Design System* (ADS), se diseña el esquemático de la Figura 5.3, donde se puede observar a mano izquierda una fuente de tensión controlada por corriente (*Voltage Controlled Current Source* o VCCS) conectada al núcleo del mezclador, puesto que este trabaja en corriente. Por el mismo motivo, la salida del mezclador se conecta a una fuente de tensión controlada por corriente (*Current Controlled Voltage Source* o CCVS), como se ve a mano derecha en la figura, y esta a su vez a un *buffer* para adaptar la impedancia de salida de 50Ω .

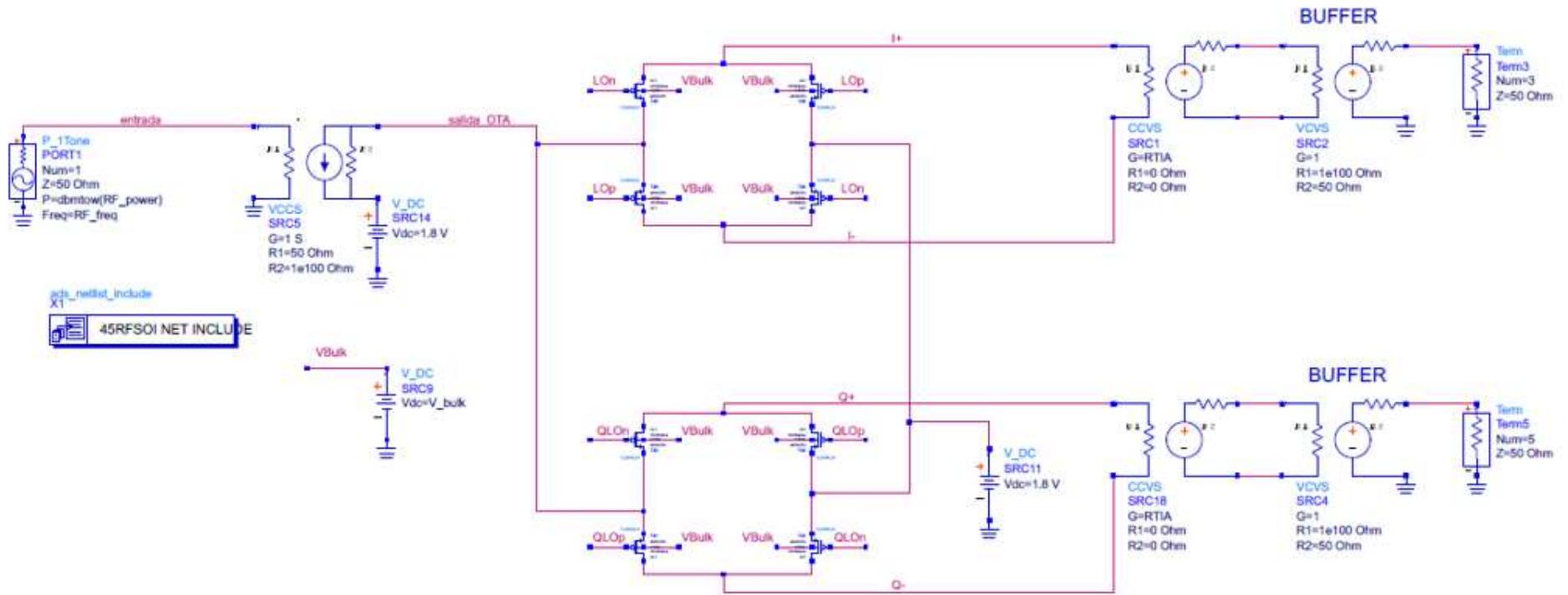


Figura 5.3. Esquemático del mezclador en la herramienta de diseño ADS.

Capítulo 5: Diseño del mezclador

Para determinar la tensión en el *bulk* (V_{bulk}), se realiza un estudio de la resistencia R_{ON} y R_{OFF} . Este estudio se detalla con mayor precisión en la página 75 del Capítulo 8, donde se analiza el comportamiento de la resistencia R_{ON} y R_{OFF} sin aplicar la técnica *Bulk-Driven*. Como en esta parte del diseño del mezclador aún no se aplica la técnica *Bulk-Driven*, se fija un valor de $V_{bulk} = 1,5$ V para todo el diseño debido a su buena relación entre las resistencias R_{ON} y R_{OFF} tal y como se aprecia en la Figura 5.4.

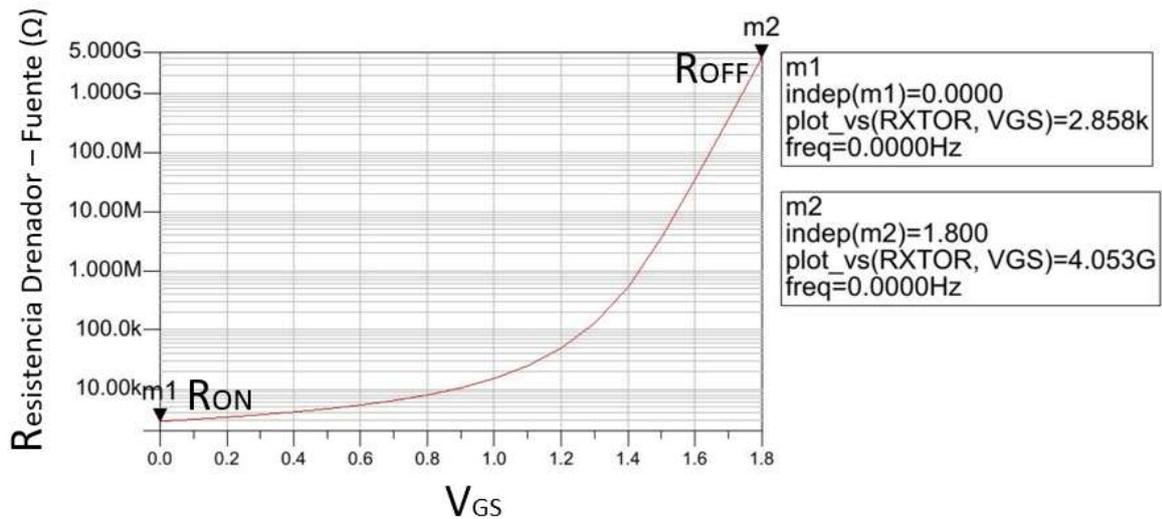


Figura 5.4. R_{ON} y R_{OFF} del transistor PMOS para una V_{Bulk} de 1,5V.

Respecto al diseño del oscilador local, como no entra dentro del alcance de este proyecto, se opta por implementar una serie de elementos que simulen su funcionamiento. Se opta por dos generadores de tonos con una potencia de 0 dBm de potencia operando a 2,3975 MHz. El oscilador local diferencia entre fase y cuadratura y se caracterizan por estar desfasadas 90 grados entre sí. De igual forma, al tratarse de una implementación diferencial, es necesario obtener tanto para la fase como para la cuadratura una señal idéntica, pero de fase contraria (con 180° de diferencia). Dicho desfase se consigue mediante el uso de transformadores, que realizan la labor de un *balun* (*BAL*anced-to-*UN*balanced) convirtiendo la señal de entrada asimétrica en una señal diferencial. Algunas de las ventajas que proporciona trabajar en modo diferencial son un alto rechazo al modo común y una mejor figura de ruido del sistema.

Para obtener este desfase de la señal, se diseña un circuito que simula el funcionamiento del oscilador local tal y como se muestra en la Figura 5.5. Con este fin, se emplean dos generadores de tonos, uno que no desfasa (presenta una fase de 0 grados) y

otro que desfasa 90 grados para generar las señales de mezcla que corresponden a la fase (I) y la cuadratura (Q), respectivamente.

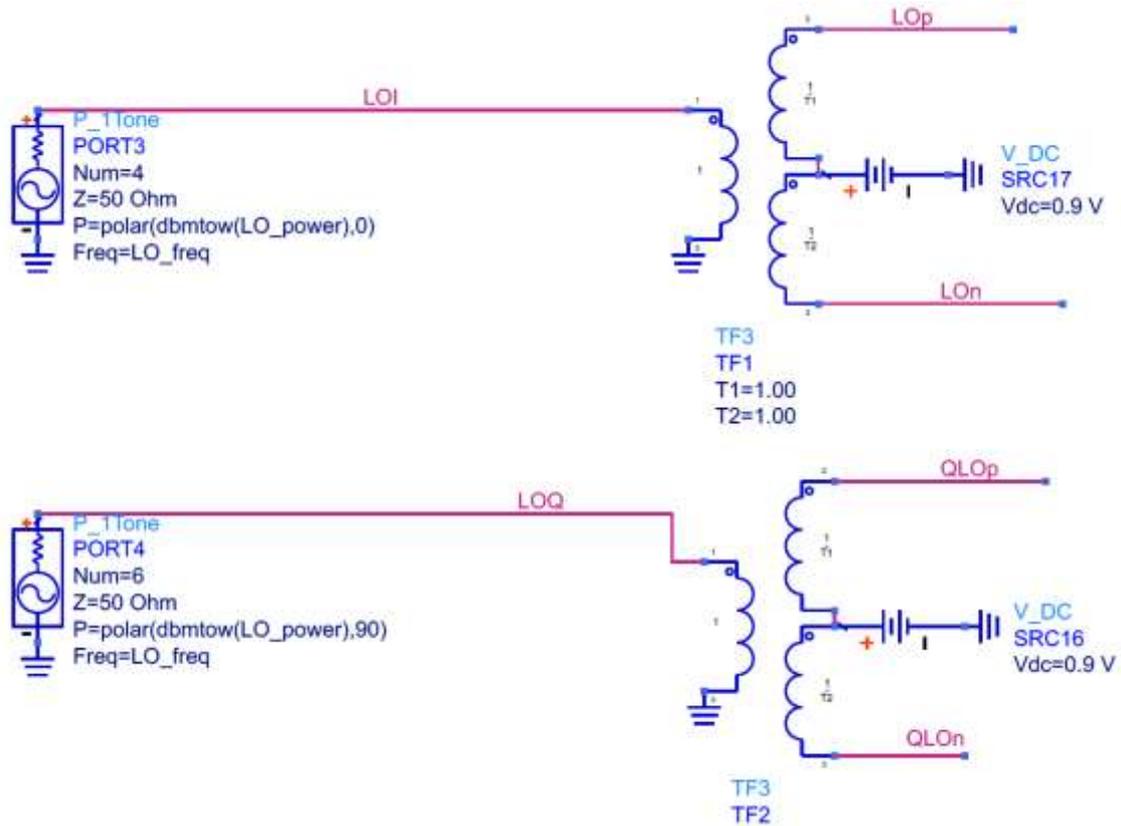


Figura 5.5. Circuito empleado para generar las señales del oscilador local

Como se aprecia en la figura, se utilizan dos transformadores para obtener las señales diferenciales a partir de la fase y cuadratura asimétricas. Es decir, a la salida aparecen cuatro señales de igual magnitud, pero con fases de 0° , 90° , 180° y 270° como se muestra en la Figura 5.6.

Capítulo 5: Diseño del mezclador

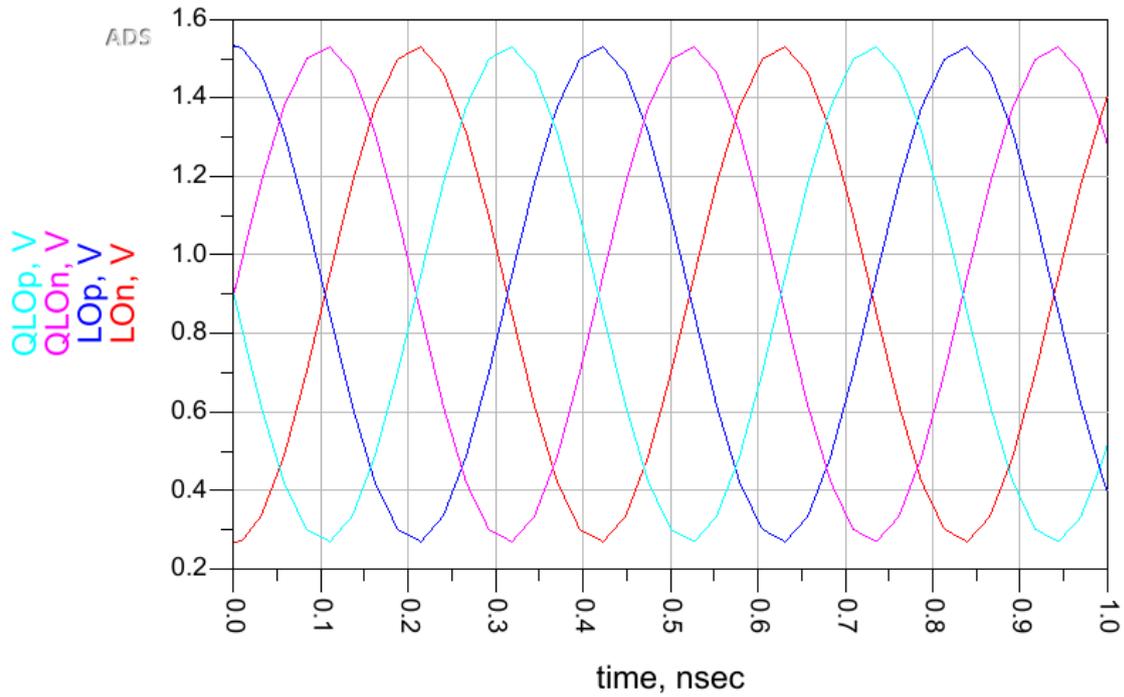


Figura 5.6. Desfase de las señales QLOp, QLOn, LOp y LOn del mezclador.

Para una polarización y basculación adecuadas, se emplea un valor de 0,9 V de continua en el terminal de *centre-tap*, por lo que las salidas del OL presentan dicho nivel de continua y basculan alrededor de 0,9 V.

En la Tabla 5.1 se puede apreciar la ganancia y figura de ruido que se obtiene al aumentar el número de *fingers*. Además, el ancho del canal del transistor se modifica para obtener la mejor relación entre ambos parámetros.

Tabla 5.1. Ganancia y figura de ruido del mezclador en función de las dimensiones de los transistores PMOS

Número de fingers	Ancho (nm)	Ganancia (dB)	Figura de ruido (dB)
1	45	-16,4	3,2
2	125	-16,2	3,0
3	150	-16,0	3,0
4	200	-16,0	3,0
5	250	-15,9	3,0
6	300	-15,9	3,0
7	300	-15,9	3,0
8	350	-15,9	3,0
9	400	-15,9	3,0
10	450	-15,9	3,0
11	500	-15,9	3,0
12	550	-15,9	3,0
13	600	-15,9	3,0
14	650	-15,9	3,0
15	700	-15,9	3,0
16	750	-15,9	3,0

Partiendo de dichos datos, se elige la distribución de 10 *fingers* y un ancho del transistor de 450 nm. Esto se debe a que se consigue el mejor compromiso entre ganancia y ruido a partir de 10 *fingers*, ya que ambos parámetros se mantienen aproximadamente constantes, tal y como se muestra en la Figura 5.7 y Figura 5.8. Concluyendo, el mezclador por sí solo tiene una ganancia de -15,9 dB y una figura de ruido de 3 dB.

Capítulo 5: Diseño del mezclador

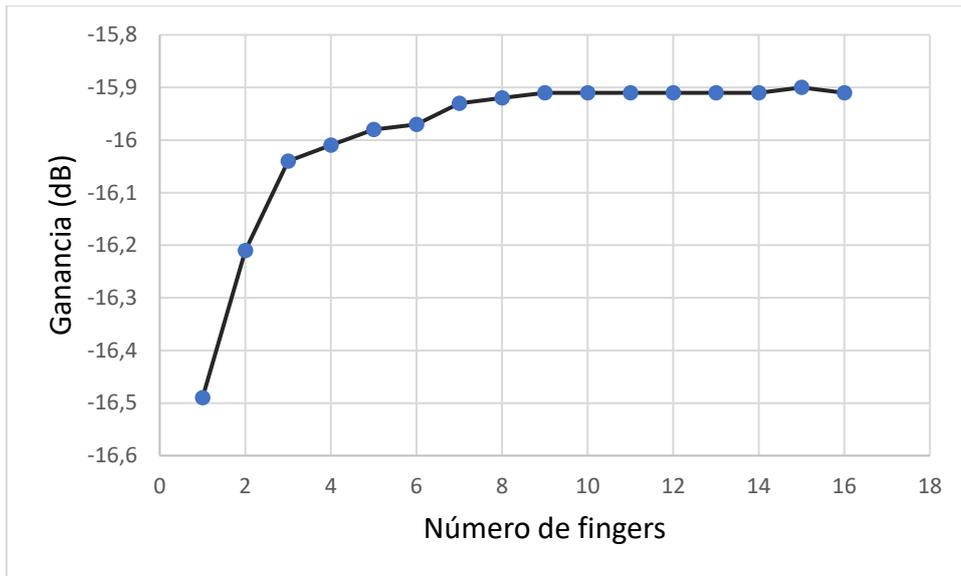


Figura 5.7. Ganancia del mezclador vs número de fingers del transistor PMOS.

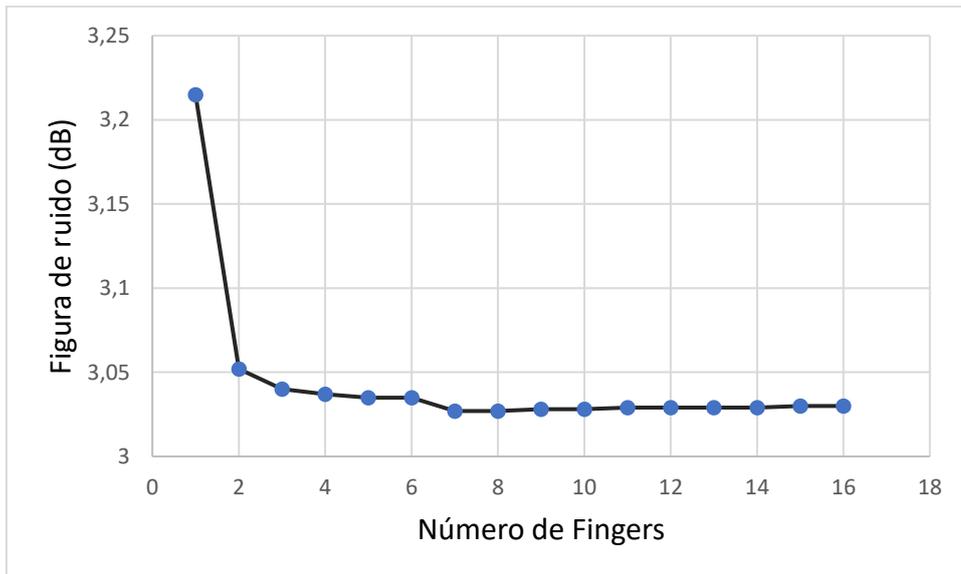


Figura 5.8. Figura de ruido del mezclador vs número de fingers del transistor PMOS.

5.4 Conclusiones

El presente capítulo discute el diseño desarrollado, se realiza el circuito de un mezclador pasivo doblemente balanceado con transistores PMOS. Se elige la distribución de 10 *fingers* y un ancho del transistor de 450 nm. Esto se debe a que se consigue el mejor compromiso entre ganancia máxima de conversión de -15,9 dB y una figura de ruido de 3 dB. En el siguiente capítulo, se aumentan los resultados diseñando y conectando un TIA.

Capítulo 6: Diseño del amplificador de transimpedancia

Este capítulo contiene los pasos seguidos en el diseño del amplificador de transimpedancia.

6.1 Estructura del amplificador de transimpedancia

Existen cuatro tipos de amplificadores según la señal de entrada que se desea amplificar (tensión o corriente) y la señal que se obtiene a la salida (de tensión o corriente). El amplificador de tensión se encarga de amplificar a la entrada una señal de tensión y suministra a la salida una señal de tensión. El amplificador de corriente amplifica una señal de corriente a la entrada y obtiene a la salida una señal de corriente. El amplificador de transconductancia amplifica una señal de tensión entrante y suministra una señal de corriente a la salida. Y el amplificador de transimpedancia o TIA, se encarga de amplificar una señal de corriente a la entrada y obtiene a la salida una señal de tensión.

Como a la salida del mezclador hay una señal en modo corriente, se elige el amplificador de transimpedancia para pasar a modo tensión. Además, como se trata de un mezclador pasivo doblemente balanceado, no posee ganancia, y por tanto es necesaria la presencia de un TIA que compense sus pérdidas. Se opta por elegir un amplificador de transimpedancia basado en inversores, colocando un amplificador en cada una de las ramas del mezclador (fase y cuadratura). Cada uno de los TIAs se constituye por dos inversores en paralelo y una red de realimentación resistiva, como se muestra en la Figura 6.1, donde se puede apreciar que se trata de un circuito con entrada y salida diferencial.

Capítulo 6: Diseño del amplificador de transimpedancia (TIA)

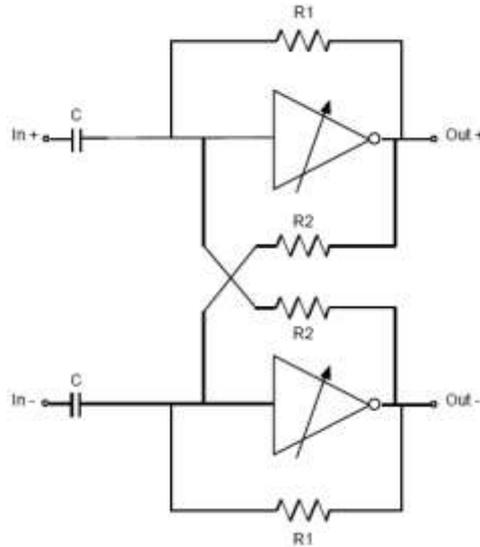


Figura 6.1. Estructura del TIA [21].

Para mantener la estabilidad de tensión en modo común se emplean las resistencias R1 y R2. Estas provocan una resistencia efectiva equivalente cuyo valor viene indicado en la ecuación (6.1). Dicha resistencia efectiva junto con el condensador C forma un filtro paso alto que permite eliminar los niveles de continua (DC *offsets*) producidos por el mezclador. Además, al aumentar el valor de la resistencia equivalente se consigue utilizar una capacidad C menor, esto significa que hay una reducción tanto del área del circuito como del ruido [29].

$$R_e = \frac{R_1 R_2}{R_2 - R_1} \quad (6.1)$$

Para modificar la ganancia del amplificador, es suficiente con variar la transconductancia de los inversores, además del valor de la resistencia efectiva como se muestra en la ecuación (6.2). Asimismo, para variar la transconductancia de los inversores, se puede modificar el tamaño de los transistores y la tensión entre puerta – surtidor (V_{GS}) como se indica en la ecuación (6.3).

$$A_v = \frac{V_{out}}{V_{in}} = 1 - (g_{MN} + g_{MP}) \cdot \frac{R_1 R_2}{R_2 - R_1} \quad (6.2)$$

$$g_m = K \cdot \frac{W}{L} \cdot (V_{GS} - V_T) \quad (6.3)$$

donde K es la constante de transconductancia del transistor, W el ancho y L la longitud. Para que el TIA tenga la función de control de ganancia, cada inversor se forma con dos ramas inversoras en paralelo, las cuales se controlan por un interruptor (*switch*) como se observa en la Figura 6.2.

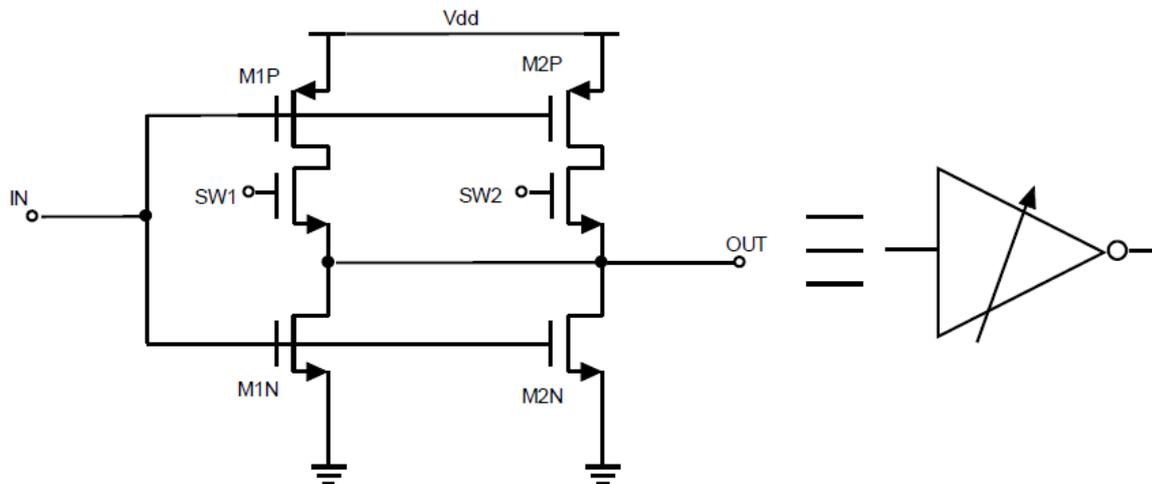


Figura 6.2. Estructura de los inversores del TIA [21].

Como se puede apreciar, se sigue la estructura típica de un inversor, es decir, en la parte superior de ambas ramas se coloca un transistor PMOS (M1P y M2P) mientras que en la parte inferior se coloca un transistor NMOS (M1N y M2N). Asimismo, se incluye un transistor NMOS (SW1 y SW2) que actúa como *switch* para activar o desactivar cada rama. El inversor se diseña para que los transistores de una rama tengan el doble de ancho que los de la otra rama. De esa forma, al activar una rama u otra se obtiene una ganancia máxima o una mínima.

6.2 Proceso de diseño del amplificador de transimpedancia

El primer paso en el proceso de diseño es dimensionar los inversores del circuito, para lo que se utilizaron los transistores de la tecnología 45-RFSOI de longitud 112 nm. Como ya se comenta en el apartado anterior, la segunda rama del inversor tiene transistores con el doble de tamaño que los de la primera, pudiendo implementar la función de control de ganancia mediante los interruptores. Dichos interruptores dejan pasar corriente o no en función de la tensión aplicada en la puerta. La tensión empleada para activar los *switches* coincide con la tensión de alimentación del TIA. Para desactivarlos, es suficiente con conectar la puerta del transistor que actúa como interruptor a tierra. Cuando se habla de

Capítulo 6: Diseño del amplificador de transimpedancia (TIA)

activar o desactivar una rama, lo que realmente se activa o desactiva es el transistor PMOS de la rama, ya que los NMOS siempre están activos. Los transistores NMOS tienen un ancho total de $10\ \mu\text{m}$ y $10\ \text{fingers}$; los PMOS, un ancho de $20\ \mu\text{m}$ y $20\ \text{fingers}$ y los interruptores (*switches*) que son también transistores NMOS, un ancho de $5\ \mu\text{m}$ y $5\ \text{fingers}$.

En el esquemático de la Figura 6.3 se muestran los inversores diseñados, que se incluyen en el TIA como un símbolo. Se asigna el puerto 1 como la entrada y el puerto 2 como la salida del circuito; los puertos 3 y 4 corresponden con los *switches* 1 y 2, que se conectan a tierra o a la fuente de alimentación en función de si se desea activar o no la rama en cuestión. El puerto 5 es el que corresponde con la alimentación del circuito y se conecta a una tensión continua de $1,5\ \text{V}$.

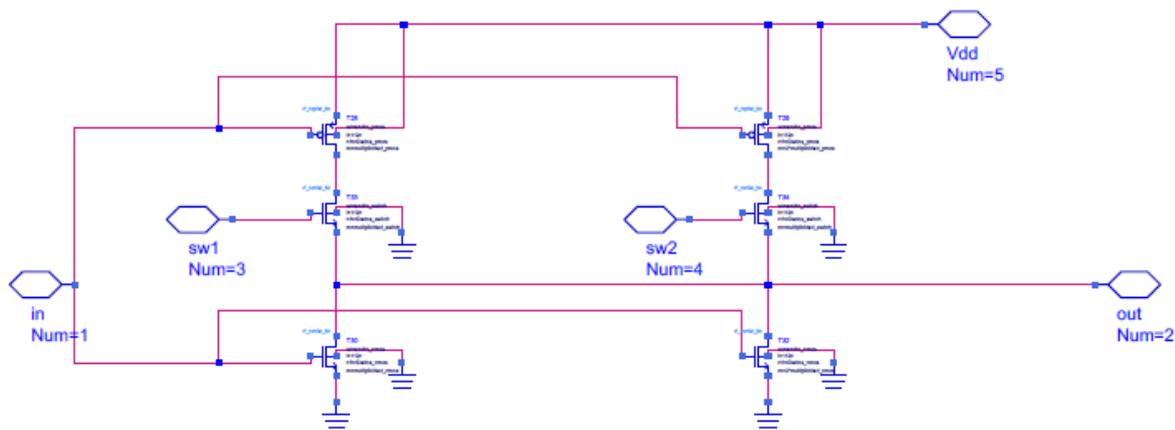
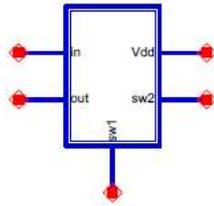


Figura 6.3. Diseño de los inversores.

Una vez diseñados los inversores se crea un símbolo (como el que se muestra en la Figura 6.4) para incluirlo en el diseño del TIA. Es aquí donde se conectan los condensadores de desacoplo de entrada y la red de realimentación resistiva. Como se comenta al principio de este capítulo, las resistencias de la red de realimentación forman una resistencia efectiva, definida en la ecuación (6.1), que afecta a la ganancia del amplificador. Se eligen las resistencias de red con mejores prestaciones de ganancia y figura de ruido [29], es decir, $30\ \text{k}\Omega$ para R_1 y $33\ \text{k}\Omega$ para R_2 que ofrecen una resistencia efectiva de $330\ \text{k}\Omega$. Seguidamente, se fijó $1\ \text{pF}$ como valor de los condensadores de desacoplo.



inversor_del_TIA_version1

X3

multiplicidad_nmos=multiplicidad_N

nDedos_nmos=nDedos_N

ancho_nmos=ancho_N

multiplicidad_pmos=multiplicidad_P

nDedos_pmos=nDedos_P

ancho_pmos=ancho_P

multiplicidad_switch=multiplicidad_S

nDedos_switch=nDedos_S

ancho_switch=ancho_S

Figura 6.4. Símbolo del inversor.

En la Figura 6.5, se muestra el diseño del TIA con los dos símbolos de los inversores, los valores de las resistencias de la red de realimentación fijados y los valores de los condensadores de desacoplo. En dicho esquemático, los puertos de los interruptores (SW1, SW2) se pueden conectar a una fuente de tensión o a tierra. En este caso, para tener el TIA en modo de ganancia máxima, aplicamos al puerto SW2 tensión de alimentación (1,5 V) y conectamos el puerto SW1 a tierra.

Capítulo 6: Diseño del amplificador de transimpedancia (TIA)

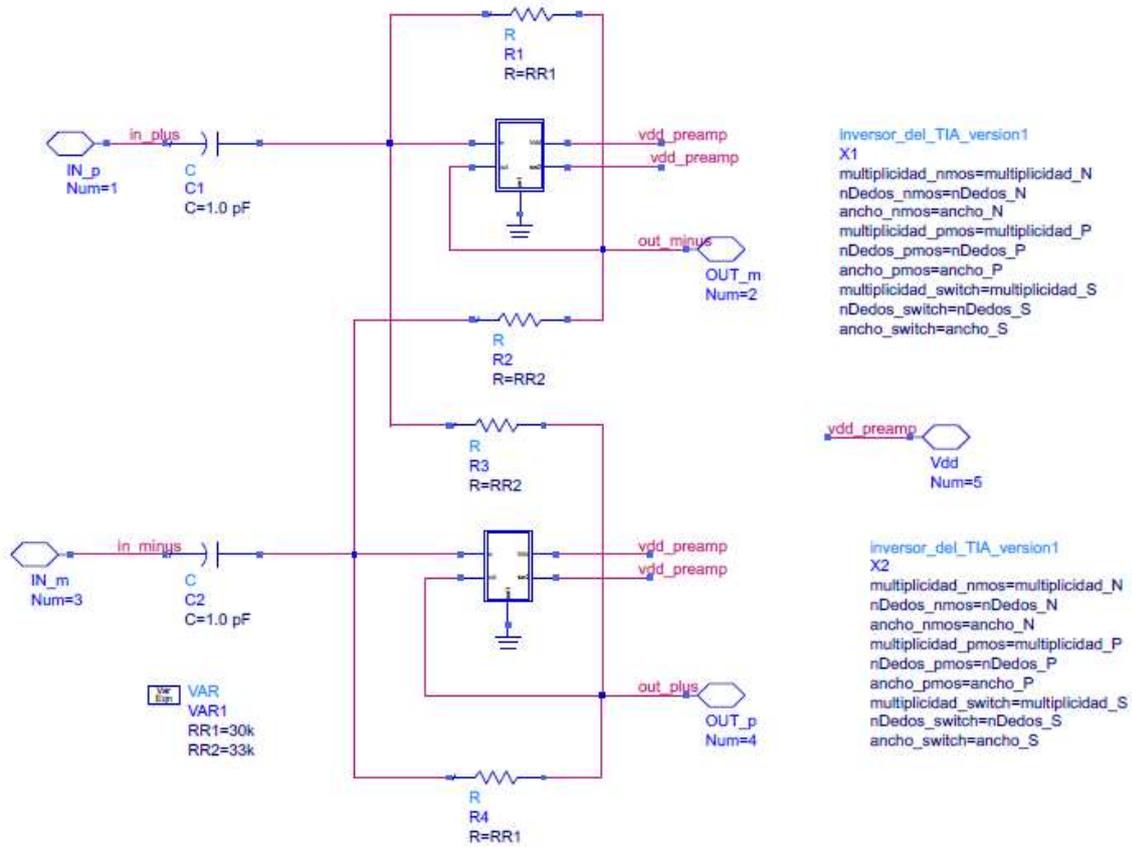
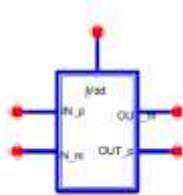


Figura 6.5. Diseño del TIA.

Para conectar el TIA a los demás elementos del circuito, se crea el símbolo de la Figura 6.6. Donde para realizar modificaciones más fácilmente, se parametriza el diseño permitiendo retocar externamente las variables de multiplicidad, ancho del transistor y número de *fingers*.



TIA_componente

X3

multiplicidad_N=multiplicidad_N_

nDedos_N=nDedos_N_

ancho_N=ancho_N_

multiplicidad_P=multiplicidad_P_

nDedos_P=nDedos_P_

ancho_P=ancho_P_

multiplicidad_S=multiplicidad_S_

nDedos_S=nDedos_S_

ancho_S=ancho_S_

Figura 6.6. Símbolo del TIA

Una vez creado el símbolo, se incluyen dos TIAs a las salidas del mezclador como se aprecia en la Figura 6.7, en específico uno para cada rama del mezclador (rama I, rama Q). Para ello, se conectan los puertos de entrada del TIA (IN_p, IN_m) a la salida del mezclador, el puerto V_{dd} a la alimentación del circuito (de 1,5 V) y los puertos de salida (OUT_p, OUT_m) a unas fuentes de tensión controlada por tensión (VCVS) con una impedancia de $100\text{M}\Omega$, que permite que sea posible medir ganancia a la salida del circuito.

Capítulo 6: Diseño del amplificador de transimpedancia (TIA)

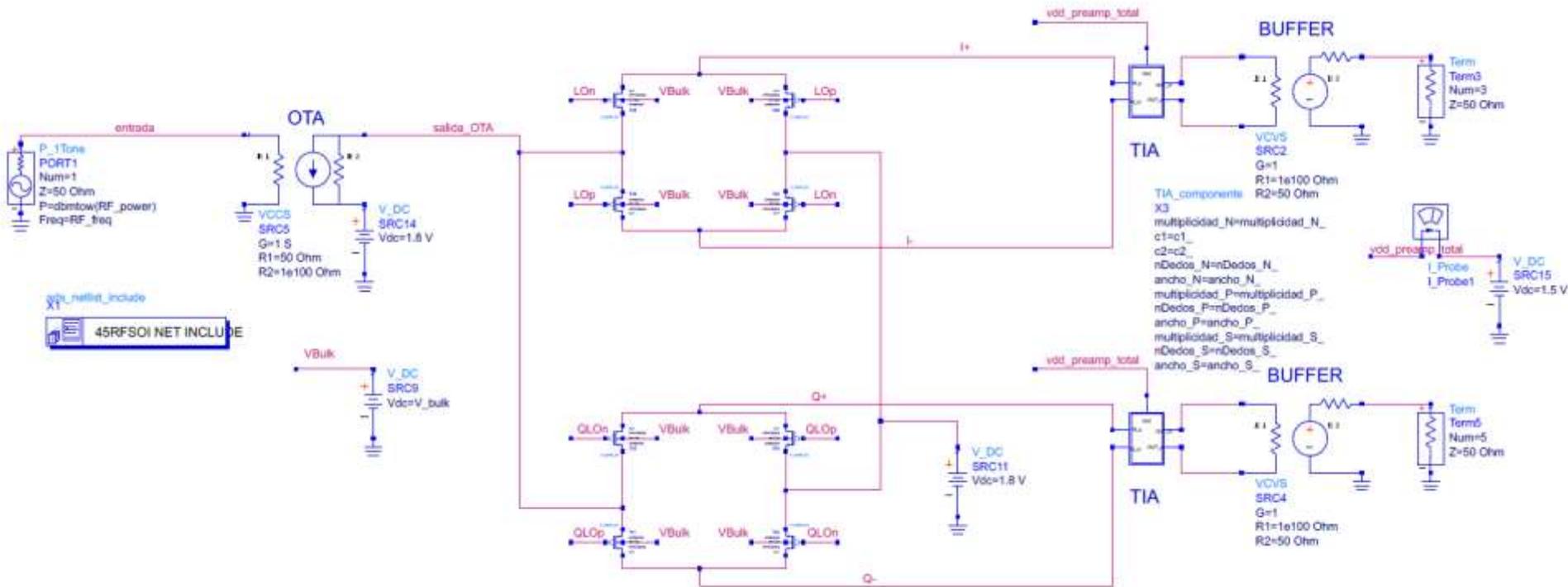


Figura 6.7. Circuito del mezclador con el TIA conectado

Activando primero la rama de la derecha, se consigue una ganancia de 55,0 dB y una figura de ruido de 3,1 dB, como se muestra en la Figura 6.8. Aumentando considerablemente la ganancia del circuito.

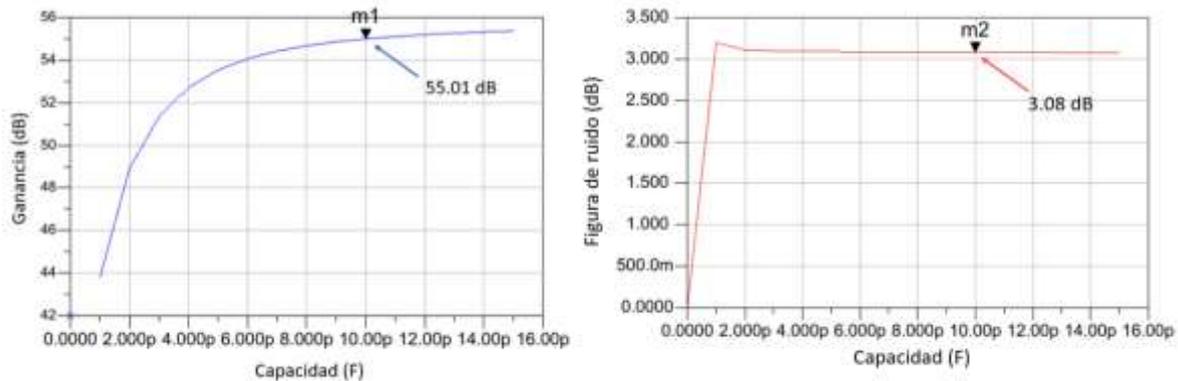


Figura 6.8. Ganancia y Figura de ruido del circuito con el TIA conectado y activando la rama de la izquierda.

Al activar la rama de la izquierda, con la otra rama desactivada, se obtiene una ganancia de 65,3 dB y una figura de ruido de 3,1 dB como se aprecia en la Figura 6.9. Dichos resultados de ambas ramas se consiguen para una capacidad de 10 pF en los condensadores de desacoplo de los TIAs.

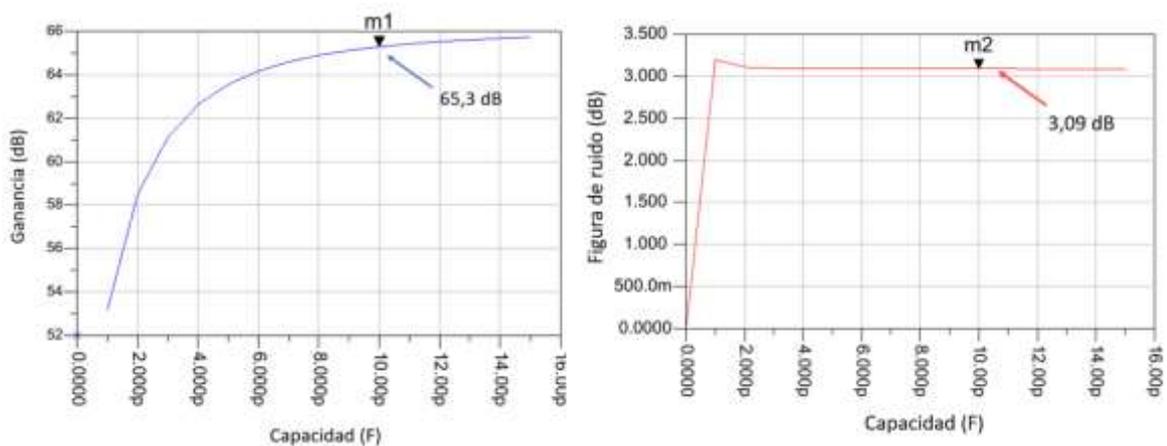


Figura 6.9. Ganancia y figura de ruido del circuito con el TIA conectado y activando la rama de la derecha.

En este último caso el TIA está en el modo de ganancia máxima, es decir se activa la rama más pequeña del inversor. Esto se debe a que al aumentar la relación de aspecto W/L, también aumenta la g_m . Recordando que la ganancia del TIA viene definida por la ecuación (6.2), se concluye que la ganancia aumenta cuando también lo hace la transconductancia.

6.3 Conclusiones

A lo largo del presente capítulo se explica el diseño del TIA, el cual convierte la señal en modo corriente de la salida del mezclador a modo tensión. Al mismo tiempo, añade al circuito del mezclador ganancia y compensa las pérdidas que este introduce. Esto se refleja cuando se conectan en serie el mezclador y el TIA, obteniendo una ganancia máxima de conversión $G = 55$ dB y una figura de ruido $NF = 3,1$ dB. En el siguiente capítulo, se diseña un OTA con realimentación negativa para cumplir con la misma función que el TIA y tratar de reducir el consumo de potencia.

Capítulo 7: Diseño de un TIA a partir de un OTA

En el capítulo presente se define la estructura a seguir en el diseño de un amplificador operacional de transconductancia (OTA), para luego realimentarlo de manera negativa y convertirlo en un TIA. El OTA destaca por ser un dispositivo con gran versatilidad, por lo que presenta una gran presencia en el ámbito de los circuitos analógicos. En la Figura 7.1 se puede apreciar el esquemático del OTA que se utiliza en este TFG, el cual está compuesto por un espejo de corriente (zona azul), una etapa de entrada (zona naranja) y etapa de salida (zona verde).

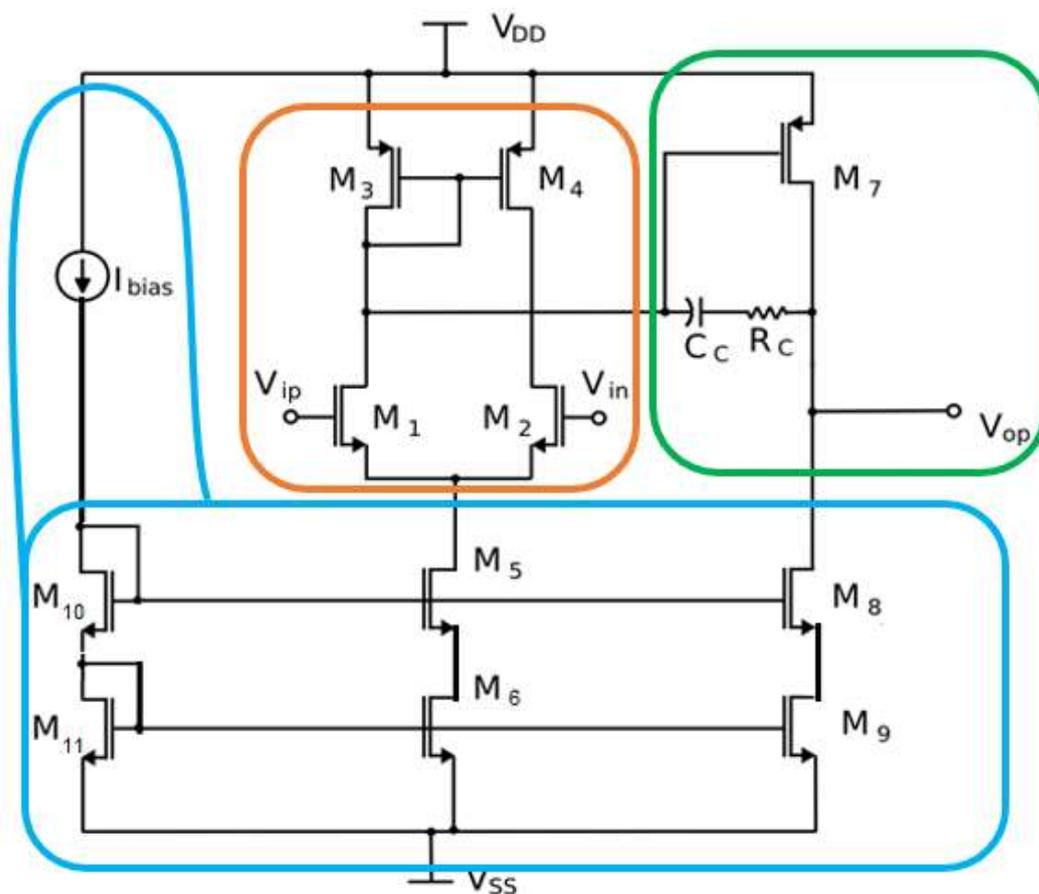


Figura 7.1. Esquemático del OTA.

7.1 Diseño de las etapas del OTA

Para estudiar el comportamiento del OTA, se ha partido de las especificaciones de la Tabla 7.1. Con dicha tabla se pueden obtener las dimensiones de los transistores del OTA.

Igualmente, para calcular el dimensionamiento, es necesario aplicar la metodología de diseño de g_m/I_D y analizar las curvas características de los transistores (g_m/I_D vs $I_D/(W/L)$).

Tabla 7.1. Especificaciones del OTA.

A_v	> 40 dB
<i>Margen de fase</i>	> 60°
<i>GBW</i>	50 MHz
V_{DD}	1.2 V
V_{SS}	0 V
I_{DD}	< 0.5 mA
<i>Capacidad de carga C_L</i>	1 pF

Como mínimo el margen de fase (MF) debe ser superior a 45°, se recomienda que sea superior a 60°. Esto se puede conseguir situando un cero a una frecuencia 10 veces superior al producto ganancia-ancho de banda (*gain-bandwidth* o GBW) y el segundo polo a una frecuencia 2,2 veces superior al producto GBW [30]. Como se desea un MF > 60°, se debe aplicar la relación (7.1), la cual se puede reescribir como se muestra en (7.2). Partiendo de las especificaciones de la tabla anterior, se extrae la relación (7.3), de la cual se obtiene el valor del condensador de compensación C_c . Por lo tanto, la expresión (7.3) debe cumplirse para alcanzar el MF deseado. En el diseño del OTA se ha optado por un C_c de 0,25 pF.

$$\left(\frac{g_{m7}}{C_c}\right) > 10 \cdot \left(\frac{g_{m1}}{C_c}\right) ; g_{m7} > 10 \cdot g_{m1} \quad (7.1)$$

$$\left(\frac{g_{m7}}{C_L}\right) > 2.2 \cdot \left(\frac{g_{m1}}{C_c}\right) \quad (7.2)$$

$$C_c > \frac{2.2}{10} \cdot C_L = 0.22 \cdot C_L = 0.22 \text{ pF} \quad (7.3)$$

Con el fin de reducir el consumo se ha fijado un valor de corriente de polarización I_{bias} de 1,5 μ A, de manera que circulan 7,5 μ A por cada rama del par diferencial (es decir,

Capítulo 7: Diseño de un amplificador operacional de transconductancia

en un circuito muy robusto frente al ruido común que aparece en sus entradas. Además, se debe tener en cuenta que un par diferencial posee dos salidas, una inversora y otra no inversora, que se pueden tomar de los drenadores de M1 y M2.

Si se analiza el comportamiento del par diferencial en pequeña señal, se puede concluir que la ganancia para una de sus salidas viene dada por la ecuación (7.4) [8]. Donde g_{m1} corresponde a la transconductancia del transistor M1, r_{ds2} identifica la resistencia de salida en pequeña señal del transistor M2 y r_{ds4} a la de M4.

$$A_v = \frac{V_{out}}{V_{id}} = g_{m1}(r_{ds2} || r_{ds4}) \quad (7.4)$$

Si se quiere obtener el ancho de banda del par diferencial, se deben tener en cuenta las capacidades parasitas de los MOSFETs, ya que introducen polos de alta frecuencia que limitan la respuesta en frecuencia del OTA. Si se consideran estas capacidades parásitas se obtiene la expresión (7.5), donde C_2 es la capacidad que representa el efecto de la contribución de todas las capacidades del modelo en pequeña señal del circuito [8].

$$\frac{V_{o1}}{V_{id}} = g_{m1}(r_{ds2} || r_{ds4}) \frac{1}{\left[1 + s \cdot \frac{1}{c_2(r_{ds2} || r_{ds4})}\right]} \quad (7.5)$$

A partir de la relación (7.6) se puede calcular la transconductancia de los transistores M1 y M2. Con el valor de la transconductancia y la corriente que circula por M1 y M2 se puede obtener la relación g_m/I_D sustituyendo en la ecuación (7.7), con lo que se obtiene una relación de g_m/I_D de 10,472.

$$g_{m_{1,2}} = 2\pi \cdot GBW \cdot C_c = 78.54 \mu S \quad (7.6)$$

$$\left(\frac{g_m}{I_D}\right)_{1,2} = \frac{g_{m_{1,2}}}{I_{D_{1,2}}} = \frac{78.54 \cdot 10^{-6}}{7.5 \cdot 10^{-6}} = 10.472 \quad (7.7)$$

Para los transistores que forman la carga activa del par diferencial, es decir los transistores M3 y M4, se fija una relación de g_m/I_D de 10 para que trabajen en inversión moderada.

Partiendo de los valores obtenidos, se pueden hallar las relaciones de aspecto de los transistores del par diferencial. Conociendo los valores de g_m , I_D y g_m/I_D representados en la expresión (7.8), y el valor de la corriente de drenador normalizada $I_D/(W/L)$ correspondiente al modelo del transistor empleado, se puede calcular la relación de aspecto (W/L) de los transistores a partir de la ecuación (7.9). En esta ecuación, la corriente I_D^* es la corriente de drenador calculada y la $(W/L)^*$ la relación de aspecto que se quiere conocer.

$$g_{m1,2} = 78.54\mu S ; I_{D1,2} = 7.5\mu A ; \left(\frac{g_m}{I_{D1,2}} \right) = 10.472 \quad (7.8)$$

$$\left(\frac{I_D}{W/L} \right)_{curvas} = \frac{I_D^*}{(W/L)^*} ; \left(\frac{W}{L} \right)^* = \frac{I_D^*}{\left(\frac{I_D}{W/L} \right)_{curvas}} \quad (7.9)$$

Repitiendo estos cálculos para cada transistor y a partir de las curvas características de los modelos correspondientes, se obtienen los resultados de la Tabla 7.2.

Tabla 7.2. Resultados teóricos de los transistores del par diferencial

MOSFET	Tipo	g_m/I_D	$g_m(\mu S)$	$I_D(\mu A)$	$I_D/(W/L)(\mu A)$	W/L
M1, M2	N	10.472	78.54	7.5	5,55	1.35
M3, M4	P	10	75	7.5	3.45	2.17
M7	P	8	785.4	98.2	5.18	18.95

7.2 Etapa de salida y compensación Miller

La etapa de salida es la que se encarga de amplificar y por tanto es el transistor M7 el que posee la mayor g_m . Como se aprecia en la Figura 7.1, se añade una capacidad de compensación C_c y una resistencia R_c entre la puerta y el drenador del transistor M7 de la segunda etapa del OTA. Estos dos elementos se encargan de aplicar la compensación Miller o por polo-cero en el circuito. La resistencia ayuda a desplazar el cero del circuito a alta frecuencia, evitando que empeore el margen de fase. Este tipo de compensación provoca el conocido compromiso entre ganancia y ancho de banda en los amplificadores

operacionales, ya que al obtener un GBW constante si se consigue mayor ganancia se pierde ancho de banda y viceversa. El valor de la capacidad C_c se fijó en 0,25 pF y el valor de la resistencia de compensación R_c viene dado por la expresión (7.10):

$$R_c = \frac{1}{g_{m7}} = 0,990 \Omega \quad (7.10)$$

El siguiente paso consiste en calcular la relación g_m/I_D del transistor de la etapa de salida M7. Para trabajar en inversión moderada se elige una relación g_m/I_D de 8. Partiendo de la expresión (7.7) se consigue calcular la g_{m7} al dividir la $g_m/I_D = 8$ entre la corriente de drenador $I_D = 98.2 \mu A$ para M7, esta corriente es la misma que circula por los transistores M8 y M9. Repitiendo el mismo procedimiento del apartado anterior y a partir de las curvas características del transistor, se obtienen los resultados de la Tabla 7.3.

Tabla 7.3. Resultados teóricos del transistor de la etapa de salida.

MOSFET	Tipo	g_m/I_D	$g_m (\mu S)$	$I_D (\mu A)$	$I_D/(W/L) (\mu A)$	W/L
M7	P	8	785.4	98.2	5.18	18.95

7.3 Espejo de corriente

La fuente de corriente es fundamental para establecer la polarización de los transistores MOS, ya que determina sus prestaciones en pequeña señal. Los MOSFETs pueden “copiar” la corriente que circula por un transistor de referencia cuando se configuran a modo de espejo de corriente. Por tanto, es posible emplear espejos de corriente para establecer la corriente en continua que polariza cada rama del OTA. Uno de los aspectos a tener en cuenta a la hora de diseñar un espejo de corriente es que debido al efecto de modulación del canal la corriente de saturación de los MOSFETs no es constante, sino que presenta una ligera pendiente conforme aumenta V_{DS} . Este efecto se relaciona directamente con el hecho de que la resistencia del canal del MOSFET, es decir, su impedancia de salida [23], [31], tiene un valor finito.

Para utilizar un MOSFET como referencia en un espejo de corriente se conecta en configuración de diodo, es decir, se conecta la puerta del transistor con el drenador. Al hacer esto, el nodo de la puerta de dicho transistor se puede emplear como referencia para

generar la tensión V_{GS} de referencia de los demás MOSFETs. Lo que ocurre es que con esta configuración se consigue forzar que la tensión V_{GS} de ambos transistores sea igual [22]. Gracias a que se mantienen iguales las V_{GS} , se puede configurar la corriente que se copia de un transistor a otro variando la relación de aspecto del transistor que copia corriente. Dicho de otro modo, si el transistor de referencia tiene $1\ \mu\text{m}$ de ancho y por él circula $1\ \mu\text{A}$, es posible copiar la misma corriente empleando otro transistor de $1\ \mu\text{m}$. También es posible jugar con el ancho del transistor que copia para obtener, por ejemplo, $7\ \mu\text{A}$ utilizando un transistor de $7\ \mu\text{m}$ de ancho.

Las dimensiones de los transistores del espejo de corriente (M5, M6, M8, M9, M10 y M11) se ajustaron para obtener las corrientes que se desean copiar a cada rama de los espejos [32]. Modificando la relación de aspecto de los MOSFETs, se consigue aumentar 11 veces la corriente por la segunda rama y 63 veces por la etapa de salida. De ese modo, la corriente que circula por los transistores M10 y M11, permiten generar la corriente de polarización del PMOS de la etapa de salida para que alcance la g_m deseada.

Para elegir el espejo de corriente que mejor se adapta a las necesidades del circuito se estudian varias configuraciones distintas para comprobar las ventajas y desventajas de emplear cada una. En primer lugar, el espejo de corriente simple se muestra en la Figura 7.3. Con este espejo se obtiene una resistencia de salida muy reducida, como se aprecia en la Figura 7.4. Este diseño queda descartado porque lo ideal es que una fuente de corriente se mantenga constante una vez alcanza la región de saturación, es decir, hay que tratar de reducir al máximo la pendiente en esta región.

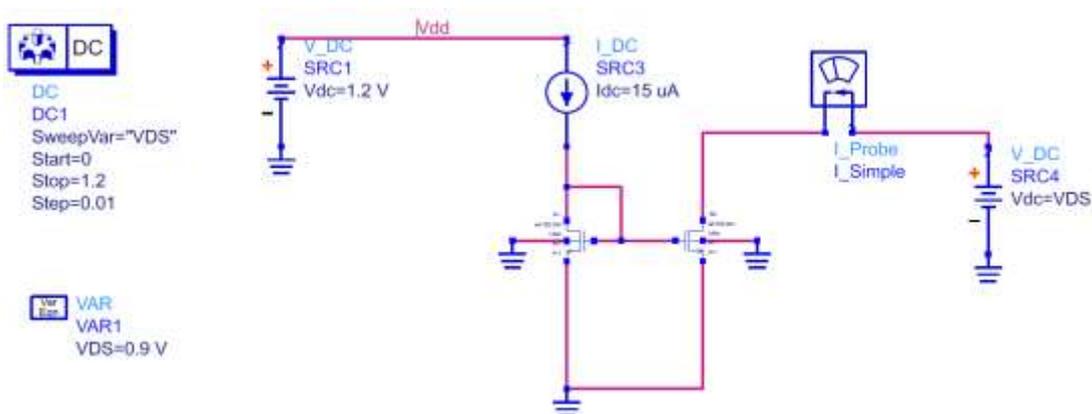


Figura 7.3. Espejo de corriente simple.

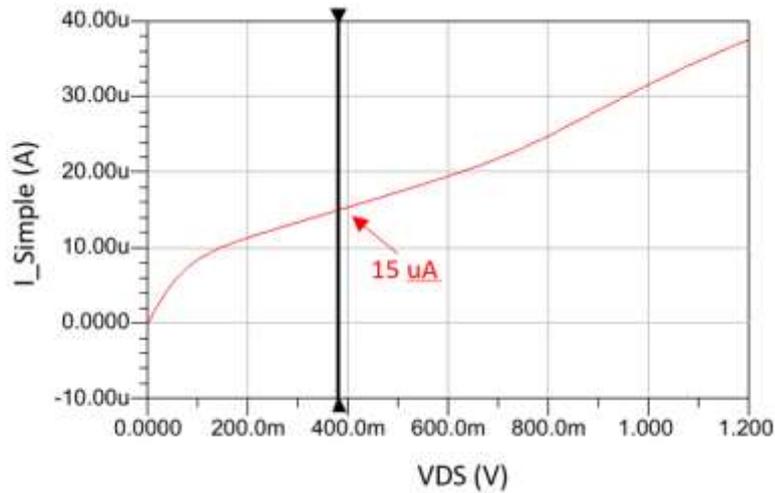


Figura 7.4. I_{Simple} vs V_{DS} del espejo de corriente simple.

Después, se estudió el cascado simple que se muestra en la Figura 7.5. La ventaja principal de emplear un cascado es que se mejora significativamente la resistencia de salida del espejo. Por ello, un espejo de corriente en cascado se caracteriza por ofrecer una corriente mucho más estable que el espejo de corriente simple. Sin embargo, como se utilizan dos transistores en serie, el punto en el que los dos dispositivos entran en saturación es algo mayor que en el caso anterior. Esta situación se traduce en que el espejo en cascado requiere mayor tensión en continua (V_{DS}) para alcanzar la región de corriente estable (comúnmente se hace referencia a este punto como un “codo”). Esto se aprecia mejor en la Figura 7.6, donde se observa que el espejo comienza a alcanzar un valor estable para una V_{DS} de unos 300 mV.

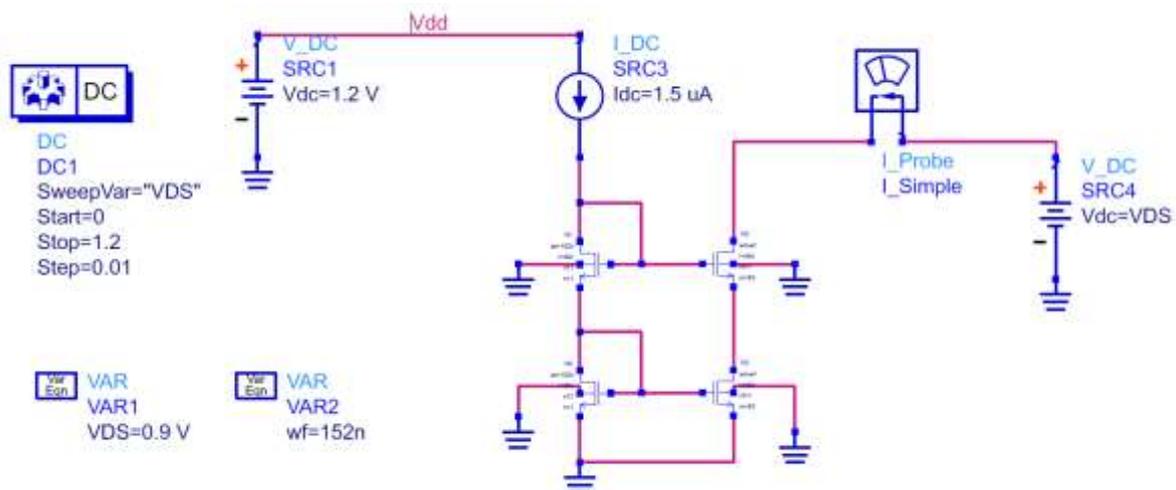


Figura 7.5. Esquemático del Cascado Simple.

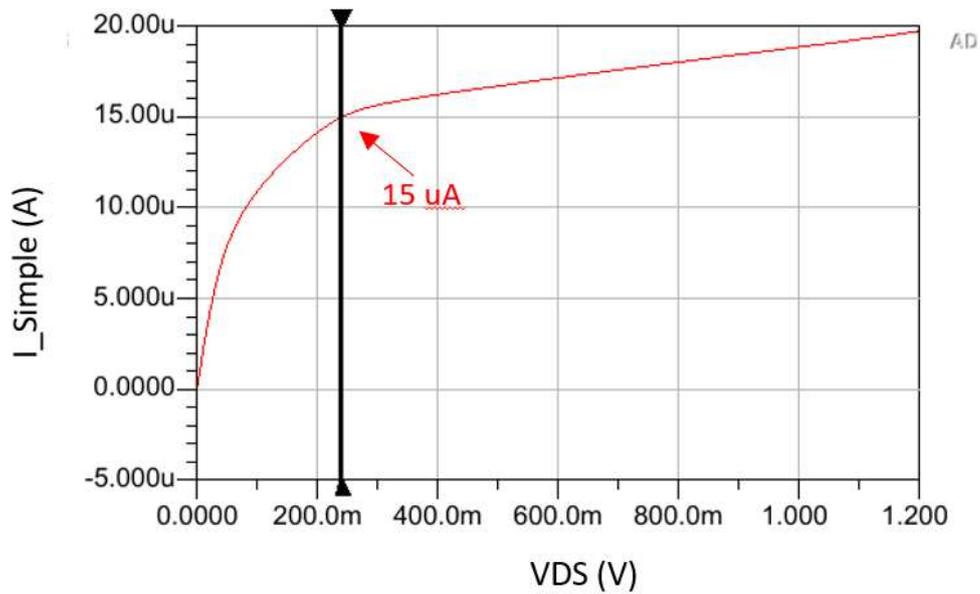


Figura 7.6. I_{Simple} vs V_{DS} del Cascode Simple.

A pesar de tener unos buenos resultados, se estudió una configuración más para el espejo de corriente. Para ello, se modificó el cascode simple como se aprecia en la Figura 7.7. Al comparar con el cascode simple, en la Figura 7.8 se observa que el “codo” de la curva se consigue a tensiones menores. No obstante, en la región de saturación la resistencia de salida es muy pequeña comparada con el cascode simple, razón por la que este diseño queda descartado y se ha optado por el cascode simple.

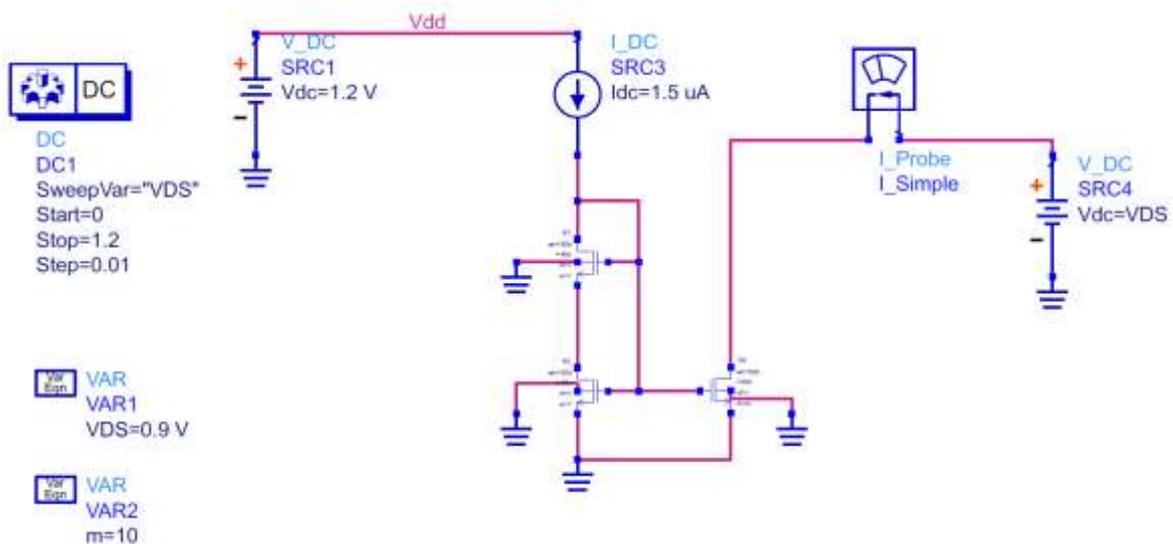


Figura 7.7. Esquemático del Cascode simple modificado.

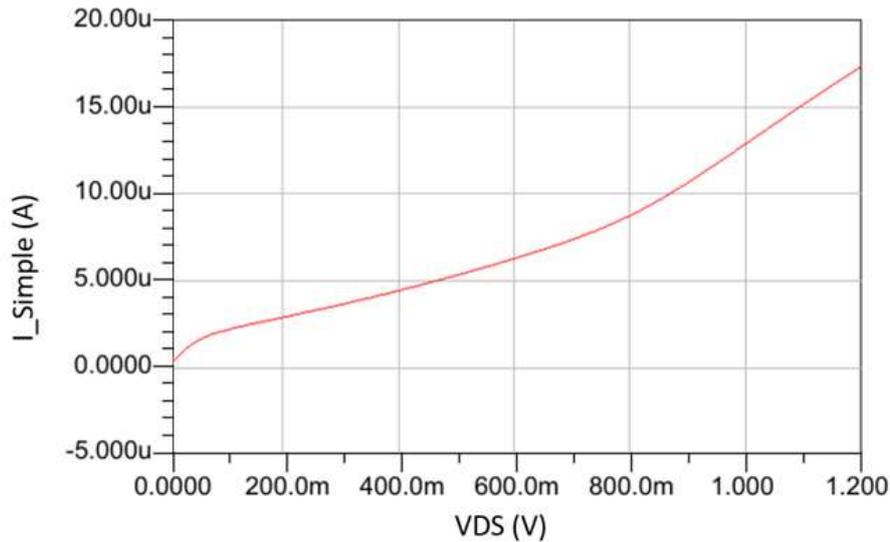


Figura 7.8. I_{Simple} vs V_{DS} del Cascodo Simple modificado.

Las dimensiones de los transistores utilizados en el espejo de corriente vienen dadas en la Tabla 7.4, donde se definen los tipos de transistores y la corriente I_D (teórica que debe de caer por las ramas del OTA).

Tabla 7.4. Dimensiones de los transistores en el espejo de corriente Cascodo Simple.

MOSFET	Tipo	I_D (μA)	Wf (nm)	multiplicidad
M5, M6	N	15	152	11
M8, M9	N	98.2	152	63
M10, M11	N	15	152	1

7.4 Diseño del amplificador de transimpedancia a partir del OTA

Partiendo de los valores que se calculan de la Tabla 7.2 para los transistores M1 – M4 y M7 y de los valores que se obtienen en la Tabla 7.4 para los transistores que forman el espejo, se introducen las dimensiones en los transistores que forman el OTA. De esta forma se obtiene el circuito de la Figura 7.9, que alimentado con una tensión continua de 1.2 V consume un total de 115 μA . A partir de este circuito es posible realizar una primera simulación en continua para comprobar los puntos de operación de cada transistor. Al hacerlo, se obtuvieron los resultados recogidos en la Tabla 7.5. Como era de esperar estos resultados diferían de los calculados en la Tabla 7.2, pero esta desviación tiene que ver con

que la corriente de polarización obtenida no es exactamente la que se desea. Por ello, se obtienen valores de transconductancia algo mayores, que resulta en una mayor ganancia a costa de un ligero aumento en el consumo del OTA.

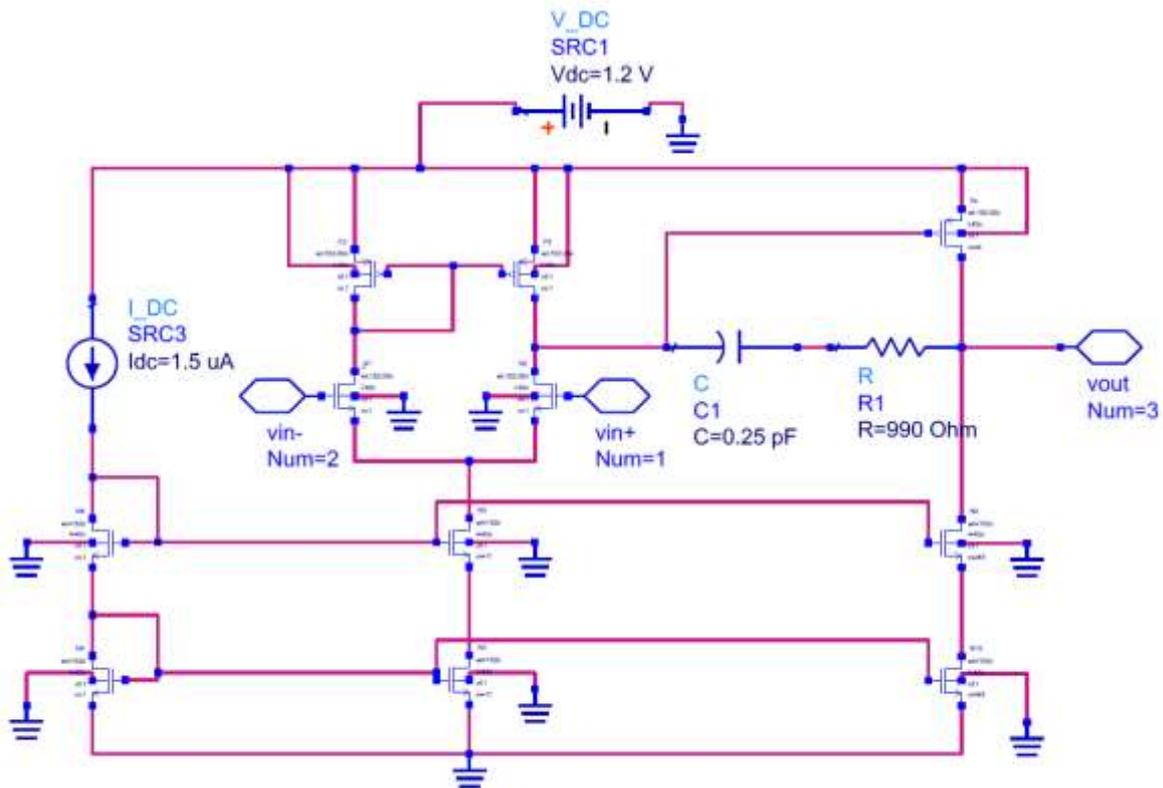


Figura 7.9. Circuito del OTA.

Tabla 7.5. Resultados prácticos de los transistores del par diferencial y de la etapa de salida.

MOSFET	Tipo	g_m/I_D	$g_m(S)$	$I_D(\mu A)$
M1, M2	N	12.2	95.6 μ	7.8
M3, M4	P	11.5	90.01 μ	7.8
M7	P	10.4	1.01m	97.7

Para añadir el OTA al circuito del mezclador se reutiliza la herramienta de creación de símbolos del ADS para asignar cada uno de los puertos. La entrada Vin+ se le asigna al puerto 1, la entrada Vin- al puerto 2 y la salida al puerto 3, consiguiendo el esquemático de la Figura 7.10.

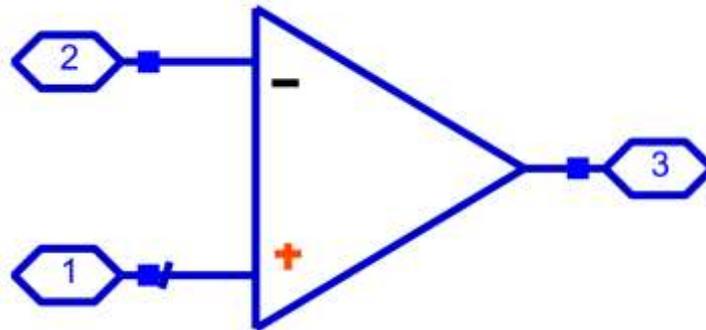


Figura 7.10. Símbolo del OTA.

Como se ha comentado anteriormente la salida del mezclador es diferencial. Por lo tanto, para poder realizar la interconexión adecuadamente es necesario que el TIA formado por OTAs también trabaje con señales diferenciales. Para realizar dicha interconexión se creó el símbolo de la Figura 7.11, en el cual se asigna el puerto 1 a la entrada positiva, el puerto 2 a la salida positiva, el puerto 3 a la entrada negativa y el puerto 4 a la salida negativa. Igualmente, se añaden dos bobinas (DC_Feed1 y DC_Feed2 en la figura) para polarizar con 0,6 V de continua las puertas de los transistores de la entrada negativa del OTA y para que la basculación de tensión en la entrada sea máxima ($V_{DD}/2$). Las dos fuentes de tensión SRC1 y SRC4 se emplean para polarizar los transistores de la entrada positiva del OTA. Por otra parte, para mantener la estabilidad de tensión en modo común se emplean las resistencias R1 y R2, tal y como se hace en el diseño del TIA basado en inversores del capítulo anterior. Estas provocan una resistencia efectiva equivalente cuyo valor viene indicado en la ecuación (6.1).

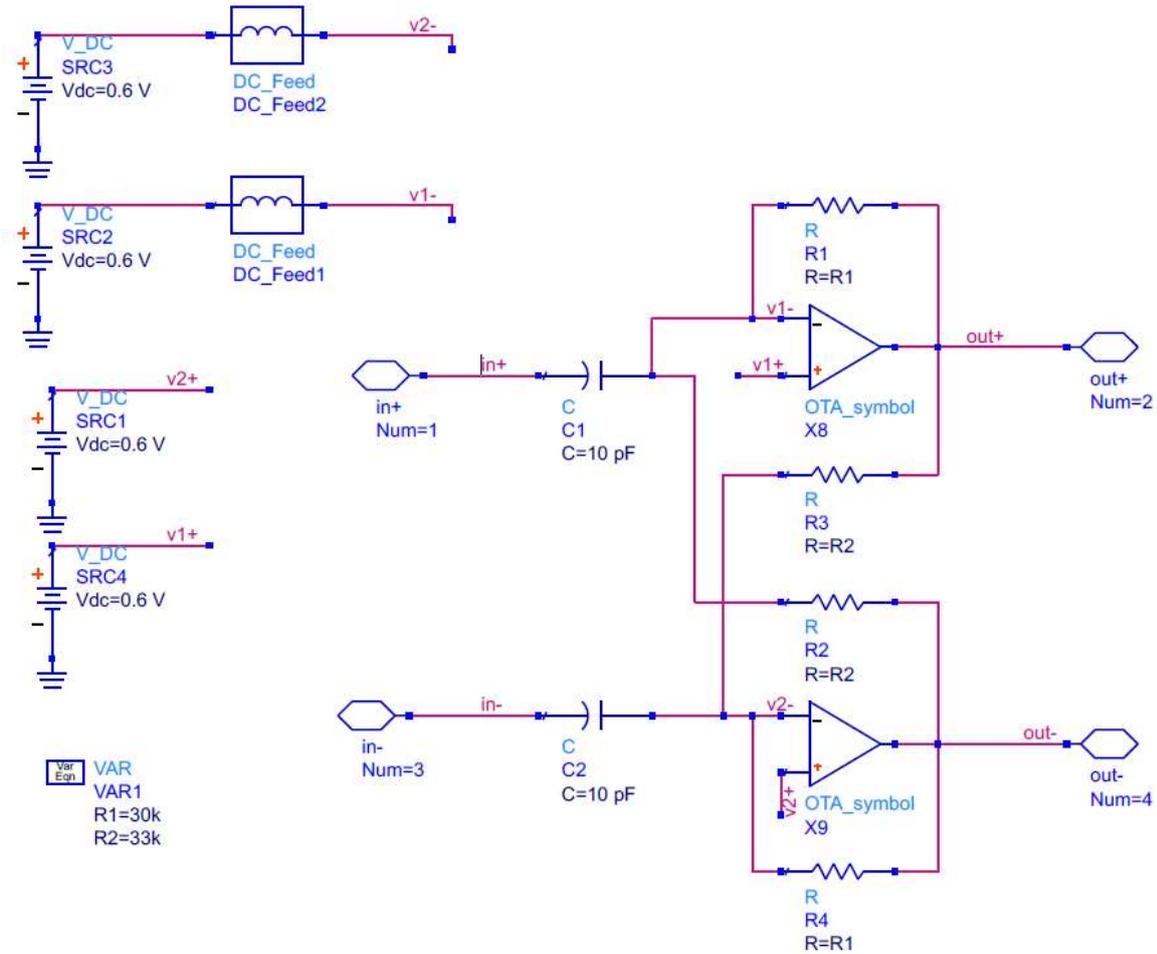


Figura 7.11. Esquemático del TIA diseñado con OTAs con realimentación negativa.

Finalmente, en la Figura 7.12 se muestra el esquemático del circuito completo, obtenido al realizar el conexionado del mezclador con el OTA realimentado de manera negativa, el cual reemplaza al TIA del apartado anterior.

Capítulo 7: Diseño de un amplificador operacional de transconductancia

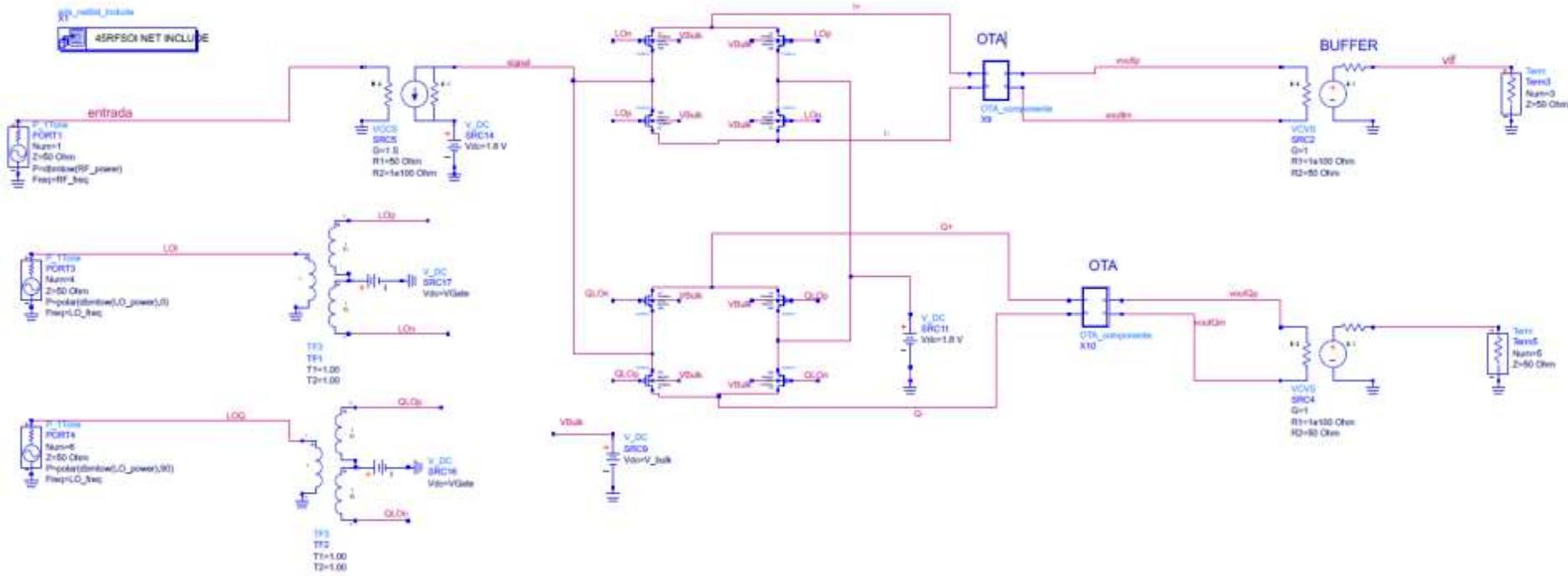


Figura 7.12. Circuito completo del mezclador con el OTA conectado.

Para demostrar la estabilidad del OTA se estudia la ganancia y la fase de la señal de salida realizando un análisis AC con un barrido en frecuencia, obteniendo la Figura 7.13. A partir del diagrama de Bode se obtiene un margen de fase de $78,9^\circ$, un valor que confirma una gran estabilidad del circuito.

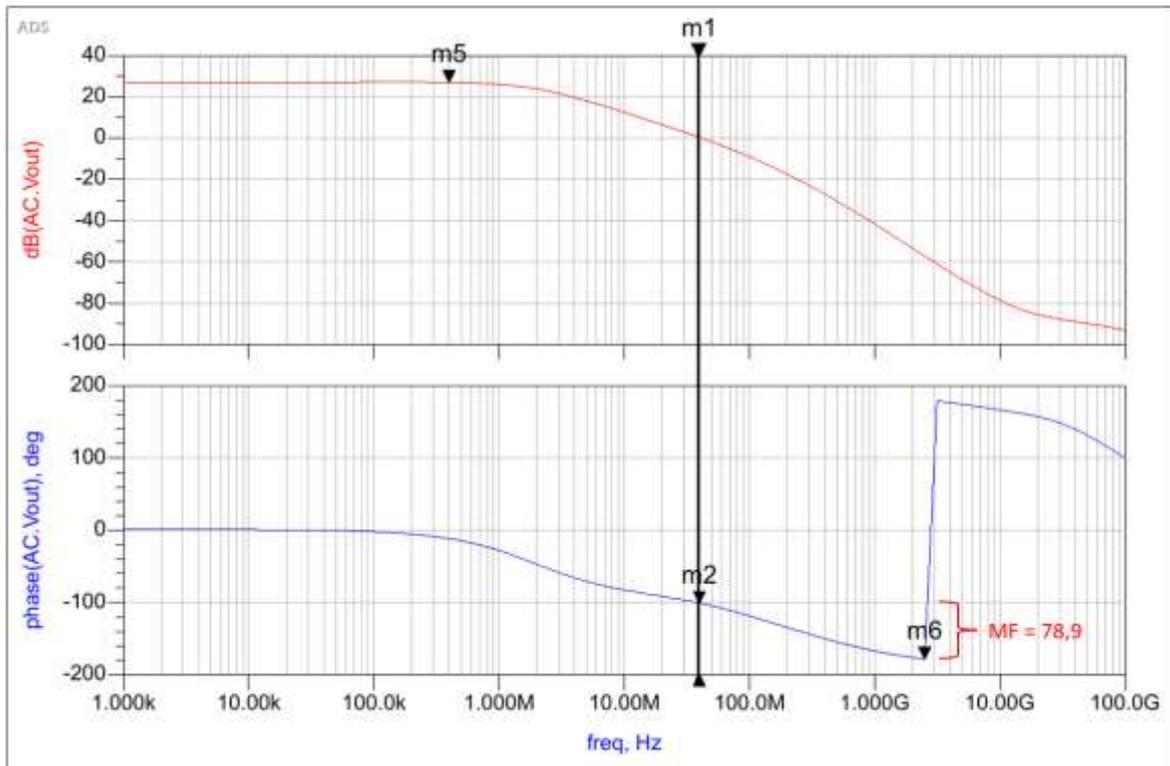


Figura 7.13. Diagrama de Bode.

Con miras a finalizar el diseño del OTA, se simula la ganancia de conversión y la figura de ruido en función de la frecuencia intermedia del mezclador con el OTA conectado.

Una forma de hacerlo consiste en modificar la frecuencia del oscilador local en cada simulación. Así se consigue variar la frecuencia intermedia de 0 a 8 MHz al representar la ganancia (ver Figura 7.14) y posteriormente que varíe de 1,2 a 5 MHz en caso el ruido (ver Figura 7.15).

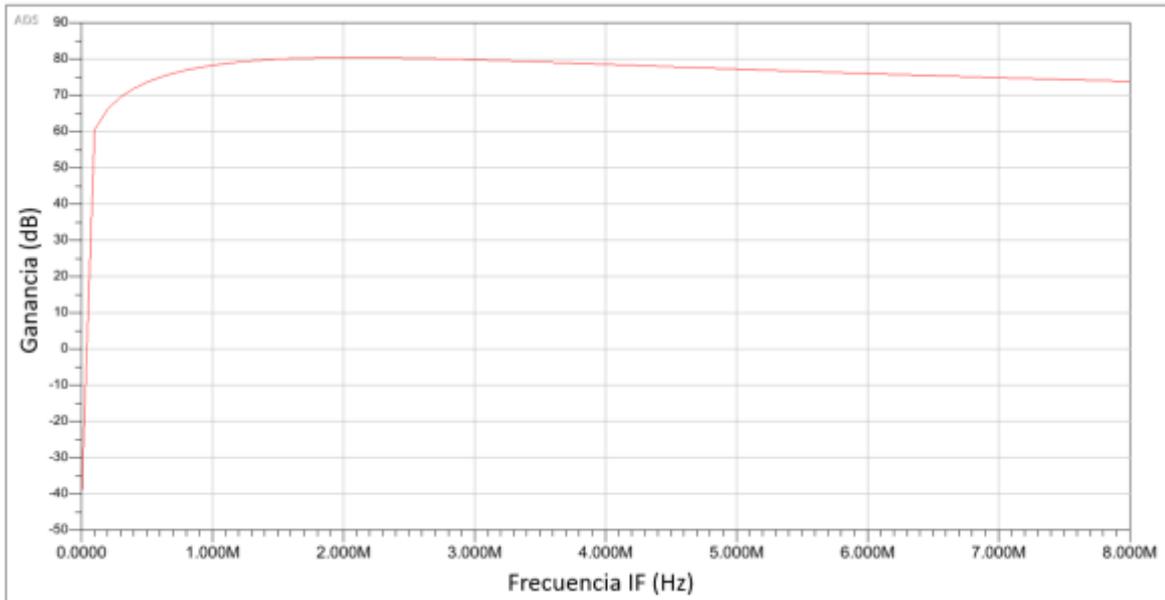


Figura 7.14. Ganancia del circuito vs la frecuencia intermedia.

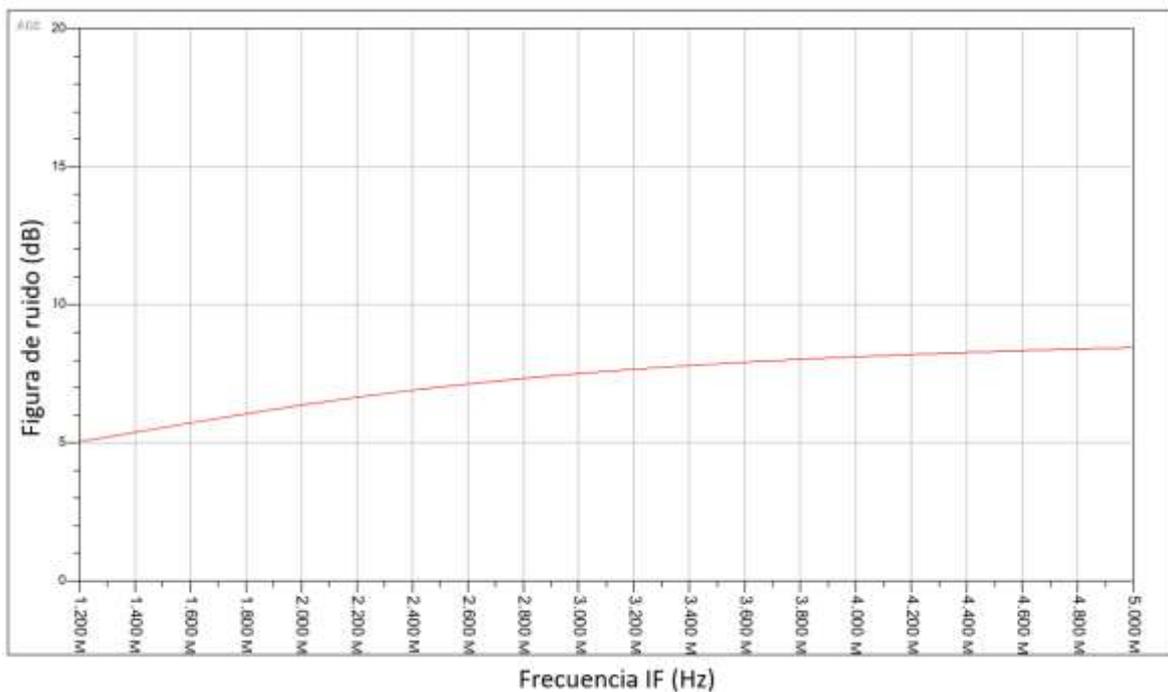


Figura 7.15. Figura de ruido del circuito vs la frecuencia intermedia.

Los resultados finales obtenidos a una frecuencia intermedia de 2,3975 MHz son una ganancia de conversión de 80,3 dB y una figura de ruido de 7 dB.

7.5 Conclusiones

En el capítulo transcurrido se explica el diseño del OTA con realimentación negativa para que tenga el mismo comportamiento que un TIA. De hecho, los resultados obtenidos

son muy prometedores, obteniendo una ganancia máxima de conversión de $G = 80,3$ dB y una figura de ruido de $NF = 7$ dB. Nótese que existe un aumento de la ganancia de 15 dB y la figura de ruido experimenta un cambio de 4 dB. En el próximo capítulo, se mejoran dichos resultados aplicando la técnica *Bulk-Driven*.

Capítulo 8: Análisis de la técnica *Bulk-Driven* en mezcladores

A lo largo de este capítulo se explica la técnica *Bulk-Driven* que se aplica sobre el diseño del mezclador. Además, se estudian las diferentes posibilidades de diseño y las mejoras que aporta la técnica en el circuito del mezclador con el TIA conectado.

8.1 Técnica *Bulk-Driven*

Por una parte, la técnica *Bulk-Driven* (BD) surge para reducir el consumo de potencia en los circuitos integrados. Su objetivo es introducir la señal por el terminal de *bulk* para reducir el consumo.

Esta técnica se basa en la diferencia de tensión entre el sustrato y la fuente, V_{BS} , que también genera una corriente I_{DS} proporcional a V_{BS} . Por consiguiente, se da lugar a dos tipos de transconductancia en el transistor MOS: la transconductancia que se debe a la variación de la tensión en la puerta (g_m) y la transconductancia debida a la variación de la tensión del *bulk*, denominada g_{mb} . La suma de ambas transconductancias se conoce como la transconductancia total del transistor (G_m).

La estructura de un MOSFET está compuesta por cuatro terminales (drenador, puerta, fuente y sustrato o *bulk*). Sin embargo, los diseños convencionales de los circuitos analógicos solo se suele utilizar el drenador, la puerta y la fuente como terminales de entrada/salida, dejando siempre el terminal de *bulk* conectado a tierra si se trata de un transistor NMOS. Pero como se demuestra en este capítulo, la variación de tensión en el terminal *bulk* permite mejoras considerables en las prestaciones del circuito [33], [34].

En los transistores NMOS, el efecto *body* ocurre al poner una tensión en continua distinta de cero en el sustrato, mientras que en los transistores PMOS se emplea una tensión distinta de V_{DD} . Esto afecta directamente al comportamiento de la tensión umbral (V_{TH}), ya que la tensión en el *bulk* está relacionada con V_{TH} como se aprecia en la ecuación (8.1) [34]. Además, variando la V_{TH} se puede controlar la corriente de drenador.

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{V_{bs} + 2|\Phi_F|} - \sqrt{2|\Phi_F|} \right) \text{ si } V_{bs} > 0 \quad (8.1)$$

De la expresión anterior, se define V_{TH0} como la tensión umbral cuando la tensión en el *bulk* es nula, γ es el coeficiente de efecto de cuerpo y $|\Phi_F|$ es el potencial de Fermi.

Todas estas variables dependen de las propiedades físicas del dispositivo, lo que se traduce en la tecnología CMOS empleada [35].

Un parámetro fundamental a la hora de caracterizar un transistor y su operación en alta frecuencia es la frecuencia de tránsito (f_T). Este parámetro corresponde con la frecuencia a la que la ganancia del transistor se reduce a la unidad debido a los efectos de capacidades internas. La f_T depende directamente de la transconductancia y sin la técnica *Bulk-Driven* aplicada se define como la ecuación (8.2). Por lo contrario, si se aplica la técnica *Bulk-Driven*, el valor de la f_T viene dado por la expresión (8.3). Se identifica η como la relación entre g_m y g_{mb} , con un valor comprendido entre 0,2 y 0,4.

$$f_T = \frac{g_m}{2\pi C_{gs}} \quad (8.2)$$

$$f_T = \frac{g_{mb}}{2\pi(C_{bs} + C_{bsub})} = \frac{\eta g_m}{2\pi(C_{bs} + C_{bsub})} \quad (8.3)$$

Al aplicar la técnica *BD* en un transistor MOS, la transconductancia g_{mb} es siempre menor en comparación con la transconductancia de un transistor sin aplicar dicha técnica. Por tanto, el ruido de entrada equivalente para un transistor es mayor si se aplica la técnica *BD*. Este efecto queda reflejado en la ecuación de la variación de la corriente de ruido entre el drenador y el surtidor definida por la relación (8.4):

$$d_{i_{DS}}^2 = 4kT \left(\frac{2}{3} g_m \right) df \quad (8.4)$$

donde k es la constante de Boltzmann con un valor de 1.38×10^{-23} J/K, T es la temperatura en Kelvin y $2/3$ es el coeficiente de longitud de canal en los transistores MOS. Si se divide la ecuación anterior (8.4), entre g_m^2 se obtiene la tensión de ruido equivalente mostrada en (8.5).

$$dv_{ieqbulk-driven}^2 = \frac{4kT \left(\frac{2}{3} \right)}{g_m} df \quad (8.5)$$

Al aplicar la técnica *BD* al transistor se obtiene la relación (8.6), donde se divide la expresión (8.5) entre g_{mb}^2 , es decir, al aplicar la técnica *BD* se sustituye g_m por su

equivalente g_{mb} . Igualmente, se demuestra que si se aplica la técnica *BD* el ruido resultante es $1/\eta^2$ veces mayor que cuando no se aplica [36].

$$\begin{aligned}
 dv_{ieqbulk-driven}^2 &= \frac{4kT \left(\frac{2}{3}\right) g_m}{g_{mb}^2} df = \frac{4kT \left(\frac{2}{3}\right)}{g_m \eta^2} df \\
 &= \frac{dv_{ieqbulk-driven}^2}{\eta^2}
 \end{aligned} \tag{8.6}$$

8.2 Técnica Bulk-Driven aplicada al mezclador

En capítulos anteriores se explica que el motivo de diseñar el mezclador con transistores PMOS es para poder modificar su tensión de sustrato de manera independiente. Esta es la razón por la que *Bulk-Driven* solo se aplicará en este componente. Hasta ahora, la señal en el mezclador se introduce únicamente por la puerta de los transistores. Para aplicar la técnica *Bulk-Driven*, se coloca la señal por el terminal *bulk* y al mismo tiempo por el terminal de la puerta. El objetivo es comparar los resultados de cada opción y determinar la mejor configuración. Además, en algunos casos se aplica *Body-Bias*, es decir, colocar tensión en continua por terminal *bulk*.

Inicialmente, se analiza el comportamiento del transistor PMOS de la tecnología realizando un barrido en tensión continua por la puerta del transistor, a partir del esquemático de la Figura 8.1. Para ello se fija una tensión de *bulk* (V_{bulk}) de 1,8 V y se utiliza la misma configuración de capítulos anteriores, es decir un ancho (*wf*) de 450 nm y 1 *finger* (*nDedos*).

Capítulo 8: Diseño de un amplificador operacional de transconductancia

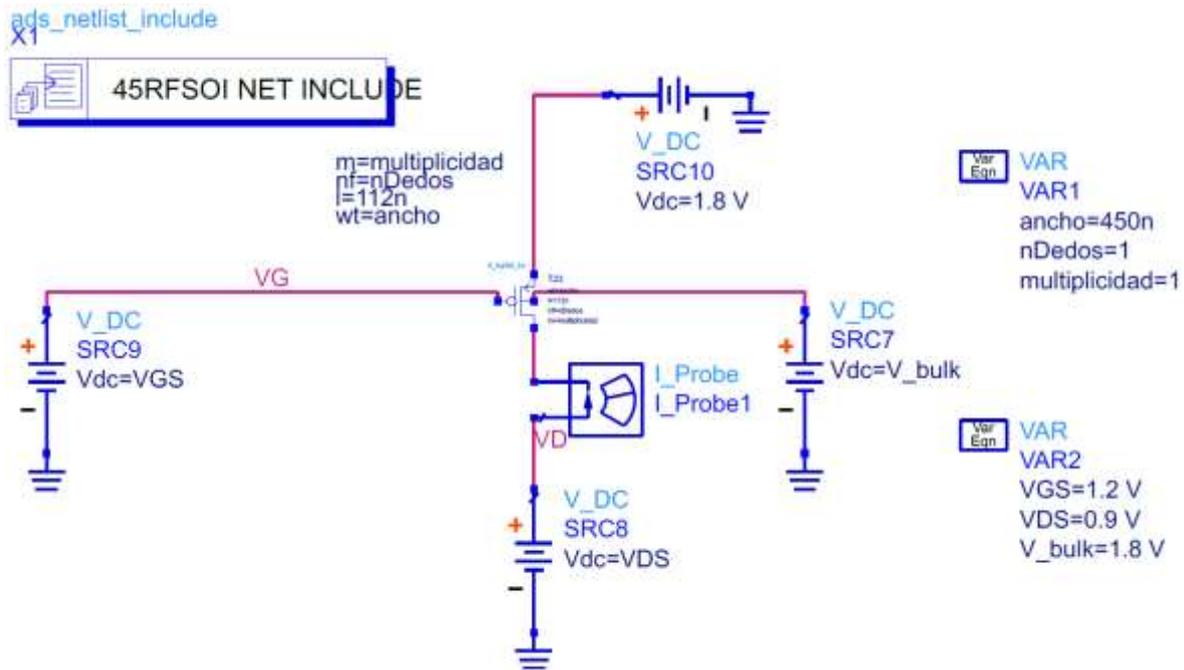


Figura 8.1. Esquemático del transistor PMOS con la señal por la puerta y una $V_{bulk} = 1,8$ V.

En la Figura 8.2 se aprecia el resultado de la simulación, en el eje de ordenadas está la R_{ON} y R_{OFF} y en el eje abscisas la tensión puerta-fuente (V_{GS}). Se denomina R_{ON} o resistencia de encendido al valor resistivo entre el drenador y la fuente de un MOSFET durante su funcionamiento de encendido [29]. Cuanto menor sea este valor, menor es la pérdida de potencia. Por lo contrario, se busca que la R_{OFF} o resistencia de apagado sea lo mayor posible. En este caso, se consigue una $R_{ON} = 3,02$ k Ω y una $R_{OFF} = 40,72$ G Ω

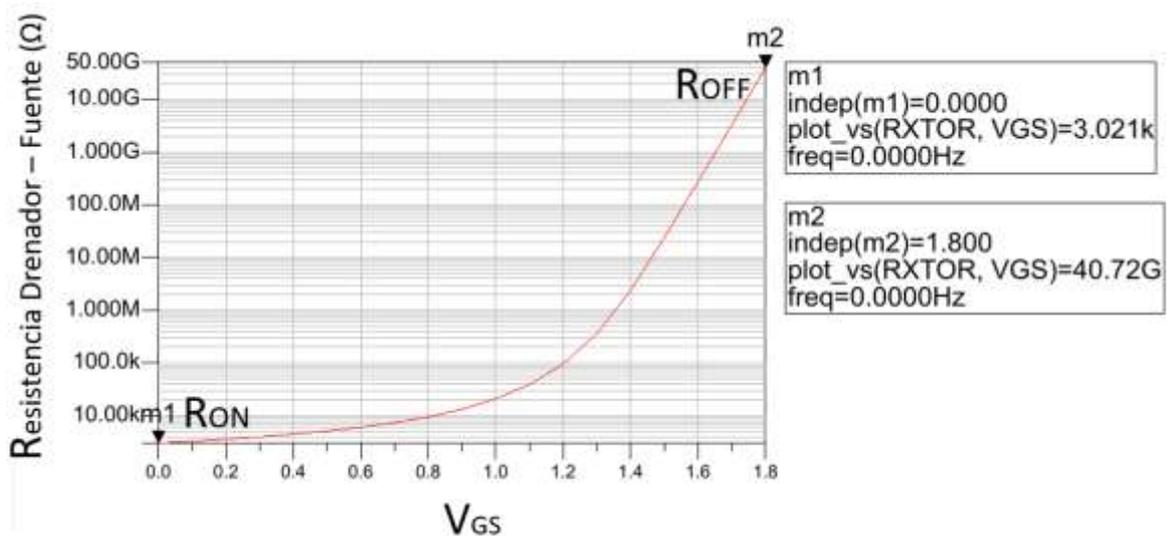


Figura 8.2. Barrido de V_{GS} en continua para un transistor PMOS.

La siguiente configuración es a la inversa, se fija la tensión de la puerta (V_{gate}) y se barre la tensión de *bulk* en continua. Para determinar la mejor V_{gate} se realiza un barrido a partir del mismo circuito de la Figura 8.1 y se obtiene que la mejor relación de R_{ON} y R_{OFF} está para una $V_{gate} = 1,2$ V como se demuestra en la Figura 8.3, ya que para tensiones de puerta superiores la R_{OFF} es mayor pero también la R_{ON} llegando a valores muy elevados. Por lo contrario, para diferentes valores de V_{gate} la R_{ON} es deseablemente menor, pero también lo es la R_{OFF} llegando a valores lo suficientemente inferiores como para descartar otros valores de V_{gate} .

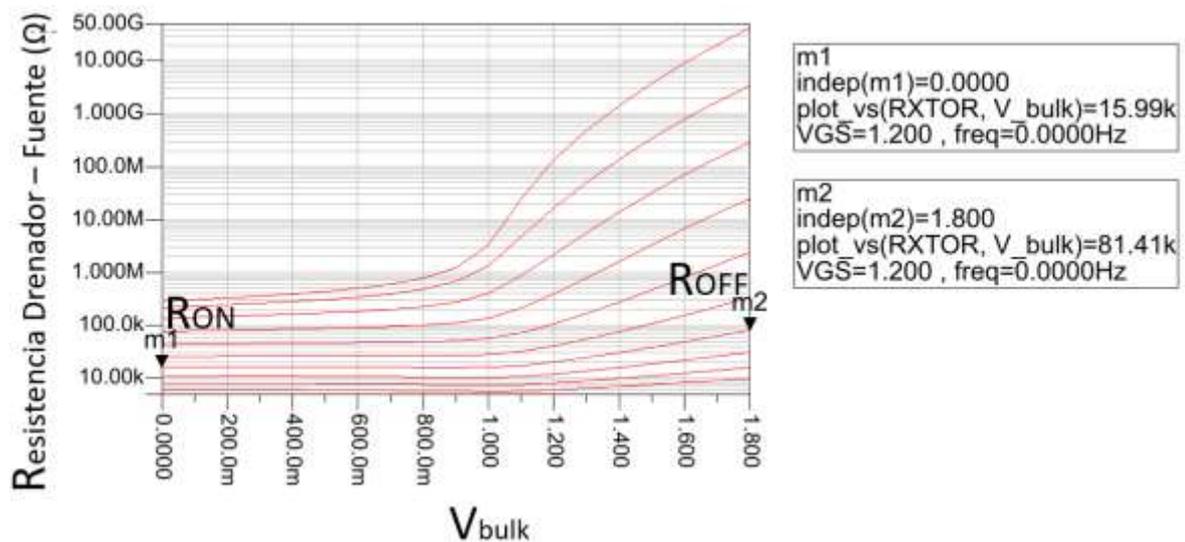


Figura 8.3. Barrido de V_{bulk} en continua para un transistor PMOS.

Para finalizar, se realiza un barrido en continua para $V_{gate} = V_{bulk}$, sin fijar ninguna de las dos. En la Figura 8.4 se puede observar que se consigue un valor de $R_{ON} = 2,08$ k Ω , pero una $R_{OFF} = 9,2$ G Ω . Si comparamos dicho valor de R_{OFF} con el de la primera configuración, se puede apreciar una gran disminución de la resistencia de apagado. En este caso, la relación de R_{ON} y R_{OFF} es considerablemente peor al barrer las tensiones en continua por ambos terminales en vez de solo barrer la V_{gate} del transistor. Teniendo en cuenta que la R_{OFF} de ambos terminales no es tan grande como la R_{OFF} al barrer solo la V_{gate} . Para hacer el barrido de las dos tensiones al mismo tiempo, se igualaron ambas variables, la V_{gate} y la V_{bulk} , por ese motivo en la Figura 8.4 se aprecia una única curva.

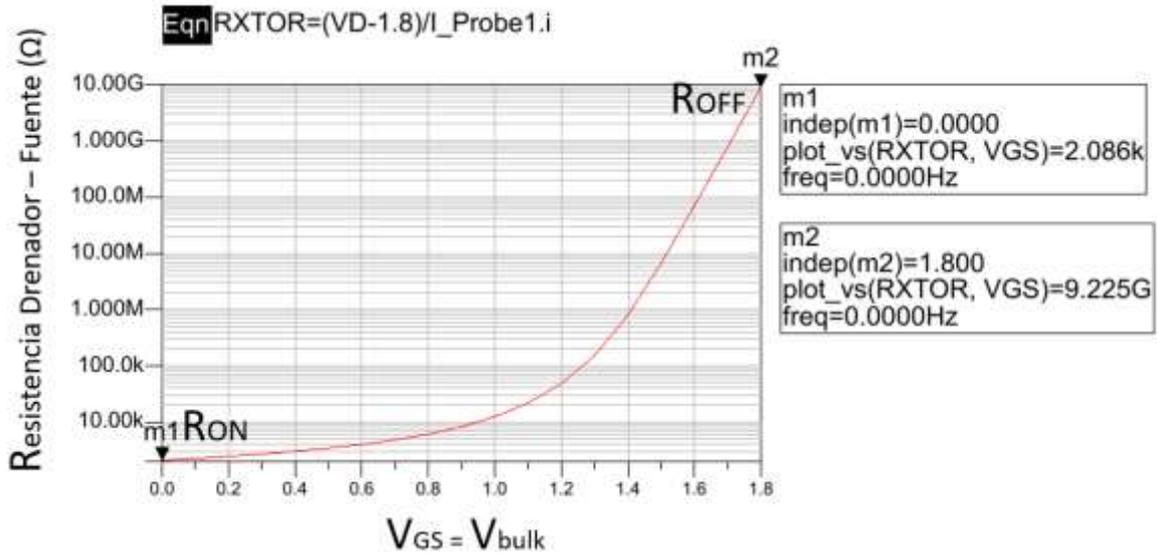


Figura 8.4. Barrido de V_{bulk} y V_{GS} en continua para un transistor PMOS.

Como los resultados no son satisfactorios para el barrido en continua con $V_{gate} = V_{bulk}$, se coloca un condensador de desacoplo para poder diferenciar la tensión en continua en el bulk y en la puerta. Igualmente, el condensador permite que la señal en alterna pase por ambos terminales. También se añadió una resistencia (R_{Large}) de valor elevado para que la frecuencia de corte del filtro sea la misma que la del circuito, estos cambios se aprecian mejor en la Figura 8.5.

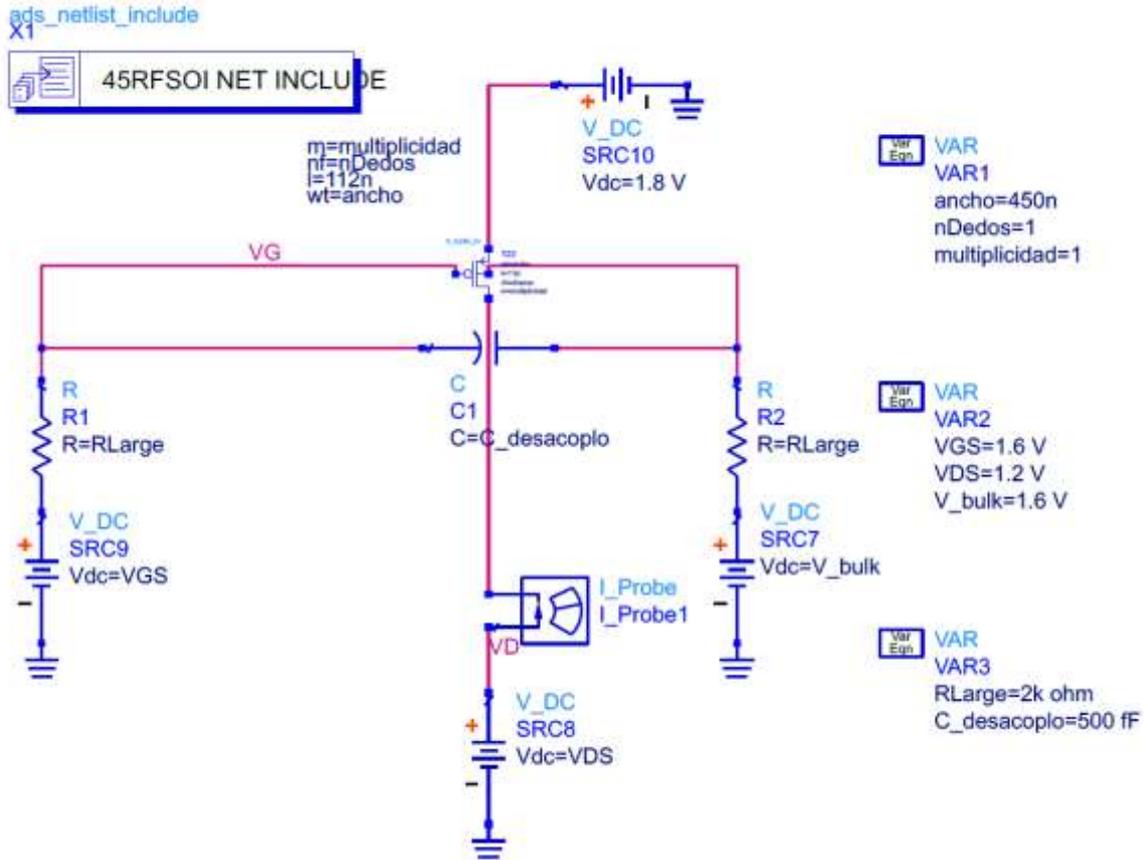


Figura 8.5. Esquemático del transistor PMOS aplicando una tensión en continua por el terminal de la puerta y el bulk.

En la Figura 8.6 se puede apreciar la relación de R_{ON} y R_{OFF} con la resistencia y condensador conectado. Comparado con la configuración anterior, se mejora notablemente la relación de R_{ON} y R_{OFF} . Se puede apreciar una $R_{ON} = 2,08 \text{ k}\Omega$ y una $R_{OFF} = 42,62 \text{ G}\Omega$ para una V_{gate} y V_{bulk} de $1,8 \text{ V}$. En definitiva, se demuestra que las prestaciones del transistor mejoran al alimentar el *bulk* (*Body-Bias*) y el terminal de la puerta con tensión en continua. Concretando, la mejor relación de las resistencias ON y OFF se consigue al añadir un condensador de desacoplo de 500 pF y una resistencia de $2k\Omega$.

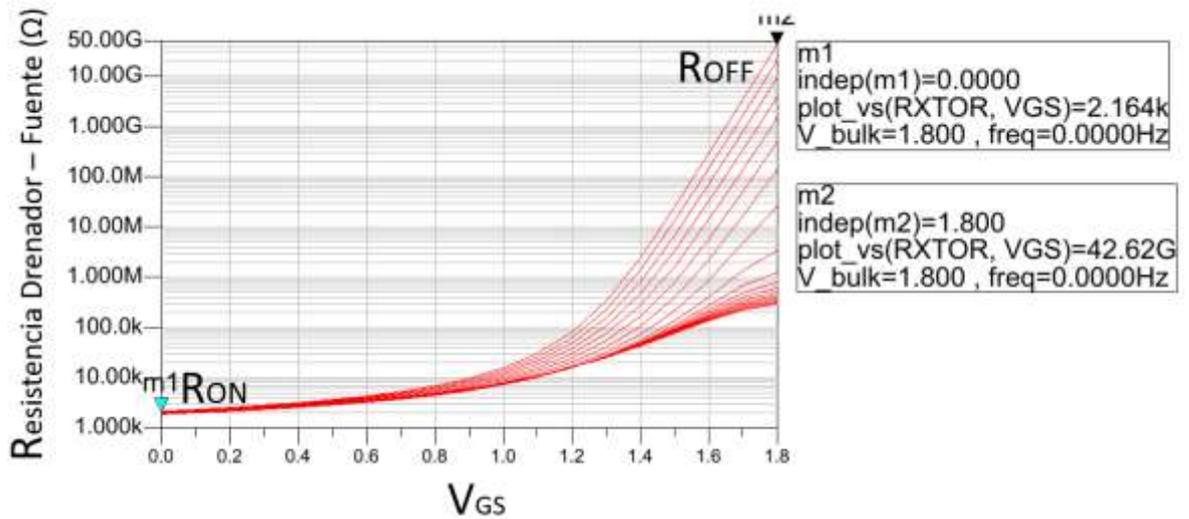


Figura 8.6. Barrido de V_{bulk} y V_{GS} en continua para un transistor PMOS.

En efecto se comprueba que al introducir niveles de continua por la puerta y el *bulk* del transistor se mejora los resultados. De nuevo, se aplican las mismas configuraciones para el circuito del mezclador con el OTA al introducir la señal del oscilador local por el terminal de la puerta y el del *bulk* (*Bulk-Driven*). Primeramente, en la Figura 8.7 se puede apreciar cómo se introduce dicha señal solo por las puertas de los transistores del mezclador.

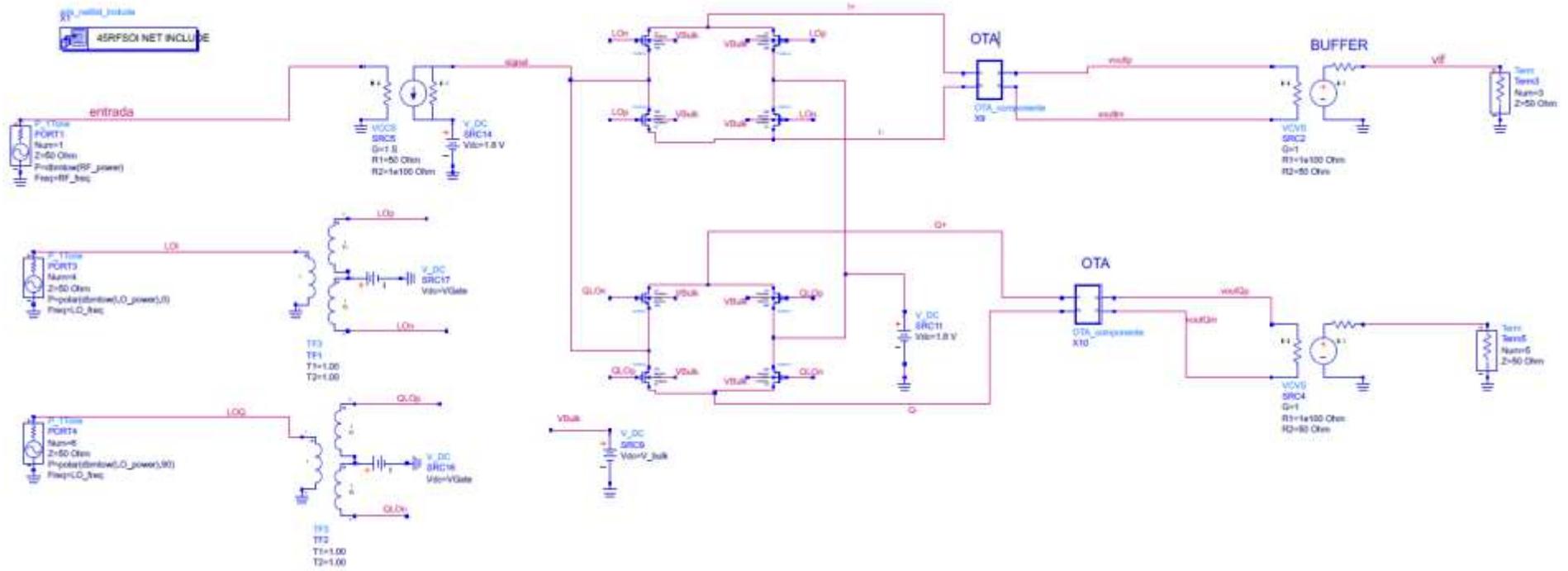


Figura 8.7. Esquemático del mezclador con la señal del oscilador local por la puerta de los transistores.

Capítulo 8: Diseño de un amplificador operacional de transconductancia

En la Figura 8.8, se aprecia el barrido de la V_{gate} , con la que se consigue una ganancia máxima de conversión de 81,5 dB y una figura de ruido (NF) mínima de 6,9 dB para una V_{gate} de 1,2 V y una V_{bulk} de 1,8.

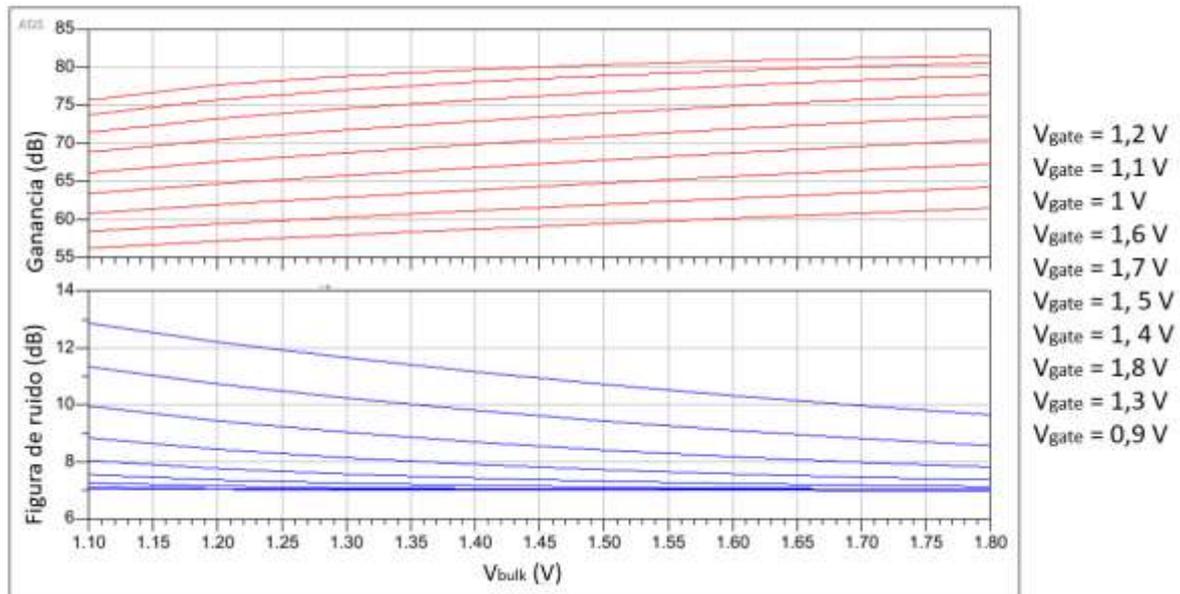


Figura 8.8. Ganancia de conversión y figura de ruido vs V_{bulk} al introducir la señal del oscilador local por la puerta.

En esta segunda configuración, se introduce la señal del oscilador local por el *bulk*. En la Figura 8.9 se puede apreciar cómo se conectan las etiquetas del oscilador local (LOp, LOn, QLOp, QLOn) por el terminal *bulk* del transistor y la puerta a una fuente de tensión V_{gate} . En la Figura 8.10 destaca el mejor resultado para una $V_{gate} = 1,2$ V y una $V_{bulk} = 1,8$ V. Sin embargo, se obtiene una ganancia máxima de conversión de $G = 78,6$ dB, 3 dB menos que en la configuración anterior.

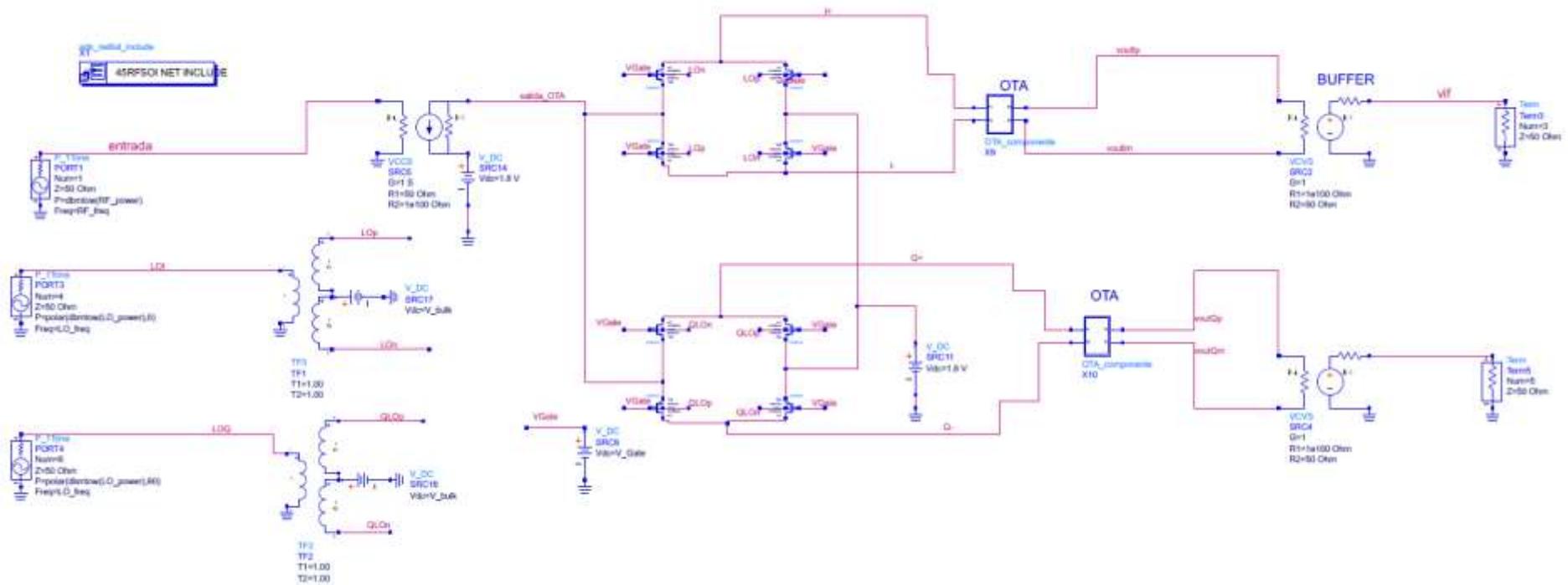


Figura 8.9. Esquemático del mezclador con la señal del oscilador local por el bulk.

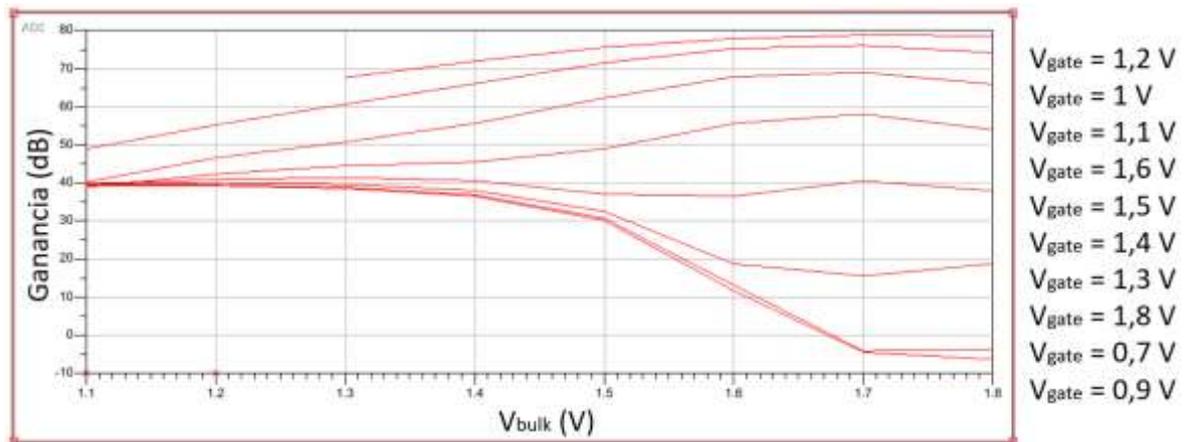


Figura 8.10. Ganancia de conversión vs V_{bulk} al introducir la señal del oscilador local por el *bulk*.

Finalmente, se introduce la señal del oscilador local por la puerta y *bulk* al mismo tiempo, para ello se conectan ambos terminales como se indica en la Figura 8.11. Como resultado se consigue una ganancia máxima de conversión de $G = 80$ dB y una $NF = 7,2$ dB. En otras palabras, la ganancia de conversión aumenta en comparación con la opción anterior, pero no lo suficiente respecto a la configuración con la señal del oscilador local por la puerta.

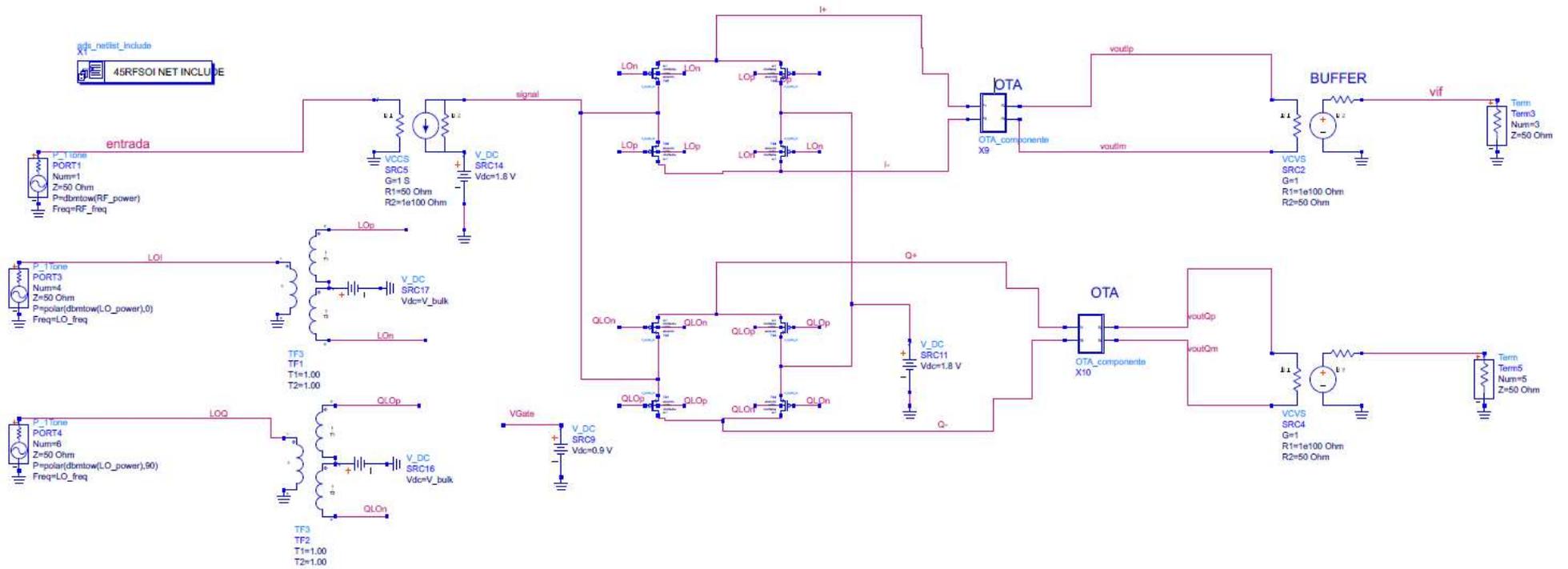


Figura 8.11. Esquemático del mezclador con la señal del oscilador local por la puerta y el bulk.

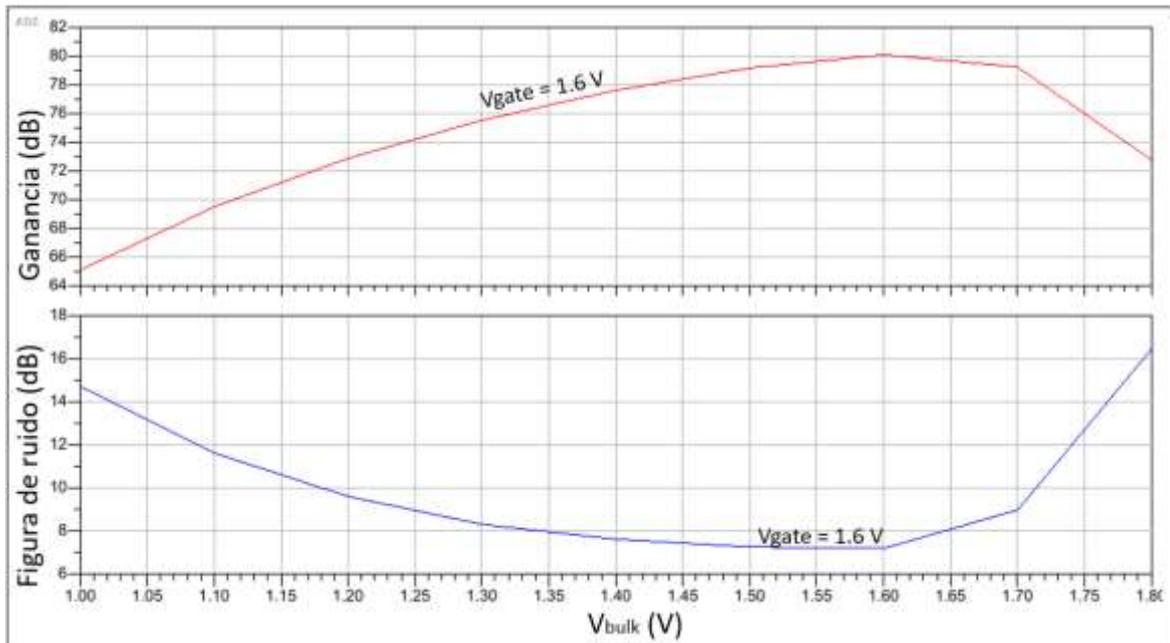


Figura 8.12. Ganancia de conversión y figura de ruido vs V_{bulk} al introducir la señal del oscilador local por la puerta y por el bulk.

Continuando con la opción anterior, se rediseña el circuito para añadir condensadores de desacoplo y resistencias que separan el nivel de continua y consiguen que las tensiones de la puerta y el *bulk* sean independientes una de la otra como se indica en la Figura 8.13. Al igual que en el estudio de un solo transistor, el condensador es de 500 fF y la resistencia de 2 k Ω . Estos valores se eligen a partir de un barrido del condensador como se muestra en la Figura 8.14, e igual para la resistencia, dichos resultados se aprecian en la Figura 8.15. Como resultados se consiguen una ganancia máxima de conversión $G = 82,7$ dB y una NF = 6,6 dB. En comparación con todos los resultados anteriores, se obtienen los resultados más deseables. Se consigue aumentar la ganancia de conversión en aproximadamente más de 1 dB y reduciendo la figura de ruido 0,3 dB respecto a la primera configuración donde se introduce la señal del oscilador local solo por el *bulk*.

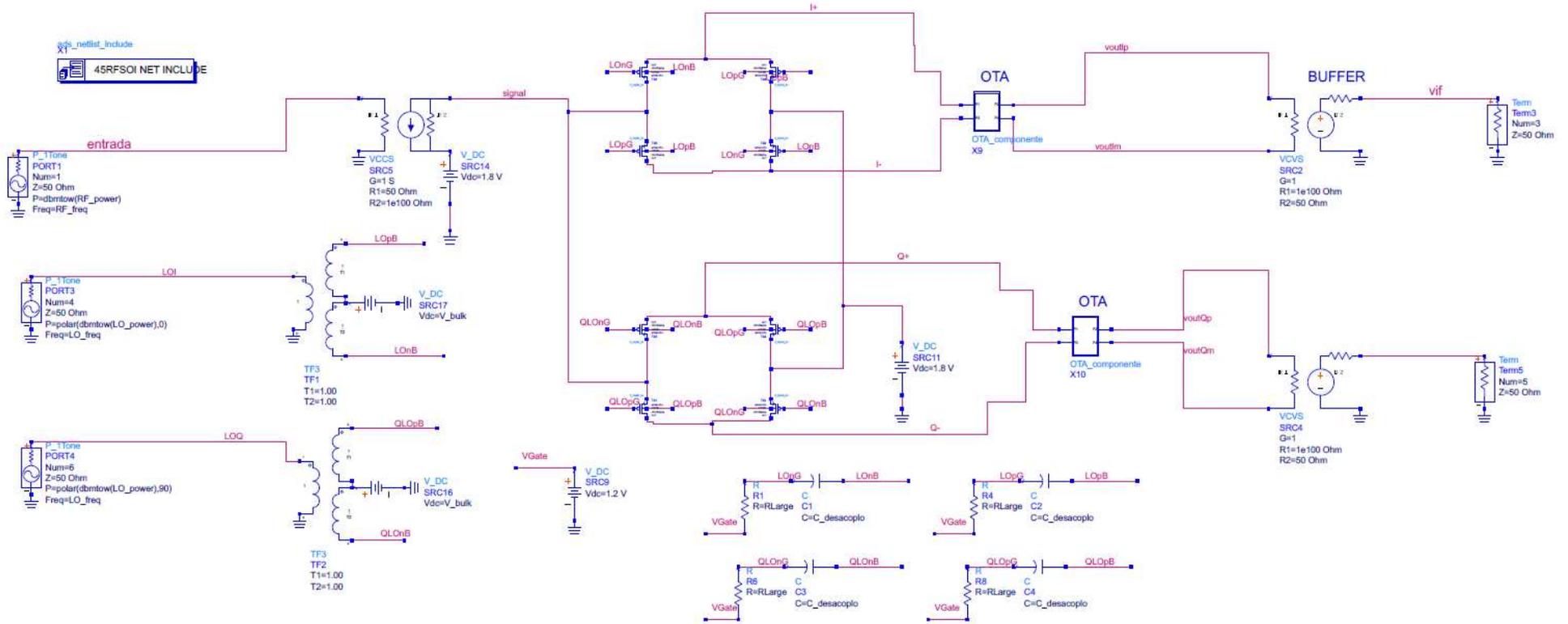


Figura 8.13. Esquemático del mezclador con la señal del oscilador local por la puerta y el bulk con una resistencia y condensadores de desacoplo.

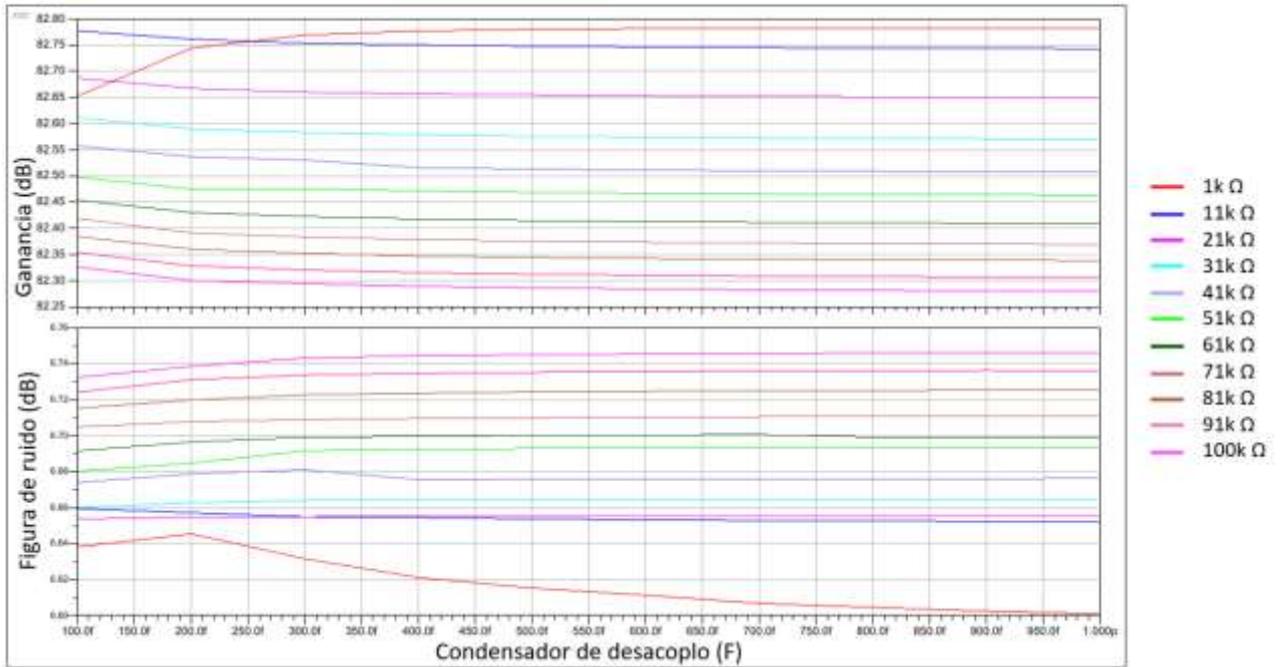


Figura 8.14. Ganancia de conversión y figura de ruido vs la capacidad del condensador de desacoplo al introducir la señal del OL por la puerta y el bulk.

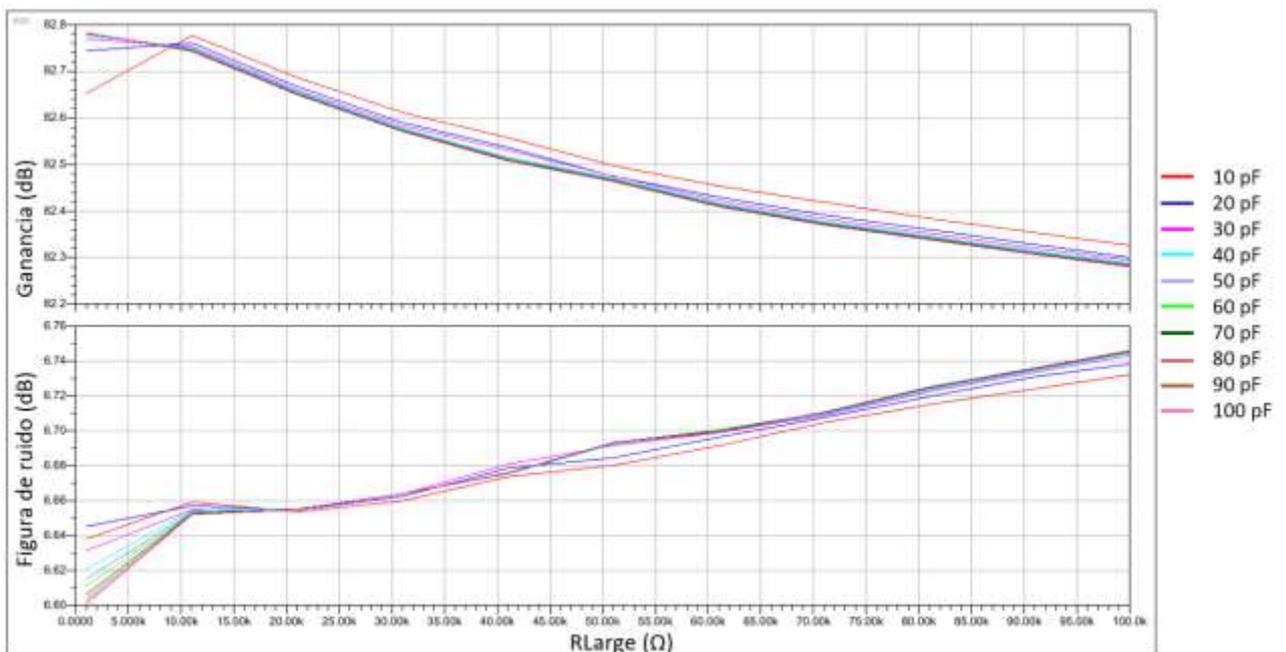


Figura 8.15. Ganancia de conversión y figura de ruido vs el valor de la resistencia al introducir la señal del OL por la puerta y el bulk.

8.3 Conclusiones

Para finalizar, a lo largo de este capítulo se explica en qué consiste y las ventajas de la técnica *Bulk-Driven*. Además, para corroborarlo se aplica dicha técnica en el circuito del

mezclador. Como resultado se obtiene una $G = 82,7$ dB y una $NF = 6,6$ dB al introducir la señal del oscilador local por la puerta y el *bulk* del transistor. Estas mejoras se aprecian mejor en el siguiente capítulo, donde se recogen todos los resultados obtenidos en una misma tabla.

Capítulo 9: Conclusiones

En este último capítulo se exponen las conclusiones recopiladas a lo largo del presente Trabajo de Fin de Grado. Inicialmente se muestra una visión global del proyecto realizado, luego las conclusiones obtenidas y finalmente las líneas futuras de este trabajo.

9.1 Resumen del trabajo realizado

Entre los principales objetivos de este Trabajo de Fin de Grado destacan el estudio de la metodología g_m/I_D y la aplicación de la técnica *Bulk-Driven* en el mezclador, el cual se diseña utilizando la tecnología 45-RFSOI de *GlobalFoundries*. El trabajo que se realiza se puede resumir en los siguientes puntos:

- Se realiza un estudio teórico de los transistores MOS, de la metodología g_m/I_D y de la técnica *Bulk-Driven*.
- Seguidamente, se presenta el diseño de un mezclador doblemente balanceado con transistores PMOS, explicando el proceso de diseño y los resultados obtenidos.
- Para completar el circuito del mezclador se diseñan dos versiones del TIA utilizando inversores y OTAs. El TIA es necesario para convertir la salida en corriente del mezclador en tensión.
- Se aplica la técnica *Bulk-Driven* a un transistor PMOS para luego extrapolarlo al circuito del mezclador y mejorar las prestaciones.

Cumpliendo con los objetivos del proyecto, se estudia la metodología de diseño g_m/I_D en transistores MOS, llegando a usarse en el diseño del mezclador. También se analiza la tecnología de 45-RFSOI que se utiliza en el diseño del mezclador. Se estudia la técnica *Bulk-Driven* en los transistores MOS para finalmente cumplir con el objetivo principal, aplicar la técnica *Bulk-Driven* tanto en un transistor como en el mezclador diseñado.

9.2 Recopilación de resultados

En este apartado se analizan los resultados obtenidos durante el proyecto siguiendo el orden en el que se realiza el TFG. En primer lugar, se empieza con el diseño del mezclador doblemente balanceado con transistores PMOS. En particular, el mezclador utiliza la señal que le proporciona el oscilador local para realizar la mezcla con la señal de RF de entrada.

Dado que la señal de RF se encuentra a una frecuencia de 2,4 GHz y se quiere desplazar a la frecuencia intermedia de 2,5 MHz, se debe colocar la señal del oscilador local a 2,3975 MHz, es decir, 2,5 MHz por debajo de la señal RF. Al tratarse de un elemento pasivo, se obtuvo una ganancia máxima de conversión negativa de $G = -15,9$ dB y una figura de ruido $NF = 3$ dB.

Como a la salida del mezclador hay una señal en modo corriente, se diseña un amplificador de transimpedancia (TIA) que se encarga de amplificar la señal de corriente a la salida del mezclador y transformarla a una señal de tensión. De modo que al conectarlo se consigue aumentar la ganancia de conversión a $G = 65,3$ dB y una figura de ruido de $NF = 3$ dB. Igualmente, se diseña un amplificador operacional de transconductancia (OTA) con realimentación negativa. De esta forma se consigue el mismo comportamiento que el TIA diseñado, pero con un aumento de la ganancia máxima de conversión y la figura de ruido, es decir, una $G = 80,3$ dB y una $NF = 7$ dB. Dichos resultados se pueden apreciar mejor en la Tabla 9.1.

Tabla 9.1. Recopilación de los resultados del mezclador.

	Ganancia (dB)	Figura de ruido (dB)
Mezclador doblemente balanceado	-15,9	3
Mezclador con amplificador de transimpedancia (TIA) conectado	65,3	3
Mezclador con amplificador operacional de transconductancia (OTA) conectado	80,3	7

Por último, se estudia la técnica *Bulk-Driven* aplicada a los transistores PMOS, introduciendo la señal del oscilador local por el terminal *bulk* del transistor. Con la intención de estudiar diferentes situaciones, también se introduce la señal del OL por la puerta del transistor (Gate), por la puerta y el *bulk* al mismo tiempo y por ambos terminales, pero con un condensador de desacoplo. Para analizar dichas configuraciones, se realiza un estudio de la relación entre R_{ON} (resistencia de encendido o valor resistivo entre el drenador y la fuente de un MOSFET durante su funcionamiento de encendido) y R_{OFF} (la resistencia de apagado). En los transistores PMOS, se desea que la R_{ON} sea lo menor posible ya que así habrá menos pérdida de potencia y por lo contrario que la R_{OFF} sea lo mayor posible. En la Tabla 9.2 se muestran los resultados obtenidos, donde destaca la mejor relación entre R_{ON}

Capítulo 9: Conclusiones

y R_{OFF} al alimentar con tensión en continua la puerta y el *bulk* del transistor PMOS, añadiendo a su vez un condensador de desacoplo. Lo que se traduce en aplicar la técnica *Bulk-Driven* (colocar la señal por el *bulk*) y *Body-Bias* (introducir un nivel de continua en el *bulk* para modular la tensión V_{TH} del MOS).

Tabla 9.2. Recopilación de los resultados de un transistor PMOS al introducir tensión en continua.

<u>Terminal por el que se alimenta tensión en continua</u>	R_{ON} (Ω)	R_{OFF} (Ω)	V_{gate} (V)	V_{bulk} (V)
Puerta (Gate)	3,02k	40,72G	1,2	1,8
Sustrato (Bulk)	25,25k	81,41G	1,2	1,8
Puerta y Bulk	2,08k	9,22G	1,6	1,6
Puerta y Bulk con condensador de desacoplo	2,16k	42,62G	1,6	1,6

Tras haber conseguido buenos resultados al introducir tensión en continua por ambos terminales (la puerta y el *bulk*) en un transistor PMOS se repite el proceso en el circuito del mezclador con el OTA conectado, ya que se obtiene la mayor ganancia de conversión. En la Tabla 9.3 se pueden apreciar los valores obtenidos, donde los mejores resultados se consiguen al introducir la señal del oscilador local por la puerta y el *bulk* del transistor con un condensador de desacoplo conectado. La misma configuración que en el estudio de la R_{ON} y R_{OFF} de un transistor PMOS.

Tabla 9.3. Recopilación de los resultados del mezclador al aplicar la técnica *Bulk-Driven*.

<u>Terminal por el que se introduce la señal del OL</u>	Ganancia (dB)	V_{gate} (V)	V_{bulk} (V)
Puerta (Gate)	81,5	1,2	1,8
Sustrato (Bulk)	78,6	1,2	1,8
Puerta y Bulk	80	1,6	1,6
Puerta y Bulk con condensador de desacoplo	82,7	1,6	1,6

Según la bibliografía consultada, hemos visto que se trata del primer estudio de la aplicación de la técnica *Bulk-Driven* en un mezclador PMOS con éxito.

9.3 Líneas futuras

Tras lo expuesto en este documento, se puede afirmar que se cumplen los objetivos planteados al principio de este Trabajo Fin de Grado. Sin embargo, hay otras líneas de trabajo que se pueden abordar en un futuro y que se recogen los siguientes puntos:

- Analizar el mezclador diseñado en un cabezal de recepción completo, es decir, introducirlo en un receptor y analizar el funcionamiento conjunto.

- Diseño a nivel *layout* del mezclador diseñado. Como continuación del presente proyecto se podría diseñar el *layout* del mezclador a través de la herramienta *Cadence Virtuoso*.

- Fabricación del mezclador siguiendo el proceso de fabricación establecido por *Global Foundries*.

- Realización de las medidas del mezclador fabricado. Relacionado con los dos puntos anteriores, se podría llevar a cabo una toma de medidas del mezclador implementado y comprobar si los resultados obtenidos a nivel de simulación se corresponden con los resultados de las medidas.

BIBLIOGRAFIA

- [1] W. M. C. S. Piet Wambacq, *Distortion analysis of analog integrated circuits*. 2013.
- [2] J. M. Carrillo, J. F. Duque-Carrillo, and G. Torelli, "Design considerations on CMOS bulk-driven differential input stages," in *2012 International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, SMACD 2012*, 2012, pp. 85–88, doi: 10.1109/SMACD.2012.6339423.
- [3] J. Hogervorst, Ron, Huijsing, *Design of Low-Voltage, Low-Power Operational Amplifier Cells*. Dordrecht, The Netherlands, 1996.
- [4] Chun-Hsing Li; Chien-Nan Kuo, "Design optimization of a 1.4 GHz low power bulk-driven mixer - IEEE Conference Publication," *2010 Asia-Pacific Microwave Conference*, 2010. .
- [5] B. Ramadout *et al.*, "A multi-factorial approach for middle-of-line design rule validation and optimization in 22FDX[®]," in *2018 29th Annual SEMI Advanced Semiconductor Manufacturing Conference, ASMC 2018*, Jun. 2018, pp. 244–248, doi: 10.1109/ASMC.2018.8373216.
- [6] D. Johns and K. Martin and T. C. Carusone, *Analog Integrated Circuit Design*. 2011.
- [7] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, 3rd ed. 2010.
- [8] David Galante Sempere, "DISEÑO DE UN VGA PARA UN RECEPTOR PARA EL ESTÁNDAR IEEE 802.15.4 EN TECNOLOGÍA CMOS DE 65 nm," ULPGC, Las Palmas de Gran Canaria, 2017.
- [9] J. C. Liu *et al.*, "A Reliability Enhanced 5nm CMOS Technology Featuring 5 th Generation FinFET with Fully-Developed EUV and High Mobility Channel for Mobile SoC and High Performance Computing Application," *2020 IEEE Int. Electron Devices Meet.*, 2020, doi: 10.1109/IEDM13553.2020.9372009.
- [10] D. M. Binkley, C. E. Hopper, S. D. Tucker, B. C. Moss, J. M. Rochelle, and D. P. Foty, "A CAD methodology for optimizing transistor current and sizing in analog CMOS design," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 22, no. 2, 2003, Accessed: Oct. 30, 2021. [Online]. Available:

- <https://ieeexplore.ieee.org/document/1174097/>.
- [11] D. M. Binkley, "Tradeoffs and Optimization in Analog CMOS Design," 2007, Accessed: Oct. 31, 2021. [Online]. Available: <https://ieeexplore.ieee.org/document/4286119/>.
- [12] E. V.-D. of V. circuits for telecommunication and and undefined 1994, "Micropower techniques," *researchgate.net*, 1994, Accessed: Oct. 31, 2021. [Online]. Available: https://www.researchgate.net/profile/Ea-Vittoz/publication/234783317_Micropower_Techniques/links/541aa2270cf25ebee988af4c/Micropower-Techniques.pdf.
- [13] D. Foty, M. Bucher, D. B.-9th I. C. on, and undefined 2002, "Re-interpreting the MOS transistor via the inversion coefficient and the continuum of g_m/I_D ," *ieeexplore.ieee.org*, Accessed: Oct. 31, 2021. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/1046463/>.
- [14] A. Girardi, F. Cortes, S. B.-2006 I. International, and undefined 2006, "A tool for automatic design of analog circuits based on g_m/I_D methodology," *ieeexplore.ieee.org*, Accessed: Oct. 31, 2021. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/1693665/>.
- [15] T. M. Hollis, D. J. Comer, and D. T. Comer, "Optimization of MOS amplifier performance through channel length and inversion level selection," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 52, no. 9, 2005, Accessed: Oct. 31, 2021. [Online]. Available: <https://ieeexplore.ieee.org/document/1510874/>.
- [16] C. Enz, F. Krummenacher, E. V.-A. integrated circuits and, and undefined 1995, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications," *Springer*, vol. 8, no. 1, pp. 83–114, Jul. 1995, doi: 10.1007/BF01239381.
- [17] F. Silveira, D. Flandre, and P. G. A. Jespers, "A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA," *IEEE J. Solid-State Circuits*, vol. 31, no. 9, pp. 1314–1319, Sep. 1996, doi: 10.1109/4.535416.

Bibliografía

- [18] C. Enz and E. Vittoz, "Charge-based MOS transistor modeling: the EKV model for low-power and RF IC design," 2006, Accessed: Oct. 31, 2021. [Online]. Available: https://books.google.es/books?hl=es&lr=&id=v8RjlyCd5GQC&oi=fnd&pg=PR7&dq=Charge-Based+MOS+Transistor+Modeling:+The+EKV+model+for+low-power+and+RF+IC+design&ots=aFA9UQow7H&sig=cB6a8-vLDRK12r63k_NJcYbG-6Q.
- [19] Xavier Aragonés Cervera, "CHARACTERIZATION OF 28 NM FDSOI MOS AND APPLICATION TO THE DESIGN OF A LOW-POWER 2.4 GHZ LNA," Universitat Politècnica de Catalunya, Barcelona, 2017.
- [20] P. Jespers, "The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits: The semi-empirical and compact model approaches," 2009, Accessed: Oct. 31, 2021. [Online]. Available: https://books.google.es/books?hl=es&lr=&id=jdyr_ZYzunAC&oi=fnd&pg=PA1&dq=The+gm/ID+Methodology,+a+sizing+tool+for+low-voltage+analog+CMOS+Circuits:+The+semi-empirical+and+compact+model+approaches&ots=OrXMEaIT3b&sig=G3n-L2rJ_Z9Gow6gwee1frdqTag.
- [21] S. Mateos-Angulo *et al.*, "A low-power fully integrated CMOS RF receiver for 2.4-GHz-band IEEE 802.15.4 standard," 2015, Accessed: Oct. 12, 2021. [Online]. Available: <https://ieeexplore.ieee.org/document/7388563/>.
- [22] D. Galante Sempere Fdo, F. Javier del Pino Suárez Fdo, and D. Sergio Mateos Angulo Fdo, "Implementación física y verificación de un VGA diferencial con compensación de fuente para el estándar IEEE 802.15.4 en 65 nm," 2018, Accessed: Dec. 25, 2021. [Online]. Available: <https://accedacris.ulpgc.es/jspui/handle/10553/77473>.
- [23] "Design of Analog CMOS Integrated Circuits Behzad Razavi - Google Académico." https://scholar.google.es/scholar?hl=es&as_sdt=0%2C5&q=Design+of+Analog+CMOS+Integrated+Circuits+Behzad+Razavi&btnG= (accessed Dec. 25, 2021).
- [24] G. Confidential, "45RFSOI Technology Design Manual," 2019.

- [25] C. Ng, C. Ho, S. Chu, S. S.-I. T. on, and undefined 2005, "MIM capacitor integration for mixed-signal/RF applications," *ieeexplore.ieee.org*, Accessed: May 10, 2022. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/1459098/>.
- [26] "Schematic of the cross-sectional view of the fabricated MIM capacitor.... | Download Scientific Diagram." https://www.researchgate.net/figure/Schematic-of-the-cross-sectional-view-of-the-fabricated-MIM-capacitor-The-dielectric-is_fig4_275280452 (accessed May 10, 2022).
- [27] Javier del Pino, *Apuntes de la Asignatura: Electrónica de Comunicación*. 2014.
- [28] K. Bao, X. Fan, W. Li, and Z. Wang, "A wideband current-commutating passive mixer for multi-standard receivers in a 0.18 μm CMOS," *J. Semicond.*, vol. 34, no. 1, Jan. 2013, doi: 10.1088/1674-4926/34/1/015003.
- [29] B. Guthrie, T. Sayers, A. Spencer, and J. Hughes, "A CMOS gyrator low-IF filter for a dual-mode Bluetooth/ZigBee transceiver [mobile phone applications]," 2004, Accessed: Oct. 31, 2021. [Online]. Available: <https://ieeexplore.ieee.org/document/1358732/>.
- [30] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design 3rd edition*, Second. 2002.
- [31] R. J. Baker, H. W. Li, D. E. Boyce, and S. K. Tewksbury, "Circuit Design, Layout, and Simulation," *docketalarm.com*, 1998, Accessed: Dec. 25, 2021. [Online]. Available: http://www.docketalarm.com/cases/PTAB/IPR2014-01116/Inter_Partes_Review_of_U.S._Pat._6552360/docs/07-21-2014-PET-2049/Exhibit-1007-CMOS___Circuit_Design,_Layout,_and_Simulation,_IEEE_Press.pdf.
- [32] Y. Feng, P. Kinget, A. Balankutty, S.-A. Yu, and P. R. Kinget, "A 0.6-V zero-IF/low-IF receiver with integrated fractional-N synthesizer for 2.4-GHz ISM-band applications," *ieeexplore.ieee.org*, vol. 45, no. 3, 2010, doi: 10.1109/JSSC.2009.2039827.
- [33] H. Huang, ... J. L. C. and S. P. (Cat, and undefined 2002, "CMOS bulk input technique," *ieeexplore.ieee.org*, Accessed: May 03, 2022. [Online]. Available: https://ieeexplore.ieee.org/abstract/document/1010208/?casa_token=8sxsmRqw

Bibliografía

- htIAAAAA:4-VgCMLoMIHJL9iUb4YHQ8-
knxMOxbgamjha0MsOuHZ2wSasCl_I0N6y040LedljByeUkk0p.
- [34] R. He, L. Z.-2008 51st M. S. on C. and, and undefined 2008, "Evaluation of modern MOSFET models for bulk-driven applications," *ieeexplore.ieee.org*, Accessed: May 03, 2022. [Online]. Available: https://ieeexplore.ieee.org/abstract/document/4616747/?casa_token=e_mdDCrw0VwAAAAA:JHBaw5YKnXEhf_XEzL7I-gv4UAEEK3GD6ChRyIMrjuYHtdHMFQZkxp_L7pEg9LKoxDpGmY8.
- [35] Y. Haga, "Exploiting the bulk-driven approach in CMOS analogue amplifier design," 2011, Accessed: May 03, 2022. [Online]. Available: <https://westminsterresearch.westminster.ac.uk/item/8zq10/exploiting-the-bulk-driven-approach-in-cmos-analogue-amplifier-design>.
- [36] E. Sánchez-Sinencio, "Why Bulk-Driven MOS Transistors?," *people.engr.tamu.edu*, Accessed: May 03, 2022. [Online]. Available: [https://people.engr.tamu.edu/s-sanchez/607 Lect 8 Bulk driven circuits 2009.pdf](https://people.engr.tamu.edu/s-sanchez/607%20Lect%208%20Bulk%20driven%20circuits%202009.pdf).

PRESUPUESTO

Presupuesto

Presupuesto

En este apartado se adjuntan los gastos generados por este trabajo final de carrera, el cual se divide en:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
- Redacción de la documentación.
- Derechos de visado del COITT.
- Gastos de tramitación y envío.

1. Trabajo tarifado por tiempo empleado

El trabajo tarifado por tiempo empleado corresponde con los gastos de mano de obra a partir del salario asignado a cada hora de trabajo del graduado. Para calcularlo se propone la expresión (P.1), donde el término H corresponde a los honorarios totales correspondientes al tiempo dedicado, H_n son las horas normales trabajadas de la jornada laboral y H_e son las horas especiales.

$$H = H_n * 14,48 + H_e * 20,27 \text{ (€)} \quad (\text{P.1})$$

En este proyecto se emplearon un total de 300 horas, todas realizadas dentro de la jornada normal de trabajo. Por tanto, los honorarios calculados ascienden a la expresión (P.2).

$$H = 300 * 14,48 + 0 * 20,27 = 4.344,00 \text{ €} \quad (\text{P.2})$$

El trabajo tarifado por tiempo empleado es de CUATRO MIL TRESCIENTOS CUARENTA Y CUATRO euros.

2. Amortización del inmovilizado material

En este apartado se describen los costes de los recursos hardware y los recursos software empleados en el desarrollo del presente TFG. El coste de amortización se estipula para un periodo de 3 años por medio de un sistema de amortización lineal, donde el inmovilizado se desprecia uniformemente a lo largo de su vida útil. La cuota de amortización anual se calcula a partir de la expresión (P.3).

$$\text{Coste anual} = \frac{\text{Valor de adquisición} - \text{Valor residual}}{\text{Números de años de vida útil}} \quad (\text{P.3})$$

2.1. Amortización del material hardware

El hardware que se emplea en el desarrollo del TFG se muestra en la Tabla 9.4, donde se aprecia el valor de adquisición, el valor residual y el coste de la amortización de los elementos durante 1 año.

Tabla 9.4. Costes de la amortización de recursos hardware

Elemento	Valor de adquisición	Valor residual	Coste anual	Coste de la amortización
Ordenador portátil	800 €	120 €	96 €	96 €
Total	800 €	120 €	96 €	96 €

Por lo tanto, el coste de amortización del material hardware es de NOVENTA Y SEIS euros.

2.2. Amortización del material software

Los materiales software han sido fundamentales para el desarrollo de este trabajo. Considerando de nuevo el tiempo de uso de 1 año, se muestra en la Tabla 9.5 los materiales necesarios y sus costes.

Tabla 9.5. Costes de la amortización de recursos software

Software	Valor de adquisición	Valor residual	Coste de la amortización
Windows 10	0 €	0 €	0 €
Licencia anual ADS 2020	1.722,23 €	0 €	1.722,23 €
Paquete Microsoft Office	143,99 €	0 €	143,99 €
Total	1.866,22 €	0 €	1.866,22 €

El coste total de los recursos software utilizados ha sido de MIL OCHOCIENTOS VEINTIDÓS EUROS Y VEINTITRÉS CÉNTIMOS para este TFG.

3. Redacción del trabajo

A partir de la ecuación (P.4), se puede calcular el coste de la redacción, donde P es el coste del presupuesto y C_n es el coeficiente de ponderación del presupuesto. Igualmente, el coeficiente es unitario debido a que el coste de este proyecto no supera los 30.050,00 €.

$$R = 0,07 * P * C_n \quad (P.4)$$

Para calcular el valor del presupuesto se suma los costes de las secciones anteriores, como muestra la Tabla 9.6.

Tabla 9.6. Presupuesto del trabajo tarifado y la amortización de inmovilizado material

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00.€
Amortización de recursos hardware	96,00 €
Amortización de recursos software	1.722,23 €
Total (P)	6.162,23 €

Sustituyendo los datos en la expresión (P.5), se obtienen los correspondientes horarios a la redacción del TFG.

$$R = 0,07 * 6.162,23 = 431,36 \text{ €} \quad (P.5)$$

El coste de la redacción del trabajo asciende a CUATROCIENTOS TREINTA Y UN EUROS CON TREINTA Y SEIS CÉENTIMOS.

4. Derechos de visado del COITT

El COITT establece para proyectos técnicos de carácter general que los derechos de visado se calculan con la ecuación (P.6), donde se define V como el coste del visado del trabajo, la variable P como el presupuesto del proyecto y C el coeficiente reductor en función del presupuesto. De ese modo, el presupuesto acumulado se calcula sumando los costes de los apartados anteriores como se muestra en la Tabla 9.7. Como se ha dicho en el apartado anterior, al ser un presupuesto inferior a 30.050,00 €, el coeficiente será unitario.

$$V = 0,0035 * P * C \quad (P.6)$$

Tabla 9.7. Presupuestos totales con la redacción del trabajo

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00 €
Amortización de recursos hardware	96 €
Amortización de recursos software	1.722,23 €
Redacción del trabajo	431,36 €
Total (P)	6.162,23 €

Sustituyendo los valores anteriores, se obtiene el valor para los derechos de visado del COITT que se expresan en la ecuación (P.7).

$$V = 0,0035 * 6.593,59 = 23,01 \text{ €} \quad (\text{P.7})$$

Los costes por derechos de visado del COITT ascienden a VEINTITRÉS EUROS Y UN CÉNTIMO.

5. Costes de tramitación y envío

Los costes de tramitación y envío están estipulados en SEIS EUROS (6.00 €) por cada documento visado de forma telemática.

6. Material fungible

En este proyecto se han empleado otros materiales a parte de los recursos ya mencionados. Entre dichos materiales se corresponden con los documentos impresos y los materiales de papelería, los cuales se recogen en la Tabla 9.8.

Tabla 9.8. Costes del material fungible.

Material	Coste
Material de papelería	10,00 €
Impresión de documentos	25,00 €
Encuadernación	6,00 €
Total	41,00 €

7. Aplicación de impuestos y costes totales

A los gastos de este Trabajo de Fin de Grado se le debe aplicar el Impuesto General Indirecto Canario (IGIC), el cual constituye un 7 % del presupuesto. En otras palabras, el presupuesto total del proyecto sería el que se muestra en la Tabla 9.9.

Tabla 9.9. Presupuesto total del proyecto.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00 €
Amortización de recursos hardware	96€
Amortización de recursos software	1.722,23 €
Redacción del trabajo	431,36 €
Costes de visado del COITT	23,01 €
Coste de tramitación y envío	6 €
Costos del material fungible	41,00 €
Subtotal	6.622,6 €
IGIC (7%)	463,58 €
Total (P)	7.086,18 €

El presupuesto total del trabajo "*Estudio de la técnica Bulk-Driven y su aplicación al diseño de mezcladores*" es de SIETE MIL OCHENTA Y SEIS EUROS CON DIECIOCHO CÉNTIMOS.

Así lo declaro yo, Eduardo Díaz González, a día 07 de junio de 2021.

Las Palmas de Gran Canaria a 07 de junio de 2021

Firmado: