



TESIS DOCTORAL

CMOS RF front-end receivers for DVB-SH

D. Hugo García Vázquez

Instituto Universitario de Microelectrónica Aplicada

Las Palmas de Gran Canaria, Diciembre de 2013

**D. SECRETARIO DEL
INSTITUTO UNIVERSITARIO DE MICROELECTRÓNICA
APLICADA DE LA UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA,**

CERTIFICA,

Que el Consejo de Doctores del Departamento en su sesión de fecha tomó el acuerdo de dar el consentimiento para su tramitación, a la tesis doctoral titulada "CMOS RF front-end receivers for DVB-SH" presentada por el doctorando D. Hugo García Vázquez y dirigida por los doctores D. Francisco Javier del Pino Suárez y D. Sunil Lalchand Khemchandani.

Y para que así conste, y a efectos de lo previsto en el Artº 6 del Reglamento para la elaboración, defensa, tribunal y evaluación de tesis doctorales de la Universidad de Las Palmas de Gran Canaria, firmo la presente en Las Palmas de Gran Canaria, a de Diciembre de dos mil trece.



Departamento: Instituto Universitario de Microelectrónica Aplicada

Programa de doctorado: Ingeniería de Telecomunicación Avanzada

Título de la Tesis

CMOS RF front-end receivers for DVB-SH

Tesis Doctoral presentada por D. Hugo García Vázquez

Dirigida por el Dr. D. Francisco Javier del Pino Suárez

Codirigida por el Dr. D. Sunil Lalchand Khemchandani

El Director,

(firma)

El Codirector,

(firma)

El Doctorando,

(firma)

Las Palmas de Gran Canaria, a ____ de _____ de 20__

Agradecimientos

En primer lugar quiero darles las gracias a mis directores el doctor F. Javier del Pino Suárez y el doctor Sunil Lalchand Khemchandani por toda la ayuda que me han prestado en todos los sentidos a lo largo de estos años.

A la Agencia Canaria de Investigación Innovación y Sociedad de la Información (ACIISI) que ha sido la que me ha financiado para poder realizar mi tesis doctoral a través del "Programa de ayudas de Formación del Personal investigador, de la Agencia Canaria de Investigación, Innovación y Sociedad de la Información del Gobierno de Canarias y la cofinanciación y tasa de cofinanciación del F.S.E". Además, me ha financiado para poder realizar una estancia en la Universidad de Mons durante 3 meses a través de las "Ayudas destinadas a la Formación de Personal Investigador para la realización de estancias breves en España y en el extranjero".

Al doctor Carlos Valderrama, al doctor Carlos Fortunato y a Papy Ndungidi que me acogieron como uno más de su equipo durante mi estancia en la Universidad de Mons.

Al Instituto Universitario de Microelectrónica Aplicada (IUMA) por permitirme utilizar sus instalaciones y recursos. Sin olvidar por supuesto, al Servicio de Infraestructura de Red del IUMA que me han sacado de tantos apuros.

A los compañeros del laboratorio Dailos, Roberto, Rubén, Gustavo, Jonathan y Enara. A Tomasz, Krisnaya, Víctor y a todas esas personas que han estado ahí para todo lo que me hizo falta.

Por último quiero agradecer a mis amigos, a Sarah, a mis hermanos Teo y Laura y a mis padres Juan Antonio y M^a Auxiliadora por todo, ya que son los más importante de mi vida.

A mi familia

Contents

Contents	i
List of Figures	v
List of Tables	xi
Nomenclature	xiii
1 Introduction	1
1.1 Introduction	1
1.2 Objectives	6
1.3 Outline of the research	7
2 DVB-SH overview and system approach	9
2.1 Introduction	9
2.2 DVB-SH receiver specifications	13
2.2.1 Frequency range	15
2.2.2 C/N requirements	15
2.2.3 Maximum input levels	16
2.2.4 Noise figure	16
2.2.5 Sensitivity	17
2.2.6 Dynamic range	17
2.2.7 Dynamic gain	18

2.2.8	Linearity	18
2.2.9	Adjacent channel selectivity	20
2.2.10	Phase noise	21
2.3	Multi-objectives optimisation method	23
2.4	Conclusion	28
3	RF front-ends for a DVB-SH receiver	29
3.1	Introduction	29
3.2	Description of the UMC 90 nm technology	29
3.3	Receiver 1	32
3.3.1	Circuits analysis	33
3.3.1.1	Low noise amplifier	33
3.3.1.2	Single to differential converter	35
3.3.1.3	Mixer	37
3.3.2	Experimental results	39
3.4	Receiver 2	44
3.4.1	Circuits analysis	44
3.4.1.1	Low noise amplifier	44
3.4.1.2	Mixer	47
3.4.2	Experimental results	47
3.5	Receiver 3	51
3.5.1	Circuits analysis	52
3.5.1.1	Low noise amplifier	52
3.5.1.2	Single to differential converter	54
3.5.1.3	Mixer	54
3.5.2	Experimental results	56
3.6	Conclusions	60
4	Package	63
4.1	Introduction	63
4.2	Package modelling	66
4.3	Experimental results	73
4.4	Conclusions	77

5	Conclusions and Areas for Further Research	79
5.1	Conclusions	79
5.2	Areas for further research	83
A	Resumen en Castellano	85
A.1	Introducción	85
A.1.1	Objetivos	87
A.1.2	Estructura de la memoria	88
A.2	Análisis del sistema	91
A.2.1	Objetivos	91
A.2.2	Planteamiento y metodología	91
A.2.2.1	Especificaciones del receptor de radiofrecuencia para DVB-SH	91
A.2.2.2	Método de optimización de multi-objetivos	100
A.2.3	Aportaciones originales	106
A.2.4	Conclusiones obtenidas	106
A.3	Cabezales de radiofrecuencia para un receptor de DVB-SH	107
A.3.1	Objetivos	107
A.3.2	Planteamiento y metodología	107
A.3.2.1	Descripción de la tecnología UMC 90 nm	107
A.3.2.2	Receptor 1	110
A.3.2.3	Receptor 2	122
A.3.2.4	Receptor 3	129
A.3.3	Aportaciones originales	138
A.3.4	Conclusiones obtenidas	138
A.4	Encapsulado	141
A.4.1	Objetivos	141
A.4.2	Planteamiento y metodología	141
A.4.2.1	Modelado del encapsulado	144
A.4.2.2	Resultados experimentales	150
A.4.2.3	Aportaciones originales	154
A.4.2.4	Conclusiones	154
A.5	Conclusiones y líneas futuras	157
A.5.1	Conclusiones	157

A.5.2 Líneas futuras de trabajo	161
References	163
B Publications	171
C Other Publications	173

List of Figures

1.1	DVB-SH system architecture.	2
1.2	3G frequency allocation.	3
1.3	DIB29098 block diagram.	4
1.4	TDA18292 block diagram.	5
2.1	<i>DVB-SH</i> supported spectrum.	10
2.2	Category 1: proposed architecture.	12
2.3	Category 2: proposed architecture.	12
2.4	Reference receiver used in the design.	14
2.5	IIP3, MBRAI L3 pattern.	19
2.6	Zero-IF architecture.	24
2.7	Pareto front of achievable solutions.	27
3.1	Applications of the UMC 90 nm technology.	30
3.2	90 nm Logic/MS/RF devices	30
3.3	MS/RF design flow and FDK.	31
3.4	Analogue design methodology.	32
3.5	Narrow band low noise amplifier.	33
3.6	Single to differential converter.	36
3.7	Double balanced Gilbert mixer.	37
3.8	Double balanced Gilbert mixer with current reuse.	38
3.9	Layout of the DVB-SH Receiver 1.	40

3.10	Photograph of the DVB-SH Receiver 1.	40
3.11	Input return loss (S_{11}).	42
3.12	Conversion gain.	43
3.13	Noise figure.	43
3.14	Measured P_{1dB} at 2.185 GHz.	44
3.15	Feedback low noise amplifier.	45
3.16	Feedback cascode low noise amplifier.	46
3.17	Double balanced Gilbert mixer.	47
3.18	Layout of the DVB-SH Receiver 2.	48
3.19	Photograph of the DVB-SH Receiver 2.	48
3.20	Input return loss (S_{11}).	49
3.21	Conversion gain.	50
3.22	Noise figure.	50
3.23	Measured P_{1dB} at 2.185 GHz.	51
3.24	Low noise amplifier based on current conveyors.	53
3.25	Single to differential converter.	54
3.26	Mixer based on current conveyors.	55
3.27	Current conveyor schematic.	56
3.28	Layout of the DVB-SH Receiver 3.	57
3.29	Photograph of the DVB-SH Receiver 3.	57
3.30	Input return loss (S_{11}).	58
3.31	Conversion gain.	59
3.32	Noise figure.	59
3.33	Measured P_{1dB} at 2.185 GHz.	60
3.34	Receivers summary.	62
4.1	Photograph of the QFN16.	64
4.2	Schematic of Receiver 2.	65
4.3	Layout of Receiver 2.	65
4.4	Package interconnection model.	67
4.5	Different views of the layers.	67
4.6	Vertical section.	68
4.7	a)Jedec bond-wire and b)Shape bond-wire.	69
4.8	Different 3D views of the package.	69

4.9	Package ready for simulation.	70
4.10	S parameters of PIN2.	71
4.11	Inductances of PIN2.	71
4.12	Conversion gain with the package.	73
4.13	Input return loss (S_{11}) with the package.	74
4.14	Noise figure with the package.	74
4.15	Input of Receiver 2.	75
4.16	Conversion gain with the package after modifying L_G	75
4.17	Input return loss (S_{11}) with the package after modifying L_G	76
4.18	Noise figure with the package after modifying L_G	77
5.1	Receivers summary.	80
A.1	Arquitectura del sistema DVB-SH	86
A.2	Diagrama de bloques DIB29098.	87
A.3	Diagrama de bloques TDA18292.	88
A.4	Receptor de referencia.	92
A.5	IIP3, patrón L3 MBRAI.	96
A.6	Arquitectura cero-IF.	101
A.7	Soluciones frente de Pareto.	104
A.8	Aplicaciones de la tecnología UMC 90 nm.	107
A.9	Dispositivos lógicos/MS/RF 90 nm	108
A.10	Flujo de diseño y FDK para MS/RF.	109
A.11	Metodología diseño analógico.	109
A.12	Amplificador de bajo ruido para banda estrecha.	111
A.13	Convertidor de asimétrico a diferencial.	113
A.14	Mezclador Gilbert doble balanceado.	115
A.15	Mezclador Gilbert doble balanceado con inyección de corriente.	116
A.16	Layout del Receptor 1.	118
A.17	Fotografía del Receptor 1.	118
A.18	S_{11}	120
A.19	Ganancia de conversión.	120
A.20	Figura de ruido.	121
A.21	Medida del P_{1dB} a 2.185 GHz.	121
A.22	Amplificador de bajo ruido realimentado.	122

A.23 Amplificador de bajo ruido cascode realimentado.	123
A.24 Mezclador Gilbert doble balanceado.	124
A.25 Layout del Receptor 2.	125
A.26 Fotografía del Receptor 2.	125
A.27 S_{11}	127
A.28 Ganancia de conversión.	127
A.29 Figura de ruido.	128
A.30 Medida del P_{1dB} a 2.185 GHz.	128
A.31 Amplificador de bajo ruido basado en convertidores de corriente.	130
A.32 Convertidor asimétrico diferencial.	131
A.33 Mezclador basado en convertidores de corriente.	132
A.34 Esquemático del convertidor de corriente.	133
A.35 Layout del Receptor 3.	135
A.36 Fotografía del Receptor 3.	135
A.37 S_{11}	136
A.38 Ganancia de conversión.	136
A.39 Figura de ruido.	137
A.40 Medida del P_{1dB} a 2.185 GHz.	137
A.41 Resumen de los receptores.	139
A.42 Fotografía del QFN16.	142
A.43 Esquemático del Receptor 2.	143
A.44 Layout del Receptor 2.	143
A.45 Modelo de interconexión del encapsulado.	144
A.46 Descomposición de las capas.	145
A.47 Sección vertical.	145
A.48 a)Jedec bond-wire y b)Shape bond-wire.	146
A.49 Vistas 3D del encapsulado.	146
A.50 Encapsulado preparado para simular.	147
A.51 Parámetros S del PIN2.	148
A.52 Inductancia del PIN2.	148
A.53 Ganancia de conversión con el encapsulado.	150
A.54 S_{11} con el encapsulado.	151
A.55 Figura de ruido con el encapsulado.	151
A.56 Entrada del Receptor 2.	152

A.57 Ganancia de conversión después de modificar L_G	153
A.58 S_{11} después de modificar L_G	153
A.59 Figura de ruido después de modificar L_G	154
A.60 Resumen de los receptores.	160

List of Tables

1.1	FREQUENCY ALLOCATIONS	3
2.1	FREQUENCY ALLOCATIONS FOR SATELLITES	14
2.2	C/N REQUIREMENTS FOR AWGN CHANNELS	15
2.3	C/N REQUIREMENTS FOR RICE AND RAYLEIGH CHANNELS	15
2.4	C/N REQUIREMENTS FOR COFDM-TU6 CHANNELS	16
2.5	LINEARITY PATTERNS	19
2.6	SELECTIVITY REQUIREMENTS FOR DVB-SH	20
2.7	MINIMUM AND MAXIMUM LEVELS FOR LO PHASE NOISE	22
2.8	RF FRONT-END SPECIFICATIONS	22
2.9	PARAMETERS OF EACH BLOCKS	24
2.10	FEASIBLE VALUES	26
2.11	SPECIFICATIONS OF EACH BLOCK	28
3.1	RF FRONT-END 1 RESULTS	42
3.2	RF FRONT-END 2 RESULTS	49
3.3	RF FRONT-END 3 RESULTS	58
3.4	RF FRONT-ENDS RESULTS	61
4.1	EQUIVALENT INDUCTANCES	72
5.1	RF FRONT-ENDS RESULTS	81
A.1	FRECUENCIAS SATÉLITE ASIGNADAS	92

A.2 C/N PARA CANAL AWGN	93
A.3 C/N PARA CANALES RICE Y RAYLEIGH	93
A.4 C/N PARA CANAL COFDM-TU6	93
A.5 PATRONES DE LINEALIDAD	97
A.6 REQUISITOS DE SELECTIVIDAD PARA DVB-SH	98
A.7 NIVELES MÍNIMO Y MÁXIMO PARA EL RUIDO DE FASE	99
A.8 ESPECIFICACIONES DEL RECEPTOR	100
A.9 PARÁMETROS DE CADA BLOQUE	102
A.10 RANGO DE LOS BLOQUES	104
A.11 ESPECIFICACIONES DE CADA BLOQUE	105
A.12 RESULTADOS RECEPTOR 1	119
A.13 RESULTADOS RECEPTOR 2	126
A.14 RESULTADOS RECEPTOR 3	134
A.15 RESULTADOS OBTENIDOS RECEPTORES	138
A.16 INDUCTANCIAS EQUIVALENTES ASOCIADAS	149
A.17 RESULTADOS OBTENIDOS RECEPTORES	158

Nomenclature

3D-EM Three Dimensions-Electromagnetic

3G Third Generation

A/D Analogue/Digital

ACS Adjacent Channel Selectivity

ADC Analogue-to-Digital Converter

ADS Advanced Design System

AIP3 Amplitude of the Third Order Intercept Point

AWGN Additive White Gaussian Noise

BER Bit Error Rate

BW Bandwidth

C/N Carrier-to-Noise ratio

CCIII Third Generation Current Conveyor

CCII Second Generation Current Conveyor

CCI First Generation Current Conveyor

CC Current Conveyor

CGC Complementary Ground Component

CMOS Complementary Metal-Oxide-Semiconductor

COFDM Coded Orthogonal Frequency Division multiplexing

COX Oxide Capacitance

CR Code Rate

DC Direct Current

DFM Design For Manufacturability

DVB-H Digital Video Broadcasting for Hand-held terminals

DVB-SH Digital Video Broadcasting, Satellite Services to Hand-held

DVB-T Digital Video Broadcasting for Terrestrial services

EDA Electronic Design Automation

EICTA European Information and Communications Technology Industry Association

EMDS Electromagnetic Design Simulator

FDK Foundry Design Kit

FEC Forward Error Correction

FPGA Field Programmable Gate Array

F Noise Factor

GPU Graphics Processing Unit

GSM Global System for Mobile Communications

I²C Inter-Integrated Circuit

I/Q In-phase/Quadrature

IC Integrated Circuit

- IF** Intermediate Frequency
- IIP2** Second Order Intercept Point
- IMD3** Intermodulation Distortion from the third order
- IP3** Third-order Intercept Point
- IP** Intellectual Property
- LNA** Low Noise Amplifier
- LOS** Line Of Sight
- LO** Local Oscillator
- MBRAI** Mobile Broadband Radio Air Interface
- MIM** Metal Insulator Metal
- MOM** Metal Oxide Metal
- MOSFET** Metal–Oxide–Semiconductor Field-Effect Transistor
- MS** Mixed Signal
- NF** Noise Figure
- NMOS** Negative-channel Metal-Oxide Semiconductor
- NSGA** Non-dominated Sorting Genetic Algorithm
- OCF** Optimum Capacitor Finder
- OFDM** Orthogonal Frequency Division multiplexing
- OIF** Optimum Inductor Finder
- OTF** Optimum Transformer Finder
- P_{1dB}** Compression Point
- PAL** Phase Alternating Line

PCB Printed Circuit Board

PLL Phase-Locked Loop

QAM Quadrature Amplitude Modulation

QFN Quad-Flat No-leads package

QoS Quality of Service

QPSK Quadrature Phase-Shift Keying

Q Quality

RF Radio frequency

SAW Surface Acoustic Wave

SC Satellite Component

SDC Single to differential converter

SNR Signal-to-Noise Ratio

SoC System on Chip

TCXO Temperature Compensated Crystal Oscillator

TDM Time Division Multiplexing

TRs Terrestrial repeaters

TU6 Typical Urban channel with 6 taps.

TV Television

UHF Ultra High Frequency

UMC United Microelectronics Corporation

UMTS Universal Mobile Telecommunications System

USB Universal Serial Bus

VCO Voltage-Controlled Oscillator

VHF Very High Frequency

1.1 Introduction

A report from the Cisco Visual Networking Index Services Adoption Forecast predicts that by the year 2017 mobile digital television will be demanded by over 400 million users worldwide [1]. The revolution that communication technologies are experiencing clearly shows how this demand is going to be satisfied. So, the media has to adapt itself to the mobile environment, developing new services and setting up new business possibilities. The problem is that nowadays, third generation mobile companies only offer some limited *TV* services (point-to-point). The solution to such a limitation is the deployment of broadcasting networks devoted to mobile *TV* (point to multipoint) and this is the idea behind the *DVB-H* (Digital Video Broadcasting for Hand-held terminals) [2] communication standard.

This network forms part of the terrestrial infrastructure previously deployed for *DVB-T* (Digital Video Broadcasting for Terrestrial services) [3]. Both communication standards share the physical layer, along with transmission at *UHF* band. However, *DVB-H* has been developed so that the average receiver power consumption is smaller. *UHF* band was also an impediment to the development of *DVB-H* in Europe because of band saturation, at least until the analogue shutdown. Another problem is the amount of money needed for *DVB-H* coverage in large areas, larger than the investment required for *DVB-T* [4]. Therefore, *DVB-H* deployment far from urban areas is not feasible.

DVB-SH (Digital Video Broadcasting, Satellite Services to Hand-held) [5][6][7] is a solution to the above mentioned drawbacks. *DVB-SH* is the evolution of *DVB-*

H in the sense that the network is a hybrid terrestrial satellite network (see figure 1.1). Three kinds of terrestrial repeaters (TRs) are envisaged:

- $TRs(a)$ are broadcast infrastructure transmitters which complement reception in areas where satellite reception is difficult, especially in urban areas; they may be colocated with mobile cell sites or standalone. Local content insertion at that level is possible, relying on adequate radio frequency planning and/or waveform optimizations.
- $TRs(b)$ are personal gap-fillers of limited coverage providing local retransmission, on-frequency and/or with frequency conversion; typical application is indoor coverage provision, locally repeating the satellite signal available outdoor. No local content insertion is foreseen.
- $TRs(c)$ are mobile broadcast infrastructure transmitters creating a "moving complementary infrastructure" on board moving platforms (cars, trains, bus). Depending on waveform configuration and radio frequency planning, local content insertion may be possible.

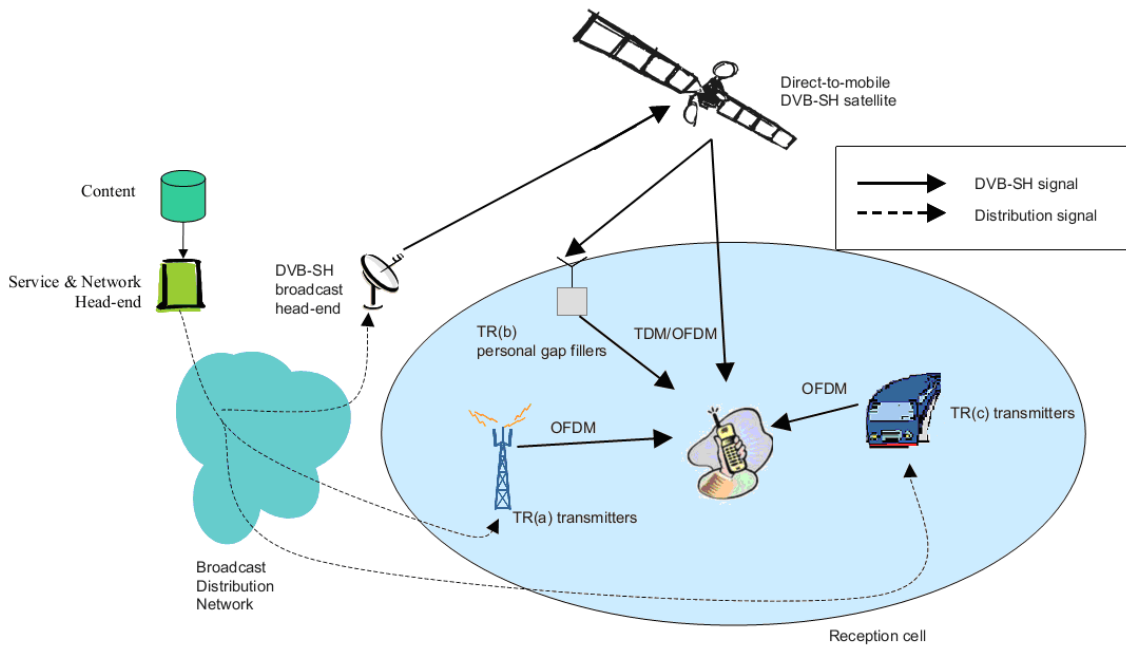


Figure 1.1: DVB-SH system architecture (extracted from [5]).

Freq. band designation	Frequency range	Other common names
L Band	1626.5-1660.5 MHz(uplink)	MSS GEO L Band
	1668-1675 MHz(uplink)	
	1518-1559 MHz(downlink)	
L Band	1610-1626.5 MHz(uplink)	MSS Big LEO L Band
	1610-1626.5 MHz(downlink)	
L Band	1452-1492 MHz(downlink)	S-DAB band
2 GHz S Band	1980-2010 MHz(uplink)	
	2170-2200 MHz(downlink)	
S-DARS S Band	2320-2345 MHz(downlink)	
2.5 GHz S Band	2670-2690 MHz(uplink)	
2.5 GHz S Band	2500-2520MHz(downlink)	
2.5 GHz S Band	2520-2670 MHz(downlink)	

TABLE 1.1: FREQUENCY ALLOCATIONS

Satellite communication is the most efficient means to offer coverage in big areas provided the population is large enough. In fact, just one satellite could supply the signal to the whole of continental Europe. However, quality communication will only be available when direct vision between satellite and receiver exists. But this is not always true for portable devices when located indoors or when the receiver is moving in areas of shadow. That is the reason why *DVB-SH* introduces a double satellite and terrestrial hybrid network.

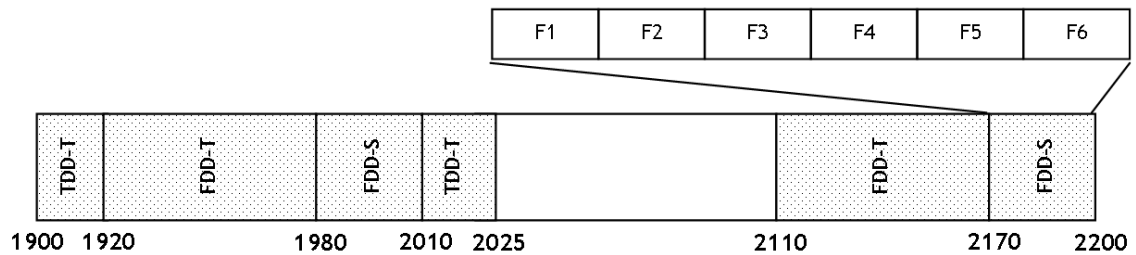


Figure 1.2: 3G frequency allocation (in MHz).

Frequency spectrum is regulated at the international level by a binding treaty called the Radio Regulations. The Radio Regulations deal with two aspects: frequency allocation and regulatory procedures for accessing the spectrum/orbit resources. The binding character of the Radio Regulations implies that national or regional (e.g. European) regulations shall be defined within the framework of this

treaty. Frequencies between 1 and 3 GHz are the most suitable, considering the satellite, terminal and mobility constraints. Within this frequency range, table 1.1 shows the bands for the provision of multimedia services based on *DVB-SH* (the uplink bands are given for completeness and their use are out of the scope of the *DVB-SH* specifications).

Hybrid satellite/terrestrial network is an efficient method in broadcasting mobile digital *TV* signals. The European Union allocated a band from 2170 MHz to 2200 MHz (30 MHz bandwidth) to be used by *DVB-SH* systems [5]. Figure 1.2 shows *IMT2000* band and *DVB-SH* spectrum distributed in 5 MHz sub-bands [8]. Note how *DVB-SH* band is adjacent to the band used by *UMTS*, allowing, this way, a more efficient network deployment as it is possible to reuse antennas and *UMTS* emplacements to place *DVB-SH* repeaters. A 50 percent saving in deployment cost is estimated by this reuse.

Digital satellite mobile *TV* (*DVB-SH*) is beginning its deployment, both in Europe and in the United States and trials are taking place in different geographic areas. A great number of companies have focused their effort on developing commercial solutions. Some examples of commercial receivers are:

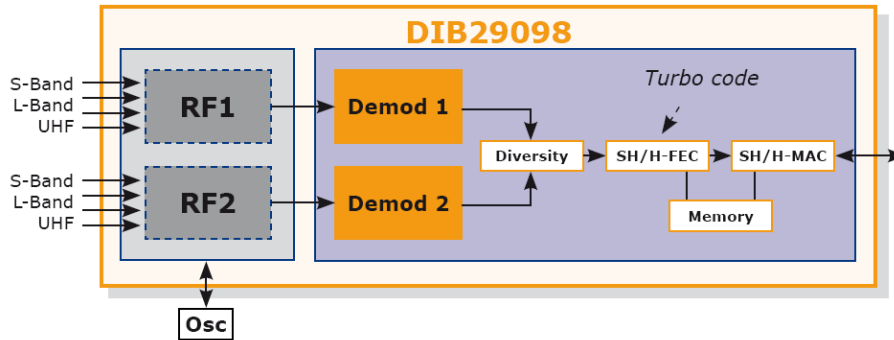
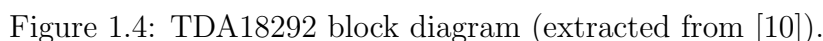


Figure 1.3: DIB29098 block diagram (extracted from [9]).

DIB29098 [9]: It is the first component to feature Diversity-2 (support for dual antennas) in one single chip (see figure 1.3). This technology dramatically enhances receiver performances even in mobility, as was proven in automotive applications, or for improved indoor coverage. In addition, the *DIB29098* is a quadri-band, multi-mode receiver: it has dual *RF* tuners supporting *VHF*, *UHF*, *L-Band* and *S-Band* frequencies, a dual demodulator that processes *DVB-T*, *DVB-H* and *DVB-SH*

TDA18292 [10]: It is an Ultra low power Terrestrial and Satellite multi-band Silicon Tuner for portable *TV* (see figure 1.4). *TDA18292* is optimized for digital *TV* reception in low power appliances. It covers *DVB-T*, *DVB-H*, *DVB-SH*, *T-DMB* and *ISDB-T* standards. This highly integrated, 5-in-1 solution significantly reduces application costs, and improves *TV* reception quality in portable applications. Low power dissipation combined with high immunity to other cellular and connectivity standards make it ideal for a wide variety of portable and hand-held applications including notebooks, *USB* sticks, multimedia/*DVD* players, mobile phones and navigation devices.



The tuner includes all the functions required to perform digital *TV* reception, from *RF* input to baseband *I/Q* outputs. It includes a balanced low-noise amplifier,

complex mixer, channel filters with built-in self calibration and a complete *RF PLL* with fully integrated *VCO*, so no balun is required. Programming is made easy through its *I²C* serial interface, and it is possible to control two different tuners with a single line thanks to an address select pin. A dedicated turn-on/-off pin allows power reduction for time sliced applications and gain is programmable in 0.5 dB steps using two up/down pins. Making product integration easier, the *PLL* can operate across a range of clock frequencies, and either a simple crystal oscillation or a *TCXO* can be used for clock frequency generation.

Both commercial receivers are based on zero-*IF* topology. The antenna signal is filtered by an external passive pre-select filter to reduce the level of out-of-band interferers. The front-end consists of a low noise amplifier and a quadrature Mixer that converts the signal down to low or zero-*IF*. The synthesizer provides the frequency quadrature *LO* signals. The baseband filter provides both filtering and variable gain. The filtered baseband signal is digitized by the *ADC*, which is followed by the digital baseband processor.

1.2 Objectives

The aim of this research work is to present different alternatives for implementing power and area efficient *RF* receivers for Digital *TV* based on *DVB-SH* specifications. The results of the present work are integrated in an ambitious research project: *RECITAL+*, *DVB-SH* Digital *TV* Receiver, Spanish Ministry of Science and Innovation (TEC2008-06881-C03-01).

In order to achieve the objective, the following milestones have been determined and achieved:

1. Study of *DVB-SH* standard and proposal for an advanced receiver architecture. This receiver will be conceived so as to incorporate optimal solutions regarding power consumption.
2. Commercially available silicon technology selection.
3. Development (design, tape-out and measurement) of basic building blocks to be part of the advanced *DVB-SH* receiver. In this regard, the design of the blocks that constitutes the *RF* front-end (*LNAs*, *MIXERs*) is proposed.

4. Integration and implementation of *RF* subsystems: the implementation of the chipset with the minimum number of external components will be studied.

1.3 Outline of the research

This work consists of five chapters, which are briefly outlined in this section. *Chapter 1* (the current chapter) introduces the reader to *DVB-SH* standard, shows some possible commercial implementations and outlines the research objectives. After getting an insight into the research context, the system design is presented in *Chapter 2*. In this chapter the main requirements of *DVB-SH* are presented. With those requirements a reference system is designed. Also a Multi-Objective Optimization Method for block specification. *Chapter 3* introduces the used technology and then goes on to analyse the circuits. After this theoretical analysis, the different implementations of the receivers developed are presented. *Chapter 4* is devoted to modelling the package of a *DVB-SH* receiver using a *3D-EM* simulator. Finally some conclusions and areas for further research are presented in *Chapter 5*.

DVB-SH overview and system approach

2.1 Introduction

DVB-SH [5][6][7] is based on the *DVB-H* standard (see figure 2.1). *DVB-H* merges the two best-selling consumer products in history, *TVs* and cellular phones. *DVB-H* technology adapts the system for digital terrestrial television (*DVB-T*), to the specific requirements of hand-held, battery-powered receivers. *DVB-H* can offer a downstream channel at high data rates which can be used standalone or as an enhancement of mobile telecom networks which many typical hand-held terminals are able to access anyway [11][12]. *DVB-SH* includes some improvements in error correction algorithms in the physical and link layer levels in comparison with *DVB-H*.

There are key differences from *DVB-H* that should be kept in mind, due to the hybrid-network nature of *DVB-SH*:

- When the 2 GHz *S*-band is used, synergy with 3G telephony infrastructure should be exploited, especially in areas where such infrastructure exists. Network planning for *DVB-SH* in urban areas could be similar to the 3G planning with the benefit that indoors coverage could be made essentially the same.
- A *DVB-SH* coverage is always composed of satellite coverage complemented by terrestrial coverage. The services offered by these two kinds of coverage are strongly linked but not necessarily the same.
- As a consequence of the above, *DVB-SH* services are a mix of common services and local services. Common services are services that are available in

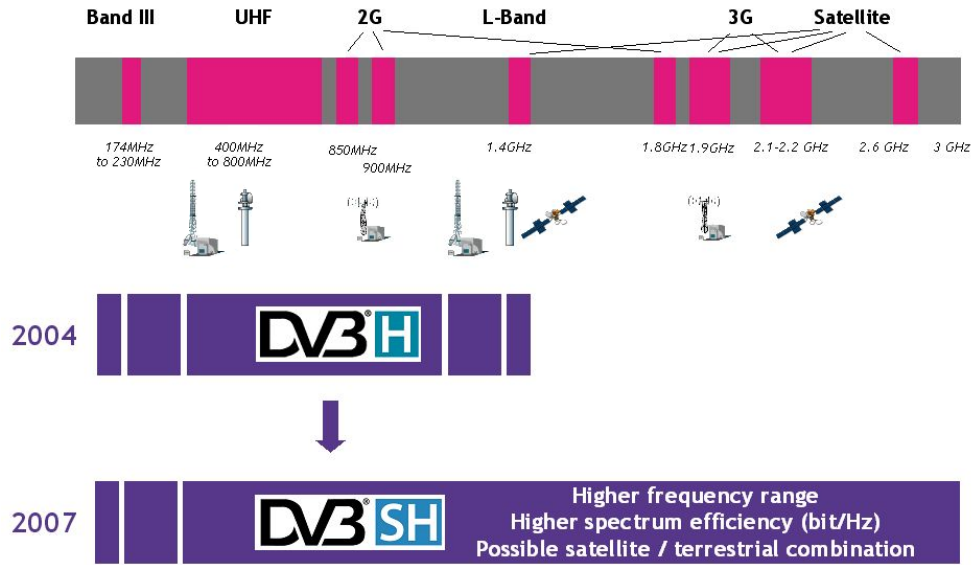


Figure 2.1: *DVB-SH* supported spectrum (extracted from [13]).

the satellite component (*SC*) and must be transmitted in the complementary ground component (*CGC*). Local services are services that are available in the *CGC* only. Common services are usually those with very large audiences while local services have more fragmented audiences, possibly with geographical dependencies. A local service package for one city/town may differ from the package for another city/town.

- There are challenges for *DVB-SH* due to higher mobility, satellite specific propagation channels, and, in some cases, higher frequency bands.
- Although the common services are available in both the *SC* and the *CGC*, the service attributes may differ depending on the user location, more precisely between different reception modes: satellite-only, terrestrial-only and combined satellite-terrestrial receptions. For example, specific physical parameters may be selected so that higher user speed is possible with satellite-only reception.
- *DVB-SH* interactive services would rely mainly on a terrestrial return channel which could be independent from its *CGC*. It should be noted that the technical possibility exists, in the 2 GHz *S*-band, to establish a direct return path via satellite. Such a possibility could be invaluable in catastrophic events leading to unavailability of terrestrial infrastructures.

This network uses *COFDM* (Coded orthogonal frequency division multiplexing) in the complementary network and *COFDM* or *TDM* (Time division multiplexing) signals in satellite transmission. *COFDM* allows single frequency network deployment, and if that is the case, receivers may combine all signals arriving from nearby transmitters (including the satellite), under the assumption that signal delays are smaller than the guard interval of *OFDM* signals. *TDM* signals allow larger transmitted power levels from the satellite.

As two physical layers are available, there are more system configurations. Two different architectures have been defined:

- *SH-A* architecture: both satellite/terrestrial components use *OFDM*.
- *SH-B* architecture: the satellite component uses *TDM*, and the terrestrial component uses *OFDM*.

SH-A architecture allows both single frequency networks and multi-frequency networks. *SH-B* terminals are compatible with *SH-A* architectures but they can operate in a single frequency network or in a multi-frequency network. The opposite is not true.

In order to cope with a wide market, *DVB-SH* offers great flexibility in the development of terminals. The standard identifies up to three different categories:

- Category 1: car-mounted terminals (vehicular).
- Category 2: portable *TV* devices, with two subcategories:
 - 2.a Large screen ($\geq 10''$) portable devices, battery or mains powered.
 - 2.b Pocket table (hand-held) *TV* devices, mainly battery powered.
- Category 3: hand-held terminal with embedded cellular telecom modem.

Figures 2.2 and 2.3 show two proposals for categories 1 y 3.

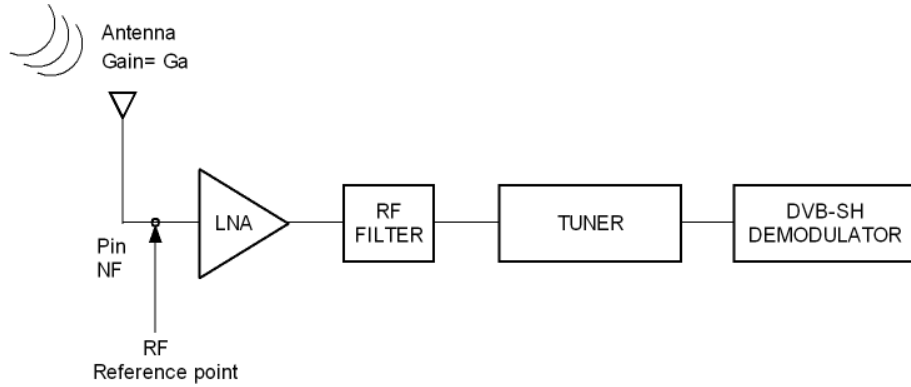


Figure 2.2: Category 1: proposed architecture.

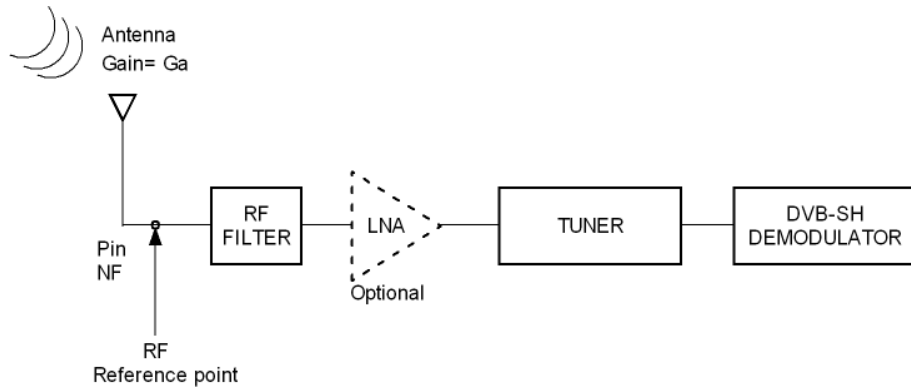


Figure 2.3: Category 2: proposed architecture.

In most common cases the channel conditions are those produced by a pedestrian user (<3 km/h). Due to the relatively low speed, continuity of service is in general achieved by increasing the link margin, rather than by increasing the time interleaving depth. When in satellite-only reception mode, some cooperation may be required from the user, i.e. to maintain good *LOS* (Line Of Sight) with the satellite. Some challenges are associated with the specifications of hand-held terminals. These include:

- Antenna diversity (an order more than 2 is very challenging).
- Small battery requires an efficient power saving management.
- Antenna gain is in general low (can be less than -3 dBi).

- Antenna polarisation is most often linear and not optimized to satellite reception.
- Embedding telecom modems like *GSM* or *3G* inside the terminal without reducing the satellite receiver sensitivity.
- *RF* filtering, antenna design rules and compactness constraints have an impact on the achievable receiver sensitivity and immunity to high level blockers coming from the terminal.
- Memory limitation may, in some architectures, not allow the support of a large Physical Layer interleaver.

A category 3 terminal was chosen for its use in *SH-B* networks. On the one hand, a category 3 terminal involves a bigger challenge since its requirements for a correct demodulation are more difficult to achieve. On the other hand, a terminal compatible with *SH-B* networks allows its use in *SH-A* networks.

2.2 DVB-SH receiver specifications

In this section, the requirements for the tuner performance are extracted. To derive these requirements, the *DVB-SH* implementation guide [5] was used as well as *EICTA MBRAI* [14]. Despite [14] not being a document which belongs to the *DVB-SH* standard, some of its assumptions are still considered valid.

A direct conversion receiver architecture (zero-*IF*) was chosen for this work. Figure 2.4 shows the direct conversion receiver block diagram, where the *LO* frequency is equal to the input carrier frequency. Note that channel selection only requires a low pass filter with relative sharp cut-off characteristics.

This architecture has several issues. First, in a direct conversion topology, the down converted band extends to zero frequency. As a result, offset voltages can corrupt the signal and saturate the following stages. This issue is also related to the *LO* leakage because the *LO* radiation could appear as a *DC* voltage at the receiver output. Secondly, phase and frequency modulation require shifting either *RF* or *LO* signal output by 90°. This shifting generally introduces errors and noise. Due to this error *I/Q* mismatches could appear, thereby raising the bit error rate. Thirdly, in baseband, the even-order harmonics could be inside the desired channel.

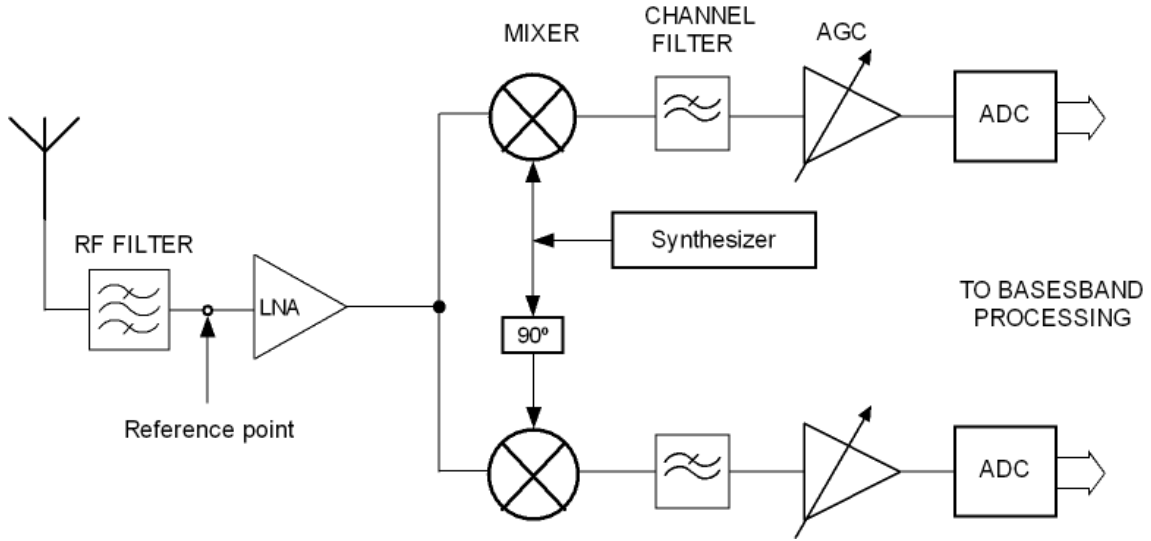


Figure 2.4: Reference receiver used in the design.

Fourthly, due to the fact that the desired channel is translated directly to baseband, the flicker noise could affect the signal.

On the contrary, the simplicity of the direct conversion architecture offers two important advantages. Firstly, the problem of the image frequency does not appear. As a result, no image filter is required. Secondly, the *IF-SAW* filter and other down-conversion stages, used for instance in heterodyne receivers, are replaced with low-pass filters and baseband amplifiers, so this architecture is more suitable for a monolithic integration with a relatively low area and low power consumption.

The receiver performance is defined according to the reference point shown in figure 2.4.

Freq. band designation	Frequency range
2 GHz S Band	1980-2010 MHz(uplink)
	2170-2200 MHz(downlink)
S-DARS S Band	2320-2345 MHz(downlink)
2.5 GHz S Band	2670-2690 MHz(uplink)
2.5 GHz S Band	2500-2520MHz(downlink)
2.5 GHz S Band	2520-2670 MHz(downlink)

TABLE 2.1: FREQUENCY ALLOCATIONS FOR SATELLITES

2.2.1 Frequency range

Due to the versatility of the *DVB-SH* standard, it can be implemented in *UHF*, *L* and *S* Bands. The downlink frequency for the *S* band is allocated (see table 2.1) between 2170 MHz and 2200 MHz [15].

2.2.2 C/N requirements

The C/N values are a function of the modulation type, the physical layer code rate and the physical layer interleaving time. Tables 2.2, 2.3 and 2.4 show the different requirements for the different channels and modulations. The worst case is for the *QPSK* in a *TDM-AWGN* channel. The minimum theoretical carry to noise ratio C/N required by the system is -3.9 dB.

CR	OFDM-AWGN channel		TDM-AWGN channel		
	QPSK	16QAM	QPSK	8PSK	16 PSK
1/5	-3.6	0.7	-3.9	-1.3	0.4
2/9	-3.1	1.3	-3.4	-0.7	1.0
1/4	-2.5	1.9	-2.8	-0.1	1.6
2/7	-1.8	2.8	-2.1	0.7	2.5
1/3	-0.9	3.7	-1.2	1.6	3.4
2/5	0.1	5.0	-0.2	2.7	4.7
1/2	1.4	6.8	1.1	4.4	6.5
2/3	3.5	9.7	3.2	6.9	9.4

TABLE 2.2: C/N REQUIREMENTS FOR AWGN CHANNELS

CR	TDM-Rice channel(K=3dB)	TDM-Rayleigh channel
	QPSK	QPSK
1/5	-3.4	-3.2
1/4	-2.2	-2.1
1/3	-0.4	-0.2
1/2	2.2	2.9

TABLE 2.3: C/N REQUIREMENTS FOR RICE AND RAYLEIGH CHANNELS

QPSK			16QAM		
CR-INT	3 km/h	50 km/h	CR-INT	3 km/h	50 km/h
1/2-S	6.5 dB	4.5 dB	1/3-S	8.5 dB	6.5 dB
1/2-UL	5.5 dB	4 dB	1/3-UL	7 dB	6 dB
1/3-S	3.5 dB	1.5 dB	1/4-S	6.5 dB	5 dB
1/3-UL	2.5 dB	1 dB	1/4-UL	5 dB	4 dB
			1/5-S	5.5 dB	3 dB
			1/5-UL	4 dB	3 dB

TABLE 2.4: C/N REQUIREMENTS FOR COFDM-TU6 CHANNELS

2.2.3 Maximum input levels

The maximum total average power that can be present at the antenna for wanted and unwanted signals is 15 dBm assuming 15 to 18 dB coupling between *UMTS* and *DVB-SH* antennas. If the *RF* filter has a minimum attenuation of 40 dB at *UMTS* uplink band, the maximum total average power at reference point is -25 dBm.

For the in-band interferers, there is no description given in [5]. So, the *EICTA MBRAI* [14] is going to be used as a reference to follow. It is possible because *DVB-SH* and *DVB-H* are both similar mobile *TV* broadcasting standards. So, if the same specifications of *DVB-H* are used for *DVB-SH*, at least the same *QoS* (Quality of Service) can be expected.

According to [14], the maximum power for desired signals is -28 dBm at the antenna, when there is no other signal present. For the undesired signals, there are some masks defined according to some linearity and selectivity patterns that are going to be explained in the next sections. Regarding the *UMTS* downlink band which is the adjacent band to the *DVB-SH* band, [5] assures that the total power level will always be below -25 dBm, so it can be considered as an interferer with a maximum power of -28 dBm at the antenna. Taking into account the *RF* filter, the maximum input level at the reference point is -29.5 dBm.

2.2.4 Noise figure

According to [5], a reference receiver for category 3, should have a noise figure of 4.5 dB at the antenna. When a system is preceded by a passive filter whose input thermal noise temperature is $T_0 = 290^\circ\text{K}$ and with an ambient temperature

of 290°K, the noise figure of the attenuator is equal to its attenuation. So, applying the well-known Friis equation, the required noise factor for the *RF* front-end can be calculated with the following equation:

$$F = F_{filter} + \frac{F_{front-end} - 1}{G_{filter}} \quad (2.1)$$

where F_{filter} and G_{filter} are the noise factor and the gain of the filter, and $F_{front-end}$ is the front-end noise factor. The filter's desired specifications are defined in [5]. The passband attenuation of the filter is 1.5 dB and the out of band attenuation is 40 dB. As a result, the noise figure NF specification for the *RF* front-end is 3 dB, which is a significant challenge.

2.2.5 Sensitivity

The sensitivity of a receiver is the minimum detectable signal. The sensitivity of the receiver depends directly on the noise figure and the signal to noise ratio:

$$P_{inmin} = -174dBm/Hz + 10\log(BW) + NF + \frac{C}{N} \quad (2.2)$$

where the minimum signal bandwidth is 1.52 MHz, and the noise figure for the *RF* front-end without filter is 3 dB. The minimum carrier to noise ratio required by the system is -3.9 dB. A 0.5 dB implementation margin has been taken into account according to [5]. The sensitivity of the *RF* front-end is -112.55 dBm.

2.2.6 Dynamic range

The minimum input signal power level has been calculated in the previous section and the maximum total power level is -28 dBm for wanted and unwanted signals at the input of the *RF* filter and -29.5 at the reference point.

Therefore, the dynamic range of the *RF* front-end can be calculated as:

$$DynamicRange = P_{max} - P_{min} \quad (2.3)$$

Thus, the dynamic range of the *RF* front-end is:

$$DynamicRange = -29.5 - (-112.55) = 83.05dBm \quad (2.4)$$

2.2.7 Dynamic gain

The rail-to-rail voltage of the *ADC* used is 1 V_{pp}, which means that the maximum allowed input power to the *ADC* is:

$$P_{max} = 10 \log \left(\frac{V_{pp}}{2\sqrt{2}} \right)^2 = -9dBV = 4dBm \quad (2.5)$$

The maximum gain required by the front-end can be obtained by fixing the noise floor of the receiver just above the Nyquist noise of the *ADC*. In this case, the *ADC* used has 70 dB of *SNR*, so:

$$N_Q = P_{max} - SNR = 4 - 70 = -66dBm \quad (2.6)$$

and the maximum gain is calculated as:

$$G_{max} = N_Q - P_{inmin} = -66 - (-112.55) = 46.55dB \quad (2.7)$$

To obtain the minimum gain required by the system, the non saturation of the *ADC* is fixed as a condition. For this reason, the maximum output power of the front-end must be below the maximum input power of the *ADC*, thus:

$$G_{min} = P_{inmaxADC} - P_{inmaxfront-end} = 4 - (-29.5) - 6 = 27.5dB \quad (2.8)$$

where the margin of 6 dB has been added to prevent the saturation of the *ADC*.

Finally, the dynamic gain is calculated as the difference between the maximum and minimum gain values previously calculated:

$$DynamicGain = G_{max} - G_{min} = 46.55 - 27.5 = 19.05dB \quad (2.9)$$

2.2.8 Linearity

The third order input interception point can be calculated by means of the third order inter-modulation products using:

$$IIP3 = \frac{I_{MD3}}{2} + P_{in} \quad (2.10)$$

In order to calculate the $IIP3$, values for $IMD3$ and P_{in} must be set. At this moment there is no specification similar to that of *MBRAI* [14] for *DVB-SH* receivers. Therefore, some assumptions must be made again.

As *DVB-SH* is a *TV* multicast/broadcast standard, it seems reasonable to assume that the in-band (2170 MHz-2200 MHz) signal levels and their power ratio are going to be similar to those defined for *DVB-H*, a standard also developed for mobile TV.

MBRAI [14] defines three patterns for linearity: $L1$, $L2$ and $L3$. Table 2.5 shows the linearity patterns. As $L1$ and $L2$ are based on the presence of *PAL* analogue and digital signals in the *UHF* band [16], they are not going to be considered in this analysis.

Pattern	Interferer in N+2 ch.	Interferer in N+4 ch.	N ch. att.(dB)
L1	DVB-T/H	PAL	45
L2	PAL	PAL	45
L3	DVB-T/H	DVB-T/H	40

TABLE 2.5: LINEARITY PATTERNS

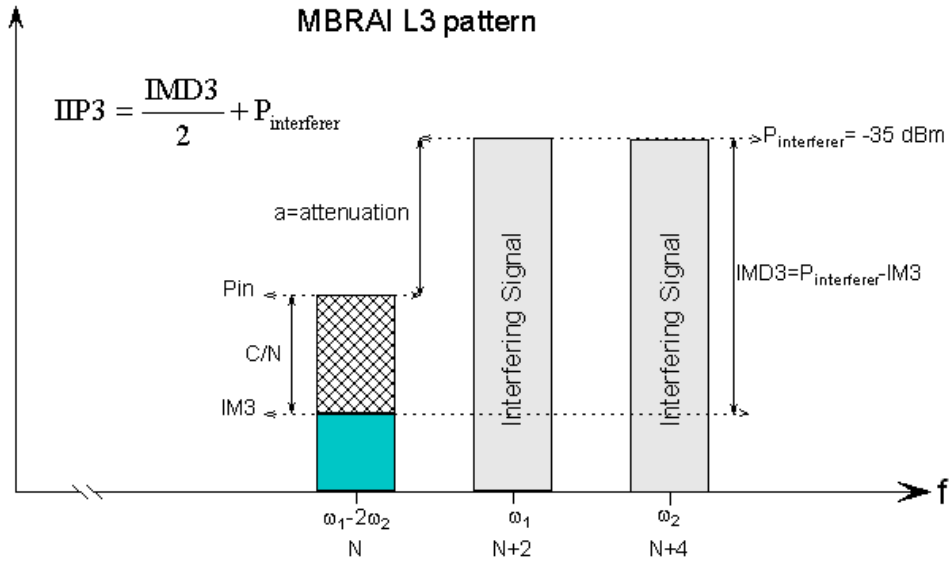


Figure 2.5: IIP3, MBRAI L3 pattern.

$L3$ presents two interfering signals at the $N + 2$ and the $N + 4$ channels and the desired signal at channel N (see figure 2.5). The maximum amplitude for the

interferers is -35 dBm at the antenna and the maximum power ratio between the desired signal and the interferers is 42 dB according to *MBRAI* [14]. It can be seen that the channels of the interferer are $N + 2$ and $N + 4$, and so, its intermodulation products fall in the desired channel N .

In order to set the minimum power value for the intermodulation products, usually the noise floor of the system is used, that is, the power level of the intermodulation products can be as high as the noise floor. In *DVB-SH*, the minimum noise floor is given when $BW=1.52$ MHz, setting the most restrictive condition to the *RF* front-end, thus:

$$P_{IM3} = P_{noise\ floor} = 10\log(KT_oBW) + NF_{front-end} \quad (2.11)$$

This is equal to $P_{IM3} = -109.15$ dBm. Applying (2.10) the *IIP3* can be calculated as:

$$IIP3 = \frac{-36.5 - (-109.15)}{2} - 36.5 = -0.175\text{dBm} \quad (2.12)$$

2.2.9 Adjacent channel selectivity

Table 2.6 shows the selectivity requirements for *DVB-SH*. The adjacent channel selectivity (*ACS*) of a *DVB-SH* receiver must be at least 50 dB for an adjacent channel of 5 MHz and 60 dB for an adjacent channel of 10 MHz [5].

Specification	Value(dB)
Adjacent channel selectivity(out-band)	
for 5 MHz	50
for 10 MHz	60
Adjacent channel selectivity(in-band)	
for $n \pm 1$	29
for $n \pm m$	40

TABLE 2.6: SELECTIVITY REQUIREMENTS FOR DVB-SH

2.2.10 Phase noise

To calculate the phase noise requirements according to off-channel interferences, the following equation is used:

$$P_N = P_{desired} - P_{interferer} - 10\log(BW) - \frac{C}{N} - 3 \quad (2.13)$$

where $P_{desired}$ is the power of the desired signal, $P_{interferer}$ is the power of the interferer signal, BW is the bandwidth of the interfering signal, 3 dB is added due to the contribution of the two bands and C/N is the required carrier to noise ratio.

However, this is not the only problem. Since part of the phase noise of the VCO is present in the desired channel, the phase noise is going to degrade the C/N of the desired signal due to in-channel interferences. The degradation of the SNR due to in-channel interferences is given by the following equation:

$$D(dB) = \frac{11}{6\ln(10)} 4\pi\beta T \frac{E_s}{N_o} \quad (2.14)$$

where β is the single sided -3 dB line-width of phase noise power spectrum, $1/T$ is the sub-carriers spacing and E_s/N_0 is the energy per symbol, which according to [5] its relationship with the C/N is given by:

$$\frac{E_s}{N_o} \approx \frac{C}{N} \quad (2.15)$$

And thus, the phase noise is calculated as:

$$P_N = 10\log\left(\frac{1}{\pi} \frac{\beta}{f^2 + \beta^2}\right) - 3[dBc/Hz] \quad (2.16)$$

In order to calculate the phase noise mask of the VCO with (2.13) and (2.16) the following in-channel and off-channel signals are going to be taken into account as defined in [14].

To set the minimum phase noise power level mask, the worst case is given when the desired signal bandwidth is 1.52 MHz, since the noise floor in this case is lower. Therefore, it sets the most restrictive requirement to the front-end. Note that the bandwidths of the adjacent channels are also 1.52 MHz, since the desired signal is going to be filtered in the baseband to 1.52 MHz.

In this case, and in order to have some margin, C/N is going to be the actual

Frequency offset	LO phase noise
	Value min(dBc/Hz) / Value max(dBc/Hz)
100 KHz (OFDM&TDM)	-109.2 / -78.76
1.52 MHz (OFDM&TDM)	-137.47 / -113.01
3.04 MHz (OFDM&TDM)	-144.47 / -124.01
3.26 MHz (OFDM&TDM)	-132.17
4.76 MHz (OFDM&TDM)	-136.01
8.26 MHz (OFDM&TDM)	-142.04

TABLE 2.7: MINIMUM AND MAXIMUM LEVELS FOR LO PHASE NOISE

carrier to noise ratio of the signal, and in this way, the noise power created by the combination of the adjacent channel and the phase noise of the *VCO* is going to be as high as the noise floor, which reduces the previous (2.13) to:

$$P_N = P_{desired} - P_{interferer} - 10\log(BW) - (P_{desired} + N_{floor}) - 3 \quad (2.17)$$

Front-end parameter	Value
Architecture	zero-IF
RF frequency(GHz)	2.17-2.2
Sensitivity(dBm)	-112.55
Noise figure(dB)	3
Maximum gain(dB)	46.55
Dynamic range(dB)	83.05
Maximum input level(dBm)	-29.5
Channel bandwidth(MHz)	8
IIP3(dBm)	-0.175
ACS(dB)	60

TABLE 2.8: RF FRONT-END SPECIFICATIONS

For the in-band phase noise, a degradation of D=0.1 dB has been made. In order to set a maximum phase noise power level mask, the same philosophy as with the second and third order non-linearities is going to be followed. In this case, the (2.13) must be applied directly but setting a bandwidth of 5 MHz. If the noise floor power level is higher, the noise contribution due to the phase noise of the *LO* must

be lower. Applying a margin of 6 dB to the required carrier to noise ratio, (2.13) results in:

$$P_N = P_{desired} - P_{interferer} - 10\log(BW) - \frac{C}{N} - 3 - 6 \quad (2.18)$$

And substituting the values of $P_{desired}$ and $P_{interferer}$, taking into account the references [5] and [14], we obtain the phase noise specification shown in table 2.7.

To finish this section, in table 2.8 a summary of RF front-end specifications for the $DVB-SH$ receiver is presented.

2.3 Multi-objectives optimisation method

This section presents the application of a genetic algorithm optimisation method for an optimal distribution of the specification of an RF receiver into its blocks for a given architecture. The method has been used for the $DVB-SH$ standard in order to demonstrate its reliability optimizing systems constraints such as the noise figure and total third order distortion. This work offers optimal and realistic solutions, thanks to a non-linear multi-objectives optimisation.

Currently, the design of RF receivers for the different standards includes low power consumption, small area, high performance and at the same time it has to be designed in a short time to reduce the "time to market". For this reason, different methods and tools for generating optimal specifications for each block of the communication chain are being developed.

Most of the works found in literature are based on simulations to distribute the constraints expressed by the global specification on the different blocks of the receiver [17][18]. These simulations can be based on an optimisation algorithm for finding the parameters of the blocks that optimize the global constraints [19]. Nevertheless, in order to get optimal results, it is necessary to simulate the entire chain on several iterations. These methods have hundreds of solutions and not all of them are achievable. This is a disadvantage because of the difficulties in choosing one feasible solution to implement.

This work is based on a multi-objectives optimisation algorithm [20] that helps in finding an optimal trade-off among antagonist global parameters. This method offers optimal and realistic block parameters, taking into account the constraints of

each designer without simulating the entire chain on several iterations.

The constraints of the receivers on each block have been distributed offering feasible solutions and at the same time, it is possible to optimize the global constraints (see table 2.8). This demonstrates the consistency of the method for generating optimal specifications of *RF* receiver blocks using the specifications of the different blocks as a requirement.

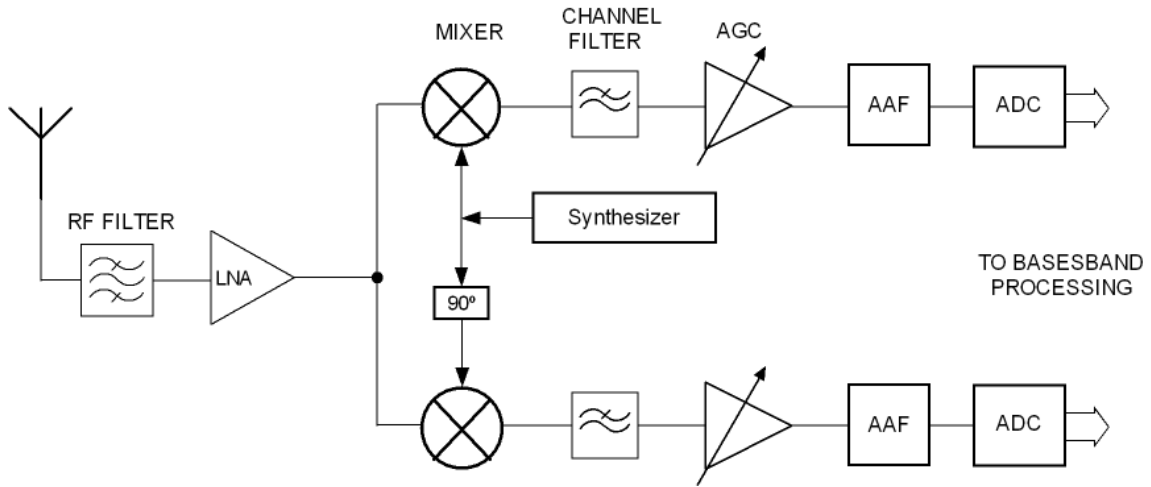


Figure 2.6: Zero-IF architecture.

Interactions between the blocks help to optimize the specifications of each block [21]. Those interactions are closely related to the chosen architecture. A zero-*IF* front-end architecture was chosen (see figure 2.6) because it has fewer components than others and it also reduces the power consumption [22].

RF Filter	LNA	Mixer	C.Filter	AGC	AA Filter	ADC
Gain	Gain	Gain	Gain	$Gain_{Max}$	Gain	Dynamic
NF	NF	NF	NF	$Gain_{Min}$	NF	Order
BW	IIP3	IIP3	BW	NF	frequency	Resolution
Order	IIP2	IIP2	Order	IIP3		IIP3, ..

TABLE 2.9: PARAMETERS OF EACH BLOCKS

Table 2.9 shows the parameters of each block. The relationships between the blocks of a receiver are established through the parameters modelling the behaviour

of each block and the parameters defining the global specifications of the receiver.

Those relationships can be expressed through formulas involving the parameters of the blocks connected in cascade [23]. The cost functions that will be considered in this work are the global noise factor (F) and the amplitude of the third order intercept point ($AIP3$). In agreement with the common practice, we consider that the RF filter is built into the low noise amplifier (LNA). Thus it becomes the first block. The two cost functions that make possible the constraints distribution are:

$$F = F_{LNA} + \frac{F_{MIX}-1}{G_{LNA}} + \frac{F_{CF}-1}{G_{LNA}G_{MIX}} + \frac{F_{AGC}-1}{G_{LNA}G_{MIX}G_{CF}} + \frac{F_{AAF}-1}{G_{LNA}G_{MIX}G_{CF}G_{AGC}} \quad (2.19)$$

$$\frac{1}{AIP3^2} = \frac{1}{AIP3_{LNA}^2} + \frac{G_{LNA}}{AIP3_{MIX}^2} + \frac{G_{LNA}G_{MIX}}{AIP3_{CF}^2} + \frac{G_{LNA}G_{MIX}G_{CF}}{AIP3_{AGC}^2} + \frac{G_{LNA}G_{MIX}G_{CF}G_{AGC}}{AIP3_{AAF}^2} \quad (2.20)$$

A common mistake in the optimisation of electronic blocks is to find optimal results without constraining them to be feasible. To avoid this, the range of variation of the parameters to optimize each block can be fixed, taking into account the state of the art.

To take into account both cost functions, a multi-objectives non-linear optimisation problem has been defined. A genetic algorithm *NSGA* [20] which is based on the biological evolution theory of natural selection was used to obtain more accurate solutions.

From a set of initial solutions, the algorithm selects randomly some of these initial solutions and uses them to produce another set of solutions called new generation. Through the successive generations, the set of solutions evolves towards an optimum that minimizes both cost functions. At each step, the algorithm creates new generation from the current generations by using mainly three types of operations:

- The selection for choosing some solutions from the current set, which produce a new set of solutions.
- The crossover for combining two current solutions to form new solutions for the next generation.
- The mutation for applying random changes to current solutions to form new solutions.

A general formulation of a multi-objectives problem is given below:

$$\begin{cases} \min f(x) = [f_1(x), f_2(x), \dots, f_k(x)]; x \in \mathbb{R}^n \\ \text{subject to} \\ g_j(x) \leq 0; j = 1, 2, \dots, J \\ l_i \leq x_i \leq u_i; i = 1, 2, \dots, n \end{cases} \quad (2.21)$$

where $f(x)$ is a vector of k cost functions, g_j are J constraints of inferiority (with the use of the principle of duality if necessary), x a vector of n variables x_i , l_i and u_i respectively lower and upper bounds of each variable x_i .

These variables represent the parameters of each block of the architecture, in terms of gain, noise factor and third order input intercept point. An exhaustive list is given for the chosen architecture:

$$\begin{aligned} x(1) &= G_{LNA}, x(2) = G_{MIX}, x(3) = G_{CF}, x(4) = G_{AGC}, x(5) = G_{AAF}, \\ x(6) &= F_{LNA}, x(7) = F_{MIX}, x(8) = F_{CF}, x(9) = F_{AGC}, x(10) = F_{AAF}, \\ x(11) &= AIP3_{LNA}, x(12) = AIP3_{MIX}, x(13) = AIP3_{CF}, x(14) = AIP3_{AGC}, \\ x(15) &= AIP3_{AAF}. \end{aligned} \quad (2.22)$$

	Gain(dB)	NF(dB)	IIP3(dBm)
LNA	5 to 10	1 to 4	-22 to 5
Mixer	5 to 20	5.5 to 25	-12 to 24
Channel filter	-1.5	1.5	13.42 to 22
AGC	5 to 50	5 to 35	4.38 to 20
AA Filter	-1.5	1.5	13.42 to 22

TABLE 2.10: FEASIBLE VALUES

For this work, the Matlab Optimization tool (*Optimtool*) was used for optimizing both cost functions F and $AIP3$. In this case, the solutions are suitable for several standards using the same architecture. However, this choice can be expensive, depending on the standard. It is not necessary to have the best performances for all the blocks, because it can cost in terms of area and consumption. So, the designer can optimize only the most sensitive blocks in order to relax the others blocks of the receiver. To limit the set of solutions to only feasible solutions, the achievable

range was defined for each block parameter, depending on design experience of the state of the art (see table 2.10).

After optimisation, a Pareto front was obtained as is shown in figure 2.7. This means that no single solution is dominated by another. All these solutions optimize both cost functions simultaneously and can be refined or filtered taking into account the reality of each design (e.g., keep only the solutions that have a minimum noise figure for the low noise amplifier and a maximum linearity for the mixer).

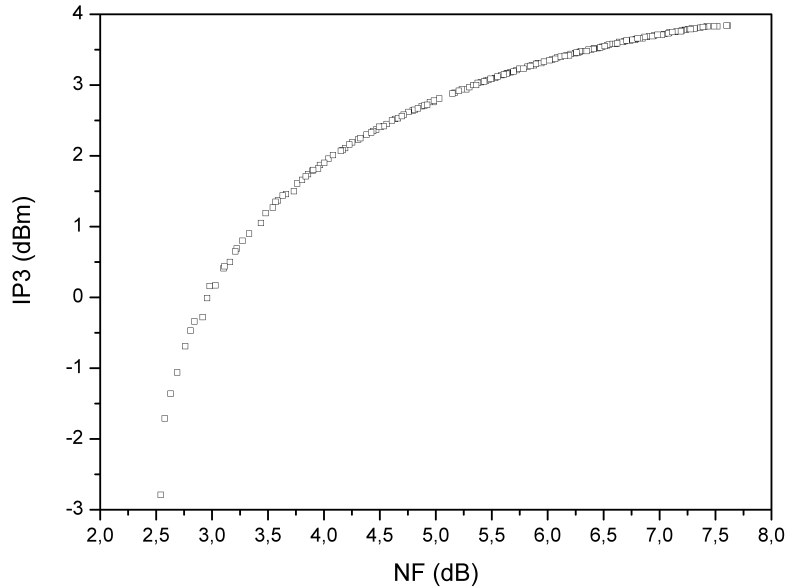


Figure 2.7: Pareto front of achievable solutions.

Table 2.11 shows some practical results obtained with this method. The solutions have been filtered to show the maximum total $IP3$ and the minimum total noise figure. In this case, the solution for the minimum total noise figure can be used for this standard. However, the solution for the maximum total $IP3$ cannot be used with this standard due to the total noise figure, but it is possible to filter other solutions.

In all the cases obtained with this method, the NF of the low noise amplifier tends to be the lowest possible in order to reduce the constraints of the other blocks.

This method is reusable with the newly designed blocks. For example, if there is

a new block designed, it is possible to use the parameters of this block as an input requirement for the method. Therefore, it is possible to obtain a new set of feasible solutions improving the results. This step can be repeated sequentially for different blocks with the purpose of always obtaining the best solutions for the other blocks.

	$IIP3_{Totalmax}$	$NF_{Totalmin}$
NF_{Total} (dB)	7.60	2.54
$IIP3_{Total}$ (dBm)	3.83	-2.78
G_{LNA} (dB)	7.57	8.72
G_{MIX} (dB)	3.49	16.50
G_{CF} (dB)	-1.5	-1.5
G_{AGC} (dB)	22.44	25.1
G_{AAF} (dB)	-1.5	-1.5
NF_{LNA} (dB)	1.25	1.1
NF_{MIX} (dB)	6.77	5.61
NF_{CF} (dB)	1.5	1.5
NF_{AGC} (dB)	15.42	15.55
NF_{AAF} (dB)	1.5	1.5
$IIP3_{LNA}$ (dBm)	4.98	4.78
$IIP3_{MIX}$ (dBm)	18	12.61
$IIP3_{CF}$ (dBm)	19.93	19.72
$IIP3_{AGC}$ (dBm)	18.22	16.46
$IIP3_{AAF}$ (dBm)	21.94	21.8

TABLE 2.11: SPECIFICATIONS OF EACH BLOCK

2.4 Conclusion

In this chapter, a brief introduction of the standard was given. After this, a zero- IF front-end architecture was chosen and the specifications for this architecture were obtained with a system analysis. The application of a genetic algorithm optimisation method for an optimal distribution of the parameters for the RF receiver for the given architecture was presented. This method has been applied to the $DVB-SH$ standard, optimizing system constraints such as noise figure and total third order distortion.

RF front-ends for a DVB-SH receiver

3.1 Introduction

This chapter deals with the design of three *RF* front-ends for a *DVB-SH* receiver (2.17-2.20 GHz). A direct conversion to zero-*IF* front-end architecture has been selected for this work. As was explained in the previous chapter, the simplicity of this architecture, due to the lesser amount of components, causes two important consequences: the reduction of the size and the cost of the receiver. This chapter begins with a description of the used technology.

3.2 Description of the UMC 90 nm technology

United Microelectronics Corporation (*UMC*)[24][25] was founded in 1980 as Taiwan's first semiconductor company. It is a leading global semiconductor foundry that provides advanced technology and manufacturing services for applications spanning every major sector of the Integrated Circuits industry. *UMC* has been shipping customer products based on its 90 nm process since March of 2003. Currently, *UMC* is in volume production for a wide range of 90 nm products from multiple customers. *UMC* 90 nm technology meets a broad range of market sectors, including wireless *RF*, baseband, high speed graphics and *FPGAs*.

UMC 90 nm includes multiple transistor options, design flows and tools, Intellectual Property *IP* solutions, Design For Manufacturability (*DFM*) resources, fast yield feedback service, and advanced packaging options. *UMC* 90 nm *SoC* solution has a flexible technology design platform. There are a variety of process device op-

tions optimized for their specific application (see figure 3.1), such as High Speed or Low Leakage transistors.

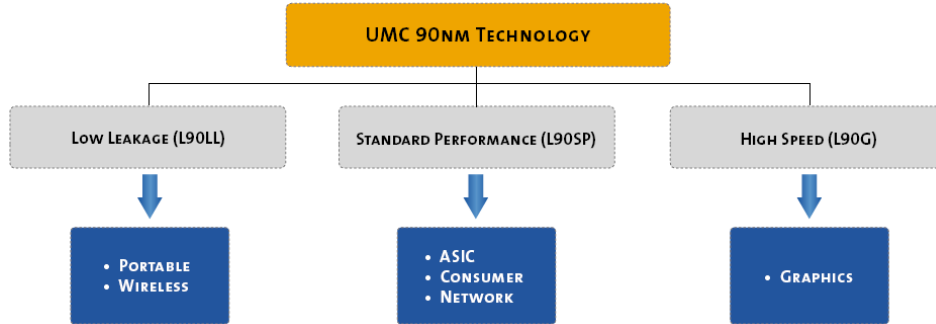


Figure 3.1: Applications of the UMC 90 nm technology (extracted from [25]).

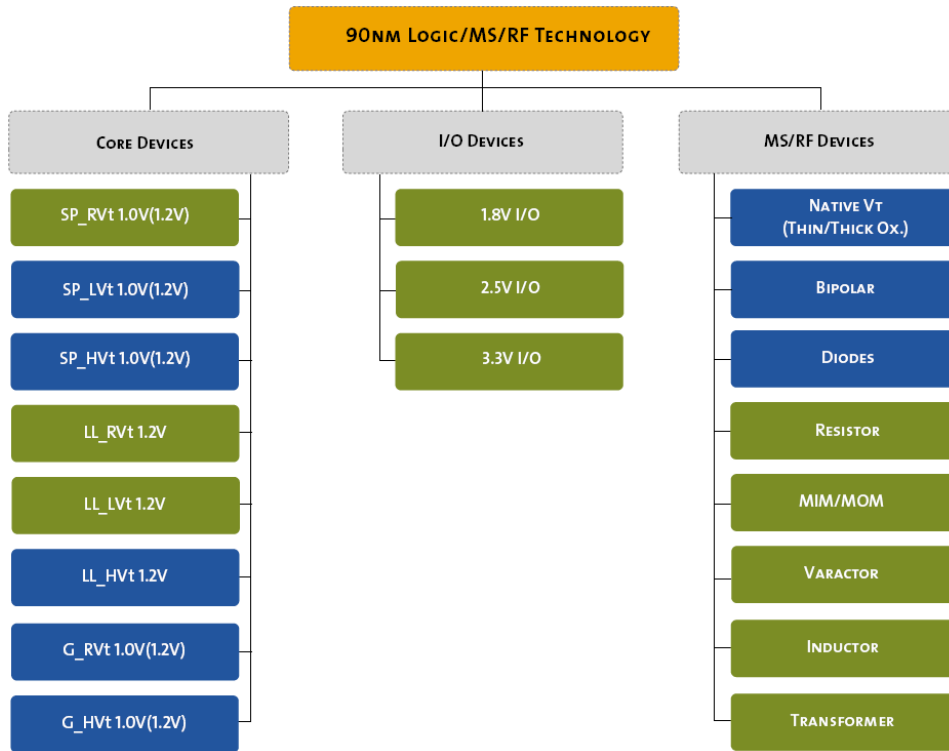


Figure 3.2: 90 nm Logic/MS/RF devices (extracted from [25]).

The *MS/RF* (Mixed Signal/Radiofrequency) devices were used to implement the developed circuits in this research. The *MS/RF* devices (see figure 3.2) have bipolar transistors, *MOSFETs*, diodes, resistors, *MIM/MOM* capacitors, varac-

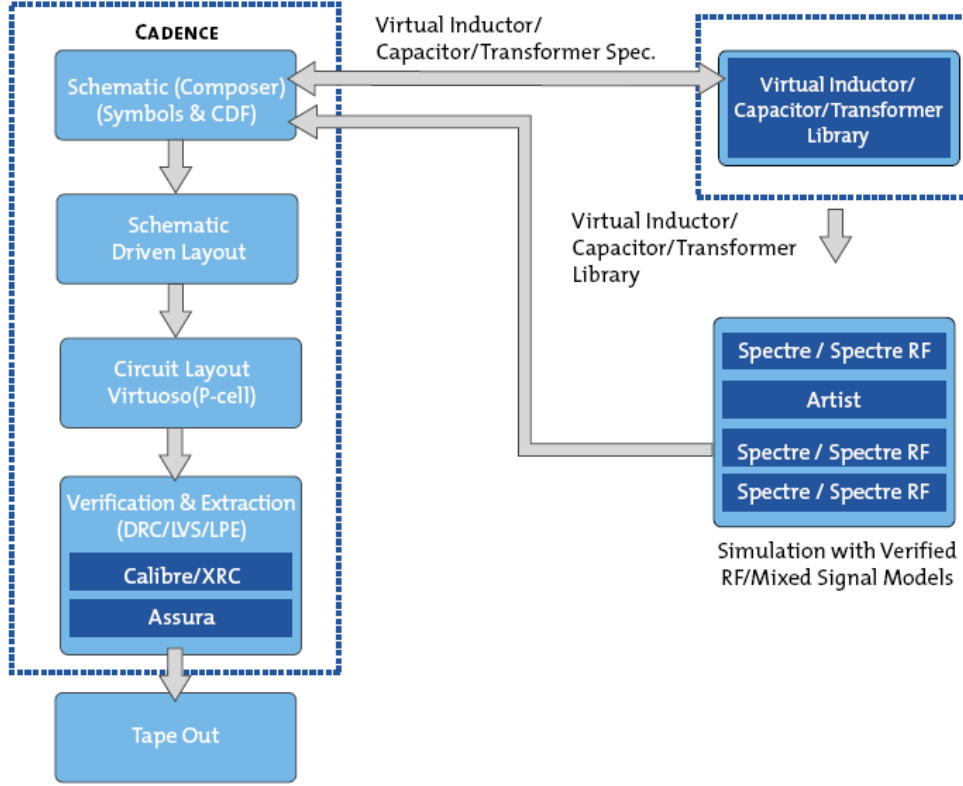


Figure 3.3: MS/RF design flow and FDK (extracted from [25]).

tors, inductors and transformers. The *FDK* (Foundry Design Kit) offers 27 different metal options [26]. Each metal option defines the layers of metal to be used. The chosen metal option is Option 13, which uses 9 levels of metal layers and one poly (1P9M).

The *FDK* provides an automatic design environment (see figure 3.3). The methodology provides access to circuit-level design and simulation, circuit layout, and layout verification with accurate *RF* device models. *UMC* has an optimum inductor finder (*OIF*), an optimum capacitor finder (*OCF*) and an optimum transformer finder (*OTF*) in the *FDK* package [27]. These optimum finders give the ability to quickly access a large library of inductors, capacitors and transformers. It also allows the performance optimisation of inductors, capacitors and transformers through just a few simple steps with a user interface.

Figure 3.4 shows the *EDA* supported tools for the design of integrated circuits. In this work, the software and the *FDK* used were:

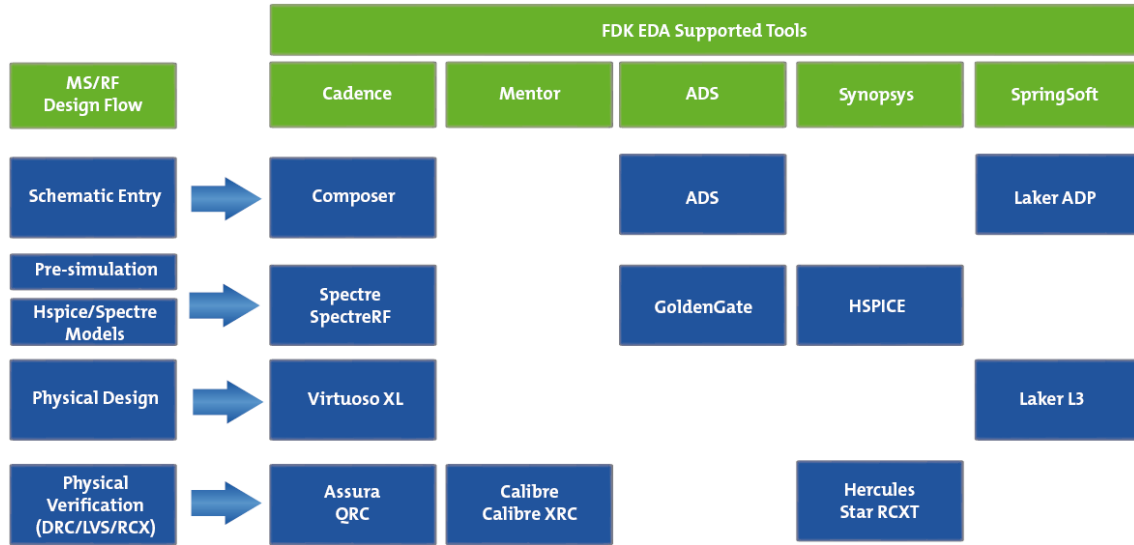


Figure 3.4: Analogue design methodology (extracted from [25]).

- Cadence, Custom *IC* Design Tools, Virtuoso ® Front Back Design Environment 5.10.41_USR5.90.69 [28][29].
- Assura 3.2 [28].
- Mentor Graphics Corporation, Calibre Skill Interface v2008.2_33.26 [30].
- Agilent Technologies, Advanced Design System (*ADS*) 2009 Update 1 [31].
- *UMC* 90 nm fcdk_B14_PB and fcdk_B15_PB [24][25][26][27].

3.3 Receiver 1

The circuit described in this section is composed of a cascode low noise amplifier (*LNA*), a single to differential converter and a differential double balanced Gilbert mixer.

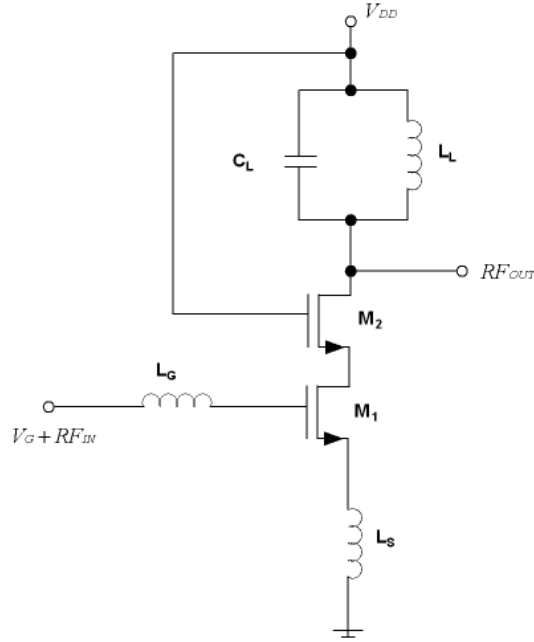


Figure 3.5: Narrow band low noise amplifier.

3.3.1 Circuits analysis

3.3.1.1 Low noise amplifier

Figure 3.5 shows the typical schematic of a narrow band low noise amplifier (*LNA*) [23][32][33][34][35][36][37][38]. The cascode low noise amplifier consists of a common source configuration (M_1) followed by a common gate configuration (M_2) as output stage. The main difference between the cascode amplifier and the common source amplifier is the bandwidth, being higher in the cascode configuration. Also, the cascode stage is used to improve input-output isolation and reduce the Miller effect.

The resonant circuit formed by L_L and C_L is the load of the cascode stage. This permits a high gain with a low voltage supply. The tank resonant frequency is adjusted to be the frequency of interest (2.17-2.2 GHz). The resonant frequency is given by

$$f \approx \frac{1}{2\pi\sqrt{L_L C_L}} \quad (3.1)$$

where L_L and C_L are the inductance and the capacitance of the tank circuit.

The inductive source degeneration is used for input matching. It consists of

introducing a series inductance (L_S) at the source as is shown in figure 3.5. L_S changes the real part of the input impedance, and to modify the imaginary part another inductor L_G is introduced at the gate as presented in figure 3.5.

The input impedance of the amplifier with inductive degeneration is given by

$$Z_{IN} = g_m \frac{L_S}{C_{gs}} + \frac{1}{sC_{gs}} + s(L_G + L_S) \quad (3.2)$$

where g_m is the transconductance of $M1$ and C_{gs} is the gate-source capacitance of $M1$.

To obtain a 50Ω input impedance, the real part should be equal to 50Ω ,

$$\frac{g_m}{C_{gs}} L_S = R_S = 50 \Omega \quad (3.3)$$

and the imaginary part should be zero at the frequency of interest (between 2.17-2.2 GHz).

$$\frac{1}{sC_{gs}} + s(L_G + L_S) = 0 \quad (3.4)$$

The quality factor of the RLC input circuit of the amplifier is given by

$$Q = \frac{\sqrt{(L_S + L_G)/C_{gs}}}{R_S} \quad (3.5)$$

The noise factor is approximately the same as the common source amplifier due to the noise contribution from the cascode is small. So the input transistor (M_1) is the main contributor to the circuit noise and its minimum noise factor is given by [23][32]

$$F_{min} \approx 1 + \frac{R_g}{R_S} + \left(\frac{\gamma}{\alpha}\right) \left(\frac{w}{w_T}\right)^2 g_m R_S \quad (3.6)$$

where γ is the excess noise (typically 1-2 for short-channel $NMOS$ devices), α is g_m/g_{d0} , g_{d0} is the drain-source conductance at zero V_{DS} , R_g is the gate impedance, R_S is the output impedance of the input source, w is the working frequency, w_T is the maximum frequency of the technology and g_m is the transconductance of M_1 .

A method for simultaneously matching the LNA for power and noise was used [39][40]. It is outlined in the following steps:

1. Find the current density in the process that will provide the lowest minimum NF , and set the current density in the transistor to be this value regardless of the size of the device.
2. Once the current density is known, the width of the transistor (keeping length constant) is chosen so that the real part of the optimum source impedance for lowest noise figure is equal to $50\ \Omega$. The current must be adjusted in this step to keep the current density at its optimal level determined in step 1.
3. Size L_S , the source degeneration inductor, such that the real part of the input impedance is $50\ \Omega$. The use of inductive degeneration will tend to increase the real part of the input impedance.
4. The last step in the matching is simply to place an inductor in series with the gate (L_G). Without this inductor, the input impedance is capacitive due to C_{GS} . This inductor is sized so that it resonates with L_G and C_{GS} at the center frequency of the design. This makes the resultant input impedance equal to $50\ \Omega$ with no additional reactive component.

It is necessary to pay special attention when the calculation for the minimum noise figure is carried out, because it is possible to obtain values of the inductances L_G and L_S that use an extremely large area or that cannot be fabricated. In order to solve this problem it is possible to modify the current density so that can be fabricated by the foundry with this technology. The size of the transistor M_2 has to be chosen taking into account the input impedance of the next block, in this case, the single to differential converter.

3.3.1.2 Single to differential converter

The single to differential converter generates a pair of differential output signals from a single input (see figure 3.6). The differential pair configuration is a widely used building block in analogue integrated circuit design because it is less sensitive to noise and interference than single-ended circuits. It is well suited for *IC* fabrication with *CMOS* because it is possible to match the transistors.

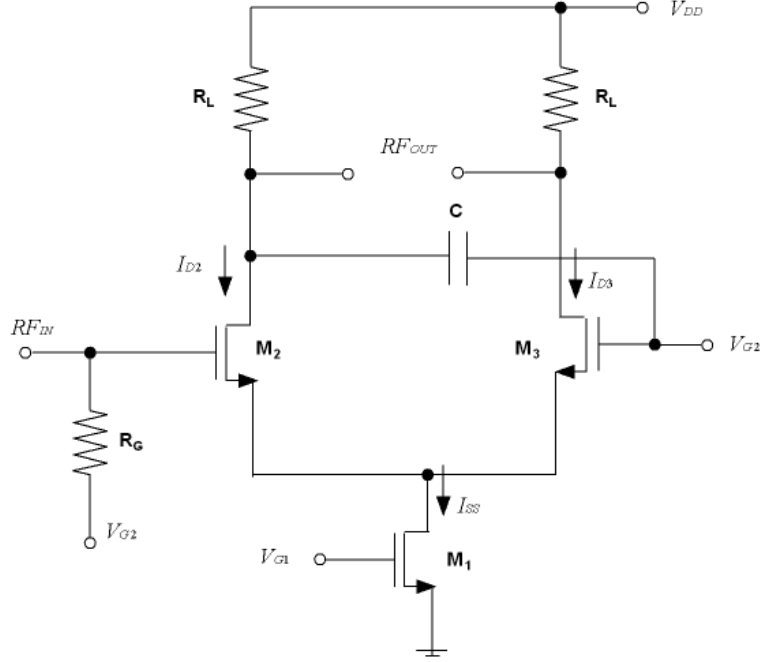


Figure 3.6: Single to differential converter.

The current is given by

$$I_{D2} - I_{D3} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{IN+} - V_{IN-}) \sqrt{\frac{4I_{SS}}{\mu_n C_{OX} \frac{W}{L}} - (V_{IN+} - V_{IN-})^2} \quad (3.7)$$

where I_{D2} and I_{D3} are the drain current of M_2 and M_3 , μ_n is the mobility of the electrons, C_{OX} is the oxide capacitance per unit area, W and L are the width and the length of transistors M_2 and M_3 and I_{SS} is the current of transistor M_1 .

The small-signal differential voltage gain of the circuit in the equilibrium condition is given by

$$|A_V| = \sqrt{\mu_n C_{OX} \frac{W}{L} I_{SS} R_D} \quad (3.8)$$

Due to the parasitics, a series of errors appear between the phases at working frequencies [41][42][43]. In order to reduce the magnitude and phase errors for the conventional converter, a bypass capacitor C was added. With this capacitor, the circuit has balanced amplitude and phase without additional power consumption.

The base of mixing relies on the multiplication of two signals, the LO signal and an incoming information signal, the RF signal. The voltage of the RF signal is amplified and converted into a current by a driver stage (M_2 - M_3). The LO signal is used to steer all of the current from one transistor to the other at the LO switching stage (M_4 to M_7). Finally, the IF output voltage is created due to the current through the load resistors (R_L).

The conversion gain of the mixer is given by

$$G_C \cong \frac{2}{\pi} \left(\frac{\sin(\pi f_{LO} t_S)}{\pi f_{LO} t_S} \right) g_{mRF} \quad (3.9)$$

where f_{LO} is the frequency of the local oscillator, t_S is the ON and OFF switching times for the local oscillator signal and g_{mRF} is the transconductance of RF transistors M_2 and M_3 .

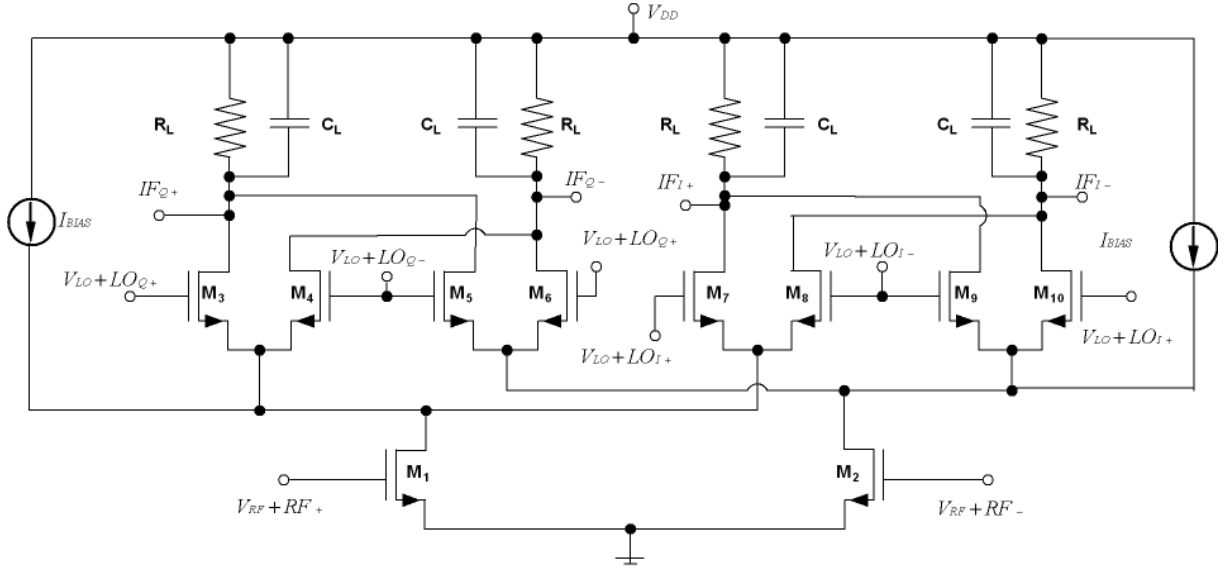


Figure 3.8: Double balanced Gilbert mixer with current reuse.

Figure 3.8 shows the double balanced Gilbert mixer proposed for this receiver which uses two Gilbert cells (one for the phase and another for the quadrature). There are several factors which affect mixer performance, such as gain, linearity, power and noise. Adjusting circuitry for the purpose of optimizing a particular performance parameter may serve to unintentionally degrade the performance of

the other parameters. It is important to monitor all of the performance parameters throughout the design process. In general, the gain, $IIP3$ and NF depend on the area of the transconductor's transistors and the biasing current. The transistors M_1 and M_2 have to be chosen in order to match the input impedance of the mixer with the output impedance of the single to differential converter and at the same time achieving a low noise figure and a high gain. The bias current, the values of the load impedances and the size of the transistors M_3 - M_{10} have to be chosen to obtain the best possible linearity.

To improve the linearity, additional current (I_{BIAS}) is injected into the mixer transconductors [50][51][52][53][54][55]. The gain and the $IP3$ of the mixer depend on the current that passes through the transconductor. Although it seems that by increasing the bias current that the gain and the $IP3$ will increase, in fact it does not always happen. If the current increases, the voltage of the load of the mixer increases and the voltage of the transistors M_3 - M_{10} will be reduced. As a consequence, the output signal will be compressed for low levels of the input signal, reducing the $IP3$. The design was focused on providing high gain and linearity with a low noise figure and low power consumption.

3.3.2 Experimental results

Figures 3.9 and 3.10 show the layout and a photograph of the RF front-end composed of the low noise amplifier, the single to differential converter and the differential double balanced Gilbert mixer.

At the time of designing the layout, a series of rules that depends on the technology have been taken into account. Most of these rules are related to the distance between the different elements and angles.

One of the most important aspects refers to the current density that each element can support. For example, to avoid the destruction of the metal it is necessary to choose the width of the metal in order to permit the circulation of current. The path cannot be too oversized because it increases the parasitics. As a consequence, it can negatively influence the performance of the circuit.

Also, other series of aspects have been taken into account to obtain an optimum performance of the designed circuit. These are focused on minimising the influence of the possible dispersions of the parameters of the circuit components. The most

important are listed below:

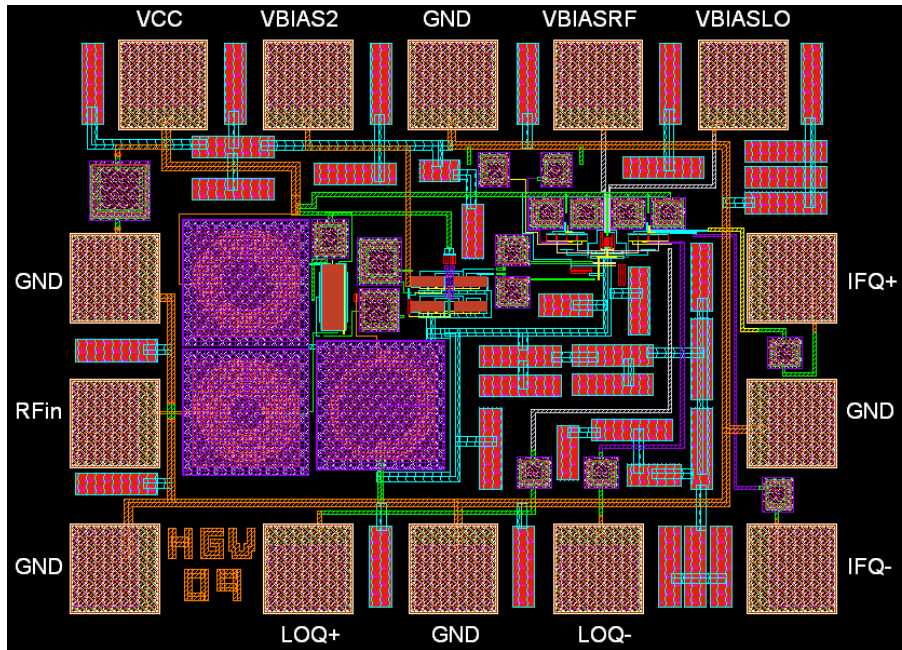


Figure 3.9: Layout of the DVB-SH Receiver 1.

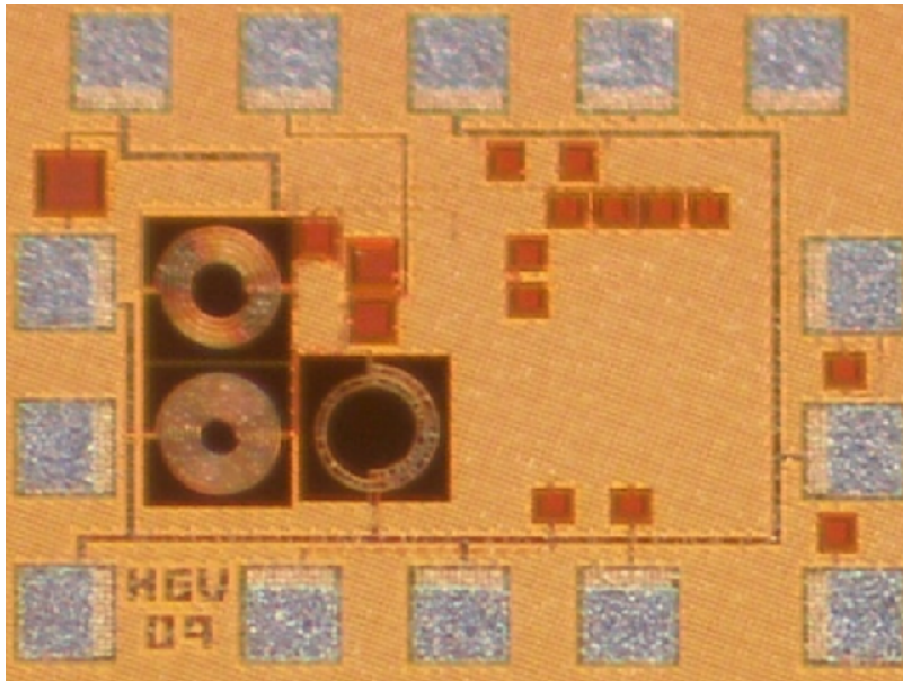


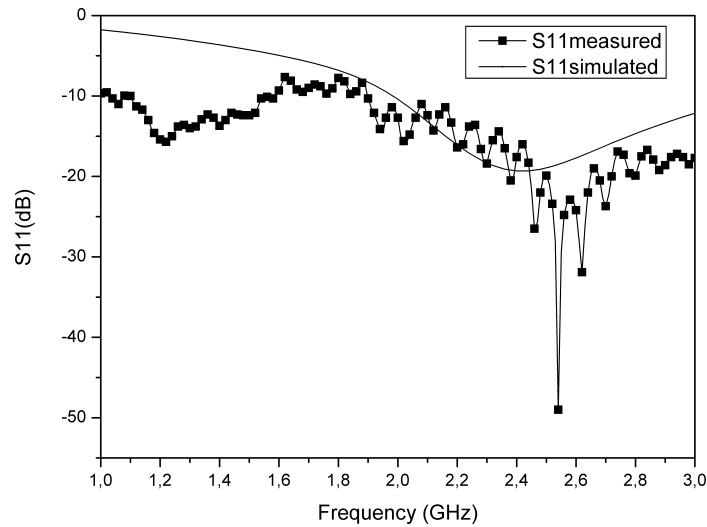
Figure 3.10: Photograph of the DVB-SH Receiver 1.

- Inductances have to be placed as close together as possible to minimise the effect of series resistance.
- Do not use excessively long paths because they introduce capacitance and resistance parasitics. When it is not possible to avoid long paths the top metals have been used.
- Place substrate contacts in all the free space except inside the inductors. It avoids unwanted currents interfering in the performance of the circuit (they are derived to the chip substrate).
- In order to decouple the noise coming from the supply, a capacitor has been added between the supply and ground.
- Use the common centroid technique.
- Try to place the differential circuits as symmetrical as possible.
- Use guard rings.
- Use dummy structures to reduce the tolerance of the components.
- Avoid the use of polysilice.
- Use multiple-finger configuration for the transistors.

The circuit was designed to be measured on wafer using a *Cascade SUMMIT* 9000 probe station. The chip area, excluding the test pads, is 0.52mm x 0.28mm (including the test pads, it is 0.79mm x 0.59mm). The circuit was simulated using *ADS* and *CADENCE* and the layout verification and parasitic extraction were made with *ASSURA* and *CALIBRE*. The results of the simulation and measurements are summarized in table 3.1 and discussed below.

Parameters	Simulation	Measurements
RF frequency(GHz)	2.17-2.2	
Architecture	zero-IF	
Channel bandwidth(MHz)	8	
S_{11} (dB)	-14.9	-12
Conversion gain(dB)	16.5	15.5
NF@4MHz(dB)	2.24	-
Output P_{1dB} (dBm)	0.3	1.92
V_{CC} (V)	1.2	
P_{DC} (mW)	21.7	22
Area(mm x mm)	0.52 x 0.28	

TABLE 3.1: RF FRONT-END 1 RESULTS

Figure 3.11: Input return loss (S_{11}).

As seen in figure 3.11 the receiver has a S_{11} of -12 dB in the band. The minimum peak of S_{11} is at 2.4 GHz in simulations, while in measurements it has been shifted to 2.53 GHz due to parasitics not taken into account in simulation.

Conversion gain of the receiver is 15.5 dB as shown in figure 3.12. Unfortunately, the noise figure could not be measured due to the lack of measuring equipment.

Thus, the simulated value is a good indicator of the actual performance. The noise figure simulation results are shown in figure 3.13, the value in the band is less than 2.24 dB ($IF=4\text{MHz}$).

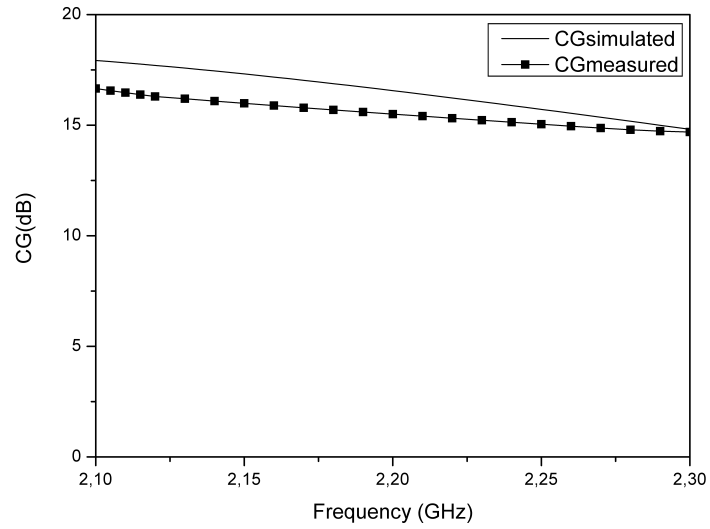


Figure 3.12: Conversion gain.

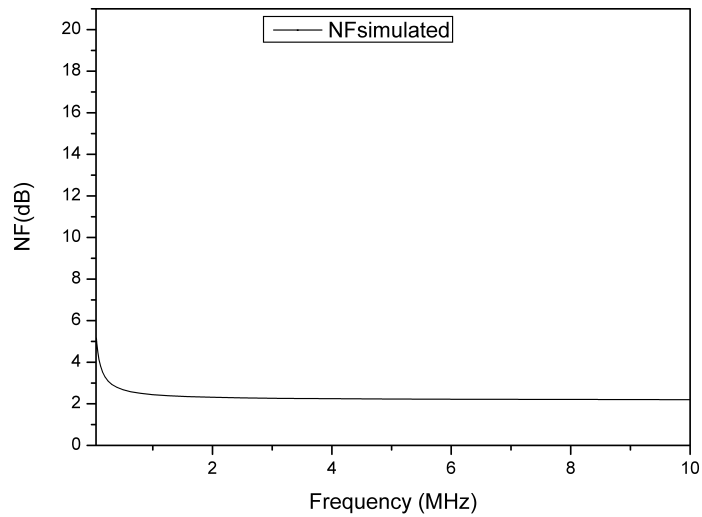


Figure 3.13: Noise figure.

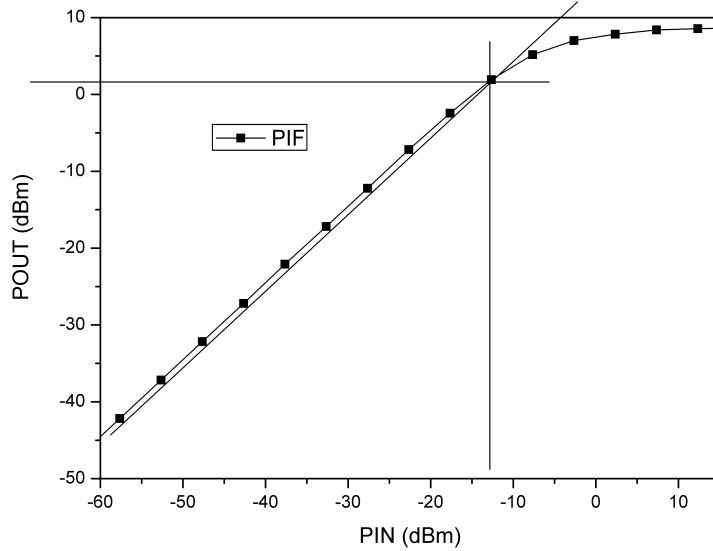


Figure 3.14: Measured P_{1dB} at 2.185 GHz.

The linearity of the receiver was evaluated with the P_{1dB} test. The measurements are plotted in figure 3.14. The test was performed at 2.185 GHz and a P_{1dB} of 1.92 dBm was obtained.

3.4 Receiver 2

The circuit described in this section is composed of a resistive feedback low noise amplifier and a double balanced Gilbert mixer.

3.4.1 Circuits analysis

3.4.1.1 Low noise amplifier

Figure 3.15 shows the schematic of a common feedback low noise amplifier [56][57][58][59][60]. The voltage gain of the amplifier is approximately given by

$$A_V = \frac{R_L(1 - g_{m1}R_F)}{R_F + R_L} \quad (3.10)$$

where g_{m1} is the transconductance of M_1 , R_F is the feedback resistance and R_L is the load resistance.

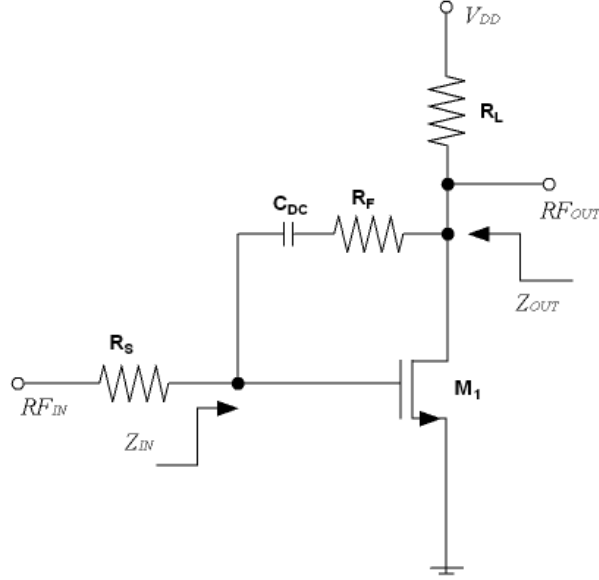


Figure 3.15: Feedback low noise amplifier.

The input and output impedances are respectively given by

$$Z_{IN} = \frac{R_F + R_L}{1 - g_{m1}R_L} // \frac{1}{sC_{gs1}} \quad (3.11)$$

and

$$Z_{OUT} = R_L // \frac{R_S + R_F}{1 - g_{m1}R_S} \quad (3.12)$$

The noise factor of the amplifier is given by

$$F = 1 + \frac{2}{3} \frac{1}{g_{m1}R_S} \left(\frac{1}{R_S} + \frac{R_S}{R_F^2} \right) + \left(\frac{f}{f_T} \right)^2 \frac{2}{3} g_{m1}R_S + \frac{R_S}{R_F} \quad (3.13)$$

where f_T is the cut-off frequency of M_1 .

In this section it is proposed to combine a resistive loaded low noise amplifier, with the conventional resistive shunt-feedback, in order to achieve a low power and low noise for the amplifier. Figure 3.16 shows the proposed topology. As it can be seen, this circuit uses only one inductor reducing the required chip area.

The low noise amplifier consists of two stages: the input stage, composed of two

transistors (M_1 and M_2) and the inductor (L_G), and the output stage, which is the load resistance (R_L).

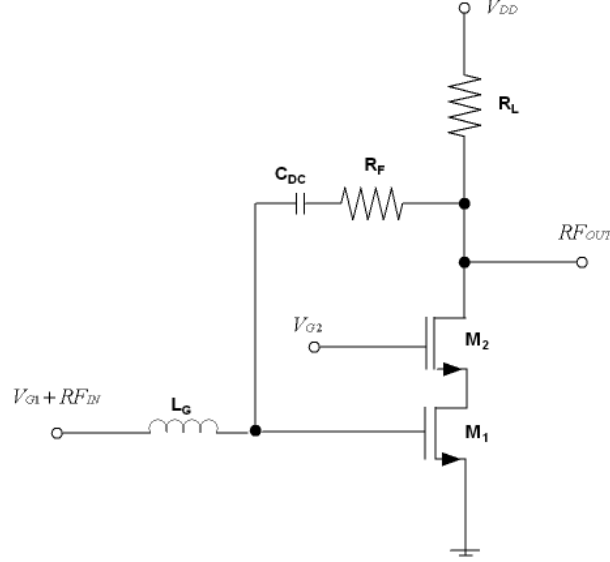


Figure 3.16: Feedback cascode low noise amplifier.

The input stage is a cascode for a number of reasons. The Miller effect tends to substantially decrease the input impedance, making it difficult to match the input. In addition to mitigating the Miller effect, the use of a cascode improves the *LNA*'s reverse isolation. It is important in the present application in order to allow suppressing local oscillator feed-through from the mixer back to the *LNA*'s *RF* input. Finally, the inclusion of the cascode device M_2 allows the gain variation through the V_{G2} bias voltage. The final values of the transistors have been chosen for a low noise figure and a high gain as was explained for the cascode low noise amplifier.

Through resistive shunt-feedback it is possible to match the input and the output achieving an excellent trade-off between conjugate matching and minimum noise. The first step to doing this is to select the values of R_L and R_F in order to match the real part of the input and output impedances. The imaginary part of the input impedance is then matched using inductor L_G .

3.4.1.2 Mixer

The double balanced Gilbert mixer is used again in this receiver (figure 3.17). The number of probes for measuring the circuit on wafer are limited and for this reason, while Receiver 1 had two Gilbert cells in this case Receiver 2 has only one Gilbert cell. The size of the transistors and the value of the DC currents were optimized, so that they provide the best trade-off between linearity, noise figure, conversion gain, power consumption, and bandwidth for the mixer.

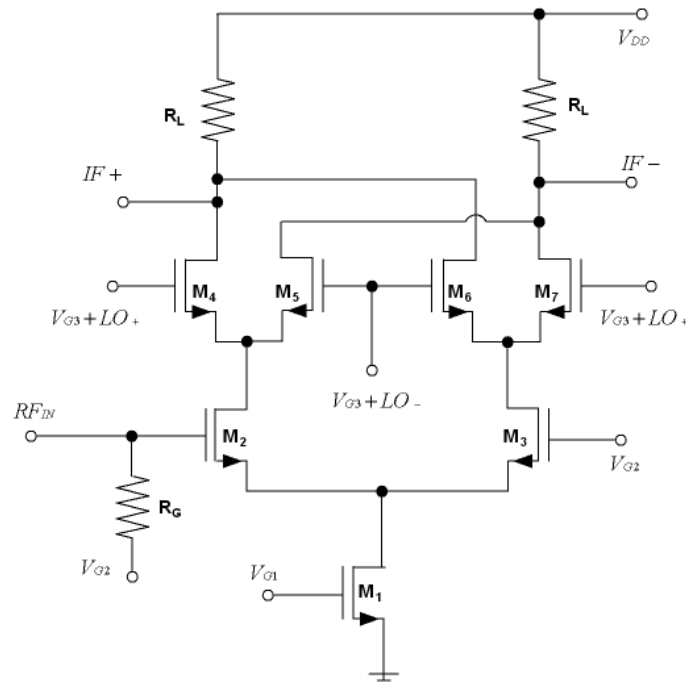


Figure 3.17: Double balanced Gilbert mixer.

3.4.2 Experimental results

Figures 3.18 and 3.19 show the layout and a photograph of the RF front-end composed of the low noise amplifier and the double balanced Gilbert mixer.

For the design of the layout of this circuit the same considerations of Receiver 1 have been taken into account. The chip area, excluding the test pads, is 0.475mm x 0.194mm (including the test pads it is 0.79mm x 0.59mm). The simulation and measurement results are summarized in table 3.2 and discussed below.

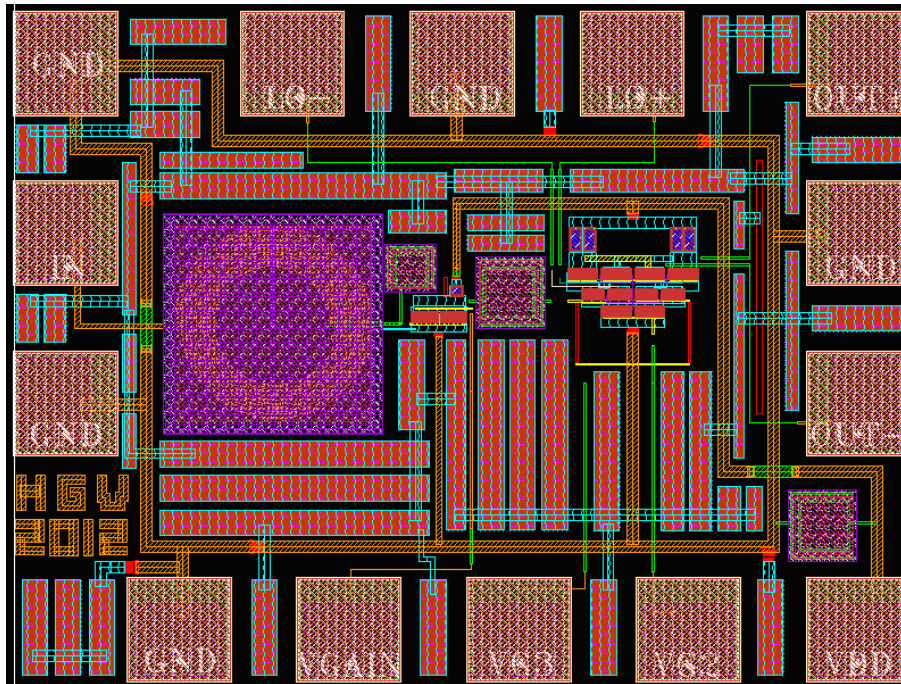


Figure 3.18: Layout of the DVB-SH Receiver 2.

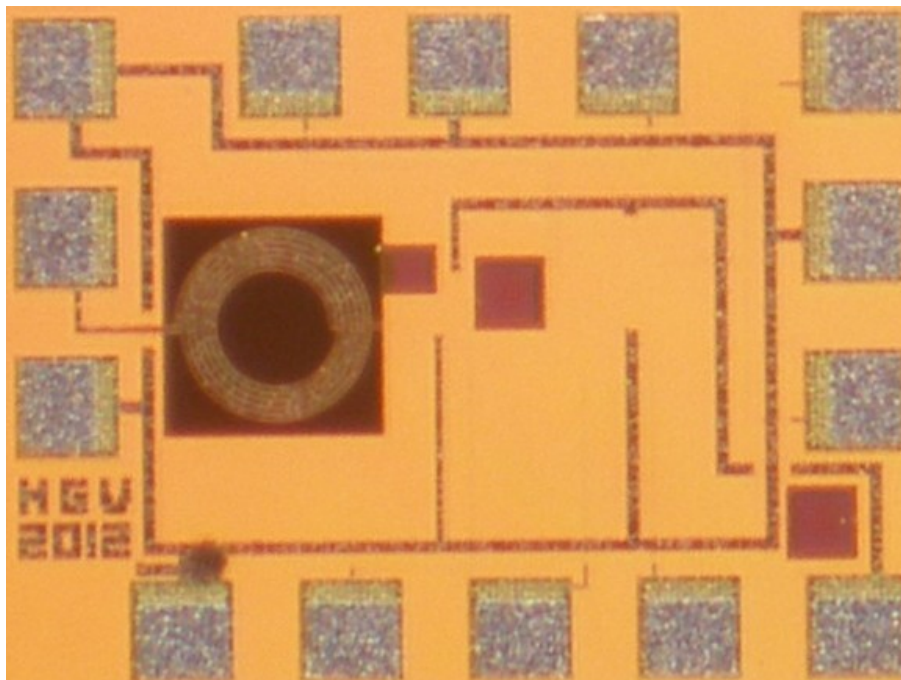
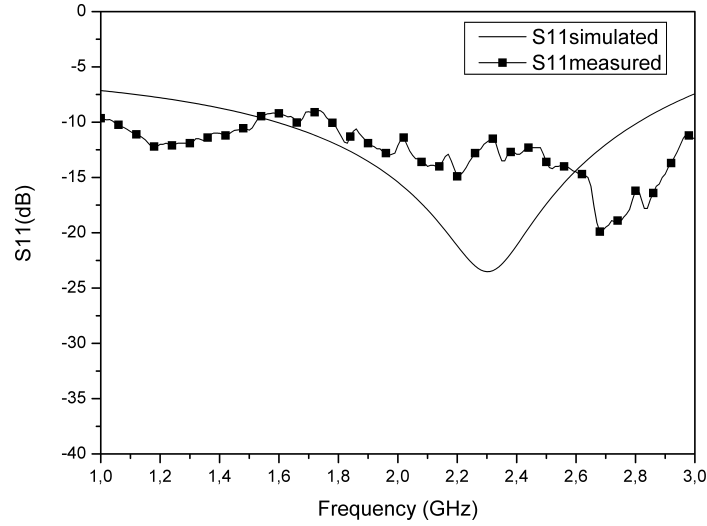


Figure 3.19: Photograph of the DVB-SH Receiver 2.

Parameters	Simulation	Measurements
RF frequency(GHz)	2.17-2.2	
Architecture	zero-IF	
Channel bandwidth(MHz)	8	
S_{11} (dB)	-17.8	-11.9
Conversion gain(dB)	23.8	24.1
NF@4MHz(dB)	2.4	3
Output P_{1dB} (dBm)	-1	-2.2
V_{CC} (V)	1.2	
P_{DC} (mW)	10.2	12.4
Area(mm x mm)	0.475 x 0.194	

TABLE 3.2: RF FRONT-END 2 RESULTS

Figure 3.20 shows the input return loss of the receiver. This receiver has a measured S_{11} in the band of -11.9 dB.

Figure 3.20: Input return loss (S_{11}).

Conversion gain and noise figure are shown in figures 3.21 and 3.22 respectively. The receiver has an in band conversion gain of 24.1 dB and the noise figure is less than 3 dB.

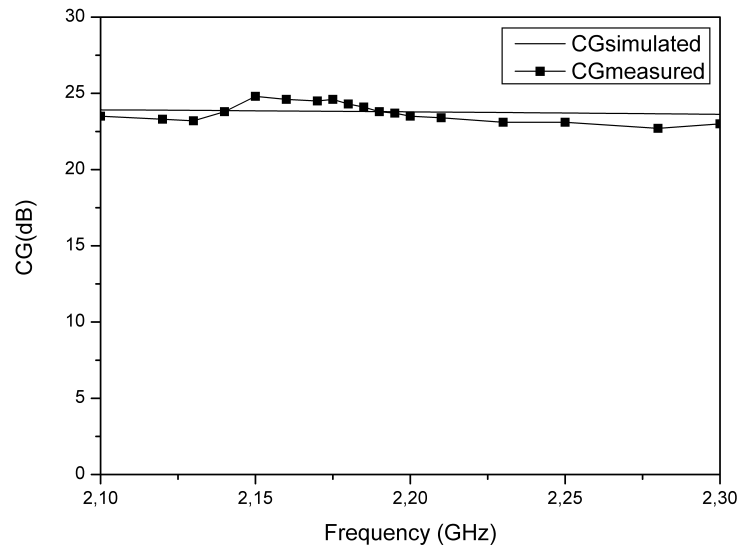


Figure 3.21: Conversion gain.

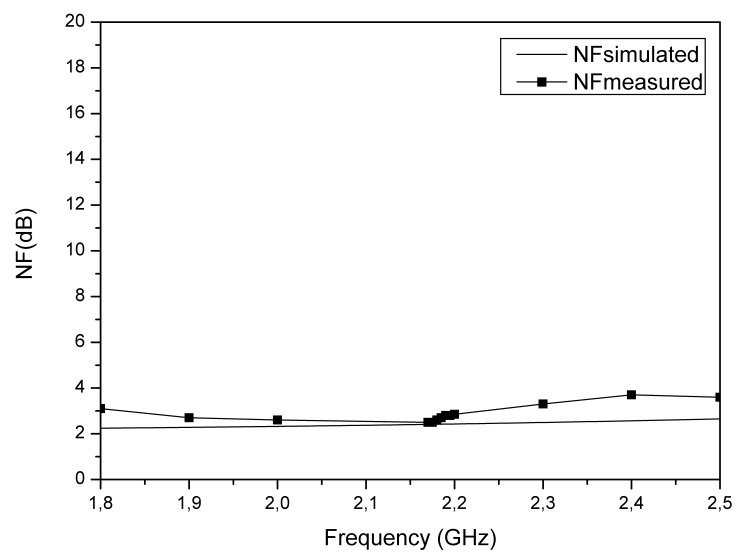


Figure 3.22: Noise figure.

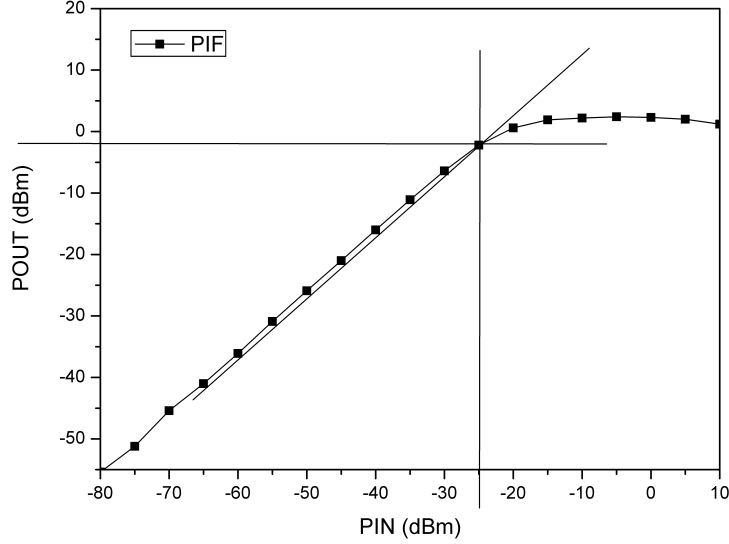


Figure 3.23: Measured P_{1dB} at 2.185 GHz.

The linearity of the receiver was evaluated with the P_{1dB} test. The measurements are plotted in figure 3.23. The test was performed at 2.185 GHz, and an output P_{1dB} of -2.2 dBm was obtained.

3.5 Receiver 3

The main concern for a mobile device design is the power consumption. To address this issue, this work explores the use of current conveyors (CC) to implement the RF front-end.

Current conveyors [61][62][63][64] are active elements with three ports, X , Y and Z , described by:

$$\begin{pmatrix} i_y \\ v_x \\ i_z \end{pmatrix} = \begin{bmatrix} 0 & a & 0 \\ 1 & 0 & 0 \\ 0 & b & 0 \end{bmatrix} \cdot \begin{pmatrix} v_y \\ i_x \\ v_z \end{pmatrix} \quad (3.14)$$

where b characterizes the current transfer from X to Z . For $a = 1$, the circuit is a first generation current conveyor (CCI). It is called a second generation current conveyor ($CCII$) for $a = 0$, and for $a = -1$ the circuit is called third generation

current conveyor (*CCIII*)[65]. With $a = 0$ and $b = 1$, they have unity gain and

$$V_X = V_Y \quad (3.15)$$

$$I_Z = I_X \quad (3.16)$$

Since its first introduction by A. Sedra and K. Smith in 1970 [62], current conveyors have been used as building blocks for analogue circuits for implementing functions like filters, gyrators, impedance converters, oscillators and amplifiers [65][66].

Current conveyors exhibit higher linearity, wider dynamic range and better high frequency performance compared to their voltage mode counterparts, operational amplifiers. For these reasons, in recent years, *CC* circuits have received much attention for their use as *RF* basic building elements [67][68].

The circuit described in this section is composed of a low noise amplifier based on current conveyors with asymmetric input and output, a single to differential converter that generates a pair of differential output signals from a single input and a mixer with differential output followed by two current conveyors in order to obtain a high conversion gain.

3.5.1 Circuits analysis

3.5.1.1 Low noise amplifier

The low noise amplifier based on current conveyors is shown in figure 3.24. This architecture consists of a common gate gain stage (M_1), followed by a source follower stage (M_2). I_{o1} and I_{o2} are *CMOS* current sources used to bias the main transistors [67][68].

The gain is approximately given by

$$G(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{g_{m1}}{g_{m2} + C_T s} \quad (3.17)$$

where g_{m1} and g_{m2} are the transconductances of M_1 and M_2 , respectively, and C_T represents the total parasitic capacitance at the output node. This transfer function presents a single dominant pole frequency, which determines the amplifier bandwidth

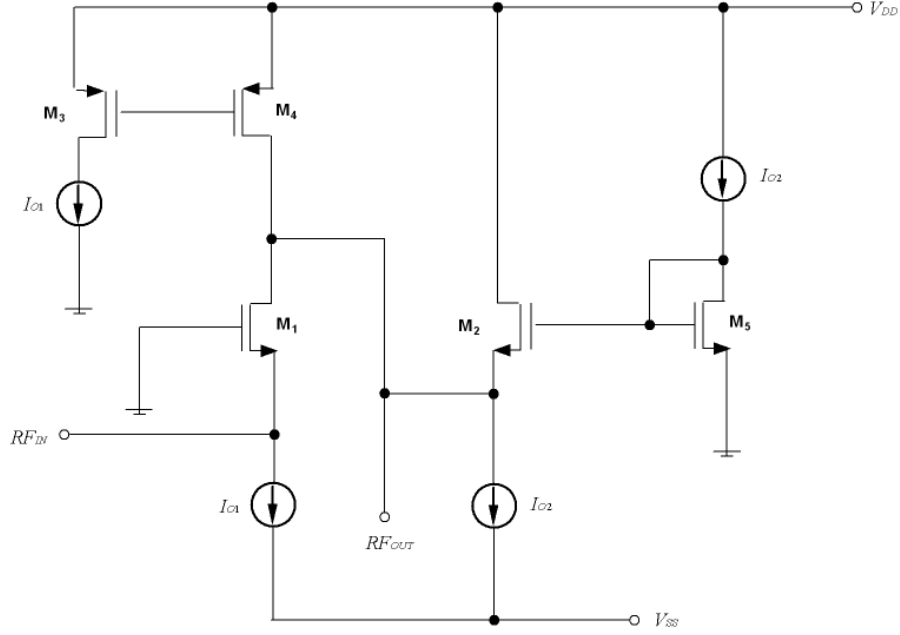


Figure 3.24: Low noise amplifier based on current conveyors.

approximately by

$$f_{3dB} = \frac{g_{m2}}{2\pi C_T} \quad (3.18)$$

The noise factor of the common-gate is approximately given by

$$F = 1 + \gamma \left(1 + \frac{g_{m2}}{g_{m1}} + \frac{g_{m4}}{g_{m1}} \right) \quad (3.19)$$

where γ is the excess noise factor (typically 1-2 for short channel *NMOS* devices) and g_{m4} is the transconductance of M_4 . The input and output impedances at low frequencies can be approximately described as

$$Z_{IN} = \frac{1}{g_{m1}} \quad (3.20)$$

and

$$Z_{OUT} = \frac{1}{g_{m2}} \quad (3.21)$$

Through I_{o1} and I_{o2} , Z_{IN} and Z_{OUT} can be matched to the source and load impedances.

3.5.1.2 Single to differential converter

The single to differential converter used in this receiver is the same one that was used in Receiver 1. This single to differential converter generates a pair of differential output signals from a single input, which have balanced amplitude and phase. This single to differential converter [41][42][43] has a bypass capacitor C to reduce the error between the phases (see figure 3.25). Also, the gain of the circuit can be modified with V_{G1} in order to use it as automatic control gain.

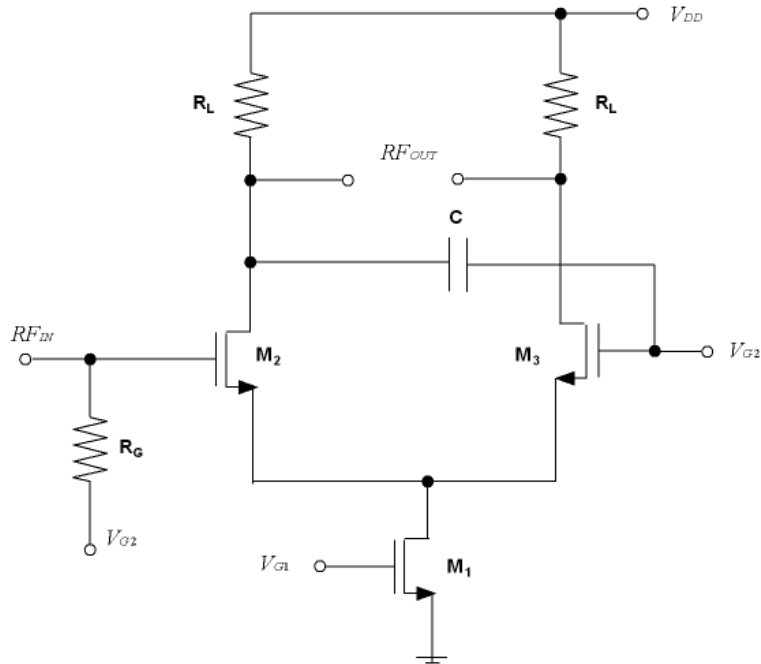


Figure 3.25: Single to differential converter.

3.5.1.3 Mixer

Figure 3.26 shows a potentiometric *MOSFET* mixer with current conveyors connected as a transimpedance amplifier [69][66].

The output currents of the potentiometric *CMOS* mixer can be expressed as:

$$I_{IF+} = \mu C_{OX} \left[(V_{RF+} - V_T)V_{LO+} - \left(\frac{V_{LO+}^2}{2} \right) \right] + \left[(V_{RF-} - V_T)V_{LO-} - \left(\frac{V_{LO-}^2}{2} \right) \right] \quad (3.22)$$

$$I_{IF-} = \mu C_{OX} \left[(V_{RF-} - V_T) V_{LO+} - \left(\frac{V_{LO+}^2}{2} \right) \right] + \left[(V_{RF+} - V_T) V_{LO-} - \left(\frac{V_{LO-}^2}{2} \right) \right] \quad (3.23)$$

where μ is the mobility of charge carrier, C_{OX} is the oxide capacitance per unit area and V_T is the threshold voltage. V_{RF} and V_{LO} are the gate-source and the drain-source voltages, respectively.

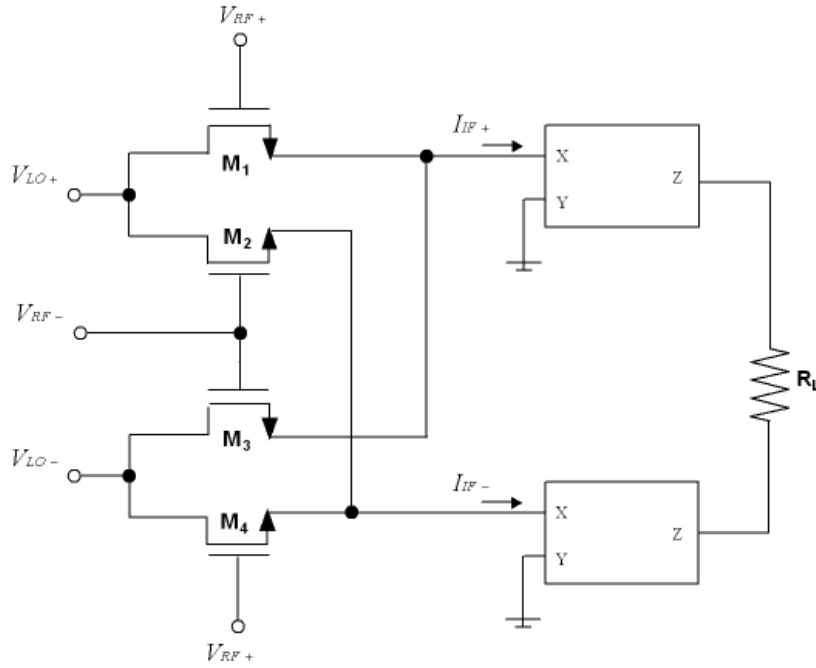


Figure 3.26: Mixer based on current conveyors.

In order to transform the output current into an output voltage, two low power current conveyors configured as transimpedance amplifiers are introduced. The output voltage corresponds to the voltage mixing of RF and LO signals and can be expressed as:

$$V_O = \mu C_{OX} R_L (V_{RF} - V_{LO}) \quad (3.24)$$

As stated above, the current conveyors transform the output switching quad current into a voltage. Figure 3.27 shows the current conveyor schematic. In order to improve the linearity, a class AB output stage (M_4 , M_{14} , M_5 and M_{15}) has been

employed. The core of the current conveyor is composed of M_6 - M_9 , while transistors M_1 - M_3 and M_{10} - M_{13} are used as current sources.

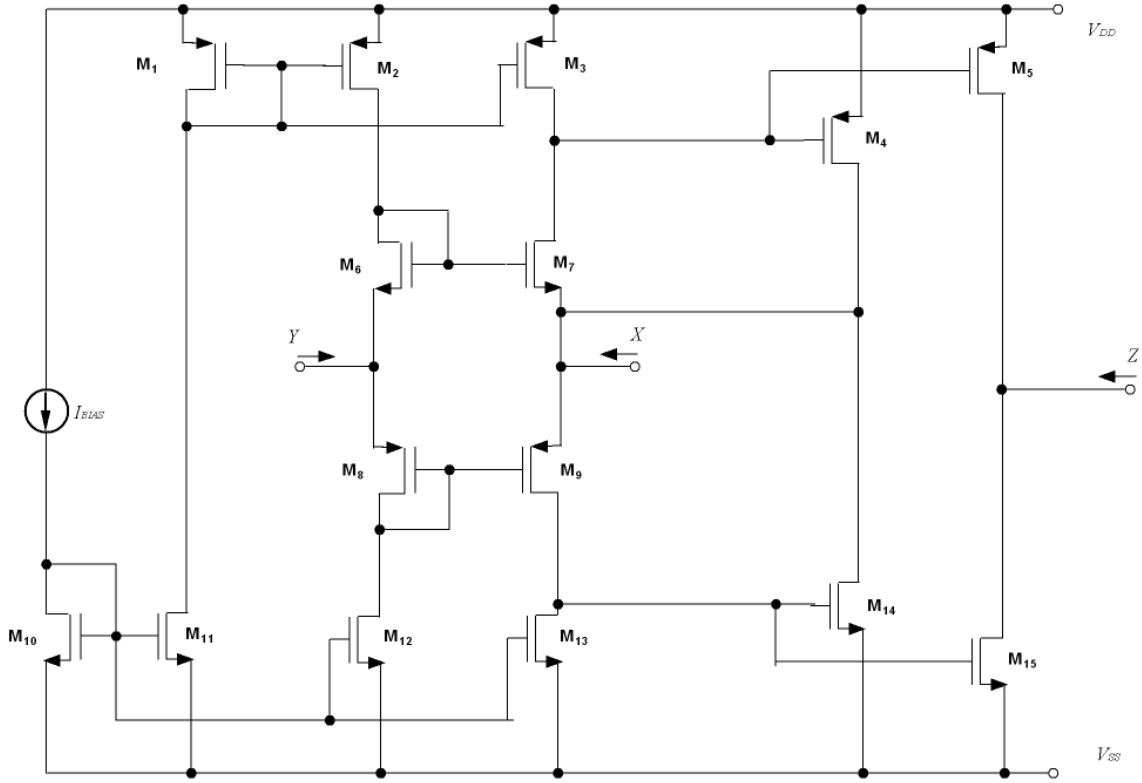


Figure 3.27: Current conveyor schematic.

3.5.2 Experimental results

Figures 3.28 and 3.29 show the layout and a photograph of the *RF* front-end composed of the low noise amplifier based on current conveyors, the single to differential converter and the current conveyors based mixer.

For the design of the layout of this circuit the same considerations of Receiver 1 and Receiver 2 have been taken into account. The chip area, excluding the test pads, is 0.26mm x 0.13mm (including the test pads it is 0.904mm x 0.59mm). The simulation and measurement results are summarized in table 3.3 and discussed below.

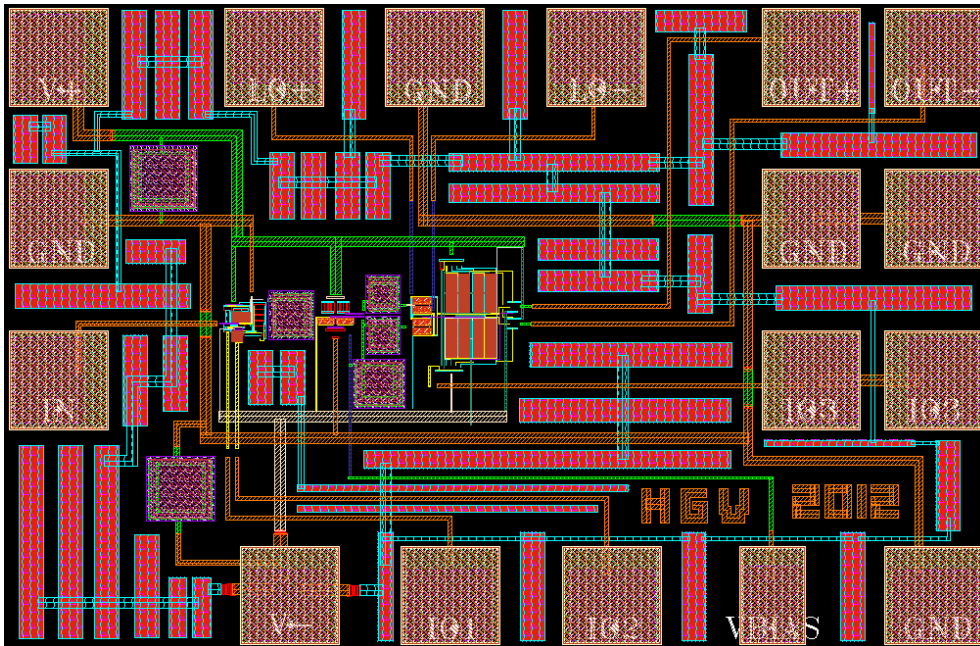


Figure 3.28: Layout of the DVB-SH Receiver 3.

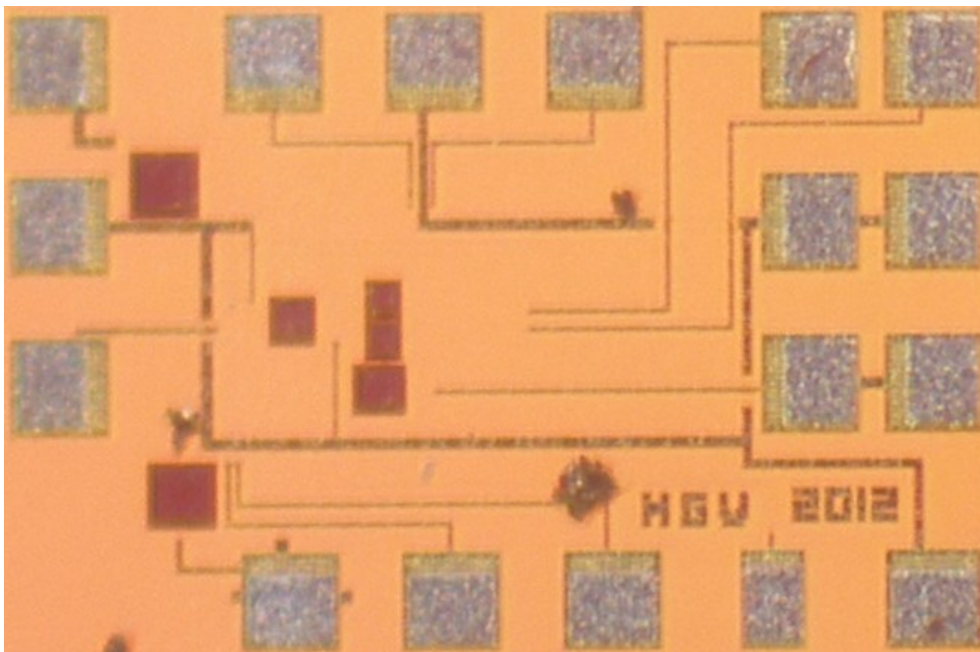
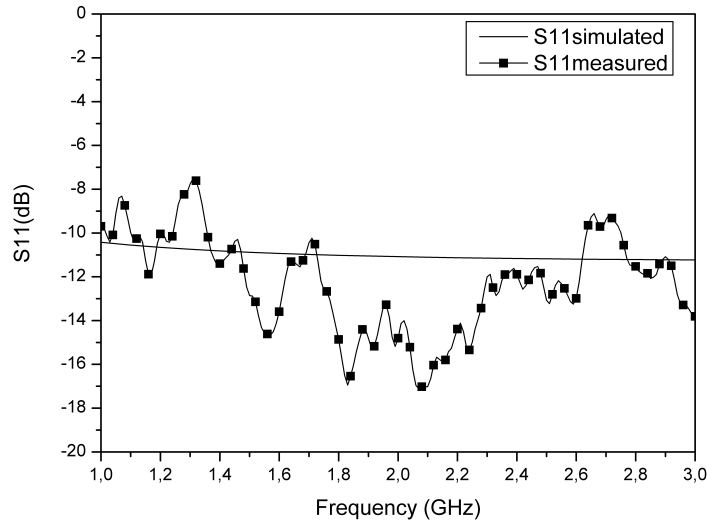


Figure 3.29: Photograph of the DVB-SH Receiver 3.

Parameters	Simulation	Measurements
RF frequency(GHz)		2.17-2.2
Architecture		zero-IF
Channel bandwidth(MHz)		8
S_{11} (dB)	-11.2	-14.3
Conversion gain(dB)	22.7	20.8
NF@4MHz(dB)	14.1	14.5
Output P_{1dB} (dBm)	1.9	-3.9
V_{CC} (V)		± 1.2
P_{DC} (mW)	32.5	28.4
Area(mm x mm)		0.26 x 0.13

TABLE 3.3: RF FRONT-END 3 RESULTS

Figure 3.30 shows the input return loss of the receiver. This receiver has an in band S_{11} of -14.3 dB.

Figure 3.30: Input return loss (S_{11}).

Conversion gain and noise figure are shown in figures 3.31 and 3.32 respectively. The receiver has an in band conversion gain of 20.8 dB and a noise figure of 14.5 dB.

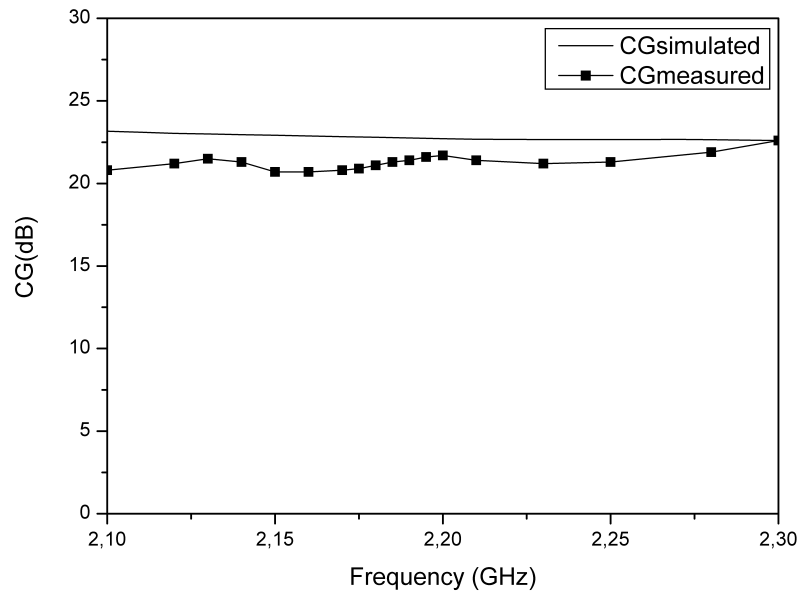


Figure 3.31: Conversion gain.

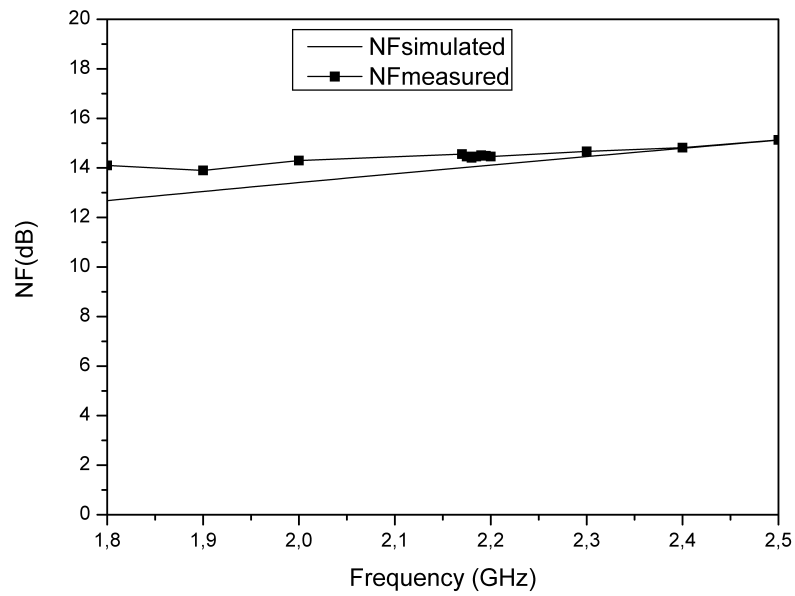


Figure 3.32: Noise figure.

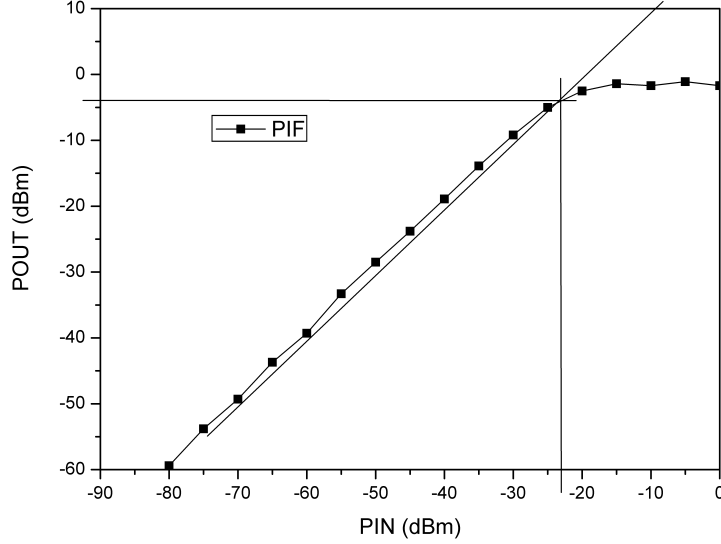


Figure 3.33: Measured P_{1dB} at 2.185 GHz.

The linearity of the receiver was evaluated with the P_{1dB} test. The measurements are plotted in figure 3.33. The test was performed at 2.185 GHz, and an output P_{1dB} of -3.9 dBm was obtained.

3.6 Conclusions

Three fully integrated *RF* front-ends for *DVB-SH* were implemented with the *UMC CMOS* 90 nm process. The measurement results are summarized in table 3.4.

The first receiver (Receiver 1) includes a low noise amplifier, a single to differential converter and a mixer. The low noise amplifier is based on cascode topology combined with a narrow band impedance matching and *LC* tank load. The single to differential converter generates a pair of differential output signals from a single input, which have balanced amplitude and phase. This converter is followed by a Gilbert cell based quadrature mixer. This combination draws 22 mW from a 1.2 V supply. The measurements show a conversion gain of 15.5 dB, an input return loss (S_{11}) of -12 dB and an output compression point (P_{1dB}) of 1.92 dBm. The simulated noise figure was 2.24 dB. This classical architecture was chosen with the

objective of guaranteeing that the receiver covered the specifications of the standard of digital TV *DVB-SH*. The main problem of this topology is the area used and the necessary power consumption.

Parameters	Receiver 1	Receiver 2	Receiver 3
RF frequency(GHz)		2.17-2.2	
Architecture		zero-IF	
Channel BW(MHz)		8	
S_{11} (dB)	-12	-11.9	-14.3
Conversion gain(dB)	15.5	24.1	20.8
NF@4MHz(dB)	2.24*	3	14.5
Output P_{1dB} (dBm)	1.92	-2.2	-3.9
V_{CC} (V)	1.2	1.2	± 1.2
P_{DC} (mW)	22	12.4	28.4
Area(mm x mm)	0.52 x 0.28	0.475 x 0.194	0.26 x 0.13
Technology		UMC 90 nm	

*Simulated

TABLE 3.4: RF FRONT-ENDS RESULTS

The second receiver (Receiver 2) includes a feedback low noise amplifier and a double balanced mixer. This topology was chosen with the objective of reducing the area and the power consumption. Measurements show a conversion gain of 24.1 dB, a 3 dB noise figure, an input return loss (S_{11}) of -11.9 dB and an output compression point (P_{1dB}) of -2.2 dBm. This combination draws 12.4 mW from a 1.2 V supply. The area was reduced more than 30 % because two inductors were eliminated.

The third receiver (Receiver 3) includes a low noise amplifier, a single to differential converter and a mixer. The low noise amplifier and the mixer are based on current conveyors topologies. Measurements show a conversion gain of 20.8 dB, a 14.5 dB noise figure, an input return loss (S_{11}) of -14.3 dB and an output compression point (P_{1dB}) of -3.9 dBm. This combination draws 28.4 mW from a ± 1.2 V supply. This novel proposal was used with the objective of reducing the area and the power consumption. However, the power consumption was not reduced because at high frequencies it is necessary to increase the power consumption in order to reduce the noise figure.

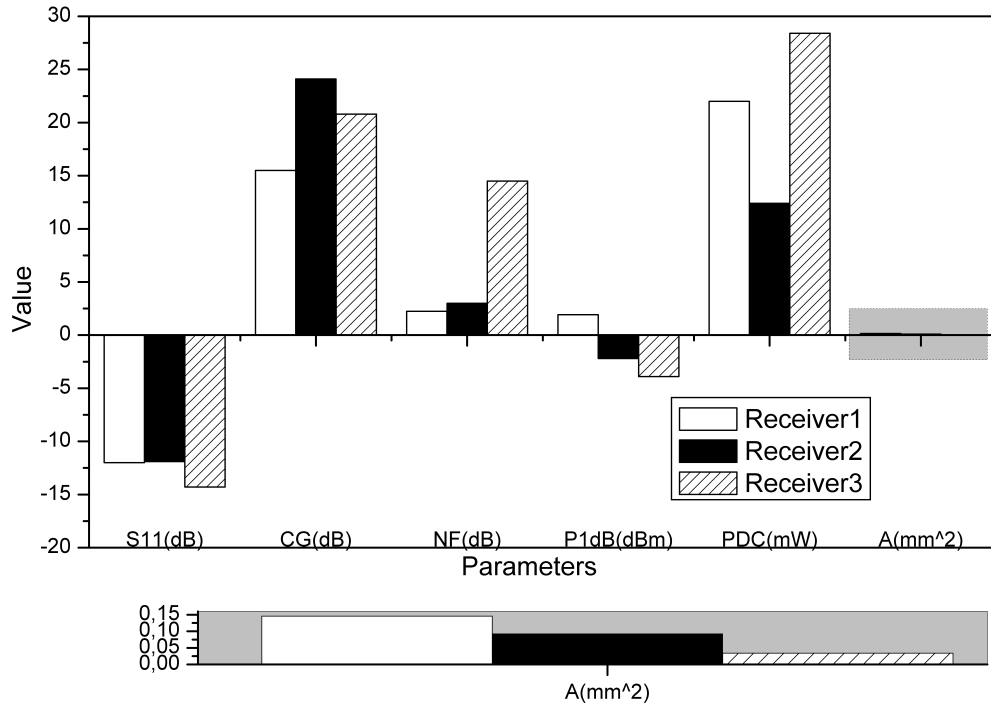


Figure 3.34: Receivers summary.

Figure 3.34 shows that all the receivers have a similar input return loss S_{11} , less than -10 dB. The conversion gains are between 15.5 dB and 24.1 dB, the biggest being for Receiver 2. The lowest noise figure is for Receiver 1, followed by Receiver 2. The output compression point is similar for all of them, Receiver 1 being the best. The lowest power consumption is for Receiver 2, but it only has one Gilbert cell while Receiver 1 has two Gilbert cells. The area of Receiver 3 is considerably smaller than the areas of the other receivers.

4.1 Introduction

Integrated circuit packaging is the final stage of semiconductor device fabrication, where the semiconductor piece is encased in a supporting case. Integrated circuits need to be packaged for several reasons. A package is a mechanical protection that keeps chip temperature stable and prevents physical damage and corrosion. Integrated circuits are put into protective packages to allow easy handling and assembly onto printed circuit boards and to protect the devices from damage.

A very large number of different types of package exist. The package must be chosen according to the application which will be allocated to it. In order to select one of the packages available on the market some factors have to be considered:

- Size of the chip.
- Necessary pins.
- Temperature.
- Frequency.
- Plastic, ceramic.
- Wire-Bonding, flip-chip, tape automatic bonding.
- Surface mount, insertion.
- Footprint.

- Mass production, prototyping.
- Cost.

At radio frequency, the parasitics generated by the packaging affect the circuit performance [70][71][72][73][74] and for this reason it is very important to analyse the effects of the package on the circuit. In this chapter, the package influence on an *RF* front-end receiver for *DVB-SH* (Digital Video Broadcasting, Satellite Services to Hand-held) has been studied. In this work the *QFN16* package was selected (see figure 4.1) considering the factors shown above. The 3D Electromagnetic simulator (3D-EM) of Agilent *ADS* (Advanced Design System) has been used to obtain the *QFN16* package model and the bonding model.

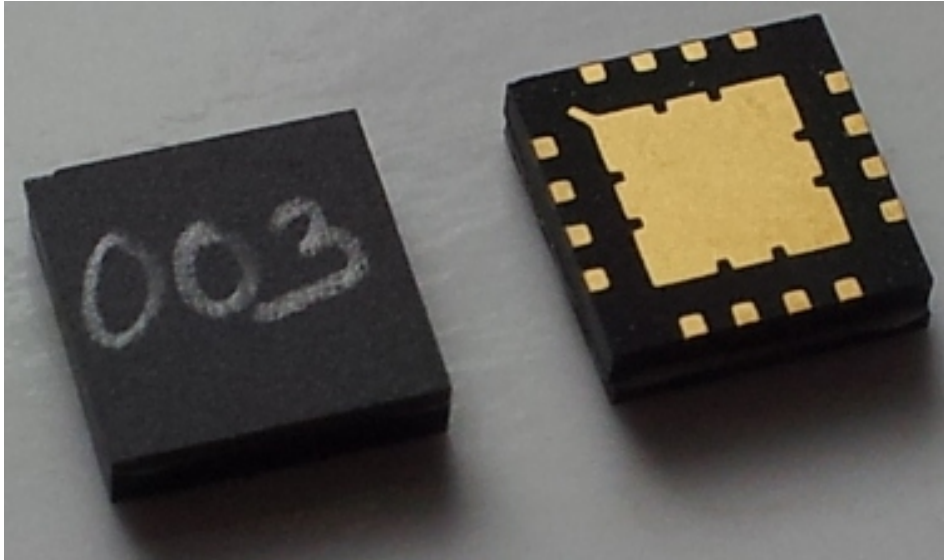


Figure 4.1: Photograph of the QFN16.

The schematic and the layout of the packaged circuit are shown in figures 4.2 and 4.3. As can be seen, it is the Receiver 2 designed in *Chapter 3*. This circuit was chosen to be packaged for different reasons. On one hand, it has fewer pins than the other receivers, and for this reason the analysis is simpler. On the other hand, this receiver perfectly satisfies the specification of the *DVB-SH* standard with lower power consumption. However, either one of the receivers could have been used for this study. As was explained in *Chapter 3*, the *RF* front-end consists of a resistive feedback low noise amplifier and a double balanced Gilbert mixer.

4.2 Package modelling

The Advanced Design System *ADS* of Agilent Technologies has three different 3D Electromagnetic simulation technologies:

- Finite difference time domain:
 - 3D arbitrary structures.
 - Full wave electromagnetic *EM* simulations.
 - Handles much larger and complex problems.
 - Time domain *EM*.
 - Simulate full size cell phone antennas.
 - *EM* simulations per/each port.
 - *GPU* based hardware acceleration.
- Method of moments:
 - 3D Planar structures.
 - Full wave and quasi-static.
 - Dense and compressed solvers.
 - Frequency domain.
 - Multi-port simulation at no additional cost.
 - High *Q*.
- Finite element method:
 - 3D Arbitrary structures.
 - Full wave *EM* simulation.
 - Direct, iterative solvers.
 - Frequency domain *EM*.
 - Multi-port simulation at no additional cost.
 - High *Q*.

To obtain the model of the package and the bond-wires the Electromagnetic Design System (*EMDS*) has been used, it is a 3D *EM* Simulator. This software is based on finite element method and it is a complete solution for electromagnetic simulation of arbitrarily-shaped, passive three-dimensional structures.

According to the *QFN16* package specifications, it has 16 pins, a total dimension of 5mm for each side and a height of 0.8mm. In order to connect the circuit die with the package, in this kind of package a wire-bonding is used.

Figure 4.4 shows the package with the different parts that it is composed of. In order to simulate it in *ADS*, the substrate (vias and layers), bond-pads, bond-pins and bond-wires have been modelled.

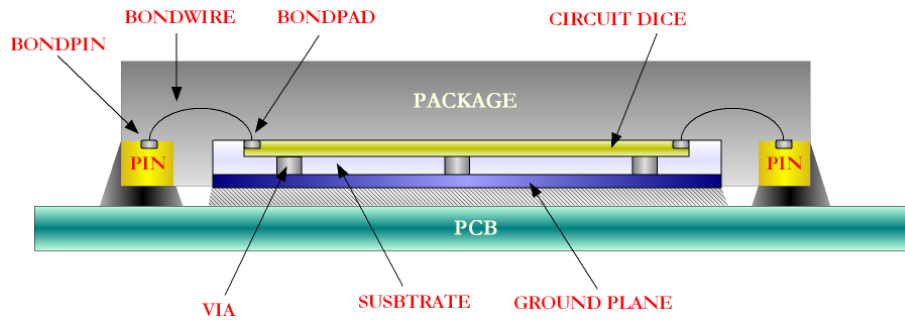


Figure 4.4: Package interconnection model.

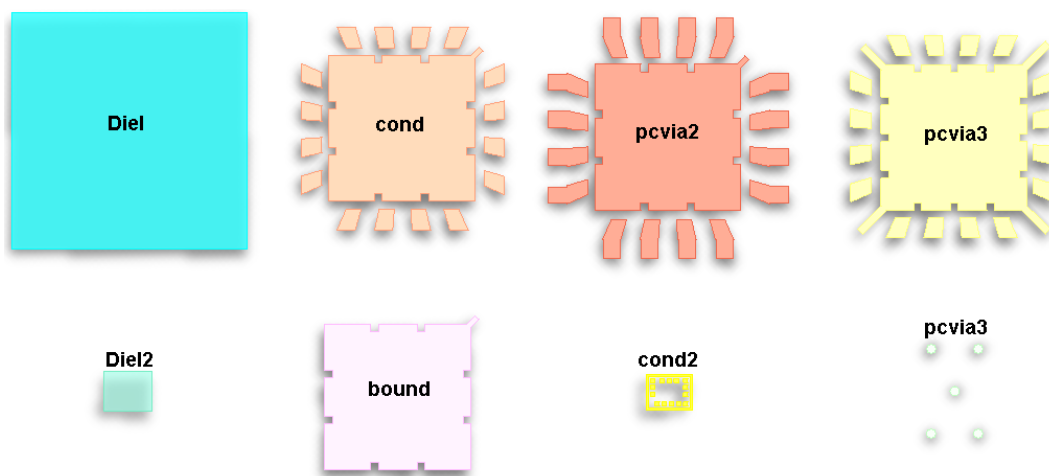


Figure 4.5: Different views of the layers.

As stated above, to simulate the package effects in *ADS*, the entire package has been modelled including all the different layers (see figure 4.5). After drawing each layer, the properties and connections between them have been allocated (specifications provided by the foundry).

Figure 4.6 shows the different layers that make up the package (package vertical section) that have been generated and it includes both the package and the Printed Circuit Board (*PCB*) where the chip is situated.

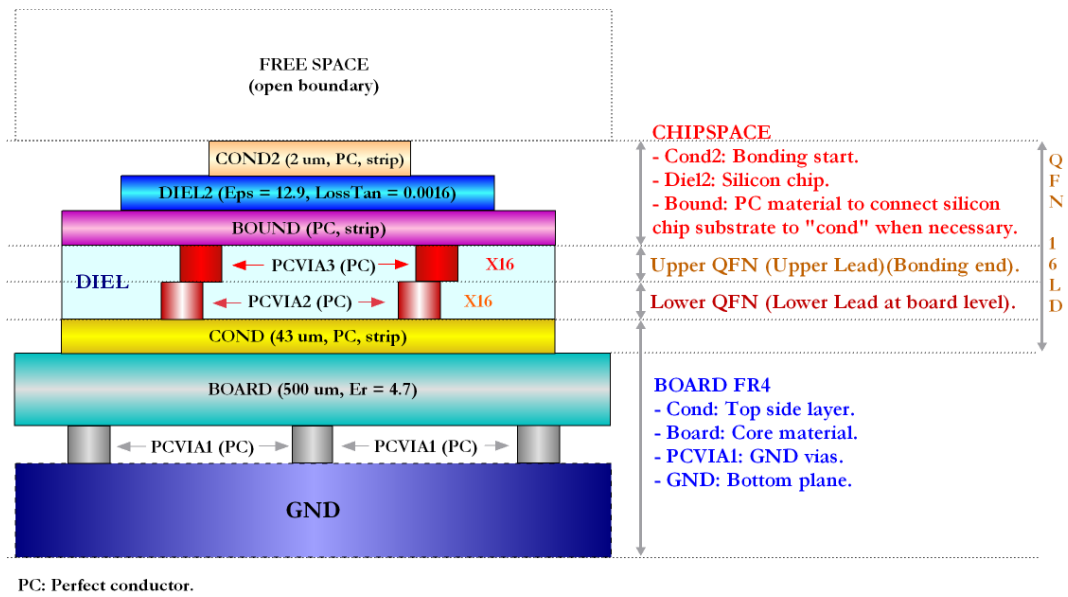


Figure 4.6: Vertical section.

In order to carry out a precise simulation, it is necessary to add the bond-wires. The 3D *EM* Simulator (*EMDS*) has a tool for making bond-wires. This simulator provides two different kinds of bond-wires: Jedec bond-wire and Shape bond-wire where the main physical difference is the number of segments and angles (see figure 4.7). Different simulations were carried out with the intention of choosing the best kind of bond-wires. The differences were negligible and the simulation times were similar, so finally the Shape Bond-wire was chosen because it is more realistic.

Figure 4.8 shows different 3D views of the complete package including the bond-wires. This 3D view is useful because it is possible to check everything and make modifications if necessary.

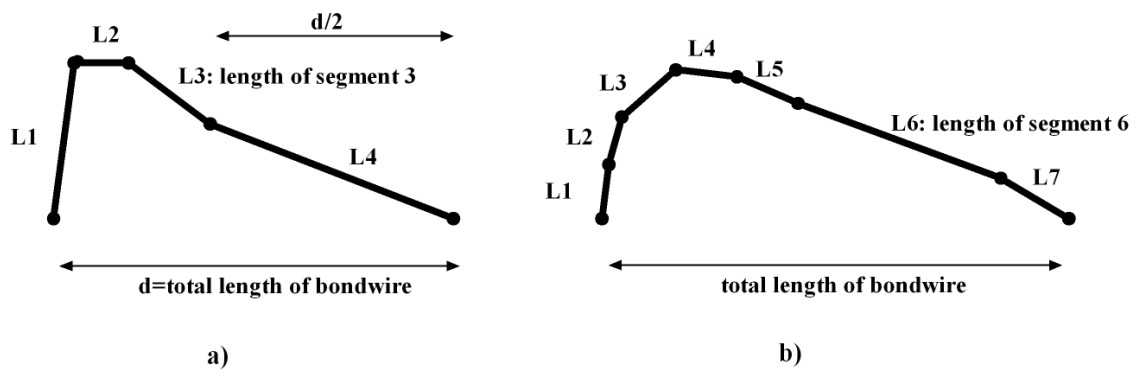


Figure 4.7: a)Jedec bond-wire and b)Shape bond-wire.

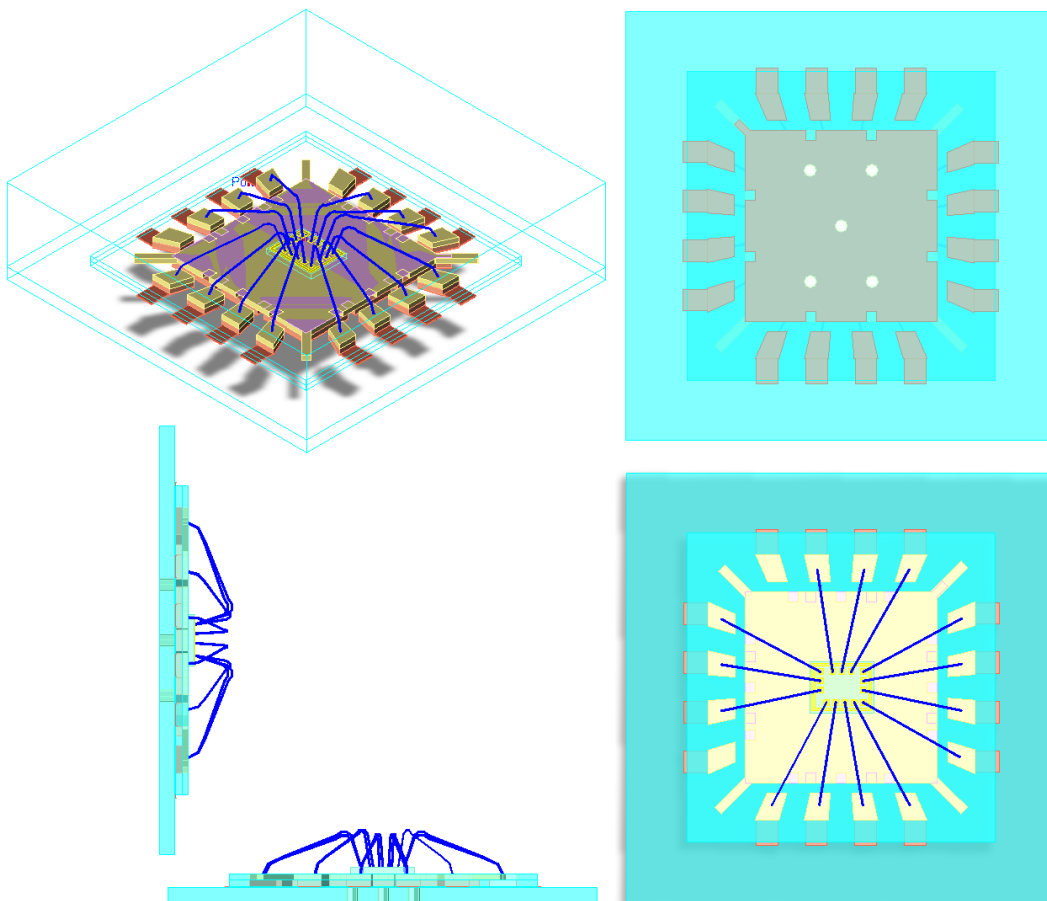


Figure 4.8: Different 3D views of the package.

After modelling the package and bond-wires, all necessary ports have been added in order to run the simulations. At this point, the package and bonding are ready for simulations (see figure 4.9).

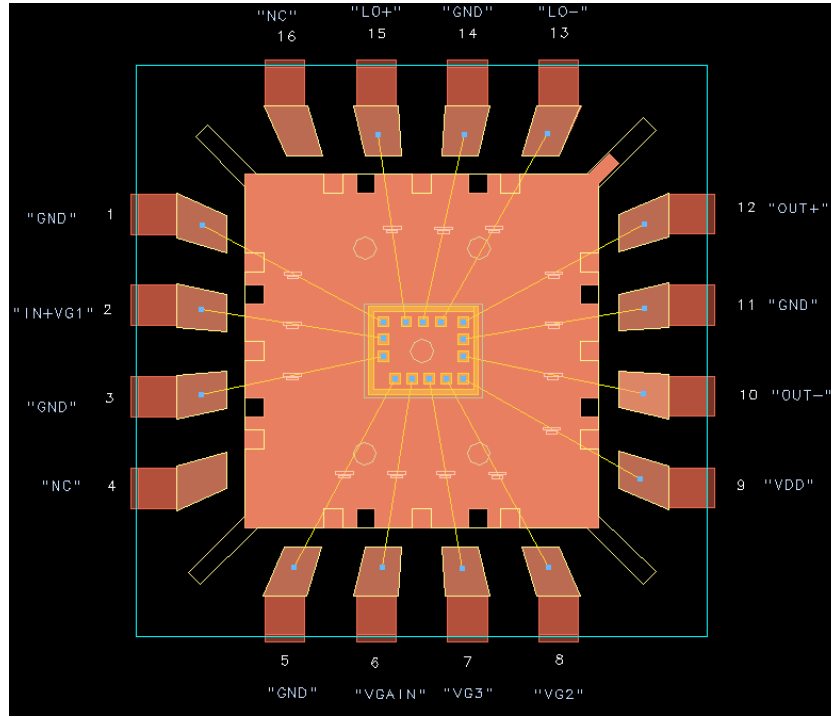


Figure 4.9: Package ready for simulation.

The next step was to create a component and obtain a model for the simulations. It is possible to generate 2 different views: a black box or a layout look-alike. From this component, the S parameters of the package including the bond-wires for each pin were obtained. After, with the S parameters it is possible to obtain the inductance of every pin. As an example, figures 4.10 and 4.11 show the S parameters simulation and the associated inductances respectively for $PIN2$. The inductances stay constant until 6 GHz, however, for higher frequencies resonances appear. Also, table 4.1 shows a summary with the inductance of every PIN for the working frequencies range.

Due to the fact that the circuit is packaged, a series inductances are introduced at each input and output. Any kind of modification to the inputs or outputs will change the characteristics of how the circuit works at the different frequencies. With these values, it is possible to get an idea of how the package and the bond-wires

could affect the performance of the circuit.

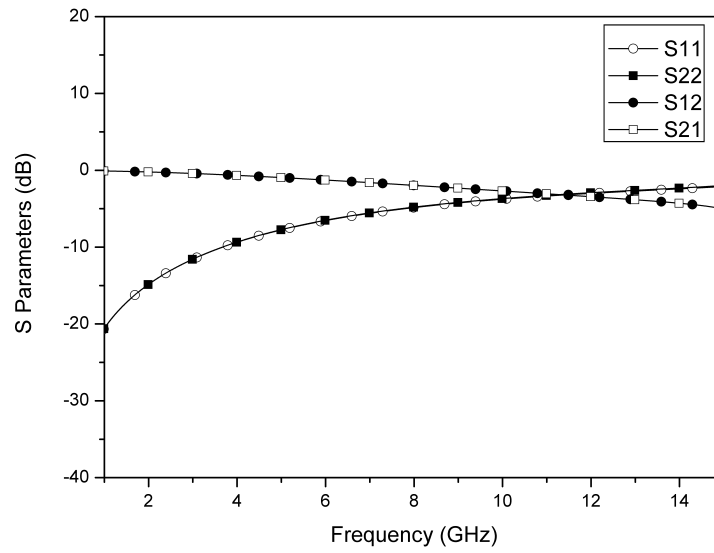


Figure 4.10: S parameters of PIN2.

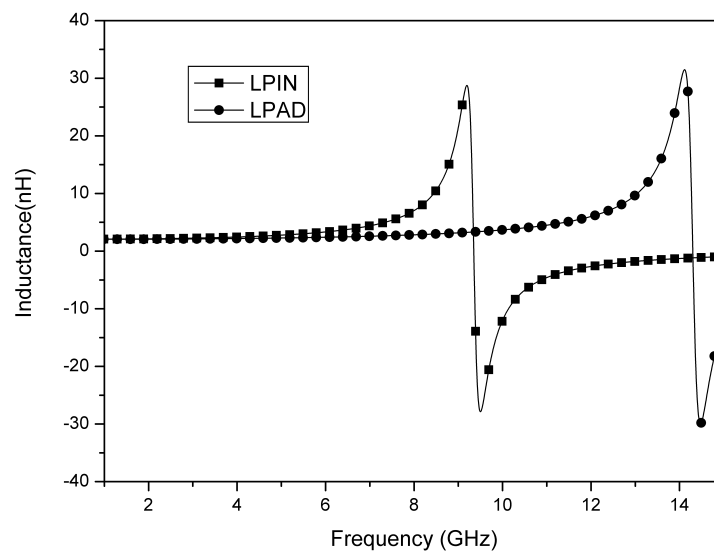


Figure 4.11: Inductances of PIN2.

Freq.(GHz)	2.17	2.185	2.2		2.17	2.185	2.2
L1PAD(nH)	2.30	2.30	2.30	L1PIN(nH)	2.38	2.38	2.38
L2PAD(nH)	2.08	2.08	2.08	L2PIN(nH)	2.14	2.14	2.14
L3PAD(nH)	2.11	2.11	2.11	L3PIN(nH)	2.17	2.17	2.18
L4PAD(nH)		NC		L4PIN(nH)		NC	
L5PAD(nH)	2.54	2.54	2.54	L5PIN(nH)	2.65	2.65	2.66
L6PAD(nH)	2.11	2.11	2.11	L6PIN(nH)	2.18	2.18	2.18
L7PAD(nH)	2.11	2.11	2.12	L7PIN(nH)	2.18	2.18	2.19
L8PAD(nH)	2.36	2.36	2.36	L8PIN(nH)	2.45	2.45	2.45
L9PAD(nH)	2.24	2.24	2.24	L9PIN(nH)	2.32	2.32	2.32
L10PAD(nH)	2.06	2.06	2.06	L10PIN(nH)	2.13	2.13	2.13
L11PAD(nH)	2.05	2.05	2.05	L11PIN(nH)	2.12	2.12	2.12
L12PAD(nH)	2.29	2.29	2.29	L12PIN(nH)	2.37	2.38	2.38
L13PAD(nH)	2.37	2.37	2.37	L13PIN(nH)	2.46	2.46	2.46
L14PAD(nH)	2.11	2.12	2.12	L14PIN(nH)	2.18	2.19	2.19
L15PAD(nH)	2.07	2.07	2.07	L15PIN(nH)	2.14	2.14	2.14
L16PAD(nH)		NC		L16PIN(nH)		NC	

TABLE 4.1: EQUIVALENT INDUCTANCES

The value of the inductance of each pin is similar (between 2 and 3 nH) due to the bond-wires having almost the same length. However, the inductance increases in the cases that the bond-wires are longer like in the case of *PIN5*, because it is the longest bond-wire.

By this point, the model of the pins and bond-wires has been completed. To do this, the specifications of the substrate, the dimensions of the package *QFN16* and the length of the bond-wires have been used. The different layers of *QFN16* have been generated and connected to the die (through the bond-pads) where the receiver will be situated. Also, the die will be connected to the exterior with the pins (through the bond-pins). Some problems arose when the substrate was modelled, due to the *3D-EM* simulator being relatively new. One of the problems occurred with the placing of some layers of the package, but with the *3D* view and the integrated error log it was solved without much inconvenience. Another problem was with respect to the simulations, as sometimes the simulator was interrupted by convergence errors. It was solved by restarting the simulator, it was probably owing

to errors with program memory. The time needed for carrying out the simulations was significant but it is less than required for other electromagnetic simulators.

In order to obtain the package influence over the *RF* front-end specifications, these simulation results will be included in the *RF* receiver simulations in the next section.

4.3 Experimental results

After obtaining the package model, the next step was to study its influence on the *RF* receiver. As is shown in figures 4.12, 4.13 and 4.14, the performance of the circuit is reduced when the package is introduced. Observing figure 4.12 it is possible to see that the conversion gain has decreased more than 2 dB within the working frequency. As seen in figure 4.13 the minimum peak of S_{11} is at 2.3 GHz before introducing the package, while after introducing the package it has been shifted close to 1.8 GHz. Regarding the noise figure, it has also been negatively affected as is shown in figure 4.14. The noise figure has increased 0.7 dB within the working frequency. Although it is not a large increase, it is significant in this case because the maximum noise figure of the receiver for this standard (*DVB-SH*) is 3 dB.

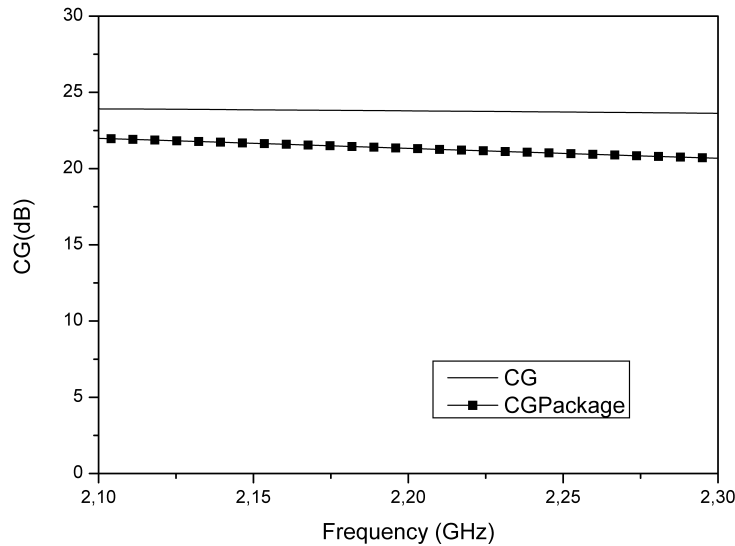


Figure 4.12: Conversion gain with the package.

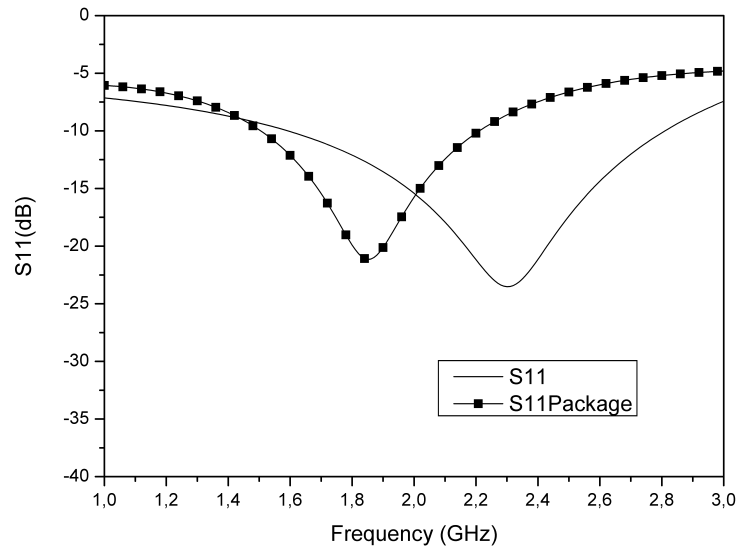


Figure 4.13: Input return loss (S_{11}) with the package.

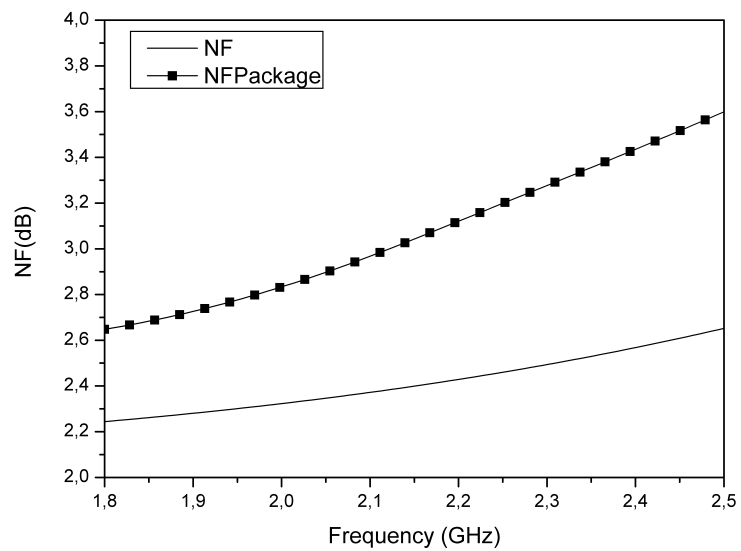


Figure 4.14: Noise figure with the package.

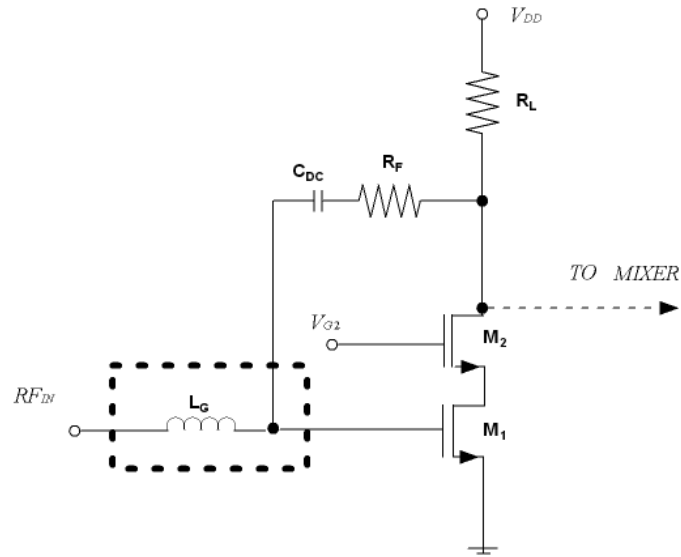
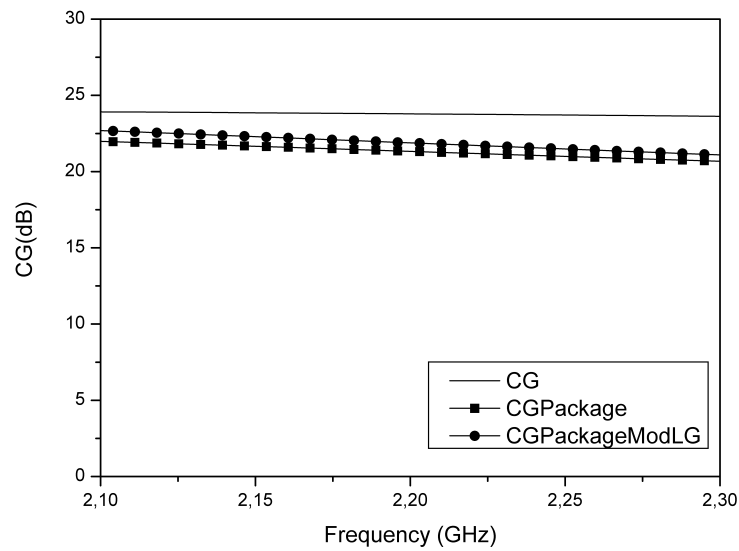


Figure 4.15: Input of Receiver 2.

To improve the performance of the circuit after introducing the package and the bond-wires, different tests were carried out, for example, modifying bias voltages. The best result was obtained modifying the value of the inductance of the input match network of the receiver.

Figure 4.16: Conversion gain with the package after modifying L_G .

As is shown in figure 4.15, the *LNA* of the receiver has an inductor (L_G) in the input to get an input matching of $50\ \Omega$. The value of the inductor is $6\ \text{nH}$. When the effects of the package and the bond-wires are introduced, an inductance of approximately $2.11\ \text{nH}$ is added, and for this reason its input match deteriorates. The solution carried out was reducing the value of the inductor L_G by approximately $2.11\ \text{nH}$. In this way, it is possible to get the adequate value of the inductance in the input of the receiver. Figures 4.16, 4.17 and 4.18 show the results obtained after modifying the value of L_G . In particular, these figures show the simulation results of the circuit without the model of the package and bond-wires, simulation results of the circuit with the effects of the package and the bond-wires and the simulation results after modifying the value of the inductor L_G .

Looking at figure 4.16, it can be seen that the conversion gain increases $0.6\ \text{dB}$ within the working frequency after modifying the value of L_G . Figure 4.17 shows the input match S_{11} . In this case the minimum peak of S_{11} has been shifted close to $2.1\ \text{GHz}$. In addition, S_{11} is better adapted than the circuit without the package and the bond-wires. Regarding the noise figure, it is possible to see in figure 4.18 that the noise figure improved when the inductor L_G was modified, in particular the noise figure was reduced $0.24\ \text{dB}$ after modifying the value of L_G .

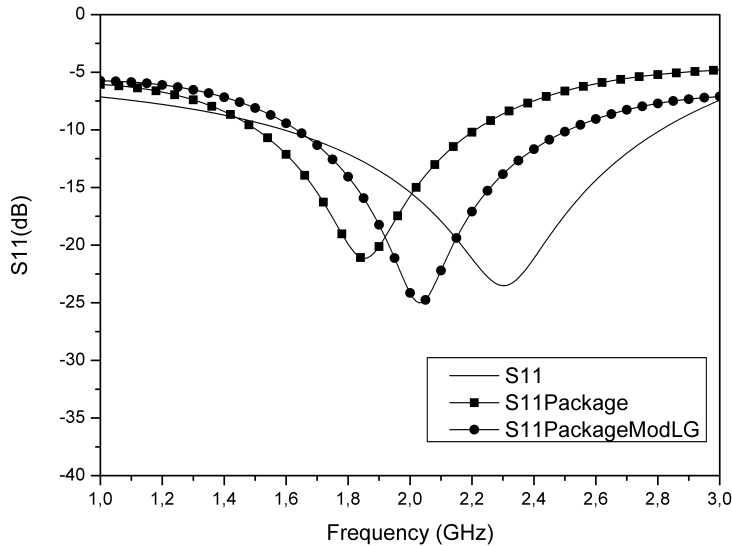


Figure 4.17: Input return loss (S_{11}) with the package after modifying L_G .

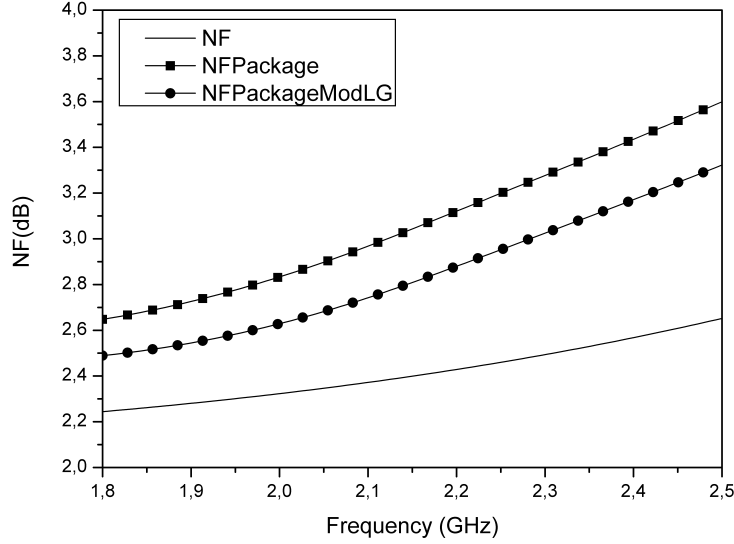


Figure 4.18: Noise figure with the package after modifying L_G .

4.4 Conclusions

In this chapter the influence of the package and the bonding on an RF front-end for $DVB-SH$ implemented in a $CMOS$ 90 nm process (UMC) has been analysed. The electromagnetic simulator ($EMDS$) of ADS was used to simulate a $QFN16$ package model. The influence of the package and the bond-wires on each node was studied. The performance of the circuit was reduced when the package model was included. To improve the performance, the inductance of the LNA input matching network L_G was reduced. As a final conclusion, we consider that this method can be used to model several kinds of packages.

Conclusions and Areas for Further Research

5.1 Conclusions

The main objective of this research work was to present different alternatives for implementing *RF* receivers for digital *TV* based on *DVB-SH* specifications.

To carry out this objective, the main requirements of *DVB-SH* and some possible commercial implementations were studied. After this, a zero-*IF* front-end architecture was chosen because it has fewer components than others and it also reduces the power consumption.

The *RF* front-end specifications for this architecture were obtained with a system analysis. The specifications obtained were quite restrictive, specially regarding the noise figure.

A multi-objectives optimization method for an optimal distribution of the parameters of each block was presented for the given architecture. This method has been applied to the standard *DVB-SH*, optimizing system constraints such as the noise figure and total third order distortion. As expected, after applying this method it was corroborated that the noise figure of the low noise amplifier is critical in the design of the *RF* front-end.

After this work, the main objective was carried out. Three fully integrated *RF* front-ends for *DVB-SH* were designed, fabricated, and tested with the *UMC CMOS* 90 nm process:

- Receiver 1 includes a low noise amplifier, a single to differential converter and a mixer. The *LNA* is based on cascode topology combined with a narrow band

impedance matching network and an LC tank load. The SDC generates a pair of differential output signals from a single input. This converter is followed by a Gilbert cell based quadrature mixer.

- Receiver 2 includes a resistive feedback low noise amplifier and a double balanced mixer (Gilbert cell).
- Receiver 3 includes a LNA , a single to differential converter and a mixer. The LNA and the mixer are based on current conveyors topology.

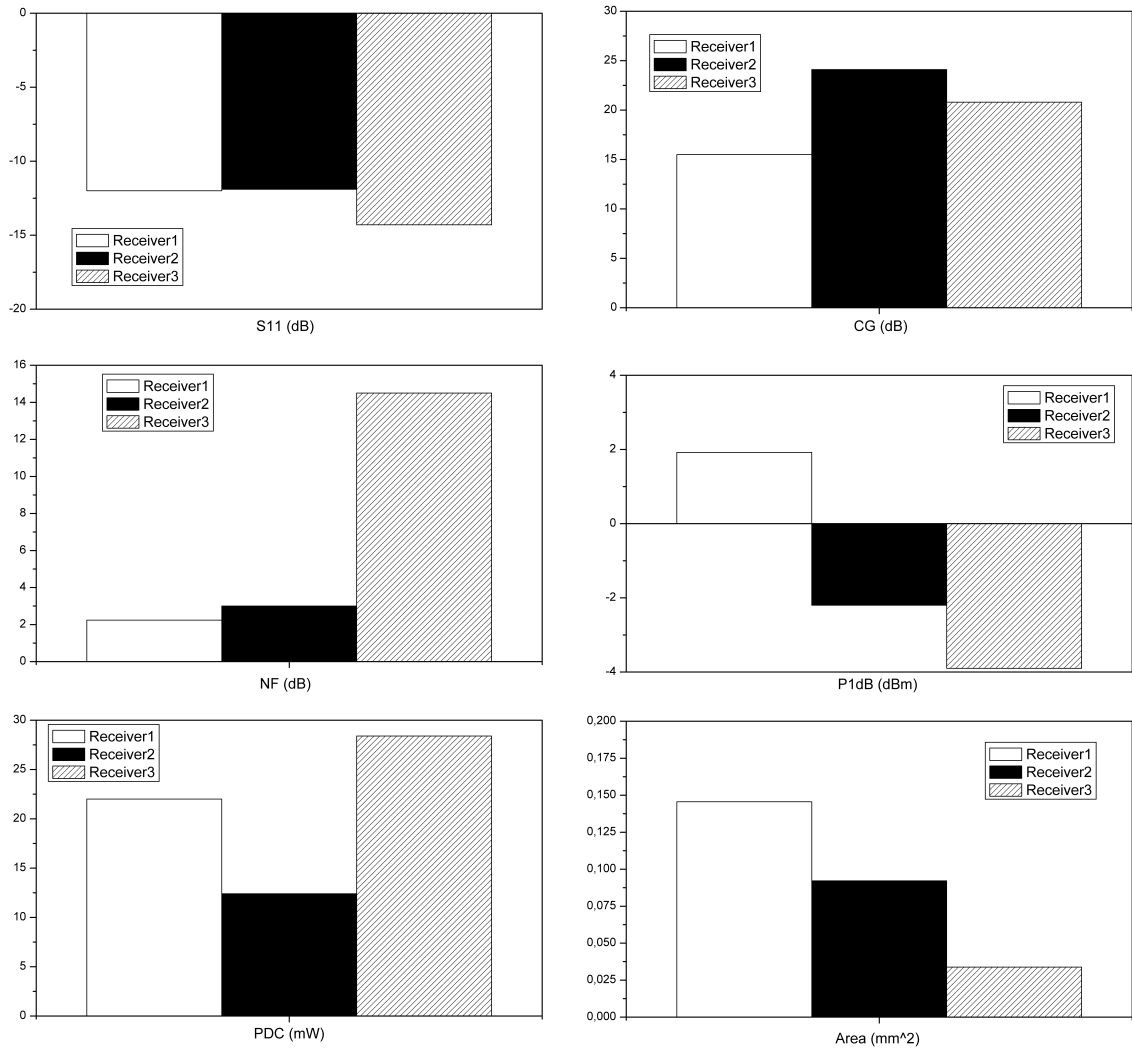


Figure 5.1: Receivers summary.

The first implementation was Receiver 1. This classical architecture was chosen with the objective of guaranteeing that the receiver covered the specifications of the standard of digital *TV DVB-SH*. The main problem of this topology is the area used and the power consumption.

For this reason, for Receiver 2 a feedback topology for the low noise amplifier was chosen, reducing the area and the power consumption. The area was reduced more than 30 % because two inductors were eliminated. Also, in this case, due to the fact that the circuits were going to be measured on wafer, and the number of *RF* probes was limited, this time only one Gilbert cell was integrated in the circuit.

For Receiver 3 a novel proposal was implemented and current conveyors were used for the low noise amplifier and the mixer. This topology was used with the objective of reducing the area and the power consumption. Although, the power consumption of the current conveyors is insignificant at low frequencies, at high frequencies it is necessary to increase the power consumption in order to avoid an incrementation in the noise figure.

Parameters	Receiver 1	Receiver 2	Receiver 3
RF frequency(GHz)		2.17-2.2	
Architecture		zero-IF	
Channel BW(MHz)		8	
S_{11} (dB)	-12	-11.9	-14.3
Conversion gain(dB)	15.5	24.1	20.8
NF@4MHz(dB)	2.24*	3	14.5
Output P_{1dB} (dBm)	1.92	-2.2	-3.9
V_{CC} (V)	1.2	1.2	± 1.2
P_{DC} (mW)	22	12.4	28.4
Area(mm x mm)	0.52 x 0.28	0.475 x 0.194	0.26 x 0.13
Technology		UMC 90 nm	

*Simulated

TABLE 5.1: RF FRONT-ENDS RESULTS

Figure 5.1 shows that all the receivers have a similar input return loss S_{11} , less than -10 dB. The conversion gains are between 15.5 dB and 24.1 dB, the biggest being for Receiver 2. The lowest noise figure is for Receiver 1, followed by Receiver

2. The output compression point is similar for all of them, Receiver 1 being the best. The lowest power consumption is for Receiver 2. The area of Receiver 3 is considerably smaller than the areas of the other receivers. The measurement results are summarized in table 5.1.

In addition to the main objective, the influence of the package and bond-wires on Receiver 2 has been studied. This circuit was chosen to be packaged for different reasons. On one hand, it has fewer pins than the other receivers, and for this reason the analysis is simpler. On the other hand, this receiver perfectly satisfies the specification of the *DVB-SH* standard with the lowest power consumption and low area. However, any one of the receivers could have been used for this study.

To do this, all the layers that make up the package were drawn, taking into account the dimensions of the layers, the properties and the connections between the layers. Moreover, the bond-wires were added in order to connect the package with the receiver. Once this was completed, a component was generated with the intention of simulating and obtaining a model. The 3D electromagnetic simulator (*EMDS*) of *ADS* was used to simulate the *QFN16* package model.

As a result of the fact that the 3D-*EM* simulator was relatively new, some problems occurred when the substrate was modelled. One of the problems occurred with the placing of some layers of the package, but with the 3D view and the integrated error log, it was solved without much inconvenience. Another problem was with respect to the simulations; sometimes the simulator was interrupted by convergence errors. It was solved by restarting the simulator. The time needed for carrying out the simulations was significant but it is less than required for other electromagnetic simulators.

The influence of the package and the bond-wires on each node was studied. The parasitics obtained in each node were similar due to the fact that the bond-wires had a similar length. The equivalent inductance in some nodes was higher because the bond-wires were longer.

The performance of the circuit was reduced when the package model was included. The proposed solution to improve the performance of the circuit was modifying the input matching network. To do this, the inductance L_G of the *LNA* input matching network was reduced. This technique can be used to modelling different kinds of packages in a short time.

5.2 Areas for further research

In this research work three alternatives to implement an *RF* front-end in a *CMOS* 90 nm process (*UMC*) for Digital Video Broadcasting, Satellite Services to Hand-held (*DVB-SH*) have been explored. Also, the influence of the package and the bonding on an *RF* front-end for *DVB-SH* has been analysed.

There are several technical challenges that need further research including:

- Design and integration of the rest of the receiver: this includes the study and design of synthesizers, filters, baseband amplifiers and *A/D* converters for *DVB-SH*, optimizing power consumption and area.
- Package: fabrication and testing of the circuit packaged with the objective of checking that the simulations and the measurements coincide, verifying the integrity of the method and the software.
- Current Conveyors: exploring different alternatives to reduce the noise figure of the current conveyors with minimum impact on circuit performance, for example with noise cancelling techniques.
- Multi-objectives optimization method: study and application of different algorithms for an optimal distribution of the specifications. Adding more cost functions that include other important parameters like power consumption and area.



Resumen en Castellano

En las siguientes secciones, tal y como regula la Universidad de Las Palmas de Gran Canaria en el Reglamento para la elaboración, tribunal, defensa y evaluación de tesis doctorales en el artículo 2, se presentará un resumen de cada uno de los capítulos del trabajo de investigación donde se recogerán los siguientes aspectos: Objetivos, Planteamiento y metodología, Aportaciones originales y Conclusiones obtenidas.

A.1 Introducción

Un estudio de *Cisco Visual Networking Index Services Adoption* predice que para el año 2017 más de 400 millones de usuarios en el mundo demandarán la televisión digital en el móvil [1]. Además, la revolución que están teniendo las tecnologías de la comunicación muestran que esta demanda va a ser satisfecha. Por esa razón, los medios de comunicación deben adaptarse a las tecnologías móviles, desarrollando nuevos servicios y posibilidades de negocio. De hecho, algunas compañías ya ofrecen servicios limitados de televisión (punto a punto).

La solución a esta limitación es el estándar de comunicación *DVB-H* (Digital Video Broadcasting for Hand-held terminals) [2], la idea es desplegar redes de difusión para televisión móvil (punto a multipunto). Esta red forma parte de la infraestructura terrestre que se ha desplegado con anterioridad para *DVB-T* (Digital Video Broadcasting for Terrestrial services) [3]. Los dos estándares comparten la capa física, transmitiendo en la banda *UHF*. Sin embargo, *DVB-H* fue concebido para receptores con bajo consumo de potencia. Debido a la saturación de la banda *UHF*, es un impedimento desarrollar *DVB-H* en Europa. Otro problema es la can-

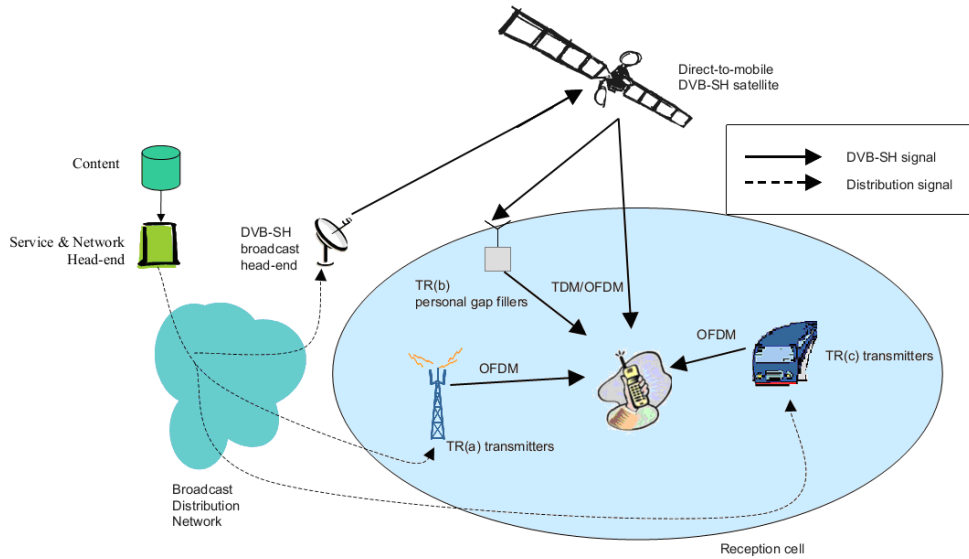


Figura A.1: Arquitectura del sistema DVB-SH (extraído de from [5]).

tividad de dinero necesaria para cubrir con *DVB-H* grandes áreas, incluso mayor que la inversión requerida para *DVB-T* [4]. Por lo tanto, es difícil realizar el despliegue de *DVB-H* lejos de las áreas urbanas.

DVB-SH (Digital Video Broadcasting, Satellite Services to Hand-held) [5][6][7] es la solución a los inconvenientes mencionados con anterioridad. *DVB-SH* es la evolución de *DVB-H* en el sentido que es un híbrido entre red terrestre y red satélite (ver figura A.1). En la Unión Europea hay una banda reservada para estas aplicaciones, dentro de la banda *S* (2 GHz). Para ofrecer cobertura a grandes áreas con una población suficientemente grande, la comunicación satélite es la más eficiente. De hecho, con solo un satélite podría ser suficiente para suministrar señal al continente europeo casi por completo. Sin embargo, la comunicación solo estaría disponible cuando entre el satélite y el receptor exista visión directa. Esto no siempre ocurre debido a las áreas en sombra y a que los dispositivos móviles pueden estar localizados en interiores. Esta es la razón por la que *DVB-SH* introduce la red híbrida terrestre-satélite.

La televisión digital móvil (*DVB-SH*) está comenzando a desplegarse tanto en Europa como en Estados Unidos. Un gran número de compañías han centrado sus esfuerzos en desarrollar soluciones comerciales. Algunos ejemplos de receptores comerciales son:

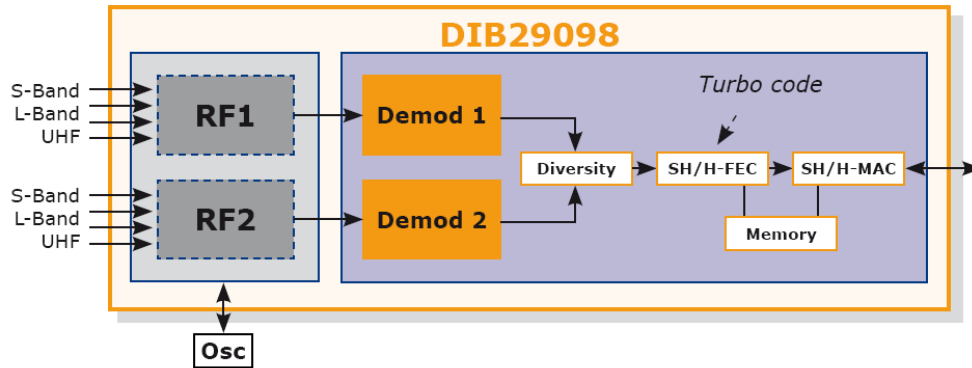


Figura A.2: Diagrama de bloques DIB29098 (extraído de [9]).

DIB29098 [9]: Este receptor soporta las bandas de frecuencia *VHF*, *UHF*, *L* y *S* (ver figura A.2). El demodulador es capaz de procesar señales de *DVB-T*, *DVB-H* y *DVB-SH*.

TDA18292 [10]: Este receptor está optimizado para recibir televisión digital en aplicaciones de bajo consumo (ver figura A.3). Es capaz de procesar los estándares *DVB-T*, *DVB-H*, *DVB-SH*, *T-DMB* y *ISDB-T*.

A.1.1 Objetivos

El principal objetivo de este trabajo de investigación es presentar diferentes alternativas para implementar cabezales de radiofrecuencia eficientes en consumo y en área ocupada para receptores de *TV Digital DVB-SH*. Los resultados de este trabajo de investigación están integrados dentro de un ambicioso proyecto de investigación: *RECITAL+*, Receptor de *TV Digital DVB-SH*, Ministerio de Ciencia e Innovación (TEC2008-06881-C03-01).

De cara a alcanzar el objetivo de este trabajo se han planteado los siguientes hitos:

1. Estudio del estándar *DVB-SH* y propuesta de la arquitectura del receptor, prestando especial atención en la optimización de consumo de área y potencia.
2. Elección de una tecnología comercial de las disponibles basadas en Silicio.
3. Desarrollo (diseño, fabricación y medida) de los bloques básicos de radiofrecuencia (amplificadores de bajo ruido, mezcladores) que formarán parte del

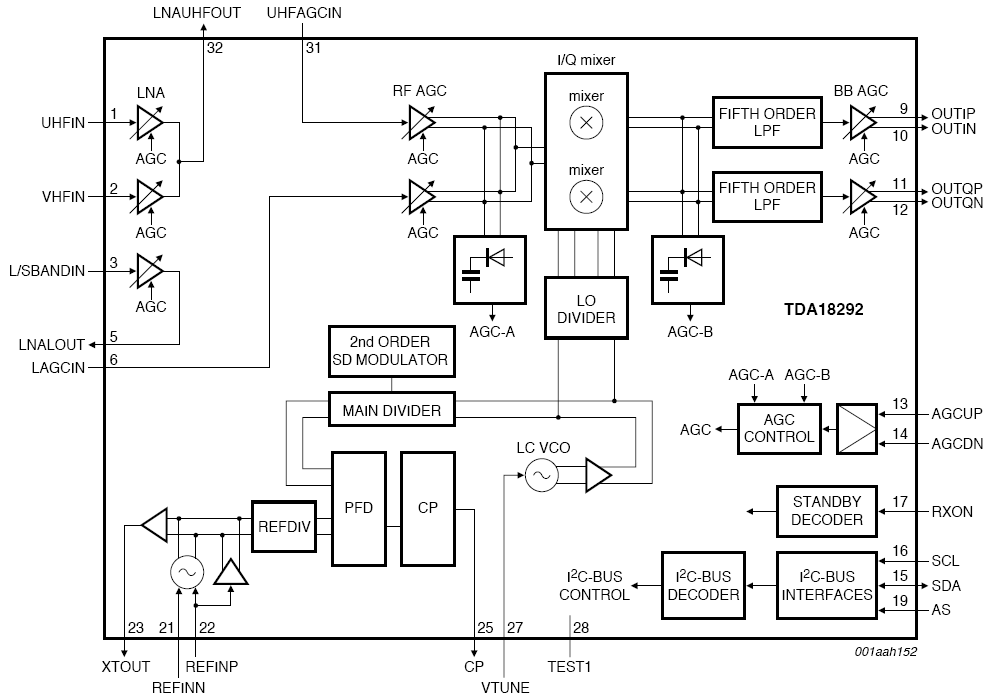


Figura A.3: Diagrama de bloques TDA18292 (extraído de [10]).

receptor de *DVB-SH*.

4. Integración e implementación de los subsistemas de radiofrecuencia, tratando de utilizar el menor número posible de elementos externos.

A.1.2 Estructura de la memoria

Este trabajo de investigación esta compuesto por cinco capítulos distribuidos de la siguiente manera. El *Capítulo 1* introduce al lector al estándar de televisión digital *DVB-SH* mostrando una visión general del estado actual del mercado con algunas implementaciones comerciales existentes. Por otro lado, en este capítulo se plantean los objetivos principales del trabajo de investigación. Después de esta pequeña introducción, en el *Capítulo 2* se presenta el diseño del sistema. Haciendo uso de los principales requisitos del estándar *DVB-SH* se hace el análisis del sistema para una arquitectura concreta. Para la distribución de los parámetros de cada unos de los subsistemas de radiofrecuencia se utiliza un método de optimización de multi-objetivos. Después de dar una breve descripción de la tecnología elegida, el *Capítulo 3* se centra en analizar los circuitos. A continuación se hace un análisis teórico de

cada una de las diferentes implementaciones de los receptores para radiofrecuencia desarrollados. En el *Capítulo 4* está dedicado al modelado de un encapsulado *QFN16* y su influencia sobre uno de los receptores, para ello se utiliza el simulador electromagnético *3D-EM* de *ADS*. Finalmente, en el *Capítulo 5* se presentan las principales conclusiones obtenidas del trabajo realizado y las posibles líneas futuras de trabajo.

A.2 Análisis del sistema

A.2.1 Objetivos

Los principales objetivos de este capítulo son: llevar a cabo un estudio del estándar de televisión digital *DVB-SH*, hacer el análisis del sistema y obtener las especificaciones de los bloques que componen el receptor de radiofrecuencia.

A.2.2 Planteamiento y metodología

DVB-SH [5][6][7] está basado en el estándar *DVB-H*. *DVB-H* surge de dos de los productos de consumo más vendidos en la historia, televisiones y teléfonos móviles. *DVB-H* adapta la televisión digital terrestre (*DVB-T*) a los requisitos particulares de los dispositivos móviles. *DVB-H* ofrece un canal de descarga de alta velocidad que puede ser usado independientemente o como una mejora de las redes de telecomunicación móviles [11][12]. *DVB-SH* incluye mejoras frente a *DVB-H* en los algoritmos de corrección de errores, en la capa física y en la capa de enlace. Los requisitos del receptor se extraen a partir de la Guía de Implementación *DVB-SH* [5] y del documento *EICTA MBRAI* [14].

Existen 3 categorías diferentes de terminales *DVB-SH*: La categoría 1 es para terminales montados en vehículos, categoría 2 para dispositivos portátiles de televisión y categoría 3 para dispositivos de bolsillo con teléfono móvil/módem integrado. *DVB-SH* tiene dos capas físicas que aumentan las posibilidades de configuración del sistema, y da lugar a dos arquitecturas diferentes: *SH-A* emplea *OFDM* para la componente satélite y para la terrestre y *SH-B* que emplea *TDM* en la componente satélite y *OFDM* para la componente terrestre. Se ha elegido una categoría 3 para uso en *SH-B*. Por un lado, los requisitos de los terminales de la categoría 3 son mayores y más difíciles de conseguir. Por otro lado, un terminal compatible con la red *SH-B* se puede usar en una red *SH-A*.

A.2.2.1 Especificaciones del receptor de radiofrecuencia para DVB-SH

La figura A.4 muestra una arquitectura cero-*IF* que es la utilizada para el receptor. Para obtener las especificaciones de radiofrecuencia se usa el punto de referencia que se muestra, justo después del filtro de radiofrecuencia.

Rango de frecuencia

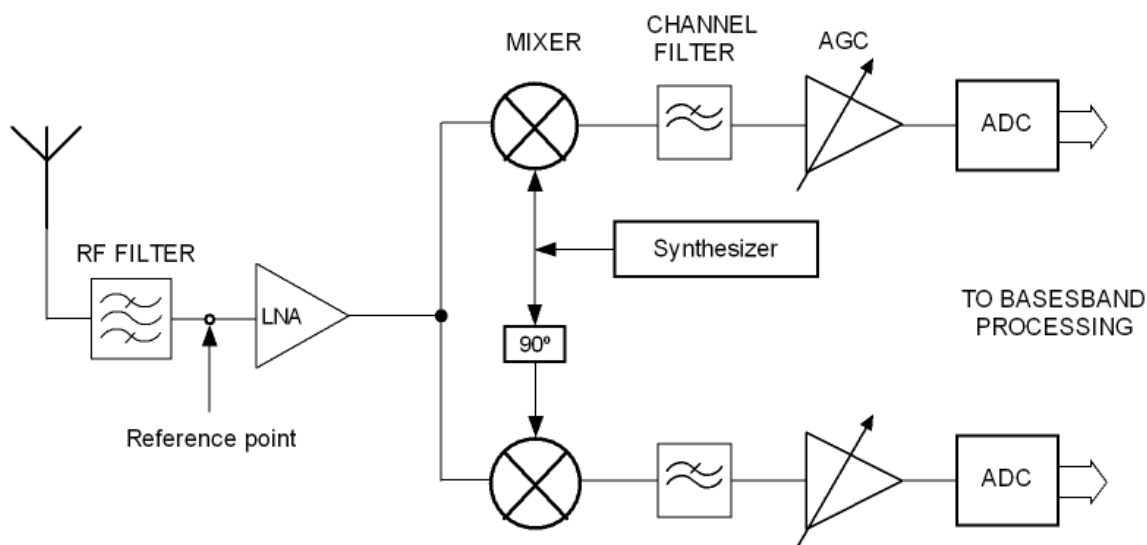


Figura A.4: Receptor de referencia.

Designación	Rango de frecuencia
Banda 2 GHz S	1980-2010 MHz(uplink) 2170-2200 MHz(downlink)
Banda S S-DARS	2320-2345 MHz(downlink)
Banda S 2.5 GHz	2670-2690 MHz(uplink)
Banda S 2.5 GHz	2500-2520MHz(downlink)
Banda S 2.5 GHz	2520-2670 MHz(downlink)

TABLA A.1: FRECUENCIAS SATÉLITE ASIGNADAS

Debido a su versatilidad el estándar *DVB-SH* puede ser implementado en las bandas *UHF*, *L* y *S*. Para la componente satélite (ver tabla A.1) se asignó el espectro de frecuencia que va desde 2170 MHz hasta 2200 MHz [15].

Requisitos C/N

El tipo de modulación, la tasa de códigos y la capa física marcan el valor de C/N . En las tablas A.2, A.3 and A.4 se muestran las especificaciones de la C/N dependiendo del canal y de la modulación. La mínima relación entre portadora y ruido que requiere el sistema es -3.9 dB.

Nivel máximo entrada

La potencia total media de señales deseadas e indeseadas que puede estar presente en la antena como máximo es 15 dBm asumiendo un acoplamiento entre las antenas *UMTS* y *DVB-SH* de entre 15 y 18 dB. Si el filtro de radiofrecuencia atenúa un

Canal OFDM-AWGN			Canal TDM-AWGN		
CR	QPSK	16QAM	QPSK	8PSK	16 PSK
1/5	-3.6	0.7	-3.9	-1.3	0.4
2/9	-3.1	1.3	-3.4	-0.7	1.0
1/4	-2.5	1.9	-2.8	-0.1	1.6
2/7	-1.8	2.8	-2.1	0.7	2.5
1/3	-0.9	3.7	-1.2	1.6	3.4
2/5	0.1	5.0	-0.2	2.7	4.7
1/2	1.4	6.8	1.1	4.4	6.5
2/3	3.5	9.7	3.2	6.9	9.4

TABLA A.2: C/N PARA CANAL AWGN

Canal TDM-Rice(K=3dB)		Canal TDM-Rayleigh
CR	QPSK	QPSK
1/5	-3.4	-3.2
1/4	-2.2	-2.1
1/3	-0.4	-0.2
1/2	2.2	2.9

TABLA A.3: C/N PARA CANALES RICE Y RAYLEIGH

QPSK			16QAM		
CR-INT	3 km/h	50 km/h	CR-INT	3 km/h	50 km/h
1/2-S	6.5 dB	4.5 dB	1/3-S	8.5 dB	6.5 dB
1/2-UL	5.5 dB	4 dB	1/3-UL	7 dB	6 dB
1/3-S	3.5 dB	1.5 dB	1/4-S	6.5 dB	5 dB
1/3-UL	2.5 dB	1 dB	1/4-UL	5 dB	4 dB
			1/5-S	5.5 dB	3 dB
			1/5-UL	4 dB	3 dB

TABLA A.4: C/N PARA CANAL COFDM-TU6

mínimo de 40 dB las bandas de subida *UMTS*, la potencia total media máxima en el punto de referencia es -25 dBm.

En [5] no se da ninguna descripción respecto a las interferencias dentro de la banda. Para ello, se utiliza el *EICTA MBRAI* [14] como referencia ya que *DVB-SH* y *DVB-H* son estándares de difusión de televisión móvil. Por esta razón, es razonable asumir que la relación de potencia de las señales deseadas e interferentes dentro de la banda son similares. Usando las mismas especificaciones de *DVB-H* para *DVB-SH*, es de esperar que se obtenga el mismo *QoS* (*Quality of Service*).

De acuerdo a [14], en la antena la potencia máxima de las señales deseadas es -28 dBm cuando no hay otras señales presentes. Para las señales indeseadas, depende de la linealidad y la selectividad lo que se explicará más adelante. Con respecto a las bandas adyacentes a *DVB-SH* (bandas de bajada de *UMTS*), [5] asegura que el nivel de total de potencia estará siempre por debajo de -25 dBm. Esta puede estar considerada como una interferencia en la antena con una potencia máxima de -28 dBm. En el punto de referencia el nivel máximo es -29.5 dBm.

Figura de ruido

De acuerdo a [5], la figura de ruido máxima de un receptor de categoría 3 en la antena es de 4.5 dB. Para calcular la figura de ruido del receptor en el punto de referencia hay que tener en cuenta el filtro de radiofrecuencia. Teniendo en cuenta que la figura de ruido de un filtro pasivo es su propia atenuación, se obtiene que la figura de ruido se calcula como:

$$F = F_{filter} + \frac{F_{front-end} - 1}{G_{filter}} \quad (A.1)$$

donde F_{filter} y G_{filter} son el factor de ruido y la ganancia del filtro, y $F_{front-end}$ el factor de ruido del receptor. Las especificaciones del filtro están definidas en [5]. El filtro tiene una atenuación paso banda de 1.5 dB y una atenuación fuera de la banda de 40 dB. El receptor en el punto de referencia tiene una figura de ruido de 3 dB, lo que es un gran desafío.

Sensibilidad

La sensibilidad de un receptor es la mínima señal detectable. La sensibilidad del receptor depende directamente de la figura de ruido y de la relación señal ruido:

$$P_{imin} = -174dBm/Hz + 10\log(BW) + NF + \frac{C}{N_{reg}} \quad (A.2)$$

donde el mínimo ancho de banda de la señal es 1.52 MHz, la figura de ruido del receptor después del filtro es 3 dB. La mínima relación portadora ruido requerida para el sistema es -3.9 dB. Se ha tomado un margen de 0.5 dB de acuerdo a [5]. La sensibilidad del cabezal de radiofrecuencia es -112.55 dBm.

Rango dinámico

El nivel mínimo de potencia de la señal de entrada se ha calculado anteriormente. El nivel total de potencia máximo es -28 dBm para las señales deseadas e indeseadas a la entrada del filtro de radiofrecuencia y -29.5 dBm en el punto de referencia.

El rango dinámico se puede calcular como:

$$RangoDin = P_{max} - P_{min} = -29.5 - (-112.55) \quad (A.3)$$

Por lo tanto, obtenemos un rango dinámico de 83.05 dBm.

Ganancia dinámica

La tensión *rail to rail* del *ADC* es 1 Vpp, lo que quiere decir que la máxima potencia permitida a la entrada del *ADC* es:

$$P_{max} = 10 \log \left(\frac{V_{pp}}{2\sqrt{2}} \right)^2 = -9dBV = 4dBm \quad (A.4)$$

Fijando el ruido de suelo por encima del ruido de Nyquist del *ADC* se puede obtener la ganancia máxima requerida por el receptor. En este caso, el *ADC* tiene una *SNR* de 70 dB, por lo tanto:

$$N_Q = P_{max} - SNR = 4 - 70 = -66dBm \quad (A.5)$$

y la máxima ganancia se calcula como:

$$G_{max} = N_Q - P_{inmin} = -66 - (-112.55) = 46.55dB \quad (A.6)$$

Para obtener la mínima ganancia que requiere el sistema se fijo como condición que no se sature el *ADC*. Para ello, la potencia máxima de salida del receptor debe estar por debajo de la potencia máxima a la entrada del *ADC*, por lo tanto:

$$G_{min} = P_{inmaxADC} - P_{inmaxfront-end} = 4 - (-29.5) - 6 = 27.5dB \quad (A.7)$$

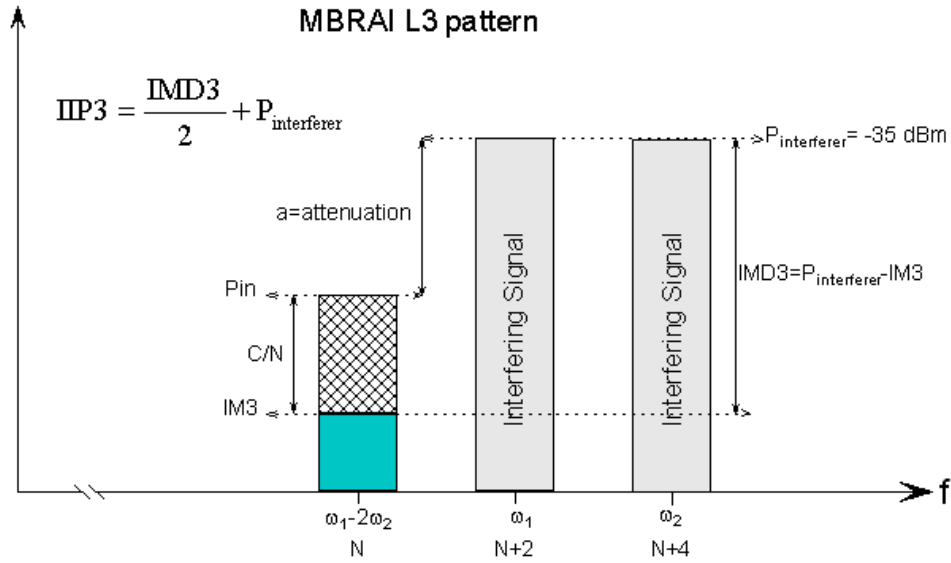


Figura A.5: IIP3, patrón L3 MBRAI.

se le ha añadido un margen de 6 dB para prevenir la saturación del *ADC*.

Finalmente, la ganancia dinámica se calcula como la diferencia entre la ganancia máxima y la mínima:

$$GananciaDin = G_{max} - G_{min} = 46.55 - 27.5 = 19.05dB \quad (A.8)$$

Linealidad

El punto de intercepción de tercer orden a la entrada se puede calcular por medio de los productos de intermodulación de tercer orden como:

$$IIP3 = \frac{I_{MD3}}{2} + P_{in} \quad (A.9)$$

Para poder calcular el *IIP3* es necesario saber los valores de *IMD3* y *P_{in}*. El estándar *DVB-SH* no tiene ninguna especificación de estos datos del receptor como en el caso de *MBRAI* [14]. Por lo tanto, se tienen que hacer nuevamente una serie de suposiciones. Como *DVB-SH* es un estándar de *TV* derivado *DVB-H*, parece razonable asumir que los niveles de señal en la banda (2170 MHz-2200 MHz) y su relación de potencias van a ser similares a los definidos para *DVB-H*.

MBRAI [14] define tres patrones para la linealidad: *L1*, *L2* y *L3*. La tabla A.5 muestra los valores de los patrones. *L1* y *L2* no se van a considerar en este análisis, ya que están basados en la presencia de *PAL* analógico y señales digitales en la

banda *UHF* [16].

Patrón	Interferencia canal N+2	Int. canal N+4	Atenuación canal N(dB)
L1	DVB-T/H	PAL	45
L2	PAL	PAL	45
L3	DVB-T/H	DVB-T/H	40

TABLA A.5: PATRONES DE LINEALIDAD

L3 presenta dos señales interferentes en los canales $N+2$ y $N+4$ y la señal deseada en el canal N (ver figura A.5). De acuerdo a [14], la amplitud máxima en la antena para las señales interferentes es -35 dBm y la relación máxima de potencia entre las señal deseada y las interferentes es 42 dB. Se puede observar, que como los canales de las interferentes están en $N+2$ y $N+4$ sus productos de intermodulación caerán en el canal deseado N .

Normalmente se utiliza el ruido de suelo del sistema para establecer el valor mínimo de la potencia de los productos de intermodulación, por eso, el valor de potencia de los productos de intermodulación puede ser tan grande como el ruido de suelo. En *DVB-SH*, el mínimo ruido de suelo ocurre cuando $BW=1.52$ MHz, estableciendo la condición más restrictiva para el receptor de radiofrecuencia, entonces:

$$P_{IM3} = P_{noise\ floor} = 10\log(KT_oBW) + NF_{front-end} \quad (A.10)$$

Esto nos da un $P_{IM3} = -109.15$ dBm. El $IIP3$ se puede calcular aplicando (A.9):

$$IIP3 = \frac{-36.5 - (-109.15)}{2} - 36.5 = -0.175\text{dBm} \quad (A.11)$$

Obteniéndose un $IIP3$ de -0.175 dBm.

Selectividad canal adyacente

La tabla A.6 muestra los requisitos de selectividad del estándar *DVB-SH*. La selectividad del canal adyacente (*ACS*) de un receptor de *DVB-SH* debe ser al menos 50 dB para un canal adyacente de 5 MHz y 60 dB para un canal adyacente de 10 MHz [5].

Especificaciones	Valor(dB)
Selectividad canal adyacente(fuera-banda)	
5 MHz	50
10 MHz	60
Selectividad canal adyacente(dentro-banda)	
$n \pm 1$	29
$n \pm m$	40

TABLA A.6: REQUISITOS DE SELECTIVIDAD PARA DVB-SH

Ruido de fase

Para calcular el ruido de fase teniendo en cuenta las señales interferentes de fuera del canal se usa la siguiente ecuación:

$$P_N = P_{desired} - P_{interferer} - 10\log(BW) - \frac{C}{N} - 3 \quad (A.12)$$

donde $P_{desired}$ es la potencia de la señal deseada, $P_{interferer}$ es la potencia de la señal interferente, BW es el ancho de banda de la señal interferente, se añadieron 3 dB debidos a la contribución de las 2 bandas y C/N es la relación entre portadora y ruido requerida.

Sin embargo, este no es el único problema. Como parte del ruido de fase del oscilador controlado por tensión (VCO) está presente en el canal deseado, el ruido de fase va a degradar la C/N de la señal deseada debido a la interferencias dentro del canal. La degradación de la SNR debida a la interferencias dentro del canal viene dada por:

$$D(dB) = \frac{11}{6\ln(10)} 4\pi\beta T \frac{E_s}{N_o} \quad (A.13)$$

donde β es el single sided -3 dB line-width de la potencia espectral del ruido de fase, $1/T$ espacio de las subportadoras y E_s/N_o es la energía por símbolo, la cual de acuerdo con [5] se relaciona con la C/N como:

$$\frac{E_s}{N_o} \approx \frac{C}{N} \quad (A.14)$$

Frecuencia	Ruido de fase LO
	Valor min(dBc/Hz) / Valor max(dBc/Hz)
100 KHz (OFDM&TDM)	-109.2 / -78.76
1.52 MHz (OFDM&TDM)	-137.47 / -113.01
3.04 MHz (OFDM&TDM)	-144.47 / -124.01
3.26 MHz (OFDM&TDM)	-132.17
4.76 MHz (OFDM&TDM)	-136.01
8.26 MHz (OFDM&TDM)	-142.04

TABLA A.7: NIVELES MÍNIMO Y MÁXIMO PARA EL RUIDO DE FASE

Por lo tanto, el ruido de fase se calcula como:

$$P_N = 10 \log \left(\frac{1}{\pi} \frac{\beta}{f^2 + \beta^2} \right) - 3 [\text{dBc/Hz}] \quad (\text{A.15})$$

Para calcular la máscara del ruido de fase del *VCO* con (A.12) y (A.15) se van a tener en cuenta las señales de dentro y de fuera del canal como se define en [14].

Para establecer el mínimo nivel de potencia de la máscara de ruido de fase, se tiene en cuenta el peor caso para las señales deseadas que se da para un ancho de banda de 1.52 MHz, en este caso el ruido de suelo es el más bajo. Para tener mayor margen, la C/N va a ser la actual relación entre portadora y ruido de la señal, de esta forma, la potencia de ruido creada por la combinación del canal adyacente y del ruido de fase del *VCO* va a ser mayor que el ruido de suelo, lo cual reduce (A.12) a:

$$P_N = P_{desired} - P_{interferer} - 10 \log(BW) - (P_{desired} + N_{floor}) - 3 \quad (\text{A.16})$$

Se ha tomado una degradación $D=0.1$ dB para el ruido de fase dentro de la banda. Para establecer el máximo nivel de potencia de la máscara de ruido de fase se siguió la misma filosofía que con no-linealidades de segundo y tercer orden. En este caso, se debe aplicar directamente (A.12) pero estableciendo el ancho de banda a 5 MHz. Si la potencia del ruido de suelo es mayor, la contribución de ruido debido al ruido de fase de *LO* debe ser menor. Aplicando un margen de 6 dB a la relación entre portadora y ruido requerida, (A.12) resulta:

$$P_N = P_{desired} - P_{interferer} - 10 \log(BW) - \frac{C}{N} - 3 - 6 \quad (\text{A.17})$$

Parámetros del receptor	Valor
Arquitectura	cero-IF
Frecuencia RF(GHz)	2.17-2.2
Sensibilidad(dBm)	-112.55
NF(dB)	3
Ganancia máxima(dB)	46.55
Rango dinámico(dB)	83.05
Máximo nivel de entrada(dBm)	-29.5
Ancho banda canal(MHz)	8
IIP3(dBm)	-0.175
ACS(dB)	60

TABLA A.8: ESPECIFICACIONES DEL RECEPTOR

Y sustituyendo los valores de $P_{desired}$ y $P_{interferer}$, teniendo en cuenta las referencias [5] y [14], se obtienen las especificaciones de ruido de fase que se muestran en la tabla A.7.

Para finalizar esta sección, en la tabla A.8 se presenta un resumen con todas las especificaciones obtenidas para un receptor de radiofrecuencia para el estándar de televisión digital *DVB-SH*.

A.2.2.2 Método de optimización de multi-objetivos

En esta sección se presenta la aplicación de un algoritmo genético a un método de optimización para distribuir de forma óptima las especificaciones de un receptor de radiofrecuencia en sus distintos bloques. El método se ha aplicado al estándar *DVB-SH* optimizando las restricciones del sistema como son la figura de ruido y la distorsión de tercer orden. Este trabajo ofrece soluciones óptimas y realistas gracias a una optimización de multi-objetivos no lineal.

Actualmente, los receptores de radiofrecuencia para los diferentes estándares requieren un consumo bajo de potencia, un área reducida, alto rendimiento y al mismo tiempo que sean diseñados en un corto periodo de tiempo para reducir el "*time to market*". Por esta razón, se están desarrollando diferentes métodos y herramientas para generar especificaciones óptimas de cada uno de los bloques de la cadena de recepción.

La mayoría de los trabajos encontrados se basan en simulaciones para distribuir

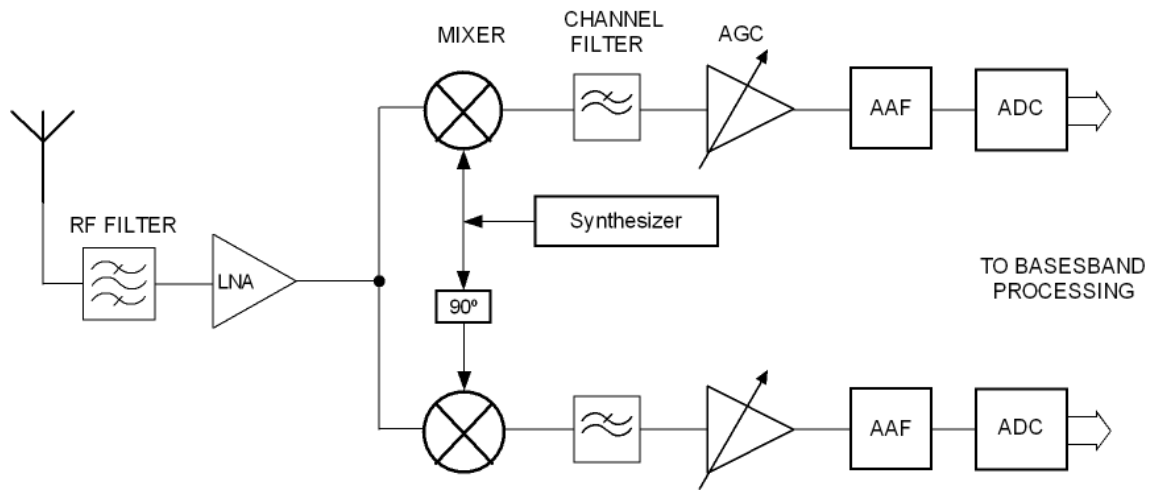


Figura A.6: Arquitectura cero-IF.

las restricciones expresadas por las especificaciones globales en los diferentes bloques del receptor [17][18]. Estas simulaciones se pueden basar en un algoritmo de optimización para encontrar los parámetros de cada bloque que optimicen las restricciones globales [19]. Sin embargo, para obtener resultados óptimos es necesario simular la cadena entera con muchas iteraciones. Estos métodos tienen cientos de soluciones y no todos son alcanzables. Es una desventaja, porque hace difícil elegir una solución que se pueda implementar.

Este trabajo se basa en la aplicación de un algoritmo de optimización de multi-objetivos [20] que ayuda a encontrar una cantidad óptima de soluciones. Este método ofrece parámetros realistas y óptimos de los bloques, teniendo en cuenta las restricciones sin tener que simular la cadena entera en multitud de iteraciones.

Las restricciones de cada bloque de los receptores se distribuyen ofreciendo soluciones realizables y al mismo tiempo es posible optimizar las restricciones globales (ver tabla A.8). Además, se demuestra la consistencia del método al poder utilizar las especificaciones de los diferentes bloques como requisito para generar especificaciones óptimas del resto de bloques del receptor de radiofrecuencia.

Las iteraciones entre los bloques ayudan a optimizar las especificaciones de cada bloque [21]. Esas iteraciones están estrechamente relacionadas con la elección de la arquitectura. Se ha elegido una arquitectura cero-*IF* (ver figura A.6) porque tiene menos componentes que las otras y porque además reduce el consumo de potencia

[22].

Filtro RF	LNA	Mixer	Filtro C.	AGC	AA Filtro	ADC
Gain	Gain	Gain	Gain	$Gain_{Max}$	Gain	Dynamic
NF	NF	NF	NF	$Gain_{Min}$	NF	Order
BW	IIP3	IIP3	BW	NF	frequency	Resolution
Order	IIP2	IIP2	Order	IIP3		IIP3, ..

TABLA A.9: PARÁMETROS DE CADA BLOQUE

La tabla A.9 muestra los parámetros de cada bloque. Las relaciones entre los bloques de un receptor están establecidas a través de los parámetros modelados del comportamiento de cada bloque y los parámetros definidos de las especificaciones globales del receptor.

Estas relaciones se pueden expresar a través de fórmulas que incluyen los parámetros de los bloques conectados en cascada [23]. Las funciones de trabajo que serán consideradas en este trabajo son el factor de ruido global (F) y el punto de intercepción de tercer orden ($AIP3$). De acuerdo a una práctica común, el filtro de radiofrecuencia se incluirá en el amplificador de bajo ruido. Las dos funciones de trabajo que hacen posible la distribución de las restricciones son:

$$F = F_{LNA} + \frac{F_{MIX}-1}{G_{LNA}} + \frac{F_{CF}-1}{G_{LNA}G_{MIX}} + \frac{F_{AGC}-1}{G_{LNA}G_{MIX}G_{CF}} + \frac{F_{AAF}-1}{G_{LNA}G_{MIX}G_{CF}G_{AGC}} \quad (A.18)$$

$$\frac{1}{AIP3^2} = \frac{1}{AIP3_{LNA}^2} + \frac{G_{LNA}}{AIP3_{MIX}^2} + \frac{G_{LNA}G_{MIX}}{AIP3_{CF}^2} + \frac{G_{LNA}G_{MIX}G_{CF}}{AIP3_{AGC}^2} + \frac{G_{LNA}G_{MIX}G_{CF}G_{AGC}}{AIP3_{AAF}^2} \quad (A.19)$$

Un error común cuando se hace la distribución es no limitar los resultados óptimos obtenidos a solo los realizables. Para evitar esto, se puede fijar el rango de variación de los parámetros para optimizar cada bloque teniendo en cuenta el estado del arte.

Teniendo en cuenta ambas funciones de trabajo, se ha definido un problema de optimización de multi-objetivos no lineal. Se ha usado un algoritmo genético *NSGA* [20] basado en la teoría de la evolución biológica de la selección natural para obtener resultados precisos.

A partir de un grupo de soluciones iniciales el algoritmo selecciona aleatoriamente

algunas de estas soluciones iniciales y las usa para producir otro grupo de soluciones llamadas nueva generación. A través de sucesivas generaciones el grupo de soluciones se vuelve óptimo y minimiza ambas funciones de trabajo. En cada paso, el algoritmo crea nuevas generaciones a partir de las actuales usando principalmente tres tipos de operaciones:

- Selección, para elegir algunas soluciones del grupo de soluciones actual, el cual produce el nuevo grupo de soluciones.
- Cruce, para combinar dos soluciones actuales para formar nuevas soluciones para la siguiente generación.
- Mutación, para aplicar cambios aleatorios a las soluciones actuales para formar nuevas soluciones.

Una formulación general para un problema de multi-objetivos es:

$$\begin{cases} \min f(x) = [f_1(x), f_2(x), \dots, f_k(x)]; x \in \mathbb{R}^n \\ \text{subject to} \\ g_j(x) \leq 0; j = 1, 2, \dots, J \\ l_i \leq x_i \leq u_i; i = 1, 2, \dots, n \end{cases} \quad (\text{A.20})$$

donde $f(x)$ es el vector de k funciones de trabajo, g_j son J restricciones de inferioridad (con el uso del principio de dualidad si es necesario), x es un vector de n variables x_i , l_i y u_i -respectivamente- límites inferior y superior de cada variable x_i .

Estas variables representan los parámetros de cada bloque de la arquitectura, en términos de ganancia, factor de ruido y el punto de intercepción de tercer orden. Para la arquitectura elegida se da una lista exhaustiva:

$$\begin{aligned} x(1) &= G_{LNA}, x(2) = G_{MIX}, x(3) = G_{CF}, x(4) = G_{AGC}, x(5) = G_{AAF}, \\ x(6) &= F_{LNA}, x(7) = F_{MIX}, x(8) = F_{CF}, x(9) = F_{AGC}, x(10) = F_{AAF}, \\ x(11) &= AIP3_{LNA}, x(12) = AIP3_{MIX}, x(13) = AIP3_{CF}, x(14) = AIP3_{AGC}, \\ x(15) &= AIP3_{AAF}. \end{aligned} \quad (\text{A.21})$$

Para este trabajo se utilizó la herramienta de optimización de *Matlab* (*Optimtool*) para optimizar ambas funciones de trabajo F y $AIP3$. En este caso las soluciones

son adecuadas para diferentes estándares usando la misma arquitectura. Sin embargo, esta elección puede ser costosa dependiendo del estándar. Si los requisitos del estándar no son muy elevados, no es necesario optimizar todos los bloques para su máximo rendimiento porque puede aumentar el coste en término de área y consumo. El diseñador puede optimizar solo los bloques más sensibles y así relajar las especificaciones de los otros bloques del receptor. Para limitar el grupo de soluciones a solo soluciones realizables, se ha definido un rango alcanzable de los parámetros de cada bloque (ver tabla A.10).

	Ganancia(dB)	NF(dB)	IIP3(dBm)
LNA	5 a 10	1 a 4	-22 a 5
Mixer	5 a 20	5.5 a 25	-12 a 24
Filtro C.	-1.5	1.5	13.42 a 22
AGC	5 a 50	5 a 35	4.38 a 20
AA Filtro	-1.5	1.5	13.42 a 22

TABLA A.10: RANGO DE LOS BLOQUES

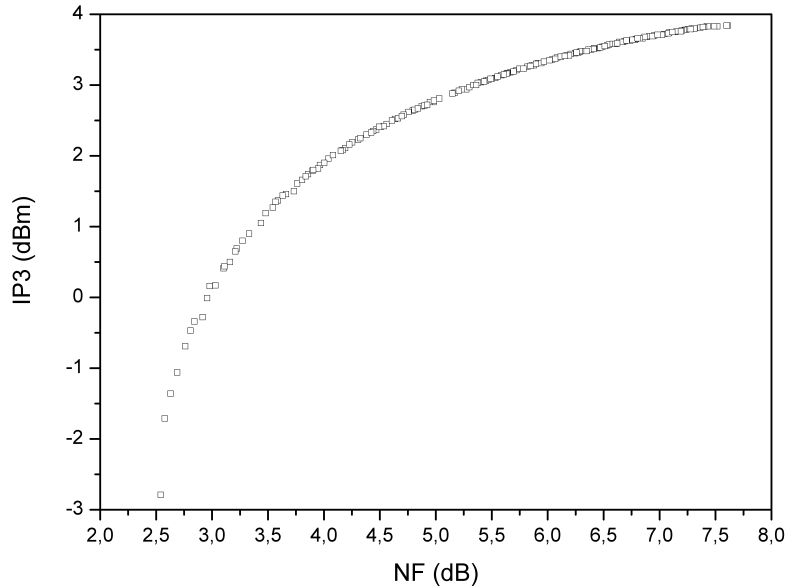


Figura A.7: Soluciones frente de Pareto.

Después de la optimización, se obtiene el frente de Pareto como se muestra en la figura A.7. Lo que significa que ninguna solución está dominada por otra. Todas estas soluciones optimizan ambas funciones de trabajo al mismo tiempo y pueden ser refinadas o filtradas teniendo en cuenta la realidad de cada diseño (por ejemplo las soluciones para mínima figura de ruido del amplificador de bajo ruido o para máxima linealidad del mezclador).

	$IIP3_{TotalMax}$	$NF_{TotalMin}$
NF_{Total} (dB)	7.60	2.54
$IIP3_{Total}$ (dBm)	3.83	-2.78
G_{LNA} (dB)	7.57	8.72
G_{MIX} (dB)	3.49	16.50
G_{CF} (dB)	-1.5	-1.5
G_{AGC} (dB)	22.44	25.1
G_{AAF} (dB)	-1.5	-1.5
NF_{LNA} (dB)	1.25	1.1
NF_{MIX} (dB)	6.77	5.61
NF_{CF} (dB)	1.5	1.5
NF_{AGC} (dB)	15.42	15.55
NF_{AAF} (dB)	1.5	1.5
$IIP3_{LNA}$ (dBm)	4.98	4.78
$IIP3_{MIX}$ (dBm)	18	12.61
$IIP3_{CF}$ (dBm)	19.93	19.72
$IIP3_{AGC}$ (dBm)	18.22	16.46
$IIP3_{AAF}$ (dBm)	21.94	21.8

TABLA A.11: ESPECIFICACIONES DE CADA BLOQUE

La tabla A.11 muestra algunos resultados prácticos obtenidos con este método. Las soluciones se han filtrado para mostrar el máximo $IP3$ total y la mínima figura de ruido total. En este caso concreto, la solución para mínima figura de ruido total puede usarse para el estándar *DVB-SH*. Sin embargo, la solución para máximo $IP3$ total no puede usarse debido a la figura de ruido total que tiene. Es posible filtrar otras soluciones en función de las necesidades.

En todos los casos obtenidos con este método, la figura de ruido del amplificador

de bajo ruido tiende a ser lo más baja posible, de esta forma se consiguen reducir las restricciones de los otros bloques.

Este es un método reutilizable, por ejemplo, si hay un bloque diseñado es posible utilizar los parámetros de este bloque como requisito para el método. De esta forma se obtienen un nuevo grupo de soluciones. Este paso se puede repetir secuencialmente para los diferentes bloques con el propósito de obtener siempre las mejores soluciones para el resto de los bloques.

A.2.3 Aportaciones originales

Como principales aportaciones de este capítulo cabe destacar el diseño de una cadena de recepción a nivel de bloques, así como la verificación del sistema y distribución de las especificaciones globales en especificaciones particulares de cada uno de los bloques que constituyen el sistema aplicando un método de optimización de multi-objetivos.

A.2.4 Conclusiones obtenidas

En este capítulo se ha visto una introducción del estándar *DVB-SH*. Después de elegir la arquitectura más idónea (cero-*IF*) se ha hecho el análisis del sistema. Para acabar se ha realizado la distribución de las especificaciones globales en las diferentes especificaciones locales de cada uno de los bloques. Para ello, se ha aplicado un método de optimización de multi-objetivos.

A.3 Cabezales de radiofrecuencia para un receptor de DVB-SH

A.3.1 Objetivos

El objetivo de este capítulo es el diseño de tres cabezales de radiofrecuencia para un receptor de televisión digital *DVB-SH* (2.17-2.20 GHz). Para ello, se utilizará la arquitectura *cero-IF* que reduce el tamaño y el coste del receptor debido a que tiene un número menor de componentes como fue explicado anteriormente. El capítulo comienza con una descripción de la tecnología propuesta para implementar los circuitos.

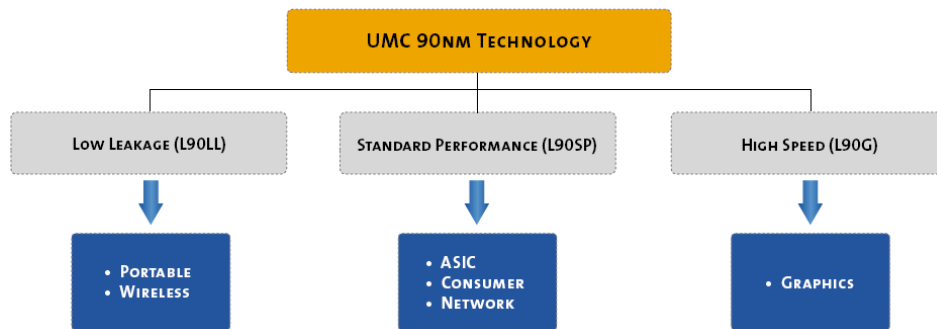


Figura A.8: Aplicaciones de la tecnología UMC 90 nm (extraído de [25]).

A.3.2 Planteamiento y metodología

A.3.2.1 Descripción de la tecnología UMC 90 nm

United Microelectronics Corporation (UMC)[24][25] se fundó en 1980 como la primera compañía de semiconductores de Taiwan. Se trata de un líder global en la fundición de semiconductores que provee tecnología avanzada y servicios industriales para el sector de la industria de los circuitos integrados. Ofrece productos basados en su tecnología de 90 nm desde marzo de 2004. La tecnología *UMC* 90 nm abarca un amplio rango del mercado incluyendo radiofrecuencia, banda base, gráficos de alta velocidad y *FPGAs*. Incluye múltiples opciones de transistores, flujo de diseño y herramientas, *IP* (*Intellectual Property*), recursos para el diseño para manufacturabilidad (*DFM*), opciones de encapsulado avanzado. Según la aplicación específica se puede elegir entre las distintas opciones de dispositivos (ver figura A.8), como

pueden ser transistores de alta velocidad o de bajas pérdidas.

Para la implementación de los circuitos desarrollados se han elegido los dispositivos de señal mixta y radiofrecuencia *MS/RF* (*Mixed Signal/RadioFrequency*). Los dispositivos *MS/RF* (ver figura A.9) incluyen transistores bipolares, *MOSFETs*, condensadores, diodos, resistencias, bobinas y transformadores. El *kit* de diseño (*Foundry design kit, FDK*) tiene 27 opciones de metal diferentes [26]. Cada opción de metal define las capas de metal que pueden ser usadas. La opción elegida es la 13, la cual usa 9 niveles de metales diferentes y un polisilicio (1P9M).

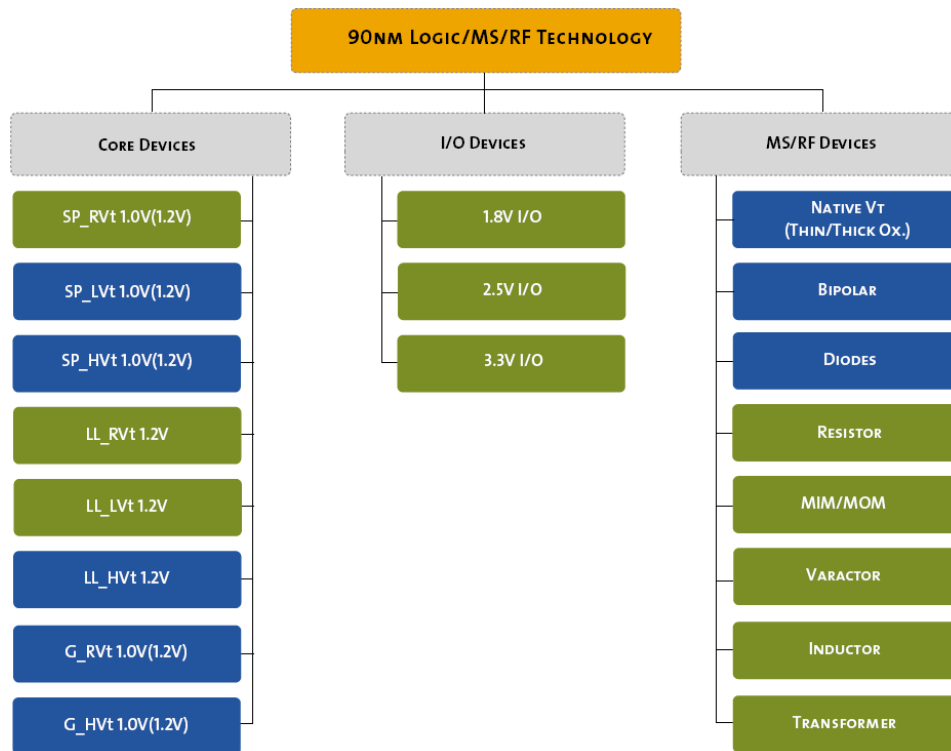


Figura A.9: Dispositivos lógicos/MS/RF 90 nm (extraído de [25]).

La figura A.10 muestra el flujo de diseño. Se trata de una metodología que permite simular los esquemáticos y verificar los *layout* con precisión. Para el caso de las bobinas, condensadores y transformadores incluye optimizadores que permiten acceder rápidamente a una extensa librería de bobinas, condensadores y transformadores. Además, permite ajustar los componentes con la interfaz en pocos pasos.

La figura A.11 muestra las herramientas *EDA* (*Electronic Design Automation*) soportadas por la tecnología para el diseño de circuitos integrados. El software y los

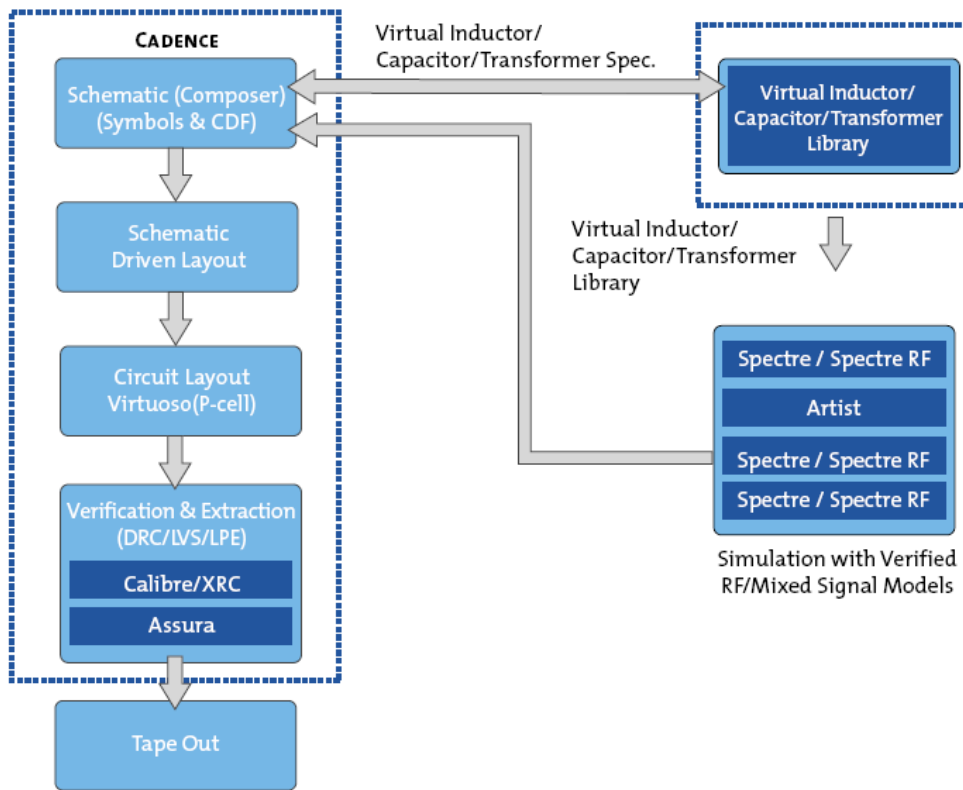


Figura A.10: Flujo de diseño y FDK para MS/RF (extraído de [25]).

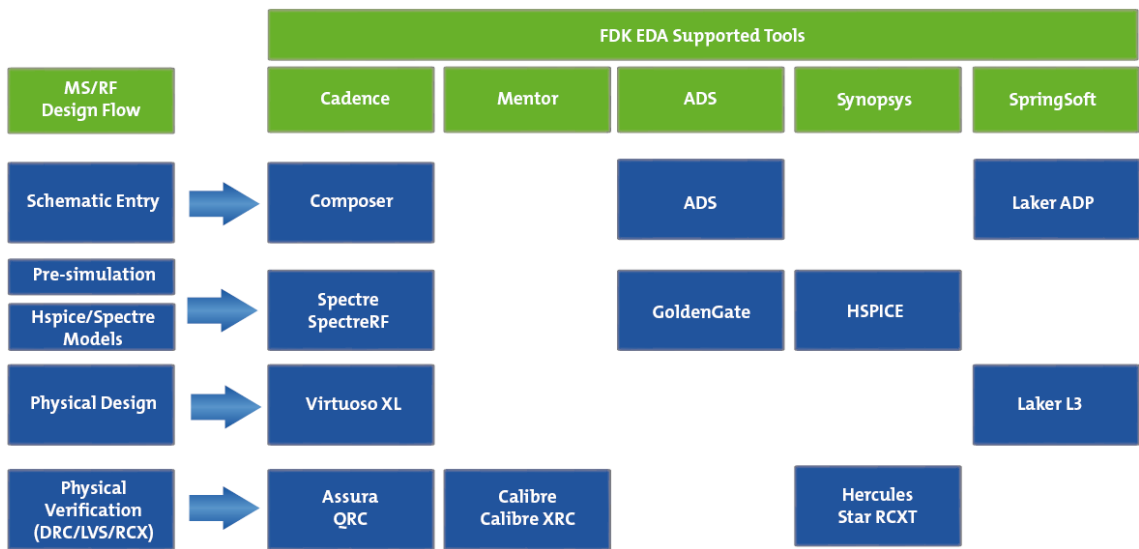


Figura A.11: Metodología diseño analógico (extraído de [25]).

FDKs utilizados para este trabajo son:

- *Cadence, Custom IC Design Tools, Virtuoso ® Front Back Design Environment* 5.10.41_USR5.90.69 [28][29].
- *Assura* 3.2 [28].
- *Mentor Graphics Corporation, Calibre Skill Interface* v2008.2_33.26 [30].
- *Agilent Technologies, Advanced Design System (ADS)* 2009 Update 1 [31].
- *UMC* 90 nm fcdk_B14_PB and fcdk_B15_PB [24][25][26][27].

A.3.2.2 Receptor 1

En esta sección se describe el primer receptor compuesto por un amplificador cascodo de bajo ruido, un convertidor de asimétrico a diferencial y un mezclador doble balanceado basado en la célula de Gilbert.

Amplificador de Bajo Ruido

La figura A.12 muestra el clásico amplificador de bajo ruido que se utiliza para banda estrecha [23][32][33][34][35][36][37][38]. El amplificador cascodo de bajo ruido consta de un amplificador en configuración fuente común (M_1) seguido de un puerta común (M_2) como etapa de salida. La principal diferencia de un amplificador cascodo frente a un fuente común es el ancho de banda, siendo mayor en el cascodo. Además, la configuración cascodo mejora el aislamiento entre la entrada y la salida.

La carga de la etapa cascodo es un circuito resonante formado por L_L y C_L . Con esta carga se consigue una ganancia alta usando una baja tensión de alimentación. La frecuencia del tanque resonante se ajusta a la frecuencia de interés (2.17-2.2 GHz). La frecuencia de resonancia viene dada por

$$f \approx \frac{1}{2\pi\sqrt{L_L C_L}} \quad (\text{A.22})$$

donde L_L y C_L son la inductancia y la capacidad del circuito tanque.

La degeneración inductiva se utiliza para adaptar la impedancia de entrada. Consiste en introducir una inductancia L_S en serie en la fuente del transistor M_1 como se muestra en la figura A.12. L_S cambia la parte real de la impedancia de entrada, y para modificar la parte imaginaria se introduce otra inductancia L_G en la puerta del transistor M_1 como se muestra en la figura A.12.

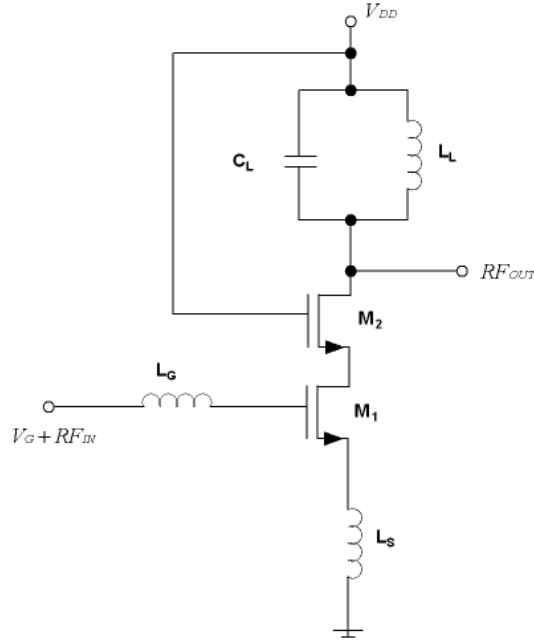


Figura A.12: Amplificador de bajo ruido para banda estrecha.

La impedancia de entrada del amplificador con degeneración inductiva viene dada por

$$Z_{IN} = g_m \frac{L_S}{C_{gs}} + \frac{1}{sC_{gs}} + s(L_G + L_S) \quad (\text{A.23})$$

donde g_m es la transconductancia del transistor M_1 y C_{gs} es la capacidad puerta-fuente del transistor M_1 .

Para obtener una impedancia de entrada de 50Ω la parte real debe ser igual a 50Ω ,

$$\frac{g_m}{C_{gs}} L_S = R_S = 50 \Omega \quad (\text{A.24})$$

y la parte imaginaria debería ser cero a la frecuencia de interés (entre 2.17-2.2 GHz).

$$\frac{1}{sC_{gs}} + s(L_G + L_S) = 0 \quad (\text{A.25})$$

El factor de calidad del circuito RLC a la entrada del amplificador viene dada

por

$$Q = \frac{\sqrt{(L_S + L_G)/C_{gs}}}{R_S} \quad (\text{A.26})$$

El factor de ruido es aproximadamente el mismo que el de un amplificador en configuración fuente-común debido a que la contribución de ruido del cascodo es pequeña. El transistor de entrada M_1 es el principal contribuidor al ruido y su factor de ruido mínimo viene dado por [23][32]

$$F_{min} \approx 1 + \frac{R_g}{R_S} + \left(\frac{\gamma}{\alpha}\right) \left(\frac{w}{w_T}\right)^2 g_m R_S \quad (\text{A.27})$$

donde γ es el exceso de ruido (entre 1-2 para dispositivos *NMOS* de canal corto), α es g_m/g_{d0} , g_{d0} es la conductancia drenador-fuente para una V_{DS} de cero, R_g es la impedancia de la puerta, R_S es la impedancia de salida de la fuente a la entrada, w es la frecuencia de trabajo, w_T es la frecuencia máxima de la tecnología y g_m es la transconductancia de M_1 .

Para diseñar el circuito se ha usado un método de adaptación conjunta para mínimo ruido y máxima transferencia de potencia [39][40]. Este método consta de los siguientes pasos:

1. Encontrar la densidad de corriente del transistor que proporciona la mínima NF .
2. Elegir el ancho del transistor (manteniendo la longitud constante) de forma que la parte real de la impedancia optima para mínimo ruido sea 50Ω . La corriente se debe ajustar de forma que se mantenga la densidad de corriente calculada en el paso 1.
3. Insertar la bobina de degeneración de fuente (L_S) que haga que la parte real de la impedancia de entrada sea 50Ω .
4. El último paso consiste en insertar una bobina en serie con la puerta del transistor (L_G) que haga que la parte imaginaria de la impedancia de entrada se anule. De este modo la impedancia de entrada quedará adaptada a 50Ω .

Hay que tener especial atención con los valores de las inductancias L_G y L_S obtenidos para la mínima figura de ruido porque pueden ser no realizables o que ocupen

un área extremadamente grande. Para solucionarlo se puede optar por modificar la densidad de corriente y así obtener valores de los componentes que se puedan fabricar. El valor del transistor M_2 se elige teniendo en cuenta también la impedancia de entrada del siguiente bloque al que va conectado el amplificador de bajo ruido, en este caso al convertidor de asimétrico a diferencial.

Convertidor de asimétrico a diferencial

El convertidor de asimétrico a diferencial genera a la salida un par de señales diferenciales a partir de una señal de entrada (ver figura A.13). La configuración diferencial es comúnmente utilizada para construir circuitos integrados analógicos porque es menos sensible al ruido y a las interferencias que en los circuitos asimétricos. Esta técnica es apropiada para la fabricación de circuitos integrados con *CMOS* porque es fácil aparear los transistores.

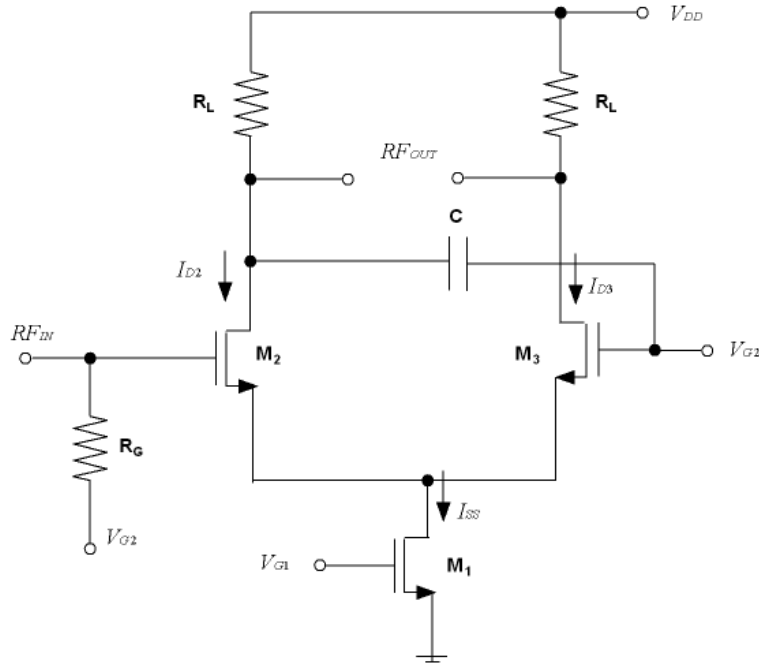


Figura A.13: Convertidor de asimétrico a diferencial.

La corriente viene dada por

$$I_{D2} - I_{D3} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{IN+} - V_{IN-}) \sqrt{\frac{4I_{SS}}{\mu_n C_{OX} \frac{W}{L}} - (V_{IN+} - V_{IN-})^2} \quad (\text{A.28})$$

donde I_{D2} y I_{D3} son las corrientes de drenador de M_2 y M_3 , μ_n es la movilidad de los electrones, C_{OX} es la capacidad del óxido por unidad de área, W y L son el ancho y la longitud de los transistores M_2 y M_3 y I_{SS} es la corriente del transistor M_1 .

La ganancia en tensión diferencial en pequeña señal del circuito en condiciones de equilibrio viene dada por

$$|A_V| = \sqrt{\mu_n C_{OX} \frac{W}{L} I_{SS} R_D} \quad (\text{A.29})$$

Debido a las capacidades parásitas, aparecen una serie de errores entre las fases a la frecuencia de trabajo [41][42][43]. Para poder reducir el error se ha introducido un condensador C como se muestra en la figura A.13. Con este condensador se consiguen reducir los errores en la amplitud y en la fase sin añadirle un consumo de potencia adicional.

El tamaño de los transistores y la corriente de polarización se tienen que elegir de tal forma que se adapte lo mejor posible la impedancia de entrada del convertidor a la impedancia de salida del amplificador de bajo ruido. Además, junto con la impedancia de carga se tiene que adaptar la impedancia de salida del convertidor a la impedancia de entrada del siguiente bloque, en este caso el mezclador. Todo ello, tratando de conseguir una figura de ruido baja y que la ganancia sea lo mayor posible.

Mezclador

La topología elegida del mezclador es la configuración doble balanceada, conocida como célula de Gilbert [44][45][46][47][48][49] (ver figura A.14). Este diseño se suele elegir por sus características de aislamiento, los mezcladores doble balanceados usan la simetría para cancelar las componentes indeseadas del oscilador local al mismo tiempo que aumentan las componentes deseadas de la mezcla a la salida.

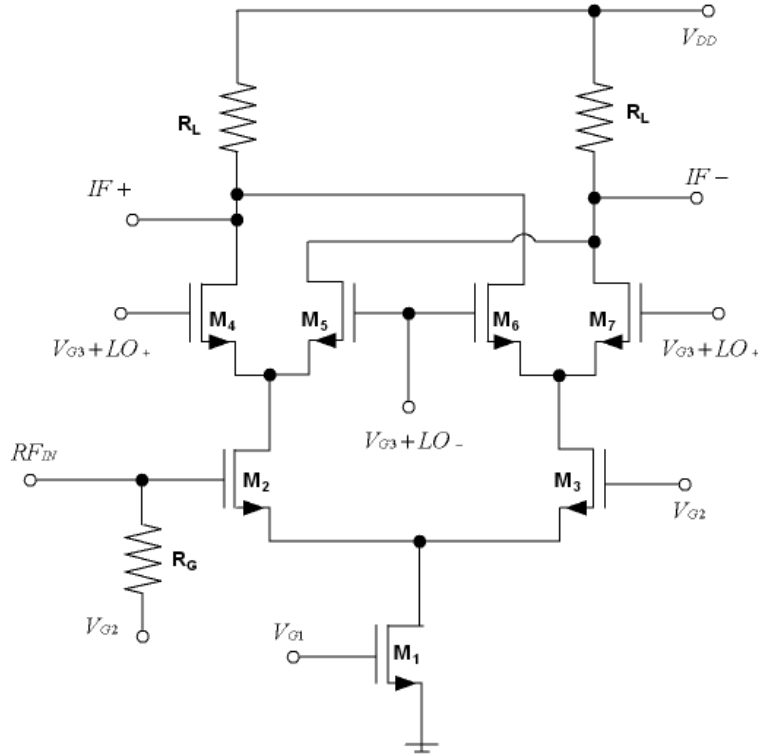


Figura A.14: Mezclador Gilbert doble balanceado.

El mezclado se basa en la multiplicación de dos señales, la señal del oscilador local y la señal de radiofrecuencia con la información. El voltaje de la señal de RF es amplificada y convertida en una corriente por la etapa formada por los transistores M_2 y M_3 . La señal del oscilador local (Local oscillator, LO) se usa para dirigir toda la corriente de un transistor a otro en la etapa de conmutación (M_4 - M_7). Finalmente, la tensión de salida IF se crea debido a la corriente que atraviesa las resistencias de carga R_L .

La ganancia de conversión del mezclador viene dada por

$$G_C \cong \frac{2}{\pi} \left(\frac{\sin(\pi f_{LO} t_S)}{\pi f_{LO} t_S} \right) g_{mRF} \quad (A.30)$$

donde f_{LO} es la frecuencia del oscilador local, t_S son los tiempos de conmutación ON y OFF para la señal del oscilador local y g_{mRF} es la transconductancia de los transistores de radiofrecuencia M_2 y M_3 .

La figura A.15 muestra el mezclador doble balanceado propuesto para este receptor, el cual utiliza dos células de Gilbert una para la fase y otra para la cuadratura.

Hay muchos factores que afectan al rendimiento del mezclador, como la ganancia, linealidad, potencia y ruido. Si se centra el ajuste del circuito para un parámetro determinado puede provocarse sin querer una degradación de los otros parámetros. Es importante monitorizar todos los parámetros en el proceso de diseño. En general, la ganancia, el $IP3$ y la figura de ruido dependen de los transistores del transconductor y de la corriente de polarización. Los transistores M_1 y M_2 se tienen que elegir de forma que se adapte la impedancia de entrada del mezclador a la impedancia de salida del convertidor asimétrico-diferencial al mismo tiempo se busca una ganancia elevada para la mínima figura de ruido posible. La corriente de polarización, el valor de las impedancias de carga del mezclador y el tamaño de los transistores M_3 - M_{10} se eligen de forma que se obtenga la mayor linealidad posible.

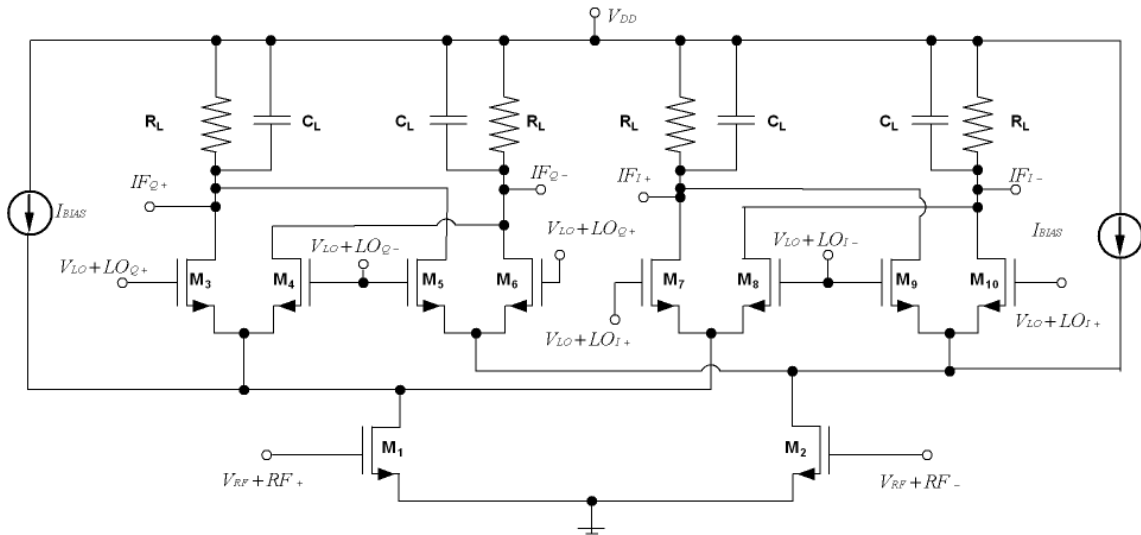


Figura A.15: Mezclador Gilbert doble balanceado con inyección de corriente.

Para mejorar la linealidad se ha inyectado adicionalmente una corriente (I_{BIAS}) sobre el transconductor del mezclador [50][51][52][53][54][55]. La ganancia y el $IP3$ del mezclador dependen de la corriente que pasa por el transconductor. Parece razonable que si aumentamos la corriente de polarización aumentaría la ganancia y el $IP3$, pero esto no ocurre del todo ya que si se aumenta la corriente, aumentaría la caída de tensión sobre la carga del mezclador y se reduciría la tensión de los transistores M_3 - M_{10} , por lo que se comprimiría la señal de salida para los niveles bajos

de la señal de entrada quedando reducido el $IP3$. Usando la inyección de corriente sobre el transconductor podemos aumentar la corriente de polarización manteniendo la misma corriente en los transistores de conmutación. El diseño se ha centrado en obtener una ganancia y una linealidad alta con una figura de ruido y un consumo de potencia reducido.

Resultados experimentales

Las figuras A.16 y A.17 muestran el *layout* y una fotografía del cabezal de radiofrecuencia compuesto por un amplificador de bajo ruido, un convertidor asimétrico-diferencial y el mezclador diferencial Gilbert doble balanceado.

A la hora de realizar el *layout* se han cumplido una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos y ángulos. Uno de los aspectos más importantes se refiere a las densidades de corriente que pueden soportar los distintos elementos (metales, componentes, vías, *pads*). Dependiendo de la corriente que pase por cada uno se tiene que ajustar su anchura o el número de ellos para que no se destruya. Las pistas tampoco se pueden sobredimensionar en exceso porque aumenta la cantidad de parásitos y pueden influir negativamente al funcionamiento del circuito. De la misma manera, se han tenido en cuenta una serie de aspectos que permiten obtener el comportamiento óptimo del diseño realizado. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito.

Los aspectos más importantes se enumeran a continuación:

- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen.
- No utilizar líneas excesivamente largas ya que introducen capacidades y resistencias parásitas. Cuando no se han podido evitar se han implementado con los metales mayores ya que estos tienen menor resistencia y aportan menos capacidades parásitas.
- Contactos a tierra colocados por todos los espacios libres, excepto dentro de las bobinas. Con ello evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip.

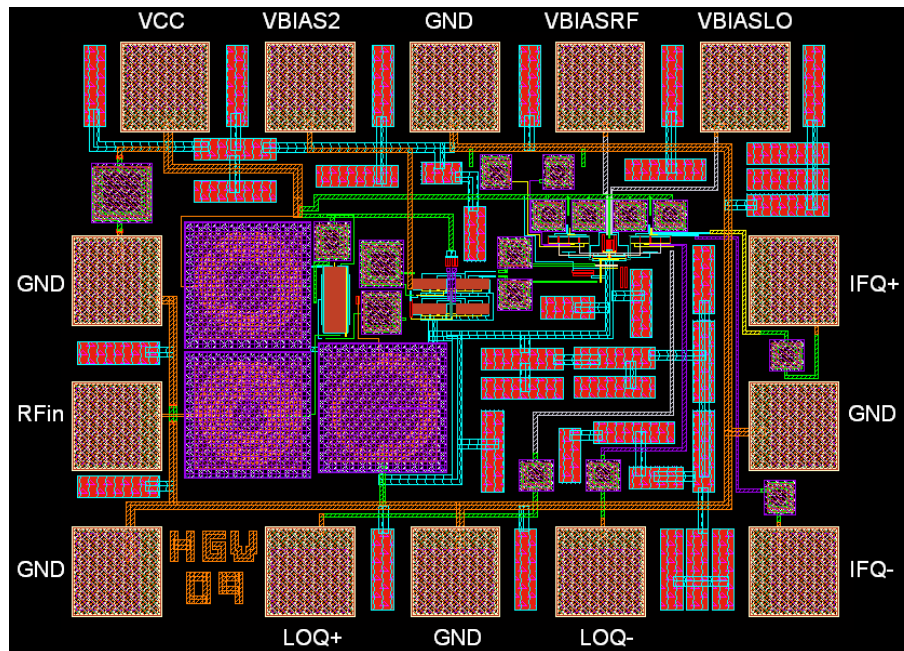


Figura A.16: Layout del Receptor 1.

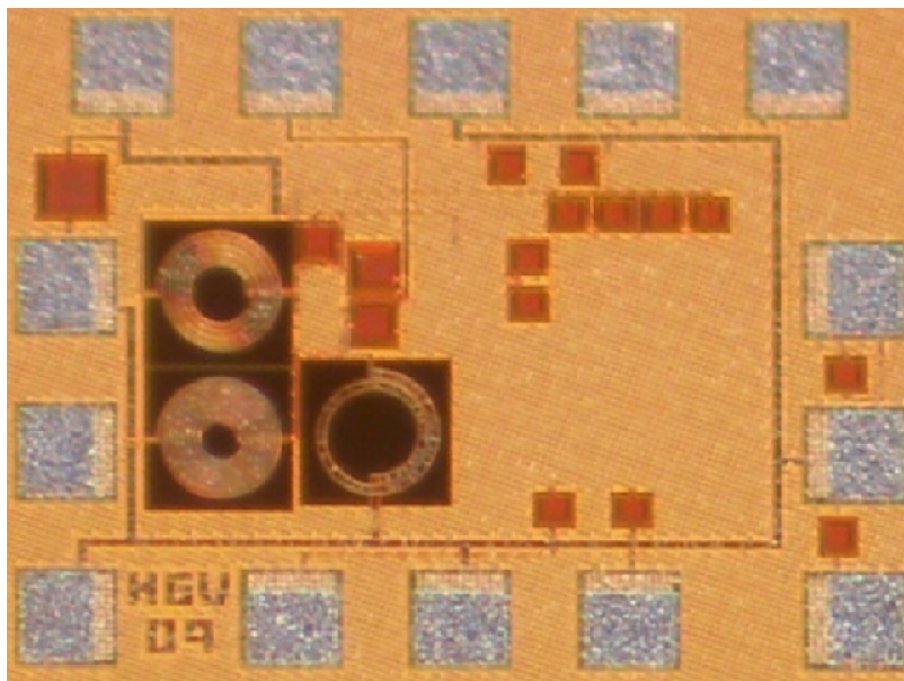


Figura A.17: Fotografía del Receptor 1.

- Se ha añadido un condensador entre la alimentación y tierra para filtrar señales parásitas que pueden entrar por la fuente de alimentación.
- Usar la técnica del centroide común.
- Apareamiento y simetría de los circuitos diferenciales.
- Usar anillos de guarda.
- Estructuras *dummies* para reducir las tolerancias.
- Evitar el uso de polisilicio debido a la resistencias parásitas que introduce.
- Usar las configuraciones con multi-dedo.

El circuito se diseñó para ser medido sobre oblea usando una estación de prueba *Cascade SUMMIT* 9000. El área de chip del receptor excluyendo los *pads* es 0.52mm x 0.28mm (incluyendo los *pads* es 0.79mm x 0.59mm). El circuito fue simulado usando *ADS* y *CADENCE* y la verificación del *layout* y la extracción de parásitos fue hecha con *ASSURA* y *CALIBRE*. Los resultados de las simulaciones y de las medidas se resumen en la tabla A.12 y son discutidos debajo.

Como se muestra en la figura A.18 el receptor tiene un S_{11} de -12 dB en la banda. En la simulaciones el pico mínimo del S_{11} es a 2.4 GHz mientras que en la medidas se ha desplazado a 2.53 GHz debido a los parásitos que no se tienen en cuenta en las simulaciones.

Parámetros	Simulaciones	Medidas
Frecuencia RF(GHz)	2.17-2.2	
Arquitectura	cero-IF	
Ancho banda canal(MHz)	8	
S_{11} (dB)	-14.9	-12
Ganancia de conversión(dB)	16.5	15.5
NF@4MHz(dB)	2.24	-
P_{1dB} salida(dBm)	0.3	1.92
V_{DD} (V)	1.2	
P_{DC} (mW)	21.7	22
Área(mm x mm)	0.52 x 0.28	

TABLA A.12: RESULTADOS RECEPTOR 1

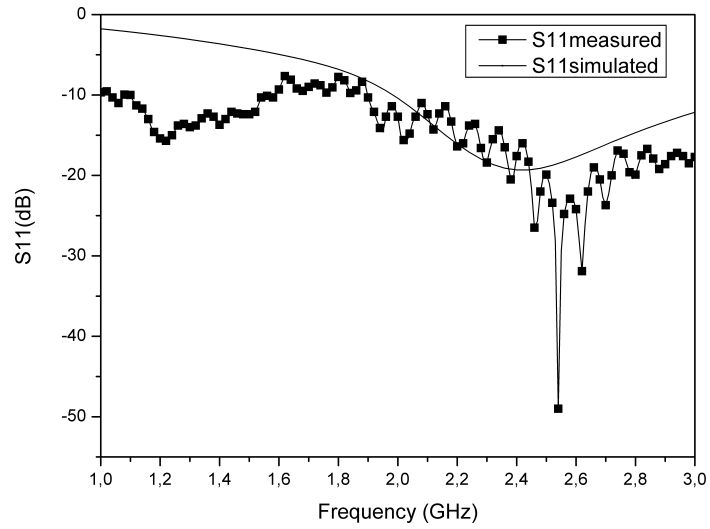
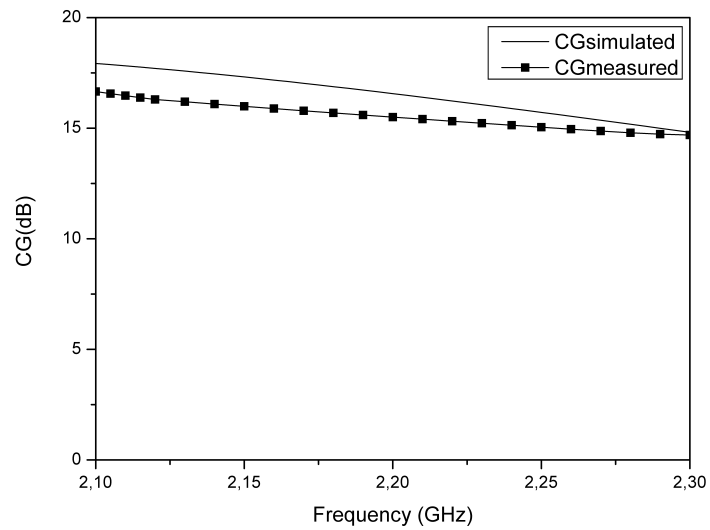
Figura A.18: S_{11} .

Figura A.19: Ganancia de conversión.

La ganancia de conversión del receptor es 15.5 dB como se muestra en la figura A.19. La medida de la figura de ruido no se pudo realizar debido a un problema con el equipo de medida. Sin embargo, el valor de la simulación es un buen indicador

del rendimiento actual. La simulación de la figura de ruido se muestra en la figura A.20, el valor en la banda es menor de 2.24 dB ($IF=4\text{MHz}$).

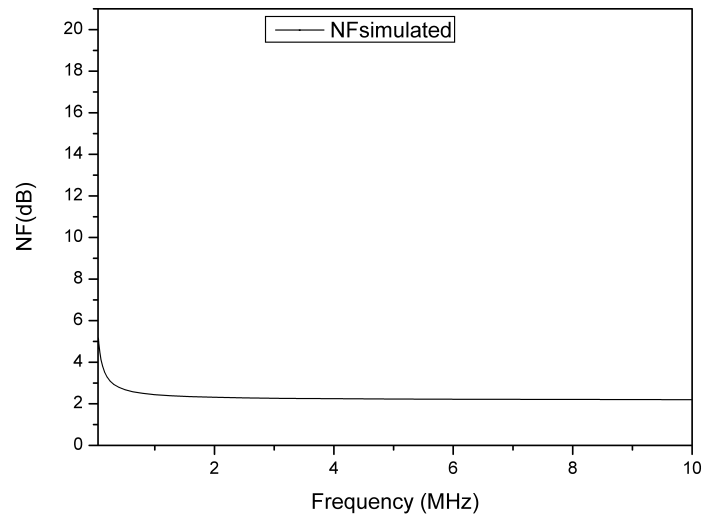


Figura A.20: Figura de ruido.

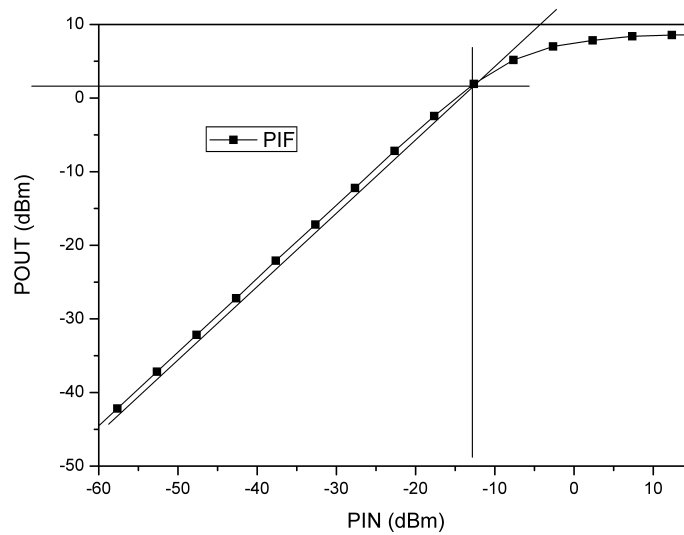


Figura A.21: Medida del P_{1dB} a 2.185 GHz.

Para evaluar la linealidad del receptor se ha utilizado el test del P_{1dB} . Las medidas obtenidas se presentan en la figura A.21. El test se realizó a 2.185 GHz y se obtuvo un P_{1dB} de 1.92 dBm.

A.3.2.3 Receptor 2

El circuito descrito en esta sección está compuesto de un amplificador de bajo ruido realimentado resistivamente y un mezclador Gilbert doble balanceado.

Amplificador de bajo ruido

La figura A.22 muestra el esquemático de un amplificador de bajo ruido realimentado clásico [56][57][58][59][60]. La ganancia en tensión del amplificador es aproximadamente

$$A_V = \frac{R_L(1 - g_{m1}R_F)}{R_F + R_L} \quad (\text{A.31})$$

donde g_{m1} es la transconductancia del transistor M_1 , R_F es la resistencia de realimentación y R_L es la resistencia de carga.

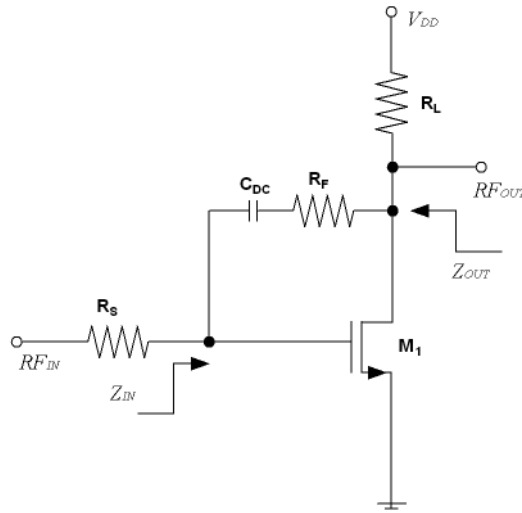


Figura A.22: Amplificador de bajo ruido realimentado.

Las impedancias de entrada y salida son respectivamente

$$Z_{IN} = \frac{R_F + R_L}{1 - g_{m1}R_L} // \frac{1}{sC_{gs1}} \quad (\text{A.32})$$

y

$$Z_{OUT} = R_L // \frac{R_S + R_F}{1 - g_{m1} R_S} \quad (\text{A.33})$$

El factor de ruido del amplificador realimentado resistivamente viene dado por

$$F = 1 + \frac{2}{3} \frac{1}{g_{m1} R_S} \left(\frac{1}{R_S} + \frac{R_S}{R_F^2} \right) + \left(\frac{f}{f_T} \right)^2 \frac{2}{3} g_{m1} R_S + \frac{R_S}{R_F} \quad (\text{A.34})$$

donde f_T es la frecuencia de corte del transistor M_1 .

En esta sección se propone combinar un amplificador cascode con carga resistiva y una realimentación resistiva para obtener mejores resultados en el amplificador. La figura A.23 muestra la topología propuesta, como se puede observar el circuito solo tiene una bobina para mejorar la adaptación.

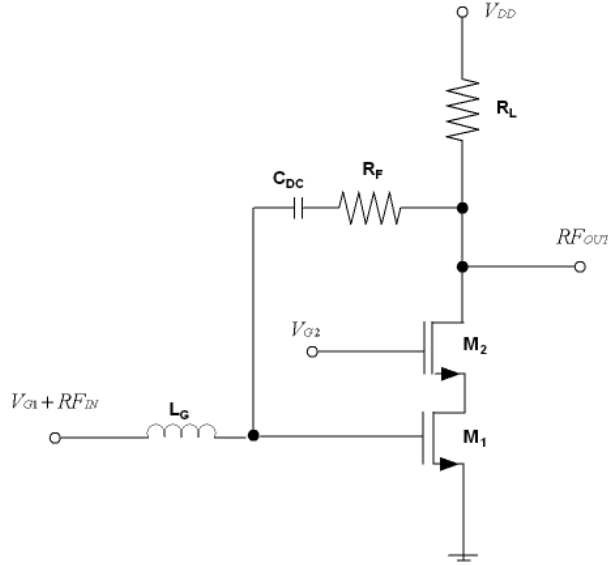
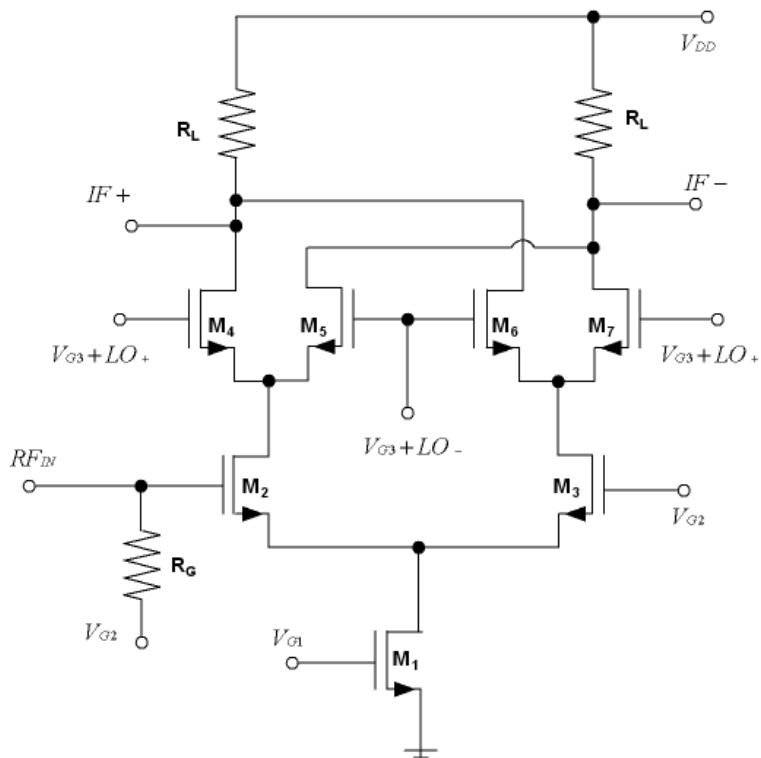


Figura A.23: Amplificador de bajo ruido cascode realimentado.

El amplificador de bajo ruido consta de los siguientes elementos: la etapa cascode formada por los transistores M_1 y M_2 , la bobina L_G , la resistencia de carga R_L y la resistencia de realimentación R_F .

Se ha utilizado la topología cascode por diferentes razones: mitiga el efecto Miller mejorando la adaptación y el ancho de banda, mejora el aislamiento entre la entrada y la salida del amplificador y además permite variar la ganancia del amplificador a través de la tensión de alimentación V_{G2} .



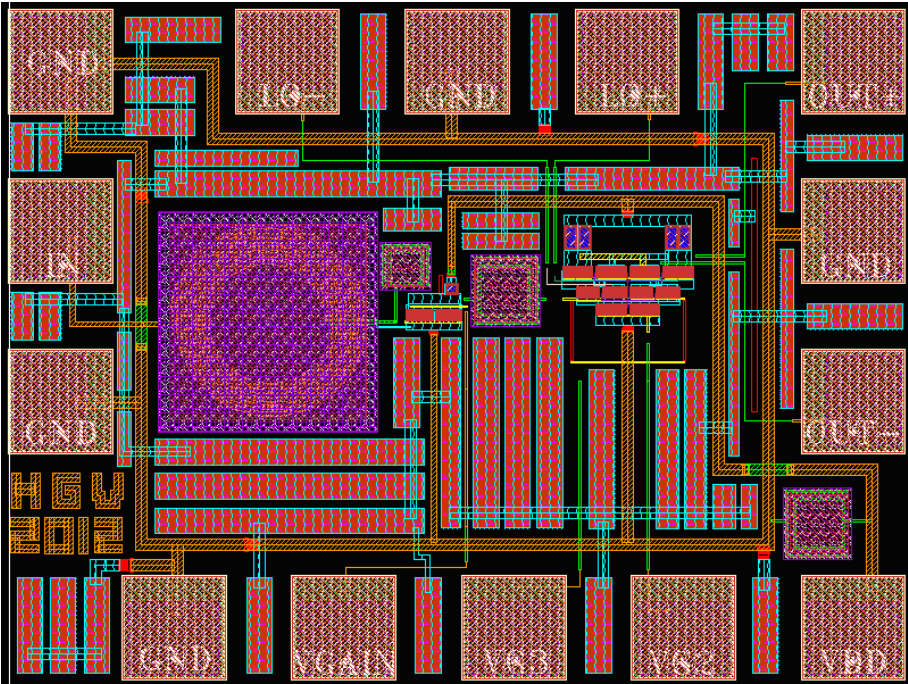


Figura A.25: Layout del Receptor 2.

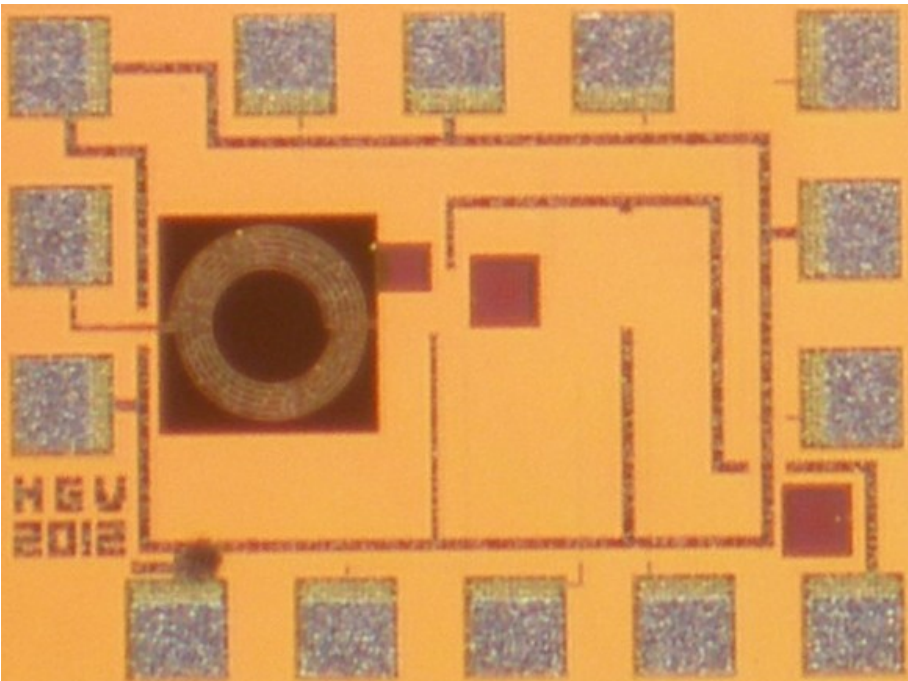


Figura A.26: Fotografía del Receptor 2.

Resultados experimentales

Las figuras A.25 y A.26 muestran el *layout* y una fotografía del cabezal de radiofrecuencia compuesto por un amplificador de bajo ruido realimentado resistivamente y del mezclador Gilbert doble balanceado. A la hora de realizar el *layout* se han tenido en cuenta las mismas consideraciones que se tuvieron al realizar el *layout* del Receptor 1. El área de chip del receptor excluyendo los *pads* es 0.475mm x 0.194mm (incluyendo los *pads* es 0.79mm x 0.59mm). El circuito fue simulado usando *ADS* y *CADENCE* y la verificación del *layout* y la extracción de parásitos fue hecha con *ASSURA* y *CALIBRE*. Los resultados de las simulaciones y de las medidas se resumen en la tabla A.13 y son discutidos debajo.

Parámetros	Simulaciones	Medidas
Frecuencia RF(GHz)	2.17-2.2	
Arquitectura	cero-IF	
Ancho banda canal(MHz)	8	
S_{11} (dB)	-17.8	-11.9
Ganancia de conversión(dB)	23.8	24.1
NF@4MHz(dB)	2.4	3
P_{1dB} salida(dBm)	-1	-2.2
V_{DD} (V)	1.2	
P_{DC} (mW)	10.2	12.4
Área(mm x mm)	0.475 x 0.194	

TABLA A.13: RESULTADOS RECEPTOR 2

La figura A.27 muestra que el Receptor 2 tiene un S_{11} medido dentro de la banda por debajo de -11.9 dB. Al igual que en el caso del Receptor 1 se ha desplazado el pico mínimo del S_{11} a frecuencias mayores debido a los parásitos que no se tienen en cuenta en las simulaciones.

La ganancia de conversión y la figura de ruido se muestran respectivamente en las figuras A.28 y A.29. El receptor tiene una ganancia de conversión de 24.1 dB en la banda de trabajo y una figura de ruido menor a 3 dB.

Para evaluar la linealidad del receptor se ha utilizado el test del P_{1dB} . Las medidas obtenidas se presentan en la figura A.30. El test se realizó a 2.185 GHz y se obtuvo a la salida un P_{1dB} de -2.2 dBm.

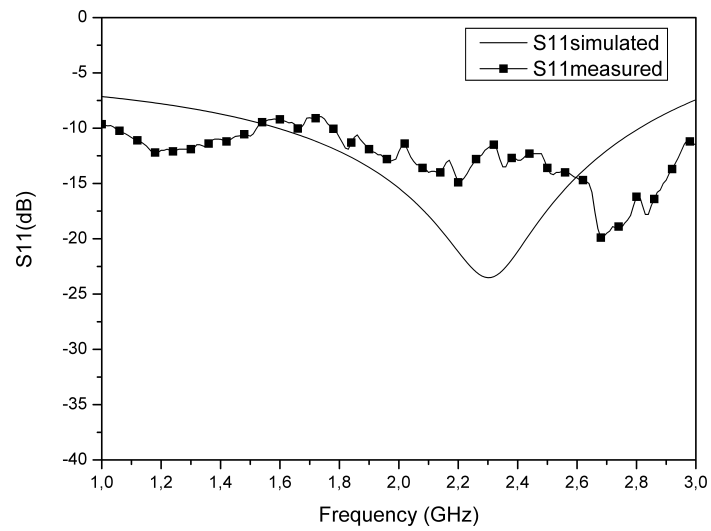
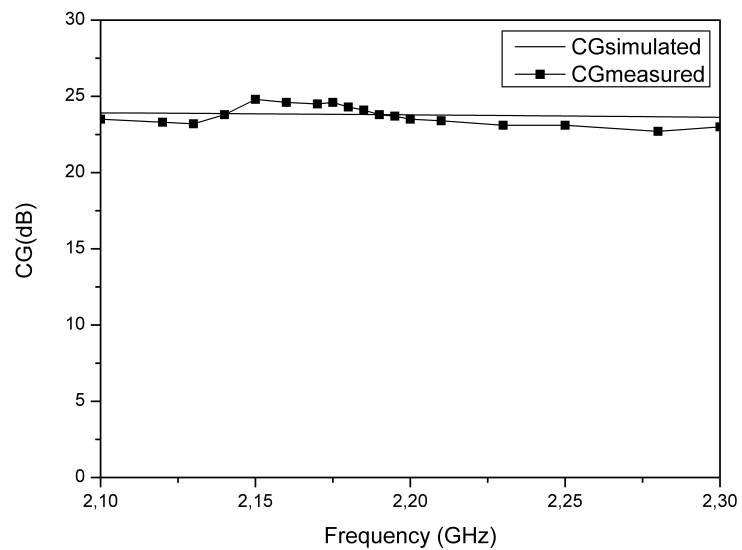
Figura A.27: S_{11} .

Figura A.28: Ganancia de conversi3n.

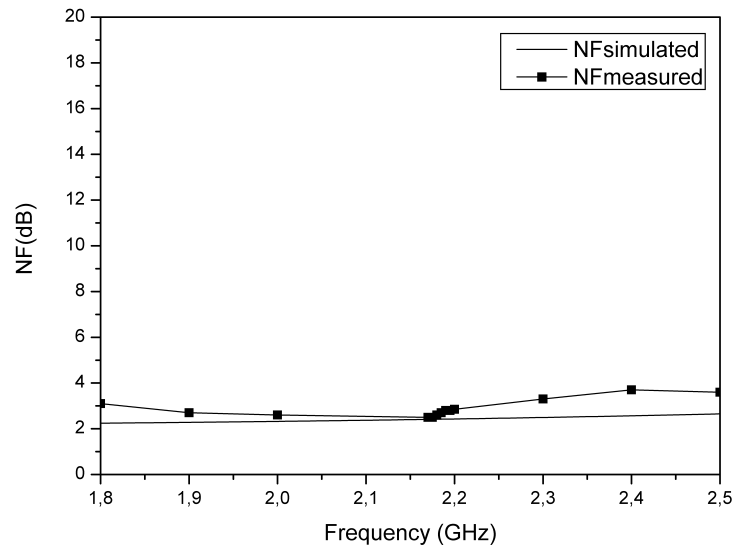
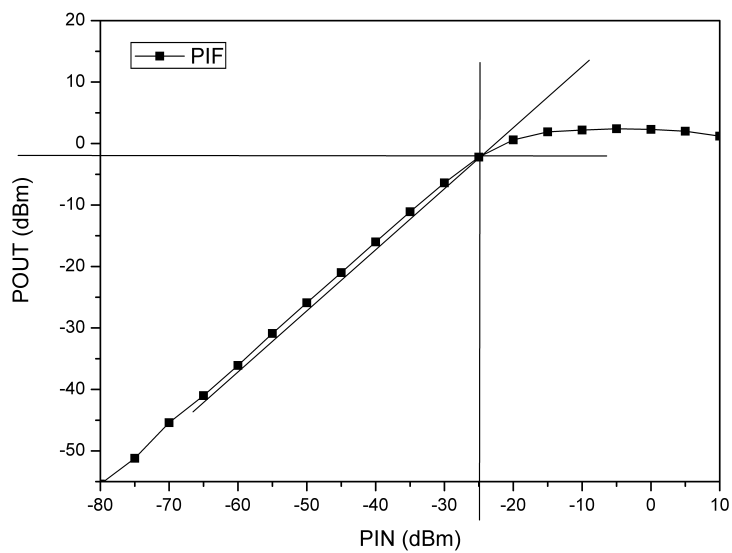


Figura A.29: Figura de ruido.

Figura A.30: Medida del P_{1dB} a 2.185 GHz.

A.3.2.4 Receptor 3

El consumo de potencia es la principal preocupación en el diseño de circuitos para dispositivos móviles. Para hacer frente a este problema en este trabajo se propone el uso de convertidores de corriente (*current conveyors*, *CC*) para implementar el cabezal de radiofrecuencia.

Los convertidores de corriente [61][62][63][64] son elementos activos con tres puertos, X , Y and Z , descritos por:

$$\begin{pmatrix} i_y \\ v_x \\ i_z \end{pmatrix} = \begin{bmatrix} 0 & a & 0 \\ 1 & 0 & 0 \\ 0 & b & 0 \end{bmatrix} \cdot \begin{pmatrix} v_y \\ i_x \\ v_z \end{pmatrix} \quad (\text{A.35})$$

donde b caracteriza el paso de la corriente de X a Z . Para $a = 1$, se trata de un convertidor de corriente de primera generación (*CCI*). Para $a = 0$ es un convertidor de corriente de segunda generación (*CCII*) y para $a = -1$ se llama convertidor de corriente de tercera generación (*CCIII*)[65]. Con $a = 0$ y $b = 1$, tienen ganancia unidad y

$$V_X = V_Y \quad (\text{A.36})$$

$$I_Z = I_X \quad (\text{A.37})$$

Desde su primera introducción por A. Sedra and K. Smith en 1970 [62] los convertidores de corriente han sido usados para construir diferentes bloques de circuitos analógicos para implementar funciones como filtros, giradores, convertidores de impedancias, osciladores y amplificadores [65][66].

Los convertidores de corriente presentan una mayor linealidad, un rango dinámico más amplio y un mejor rendimiento en alta frecuencia comparado con sus homólogos en modo tensión los amplificadores operacionales. Por estas razones, en los últimos años se están utilizando los convertidores de corriente para el diseño de elementos para radiofrecuencia [67][68].

En esta sección se describe el circuito compuesto por un amplificador de bajo ruido basado en convertidores de corriente con entrada y salida asimétrica, un convertidor de asimétrico a diferencial y un mezclador pasivo con dos convertidores de corriente como amplificadores de transimpedancia.

Amplificador de bajo ruido

La figura A.31 muestra el amplificador de bajo ruido basado en convertidores de corriente propuesto para este receptor. Esta arquitectura está compuesta de un amplificador en configuración puerta común (M_1) seguido de una etapa seguidora (M_2). I_{o1} y I_{o2} son las fuentes de corriente que se utilizan para polarizar los transistores [67][68].

La ganancia del amplificador viene dada por

$$G(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{g_{m1}}{g_{m2} + C_T s} \quad (\text{A.38})$$

donde g_{m1} y g_{m2} son las transconductancias de los transistores M_1 y M_2 respectivamente y C_T representa la capacidad parásita total en el nodo de salida. Esta función de transferencia presenta un polo dominante que determina el ancho de banda del amplificador y es aproximadamente

$$f_{3dB} = \frac{g_{m2}}{2\pi C_T} \quad (\text{A.39})$$

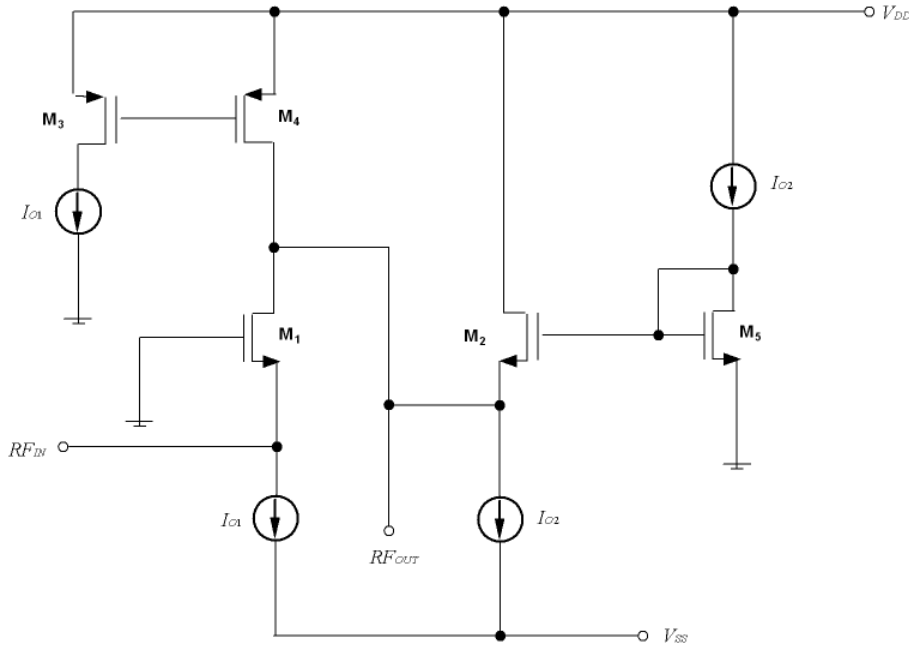


Figura A.31: Amplificador de bajo ruido basado en convertidores de corriente.

El factor de ruido de un amplificador en configuración puerta común es aproxi-

madamente

$$F = 1 + \gamma \left(1 + \frac{g_{m2}}{g_{m1}} + \frac{g_{m4}}{g_{m1}} \right) \quad (\text{A.40})$$

donde γ es el exceso de ruido (entre 1-2 para dispositivos *NMOS* de canal corto) y g_{m4} es la transconductancia de M_4 . Las impedancias de entrada y salida a baja frecuencia son aproximadamente

$$Z_{IN} = \frac{1}{g_{m1}} \quad (\text{A.41})$$

y

$$Z_{OUT} = \frac{1}{g_{m2}} \quad (\text{A.42})$$

A través de I_{o1} y I_{o2} , Z_{IN} y Z_{OUT} pueden adaptarse a la impedancias de la fuente y de la carga.

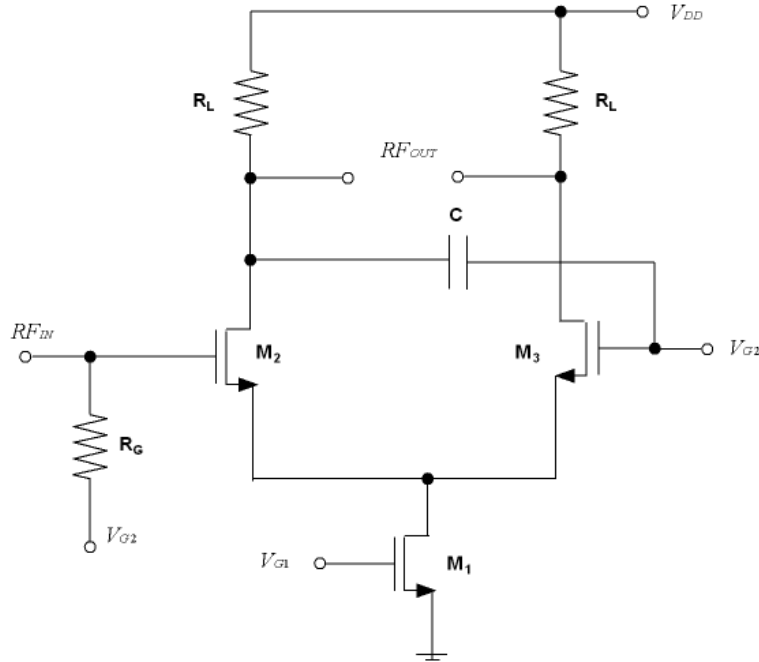


Figura A.32: Convertidor asimétrico diferencial.

Convertidor de asimétrico a diferencial

El convertidor asimétrico diferencial utilizada en este receptor es el mismo que

el que se utilizó para el Receptor 1. Este convertidor asimétrico diferencial genera un par de señales de salida diferenciales balanceadas en amplitud y fase a partir de una sola entrada. Este convertidor [41][42][43] usa un condensador C para reducir el error entre las fases (ver figura A.32). Además, la ganancia del circuito se puede modificar con la tensión de polarización V_{G1} para usarlo como control automático de ganancia.

Mezclador

La figura A.33 muestra el mezclador potenciométrico *MOSFET* con convertidores de corriente conectados como amplificadores de transimpedancia [66][69].

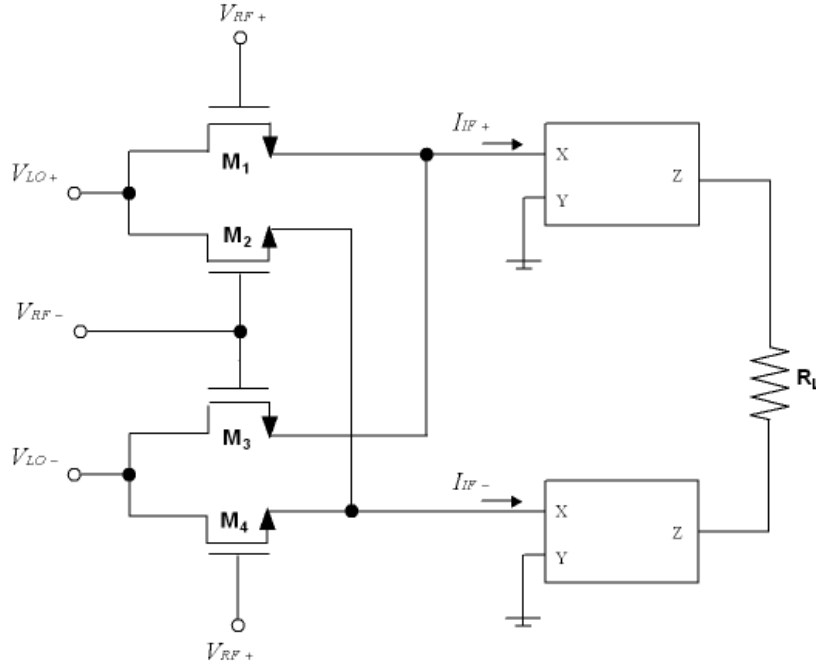


Figura A.33: Mezclador basado en convertidores de corriente.

Las corrientes de salida del mezclador potenciométrico *CMOS* se expresan como

$$I_{IF+} = \mu C_{OX} \left[(V_{RF+} - V_T)V_{LO+} - \left(\frac{V_{LO+}^2}{2} \right) \right] + \left[(V_{RF-} - V_T)V_{LO-} - \left(\frac{V_{LO-}^2}{2} \right) \right] \quad (\text{A.43})$$

y

$$I_{IF-} = \mu C_{OX} \left[(V_{RF-} - V_T) V_{LO+} - \left(\frac{V_{LO+}^2}{2} \right) \right] + \left[(V_{RF+} - V_T) V_{LO-} - \left(\frac{V_{LO-}^2}{2} \right) \right] \quad (\text{A.44})$$

donde μ es la movilidad de las cargas, C_{OX} es la capacidad del óxido por unidad de área, V_T es la tensión de umbral y V_{RF} y V_{LO} son las tensiones de puerta-fuente y drenador-fuente respectivamente.

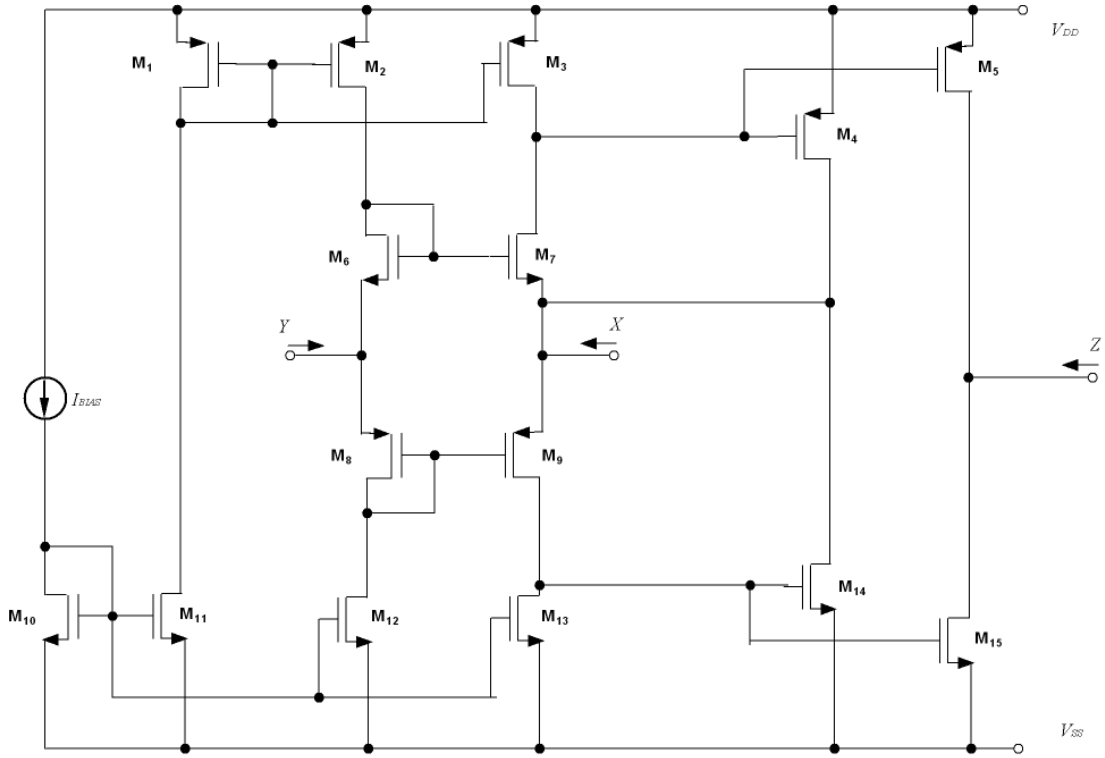


Figura A.34: Esquemático del convertidor de corriente.

A la salida del mezclador se han añadido dos convertidores de corriente de bajo consumo en configuración de amplificadores de transimpedancia para transformar las corrientes de salida en tensiones. La tensión de salida corresponde a la mezcla de la tensión de radiofrecuencia con la tensión del oscilador local y viene dada por

$$V_O = \mu C_{OX} R_L (V_{RF} - V_{LO}) \quad (\text{A.45})$$

La figura A.34 muestra el esquemático del convertidor de corriente utilizado. Además, para mejorar la linealidad se ha añadido una etapa de salida clase AB (M_4 , M_{14} , M_5 y M_{15}). El núcleo del convertidor de corriente está compuesto por los transistores M_6 - M_9 , mientras que los transistores M_1 - M_3 y M_{10} - M_{13} se usan como fuentes de corriente.

Resultados experimentales

Las figuras A.35 y A.36 muestran el *layout* y una fotografía del Receptor 3 compuesto por un amplificador de bajo ruido basado en convertidores de corriente, un convertidor asimétrico diferencial y un mezclador basado en convertidores de corriente. A la hora de realizar el *layout* se han tenido en cuenta las mismas consideraciones que se tuvieron al realizar el *layout* del Receptor 1 y el Receptor 2.

El área de chip del receptor excluyendo los *pads* es 0.26mm x 0.13mm (incluyendo los *pads* es 0.904mm x 0.59mm). El circuito fue simulado usando *ADS* y *CADENCE* y la verificación del *layout* y la extracción de parásitos fue hecha con *ASSURA* y *CALIBRE*. Los resultados de las simulaciones y de las medidas se resumen en la tabla A.14 y son discutidos debajo.

Parámetros	Simulaciones	Medidas
Frecuencia RF(GHz)	2.17-2.2	
Arquitectura	cero-IF	
Ancho banda canal(MHz)	8	
S_{11} (dB)	-11.2	-14.3
Ganancia de conversión(dB)	22.7	20.8
NF@4MHz(dB)	14.1	14.5
P_{1dB} salida(dBm)	1.9	-3.9
V_{DD} (V)	± 1.2	
P_{DC} (mW)	32.5	28.4
Área(mm x mm)	0.26 x 0.13	

TABLA A.14: RESULTADOS RECEPTOR 3

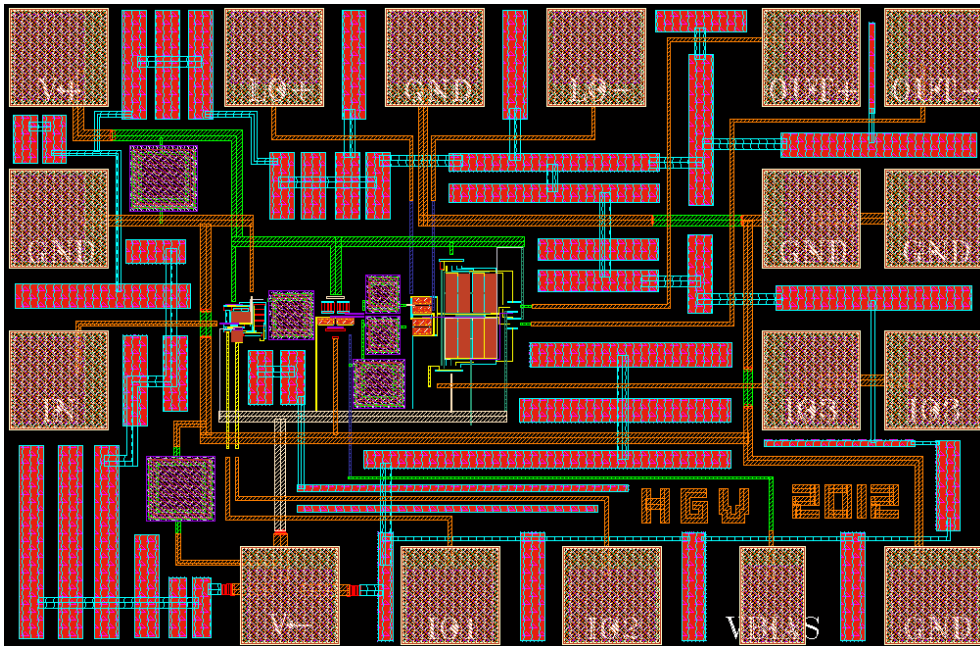


Figura A.35: Layout del Receptor 3.

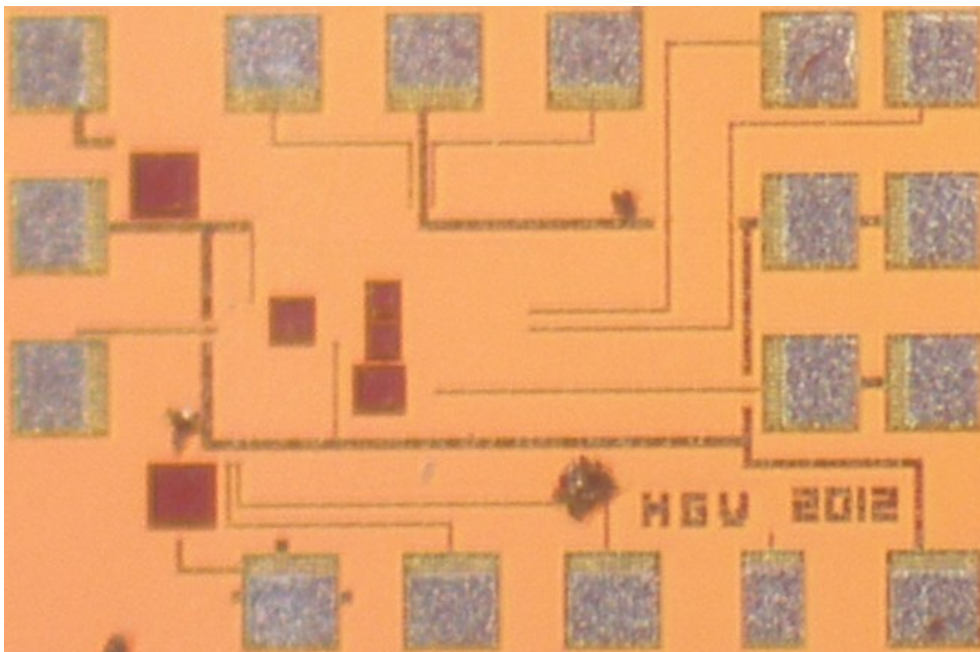


Figura A.36: Fotografía del Receptor 3.

La figura A.37 muestra que el Receptor 3 tiene un S_{11} medido dentro de la banda

por debajo de -14.3 dB. Existe una variación con respecto a la simulaciones debido a que no se tienen en cuenta todos los parásitos existentes.

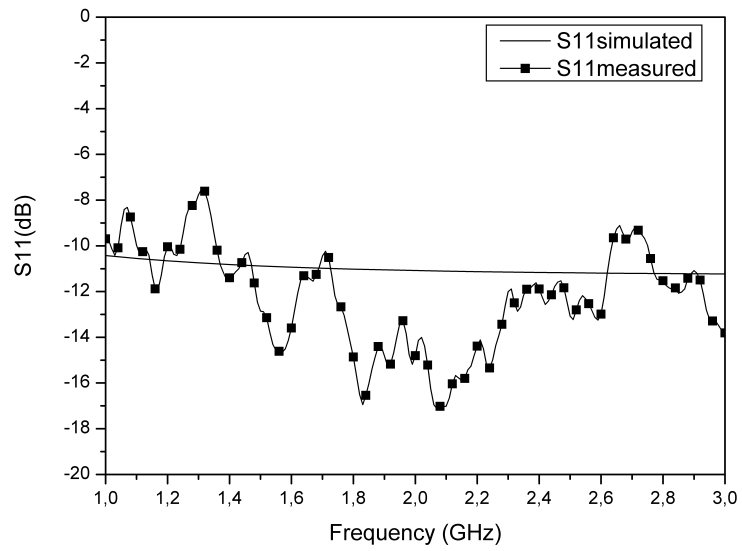


Figura A.37: S_{11} .

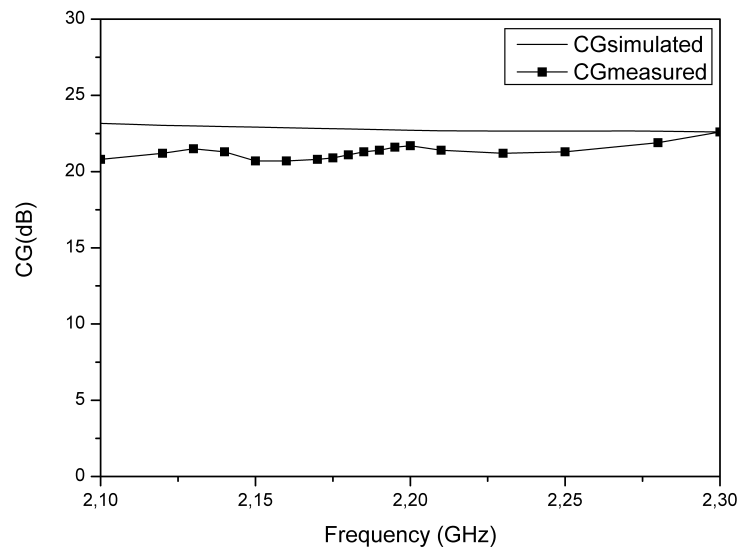


Figura A.38: Ganancia de conversión.

La ganancia de conversión y la figura de ruido se muestran en las figuras A.38 y A.39 respectivamente. El receptor tiene dentro de la banda de trabajo una ganancia de conversión mayor a 20.8 dB y una figura de ruido menor a 14.5 dB.

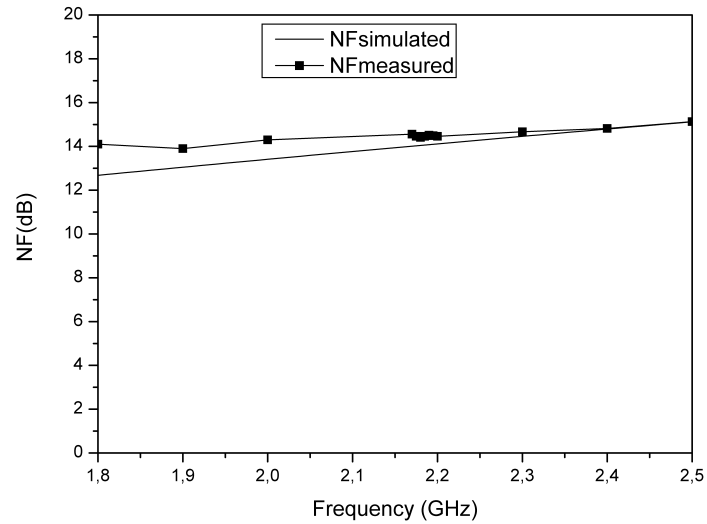


Figura A.39: Figura de ruido.

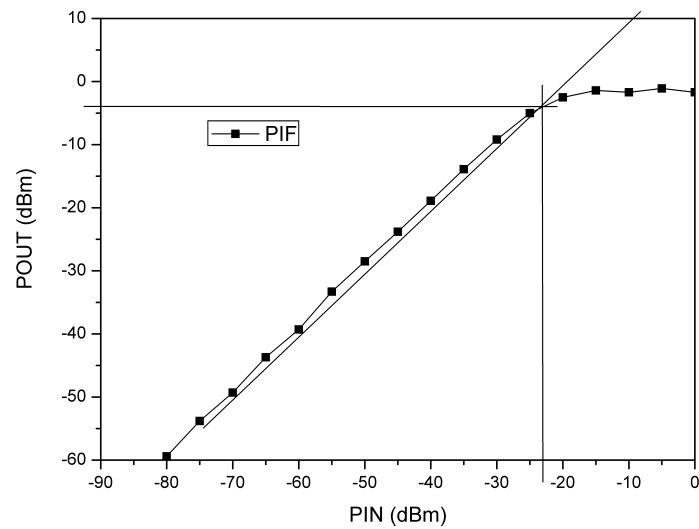


Figura A.40: Medida del P_{1dB} a 2.185 GHz.

Para evaluar la linealidad del receptor se ha utilizado el test del P_{1dB} . Las medidas obtenidas se presentan en la figura A.40. El test se realizó a 2.185 GHz y se obtuvo a la salida un P_{1dB} de -3.9 dBm.

A.3.3 Aportaciones originales

La principal aportación de este capítulo es el análisis, diseño y verificación de tres cabezales de radiofrecuencia completamente integrados con la tecnología *UMC* 90 nm para el estándar de televisión digital vía satélite *DVB-SH* para dispositivos móviles.

A.3.4 Conclusiones obtenidas

En este capítulo se ha comenzado presentando el software y la tecnología utilizada para poder desarrollar tres receptores usando diferentes arquitecturas. Para implementar el Receptor 1 se utilizó una arquitectura convencional para garantizar cubrir las especificaciones del estándar. El principal problema de esta topología es que no es de bajo consumo y que ocupa una área elevada. Por este motivo, en el Receptor 2 se eligió para el amplificador de bajo ruido una topología realimentada que reduce el área al tener menos bobinas.

Parámetros	Receptor 1	Receptor 2	Receptor 3
Frecuencia RF(GHz)		2.17-2.2	
Arquitectura		cero-IF	
Ancho banda canal(MHz)		8	
S_{11} (dB)	-12	-11.9	-14.3
Ganancia de conversión(dB)	15.5	24.1	20.8
NF@4MHz(dB)	2.24*	3	14.5
P_{1dB} salida(dBm)	1.92	-2.2	-3.9
V_{DD} (V)	1.2	1.2	± 1.2
P_{DC} (mW)	22	12.4	28.4
Área(mm x mm)	0.52 x 0.28	0.475 x 0.194	0.26 x 0.13
Tecnología		UMC 90 nm	

*Simulado

TABLA A.15: RESULTADOS OBTENIDOS RECEPTORES

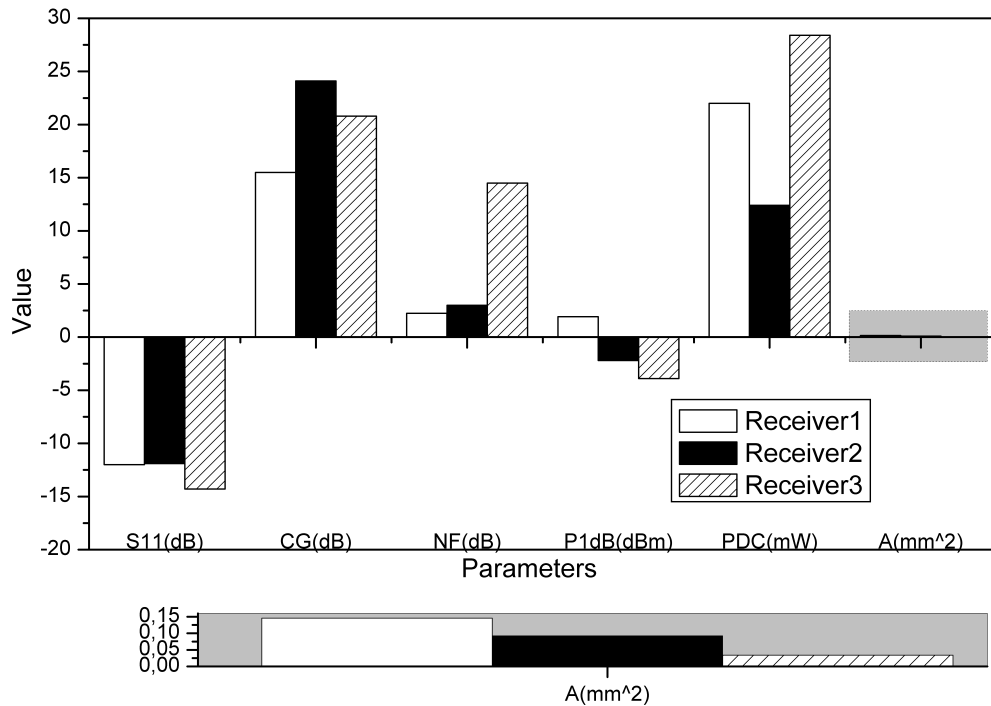


Figura A.41: Resumen de los receptores.

Además, como el circuito se iba a medir sobre oblea y que el número de puntas de medida es limitado solo se integró una célula de Gilbert en el circuito, lo que ha hecho reducir el consumo de potencia. Para el Receptor 3 se utilizaron convertidores de corriente para el diseño del amplificador de bajo ruido y del mezclador. Se optó por esta topología con el objetivo de reducir el área y el consumo de potencia.

Los resultados de las medidas se resumen en la tabla A.15 y de forma gráfica en la figura A.41. Todos los receptores tienen un S_{11} similar, menos de -10 dB. La ganancia de conversión está entre 15.5 dB y 24.1 dB, siendo la mayor la del Receptor 2. El Receptor 1 es el que tiene la figura de ruido más baja, seguido por el Receptor 2. El P_{1dB} a la salida es similar en todos los receptores siendo el más lineal el Receptor 1. El Receptor 2 es el que menos potencia consume. El área del Receptor 3 es considerablemente menor que la del resto de los receptores.

A.4 Encapsulado

A.4.1 Objetivos

El objetivo de este capítulo es estudiar los efectos producidos por el encapsulado *QFN16* y por los cables de interconexión sobre un cabezal de radiofrecuencia en tecnología *UMC* 90 nm para el estándar de televisión digital *DVB-SH* utilizando un simulador electromagnético.

A.4.2 Planteamiento y metodología

El encapsulado suministra protección mecánica y ambiental, evitando que se dañe el circuito integrado o chip por efecto de la humedad, el polvo o cualquier otro agente externo. Además le confiere rigidez mecánica para que pueda ser manipulado fácilmente a la hora de realizar un montaje o ante golpes y vibraciones. Para que el circuito integrado pueda intercambiar señales con el exterior, es necesario dotarlo de conexiones, por ello el encapsulado dispone de pines que a su vez están conectados al chip mediante los cables de interconexión. El encapsulado mantiene la temperatura del chip dentro de un rango ya que éstos, al estar fabricados de silicio, se calientan durante el funcionamiento. Si la temperatura del chip se eleva hasta valores demasiado altos, el chip funcionará mal, se dañará o se destruirá. Los encapsulados ayudan a liberar el calor generado, más o menos eficientemente según el material del que estén fabricados.

Existe un gran número de encapsulados de diferentes tipos. El encapsulado se debe elegir en función de la aplicación en la que se vaya a usar. A la hora de elegir un encapsulado se tienen que tener en cuenta una serie de factores, como pueden ser:

- Tamaño del chip.
- Pines necesarios.
- Temperatura.
- Frecuencia.
- Plástico, cerámico.

- Tipo de interconexión.
- Montaje superficial, inserción.
- Huella del chip.
- Producción en serie, prototipado.
- Coste.

En alta frecuencia, el rendimiento del circuito se ve afectado cuando es encapsulado debido a los parásitos introducidos por el encapsulado [70][71][72][73][74], por esta razón es muy importante analizar como afecta el encapsulado al circuito. El encapsulado que se ha elegido teniendo en cuenta los factores mencionados arriba es el *QFN16* (ver figura A.42). Para obtener el modelo del encapsulado y de los cables de interconexión se ha usado el simulador electromagnético *EM 3D* de *Agilent Advanced Design System (ADS)*.

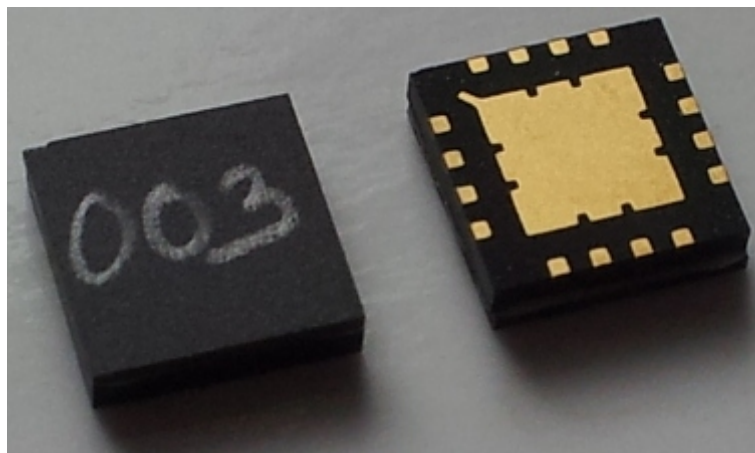


Figura A.42: Fotografía del QFN16.

Las figuras A.43 y A.44 muestran el esquemático y el *layout* del circuito encapsulado, se trata del Receptor 2 diseñado en el Capítulo 3. El Receptor 2 se eligió por diferentes razones, por un lado, al tener menos componentes y pines su análisis se hace de forma más sencilla. Por el otro lado, este receptor satisface perfectamente con el menor consumo y con un área pequeña las especificaciones del estándar *DVB-SH*. Sin embargo, se podría haber utilizado cualquiera de los otros receptores para hacer el análisis. Este cabezal de radiofrecuencia está formado por un amplificador

de bajo ruido realimentado resistivamente y un mezclador doble balanceado (célula de Gilbert).

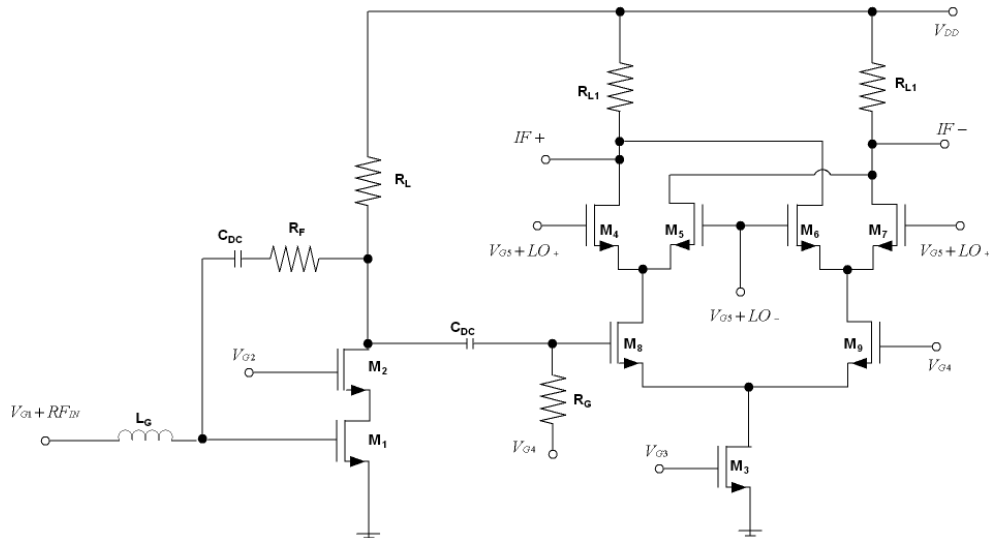


Figura A.43: Esquemático del Receptor 2.

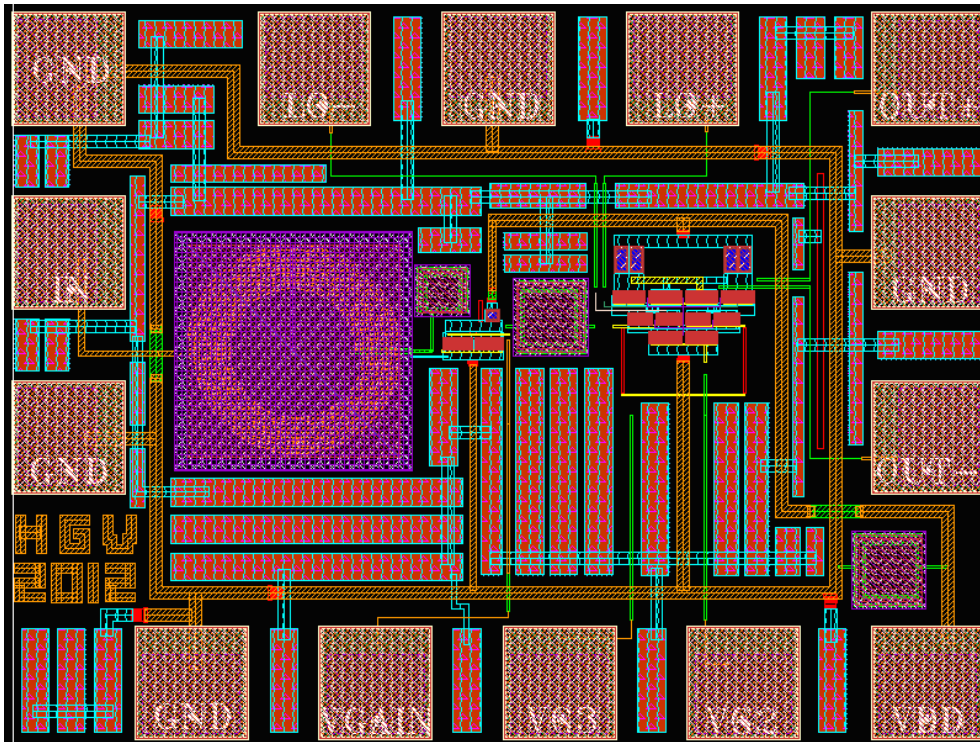


Figura A.44: Layout del Receptor 2.

A.4.2.1 Modelado del encapsulado

El software *Advanced Design System ADS* de *Agilent Technologies* tiene 3 tecnologías diferentes para simulación electromagnética *EM 3D*:

- *Finite Difference time domain*
- *Method of moments*
- *Finite element method*

Para obtener el modelo del encapsulado y de los cables de interconexión se utilizó el simulador *EM 3D Electromagnetic Design System (EMDS)*. Este software está basado en el *Finite Element Method*, el *EMDS* es una solución completa para simulación electromagnética de estructuras tridimensionales.

El *QFN* empleado es de 16 patillas y tiene unas dimensiones de 5mm x 5mm de lado y una altura de 0.8mm. Las patillas son del tipo *Leadless* (sin pines) y en la parte inferior posee un plano para conectarlo a masa que a su vez nos indica cual es la patilla 1 mediante el rebaje de una de sus esquinas. La unión del circuito con el encapsulado se realiza mediante el método del *Wire-Bonding*. La figura A.45 muestra las diferentes partes que componen el encapsulado. Para poder simularlo en *ADS* se ha tenido que modelar cada una de las partes del encapsulado.

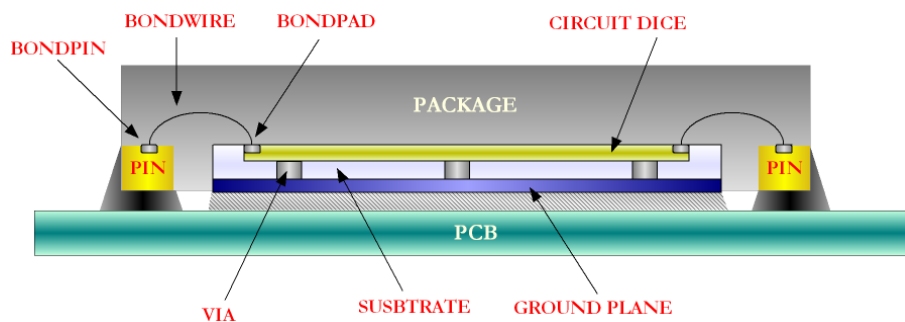


Figura A.45: Modelo de interconexión del encapsulado.

Como se explicó anteriormente, se tuvo que modelar cada una de las capas para poder simular el encapsulado en *ADS*, la figura A.46 muestra cada una de las capas separadas. Después de dibujarlas, se ha tenido que asignar sus propiedades y como están conectadas entre ellas. La figura A.47 muestra la sección vertical con las diferentes capas que componen el encapsulado. Además de todas las capas que

lo componen se ha añadido la placa de circuito impreso (*PCB*) donde va situado el chip.

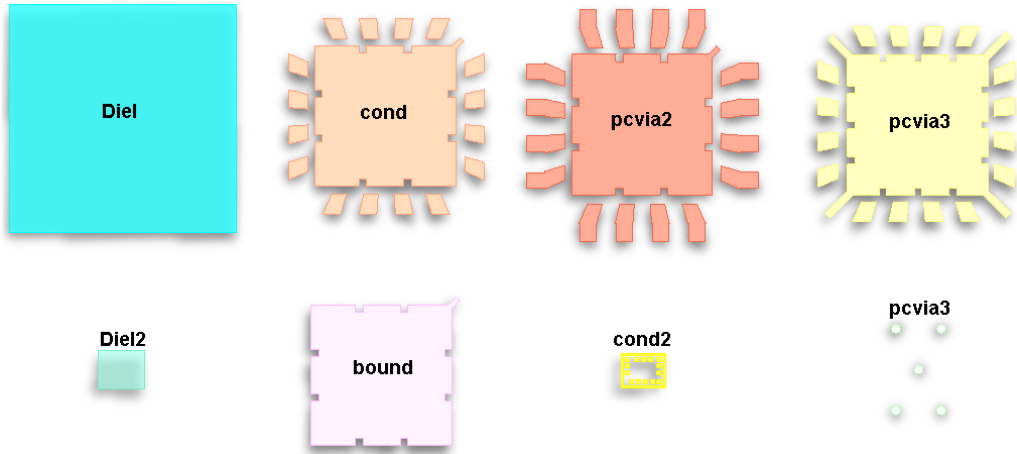


Figura A.46: Descomposición de las capas.

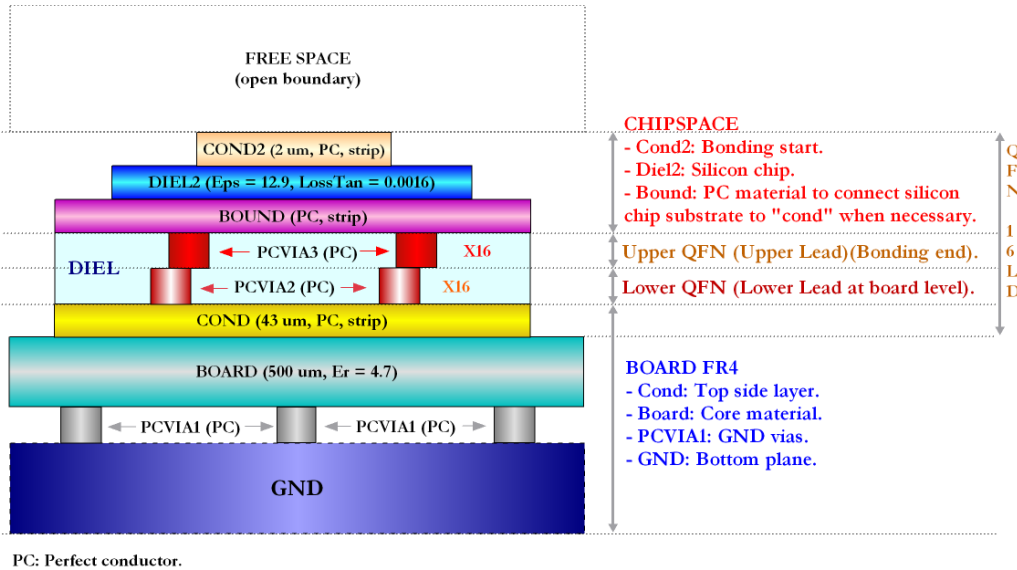


Figura A.47: Sección vertical.

Para poder llevar a cabo una simulación precisa es necesario añadir los cables de interconexión. El simulador *EMDS* tiene una herramienta para hacer cables de interconexión. Existen dos tipos el *Jedec Bond-wire* y el *Shape Bond-wire*. La principal diferencia física es el número de segmentos y ángulos que lo forman (ver

figura A.48). Se hicieron pruebas para ver las diferencias y en el rango de frecuencias en el que trabajamos eran inapreciables. Finalmente se eligió el *Shape Bond-wire* porque físicamente es más realista.

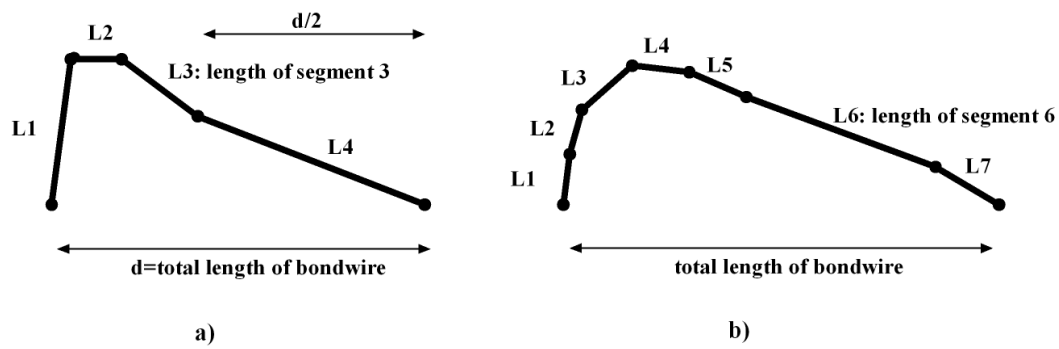


Figura A.48: a)Jedec bond-wire y b)Shape bond-wire.

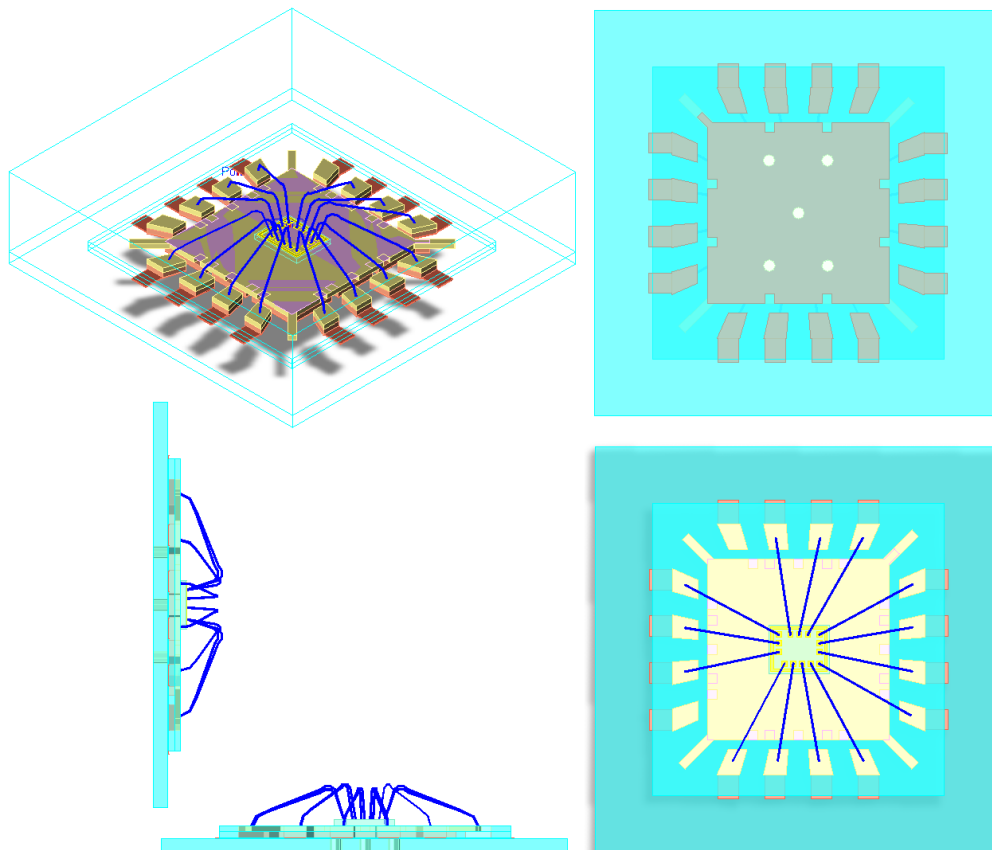


Figura A.49: Vistas 3D del encapsulado.

La figura A.49 muestra diferentes vistas 3D del encapsulado incluyendo los cables de interconexión. Esta vista 3D es muy útil porque es posible comprobar si todo está correctamente y si existiera algún error poder corregirlo.

Después de modelar por completo el encapsulado se le añadieron los puertos necesarios para poderse simular. En este punto, el encapsulado y los cables de interconexión ya están preparados para ser simulado (ver figura A.50).

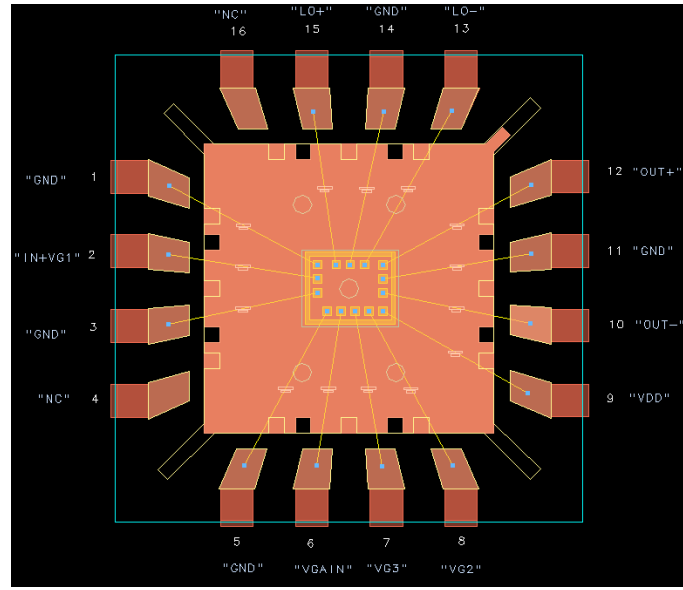


Figura A.50: Encapsulado preparado para simular.

El siguiente paso fue crear un componente y obtener el modelo para su simulación. Es posible generar dos vistas diferentes: una caja negra o la vista *layout look-alike*. De este componente se obtienen los parámetros S del encapsulado y de los cables de interconexión de cada pin. Como ejemplo, las figuras A.51 y A.52 muestran los resultados obtenidos de los parámetros S y de las inductancias equivalentes asociadas del $PIN2$. Las inductancias permanecen constantes hasta 6 GHz, sin embargo, a partir de esta frecuencia aparecen una serie de resonancias. Además, en la tabla A.16 se resumen las inductancias asociadas de cada pin en el rango de frecuencia en el que estamos trabajando (2.17-2.2 GHz).

Al encapsular el circuito se le están añadiendo una inductancia en serie a cada una de las entradas y salidas. Sabiendo la inductancia que se le va a introducir nos podemos hacer una idea de como va a afectar al rendimiento del circuito. Cualquier modificación que se le haga a las entradas o las salidas modifica el comportamiento

del circuito a las diferentes frecuencias.

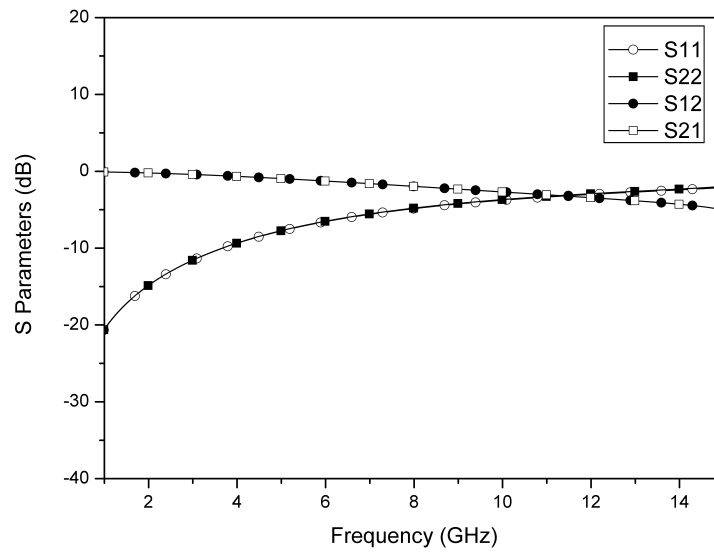


Figura A.51: Parámetros S del PIN2.

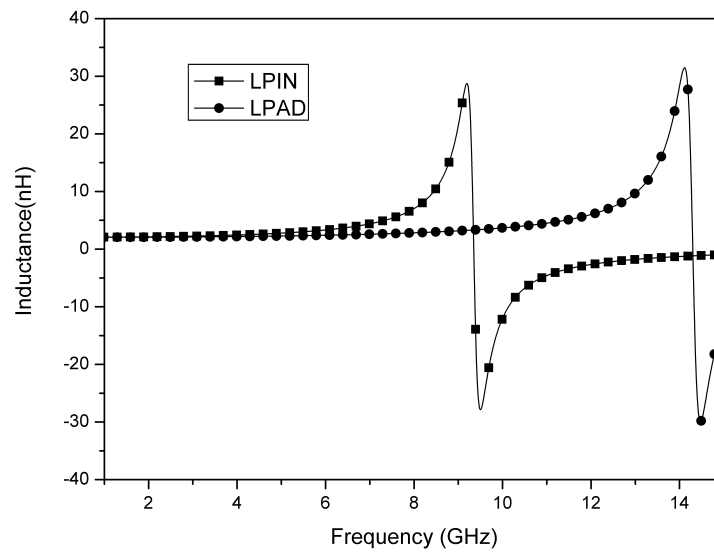


Figura A.52: Inductancia del PIN2.

El valor de la inductancia de cada pin es parecida (entre 2 y 3 nH), esto se debe a que la longitud de los cables de conexión es casi la misma. Como ejemplo, se puede observar que el valor de la inductancia del *PIN5* es mayor debido a que es un poco más larga.

Frec.(GHz)	2.17	2.185	2.2		2.17	2.185	2.2
L1PAD(nH)	2.30	2.30	2.30	L1PIN(nH)	2.38	2.38	2.38
L2PAD(nH)	2.08	2.08	2.08	L2PIN(nH)	2.14	2.14	2.14
L3PAD(nH)	2.11	2.11	2.11	L3PIN(nH)	2.17	2.17	2.18
L4PAD(nH)		NC		L4PIN(nH)		NC	
L5PAD(nH)	2.54	2.54	2.54	L5PIN(nH)	2.65	2.65	2.66
L6PAD(nH)	2.11	2.11	2.11	L6PIN(nH)	2.18	2.18	2.18
L7PAD(nH)	2.11	2.11	2.12	L7PIN(nH)	2.18	2.18	2.19
L8PAD(nH)	2.36	2.36	2.36	L8PIN(nH)	2.45	2.45	2.45
L9PAD(nH)	2.24	2.24	2.24	L9PIN(nH)	2.32	2.32	2.32
L10PAD(nH)	2.06	2.06	2.06	L10PIN(nH)	2.13	2.13	2.13
L11PAD(nH)	2.05	2.05	2.05	L11PIN(nH)	2.12	2.12	2.12
L12PAD(nH)	2.29	2.29	2.29	L12PIN(nH)	2.37	2.38	2.38
L13PAD(nH)	2.37	2.37	2.37	L13PIN(nH)	2.46	2.46	2.46
L14PAD(nH)	2.11	2.12	2.12	L14PIN(nH)	2.18	2.19	2.19
L15PAD(nH)	2.07	2.07	2.07	L15PIN(nH)	2.14	2.14	2.14
L16PAD(nH)		NC		L16PIN(nH)		NC	

TABLA A.16: INDUCTANCIAS EQUIVALENTES ASOCIADAS

Llegados a este punto, se ha completado el modelado del encapsulado y de los cables de interconexión. Para hacer esto, se han usado las especificaciones del sustrato, las dimensiones y las propiedades del encapsulado *QFN16* y la longitud de los cables de interconexión. Se han generado las diferentes capas del encapsulado y se han conectado al chip. A la hora de realizar el modelado del sustrato surgieron una serie de problemas debido a que el simulador electromagnético *EMDS* es relativamente nuevo. Uno de los problemas encontrados fue a la hora de situar algunas de las capas del encapsulado, pero con la vista *3D* y con el registro integrado de errores se consiguieron solventar sin mucha dificultad. Otro problema ocurría al realizar las simulaciones, en ocasiones el simulador se interrumpía por errores de

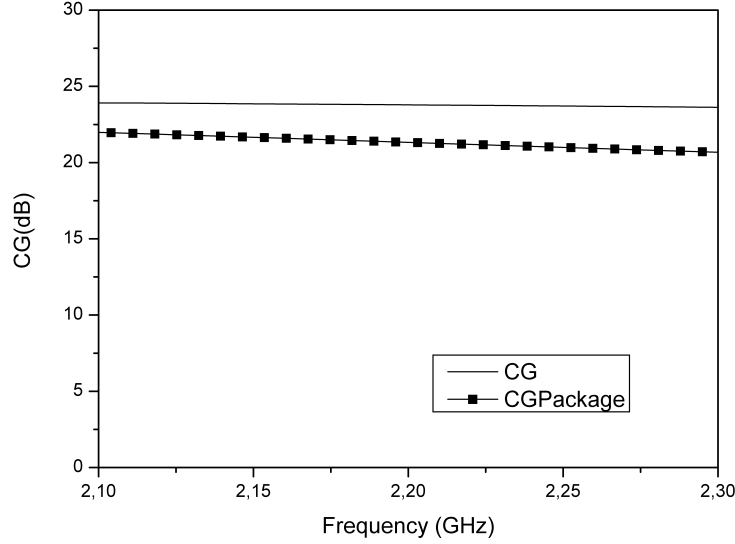


Figura A.53: Ganancia de conversión con el encapsulado.

convergencia. Este problema se pudo resolver reiniciando el simulador, por lo que se cree que posiblemente estén relacionados con errores de memoria de programa. También el tiempo de simulación era elevado pero no tanto como con otros simuladores electromagnéticos.

En la siguiente sección se incluirá el modelo del encapsulado obtenido para estudiar su influencia sobre el receptor de radiofrecuencia.

A.4.2.2 Resultados experimentales

Después de obtener el modelo del encapsulado el siguiente paso es estudiar su influencia sobre el receptor de radiofrecuencia. Como se muestra en las figuras A.53, A.54 y A.55 el rendimiento del circuito se reduce al introducir el modelos del encapsulado. Observando la figura A.53 es posible ver que la ganancia de conversión a disminuido más de 2 dB a la frecuencia de trabajo. La figura A.54 muestra como se ha modificado la adaptación de entrada, en concreto se ha desplazado el pico mínimo del S_{11} de 2.3 GHz hasta 1.8 GHz. La figura de ruido se ha visto también afectada negativamente como se muestra en la figura A.55. La figura de ruido a incrementado aproximadamente 0.7 dB en el rango de frecuencia del estándar, aunque el incremento no es elevado para otros estándares si es significativo para el estándar

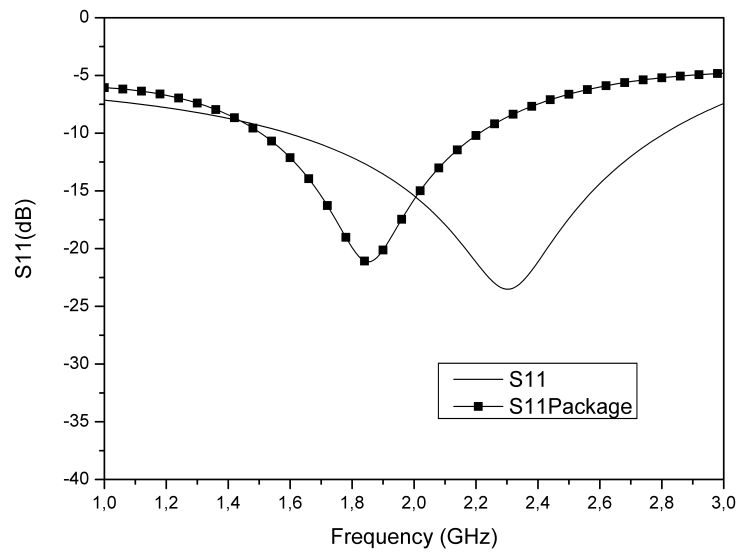
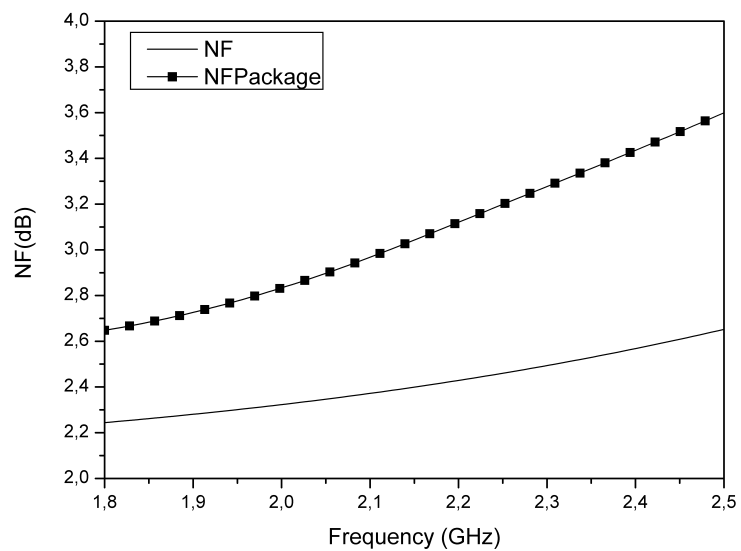
Figura A.54: S_{11} con el encapsulado.

Figura A.55: Figura de ruido con el encapsulado.

de *DVB-SH*.

Se han realizado diferentes pruebas para mejorar el rendimiento del circuito después de introducir el encapsulado y los cables de interconexión, por ejemplo, modificando las tensiones de polarización. Pero el mejor resultado se obtuvo modificando el valor de la inductancia de la impedancia de entrada del receptor.

Como se muestra en la figura A.56 el amplificador de bajo ruido tiene una bobina integrada L_G a la entrada para obtener una impedancia de entrada real de $50\ \Omega$. El valor de la bobina L_G es $6\ \text{nH}$. Al introducir el encapsulado se le está introduciendo una bobina de aproximadamente $2.11\ \text{nH}$ en ese mismo nodo. La solución que se llevó a cabo fue reducir el valor de la bobina L_G aproximadamente los $2.11\ \text{nH}$. De esta forma se conseguía obtener el valor adecuado para una buena adaptación de entrada.

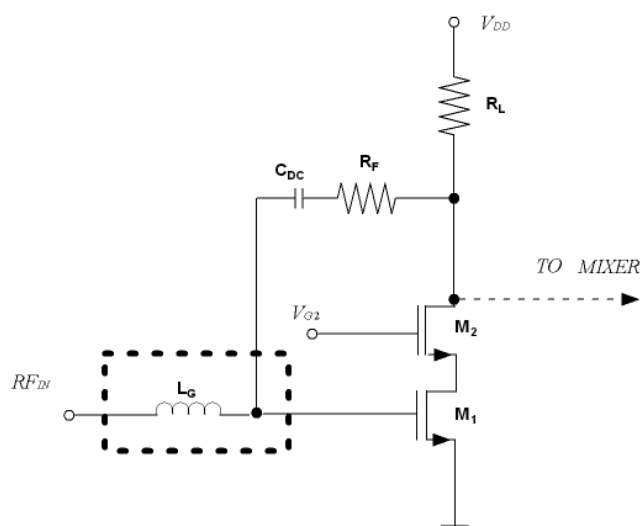


Figura A.56: Entrada del Receptor 2.

Las figuras A.57, A.58 y A.59 muestran los resultados obtenidos después de modificar el valor de la bobina L_G . En concreto, estas figuras muestran tres simulaciones distintas: la primera es el receptor sin los efectos del encapsulado y de los cables de interconexión, la segunda es el receptor con los efectos del encapsulado y de los cables de interconexión y la tercera es el receptor con los efectos del encapsulado y de los cables de interconexión después de modificar la bobina L_G .

Observando la figura A.57 se puede observar que la ganancia de conversión ha incrementado aproximadamente $0.6\ \text{dB}$ después de modificar el valor de la bobina

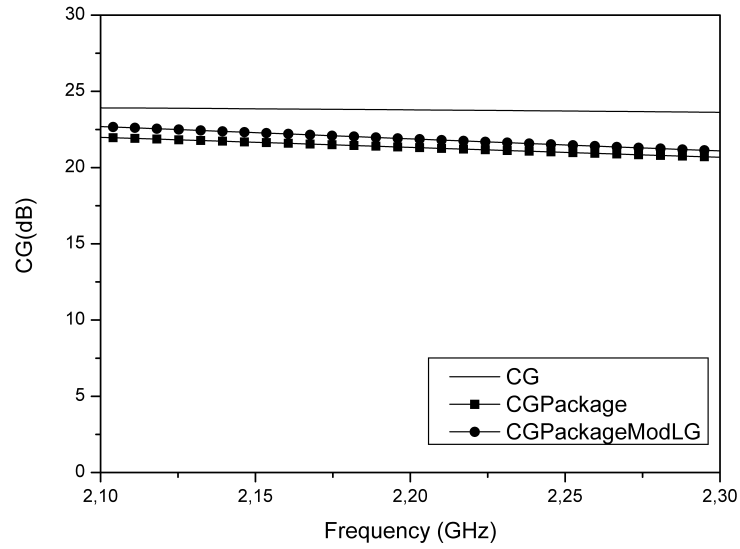


Figura A.57: Ganancia de conversión después de modificar L_G .

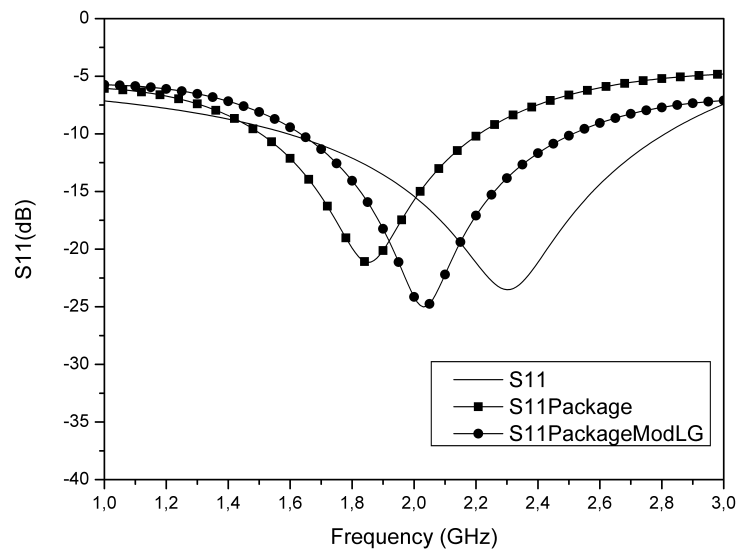


Figura A.58: S_{11} después de modificar L_G .

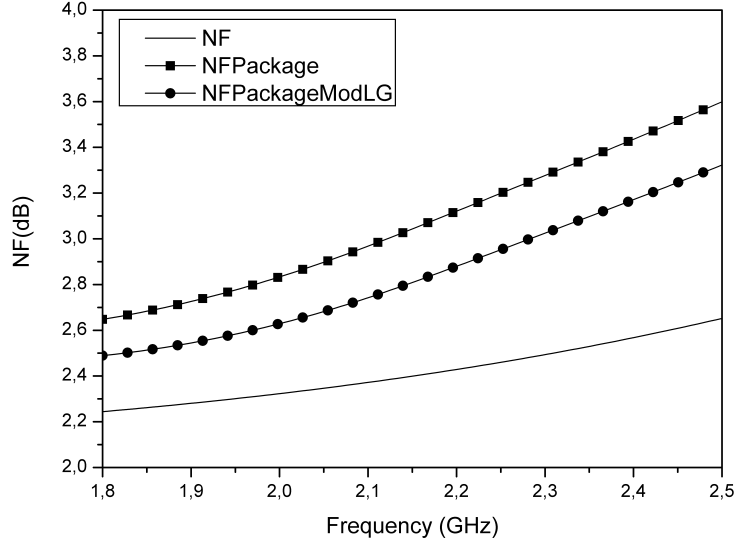


Figura A.59: Figura de ruido después de modificar L_G .

L_G dentro rango de la frecuencia de trabajo. La figura A.58 muestra la adaptación de entrada S_{11} , en concreto el pico mínimo del S_{11} se ha desplazado hasta 2.1 GHz. La figura de ruido también ha mejorado cuando se ha modificado el valor de la bobina L_G (ver figura A.59). En concreto se ha reducido 0.24 dB después de modificar el valor de la bobina L_G .

A.4.2.3 Aportaciones originales

Se ha obtenido un método completo para modelar cualquier tipo de encapsulado en un corto periodo de tiempo. Como ejemplo se ha modelado un encapsulado $QFN16$ y su cables de interconexión. Además del modelado del encapsulado y de los cables, se ha estudiado como influye en el rendimiento de un receptor de radiofrecuencia para el estándar de televisión digital $DVB-SH$ implementado en tecnología $UMC CMOS$ 90 nm.

A.4.2.4 Conclusiones

En este capítulo se ha analizado la influencia del encapsulado $QFN16$ y de los cables de interconexión sobre un receptor de radiofrecuencia para el estándar $DVB-$

SH, implementado en tecnología *UMC CMOS* 90 nm. Para obtener y simular el modelo del encapsulado y de los cables de interconexión se utilizó el simulador electromagnético *EMDS* de *ADS*. Al estudiar la influencia del encapsulado sobre el circuito se observó como se reducía el rendimiento del receptor. Para mejorar el rendimiento se tuvo que modificar la adaptación de entrada del receptor. Este método puede ser utilizado para modelar muchos tipos de encapsulados.

A.5 Conclusiones y líneas futuras

A.5.1 Conclusiones

El principal objetivo de este trabajo de investigación era desarrollar diferentes alternativas para la implementación de cabezales de radiofrecuencia de televisión digital vía satélite para dispositivos móviles *DVB-SH*.

Para llevar a cabo este objetivo, se estudiaron los principales requisitos del estándar *DVB-SH* así como las posibles implementaciones comerciales. El siguiente paso fue la elección de la arquitectura, se optó por la arquitectura cero-*IF* debido a que usa menos componentes que las otras y a que reduce el consumo de potencia.

Se hizo un análisis meticuloso del sistema para obtener las especificaciones del cabezal de radiofrecuencia. Se obtuvieron unas especificaciones considerablemente restrictivas, en especial en lo referente a la figura de ruido.

Se presentó un método de optimización de multi-objetivos con el objeto de distribuir de forma óptima los parámetros de cada bloque de la cadena de recepción. El método se aplicó a las especificaciones del estándar obtenidas en el análisis del sistema, optimizando las limitaciones del sistema como la figura del ruido y la distorsión de tercer orden. Como era de esperar después de aplicar el método se pudo corroborar que la figura de ruido del amplificador de bajo ruido es crítica en el diseño del cabezal de radiofrecuencia.

Después de este trabajo, se llevó a cabo el principal objetivo de la investigación. Para ello se diseñaron, fabricaron y testaron tres cabezales de radiofrecuencia completamente integrados para el estándar *DVB-SH* con la tecnología *UMC CMOS* 90 nm:

- Receptor 1 incluye un amplificador de bajo ruido (*LNA*), un convertidor de asimétrico a diferencial y un mezclador. El *LNA* se basa en la topología casco-combinado con una adaptación de banda estrecha a la entrada y un tanque *LC* a la carga. El convertidor transforma la salida asimétrica del *LNA* a una salida diferencial que se conecta al mezclador en cuadratura basado en célula de Gilbert.
- Receptor 2 incluye un amplificador de bajo ruido con realimentación resistiva y un mezclador doble balanceado (célula de Gilbert).

- Receptor 3 incluye un amplificador de bajo ruido, un convertidor de asimétrico a diferencial y un mezclador. Tanto el amplificador de bajo ruido como el mezclador están basados en convertidores de corriente.

Para implementar el Receptor 1 se utilizó una arquitectura convencional con el objetivo de que se garantizara que el receptor cubriera las especificaciones del estándar de televisión digital *DVB-SH*. El principal problema de esta topología es que no es de bajo consumo y que ocupa una área elevada.

Por este motivo, en el Receptor 2 se eligió para el amplificador de bajo ruido una topología realimentada. Se consigue reducir tanto el área como el consumo de potencia. El área se consiguió reducir más de un 30 % debido a que se usan dos bobinas menos en este diseño. Además, debido a que el circuito se va a medir sobre oblea y que el número de las puntas de medida está limitado solo se ha integrado una célula de Gilbert en el circuito.

Parámetros	Receptor 1	Receptor 2	Receptor 3
Frecuencia RF(GHz)		2.17-2.2	
Arquitectura		cero-IF	
Ancho banda canal(MHz)		8	
S_{11} (dB)	-12.4	-11.9	-14.3
Ganancia de conversión(dB)	15.5	24.1	20.8
NF@4MHz(dB)	2.24*	3	14.5
P_{1dB} salida(dBm)	1.92	-2.2	-3.9
V_{DD} (V)	1.2	1.2	± 1.2
P_{DC} (mW)	22	12.4	28.4
Área(mm x mm)	0.52 x 0.28	0.475 x 0.194	0.26 x 0.1
Tecnología		UMC 90 nm	

*Simulado

TABLA A.17: RESULTADOS OBTENIDOS RECEPTORES

Para el Receptor 3 se propuso una implementación novedosa, se utilizaron convertidores de corriente para el diseño del amplificador de bajo ruido y del mezclador. Se optó por esta topología con el objetivo de reducir el área y el consumo de potencia. Aunque el consumo de potencia de los convertidores de corriente es insignificante en baja frecuencia comparado con los amplificadores de bajo ruido convencionales,

para poder trabajar alta frecuencia y evitar el incremento de la figura de ruido es necesario incrementar el consumo de potencia.

En la tabla A.17 se resumen los parámetros de los tres receptores y de forma gráfica en la figura A.60. Se puede observar que todos los receptores tienen un S_{11} similar, menos de -10 dB. La ganancia de conversión está entre 15.5 dB y 24.1 dB, siendo la mayor la del Receptor 2. El Receptor 1 es el que tiene la figura de ruido más baja, seguido por el Receptor 2. El P_{1dB} a la salida es similar en todos los receptores, el Receptor 1 es el que más linealidad tiene. El Receptor 2 es el que menos consumo de potencia tiene. El área del Receptor 3 es considerablemente menor que la del resto de los receptores.

Además del objetivo principal, también se ha estudiado como afecta el encapsulado y los cables de interconexión a uno de los receptores (Receptor 2). El Receptor 2 se eligió por diferentes razones, por un lado, al tener menos componentes y pines su análisis se hace de forma más sencilla. Por el otro lado, este receptor satisface perfectamente con el menor consumo y con un área pequeña las especificaciones del estándar *DVB-SH*. Sin embargo, se podría haber utilizado cualquiera de los otros receptores para hacer el análisis.

Para llevar a cabo este análisis, se tuvieron que dibujar todas las capas que componen el encapsulado teniendo en cuenta las dimensiones, las propiedades y las conexiones entre ellas. Además, se añadieron los cables de interconexión que son necesarios para unir el receptor con el encapsulado. Una vez que fue completado, se creó un componente con la intención de simularlo y obtener el modelo. Para obtener el modelo del encapsulado se ha usado el simulador electromagnético 3D (*EMDS*) de *Agilent Technologies*.

Se estudió la influencia del encapsulado y de los cables de interconexión para cada pin. No se encontró mucha diferencia en el comportamiento de cada uno de los pines, debido a que la longitud de los cables es similar. Al introducirle el modelo del encapsulado y de los cables de interconexión al circuito se redujo su rendimiento. La solución que se propuso para mejorar el rendimiento fue modificar la adaptación de entrada teniendo en cuenta la inductancia que generaba el encapsulado y los cables de interconexión. Esta técnica se podría utilizar para modelar cualquier tipo de encapsulado en un corto periodo de tiempo.

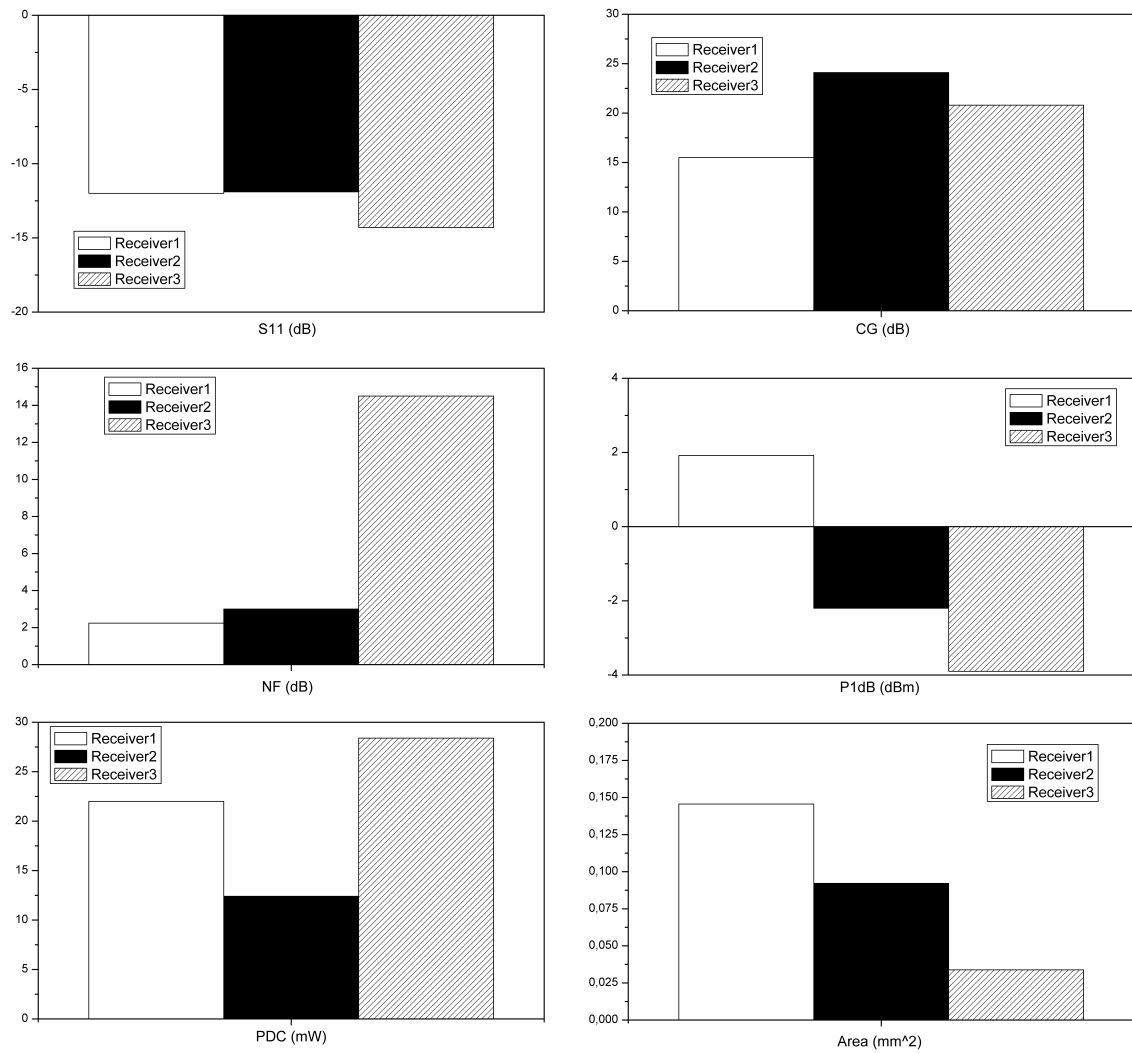


Figura A.60: Resumen de los receptores.

A.5.2 Líneas futuras de trabajo

En este trabajo de investigación se han presentado tres alternativas diferentes para la implementación del cabezal de radiofrecuencia de un receptor de *TV* digital vía satélite para dispositivos móviles *DVB-SH* en tecnología *CMOS* de 90 nm (*UMC*). Además, se ha estudiado la influencia del encapsulado y de los cables de interconexión (*bond-wires*) en uno de los receptores desarrollados. A partir de este trabajo se abren algunas vías de investigación que necesitan ser estudiadas más en profundidad como son:

- Diseño e integración del resto de los bloques que componen el receptor: esto incluye el estudio y diseño del sintetizador, filtros, amplificadores de banda base y convertidor de analógico a digital todo ello optimizando para reducir el área y el consumo de potencia.
- Convertidores de corriente: explorar diferentes alternativas para reducir la figura de ruido de los convertidores de corriente, por ejemplo, utilizando técnicas de cancelación de ruido.
- Método de optimización de multi-objetivos: estudio y aplicación de diferentes algoritmos para distribuir de forma óptima las especificaciones de los bloques del receptor. Añadir más funciones de costo que incluyan otros parámetros importantes como pueden ser consumo de potencia y área.
- Encapsulado: fabricación y testeo del circuito encapsulado con el objetivo de comprobar que las simulaciones y las medidas coinciden y así poder verificar la integridad del método aplicado.

References

- [1] Cisco, *Cisco Visual Networking Index Services Adoption (VNI SA) Forecast, 2012–2017*. <http://www.cisco.com>, 2013 [Online; accessed : 2 – December – 2013].
- [2] ETSI, *Implementation guidelines for DVB handheld services*. ETSI standard, 2005.
- [3] ETSI, *Implementation guidelines for DVB terrestrial services*. ETSI standard, 2004.
- [4] D. Gomez-Barquero and A. Bria, *Feasibility of DVB-H Deployment on Existing Wireless Infrastructure*. Proc. International Workshop on Convergent Technologies (IWCT), Oulu (Finland), 2005.
- [5] DVB-Project-Office, *DVB-SH Implementation Guidelines*. <http://www.dvb-h.org>, 2008 [Online; accessed : 2 – December – 2013].
- [6] ETSI, *ETSI TS 102 585-Digital Video Broadcasting (DVB); System Specifications for Satellite services to Handheld devices (SH) below 3 GHz*. ETSI Standard, 2007.
- [7] ETSI, *ETSI EN 302 583-Digital Video Broadcasting (DVB); Framing Structure, channel coding and modulation for Satellite Services to Handheld devices (SH) below 3 GHz*. ETSI Standard, 2008.

- [8] D. Gozalvez, D. Gomez, and N. Cardona, *Transmisión de Servicios de Televisión Digital Móvil en Redes DVB-SH*. XVII Jornadas Telecom I+D, 2007.
- [9] DIBCOM, *Quad-band DVB-SH/H/T Diversity Receiver*. DIB29098, 2008.
- [10] NXP, *Ultra low power Terrestrial and Satellite multi-band Silicon Tuner for portable TV*. TDA18292HN, 2008.
- [11] G. Retz and P. Burton, *A CMOS Up-Conversion receiver Front-End for Cable and Terrestrial DTV Applications*, vol. 1, pp. 442–506. IEEE International Solid-State Circuits Conference, 2003.
- [12] P. Antoine, P. Bauser, H. Beaulaton, M. Buchholz, D. Carey, T. Cassagnes, T. K. Chan, S. Colomines, F. Hurley, D. T. Jobling, N. Kearney, A. C. Murphy, J. Rock, D. Salle, and C.-T. Tu, *A Direct-Conversion Receiver for DVB-H*, vol. 40, pp. 2536-2546. IEEE Journal of Solid-State Circuits, 2005.
- [13] Wikipedia, *DVB-SH*. <http://en.wikipedia.org/wiki/DVB-SH>, [Online; accessed : 2 – December – 2013].
- [14] EICTA, *Mobile and Portable DVB-T Radio Access Interface Specification*. MBRAI-02-16, 2004.
- [15] V. Reding, *COMMISSION DECISION of 14 February 2007 on the harmonized use of radio spectrum in the 2 GHz frequency bands for the implementation of systems providing mobile satellite services*. ECC 2007/98/EC, 2007.
- [16] ETSI, *EN 302 304-Digital Video Broadcasting (DVB); Transmission System for Handheld Terminals (DVB-H)*. ETSI standard, 2004.
- [17] S. Pandit, C. Mandal, and A. Patra, *Systematic Methodology for High-Level Performance Modeling of Analog Systems*. 22nd International Conference on VLSI Design, 2009.
- [18] D. R. de Ller Gonzalez, A. Rusu, and M. Ismail, *Automated Receiver Design and Optimization for 4G Wireless Communication Systems*. Royal Institute of Technology, Stockholm, Sweden, 2006.

- [19] J. Crols, S. Donnay, M. Steyaert, and G. Gielen, *A High-Level Design and Optimization Tool for Analog RF Receiver Front-Ends*. International Conference on Computer-Aided Design (ICCAD '95), 1995.
- [20] K. Deb, *Multi-Objective Optimization using Evolutionary Algorithms*. Wiley, 2001.
- [21] P. Ndungidi, U. Dongmo, F. Dualibe, and C. Valderrama, *Optimal specification of a receiver blocks from global specifications: example of IEEE 802.15.4*. 17th IEEE International Conference on Electronics, Circuits, and Systems (ICECS), Greece, 2010.
- [22] N. Trung-Kien, V. Krizhanovskii, L. Jeongseon, H. Seok-Kyun, L. Sang-Gug, K. Nae-Soo, and P. Cheol-Sig, *A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18um CMOS Technology*. IEEE Transactions on Microwave Theory and Techniques, 2006.
- [23] B. Razavi, *RF Microelectronics*. Prentice Hall PTR, 1998.
- [24] UMC, *UMC Foundry Solutions*. <http://www.umc.com>, [Online; accessed : 2 – December – 2013].
- [25] UMC, *90 Nanometer DM*. <http://www.umc.com>, [Online; accessed : 2 – December – 2013].
- [26] UMC, *User Guide v1.2*. 90 nm Foundry Design Kit, 2009.
- [27] UMC, *Application Note UMK90FDKLMCB*. 90 nm Foundry Design Kit, 2009.
- [28] Cadence, *Custom IC Design Tools*. <http://www.cadence.com>, [Online; accessed : 2 – December – 2013].
- [29] Cadence, *Virtuoso, SpectreRF Simulation Option User Guide*. Cadence Design Systems, 2006.
- [30] Mentor-Graphics, *Calibre Skill Interface*. <http://www.mentor.com>, [Online; accessed : 2 – December – 2013].
- [31] Agilent-Technologies, *Advanced Design System*. <http://www.agilent.com>, [Online; accessed : 2 – December – 2013].

- [32] T. H. Lee, *The design of CMOS Radio-Frequency Integrated Circuits*. Cambridge University Press, 1998.
- [33] B. Razavi, *Design of Analog CMOS Integrated Circuits*. Mc Graw Hill, 2001.
- [34] M. Shouxian, M. Jianguo, Y. K. Seng, and D. M. Anh, *A fully integrated dual-band low-noise amplifier for bluetooth and wireless LAN applications*, vol. 41, pp. 297-301. Microwave and Optical Technology Letters, 2004.
- [35] N. Trung-Kien, K. Chung-Hwan, I. Gook-Ju, Y. Moon-Su, and L. Sang-Gug, *CMOS low-noise amplifier design optimization techniques*, vol. 52, pp. 1433-1442. IEEE Transactions on Microwave Theory and Techniques, 2004.
- [36] H. Hashemi and A. Hajimiri, *Concurrent multiband low-noise amplifiers-theory, design, and applications*, vol. 50, pp. 288-301. IEEE Transactions on Microwave Theory and Techniques, 2002.
- [37] A. Bevilacqua and A. Niknejad, *low noise amplifier for 3.1–10.6-GHz wireless receivers*, vol. 39, pp. 2259-2268. IEEE Journal of Solid-State Circuits, 2004.
- [38] I. Song, M. Koo, H. Jung, H.-S. Jhon, and H. Shin, *Optimization of cascode configuration in CMOS low-noise amplifier*, vol. 50, pp. 646-649. Microwave and Optical Technology Letters, 2008.
- [39] J. Rogers and C. Plett, *Radio Frequency Integrated Circuit Design*. Artech House microwave library, 2003.
- [40] J. del Pino, *Apuntes de la asignatura: Electrónica de Comunicaciones*. Master Universitario del IUMA, 2013.
- [41] H. Ma, S. J. Fang, F. Lin, and H. Nakamura, *Novel active differential phase splitters in RFIC for wireless applications*, vol. 46, pp. 2597-2603. IEEE Transactions on Microwave Theory and Techniques, 1998.
- [42] G. Zhang, *CMOS front-end amplifier for broadband DTV tuner*. PhD thesis, Texas A&M University, College Station, TX, 2005.
- [43] J. Xiao, G. Zhang, T. Li, and J. Silva-Martinez, *Low-Power Fully Integrated CMOS DTV Tuner Front-End for ATSC Terrestrial Broadcasting*. Hindawi Publishing Corporation, VLSI DESIGN, 2007.

- [44] B. Gilbert, *A precise four-quadrant multiplier with subnanosecond response*, vol. 3, pp. 365-373. IEEE Journal of Solid-State Circuits, 1968.
- [45] M. T. Terrovitis and R. G. Meyer, *Noise in current-commutating CMOS mixers*, vol. 34, pp. 772-783. IEEE Journal of Solid-State Circuits, 1999.
- [46] P. J. Sullivan, B. A. Xavier, and W. H. Ku, *Low voltage performance of a microwave CMOS Gilbert cell mixer*, vol. 32, pp. 1151-1155. IEEE Journal of Solid-State Circuits, 1997.
- [47] Q. Li and Y. Jiann-Shiun, *Linearity analysis and design optimisation for 0.18 μ m CMOS RF mixer*, vol. 149, pp. 112-118. IEE Proceedings Circuits, Devices and Systems, 2002.
- [48] P. Jinsung, L. Chang-Ho, K. Byung-Sung, and J. Laskar, *Design and Analysis of Low Flicker-Noise CMOS Mixers for Direct-Conversion Receivers*, vol. 54, pp. 4372-4380. IEEE Transactions on Microwave Theory and Techniques, 2006.
- [49] A. Cabuk, K. S. Yeo, J. G. Ma, and M. A. Do, *Investigation of the wideband operation capability of Gilbert cell mixers*, vol. 33, pp. 97-100. Microwave and Optical Technology Letters, 2002.
- [50] L. A. MacEachern and T. Manku, *A Charge-Injection Method for Gilbert Cell Biasing*, vol. 1, pp. 365-368. IEEE Canadian Conference on Electrical and Computer Engineering, 1998.
- [51] S. G. Lee and J. K. Choi, *Current-reuse bleeding mixer*, vol. 36, pp. 696-697. Electronics Letters, 2000.
- [52] P. Jinsung, L. Chang-Ho, K. Byung-Sung, and J. Laskar, *Design and Analysis of Low Flicker-Noise CMOS Mixers for Direct-Conversion Receivers*, vol. 54, pp. 4372-4380. IEEE Transactions on Microwave Theory and Techniques, 2006.
- [53] G. Sapone and G. Palmisano, *A 90-NM CMOS low-power down-converter for 3- to 5-GHz ultra-wideband wireless systems*, vol. 50, pp. 2577-2581. Microwave and Optical Technology Letters, 2008.
- [54] K. Xuan, K. F. Tsang, S. C. Lee, and W. C. Lee, *High-performance current bleeding CMOS mixer*, vol. 45, pp. 979-981. Electronics Letters, 2009.

- [55] J. Kaukuvuori, *CMOS radio frequency circuits for short-range direct-conversion receivers*. PhD thesis, Helsinki University of Technology, Faculty of Electronics, Communications and Automation, Department of Micro and Nanosciences, 2008.
- [56] M. T. Reiha and J. R. Long, *A 1.2-V reactive-feedback 3.1-10.6 GHz low-noise amplifier in 0.13 μ m CMOS*, vol. 42, pp. 1023-1033. IEEE Journal of Solid-State Circuits, 2007.
- [57] S. H. Yen, C. Z. Chen, Y. S. Lin, and C. C. Chen, *A high-performance 1-7 GHz UWB LNA using standard 0.18 μ m CMOS technology*, vol. 49, pp. 2458–2462. Microwave and Optical Technology Letters, 2007.
- [58] J. Jung, T. Yun, J. Choi, and H. Kim, *Wideband and low noise CMOS amplifier for UWB receivers*, vol. 49, pp. 749-752. Microwave and Optical Technology Letters, 2007.
- [59] J. D. C. Y. Park, C-H Lee and J. Laskar, *The analysis of UWB SiGe HBT LNA for its noise, linearity, and minimum group delay variation*, vol. 54, pp. 1687-1697. IEEE Transactions on Microwave Theory and Techniques, 2006.
- [60] A. I. A. Galal, R. Pokharel, H. Kanaya, and K. Yoshida, *A low power UWB low noise amplifier using current reused and feedback techniques*, vol. 54, pp. 471-474. Microwave and Optical Technology Letters, 2012.
- [61] K. Smith and A. Sedra, *The current conveyor-A new circuit building block*, vol. 56, pp. 1368-1369. Proceedings of the IEEE, 1968.
- [62] A. Sedra and K. Smith, *A Second-Generation Current Conveyor and Its Applications*, vol. 17, pp. 132–134. IEEE Transactions on Circuit Theory, 1970.
- [63] G. Ferri and N. C. Guerrini, *Low-Voltage Low-Power CMOS Current Conveyors*. Kluwer Academic Publishers, 2004.
- [64] A. Fabre, O. Saaid, F. Wiest, and C. Boucheron, *High Frequency Applications Based on a New Current Controlled Conveyor*, vol. 43, pp. 82-91. Electronic Letters, 1996.

- [65] A. Fabre, *Third-generation current conveyor: a new helpful active element*, vol. 31, pp. 338-339. Electronic Letters, 1995.
- [66] C. Premont, N. Abouchi, R. Grisel, and C. Jean-Pierre, *A BiCMOS Current Conveyor Based Four-Quadrant Analog Multiplier*, vol. 19, pp. 159-162. Analog Integrated Circuits and Signal Processing, 1999.
- [67] F. Seguin, B. Godara, F. Alicalapa, and A. Fabre, *A Gain-Controllable Wide-Band Low-Noise Amplifier in Low-Cost 0.8-um Si BiCMOS Technology*, vol. 52. IEEE Transactions on Microwave Theory and Techniques, 2004.
- [68] F. Touati and F. Mnif, *Low-noise low-power 0.35um SiGe amplifiers for 3.1-10.6 GHz UWB radio receivers*, vol. 52, pp. 317-321. IEICE Electronics Express, 2004.
- [69] M. Ismail, *Four-Transistor Continuous-Time MOS Transconductor*, vol. 23, pp. 1099-1100. Electronics Letters, 1987.
- [70] Agilent-Technologies, *EM Insights Series*. Agilent EEsoft EDA, 2008.
- [71] Y. B. Quek, *QFN Layout Guidelines*. Texas Instruments, 2006.
- [72] Y. How-Siang and L. Hee-Soo, *3-D EM Simulator is Integrated with ADS to Lower the Cost of Design*. High Frequency Electronics, 2009.
- [73] L. Hee-Soo, *MMIC/RFIC Packaging Challenges*. Agilent-Techonologies, 2009.
- [74] Agilent-Technologies, *An integrated 3D EM design flow for EM/Circuit Co-Design*. ADS user's group meeting, Rome, 2009.



Publications

A list of journals and conference contributions directly or partially related to this research work are listed in this appendix.

JOURNAL PAPERS

1. **H. García-Vázquez**, S. L. Khemchandani, V. Pérez, J. del Pino, "A RF current conveyors receiver for DVB-SH", International Journal of Circuit Theory and Applications, SUBMITTED 2013.
2. **H. García-Vázquez**, S. L. Khemchandani, J. del Pino, "A low power RF receiver for digital TV DVB-SH", Microwave and Optical Technology Letters, ACCEPTED 2013.
3. **H. García-Vázquez**, S. L. Khemchandani, D. Ramos-Valido, A. Juanicorena, C. Luján-Martínez, J. del Pino, "A Fully Integrated RF Front-End for DVB-SH", Microwave and Optical Technology Letters, Agosto 2012.
4. **H. García-Vázquez**, S. L. Khemchandani, D. Ramos-Valido, K. Orbaiceta-Ezcurra, J. del Pino, "Modeling the package of a LNA with a 3D-EM simulator", Microwave and Optical Technology Letters, Julio 2013.

CONFERENCE PAPERS

5. **H. García-Vázquez**, S. L. Khemchandani, J. del Pino, "A 1.2V CMOS RF front-end for DVB-SH", XXVIII Design of Integrated Circuits and Systems Conference (Internacional), Donostia-San Sebastián (España) 2013.

6. **H. García-Vázquez**, K. Orbaiceta-Ezcurra, S. L. Khemchandani, J. del Pino, "Packaging effects on a DVB-SH RF Front-End", XXVIII Design of Integrated Circuits and Systems Conference (Internacional), Donostia-San Sebastián (España) 2013.
7. **H. García-Vázquez**, V. Pérez, R. Díaz, S. L. Khemchandani, J. del Pino, "An RF Receiver based on Current Conveyors for DVB-SH", XXVII Design of Integrated Circuits and Systems Conference (Internacional), Avignon (Francia) 2012.
8. P. Ndungidi, **H. García-Vázquez**, J. del Pino, F. Dualibe, C. Valderrama, "RF specification driven by Multi-Objective Optimization Method", XXVII Design of Integrated Circuits and Systems Conference (Internacional), Avignon (Francia) 2012.
9. **H. García-Vázquez**, D. Ramos-Valido, A. Juanicorena, C. Luján-Martínez, S. L. Khemchandani, J. del Pino, "A Fully Integrated RF Front-End for DVB-SH", XXV Design of Integrated Circuits and Systems Conference (Internacional), Lanzarote (España) 2010.
10. A. Juanicorena, U. Alvarado, E. López-Morillo, **H. García-Vázquez**, G. Bistué, J. Meléndez, "A Noise Cancelling Multi-standard LNA for mobile digital TV applications", XXV Design of Integrated Circuits and Systems Conference (Internacional), Lanzarote (España) 2010.
11. **H. García-Vázquez**, D. Ramos-Valido, S. L. Khemchandani, J. del Pino, "A 90nm CMOS RF Receiver for DVB-SH", 11th Workshop Digital Broadcasting (Internacional), Erlangen (Alemania) 2010.
12. **H. García-Vázquez**, D. Ramos-Valido, S. L. Khemchandani, J. del Pino, "A Radio Frequency Receiver IC for Digital Video Broadcasting - Satellite services to Handhelds", European Solid-State Circuits Conference, Fringe Session, ESSCIRC (Internacional), Sevilla (España) 2010.



Other Publications

A list of books, patents, journals and conference contributions related to other research works are listed in this appendix.

BOOKS

1. Roberto Díaz Ortega, Sunil L. Khemchandani, **Hugo García Vázquez**, Javier del Pino, "Design of Low-Noise Amplifiers for Ultra-Wideband Communications", McGraw-Hill, ACCEPTED 2013.

PATENTS

2. J. del Pino, J. García, **H. García-Vázquez**, B. González, A. Hernández, S. L. Khemchandani, "Circuito de carga shunt-peaking modificado para mantener constante la magnitud de la ganancia de LNAs integrados sobre anchos de banda grandes", N° de solicitud: P200700171, País de prioridad: España, Fecha de prioridad: 29/12/06, Fecha de concesión: 01/07/2010, Entidad titular: Universidad de Las Palmas de Gran Canaria.

JOURNAL PAPERS

3. J. del Pino, S. L. Khemchandani, R. Díaz, R. Pulido and **H. García-Vázquez**, "On-Chip Inductors Optimization for Ultra Wide Band Low Noise Amplifiers", Journal of Circuits, Systems and Computers, 2011.

4. **H. García-Vázquez**, S. L. Khemchandani, J. Arias and J. del Pino, "Flatness Improvement for a Shunt-peaked Ultra-wideband Low Noise Amplifier", *Microwave Journal*, Noviembre 2010.
5. S. L. Khemchandani, D. Ramos-Valido, **H. García-Vázquez**, R. Pulido, J. del Pino, "A Low Voltage Folded Cascode LNA for Ultra-wideband Applications", *Microwave and Optical Technology Letters*, Noviembre 2010.
6. **H. García-Vázquez**, S. L. Khemchandani, R. Pulido, A. Goñi-Iturri and J. del Pino, "A Wideband Active Feedback LNA with a Modified 3D Inductor", *Microwave and Optical Technology Letters*, Julio 2010.

CONFERENCE PAPERS

7. S. Rosino, D. Ramos-Valido, **H. García-Vázquez**, R. Pulido, S. L. Khemchandani, J. del Pino, "A CMOS Low Voltage Folded Cascode LNA for Wideband Applications", XXVII Design of Integrated Circuits and Systems Conference (Internacional), Avignon (Francia) 2012.
8. **H. García-Vázquez**, K. Orbaiceta-Ezcurra, S. L. Khemchandani, R. Díaz, J. Arias, J. del Pino, "Analysis of Package Effects on an UWB Feedback LNA", XXVI Design of Integrated Circuits and Systems Conference (Internacional), Albufeira (Portugal) 2011.
9. **H. García-Vázquez**, R. Díaz, D. Ramos-Valido, A. Santana, J. del Pino, S. L. Khemchandani, "Area Reduction in RF Fully Integrated Front-Ends for Ultra-Wideband", XXV Design of Integrated Circuits and Systems Conference (Internacional), Lanzarote (España) 2010.
10. R. Díaz, A. Castillo, **H. García-Vázquez**, D. Ramos-Valido, S. L. Khemchandani, J. del Pino, "Low Power Consumption Mixer Based on Current Conveyor for Wireless Systems", XXIV Design of Integrated Circuits and Systems Conference (Internacional), Zaragoza (España) 2009.
11. J. Arias, R. Pulido, **H. García-Vázquez**, S. L. Khemchandani, J. del Pino, A. Hernández, "A DVB-H RF-VGA Based On Current Conveyors", XXIV Design of Integrated Circuits and Systems Conference (Internacional), Zaragoza (España) 2009.

12. **H. García-Vázquez**, R. Pulido, R. Díaz, S. Khemchandani, A. Goñi, J. del Pino, "A Feedback Wideband LNA with a modified 3D inductor for UWB Applications", XXIII Design of Integrated Circuits and Systems Conference (Internacional), Grenoble (Francia) 2008.
13. R. Pulido, **H. García-Vázquez**, J. del Pino, S. L. Khemchandani, A. Hernández, "A Feedback Wideband LNA for UWB Applications", XXII Design of Integrated Circuits and Systems Conference (Internacional), Sevilla (España) 2007.
14. J. del Pino, S. L. Khemchandani, **H. García-Vázquez**, R. Pulido, A. Goñi-Iturri, A. Hernández, "3-10 GHz Ultrawide band SiGe LNA with Wideband LC Matching Network", SPIE - The International Society for Optical Engineering's - Microtechnologies for the New Millennium Design (VLSI Circuits and Systems Conference), Gran Canaria (España) 2007.
15. **H. García-Vázquez**, R. Pulido, J. del Pino, S. L. Khemchandani, A. Goñi, A. Hernández, "A 3-10 GHz SiGe LNA for Ultrawideband Applications", XXI Design of Integrated Circuits and Systems Conference (Internacional), Barcelona (España) 2006.
16. J. del Pino, S. L. Khemchandani, **H. García-Vázquez**, J. Garcia, A. Goñi-Iturri, A. Hernández, "UWB Amplifiers Design on Low Cost Technologies", II Jornada de Microelectrónica Aplicada, Gran Canaria (España) 2006.

