

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN ELECTRÓNICA



Trabajo Fin de Grado

DISEÑO DE UN MODULADOR VECTORIAL BASADO EN
SUMA DE VECTORES PARA APLICACIONES DE ANTENAS
ACTIVAS EN LA BANDA DE 17,8 A 20,2 GHz

**Titulación: Grado en Ingeniería en Tecnologías de
la Telecomunicación**

Autor: Ylenia Gallardo Méndez

Tutores: Dr. Sunil Lalchand Khemchandani

D. Mario San Miguel Montesdeoca

Fecha: Junio 2021

Agradecimientos

En primer lugar, agradecer a mis tutores Sunil Lalchand Khemchandani y Mario San Miguel Montesdeoca, tanto por la dedicación como por la paciencia, a la hora de realizar este trabajo y conseguir que haya salido adelante.

Mencionar también a mi familia, en especial a mis padres. Por el constante apoyo, por recordarme que tenía que estudiar aún cuando menos ganas tenía y por la confianza de que, tarde o temprano, acabaría. Por supuesto, destacar también a mi abuela, ya que probablemente sea la que más se ha alegrado con cada examen aprobado al contárselo por teléfono.

Por último, agradecer a los compañeros que me he cruzado en estos largos años de carrera por aportar, cada uno, su granito de arena para haber conseguido finalizar esta etapa. En concreto, a esos compañeros que la universidad y las fatigas acabaron convirtiendo en amigos. Por las noches de arquitectura con bebidas energéticas y por las mañanas en la cafetería con un café (o dos). En especial, gracias a Irene, por aguantar desde el primer año conmigo, animándome, sacando asignaturas juntas, y recordándome las fechas de las entregas y exámenes cercanos. A Emma, por ser mi fiel compañera a diario en este empujón final, tanto dentro como fuera de la universidad. Y, para acabar, a Gape, por ser mi apoyo cuando más me flaqueaban las fuerzas y los ánimos al no ver el fin de esto. Un trocito de mis logros es vuestro. Por todo esto y mil cosas más, gracias.

Resumen

El objetivo principal del presente Trabajo Fin de Grado es el diseño de un *phase shifter* o modulador vectorial para el rango de frecuencia de 17.8 GHz a 20.2 GHz, usando para ello, la tecnología SiGe BiCMOS de 130 nm de IHP. El desfasador se diseñará para antenas de tipo *phased array*. Este tipo de antenas están cada día más demandadas ya que son capaces de suplir los inconvenientes que presentan las antenas parabólicas a la hora de implementarse en aplicaciones móviles o que requieran de un perfil de antena más bajo.

Inicialmente, se ha realizado un estudio de los desfasadores programables y de las antenas *phased array*, tras el cual se ha llevado a cabo el diseño basado en un amplificador diferencial con la topología de un cascodo. Para el diseño a nivel de esquemático, tanto del amplificador diferencial como del resto de componentes del desfasador (*Quadrature All-Pass Filter*, *Digital-Analogic Converters*, *switches*, etc) se ha usado el software *Advanced Design System* de la compañía Keysight Technologies.

Cada parte del modulador vectorial se ha diseñado e implementado a la vez que se han ido realizando simulaciones para adaptar el circuito y comprobar su correcto funcionamiento. Una vez completado el diseño inicial, se han sustituido los componentes ideales del circuito (resistencias, condensadores y bobinas) por sus equivalentes reales de la tecnología con la que se ha trabajado.

Finalmente, se ha realizado el diseño del *phase shifter* capaz de generar cambios de fase entre 0° y 360° con saltos de 5.625° .

Abstract

The main purpose of this work is the design of a phase shifter, also known as vector modulator, for the frequency range 17,8 GHz to 20,2 GHz. For that purpose, SiGe BiCMOS 130 nm technology developed by IHP will be used. The phase shifter has been designed for phased array antennas. The demand for this kind of antennas increases by the day due to their capacity to solve the drawbacks of dishes antennas when implemented in moving systems and when a lower antenna profile is needed.

Initially, a study of programmable phase shifters and phased array antennas was carried out, after which the design based on a differential amplifier was made. For the schematic design of the amplifier and the other components of the phase shifter (Quadrature All-Pass Filter, Digital-Analogic Converters, switches...) the software Advanced Design System, developed by Keysight Technologies, was used.

Each part of the vector modulator was designed and implemented while simulations were run to match the circuit and check the proper functioning at the same time. Once the design was completed, the ideal components of the circuit (resistors, capacitors and inductors) were replaced by their real equivalents of the selected technology.

Finally, the design of the phase shifter capable of generating phase shifts between 0° and 360° with steps of 5.625° has been finished.

Índice general

Acrónimos	XIII
I Memoria	1
1. Introducción	2
1.1. Antecedentes	2
1.2. Estructura del documento	5
1.3. Objetivos	5
2. Estudio teórico de los desfasadores	7
2.1. Desfasadores digitales y continuos	7
2.2. Desfasador activo basado en suma vectorial	8
2.2.1. Teoría de operación	8
2.2.2. Cambios de fase de 360°	10
2.3. Generador de cuadratura	11
2.3.1. Filtros Polifásicos RC	11
2.3.2. Filtro Paso Todo en Cuadratura	12
3. Estudio de la arquitectura propuesta	15
3.1. Arquitectura propuesta	15
3.2. Descripción de la tecnología	17
4. Diseño del modulador vectorial	19
4.1. Diseño del Phase Shifter	19
4.2. Diseño del QAF	23
4.3. Control de ganancia	26

4.4. Diseño de los switches	32
4.5. Espejo de corriente	37
4.6. Cambio de componentes ideales a reales	42
4.6.1. Elección de las bobinas	42
4.6.2. Elección de los condensadores	45
4.6.3. Elección de las resistencias	45
4.6.4. Cambios en el desfasador	46
4.7. Simulaciones finales	47
5. Conclusiones	52
5.1. Resultados y conclusiones	52
5.2. Líneas de Trabajo Futuras	53
II Bibliografía	55
III Presupuesto	58
Presupuesto	59
P.1. Trabajo tarifado por tiempo empleado	59
P.2. Amortización del inmovilizado material	60
P.2.1. Amortización del material <i>hardware</i>	60
P.2.2. Amortización del material <i>software</i>	61
P.3. Redacción del trabajo	61
P.4. Derechos de visado del COITT	62
P.5. Costes de tramitación y envío	63
P.6. Aplicación de impuestos y coste total	63
IV Anexos	65
A. Componentes reales	66
A.1. Bobinas	66
A.2. Condensadores	70
A.3. Resistencias	74

A.4. Adaptación de los componentes 76

Índice de figuras

1.1. Phased array antenna [2]	3
1.2. Diagrama del funcionamiento de un array de antenas [4].	4
2.1. Diagrama de bloques de un desfasador basado en suma vectorial	9
2.2. Implementación de un desfasador de suma vectorial.	10
2.3. Desfasador con amplificadores ideales.	10
2.4. Resultados de la simulación.	11
2.5. Esquemático del filtro polifásico.	12
2.6. Filtro Paso Todo en Cuadratura.	13
2.7. Redes I y Q de terminación única.	13
2.8. Red diferencial en cuadratura.	14
2.9. Red en cuadratura reducida.	14
3.1. Esquemático de la estructura propuesta por Gabriel Rebeiz [16].	16
3.2. Esquemático de la arquitectura usada	17
4.1. Esquemático de un LNA.	20
4.2. Esquemático final del LNA.	21
4.3. Simulaciones y prestaciones del LNA.	22
4.4. Amplificador diferencial.	22
4.5. Esquemático del QAF.	23
4.6. Red de adaptación.	24
4.7. Adaptación de salida en las ramas del QAF.	25
4.8. Desfases relativos entre las salidas del QAF.	25
4.9. Esquemático del Phase Shifter conectado con el QAF.	26
4.10. Fuente corriente para el robado.	27

4.11. Implementación en una rama del amplificador de la técnica de robado de corriente.	27
4.12. Variación de ganancia en una rama del amplificador en función de la cantidad de corriente robada.	28
4.13. Barrido del robado de corriente para obtener las fases en un cuadrante.	28
4.14. Fases obtenidas para el segundo cuadrante.	29
4.15. Fases obtenidas de los cuatro cuadrantes.	29
4.16. Esquemático del amplificador diferencial con los transistores de selección de cuadrante adicionales.	33
4.17. Tensiones utilizadas para controlar la activación de los transistores. . .	33
4.18. Fases obtenidas de los cuatro cuadrantes tras la implementación de los <i>switches</i>	34
4.19. Espejo de corriente básico.	37
4.20. Espejo de corriente sencillo.	38
4.21. Simulación espejo de corriente sencillo.	38
4.22. Espejo de corriente en cascodo simple.	39
4.23. Simulación espejo de corriente en cascodo simple.	39
4.24. Espejo de corriente en cascodo de mínima tensión.	40
4.25. Simulación espejo de corriente en cascodo de mínima tensión.	40
4.26. Espejo de corriente en cascodo mejorado.	41
4.27. Simulación espejo de corriente en cascodo mejorado.	41
4.28. Simulación de las diferentes configuraciones del espejo de corriente. . .	42
4.29. <i>Setup</i> de simulación de las bobinas.	43
4.30. Layout y parámetros de la bobina 600 pH.	44
4.31. Resultados de simulación de la bobina de 600 pH.	44
4.32. <i>Setup</i> de simulación de condensadores reales.	45
4.33. Resultados simulación del condensador de 310 fF.	45
4.34. <i>Setup</i> de simulación de las resistencias reales.	46
4.35. Ejemplo del calculo de la resistencia de 1 kΩ.	46
4.36. Esquemático final.	48
4.37. Simulaciones finales.	48

4.38. Fases obtenidas de los cuatro cuadrantes tras la implementación de los componentes reales.	49
4.39. Resultados de la simulación para un valor de fase.	49
A.1. Layout y parámetros de la bobina de 600 pH.	67
A.2. Resultados de la simulación de la bobina de 600pH.	67
A.3. Layout y parámetros de la bobina de 300 pH.	68
A.4. Resultados de la simulación de la bobina de 300pH.	68
A.5. Layout y parámetros de la bobina de 200 pH.	69
A.6. Resultados de la simulación de la bobina de 200pH.	69
A.7. Layout y parámetros de la bobina de 350 pH.	70
A.8. Resultados de la simulación de la bobina de 350pH.	70
A.9. Valores de los parámetros del condensador de 70fF.	71
A.10.Resultados de la simulación del condensador de 70fF.	71
A.11.Valores de los parámetros del condensador de 109fF.	72
A.12.Resultados de la simulación del condensador de 109fF.	72
A.13.Valores de los parámetros del condensador de 200fF.	73
A.14.Resultados de la simulación del condensador de 200fF.	73
A.15.Valores de los parámetros del condensador de 310fF.	74
A.16.Resultados de la simulación del condensador de 310fF.	74
A.17.Valores de los parámetros de la resistencia de 114 Ω	75
A.18.Simulación de la resistencia de 114 Ω	75
A.19.Valores de los parámetros de la resistencia de 1k Ω	76
A.20.Simulación de la resistencia de 1k Ω	76
A.21.Layout y parámetros de la bobina de 380 pH.	77
A.22.Resultados de la simulación de la bobina de 380pH.	77
A.23.Layout y parámetros de la bobina de 800 pH.	78
A.24.Resultados de la simulación de la bobina de 800pH.	78
A.25.Valores de los parámetros del condensador de 100fF.	79
A.26.Resultados de la simulación del condensador de 100fF.	79
A.27.Valores de los parámetros de la bobina de 160fF.	80
A.28.Resultados de la simulación del condensador de 160fF.	80

Índice de tablas

4.1. Parámetros de los transistores	20
4.2. Componentes del QAF y la red de adaptación	26
4.3. Valores de las corrientes para obtener las fases del primer cuadrante . .	30
4.4. Valores de las corrientes para obtener las fases del segundo cuadrante .	31
4.5. Valores de las corrientes para obtener las fases del tercer cuadrante . .	31
4.6. Valores de la corriente para obtener las fases del cuarto cuadrante . . .	32
4.7. Valores de las corrientes para obtener las fases del primer cuadrante . .	35
4.8. Valores de las corrientes para obtener las fases del segundo cuadrante .	35
4.9. Valores de las corrientes para obtener las fases del tercer cuadrante . .	36
4.10. Valores de las corrientes para obtener las fases del cuarto cuadrante . .	36
4.11. Valores de las corrientes para obtener las fases del primer cuadrante . .	50
4.12. Valores de las corrientes para obtener las fases del segundo cuadrante .	50
4.13. Valores de las corrientes para obtener las fases del tercer cuadrante . .	51
4.14. Valores de las corrientes para obtener las fases del cuarto cuadrante . .	51
P.1. Costes de la amortización de recursos <i>hardware</i>	60
P.2. Costes de la amortización de recursos <i>software</i>	61
P.3. Presupuesto del trabajo tarifado y la amortización de inmovilizado ma- terial	62
P.4. Presupuestos totales con la redacción del trabajo.	63
P.5. Presupuesto total del proyecto.	64

Acrónimos

Siglas	Descripción
ADS	<i>Advanced Design System</i>
CMOS	<i>Complimentary Metal-Oxide Semiconductor</i>
DAC	<i>Digital to Analog Converter</i>
HBT	<i>Heterojunction Bipolar Transistor</i>
IHP	<i>Innovations for High Performance Microelectronics</i>
LNA	<i>Low Noise Amplifier</i>
MIM	<i>Metal-Insulator-Metal</i>
MMIC	<i>Monolithic Microwave Integrated Circuits</i>
PAA	<i>Phased Array Antenna</i>
PPF	<i>Polyphase Filter</i>
PS	<i>Phase Shifter</i>
RF	Radio Frecuencia
SiGe	Silicio Germanio
QAF	<i>Quadrature All-Pass Filters</i>
TFG	Trabajo de Fin de Grado

Parte I

Memoria

Capítulo 1

Introducción

Este primer capítulo tiene como objetivo presentar la motivación tras el desarrollo del presente Trabajo Fin de Grado(TFG). Para ello, se realiza una breve introducción sobre antenas tipo *phased array* o *Phased Array Antennas* (PAA), dado que es el principal campo de aplicación de los desfases. De esta forma, se hace patente la importancia de este tipo de circuitos en los sistemas de comunicaciones actuales.

1.1. Antecedentes

En la actualidad predominan las antenas parabólicas en el sector de las comunicaciones vía satélite. Este tipo de antenas tienen un uso limitado a instalaciones fijas debido a que su peso y dimensiones dificultan su movilidad. Asimismo, otro de sus inconvenientes es su bajo coeficiente aerodinámico, lo que hace que no se puedan integrar en vehículos móviles. Ante estos inconvenientes se presentan las antenas de tipo *phased array*[1].

Un *array* de antenas en fase o *phased array antennas* como el que se muestra en la figura 1.1, es aquel cuya dirección de transmisión o recepción puede controlarse electrónicamente. Estos *arrays* de antenas consisten en un número de antenas manejadas de forma simultánea por una fuente común y organizadas de forma que las fases individuales se concentren en una dirección y se supriman de otras como se aprecia en



Figura 1.1: Phased array antenna [2]

el diagrama de la figura 1.2 [3]. Estas antenas tienen la ventaja de poder implementarse en sistemas de comunicación tanto fijos como móviles, al igual que en sistemas en tiempo real. Hay que tener en cuenta que, con la implantación actual de los sistemas de comunicaciones 5G, se requieren antenas de comunicaciones móviles que permitan el direccionamiento dinámico. Las antenas tipo *array* también pueden usarse en radares de altas prestaciones por su capacidad de apuntar electrónicamente a diferentes direcciones.

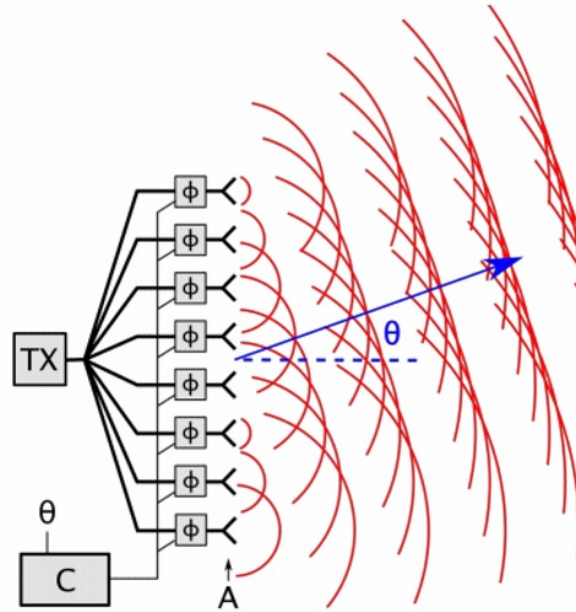


Figura 1.2: Diagrama del funcionamiento de un array de antenas [4].

Este tipo de antenas son idóneas para aplicaciones como conexiones inalámbricas punto a punto, imagen satelital (*satellite imaging*), comunicación por satélite, radio astronomía o radares militares [5].

Existen dos tipos básicos de *arrays*: los lineales, que son aquellos que tienen todos sus elementos dispuestos sobre una línea, y los planos, en los que los elementos están situados sobre un plano [1]. Estos *arrays* de antenas suelen usarse para antenas de radar y comunicaciones de radio.

El diseño de un *array* de antenas cuenta con diversos elementos. La complejidad de estos sistemas se basa en conseguir diseños que sean simultáneamente de bajo coste y bajo consumo de potencia y que disminuyan el área total de los circuitos lo máximo posible [6]. Una posible solución a esto es la implementación de la electrónica necesaria para el *array* usando circuitos integrados de microondas o MMIC, ya que logran las prestaciones requeridas en área reducida.

Para concentrar y dirigir la fase se utiliza un desfasador (o *phase shifter*), un dispositivo electrónico capaz de, aplicando un cambio de fase progresivo ($\Delta\phi$) entre los elementos del *array* de antenas, dirigir el haz de radiación principal de la antena consiguiendo reforzar la radiación en la dirección determinada.

1.2. Estructura del documento

El presente documento consta de cuatro partes: Memoria, Bibliografía, Presupuesto y Anexos.

La Memoria, la primera parte, se divide en cinco capítulos. En este capítulo, se realiza un análisis de los antecedentes de las antenas *phased array* y se explica la importancia de los desfasadores electrónicos para su implementación. También se comenta el objetivo del Trabajo de Fin de Grado y se desglosa la estructura de este documento. En el segundo capítulo se analizan los desfasadores y su teoría de operación. En el Capítulo 3 se explica la arquitectura del diseño y la tecnología usada. El capítulo 4 presenta el proceso de diseño y el capítulo 5 y último, las conclusiones de este TFG.

En la Parte II se encuentra la Bibliografía consultada. En la Parte III se analiza el Presupuesto y el cálculo del coste de la elaboración del TFG. Finalmente, en la Parte IV se aporta un anexo. Este anexo consiste en imágenes adjuntas explicando el proceso seguido para el diseño de los componentes reales que forman parte del desfasador.

1.3. Objetivos

El objetivo principal de este proyecto es el diseño de un modulador vectorial con la tecnología SiGe BiCMOS de 130nm de IHP para el rango de frecuencia de 17.8 GHz a 20.2 GHz.

Para ello, se emplea la herramienta *software* ADS (*Advanced Design System*) de la empresa Keysight. Esta herramienta es muy usada en el diseño de circuitos RF por ser una herramienta potente y que posee un gran número de librerías y opciones de simulación.

Los objetivos de este proyecto son los siguientes:

Objetivo 1: Estudio de los moduladores vectoriales para aplicaciones de antenas activas. Este objetivo se centra en el estudio del funcionamiento de la totalidad del sistema.

Objetivo 2: Estudio de las topologías existentes para las antenas activas.

Objetivo 3: Selección de una tecnología de las existentes en el mercado conforme a los resultados que se esperan.

Objetivo 4: Diseño y simulación del desfasador para obtener las características requeridas. Los aspectos de diseño serán considerados con la intención de alcanzar una mejora del funcionamiento o una mayor integración del módulo diseñado.

Capítulo 2

Estudio teórico de los desfasadores

En este capítulo se presentan los distintos tipos de desfasadores electrónicos y se explica la teoría de operación del modulador de suma vectorial junto con la obtención de los cambios de fase de 360° . Se estudia también a nivel teórico el desfasador programable y, con ello, los tipos de generadores de cuadratura.

2.1. Desfasadores digitales y continuos

En cuanto al control de la dirección del haz principal de radiación de la antena, los desfasadores se pueden clasificar en dos grandes grupos: continuos o digitales [7].

En primer lugar, los desfasadores continuos o analógicos se pueden configurar para proporcionar un valor de desplazamiento de fase continuo, usando una señal de entrada de control analógica, por ejemplo, una tensión [8][9][10]. Este tipo de desfasadores son capaces de desplazar la fase reduciendo errores de cuantificación de fase a la hora de dirigir el haz de radiación haciéndolo con precisión infinita. Algunos desfasadores analógicos presentan respuestas no lineales a la señal de control haciendo que sea difícil implementar un bucle de control de la tensión, lo cual dificulta su integración para aplicaciones de baja tensión.

Por otro lado, los desfasadores digitales son capaces de proporcionar valores de desplazamiento de fase cuantificados a partir de una señal de entrada digital [11][12].

Un desfasador de N bits tiene 2^N fases con un paso de fase progresivo dado por la expresión 2.1.

$$\Delta\Phi_s = \frac{2\pi}{2^N} \quad (2.1)$$

Estos desfasadores proporcionan una precisión de fase a la salida con una incertidumbre menor a $\frac{1}{2}\Delta\Phi_s$. Al contrario que los desfasadores continuos, no están sujetos a errores de fase debido a la no linealidad entre el desplazamiento de fase y la señal de control. Esto conlleva que su implementación con sistemas de integración mixta sea más sencilla. Además, en muchos casos pueden trabajar con aplicaciones de baja tensión. Sin embargo, el efecto adverso de los desfasadores digitales es que conducen a errores de cuantización en la fase progresiva.

2.2. Desfasador activo basado en suma vectorial

2.2.1. Teoría de operación

Los desfasadores basados en suma vectorial o moduladores vectoriales son una implementación de los desfasadores digitales en circuitos integrados[13][14][15]. El modulador vectorial crea variaciones en la fase combinando versiones de la señal en fase y cuadratura con pesos variables. Dada una señal de entrada V_i , el generador de cuadratura creará una versión de la señal original de fase (V_iI) y de cuadratura (V_iQ), como se aprecia en la ecuación 2.2. Para que el circuito funcione de forma correcta es necesario que V_iQ esté desfasado 90° respecto a V_iI , de forma que la fase con respecto a la entrada puede ser arbitraria.

$$\begin{aligned} V_iI &= \frac{1}{\sqrt{2}}V_i\epsilon^{j\theta_0} \\ V_iQ &= \frac{1}{\sqrt{2}}V_i\epsilon^{(j\theta_0+90^\circ)} \end{aligned} \quad (2.2)$$

En la Figura 2.1 se aprecia el diagrama de bloques de un desfasador de suma vectorial.

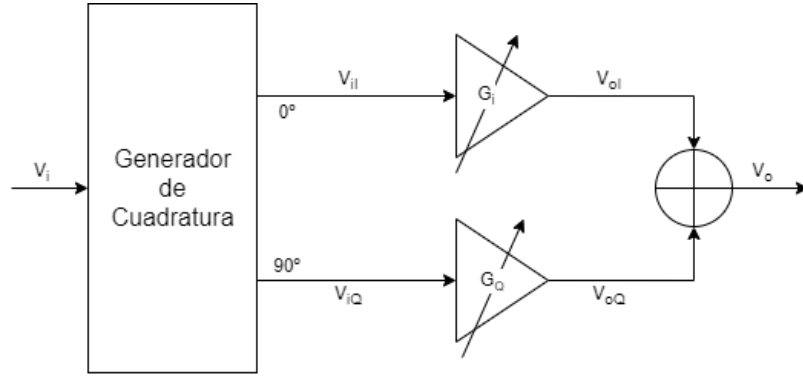


Figura 2.1: Diagrama de bloques de un desfaseador basado en suma vectorial

Cada señal se amplifica con amplificadores de ganancia G_I y G_Q variable generando, de esta forma, V_{oI} y V_{oQ} respectivamente. Tal y como se ve en la ecuación 2.3 la señal de salida se obtiene sumando ambas señales.

$$|V_0| = \sqrt{\left(\frac{1}{\sqrt{2}}G_I\epsilon^{j\theta_0}\right)^2 + \left(\frac{1}{\sqrt{2}}G_Q\epsilon^{j\theta_0}\right)^2} \quad (2.3)$$

$$|V_0| = \frac{1}{\sqrt{2}} + \left[\sqrt{G_I^2 + G_Q^2}\right]$$

En la ecuación 2.4 se presenta la expresión de la fase correspondiente a la señal de salida.

$$\angle V_0 = \tan^{-1}\left(\frac{\frac{1}{\sqrt{2}}G_Q}{\frac{1}{\sqrt{2}}G_I}\right) + \theta_0 + \angle V_i = \tan^{-1}\frac{G_Q}{G_I} + \theta_0 + \angle V_i \quad (2.4)$$

La fase relativa de la salida se puede controlar con la variación de las ganancias G_I y G_Q tal y como se ve en la ecuación 2.5.

$$\phi = \tan^{-1}\frac{G_Q}{G_I} \quad (2.5)$$

Entre las ganancias G_I y G_Q existe una dependencia relativa, por lo que es necesario tener en cuenta que para conseguir una ganancia constante se debe restringir la elección de G_I y G_Q , de forma que la suma vectorial de ambas no supere el círculo unitario.

2.2.2. Cambios de fase de 360°

La arquitectura explicada en el apartado anterior solo permite cambios de fase de 90°. Para conseguir recorrer el círculo unitario se agregan dos amplificadores adicionales con ganancia negativa tal y como se ve en la Figura 2.2.a. La ganancia y el desfase se analizan de la misma forma que se explicó anteriormente.

La implementación diferencial que se muestra en la Figura 2.2.b. permite realizar las ampliaciones de ganancia negativa mediante la simple inversión de la polaridad de sus entradas diferenciales.

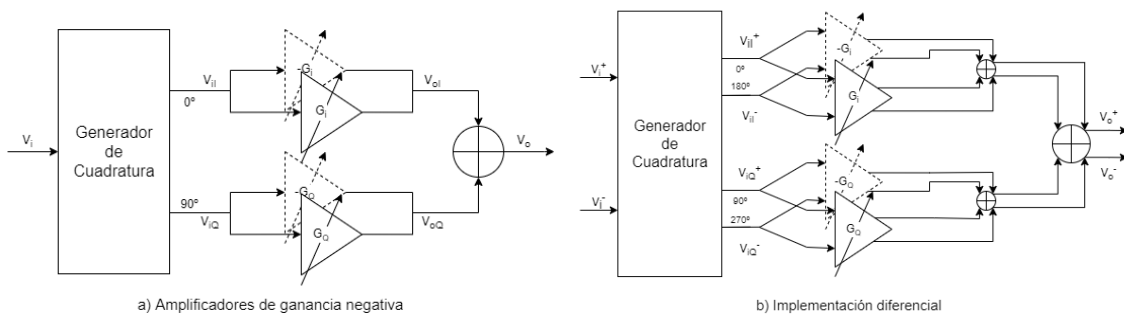


Figura 2.2: Implementación de un desfasador de suma vectorial.

Para analizar el comportamiento del desfasador de suma vectorial con topología diferencial, se ha simulado un ejemplo con amplificadores ideales, tal y como se muestra en el esquemático de la Figura 2.3.

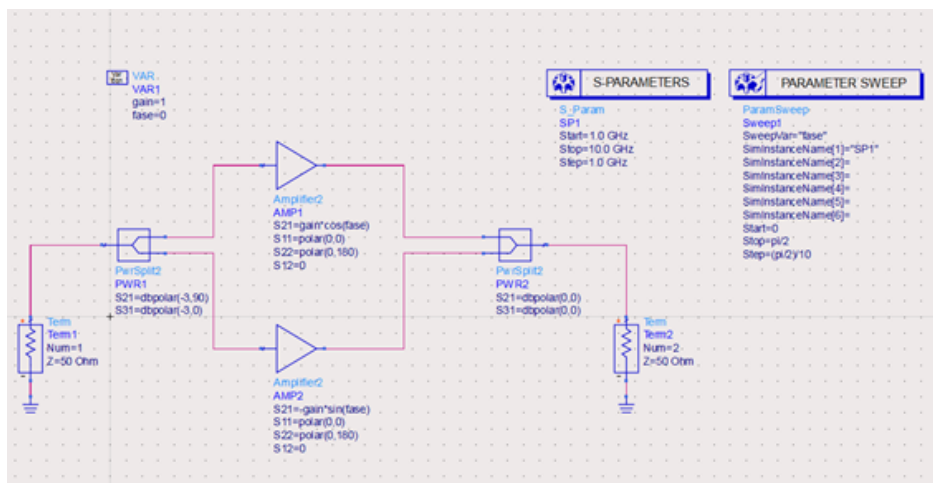
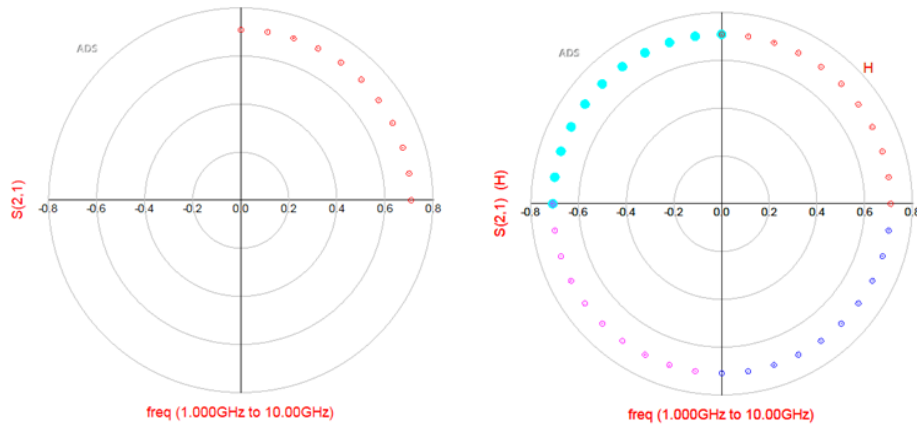


Figura 2.3: Desfasador con amplificadores ideales.

En la Figura 2.4.a se muestran los resultados de la simulación para un solo cuadran-

te. De la misma forma, en la Figura 2.4.b se aprecian los resultados de la simulación pero, en este caso, abarcando los cuatro cuadrantes.



(a) Simulación de 90°

(b) Simulación de los 360°

Figura 2.4: Resultados de la simulación.

A continuación, se explicarán el resto de los circuitos que componen el desfasador de suma vectorial.

2.3. Generador de cuadratura

El generador de cuadratura se encarga de la generación de dos pares de salidas en fase y cuadratura a partir de una señal de entrada diferencial. Las implementaciones más comunes para este generador son los filtros polifásicos RC o *RC Polyphase Filter* (PPF) y los filtros paso todo en cuadratura RLC o *RLC Quadrature All-Pass Filter* (QAF).

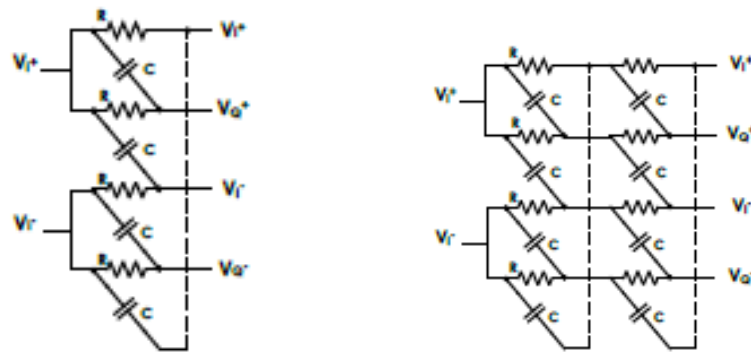
2.3.1. Filtros Polifásicos RC

Este tipo de filtro polifásico consiste en, a partir de redes RC-CR, generar dos voltajes con fases de 45° y -45° centrados en una frecuencia. De esta forma, el desfase total entre las salidas es de 90°. La ecuación 2.6 corresponde a la frecuencia de corte de este tipo de circuito que, como se puede apreciar, es igual a la de un circuito RC

genérico.

$$\omega_c = \frac{1}{R \cdot C} \quad (2.6)$$

En la Figura 2.5.a se muestra el esquemático de un filtro polifásico de primer orden. Para incrementar el ancho de banda, los filtros de orden superior pueden implementarse conectando en cascada la red de primer orden, lo que aumentaría el ancho de banda y disminuiría, a su vez, el error de fase. En la Figura 2.5 se aprecia el esquemático de un filtro polifásico de segundo orden.



(a) Filtro polifásico de primer orden (b) Filtro polifásico de segundo orden

Figura 2.5: Esquemático del filtro polifásico.

2.3.2. Filtro Paso Todo en Cuadratura

Por otro lado, el QAF se basa en estructuras RLC. En la Figura 2.6.a se aprecia el QAF y se redibuja en la Figura 2.6.b mostrando la red diferencial I y Q. Para el análisis del filtro se considerarán las versiones de terminación única que se aprecian en la Figura 2.7.

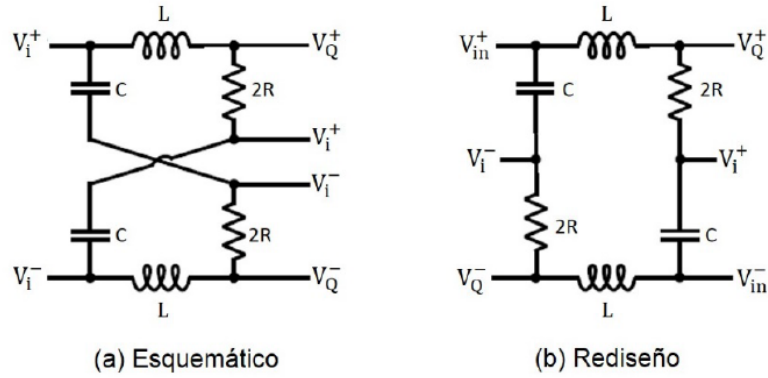


Figura 2.6: Filtro Paso Todo en Cuadratura.

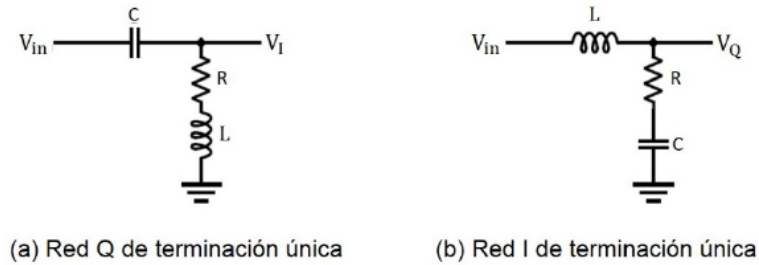


Figura 2.7: Redes I y Q de terminación única.

La combinación de estas dos redes de terminación única dan como resultado la red diferencial mostrada en la Figura 2.8. Para obtener el esquemático de la red en cuadratura reducida tal y como se ve en la Figura 2.9 es necesario tener en cuenta la elección de L y C. Usando la ecuación 2.7, las impedancias de la bobina y el condensador son iguales en w_c , por lo que, $X_C = -X_L$. Como consecuencia, L y C son redundantes y se eliminan.

$$R = \sqrt{\frac{L}{C}} \quad (2.7)$$

$$w_c = \frac{1}{\sqrt{LC}}$$

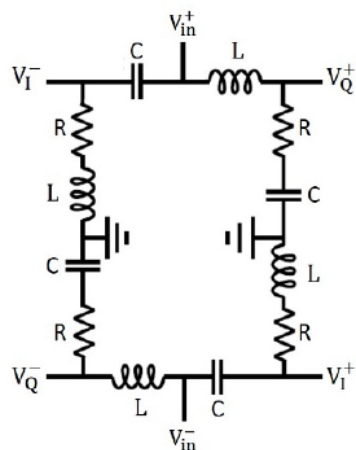


Figura 2.8: Red diferencial en cuadratura.

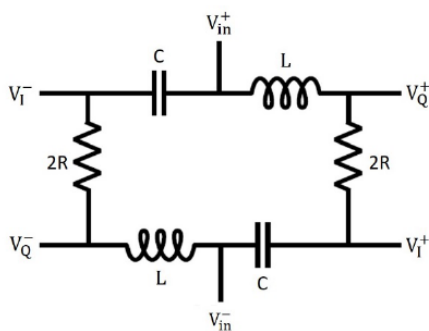


Figura 2.9: Red en cuadratura reducida.

En el capítulo enfocado al diseño del *Phase Shifter* se explicará en mayor profundidad la estructura del QAF, acompañándolo de simulaciones, ya que será el usado en este trabajo.

Capítulo 3

Estudio de la arquitectura propuesta

En este capítulo se introduce la arquitectura propuesta para el desfasador y se analiza la tecnología usada para la implementación del mismo.

3.1. Arquitectura propuesta

El *Phase Shifter* diseñado está basado en la arquitectura presentada por el Dr Gabriel Rebeiz y su equipo de trabajo en el paper ”*A Low-Cost Scalable 32-Element 28 GHz Phased Array Transceiver for 5G Communication Links based on a 2x2 Beamformer Flip-Chip Unit Cell*” [16]. En la Figura 3.1 se muestra el esquemático propuesto por Rebeiz.

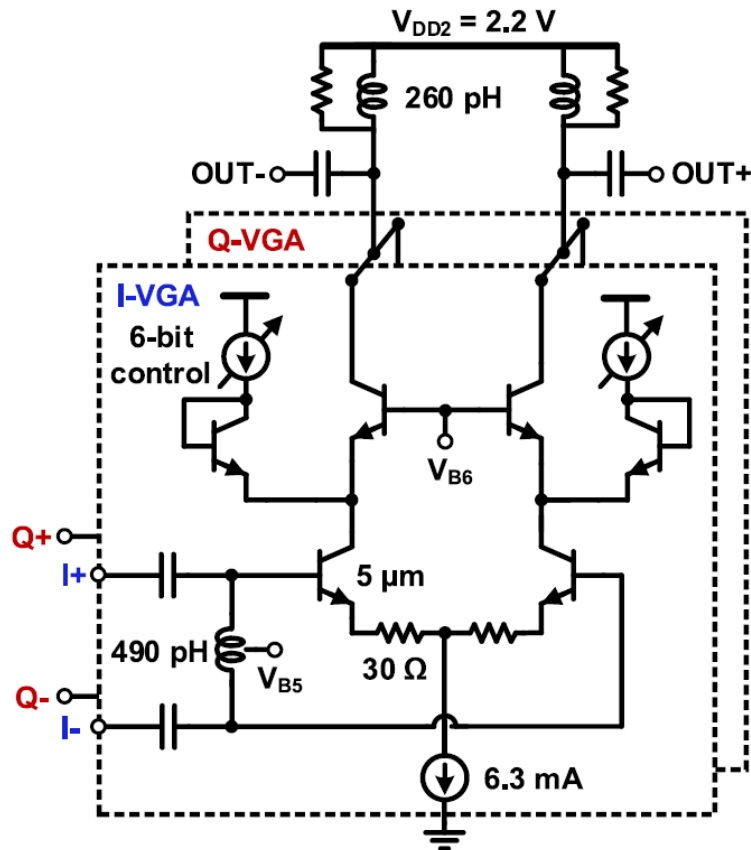


Figura 3.1: Esquemático de la estructura propuesta por Gabriel Rebeiz [16].

La principal ventaja de esta estructura consiste en que, teóricamente, la impedancia de entrada no varía a medida que se modifica la corriente para obtener los cambios de fase, ya que estos cambios se realizan mediante la técnica de robo de corriente. De esta forma, la corriente que circula por los transistores de entrada no cambia.

La estructura del *Phase Shifter* (PS) es una estructura diferencial basada en un cascode y en la cual se implementa un amplificador diferencial para la rama I y otro para la rama Q.

A la estructura de Gabriel Rebeiz se le ha añadido una modificación que consiste en añadir cuatro pares de transistores encima de las cuatro ramas amplificadoras que funcionarán como *switches*. Estos *switches* se activan o desactivan para cambiar de cuadrante. En la Figura 3.2 se aprecia la estructura completa del desfasador. Dentro de esta arquitectura implementada, la parte de los *switches* se encargará de elegir el cuadrante en el que se trabajará. Asimismo, la utilización de estos transistores adicionales aumentará la ganancia total del desfasador, si bien su linealidad se verá reducida

al reducirse el margen dinámico. El robo de corriente seleccionará la fase concreta dentro de cada cuadrante. También se incluye una red de adaptación a 50Ω y una etapa de ganancia.

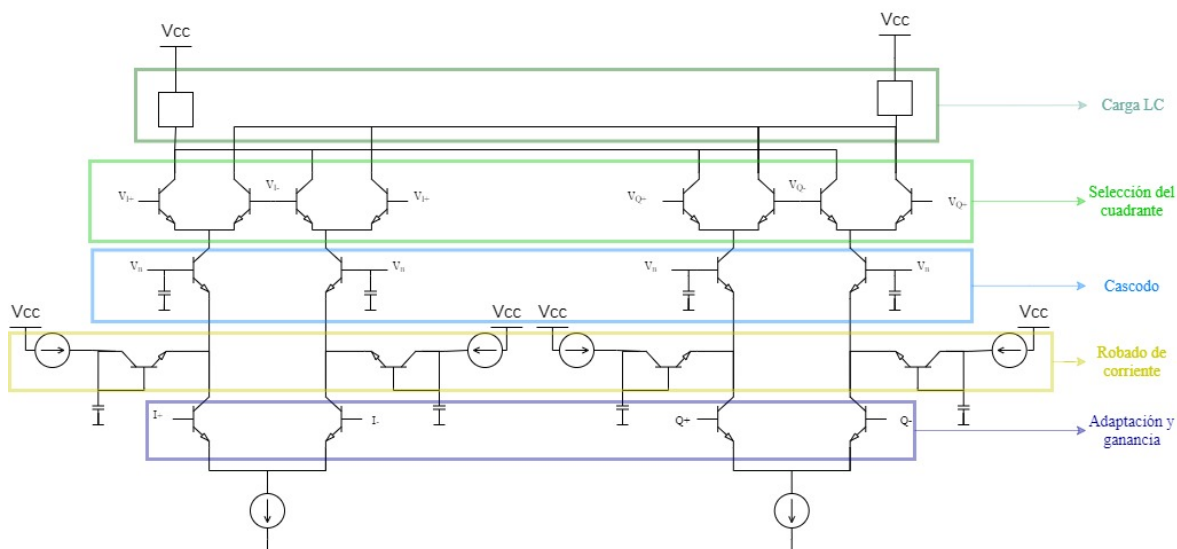


Figura 3.2: Esquemático de la arquitectura usada

3.2. Descripción de la tecnología

Innovation for High Performance (IHP) es un instituto alemán que se encuentra localizado en Frankfurt y fue fundado en 1983. Forma parte de la asociación Leibniz, una unión de institutos de investigación no universitarios de diferentes ramas como la ingeniería, la economía o las ciencias naturales.[17]

IHP está centrado en el desarrollo e investigación de sistemas basados en silicio, circuitos integrados de alta frecuencia y también tecnologías para comunicaciones inalámbricas y de banda ancha.

El proceso SG13S es una tecnología BiCMOS de altas prestaciones basada en un proceso CMOS (del inglés *Complimentary Metal-Oxide Semiconductor*) de $0.13\mu\text{m}$. Contiene dispositivos bipolares HBT (del inglés *Heterojunction Bipolar Transistor*) basados en SiGe cuya frecuencia umbral alcanza los 250GHz y la frecuencia máxima llega a 300GHz. Este proceso proporciona 2 espesores de óxido de puerta: uno fino para tensiones de alimentación de 1.2V para circuitos digitales, y otro grueso para tensiones

de alimentación de 3.3V específico para circuitos analógicos . Para ambos módulos se ofrecen transistores NMOS, PMOS y NMOS aislados. Además, el kit de diseño también incluye componentes pasivos como resistencias de polisilicio y condensadores MIM (del inglés *Metal-Insulator-Metal*).

Capítulo 4

Diseño del modulador vectorial

Este capítulo presenta el proceso de diseño seguido a lo largo del proyecto. Partiendo de una rama de cascodo simple hasta llegar al circuito final del desfasador con componentes reales, explicando el procedimiento para el diseño del QAF, el control de ganancia y las redes de polarización basadas en el espejo de corriente.

4.1. Diseño del Phase Shifter

Para el diseño del *Phase Shifter* se ha comenzado diseñando una única rama cascodo del amplificador diferencial. El objetivo de esta rama es diseñarla para mínimo ruido, por lo que, se ha seguido el procedimiento de diseño de un *Low Noise Amplifier* (LNA). En la Figura 4.1 se aprecia el esquemático de la rama cascodo a partir de la cual se va a diseñar el *Phase Shifter*.

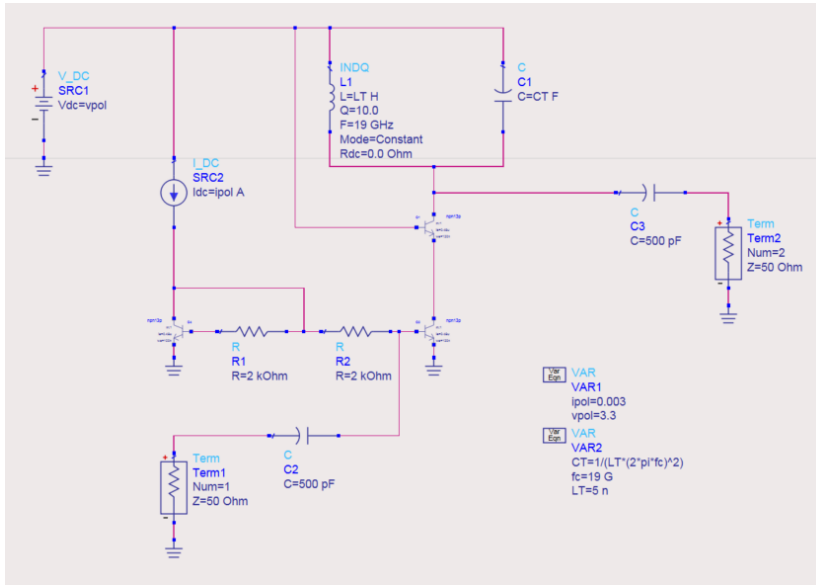


Figura 4.1: Esquemático de un LNA.

En primer lugar, los valores de la bobina y del condensador del tanque se han establecido para centrar la ganancia a la frecuencia de trabajo de 19GHz.

Seguidamente, se realizó un barrido de la corriente de polarización en busca de la mínima Figura de ruido (NF_{min}). Posteriormente, es necesario variar las dimensiones de los transistores para la adaptación de impedancias.

Tras estas variaciones es necesario reajustar la corriente de polarización que queda finalmente de 0.3mA. Los valores de los parámetros de los transistores son los mostrados en la tabla 4.1. El parámetro *x-Multiplier* es el número de *fingers* del transistor, es decir, el número de emisores por cada colector, mientras que el parámetro *multiplier* hace referencia al número de transistores en paralelo.

Tabla 4.1: Parámetros de los transistores

Parámetro	
Emitter length(μm)	0.84
Emitter width(nm)	120
x-Multiplier	4
Multiplier	3

Para el siguiente paso se han añadido dos bobinas (L_b y L_e), con intención de adaptar la impedancia de entrada haciendo que sea lo más cercana posible a 50Ω . La

adaptación a la salida se hace mediante un *buffer* y un condensador. En ambos casos, tanto en la adaptación de entrada como de salida, se ha realizado un barrido para obtener los valores de los componentes añadidos.

Finalmente, se reajustaron los valores de la bobina y el condensador del tanque para volver a centrar la respuesta en frecuencia del desfasador. En la Figura 4.2 se aprecia el esquemático final del LNA diseñado, mientras que en la Figura 4.3 se observan los resultados de las simulaciones finales y prestaciones de dicho LNA. Se aprecia la correcta adaptación de impedancia de entrada ya que coinciden los mínimos del parámetro S_{11} con el ancho de banda de trabajo. También, se puede observar como la ganancia máxima no coincide con el parámetro S_{21} ya que no se ha realizado adaptación de la impedancia de salida.

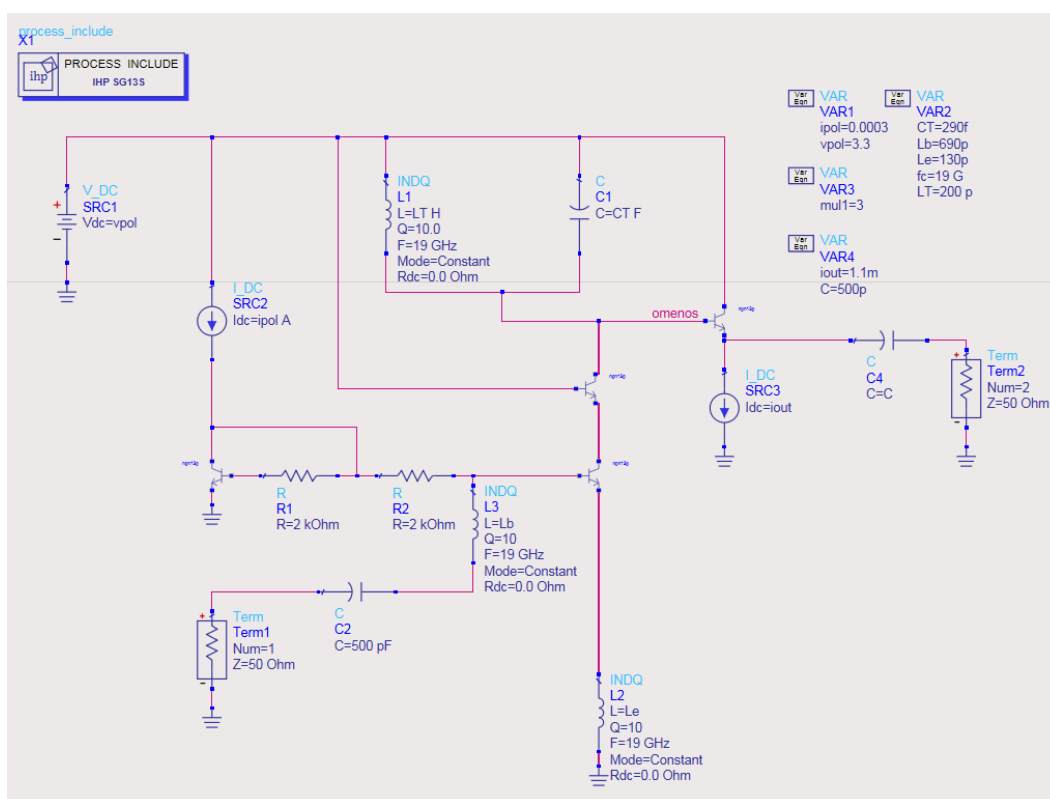


Figura 4.2: Esquemático final del LNA.

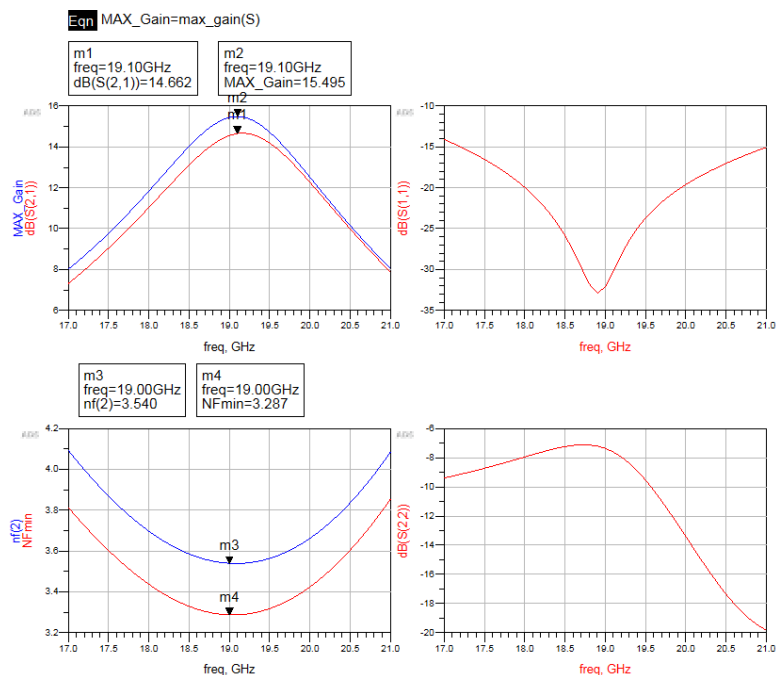


Figura 4.3: Simulaciones y prestaciones del LNA.

A partir del LNA se ha montado un amplificador diferencial. Para ello, se ha cambiado la red de adaptación de la salida por un *buffer* ideal. Para la entrada se ha añadido un balun considerando que la entrada era de 100Ω para mantener las adaptaciones de impedancias. A partir de este punto se obtienen dos nodos de entrada (in_{mas} e in_{menos}), y dos nodos de salida (o_{mas} y o_{menos}), que se conectan en el *buffer* para obtener una salida asimétrica. La Figura 4.4 muestra como quedaría dicho amplificador diferencial.

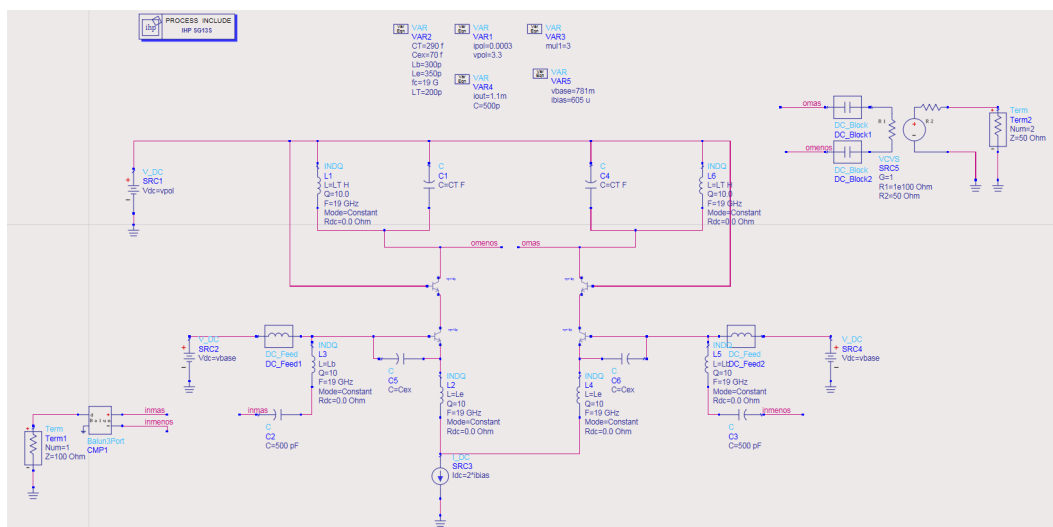


Figura 4.4: Amplificador diferencial.

El siguiente paso ha consistido en duplicar el amplificador diferencial de forma que tengamos uno para la rama I y otro para la rama Q. Es necesario añadir un *Quadrature All-Pass Filter* para generar las señales de fase y cuadratura necesarias a la entrada del circuito. El diseño del QAF se detalla en el siguiente apartado.

4.2. Diseño del QAF

Tal y como se mencionó en el apartado anterior, es necesario el diseño de un *Quadrature All-Pass Filter*, cuyo esquemático es el que se aprecia en la Figura 4.5. Cada salida del QAF irá a una de las cuatro entradas del *Phase Shifter*.

Los valores de los componentes se obtienen a partir de las ecuaciones presentadas en las ecuaciones de la 4.1 a la 4.5 que derivan de las ecuaciones teóricas del QAF. Para calcular dichos valores hay que tener en cuenta que se ha fijado el valor de la bobina L_{QAF} por ser el componente más restrictivo. Asimismo, se ha considerado que en cada salida del QAF hay una carga de 50Ω .

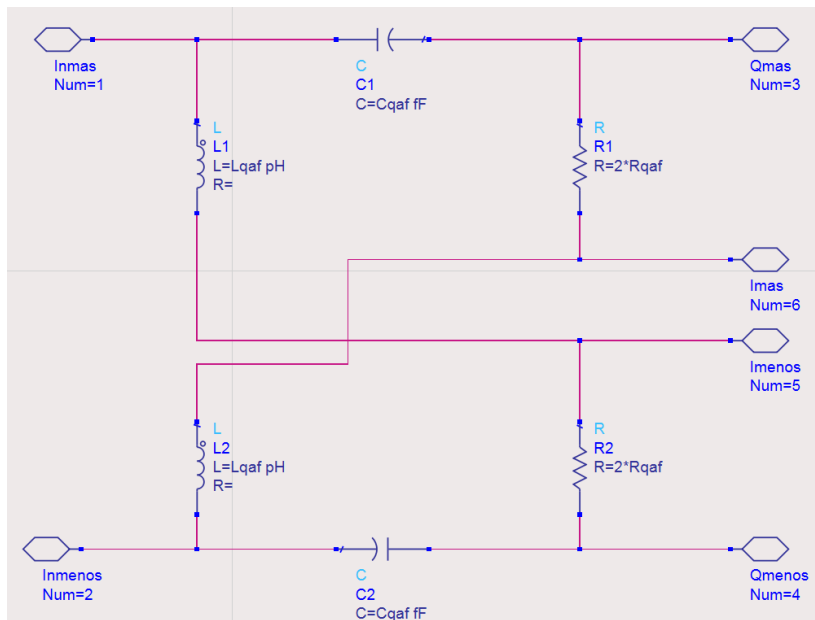


Figura 4.5: Esquemático del QAF.

$$L_{QAF} = 0.3n \quad (4.1)$$

$$C_{QAF} = \frac{1}{L_{QAF}\omega_0^2} \quad (4.2)$$

$$R_{QAF} = \frac{2 \cdot x \cdot 100}{100 - (2 \cdot x)} \quad (4.3)$$

$$x = 1 \sqrt{\frac{L_{QAF}}{C_{QAF}}} \quad (4.4)$$

$$\omega_0 = 2\pi 19 \cdot 10^9 \quad (4.5)$$

Se ha creado un símbolo para trabajar con el QAF y se ha diseñado una red de adaptación de salida a 50Ω , tal y como se ve en la Figura 4.6. Se ha realizado un barrido sobre el valor de las bobinas y condensadores para obtener los valores con los que el parámetro S_{22} fuera el más cercano posible al centro de la carta de Smith.

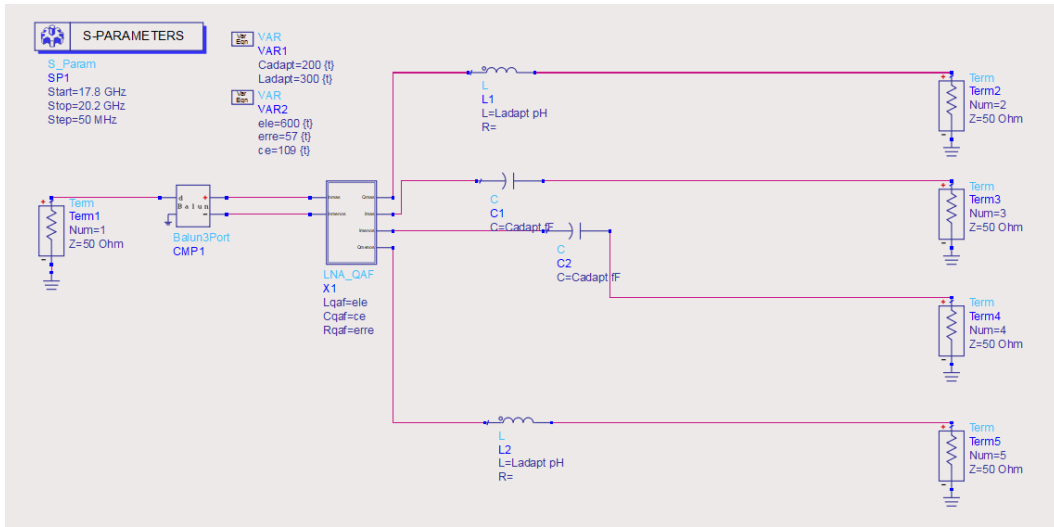


Figura 4.6: Red de adaptación.

Es necesario utilizar la herramienta *Tuning* del ADS para ajustar los valores de los componentes tanto de la red de adaptación como del QAF. Esto se debe a que al añadir L_{adapt} y C_{adapt} las fases de las salidas del circuito se ven alteradas.

Para comprobar que el QAF cumple los objetivos, se ha realizado la simulación de la adaptación de cada una de las salidas del QAF que se muestra en la Figura 4.7. Por otro lado, en la Figura 4.8 se observa el desfase relativo de las diferentes salidas. Se

puede observar que se han obtenido los desfases deseados (0° , 90° , 180° , 270°) y que las adaptaciones de salida son cercanas a 50Ω .

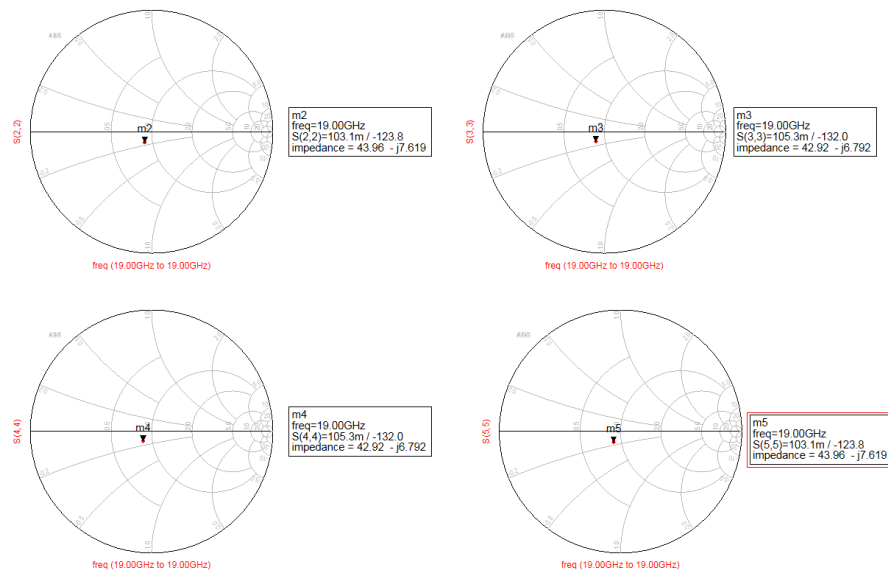


Figura 4.7: Adaptación de salida en las ramas del QAF.

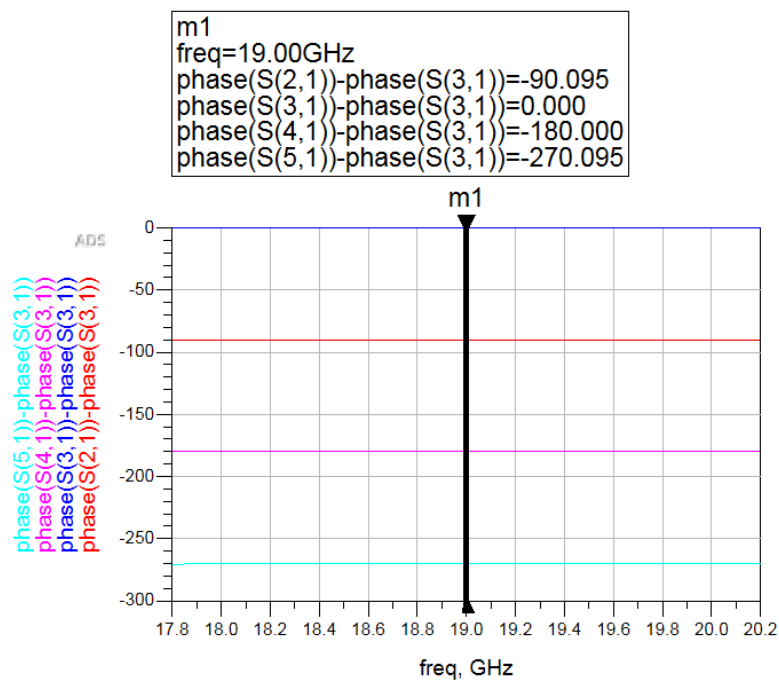


Figura 4.8: Desfases relativos entre las salidas del QAF.

Tras el ajuste, los valores de los componentes son los mostrados en la tabla 4.2

Tabla 4.2: Componentes del QAF y la red de adaptación

QAF		Red de adaptación	
L_{QAF}	600 pH	L_{adapt}	300 pH
C_{QAF}	109 pF	C_{adapt}	200 pF
R_{QAF}	57 Ω		

Una vez completado el diseño del QAF, este se ha añadido al circuito junto con los dos amplificadores diferenciales diseñados anteriormente, quedando el circuito como se aprecia en la Figura 4.9.

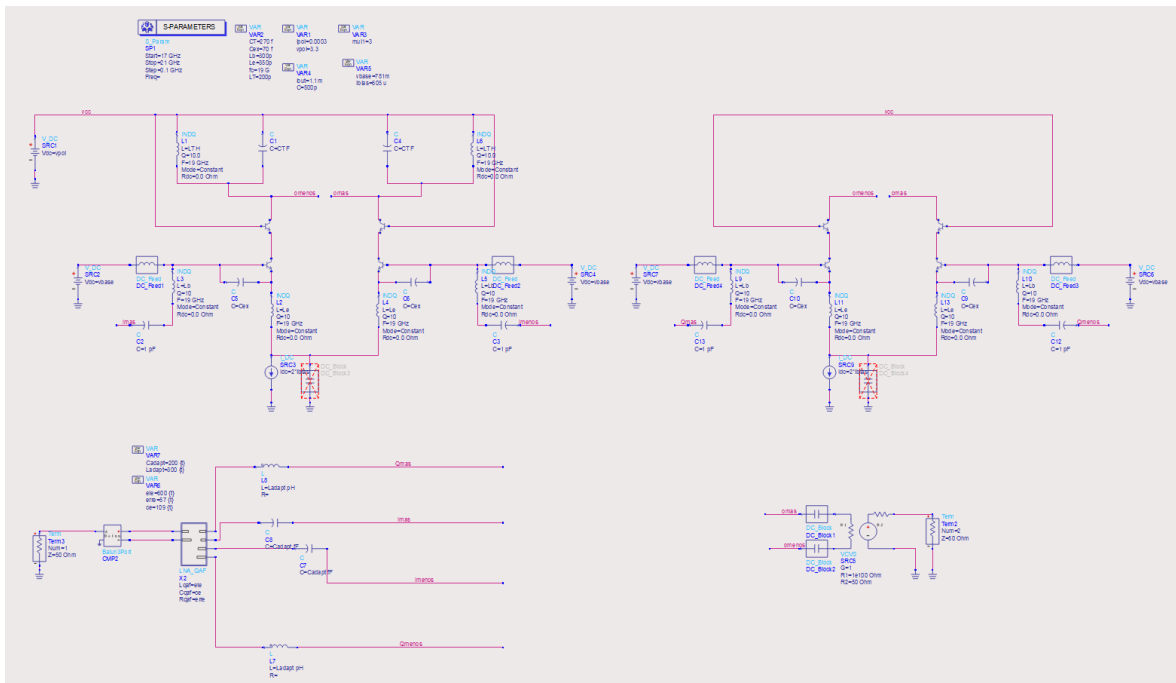


Figura 4.9: Esquemático del Phase Shifter conectado con el QAF.

4.3. Control de ganancia

En el desfaseador propuesto se consigue el desfase deseado mediante la variación de ganancia y la combinación de los amplificadores. En este caso, la variación de ganancia se ha implementado a través de la técnica de robo de corriente. Esta técnica consiste en incluir una fuente de corriente en un nodo, de forma que al variar la corriente de dicha fuente se robe más o menos corriente de la rama deseada. Se desea robar la

corriente que pasa por el transistor de superior en el cascodo, por tanto, la fuente de corriente se conecta al nodo compartido entre el transistor de superior y el inferior del cascodo. En la Figura 4.10 se observa el esquemático que se usará para implementar dicha fuente de corriente.

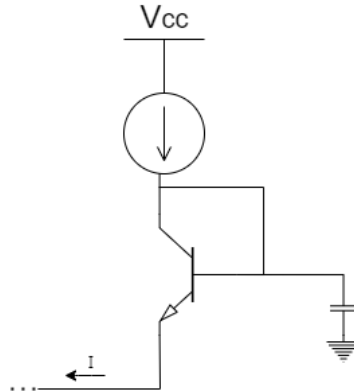


Figura 4.10: Fuente corriente para el robado.

Se ha montado una de las ramas por separado junto con la fuente de corriente del robado para ver su funcionamiento. En la Figura 4.11 se observa el circuito montado para ello, mientras que la variación de ganancia en función de la corriente robada en una rama del amplificador se aprecia en la Figura 4.12.

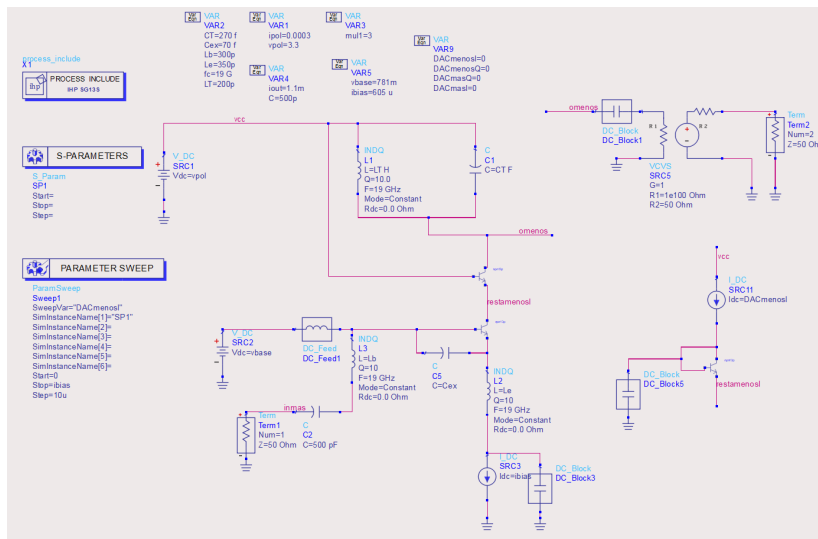


Figura 4.11: Implementación en una rama del amplificador de la técnica de robado de corriente.

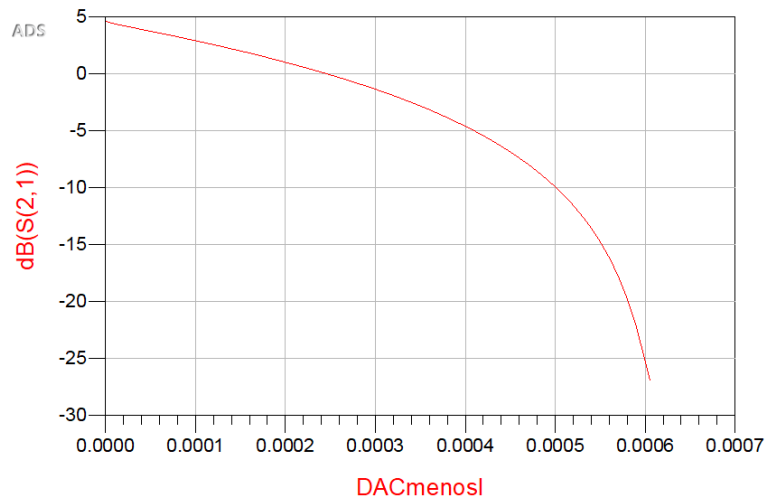


Figura 4.12: Variación de ganancia en una rama del amplificador en función de la cantidad de corriente robada.

Cada rama donde se roba corriente se corresponde con una variable. Tenemos, por tanto, cuatro variables: DACmasI, DACmenosI, DACmasQ y DACmenosQ. Para conseguir los diferentes valores de fase se han mantenido fijas dos de estas corrientes a 0.6 mA (la corriente de polarización) mientras las otras dos se barren entre 0 y 0.6 mA. De esta forma, en dos de las ramas se roba toda la corriente, quedando en modo de mínima ganancia, mientras que en las otras se varía el valor de fase. Como ejemplo, en la Figura 4.13 se muestra el barrido que se ha realizado para obtener los valores de las fases del segundo cuadrante. Los resultados de dicho barrido se observan en la Figura 4.14.

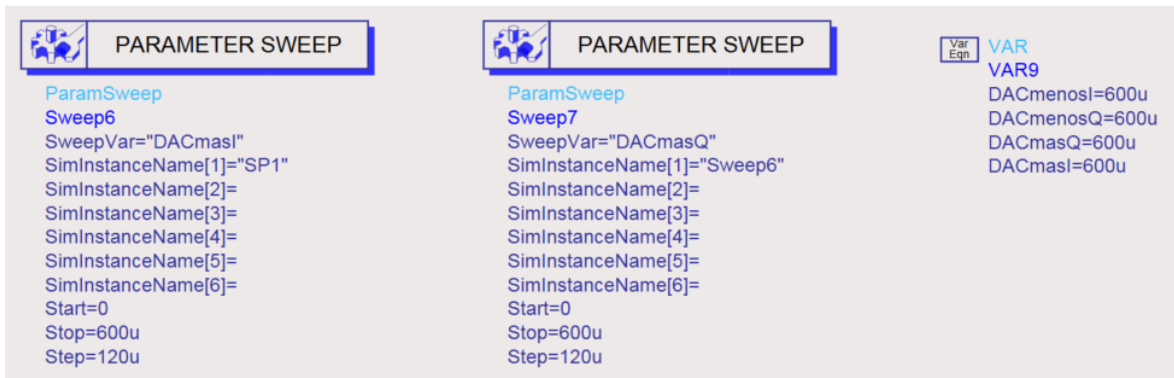


Figura 4.13: Barrido del robado de corriente para obtener las fases en un cuadrante.

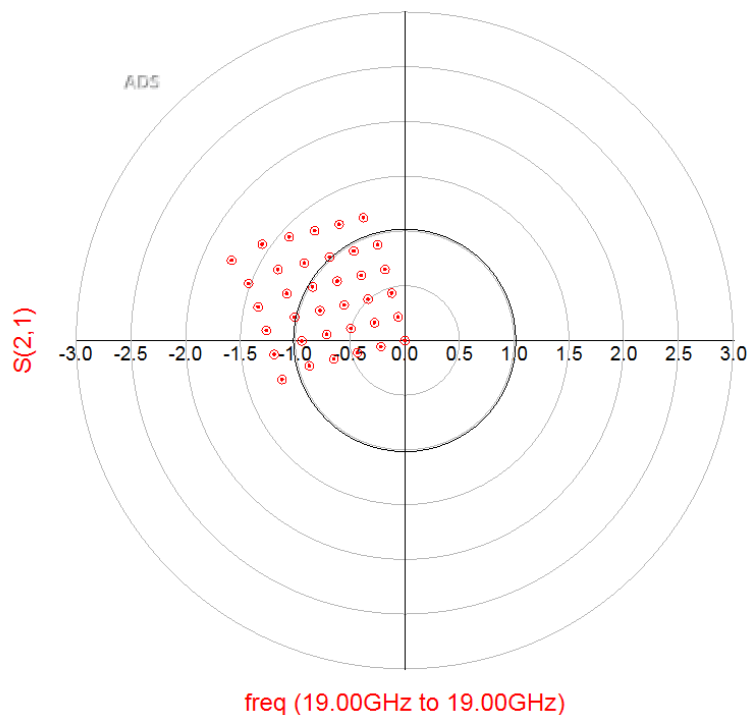


Figura 4.14: Fases obtenidas para el segundo cuadrante.

De esta forma, alternando las variables fijadas y a las que se le hace el barrido, se han obtenido las fases para los cuatro cuadrantes. En la Figura 4.15 se pueden ver las fases obtenidas para los cuatro cuadrantes.

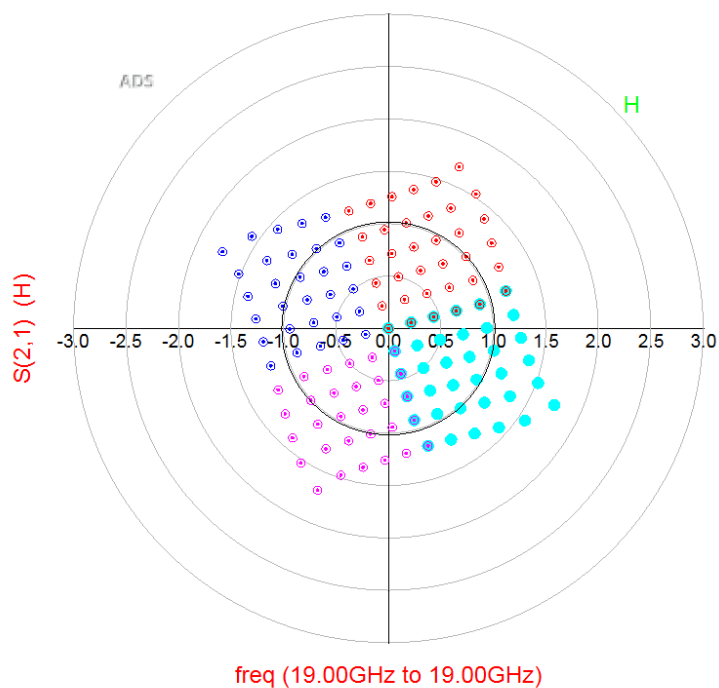


Figura 4.15: Fases obtenidas de los cuatro cuadrantes.

Haciendo un barrido más fino, se han obtenido los valores de corrientes que proporcionan los pasos de fase, de 5.625° , para los cuatro cuadrantes. En las tablas 4.3, 4.4, 4.5 y 4.6 se recogen los resultados de este barrido. Cada tabla corresponde a un cuadrante y se aprecia el valor de la corriente de cada fuente para los desfases buscados. Se han elegido estos valores de corriente de modo que la ganancia fuera unitaria.

Tabla 4.3: Valores de las corrientes para obtener las fases del primer cuadrante

Fase($^\circ$)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
0	600	80	600	460.5
5.625	600	80	600	515.5
11.25	600	80	600	565.0
16.875	600	90	585	600
22.5	600	90	535	600
28.125	600	90	485	600
33.75	600	90	435	600
39.375	600	110	390	600
45	600	130	340	600
50.625	600	160	300	600
56.25	600	200	270	600
61.875	600	220	220	600
67.5	600	260	190	600
73.125	600	305	160	600
78.75	600	350	130	600
84.375	600	395	110	600
90	600	445	80	600

Tabla 4.4: Valores de las corrientes para obtener las fases del segundo cuadrante

Fase(°)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
95.625	600	500	80	600
101.25	600	555	80	600
106.875	595	600	75	600
112.5	540	600	75	600
118.125	485	600	75	600
123.75	440	600	105	600
129.375	380	600	105	600
135	345	600	150	600
140.625	300	600	180	600
146.25	245	600	195	600
151.875	215	600	240	600
157.5	185	600	285	600
163.125	160	600	330	600
168.75	130	600	375	600
174.375	110	600	420	600
180	85	600	465	600

Tabla 4.5: Valores de las corrientes para obtener las fases del tercer cuadrante

Fase(°)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
185.625	65	600	510	600
191.25	60	600	565	600
196.875	70	600	600	585
202.5	70	600	600	535
208.125	80	600	600	485
213.75	90	600	600	440
219.375	110	600	600	390
225	130	600	600	375
230.625	150	600	600	300
236.25	190	600	600	260
241.875	220	600	600	200
247.5	260	600	600	185
253.125	300	600	600	155
258.75	350	600	600	135
264.375	400	600	600	115
270	450	600	600	95

Tabla 4.6: Valores de la corriente para obtener las fases del cuarto cuadrante

Fase(°)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
275.625	500	600	600	85
281.25	550	600	600	75
286.875	600	600	600	75
292.5	600	540	600	75
298.125	600	490	600	85
303.75	600	440	600	100
309.375	600	390	600	120
315	600	340	600	140
320.625	600	300	600	170
326.25	600	250	600	200
331.875	600	220	600	240
337.5	600	180	600	280
343.125	600	150	600	325
348.75	600	130	600	370
354.375	600	100	600	415.0
337.5	600	180	600	280
360	600	80	600	460.5

4.4. Diseño de los switches

Para mejorar la respuesta en ganancia se han añadido los cuatro pares de transistores encima de las cuatro ramas amplificadoras que se activan o desactivan para seleccionar el cuadrante. Dentro de cada cuadrante, la fase concreta se elige utilizando la técnica de robado de corriente explicada en el apartado anterior. En la Figura 4.16 aparecen destacados los transistores añadidos en una de las ramas del amplificador.

Estos transistores, que actúan como *switches*, se activan a través de las tensiones aplicadas en sus bases. Tal y como se ve en la Figura 4.17, se han determinado cuatro variables que se utilizan para controlar las tensiones. Las variables serán v_{Imas} , v_{Imenos} , v_{Qmas} y v_{Qmenos} y tomarán el valor de 3.3 V para la tensión de *ON* y 0 V para la tensión de *OFF*.

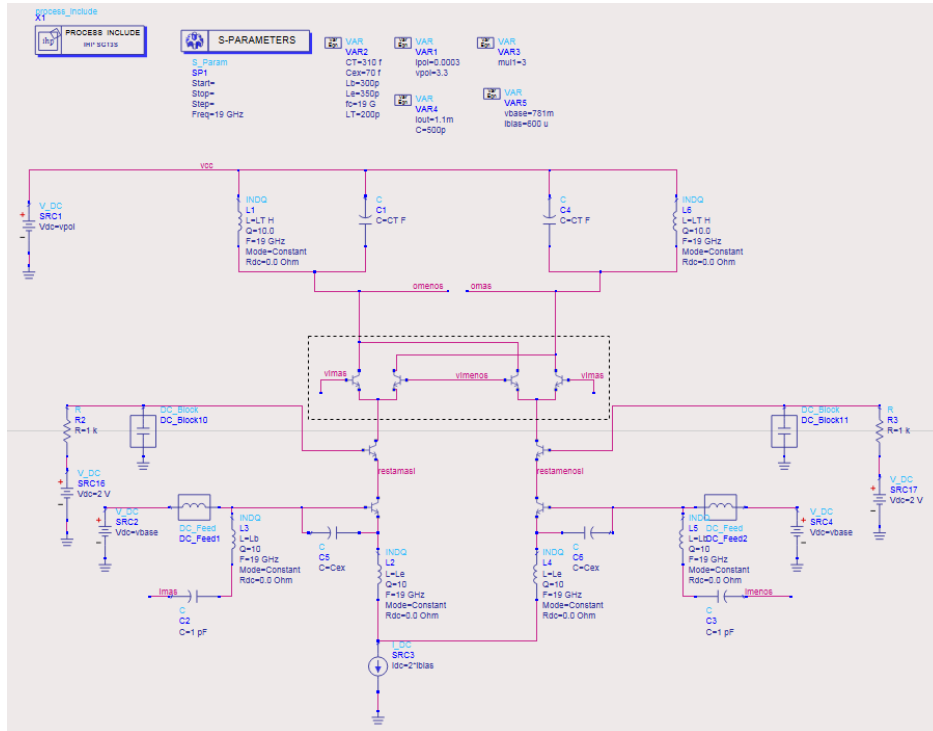


Figura 4.16: Esquemático del amplificador diferencial con los transistores de selección de cuadrante adicionales.

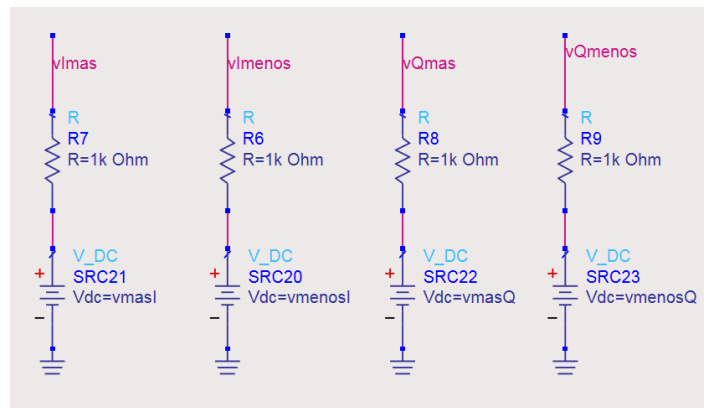


Figura 4.17: Tensiones utilizadas para controlar la activación de los transistores.

Al añadir estos transistores será necesario rectificar los valores de los componentes del tanque de la carga para centrar la respuesta en frecuencia del circuito. Tras esto, se ha vuelto a obtener el diagrama de fases para los cuatro cuadrantes, quedando tal y como se ve en la Figura 4.18. Como se puede observar, la ganancia ha aumentado con la inclusión de los transistores de selección de cuadrante.

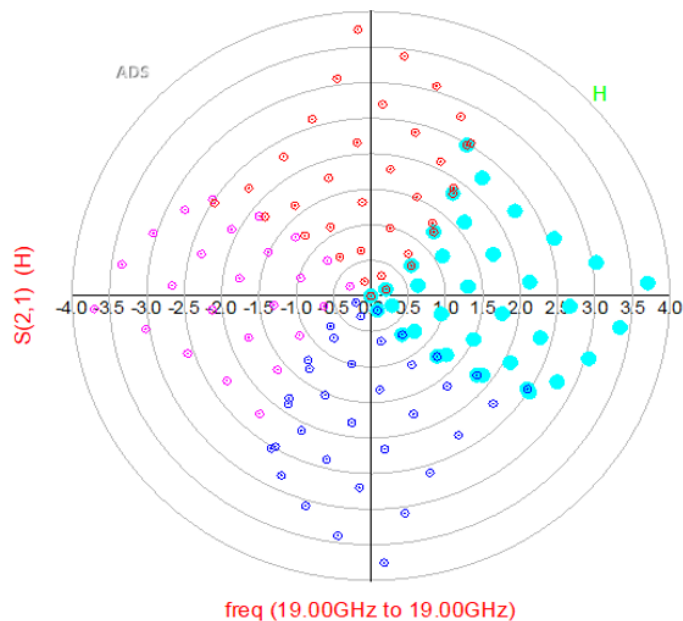


Figura 4.18: Fases obtenidas de los cuatro cuadrantes tras la implementación de los *switches*.

De la misma forma que en el apartado anterior, se ha realizado un barrido más fino para obtener los valores de corriente necesarios para proporcionar los saltos de fase de 5.625° . Los valores correspondientes para las fases de cada cuadrante se ven en las tablas 4.7, 4.8, 4.9 y 4.10. Estos valores de corriente se han extraído del círculo de magnitud 2 (6 dB) de ganancia del diagrama de fases y se aprecia, por tanto, la mejora de ganancia con respecto al apartado anterior.

Tabla 4.7: Valores de las corrientes para obtener las fases del primer cuadrante

Fase (°)	DACImas (μA)	DACImenos (μA)	DACQmas (μA)	DACQmenos (μA)
0	200	100	600	200
5.625	150	150	500	200
11.25	300	50	200	400
16.875	450	0	100	400
22.5	300	100	500	0
28.125	350	100	200	150
33.75	300	200	50	250
39.375	350	200	0	250
45	300	300	200	0
50.625	550	100	100	0
56.25	450	300	0	100
61.875	500	300	50	0
67.5	550	350	50	0
73.125	550	500	50	50
78.75	550	450	150	50
84.375	550	350	100	150
90	600	200	150	150

Tabla 4.8: Valores de las corrientes para obtener las fases del segundo cuadrante

Fase(°)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
95.625	350	350	150	150
101.25	600	50	100	300
106.875	450	100	250	150
112.5	500	0	250	200
118.125	400	0	350	150
123.75	250	50	100	400
129.375	100	50	600	0
135	100	50	500	150
140.625	100	0	550	150
146.25	100	0	250	500
151.875	50	0	600	250
157.5	50	0	600	350
163.125	100	0	550	500
168.75	150	50	550	450
174.375	150	100	600	300
180	300	0	450	350

Tabla 4.9: Valores de las corrientes para obtener las fases del tercer cuadrante

Fase(°)	DACI _{mas} (μ A)	DACI _{menos} (μ A)	DACQ _{mas} (μ A)	DACQ _{menos} (μ A)
185.625	200	100	450	250
191.25	250	100	150	450
196.875	250	150	50	500
202.5	250	150	350	100
208.125	350	100	150	200
213.75	300	200	50	250
219.375	450	100	150	50
225	400	200	100	50
230.625	500	150	100	0
236.25	450	300	0	100
241.875	550	250	50	0
247.5	500	400	50	0
253.125	550	500	50	50
258.75	550	450	150	50
264.375	550	350	100	150
270	600	200	200	100

Tabla 4.10: Valores de las corrientes para obtener las fases del cuarto cuadrante

Fase(°)	DACI _{mas} (μ A)	DACI _{menos} (μ A)	DACQ _{mas} (μ A)	DACQ _{menos} (μ A)
275.625	600	100	250	100
281.25	300	300	300	50
286.875	550	0	350	100
292.5	350	100	100	300
298.125	250	100	50	400
303.75	300	0	450	100
309.375	250	0	300	250
315	100	0	0	600
320.625	50	50	500	200
326.25	50	0	150	600
331.875	50	0	600	250
337.5	50	0	600	350
343.125	100	0	550	500
348.75	150	50	400	600
354.375	150	100	600	300
360	200	100	600	200

4.5. Espejo de corriente

El último componente que se ha diseñado para el circuito ha sido un espejo de corriente para sustituir la fuente de corriente ideal del amplificador.

La polarización de los transistores es un factor fundamental, ya que el comportamiento en pequeña señal depende del punto de operación de los transistores. Aquí entran en juego las fuentes de corriente. Al establecer el punto de operación a través de la corriente, se asegura que los transistores operen en la región activa.

La característica principal de una fuente de corriente ideal es que mantiene una corriente constante a su salida. Una forma de medir la eficiencia de una fuente de corriente es observar si la corriente varía en la salida cuando se modifica la corriente en la entrada.

Las fuentes de corriente se implementan normalmente mediante espejos de corriente. El espejo de corriente básico se aprecia en la Figura 4.19.

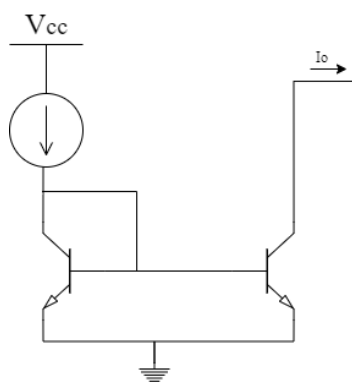


Figura 4.19: Espejo de corriente básico.

A continuación, se ha realizado un estudio de las diferentes configuraciones posibles para reemplazar la estructura clásica del espejo de corriente.

Se ha partido de la base del espejo de corriente sencillo, cuyo esquemático se aprecia en la Figura 4.20. Se le ha asignado a la fuente de corriente un valor de 0.6 mA y se ha cambiado la relación del parámetro *x-multiplier* de los transistores para que la corriente se duplique y se consiga una corriente de 1.2 mA a la salida que es la corriente buscada para el amplificador. En la Figura 4.21 se muestra el resultado de la simulación del

espejo de corriente sencillo y la variación de la corriente de la salida al cambiar la tensión.

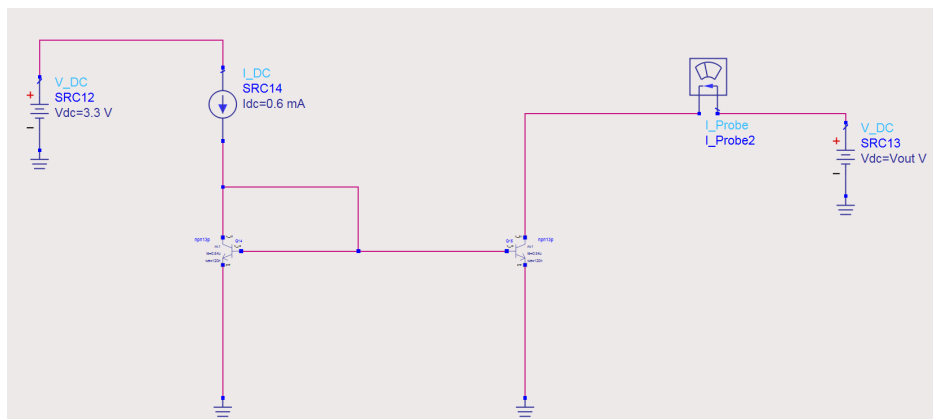


Figura 4.20: Espejo de corriente sencillo.

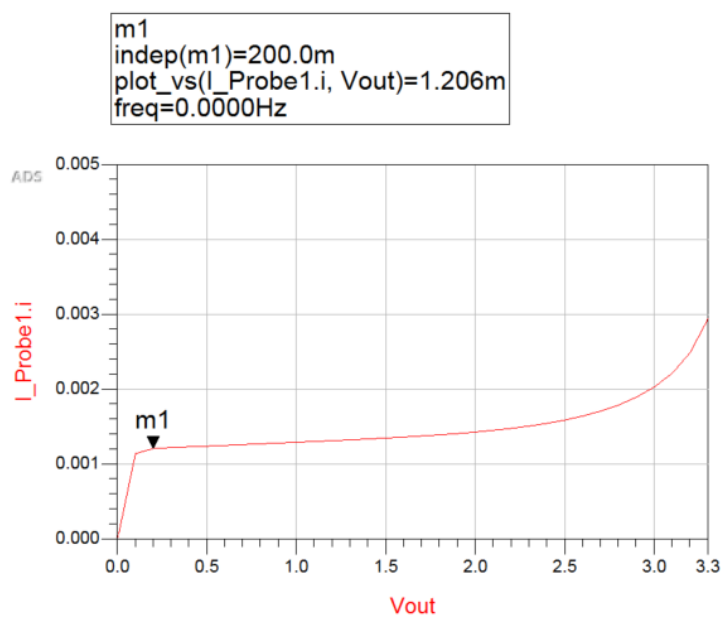


Figura 4.21: Simulación espejo de corriente sencillo.

La siguiente configuración que se ha estudiado ha sido la del espejo de corriente en cascodo simple. Su esquemático se aprecia en la Figura 4.22 mientras que los resultados de su simulación se aprecian en la Figura 4.23.

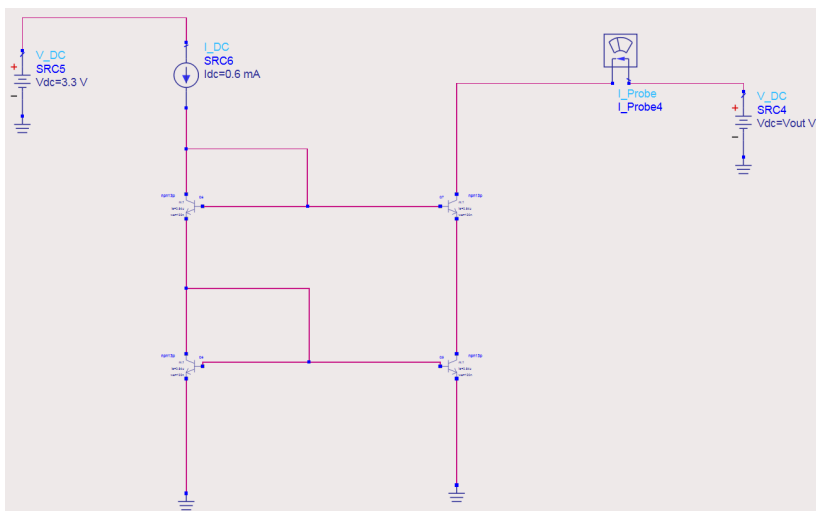


Figura 4.22: Espejo de corriente en cascode simple.

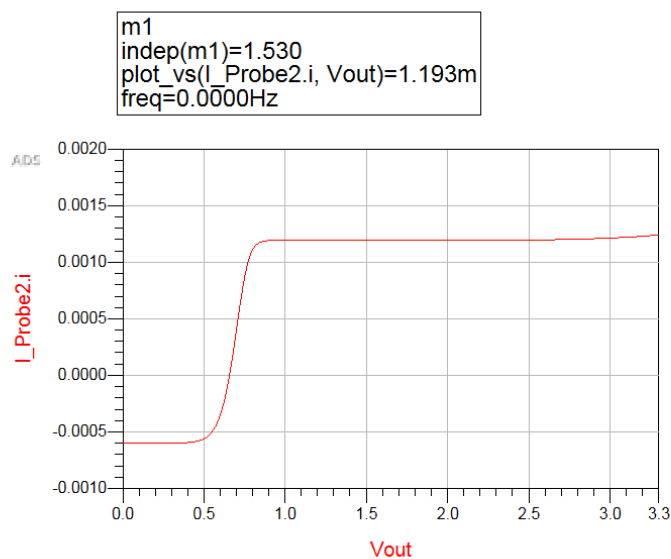


Figura 4.23: Simulación espejo de corriente en cascode simple.

La siguiente prueba se ha realizado con la configuración del espejo de corriente en cascode de mínima tensión. El esquemático de este espejo de corriente se ve en la Figura 4.24. Mientras que en los casos anteriores la relación de *x-multiplier* de ambos transistores se había mantenido como 3-6, en este caso ha sido necesario modificar estos valores a $xMul = 1$ en los transistores de la izquierda y $xMul = 6$ en los de la derecha para obtener la corriente. Una vez hecho esto, el resultado de la simulación se observa en la Figura 4.25.

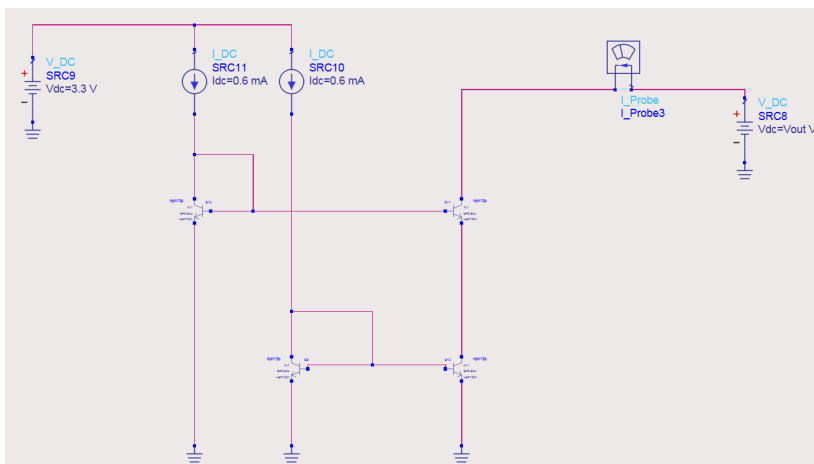


Figura 4.24: Espejo de corriente en cascode de mínima tensión.

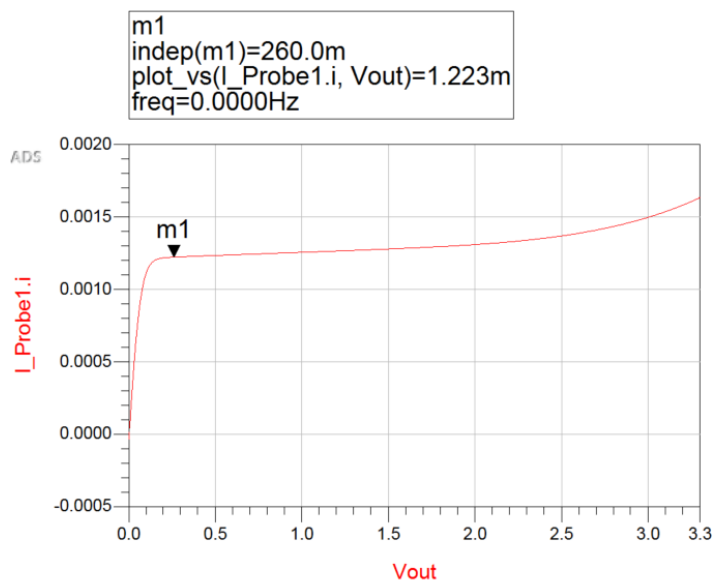


Figura 4.25: Simulación espejo de corriente en cascode de mínima tensión.

Por último, se ha probado el espejo de corriente en cascode mejorado con el esquemático que se ve en la Figura 4.26. En este caso ha sido necesario reducir el parámetro $xMul$ de los transistores de la derecha a $xMul = 5$ para conseguir la corriente de 1.2 mA, tal y como se aprecia en el resultado de su simulación de la Figura 4.27.

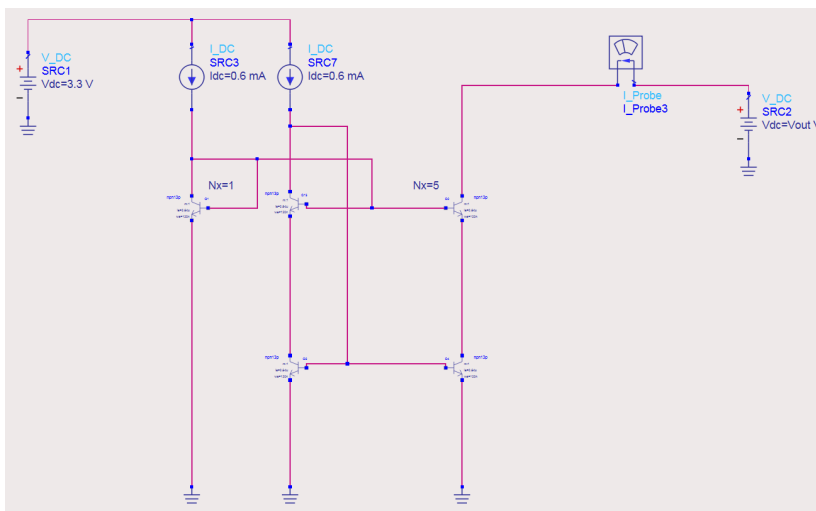


Figura 4.26: Espejo de corriente en cascode mejorado.

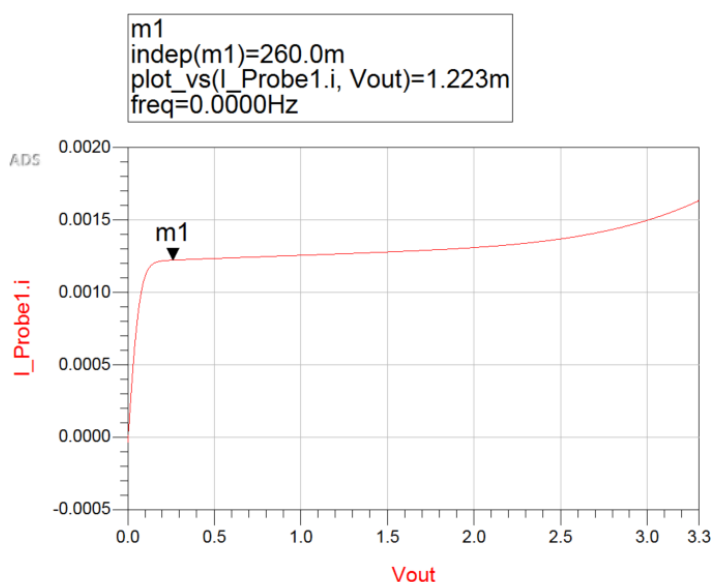


Figura 4.27: Simulación espejo de corriente en cascode mejorado.

Una vez realizadas las distintas configuraciones del espejo de corriente, se ha hecho una simulación para comparar los resultados de todos mediante un histórico. Esta comparación se ve en la Figura 4.28. En rojo se muestra el espejo en cascode simple, en azul el espejo en cascode para mínima tensión, en rosa el espejo en cascode mejorado y en celeste el espejo sencillo.

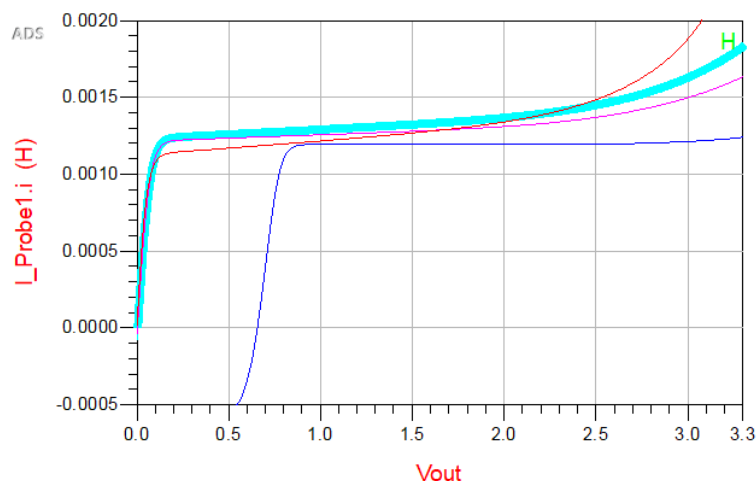


Figura 4.28: Simulación de las diferentes configuraciones del espejo de corriente.

Una vez terminado el estudio de las diferentes configuraciones, se han implementado en el circuito completo del *Phase Shifter* para realizar pruebas y decidir el más conveniente para el diseño del desfasador. Finalmente se ha elegido el espejo de corriente en cascodo de mínima tensión.

4.6. Cambio de componentes ideales a reales

Al realizar el diseño del *Phase Shifter* se han usado componentes ideales sin pérdidas, por lo que, el último paso del diseño ha consistido en sustituir dichos componentes por bobinas, condensadores y resistencias reales de la tecnología. En esta sección se explica el procedimiento acompañado de un ejemplo en cada caso. En el anexo A se muestran el resto de componentes.

4.6.1. Elección de las bobinas

Para la elección de las bobinas se ha utilizado el *setup* que se muestra en la Figura 4.29 con bobinas proporcionadas por la tecnología usada.

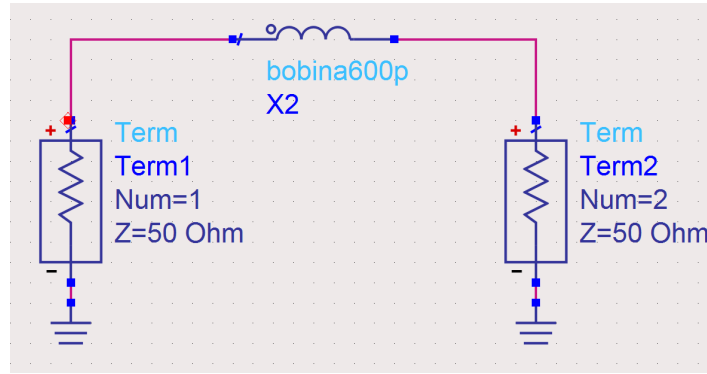
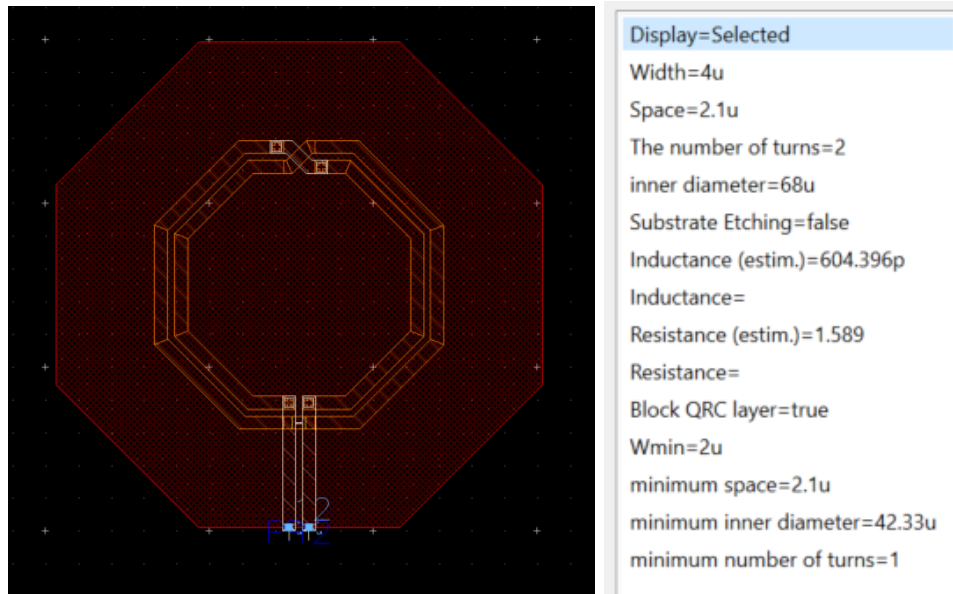


Figura 4.29: *Setup* de simulación de las bobinas.

Es necesario tener en cuenta el efecto de los parámetros geométricos de la bobina a su inductancia, su factor de calidad, su frecuencia de trabajo o sus capacidades parásitas. Cuanto más grande y más vueltas (*Number of turns*) tenga la bobina mayor será su inductancia mientras que su frecuencia de trabajo bajará, tendrá más capacidades parásitas y una mayor resistencia y su factor de calidad se reducirá. Por otra parte, con un mayor ancho (*width*) de la bobina aumentará su factor de calidad y bajará la frecuencia de trabajo y su resistencia. Por último, el diámetro interno (*inner diameter*) de la bobina influye disminuyendo el factor de calidad cuanto más aumente este diámetro.

Teniendo en cuenta estos factores, se ha creado para cada bobina un *layout* en el que se ajustarán estos parámetros. Además, se realizará una simulación electromagnética definiendo el rango de frecuencias en el que se quiere realizar la simulación. Una vez realizada la simulación, se creará un símbolo con la bobina resultante y se conectará en el *setup* mencionado anteriormente. Haciendo una simulación de parámetros S, se observa el comportamiento de la bobina y sus valores en la frecuencia de trabajo, 19GHz. A modo de ejemplo del procedimiento en la Figura 4.30 se muestra el *layout* y los parámetros para la bobina de 600 pH usada en el QAF.



(a) Layout

(b) Parámetros

Figura 4.30: Layout y parámetros de la bobina 600 pH.

En la Figura 4.31 se ve el resultado de la simulación de parámetros S de la bobina y sus valores. En este caso, se han obtenido 600 pH en la frecuencia de trabajo de 19 GHz con un factor de calidad de 14.3 aproximadamente. Se aprecian también, en la misma Figura, las ecuaciones usadas para calcular los valores. En este caso, se utilizan los parámetros de admitancia (Y) para obtener tanto la inductancia como el factor de calidad. El proceso se ha repetido para el resto de bobinas del circuito. En este caso, se buscaba conseguir 600pH para la bobina del QAF y, se han obtenido 606pH a la frecuencia de trabajo de 19GHz con un factor de calidad de 14.34.

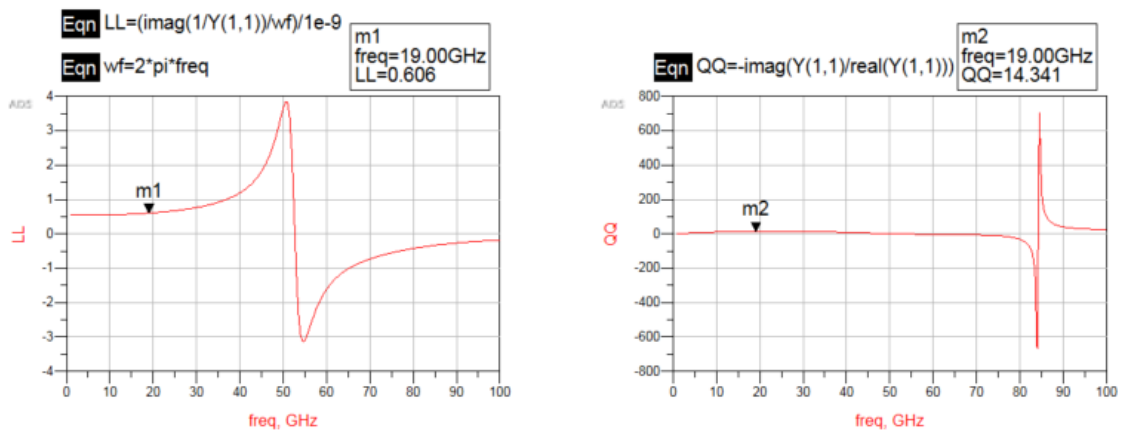


Figura 4.31: Resultados de simulación de la bobina de 600 pH.

4.6.2. Elección de los condensadores

En este diseño, se han utilizado condensadores de tipo Metal-Aislante-Metal (MIM) proporcionados por la tecnología. De la misma forma que en el caso de las bobinas, para la elección del condensador se ha utilizado un *setup* en el que se conectan los puertos de entrada y salida del condensador a un terminal de 50Ω y a tierra, tal y como se muestra en la Figura 4.32.

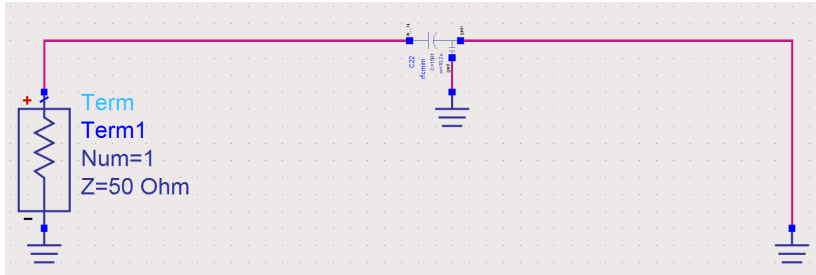


Figura 4.32: *Setup* de simulación de condensadores reales.

Para encontrar la capacidad del condensador deseada se han variado los parámetros *width* y *length*. Se ha realizado una simulación de parámetros S para conocer el comportamiento del condensador en la frecuencia de trabajo. En la Figura 4.33 se aprecia como ejemplo el resultado de la simulación del condensador de 310 fF que se usará en el tanque del desfaseador a la frecuencia de interés de 19 GHz. El proceso se ha repetido para todos los condensadores del circuito.

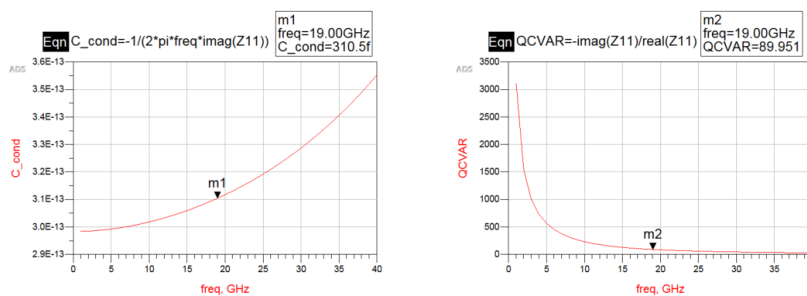


Figura 4.33: Resultados simulación del condensador de 310 fF.

4.6.3. Elección de las resistencias

Por último, para calcular el valor de las resistencias se ha usado el circuito que se muestra en la Figura 4.34. Con una simulación de corriente continua, se puede observar

la intensidad que circula por la rama y, a través de la Ley de Ohm (ecuación 4.6), se puede calcular el valor de la resistencia.

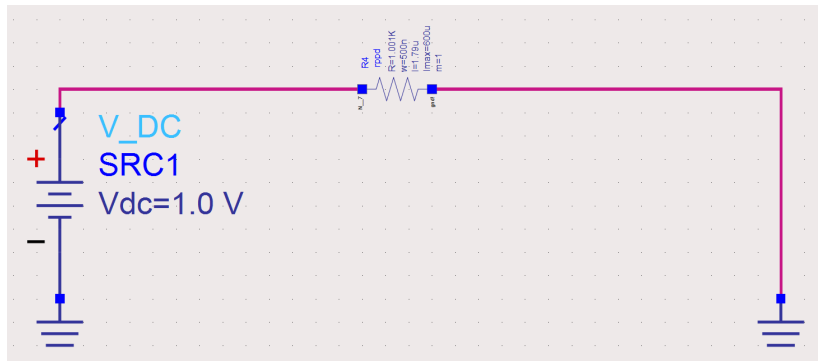


Figura 4.34: *Setup* de simulación de las resistencias reales.

$$R = \frac{V}{I} \quad (4.6)$$

Por ejemplo, en la Figura 4.35 se aprecia como la corriente que circula por la rama es de $997\mu\text{A}$ por lo que la resistencia resultante será de aproximadamente $1\text{k}\Omega$. Se ha repetido el proceso para todas las resistencias del desfaseador.

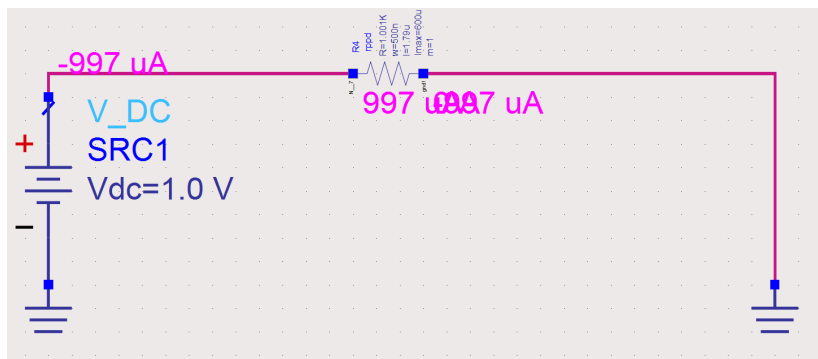


Figura 4.35: Ejemplo del calculo de la resistencia de $1\text{ k}\Omega$.

4.6.4. Cambios en el desfaseador

Una vez conocidos los componentes reales que sustituirán a los ideales se han integrado en el circuito. En primer lugar se han sustituido los componentes del QAF, por lo que ha sido necesario reajustar los valores para mantener los desfases y la adaptación de salida.

A continuación, se han sustituido el resto de los componentes del circuito, incluyendo las redes de polarización y los *switches*. En este caso, también ha sido necesario reajustar los valores de los componentes ya que la frecuencia de trabajo se desplazaba ligeramente.

Tras reemplazar los componentes, se han observado ligeros cambios en valores como pueden ser la ganancia o la Figura de ruido. Esto se debe a la diferencia entre los factores de calidad de los componentes ideales y los reales.

4.7. Simulaciones finales

Para finalizar la etapa de diseño, se han implementado en un mismo esquemático los distintos componentes explicados en los apartados anteriores y se ha realizado una simulación para ver los resultados finales del PS. En la Figura 4.36 se aprecia el esquemático final y en la Figura 4.37, el resultado de esta simulación y los valores definitivos de ganancia máxima y Figura de ruido mínima. Se observa que las prestaciones han empeorado a causa de las pérdidas que introducen los componentes reales que se han añadido.

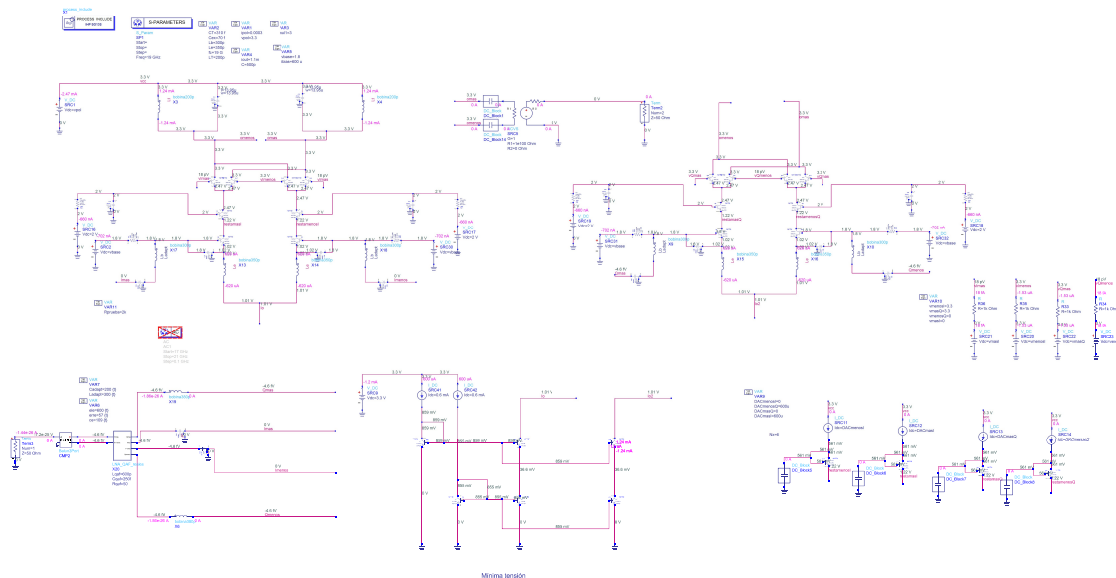


Figura 4.36: Esquemático final.

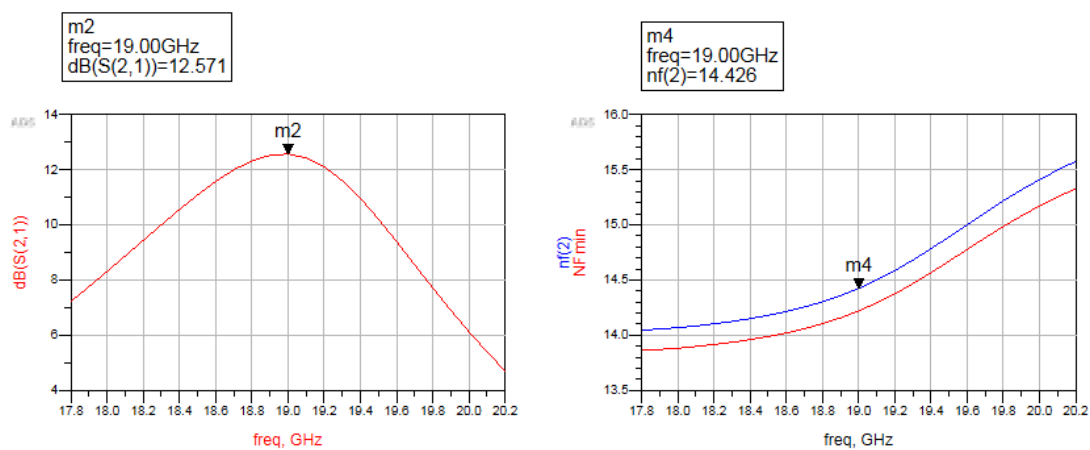


Figura 4.37: Simulaciones finales.

Al realizar cambios en los componentes ha sido necesario rehacer el diagrama de fases para ver las diferentes fases que alcanza el *Phase Shifter*. El resultado se aprecia en la Figura 4.38. El diagrama se ha desplazado ligeramente con respecto al anterior, sin embargo, las prestaciones de ganancia se mantienen. En la Figura 4.39 se muestran

los valores de ganancia y ruido del desfasador para el valor de fase 5.625° . Para ello, se han activado los *switches* del cuadrante, y se han establecido las corrientes de las fuentes con los valores correspondientes.

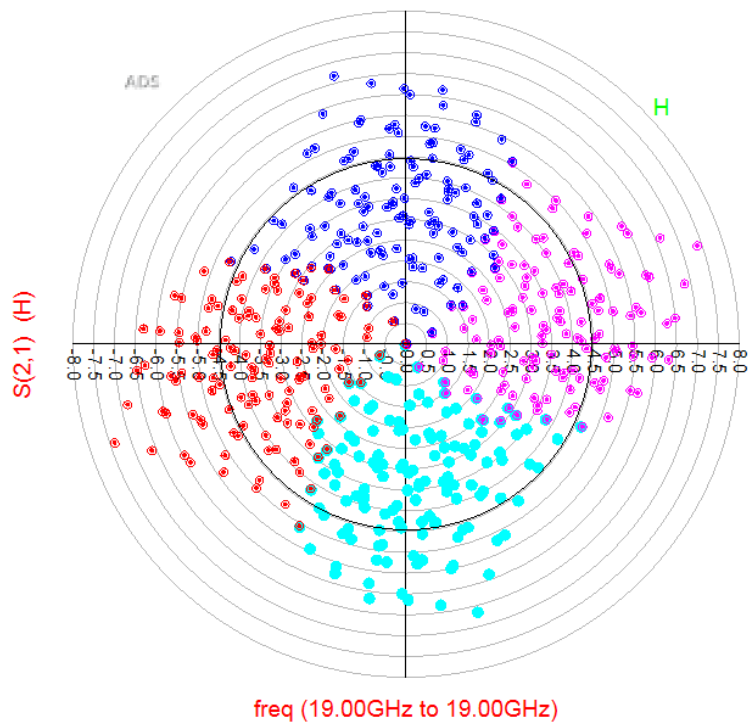


Figura 4.38: Fases obtenidas de los cuatro cuadrantes tras la implementación de los componentes reales.

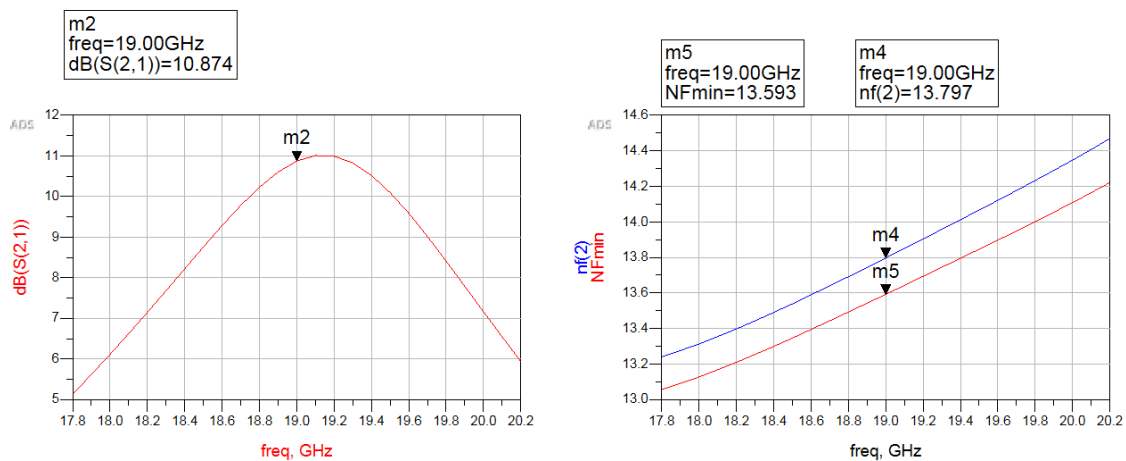


Figura 4.39: Resultados de la simulación para un valor de fase.

De la misma forma que anteriormente, se han sacado las tablas 4.11, 4.12, 4.13 y 4.14 en las que se ven los valores de las fuentes de corriente con los que se consiguen los saltos de fase de 5.625° .

Tabla 4.11: Valores de las corrientes para obtener las fases del primer cuadrante

Fase($^\circ$)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
0	0	450	300	300
5.625	100	350	200	350
11.25	50	450	150	300
16.875	100	550	300	50
22.5	50	600	150	100
28.125	250	500	300	0
33.75	300	500	250	0
39.375	350	500	50	150
45	350	600	100	50
50.625	450	500	100	50
56.25	600	600	250	0
61.875	550	450	50	250
67.5	500	400	0	350
73.125	50	600	0	550
78.75	250	450	100	250
84.375	300	300	400	0
90	100	400	50	400

Tabla 4.12: Valores de las corrientes para obtener las fases del segundo cuadrante

Fase($^\circ$)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
95.625	150	250	0	500
101.25	0	400	150	350
106.875	250	50	150	350
112.5	250	0	450	150
118.125	0	150	500	100
123.75	0	50	600	50
129.375	0	100	300	450
135	0	100	350	500
140.625	0	50	600	300
146.25	0	50	600	400
151.875	0	150	600	550
157.5	100	150	450	550
163.125	150	150	600	300
168.75	500	0	150	550
174.375	50	350	500	200
180	200	250	100	550

Tabla 4.13: Valores de las corrientes para obtener las fases del tercer cuadrante

Fase(°)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
185.625	150	300	300	250
191.25	50	450	150	300
196.875	200	400	350	50
202.5	150	500	200	100
208.125	200	500	150	100
213.75	200	550	50	150
219.375	500	350	0	200
225	350	600	100	50
230.625	450	600	100	50
236.25	600	600	100	100
241.875	550	450	50	250
247.5	350	550	150	150
253.125	250	500	0	400
258.75	500	150	450	0
264.375	100	550	350	50
270	100	450	200	200

Tabla 4.14: Valores de las corrientes para obtener las fases del cuarto cuadrante

Fase(°)	DACImas(μA)	DACImenos(μA)	DACQmas(μA)	DACQmenos(μA)
275.625	200	200	450	0
281.25	50	300	100	400
286.875	50	250	250	250
292.5	0	250	450	100
298.125	150	0	100	500
303.75	0	100	500	150
309.375	0	0	600	100
315	0	100	300	550
320.625	0	50	550	350
326.25	0	50	450	550
331.875	0	150	600	550
337.5	100	100	500	500
343.125	150	150	600	300
348.75	50	150	350	450
354.375	550	50	0	600
360	0	450	300	300

Consiguiendo los desfases en los 360°, mediante la elección de cuadrante a través de los *switches* y la técnica de robado de corriente, se cumple el objetivo principal de este TFG.

Capítulo 5

Conclusiones

En el presente capítulo final se realiza un resumen del trabajo realizado y los resultados y conclusiones obtenidas. En el capítulo anterior se obtuvieron las simulaciones finales del desfasador, en las que se refleja el cumplimiento de los objetivos de este TFG. También se enumeran las posibles líneas de trabajo futuras que podrían desarrollarse a raíz del presente proyecto.

5.1. Resultados y conclusiones

Este Trabajo de Fin de Grado abarca el diseño a nivel esquemático de un desfasador programable para antenas de tipo *array* usando, para ello, el *software* ADS. Este diseño se ha realizado con la tecnología SiGe BiCMOS de 130nm de IHP.

En primer lugar, se abordó el estudio del estado del arte de los desfasadores electrónicos y de las antenas *phased array*. Se ha definido el concepto de desfasador, el desarrollo de las antenas de tipo *array* y la integración de los desfasadores en este tipo de antenas.

A continuación, se realizó un estudio del diseño a nivel teórico del desfasador programable. Para ello se presentaron y definieron los desfasadores digitales y continuos. Seguidamente se desarrolló la teoría de operación del desfasador activo de suma vectorial, así como la generación de cambios de fase de 0° a 360° del mismo. El siguiente paso consistió en el análisis del generador de cuadratura compuesto por el QAF. Finalmente,

se analizó el robado de corriente utilizado para la variación de fase del desfasador y el espejo de corriente que sustituye a la fuente de corriente ideal.

Concluido el desarrollo a nivel teórico, se realizó una breve descripción de la tecnología SiGe BiCMOS de 130nm de IHP utilizada para la implementación del desfasador.

Finalizado lo anterior, el siguiente paso consistió en la implementación a nivel de esquemático del diseño del desfasador programable comenzando por el diseño del *phase shifter*, seguido por el QAF, las fuentes de corriente para el control de ganancia, los *switches* de selección de cuadrante y el espejo de corriente. Por último, se seleccionaron los componentes reales (resistencias, condensadores y bobinas) que sustituyen a los componentes ideales en cada una de las partes del circuito.

Se realizaron simulaciones del desfasador una vez terminado su diseño. Los resultados se encuentran recogidos en la sección 4.7 del capítulo 4, donde se observan los valores conseguidos finalmente con el desfasador. En las tablas 4.11,4.12,4.13 y 4.14 se recogen los resultados de los valores de corriente necesarios para la generación de los cambios de fases entre 0° y 360° .

Finalmente, se puede apreciar que se han conseguido los objetivos propuestos para este proyecto. El modulador vectorial diseñado puede ser integrado en antenas de tipo *phased array*, consiguiendo antenas con buenas prestaciones. Además, con la modificación presentada a la arquitectura propuesta por Gabriel Rebeiz, se observa como dichas prestaciones pueden mejorarse obteniendo mejor respuesta en ganancia.

5.2. Líneas de Trabajo Futuras

Tras lo expuesto en este documento, puede afirmarse que se han cumplido los objetivos planteados al principio de este Trabajo Fin de Grado. Sin embargo, hay otras líneas de trabajo que pueden abordarse en un futuro y que se recogen en la siguiente lista:

- Diseño a nivel *layout* del desfasador programable.

Como continuación del presente proyecto se podría , mediante un *software* como

puede ser Cadence, el diseño a nivel *layout* del desfasador programable para antenas de tipo *array* diseñado en este trabajo.

- Diseño de un DAC

Con objetivo de generar las corrientes encargadas de controlar la ganancia podría implementarse un conversor digital analógico o DAC (Digital/Analog Converter).

- Fabricación del desfasador programable.

Otra posibilidad sería la fabricación del desfasador programable para antenas de tipo *array* que ha sido diseñado siguiendo el proceso de fabricación establecido por la empresa elegida.

- Toma de medidas del desfasador programable.

Relacionado con los dos puntos anteriores, se podría llevar a cabo una toma de medidas del desfasador programable una vez fabricado y comprobar si los resultados obtenidos a nivel de simulación se siguen manteniendo al realizar las medidas.

Parte II

Bibliografía

Bibliografía

- [1] Á. C. Aznar, J. R. Robert, J. M. R. Casals, L. J. Roca, S. B. Boris y M. F. Bataller, *Antenas*. Univ. Politèc. de Catalunya, 2004.
- [2] everything RF. (2020). “What is a Phased Array Antenna?” Dirección: <https://www.everythingrf.com/community/what-is-phased-array-antenna> (visitado 10-06-2021).
- [3] R. C. Hansen, *Phased array antennas*. John Wiley & Sons, 2009, vol. 213.
- [4] E. van Mierlo. (2017). “Phased Array Pattern,” dirección: <https://ham.stackexchange.com/questions/5786/phased-array-pattern> (visitado 10-06-2021).
- [5] M. Davulcu, “SiGe BiCMOS ICs for X-Band 7-Bit T/R module with high precision amplitude and phase control,” Tesis doct., Sabanci University, 2015.
- [6] R. J. Mailloux, *Phased array antenna handbook*. Artech house, 2017.
- [7] S. Ituah, “High frequency receiver front-end module for active antenna applications,” University of Waterloo, 2015.
- [8] B. Biglarbegan, M.-R. Nezhad-Ahmadi, M. Fakharzadeh y S. Safavi-Naeini, “A Wideband 90° continuous phase shifter for 60GHz phased array transceiver in 90nm CMOS technology,” en *2009 European Microwave Integrated Circuits Conference (EuMIC)*, 2009, págs. 479-482.
- [9] T. Hancock y G. Rebeiz, “A 12-GHz SiGe phase shifter with integrated LNA,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, n.º 3, págs. 977-983, 2005. DOI: 10.1109/TMTT.2004.842479.

- [10] B. Acikel, T. Taylor, P. Hansen, J. Speck y R. York, "A new high performance phase shifter using Ba/sub x/Sr/sub 1-x/TiO₃ thin films," *IEEE Microwave and Wireless Components Letters*, vol. 12, n.º 7, págs. 237-239, 2002. DOI: 10.1109/LMWC.2002.801129.
- [11] C. Andricos, I. Bahl y E. Griffin, "C-Band 6-Bit GaAs Monolithic Phase Shifter," *IEEE Transactions on Microwave Theory and Techniques*, vol. 33, n.º 12, págs. 1591-1596, 1985. DOI: 10.1109/TMTT.1985.1133262.
- [12] M. Meghdadi, M. Azizi, M. Kiani, A. Medi y M. Atarodi, "A 6-Bit CMOS Phase Shifter for S-Band," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, n.º 12, págs. 3519-3526, 2010. DOI: 10.1109/TMTT.2010.2086310.
- [13] K.-J. Koh y G. Rebeiz, "0.13- μ m CMOS phase shifters for X-, Ku-, and K-band phased arrays," *Solid-State Circuits, IEEE Journal of*, vol. 42, págs. 2535-2546, dic. de 2007. DOI: 10.1109/JSSC.2007.907225.
- [14] J.-C. Wu, J.-C. Kao, J.-J. Kuo, K.-Y. Kao y K.-Y. Lin, "A 60-GHz single-ended-to-differential vector sum phase shifter in CMOS for phased-array receiver," en *2011 IEEE MTT-S International Microwave Symposium*, 2011, págs. 1-4. DOI: 10.1109/MWSYM.2011.5972743.
- [15] P.-S. Wu, H.-Y. Chang, M.-D. Tsai, T.-W. Huang y H. Wang, "New miniature 15-20-GHz continuous-phase/amplitude control MMICs using 0.18- μ m CMOS technology," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 54, págs. 10-19, feb. de 2006. DOI: 10.1109/TMTT.2005.860896.
- [16] K. Kibaroglu, M. Sayginer y G. Rebeiz, "A Low-Cost Scalable 32-Element 28-GHz Phased Array Transceiver for 5G Communication Links Based on a 2x2 Beamformer Flip-Chip Unit Cell," *IEEE Journal of Solid-State Circuits*, vol. PP, págs. 1-15, ene. de 2018. DOI: 10.1109/JSSC.2018.2791481.
- [17] IHP. (2021). "About IHP - Overview," dirección: <https://www.ihp-microelectronics.com/en/about-ihp/overview.html> (visitado 10-05-2021).

Parte III

Presupuesto

Presupuesto

En este presupuesto se ven reflejados los gastos generados por el proyecto presentado. Estos gastos se dividen en los siguientes puntos:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
- Redacción de la documentación.
- Derechos de visado del COITT.
- Gastos de tramitación y envío.

Se presenta cada presupuesto nombrado anteriormente por separado con objetivo de calcular el coste total de la realización del TFG.

P.1. Trabajo tarifado por tiempo empleado

El trabajo tarifado por tiempo empleado se refiere a los gastos de la mano de obra siguiendo el salario correspondiente a la hora de trabajo de un graduado en Ingeniería de Telecomunicaciones. Se calcula con la expresión P.1

$$H = H_n * 14.48 + H_e * 20.2(\text{€}) \quad (\text{P.1})$$

Siendo

- H : Honorarios totales por el tiempo dedicado.
- H_m : Horas realizadas en la jornada laboral.
- H_e : Horas realizadas fuera de la jornada normal de trabajo.

El desarrollo de este proyecto consta de 300 horas en total realizadas dentro del horario de la jornada de trabajo. Sustituyendo en la expresión previa los honorarios adquieren el valor calculado en la expresión P.2

$$H = 300 * 14.48 + 0 * 20.27 = 4,344.00\text{€} \quad (\text{P.2})$$

El trabajo tarifado por tiempo empleado equivale a la cantidad de CUATRO MIL TRESCIENTOS CUARENTA Y CUATRO EUROS.

P.2. Amortización del inmovilizado material

El inmovilizado material consiste en los recursos *hardware* y *software* empleados. La cuota de amortización anual se calcula a través de la ecuación P.3

$$\text{Cuota anual} = \frac{\text{Valor de adquisición} - \text{Valor residual}}{\text{Número de años de vida útil}} \quad (\text{P.3})$$

P.2.1. Amortización del material *hardware*

En la tabla P.1 se muestra el *hardware* usado en el Trabajo de Fin Grado. Teniendo en cuenta un tiempo de uso de 1 año se indica también el valor de adquisición, el valor residual y el coste de amortización de los elementos.

Tabla P.1: Costes de la amortización de recursos *hardware*

Elemento	Valor de adquisición	Valor residual	Valor anual	Coste de la amortización
PC	700 €	140 €	112 €	112 €
Total	700 €	140 €	112 €	112 €

El coste del material *hardware* asciende a CERO EUROS.

P.2.2. Amortización del material *software*

En este apartado se contemplan los materiales *software* necesarios para el proyecto. En la tabla P.2 se encuentran los recursos usados y sus respectivos costes. De la misma forma se considera un tiempo de uso de 1 año.

Tabla P.2: Costes de la amortización de recursos *software*

Software	Valor de adquisición	Valor residual	Coste de la amortización
Windows 10	0 €	0 €	0 €
Licencia anual ADS 2020	1,722.23 €	0 €	1,722.23 €
Paquete Microsoft Office	143.99 €	0 €	143.99 €
Total	1,866.22 €	0 €	1,866.22 €

El coste total de los recursos *software* empleados en el TFG es de MIL OCHO-CIENTOS VEINTIDÓS EUROS Y VEINTITRÉS CÉNTIMOS..

P.3. Redacción del trabajo

El coste de redacción se calcula a través de la expresión P.4, donde P es el coste total del presupuesto y C_n es el coeficiente de ponderación del presupuesto. En este caso, como el coste del proyecto no supera los 30,050.00 €, el coeficiente tiene un valor unitario.

$$R = 0.07 * P * C_n \quad (\text{P.4})$$

El valor del presupuesto se calcula como la suma de los costes reflejados en las anteriores secciones y se aprecia en la tabla P.3

Tabla P.3: Presupuesto del trabajo tarifado y la amortización de inmovilizado material

Concepto	Coste
Trabajo tarifado por tiempo empleado	4,344.00 €
Amortización de recursos hardware	112 €
Amortización de recursos software	1,722.23 €
Total (P)	6,178.23 €

Sustituyendo los datos se consigue el valor de los honorarios de la redacción del proyecto tal y como muestra la ecuación P.5

$$R = 0.07 * 6,178.23 = 432.47€ \quad (\text{P.5})$$

El coste de redacción del trabajo asciende a CUATROCIENTOS TREINTA Y 2 CON CUARENTA Y SIETE EUROS.

P.4. Derechos de visado del COITT

El COITT establece que, para proyectos técnicos de carácter general, los derechos de visado se calculan a través de la ecuación P.6

$$V = 0.0035 * P * C \quad (\text{P.6})$$

Siendo V el coste del visado del proyecto, P el presupuesto del trabajo y el coeficiente reductor en función del presupuesto.

El presupuesto acumulado se obtiene sumando los costes de los apartados anteriores, esto se ve reflejado en la tabla P.4. El coeficiente en este caso será unitario por no superar el presupuesto los 30,050.00€.

Tabla P.4: Presupuestos totales con la redacción del trabajo.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4,344.00 €
Amortización de recursos hardware	112 €
Amortización de recursos software	1,722.23 €
Redacción del trabajo	432.47 €
Total (P)	6,610.7€

Sustituyendo los valores se obtiene que el valor para los derechos del visado del COITT será el mostrado en la expresión P.7

$$V = 0.0035 * 6,594.7 = 23.14€ \quad (\text{P.7})$$

Los costes por derechos de visado del COITT ascienden a VEINTITRÉS EUROS Y CATORCE CENTIMOS.

P.5. Costes de tramitación y envío

Los costes de tramitación y envío están estipulados en SEIS EUROS(6.00 €) por cada documento visado de forma telemática.

P.6. Aplicación de impuestos y coste total

Se debe aplicar el Impuesto General Indirecto Canario (IGCI) que consiste en un 7%. El presupuesto total tras añadir este impuesto quedaría como se refleja en la tabla P.5.

Tabla P.5: Presupuesto total del proyecto.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4,344.00 €
Amortización de recursos hardware	112 €
Amortización de recursos software	1,722.23 €
Redacción del trabajo	432.47 €
Costes de visado del COITT	23.14 €
Coste de tramitación y envío	6 €
Subtotal	6,639.84 €
IGIC(7 %)	464.78 €
Total (P)	7,104.62 €

El coste total del proyecto *Diseño de un modulador vectorial basado en suma de vectores para aplicaciones de antenas activas en la banda de 17,8 a 20,2 GHz* es de SIETE MIL CIENTO CUATRO EUROS CON SESENTA Y DOS CENTIMOS.

Así lo declaro yo, Ylenia Gallardo Méndez, a día 28 de junio de 2021.

Las Palmas de Gran Canaria a 28 de junio de 2021

Firmado:

Parte IV

Anexos

Anexo A

Componentes reales

En el presente anexo se analiza de forma más profunda el paso de los componentes ideales a reales, adjuntando capturas del proceso componente por componente. En la sección 4.6 se explica el procedimiento seguido para el diseño de los componentes.

A.1. Bobinas

Bobina de 600pH:

La bobina de 600pH se ha diseñado para el circuito del QAF. En la figura A.1a se aprecia el *layout* de la bobina y en la figura A.1b los valores de los parámetros. En la figura A.2 se ve la simulación de la bobina.

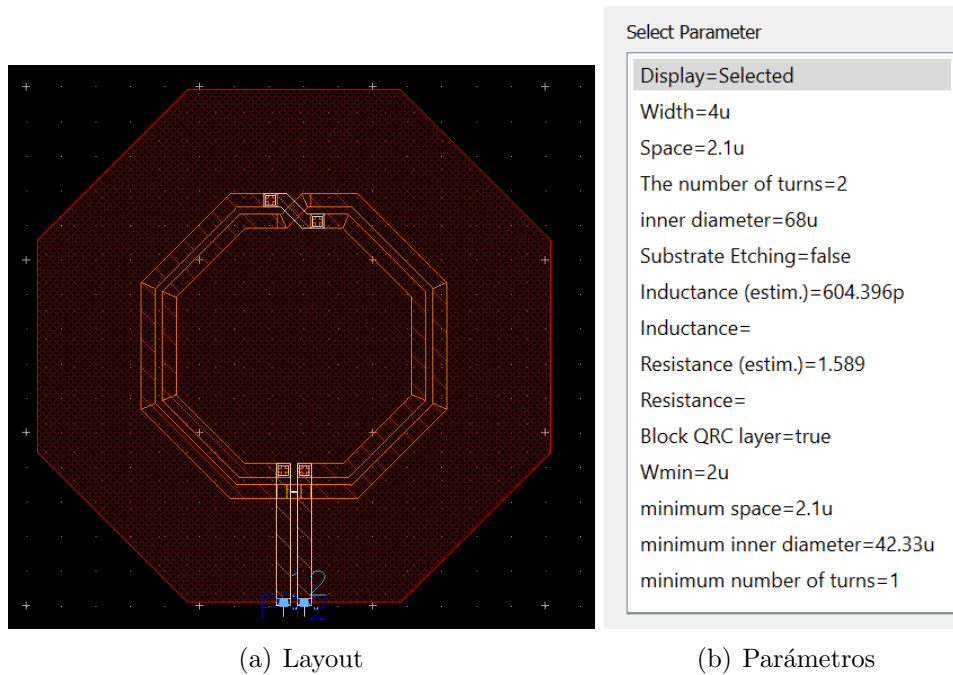


Figura A.1: Layout y parámetros de la bobina de 600 pH.

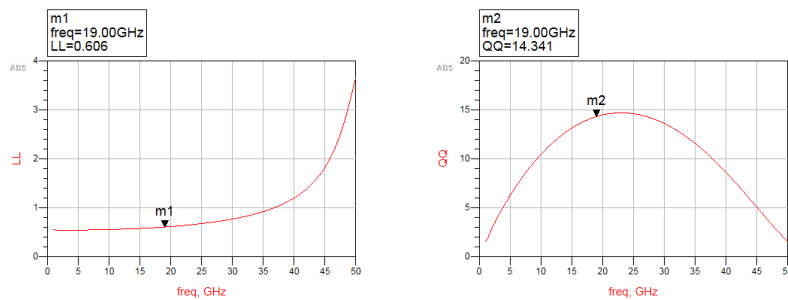


Figura A.2: Resultados de la simulación de la bobina de 600pH.

Bobina de 300pH:

La bobina de 300pH forma parte de las redes de adaptación del desfasador y del QAF. El *layout* y los valores de los parámetros de la bobina de 300pH se reflejan en la figura A.3 a y b respectivamente.

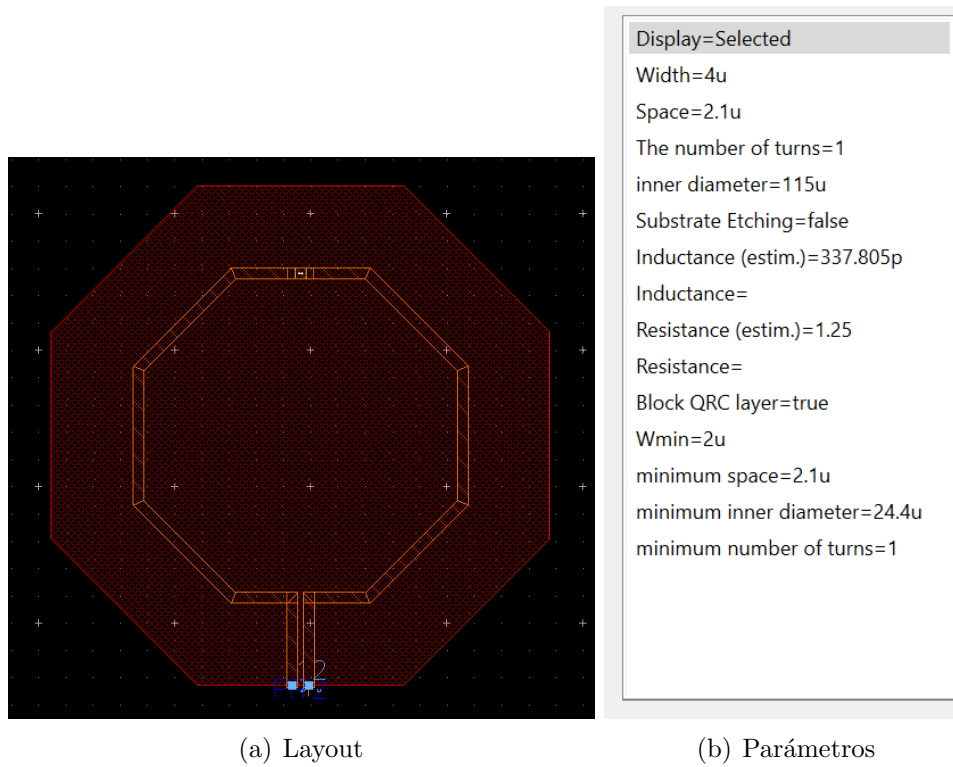


Figura A.3: Layout y parámetros de la bobina de 300 pH.

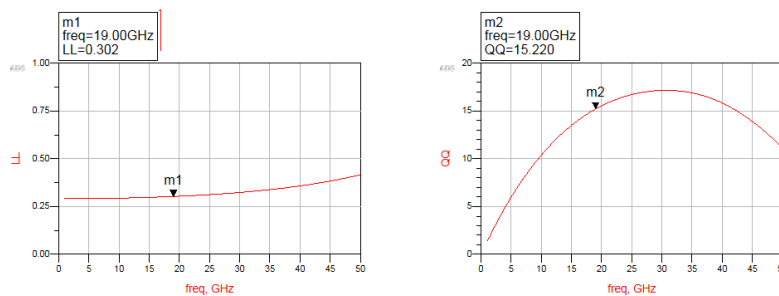


Figura A.4: Resultados de la simulación de la bobina de 300pH.

Bobina de 200pH:

Esta bobina se ha diseñado para el tanque del desfasador. En la figura A.5 a y b se ven el *layout* y los parámetros de la bobina de 200pH. En la figura A.6 se aprecia la simulación de la bobina.

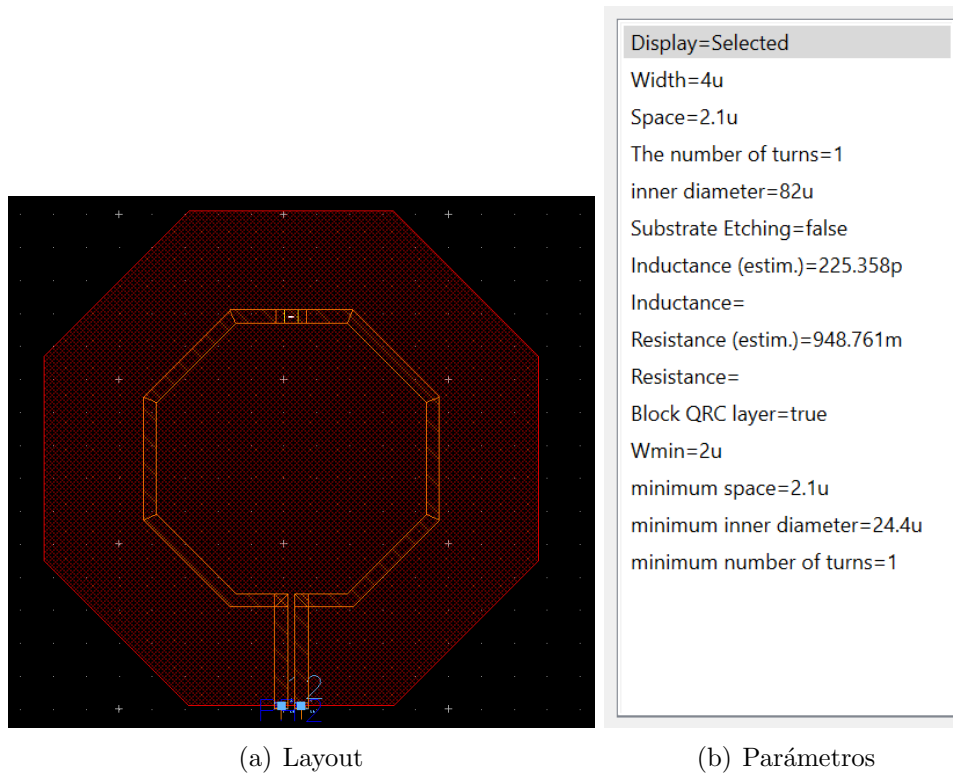


Figura A.5: Layout y parámetros de la bobina de 200 pH.

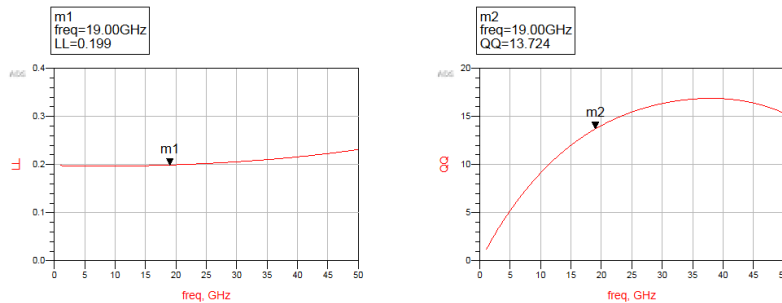


Figura A.6: Resultados de la simulación de la bobina de 200pH.

Bobina de 350pH:

La bobina de 350pH se encuentra en la red de adaptación del desfaseador. En la figura A.7 a se ve el *layout* de la bobina y en la figura A.5 b los valores de los parámetros para dicha bobina. En la figura A.6 se aprecia la simulación.

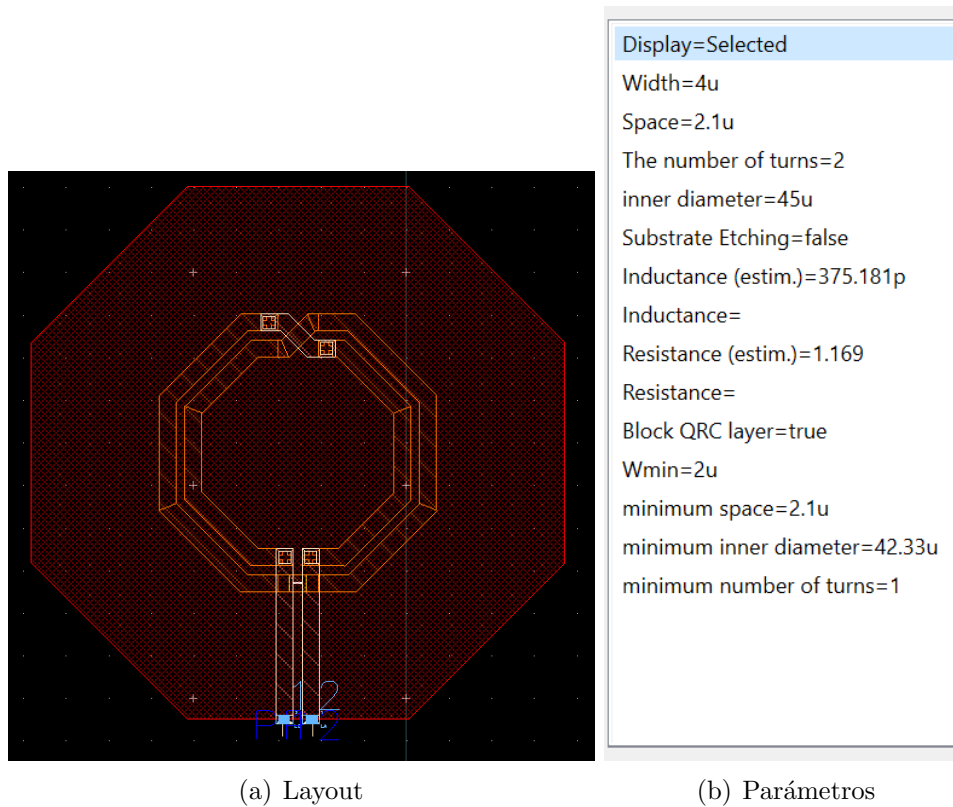


Figura A.7: Layout y parámetros de la bobina de 350 pH.

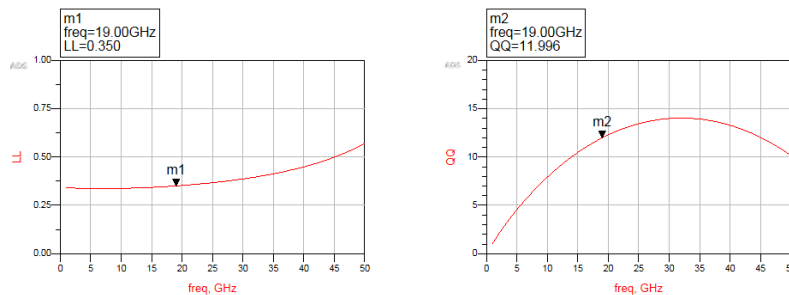


Figura A.8: Resultados de la simulación de la bobina de 350pH.

A.2. Condensadores

Condensador de 70fF:

Este condensador se ha diseñado para la red de adaptación del desfasador (C_{ex}). En la figura A.9 se ven los parámetros del condensador. En la figura A.10 se observa el resultado de la simulación del condensador de 70fF.

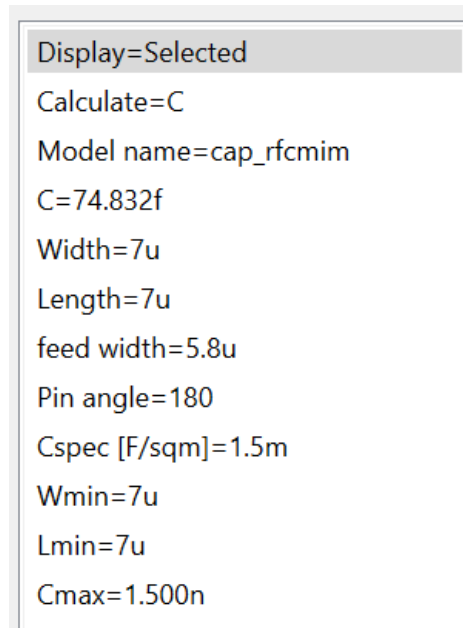


Figura A.9: Valores de los parámetros del condensador de 70fF.

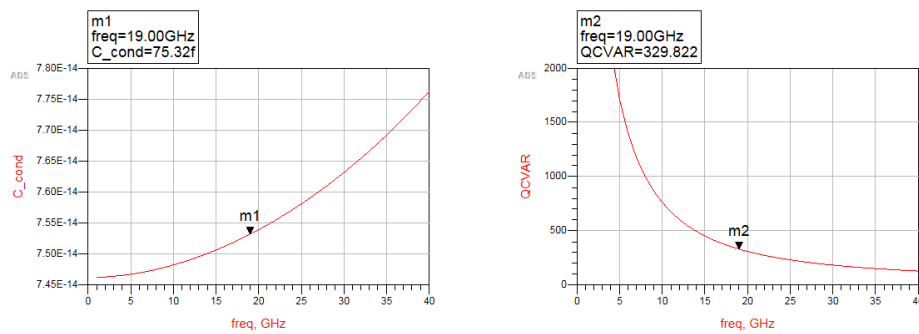


Figura A.10: Resultados de la simulación del condensador de 70fF.

Condensador de 109fF:

En condensador de 109fF se encuentra en el QAF. En la figura A.11 se aprecian los valores de los parametros de este condensador mientras que en la figura A.12 se encuentra el resultado de su simulación.

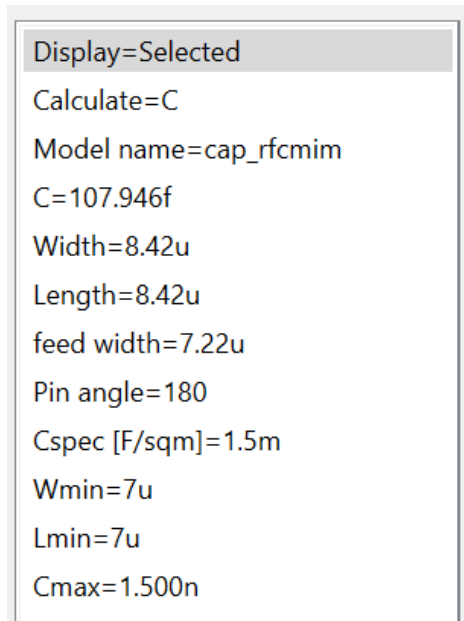


Figura A.11: Valores de los parámetros del condensador de 109fF.

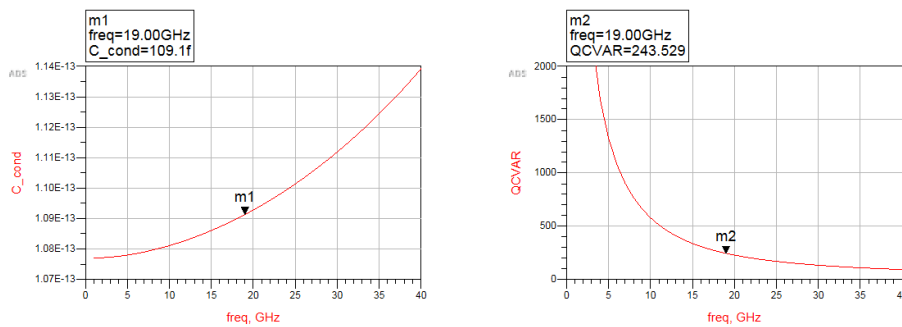


Figura A.12: Resultados de la simulación del condensador de 109fF.

Condensador de 200fF:

En este caso el condensador corresponde a la red de adaptación del QAF. En las figuras A.13 y A.14 se aprecian los valores de los componentes y la simulación del condensador respectivamente.

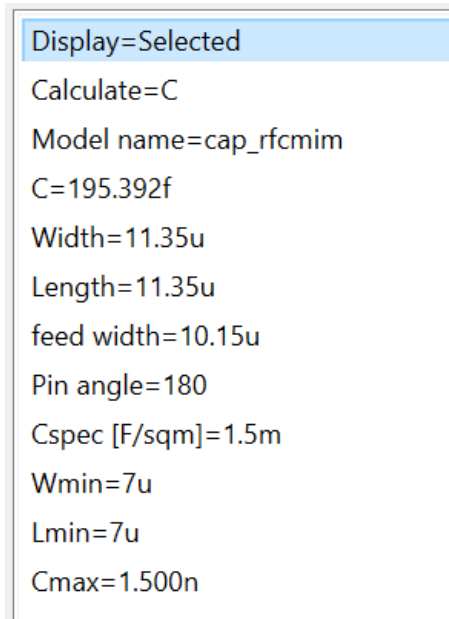


Figura A.13: Valores de los parámetros del condensador de 200fF.

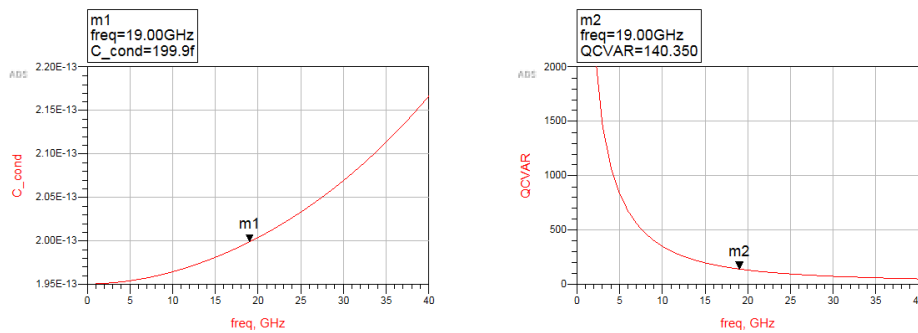


Figura A.14: Resultados de la simulación del condensador de 200fF.

Condensador de 310fF:

Este condensador corresponde al tanque del desfasador (CT). En la figura A.15 se observa el valor de sus parámetros. En la figura A.16 se aprecia el resultado de su simulación.

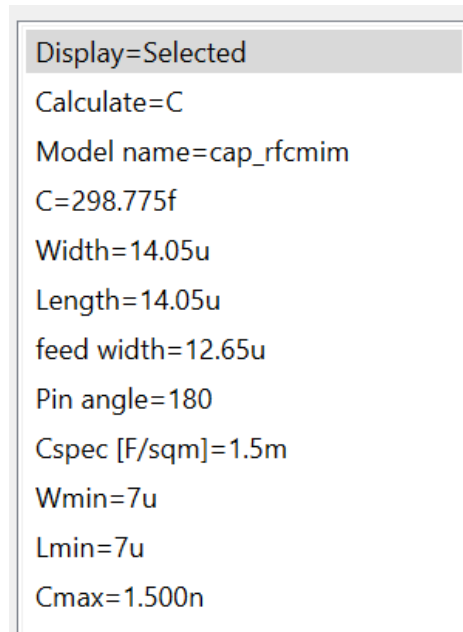


Figura A.15: Valores de los parámetros del condensador de 310fF.

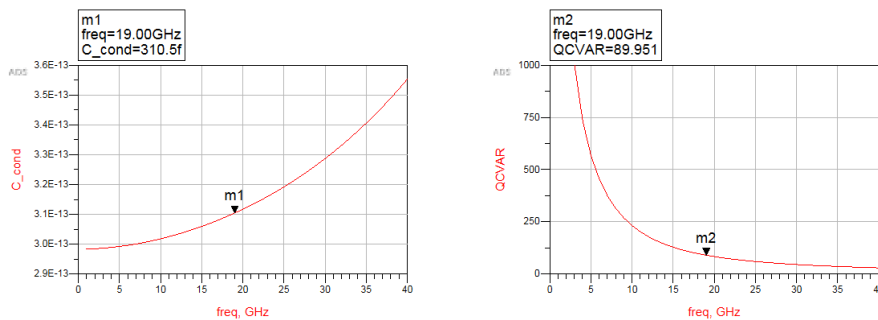


Figura A.16: Resultados de la simulación del condensador de 310fF.

A.3. Resistencias

Resistencia de 114Ω

Esta resistencia se encuentra en el QAF. En la figura A.17 se observan los parámetros de la resistencia de 114Ω . Al realizar la simulación se obtienen los valores de corriente que se aprecian en la figura A.18 con los que, aplicando la ley de Ohm, se calcula que $R = \frac{V}{I} = \frac{1}{8.77*10^{-3}} = 114,025\Omega$.

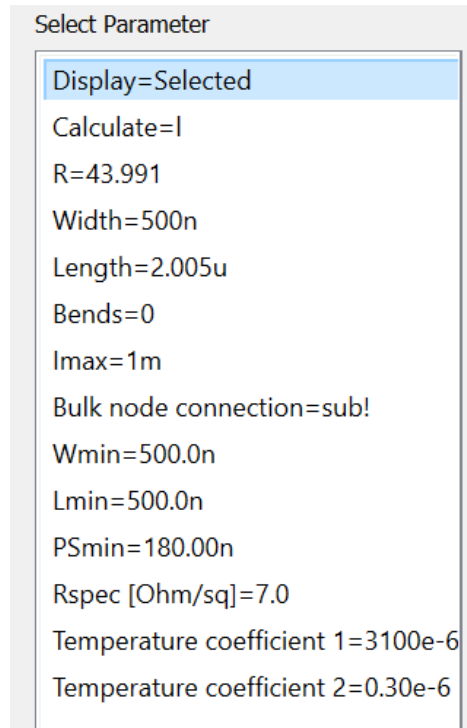


Figura A.17: Valores de los parámetros de la resistencia de 114 Ω .

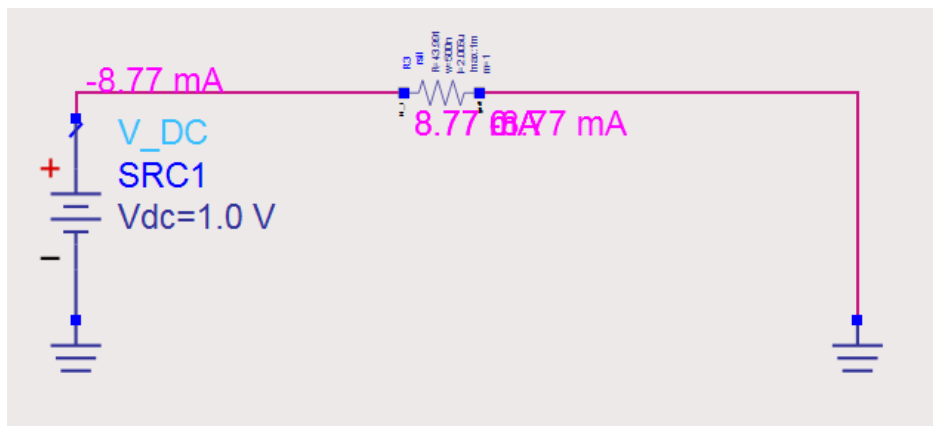


Figura A.18: Simulación de la resistencia de 114 Ω .

Resistencia de 1k Ω

La resistencia de 1k también forma parte del QAF, además de estar presente también en los *switches*. En la figura A.19 se aprecian los parámetros de la resistencia mientras que en la figura A.20 se ven los valores obtenidos en la simulación. Esos valores se han usado para el cálculo $R = \frac{V}{I} = 1997 * 10^{-6} = 1.003k\Omega$.

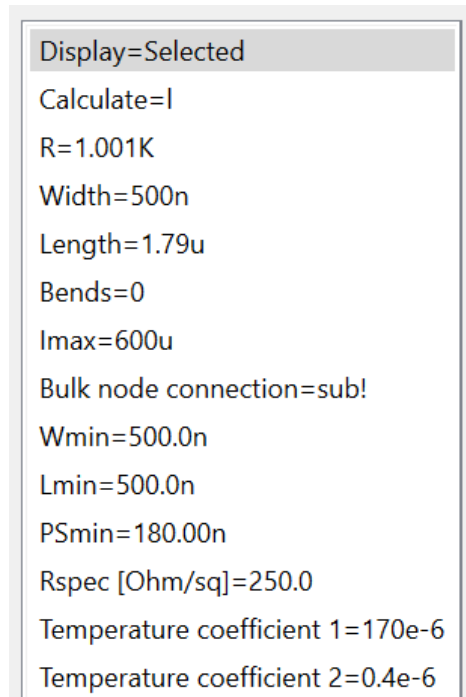


Figura A.19: Valores de los parámetros de la resistencia de 1k Ω .

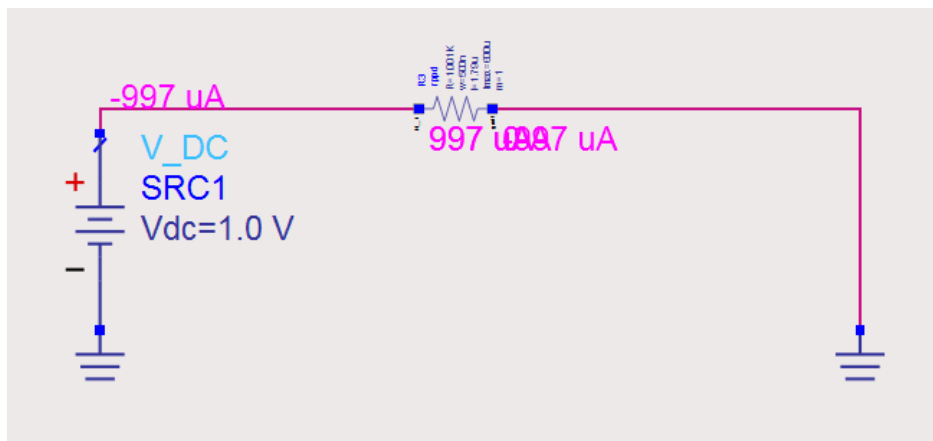


Figura A.20: Simulación de la resistencia de 1k Ω .

A.4. Adaptación de los componentes

Como se menciona en la sección 4.5, al sustituir los componentes reales en el circuito ha sido necesario reajustarlos. Por tanto, hay componentes con los que ha sido necesario repetir el proceso de diseño. Dichos componentes han quedado de la siguiente forma:

Bobina de 380pH:

Esta bobina ha sido la usada finalmente en el circuito de adaptación del QAF. En la figura A.21 se ve el *layout* y los parámetros de esta bobina. En la figura A.22 se aprecia la simulación de la bobina de 380pH.

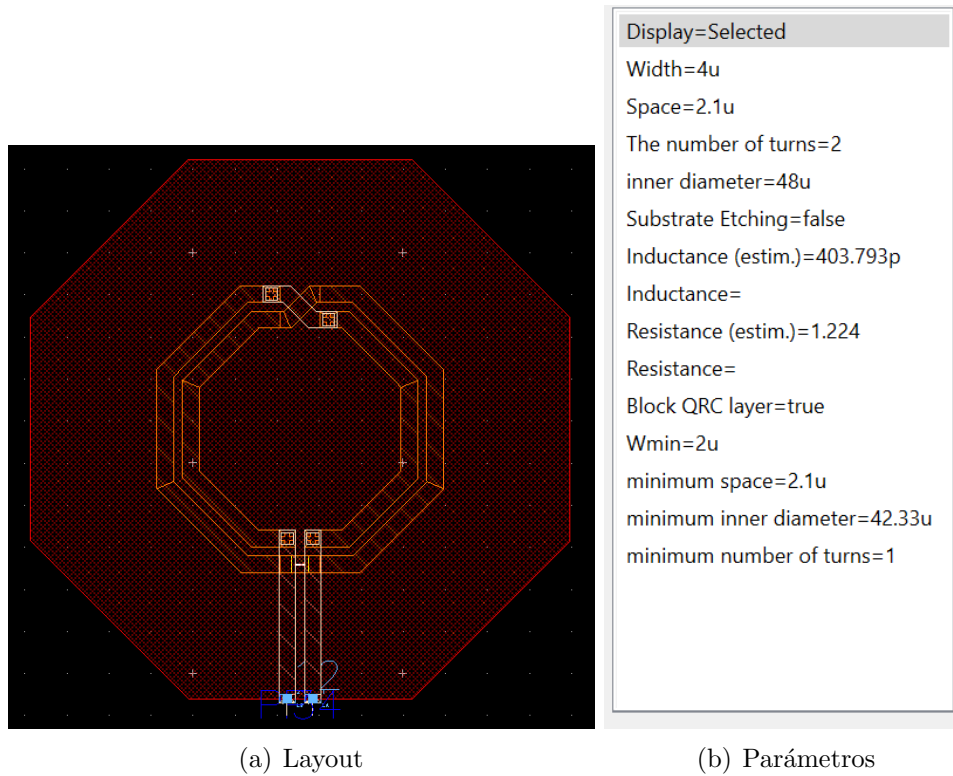


Figura A.21: Layout y parámetros de la bobina de 380 pH.

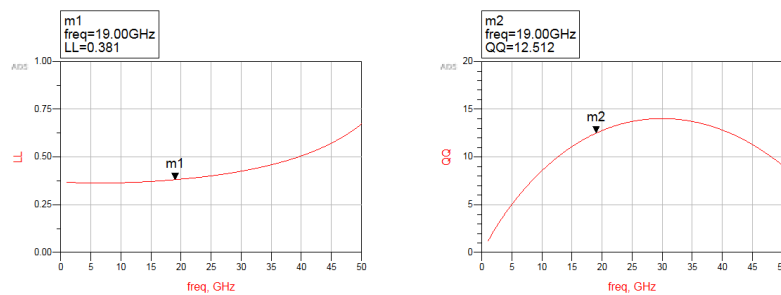


Figura A.22: Resultados de la simulación de la bobina de 380pH.

Bobina de 800pH:

La bobina de 800pH corresponde al QAF. En la figura A.23 se observan los parámetros y el *layout* de esta bobina y, en la figura A.24 se puede ver la simulación de esta.

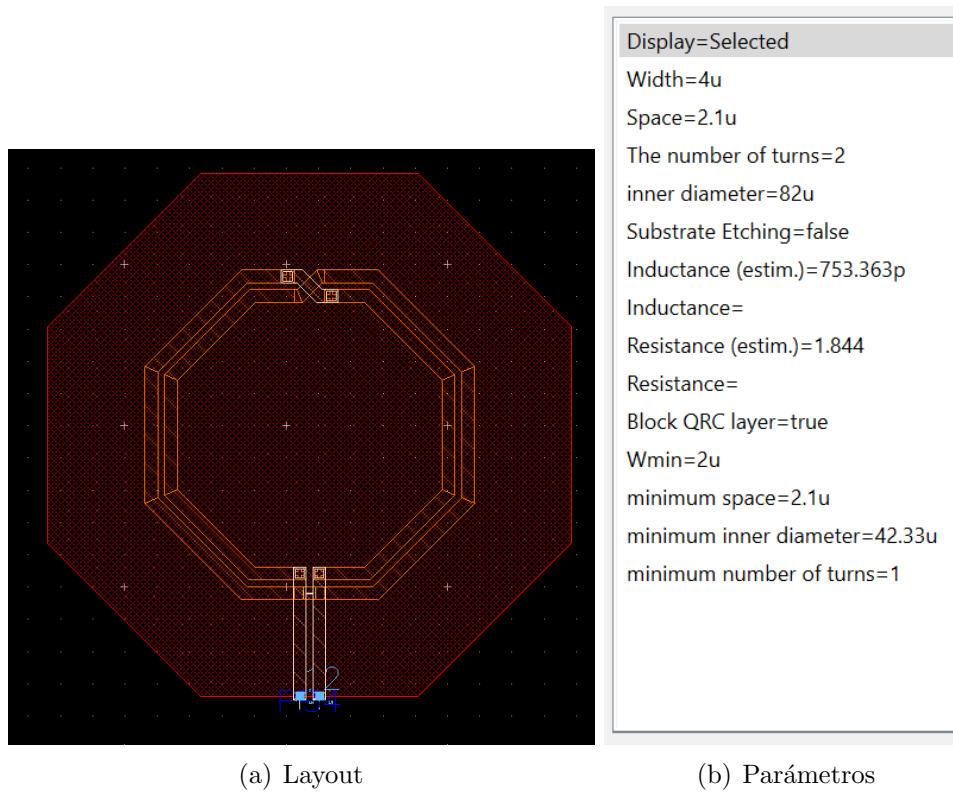


Figura A.23: Layout y parámetros de la bobina de 800 pH.

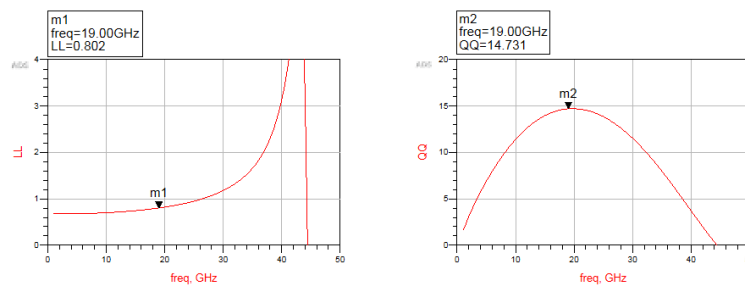


Figura A.24: Resultados de la simulación de la bobina de 800pH.

Condensador de 100fF:

Este condensador ha sido el seleccionado finalmente para el QAF. En la figura A.25 se ven los valores de los parámetros de este condensador y en la figura A.26 se aprecia la simulación.

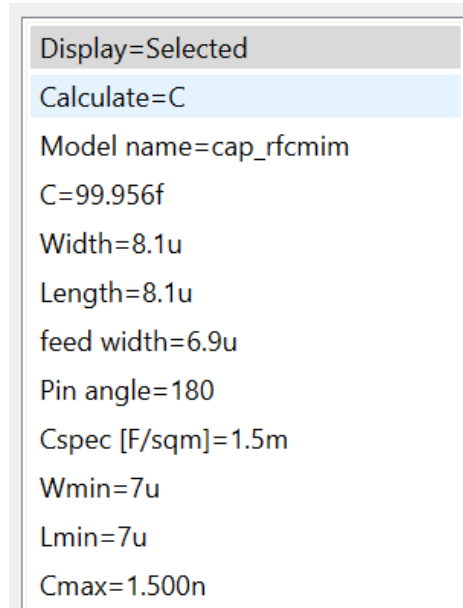


Figura A.25: Valores de los parámetros del condensador de 100fF.

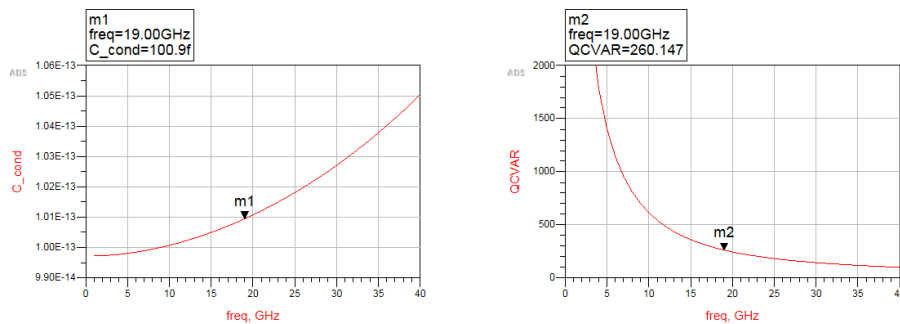


Figura A.26: Resultados de la simulación del condensador de 100fF.

Condensador de 160fF:

El condensador de 160fF ha sustituido al condensador de la red de adaptación del QAF. En las figuras A.27 y A.28 se aprecian los valores de sus parámetros y los resultados de su simulación respectivamente.

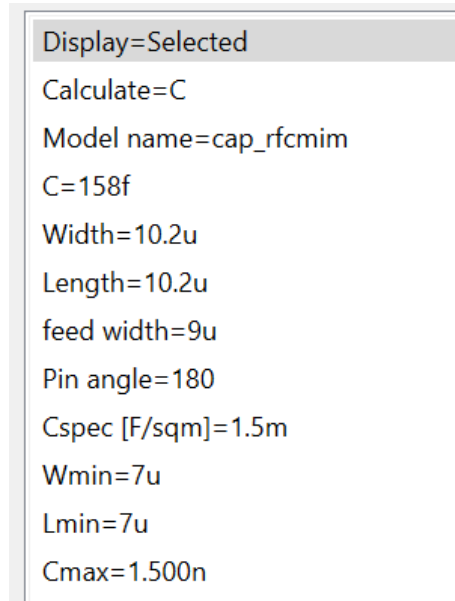


Figura A.27: Valores de los parámetros de la bobina de 160fF.

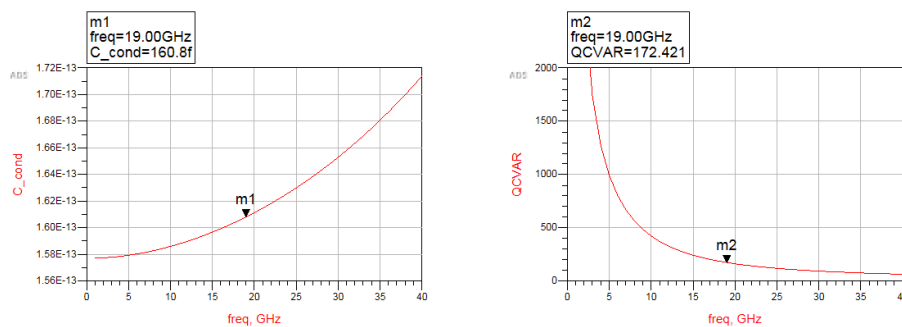


Figura A.28: Resultados de la simulación del condensador de 160fF.