

**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA TÉCNICA SUPERIOR DE
INGENIEROS DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**Sistema de comunicación óptica no guiada
basado en tecnología IrDA y técnicas DSSS**

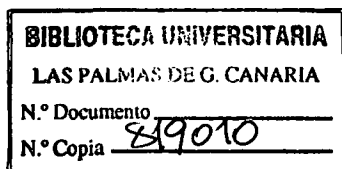
Autor: D. Adolfo Eduardo García Braun

**Tutores: Dr. José Alberto Rabadán Borges
D. Miguel Ángel Bacallado Marrero**

Fecha: Julio 2005

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIÓN



PROYECTO FIN DE CARRERA

**Sistema de comunicación óptica no guiada
basado en tecnología IrDA y técnicas DSSS**

HOJA DE FIRMAS

Alumno

Fdo.: D. Adolfo Eduardo García Braun

Tutor

Fdo.: Dr. José Alberto
Rabadán Borges

Tutor

Fdo.: Dr. Miguel Ángel
Bacallado Marrero

Fecha: Julio 2005

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIÓN



PROYECTO FIN DE CARRERA

**Sistema de comunicación óptica no guiada
basado en tecnología IrDA y técnicas DSSS**

HOJA DE EVALUACIÓN

Calificación: SOBRESALIENTE 10 (M.P.)

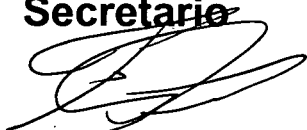
Presidente

Fdo.: 
JUAN LUIS ARMAS SOSA

Vocal

Fdo.: 
Fco. José Cabrera Aguado

Secretario

Fdo.: 
FERNANDO DE LA PUENTE ARRAGA

Fecha: Julio 2005

Las ciencias tienen las raíces amargas, pero muy dulces los frutos...

Aristóteles

Dedicatorias

*A mis padres, por hacer que mis sueños se convirtieran en realidad y
por estar ahí cuando los necesitaba*

*A mi novia, Bea, que ha vivido junto a mí día tras día, apoyándome
durante estos 6 años en la distancia*

*A todos y cada uno de los miembros de mi familia, que tanto me
han animado cuando me encontraba alicaído*

A la memoria de mis abuelos: Adolfo y Guillermo...

Agradecimientos

¿Qué sería de este proyecto sin la inestimable ayuda y apoyo de mis tutores? Espero haber estado a la altura de sus expectativas. Muchas gracias, José y Miguel Ángel.

Gracias también a:

Rafa por guiarme sabiamente hacia el buen camino.

Chago por compartir su sabiduría conmigo.

Iván por echarme un cable en el estudio de los entresijos de las señales.

Los hermanos Navarro, Víctor y Héctor, por ayudarme en los problemas técnicos.

Mi compañero de laboratorio, Arthemy, que ha vivido mis alegrías y tristezas además de auxiliarme en algunos momentos del proyecto.

La mejor y más simpática oficial de laboratorio: Ayaya.

Índice general

MEMORIA

I. Introducción	1
1. Introducción.....	1
2. Objetivos.....	5
3. Descripción del trabajo.....	6
4. Medios materiales.....	7
II. IrDA.....	9
1. Historia	9
2. Conceptos básicos.....	11
2.1 Luz infrarroja.....	11
2.2 Acceso al medio	12
2.3 Tasa de datos	13
2.4 Consumo de potencia.....	14
2.4 Protocolo	15
3. La capa física	16
3.1 Características ambientales	16
3.2 Características del infrarrojo	17
3.3 Transmitiendo un pulso	17
3.4 Detectando un pulso	18
3.5 Interferencias de otras fuentes lumínicas	19
3.6 Restricciones del enlace.....	20
3.7 Restricciones de los transmisores.....	21
3.8 Restricciones de los receptores.....	22
3.9 Características de los sistemas de codificación	23
3.10 La ventana plástica	26
4. Conclusiones.....	27
III. Espectro ensanchado	29
1. Historia	29
2. Conceptos básicos.....	32
3. Señales de código	33
3.1. Señales pseudoaleatorias.....	34
3.2. Generación de pseudocódigos	35
3.3. Autocorrelación de secuencias pseudoaleatorias.....	37

4. Propiedades.....	39
4.1. Respuesta a las interferencias	39
4.2. Respuesta a la multipropagación	40
4.4. Reducción de la densidad espectral de potencia.....	43
5. Tipos de sistemas	43
6. DSSS	44
6.1 Generación y demodulación de la señal ensanchada	44
6.2 Sincronismo	46
7. Sistema de sincronismo basado en un piloto.....	50
8. Conclusiones.....	54

IV. Simulaciones.....55

1. Introducción.....	55
2. Modelado del sistema IrDA.....	55
2.1. Esquema	55
2.2. Sistema sin interferencias.....	56
2.3. Sistema con AWGN.....	59
2.4. Sistema multicanal.....	63
2.5. Sistema con interferencia de luz fluorescente	65
2.6. Sistema IrDA SIR.....	68
3. Modelado del sistema IrDA-DSSS.....	70
3.1. Esquema	70
3.2. Sistema sin interferencias.....	71
3.3. Sistema con AWGN.....	75
3.4. Sistema con interferencia de banda estrecha	79
3.5. Sistema con receptor no sincronizado.....	82
3.6. Sistema multicanal.....	83
4. Conclusiones.....	84

V. Diseño85

1. Introducción.....	85
2. Conversor USB-IrDA	85
2.1 Diseño	85
2.2 Aspecto físico.....	91
3. Módulo IrDA - DSSS	92
3.1 Esquema general	92
3.2 Transmisor y PLD	95
3.2.1 Diseño digital del transmisor	97
3.3 Receptor.....	101
3.3.1 Bloque RECEPTOR.....	101
3.3.2 Diseño digital correspondiente al receptor DSSS.....	109
3.3.3 Bloque DEMODULADOR.....	113
3.4 Aspecto físico.....	115

4. Transmisor óptico	116
4.1 Diseño	116
4.2 Aspecto físico	120
5. Receptor óptico.....	120
5.1 Diseño	120
5.2 Aspecto físico	122
6. Conclusiones.....	122
 VI. Resultados	 123
1. Introducción.....	123
2. Conversor USB-IrDA.....	123
2.1 Transmisión y Recepción en condiciones ideales	125
2.1.1 SIR (9600 bps y 115.2 kbps)	125
2.1.2 FIR (4 Mbps).....	129
3. Sistema completo.....	132
3.1 Señales en el transmisor	134
3.2 Señales en el receptor	139
3.3 Señales en el demodulador	145
4 Consumo de potencia.....	147
5 Conclusiones.....	147
 VII. Conclusiones.....	 149
 VIII. Bibliografía.....	 151

PRESUPUESTO

1. Gastos de circuitería.....	P-1
2. Gastos de edición	P-5
3. Gastos de amortización	P-5
4. Honorarios profesionales	P-6
5. Coste total.....	P-8

ACRÓNIMOS

CONTENIDO DEL CD

ANEXOS

ANEXO I: Esquemáticos, planos de componentes y circuitos impresos.

ANEXO II: Diagramas de bloque del PLD.

ANEXO III: Simulaciones digitales.

ANEXO IV: Informe de la implementación del diseño digital.

ANEXO V: Hojas de características.

ANEXO VI: Artículo presentado y admitido en el congreso URSI '05.

Índice de figuras

FIGURA I - 1. OBJETIVOS DEL PROYECTO.....	5
FIGURA I - 2. DETALLE DEL CONVERSOR IRDA-DSSS	6
FIGURA II - 1. SIR WILLIAM HERSCHEL.....	9
FIGURA II - 2. ESPECTRO ELECTROMAGNÉTICO	12
FIGURA II - 3. PILAS DE PROTOCOLOS DE: (A) MODELO OSI, (B) TCP/IP Y (C) IRDA.....	15
FIGURA II - 4. FORMA DE ONDA TÍPICA DE LOS PULSOS INFRARROJOS	18
FIGURA II - 5. FORMA DEL HAZ INFRARROJO	19
FIGURA II - 6. ÁNGULO MEDIO	20
FIGURA II - 7. OVERSHOOT DEL PULSO	21
FIGURA II - 8. ESQUEMA DE UN PUERTO DE ENTRADA/SALIDA IRDA PARA VELOCIDADES SIR	23
FIGURA II - 9. TRAMAS DE TIPO: (A) UART Y (B) IRDA TIPO SIR	23
FIGURA II - 10. ESQUEMA DE UN PUERTO DE ENTRADA/SALIDA IRDA PARA VELOCIDADES MIR, FIR Y VFIR 25	
FIGURA II - 11. DISTORSIÓN DEL HAZ INFRARROJO PRODUCIDA POR LA VENTANA PLÁSTICA	26
FIGURA III - 1. HEDY LAMARR Y GEORGE ANTHEIL	30
FIGURA III - 2. IMÁGENES DE LA PATENTE CREADA POR LAMARR Y ANTHEIL.....	31
FIGURA III - 3. GENERADOR DE SECUENCIAS PSEUDOALEATORIAS	35
FIGURA III - 4. AUTOCORRELACIÓN DISCRETA DE CÓDIGOS MLS.....	38
FIGURA III - 5. REDUCCIÓN DE LA MULTIPROPAGACIÓN EN SISTEMAS SS	41
FIGURA III - 6. ESQUEMAS DE ACCESO AL MEDIO.....	42
FIGURA III - 7. CIRCUITOS MODULADORES DSSS. (A) CON MULTIPLICADOR. (B) CON XOR	44
FIGURA III - 8. EJEMPLO DE UNA SEÑAL MODULADA CON BPSK	45
FIGURA III - 9. CIRCUITO CORRELADOR	47
FIGURA III - 10. ADQUISICIÓN POR MÁXIMA PROBABILIDAD.....	48
FIGURA III - 11. ADQUISICIÓN SERIE	48
FIGURA III - 12. DIAGRAMA DE BLOQUES DEL RECEPTOR	49
FIGURA III - 13. TOPOLOGÍA DE UNA RED EMPLEANDO EL PILOTO DE SINCRONISMO.....	51
FIGURA III - 14. SEÑAL DE RELOJ (ARRIBA), DE DURACIÓN DE CÓDIGO (CENTRO) Y SEÑAL PILOTO FINAL (ABAJO)	51
FIGURA III - 15. POSIBLE CIRCUITO GENERADOR DEL PILOTO	52
FIGURA III - 16. SALIDA DE LA PUERTA AND Y SEÑAL DE PERIODO DE CÓDIGO	52
FIGURA III - 17. ESQUEMA DEL CIRCUITO RECUPERADOR DE SINCRONISMO.....	53
FIGURA IV - 1. ESQUEMA DEL MODELO IRDA.....	56
FIGURA IV - 2. CORRESPONDENCIA ENTRE BITS EN BANDA BASE Y 4-PPM.....	57
FIGURA IV - 3. ASPECTO DE UNA SEÑAL IRDA 4-PPM	57
FIGURA IV - 4. MODULACIÓN 4-PPM (TIEMPO).....	58
FIGURA IV - 5. MODULACIÓN 4-PPM (FRECUENCIA).....	58
FIGURA IV - 6. INTERFERENCIA AWGN	59
FIGURA IV - 7. SEÑAL IRDA CON INTERFERENCIA AWGN (TIEMPO).....	60
FIGURA IV - 8. SEÑAL IRDA CON INTERFERENCIA AWGN (FRECUENCIA)	60
FIGURA IV - 9. SEÑAL RECIBIDA FILTRADA.....	61
FIGURA IV - 10. RECEPCIÓN BLANDA.....	62
FIGURA IV - 11. COMPARATIVA ENTRE LOS DATOS TRANSMITIDOS Y LOS RECIBIDOS.....	62
FIGURA IV - 12. BER DEL SISTEMA IRDA CON UNA INTERFERENCIA DE AWGN.....	63
FIGURA IV - 13. SEÑAL IRDA E INTERFERENCIA CON RELACIÓN S/I DE 5 DB EN (A) TIEMPO Y (B) FRECUENCIA	64
FIGURA IV - 14. SEÑAL RECIBIDA FILTRADA EN (A) TIEMPO Y EN (B) FRECUENCIA	65
FIGURA IV - 15. BER DEL SISTEMA IRDA CON UNA INTERFERENCIA MULTICANAL	65

FIGURA IV - 16. INTERFERENCIAS LUMÍNICAS	66
FIGURA IV - 17. INTERFERENCIA DE LUZ FLUORESCENTE	67
FIGURA IV - 18. SEÑAL IRDA E INTERFERENCIA CON RELACIÓN S/I DE 5 dB	67
FIGURA IV - 19. BER DEL SISTEMA IRDA CON UNA INTERFERENCIA DE LUZ FLUORESCENTE	68
FIGURA IV - 20. MODULACIÓN SIR	69
FIGURA IV - 21. SEÑAL IRDA SIR EN (A) TIEMPO Y EN (B) FRECUENCIA	69
FIGURA IV - 22. ESQUEMA DEL MODELO COMPLETO	70
FIGURA IV - 23. GENERADOR PSEUDOALEATORIO	72
FIGURA IV - 24. MODULACIÓN DSSS	74
FIGURA IV - 25. MODULACIÓN DSSS (TIEMPO)	74
FIGURA IV - 26. MODULACIÓN DSSS (FRECUENCIA)	75
FIGURA IV - 27. SEÑAL TRANSMITIDA Y RECIBIDA EN (A) TIEMPO Y EN (B) FRECUENCIA	76
FIGURA IV - 28. SEÑAL RECIBIDA FILTRADA (FRECUENCIA)	76
FIGURA IV - 29. DEMODULACIÓN DSSS	77
FIGURA IV - 30. SEÑAL DESENSANCHADA	77
FIGURA IV - 31. DATOS 4-PPM RECUPERADOS FRENTE A LOS TRANSMITIDOS	78
FIGURA IV - 32. BER DEL SISTEMA CON UNA INTERFERENCIA DE AWGN	78
FIGURA IV - 33. SEÑAL ENSANCHADA FRENTE A UNA INTERFERENTE IRDA CON RELACIÓN S/I DE 5 dB (TIEMPO)	80
FIGURA IV - 34. SEÑAL ENSANCHADA FRENTE A UNA INTERFERENTE IRDA CON RELACIÓN S/I DE 5 dB (FRECUENCIA)	80
FIGURA IV - 35. BER DEL SISTEMA CON UNA INTERFERENCIA DE BANDA ESTRECHA (IRDA FIR) CON UNA $G_p = 30$	81
FIGURA IV - 36. BER DEL SISTEMA CON UNA INTERFERENCIA DE BANDA ESTRECHA (IRDA FIR) CON UNA $G_p = 50$	81
FIGURA IV - 37. SEÑAL DE CÓDIGO TRANSMITIDA (ARRIBA) Y LA RECIBIDA	83
FIGURA IV - 38. SISTEMA MULTICANAL CON TRES SEÑALES DSSS EN EL ENTORNO	83
FIGURA IV - 39. RECUPERACIÓN DE LA SEÑAL TRANSMITIDA EN UN SISTEMA CDMA	84

FIGURA V - 1. DIAGRAMA DE BLOQUES DEL SISTEMA COMPLETO	85
FIGURA V - 2. CIRCUITO USB-IRDA	86
FIGURA V - 3. TPS76333	86
FIGURA V - 4. ENTRADA DEL CIRCUITO USB-IRDA	87
FIGURA V - 5. SALIDA DEL CIRCUITO USB-IRDA	89
FIGURA V - 6. IRDA TRANSCEIVER TFDU6102	90
FIGURA V - 7. CIRCUITO USB-IRDA (FOTO)	91
FIGURA V - 8. ESQUEMA GENERAL DEL SISTEMA IRDA - DSSS	92
FIGURA V - 9. CIRCUITO DE ALIMENTACIÓN Y RESET	93
FIGURA V - 10. RONOGRAMA DEL TPS3800	94
FIGURA V - 11. TRANSMISOR Y PLD	95
FIGURA V - 12. CONECTOR JTAG Y BYTEBLASTER MV	96
FIGURA V - 13. DISEÑO DIGITAL: TRANSMISOR	97
FIGURA V - 14. DISEÑO DIGITAL: "GEN_CODIGO"	98
FIGURA V - 15. FLIP FLOP JK. TABLA DE VERDAD, ESQUEMA Y CRONOGRAMA DE LA DIVISIÓN POR 2	99
FIGURA V - 16. CRONOGRAMA DEL TRANSMISOR DIGITAL	100
FIGURA V - 17. CRONOGRAMA DEL TRANSMISOR DIGITAL (MAYOR DURACIÓN)	100
FIGURA V - 18. ESQUEMÁTICO DEL RECEPTOR	101
FIGURA V - 19. PSC-2-1 Y PLP-10.7	103
FIGURA V - 20. PSC-2-1 Y PBP-21.4	104
FIGURA V - 21. PSC-2-1 Y PBP-21.4	104
FIGURA V - 22. RAMA 1 DEL BLOQUE RECEPTOR	105
FIGURA V - 23. PATILLAJE DEL LM360N	105
FIGURA V - 24. RAMA 2 DEL BLOQUE RECEPTOR (A)	106
FIGURA V - 25. PATILLAJE DEL SA612A	106
FIGURA V - 26. EFECTO DEL CONTROL DE LOS NIVELES DE LA SEÑAL DE ENTRADA AL MEZCLADOR	107
FIGURA V - 27. RAMA 2 DEL BLOQUE RECEPTOR (B)	107
FIGURA V - 28. PATILLAJE DEL NE564	108
FIGURA V - 29. DISEÑO DIGITAL: RECEPTOR	110

FIGURA V - 30. DISEÑO DIGITAL: RECUPERADOR	111
FIGURA V - 31. CRONOGRAMA DEL RECEPTOR DIGITAL	112
FIGURA V - 32. DISEÑO DIGITAL: GEN_CODIGO2	112
FIGURA V - 33. ESQUEMÁTICO DEL DEMODULADOR	113
FIGURA V - 34. FILTRO RC PASO BAJO DE DOS ETAPAS	114
FIGURA V - 35. CIRCUITO IRDA-DSSS (FOTO). (A) TOP LAYER. (B) BOTTOM LAYER	115
FIGURA V - 36. ESQUEMÁTICO DE UN TRANSMISOR ÓPTICO	116
FIGURA V - 37. FLUJO RADIANTE FRENTE A CORRIENTE EN DIRECTA (L7558)	118
FIGURA V - 38. SOPORTE FÍSICO PARA LOS TRANSMISORES ÓPTICOS Y LENTE EMPLEADA	119
FIGURA V - 39. ESQUEMÁTICO DE LOS 2 TRANSMISORES ÓPTICOS INTEGRADOS EN LA MISMA PCB	119
FIGURA V - 40. TRANSMISOR ÓPTICO (FOTO). (A) CON UN TRANSMISOR. (B) CON DOS TRANSMISORES	120
FIGURA V - 41. RECEPTOR ÓPTICO	121
FIGURA V - 42. RECEPTOR ÓPTICO (FOTO). (A) VISTA FRONTAL. (B) VISTA TRASERA	122
FIGURA VI - 1. MONTAJE DE MEDIDA PARA LAS SEÑALES DEL CONVERTOR USB-IRDA	124
FIGURA VI - 2. APD C5331-11 DE HAMAMATSU	124
FIGURA VI - 3. PULSO SIP	126
FIGURA VI - 4. PUNTOS DE MEDIDA	127
FIGURA VI - 5. TRANSMISIÓN DE DATOS EN MODO SIR (115,2 KBPS). (A) VARIOS PULSOS. (B) DETALLE DE UNO DE ELLOS.	127
FIGURA VI - 6. TRANSMISIÓN DE DATOS EN MODO SIR (9600 BPS). (A) VARIOS PULSOS. (B) DETALLE DE UNO DE ELLOS.	128
FIGURA VI - 7. DEP DE LA SEÑAL TRANSMITIDA A 115.2 KBPS. (A) REAL. (B) SIMULADA.	128
FIGURA VI - 8. TRAMA FIR	129
FIGURA VI - 9. PREÁMBULO DE LA TRAMA	129
FIGURA VI - 10. CAPTURA DEL PREÁMBULO	130
FIGURA VI - 11. EJEMPLO DE PAYLOAD TRANSMITIDO	130
FIGURA VI - 12. DETALLE DEL PULSO 4-PPM	131
FIGURA VI - 13. DEP DE LA SEÑAL FIR. (A) REAL. (B) SIMULADA.	131
FIGURA VI - 14. PULSOS IRDA RECIBIDOS	132
FIGURA VI - 15. PUNTOS DE CONEXIÓN ENTRE EL CONVERTOR USB-IRDA Y EL MÓDULO IRDA-DSSS	133
FIGURA VI - 16. MONTAJE DEL DISEÑO COMPLETO EN EL LABORATORIO	133
FIGURA VI - 17. DETALLES DEL MONTAJE	134
FIGURA VI - 18. DIAGRAMA DE BLOQUE DEL TRANSMISOR DIGITAL	135
FIGURA VI - 19. OBTENCIÓN DEL RELOJ EMPLEADO PARA LA GENERACIÓN DEL CÓDIGO	135
FIGURA VI - 20. CLK_CODIGO (ARRIBA) Y RELOJ_DSSS (ABAJO)	135
FIGURA VI - 21. MÓDULO DIGITAL "GEN_CODIGO"	136
FIGURA VI - 22. PULSO_SYNC (ARRIBA) Y LONG_CODIGO (ABAJO)	136
FIGURA VI - 23. CAMBIO DE FASE EN EL PILOTO JUNTO A (A) PULSO_SYNC Y JUNTO A (B) LONG_CODIGO	137
FIGURA VI - 24. DEP DEL PILOTO	137
FIGURA VI - 25. SEÑAL DE CÓDIGO (BIT_TX)	138
FIGURA VI - 26. SEÑAL IRDA (ARRIBA), SEÑAL DE CÓDIGO BIT_TX (CENTRO) Y DSSS (ABAJO)	138
FIGURA VI - 27. DEP DE LA SEÑAL DSSS TRANSMITIDA. (A) REAL. (B) SIMULADA.	139
FIGURA VI - 28. DETALLE DEL TRANSMISOR-RECEPTOR ÓPTICO	139
FIGURA VI - 29. BLOQUE DE RECEPCIÓN DEL CIRCUITO IRDA-DSSS	140
FIGURA VI - 30. SEÑAL ÓPTICA RECIBIDA (PILOTO + DSSS)	140
FIGURA VI - 31. DEP DE LA SEÑAL ÓPTICA RECIBIDA (PILOTO + DSSS)	140
FIGURA VI - 32. (A) SEÑAL DSSS TRANSMITIDA FRENTE A LA RECIBIDA FILTRADA. (B) SEÑAL PILOTO ORIGINAL FRENTE A LA RECIBIDA FILTRADA	141
FIGURA VI - 33. PILOTO TRANSMITIDO (ARRIBA) Y PILOTO REGENERADO	142
FIGURA VI - 34. (A) SEÑAL A LA ENTRADA (ARRIBA) Y A LA SALIDA (ABAJO) DEL MEZCLADOR. (B) DEP DE LA SEÑAL A LA SALIDA DEL MEZCLADOR	142
FIGURA VI - 35. SEÑALES DE ENTRADA AL PLD: PILOTO REGENERADO (ARRIBA) Y RELOJ DE 40 MHZ PROVENIENTE DEL PLL	143
FIGURA VI - 36. BLOQUE RECUPERADOR	143
FIGURA VI - 37. (A) SEÑAL CLK_REC_PILOTO (20 MHZ). (B) SEÑAL CLK_REC_DSSS (10 MHZ)	144
FIGURA VI - 38. SEÑAL DE CÓDIGO DEL TRANSMISOR (ARRIBA) Y LA GENERADA EN EL RECEPTOR (ABAJO) ..	144

FIGURA VI - 39. (A) SEÑAL DE PRESET DEL TRANSMISOR (ARRIBA) Y GENERADA EN EL RECEPTOR (ABAJO). (B) DETALLE DE LAS MISMAS.....	145
FIGURA VI - 40. PULSO IRDA TRANSMITIDO ORIGINALMENTE (ARRIBA) Y EL DEMODULADO (ABAJO).....	145
FIGURA VI - 41. SEÑAL DEMODULADA ANTES (ARRIBA) Y DESPUÉS (ABAJO) DEL FILTRADO	146
FIGURA VI - 42. (A) SEÑAL IRDA TRANSMITIDA (ARRIBA) Y LA RECUPERADA FINALMENTE (ABAJO). (B) DETALLE DE LAS MISMAS.....	146

Índice de tablas

TABLA I - 1. COMPARATIVA ENTRE LAS COMUNICACIONES VÍA RF Y LAS DE INFRARROJO	2
TABLA II - 1. EVOLUCIÓN DE LAS ESPECIFICACIONES IRDA.....	11
TABLA II - 2. COMPARATIVA ENTRE LOS CONSUMOS DE POTENCIA DE IRDA, BLUETOOTH Y DISPOSITIVOS WLAN	14
TABLA II - 3. VALORES MÁXIMOS DE INTERFERENCIAS AMBIENTALES	19
TABLA II - 4. RESTRICCIONES DE LOS TRANSMISORES.....	22
TABLA II - 5. RESTRICCIONES DE LOS RECEPTORES.....	22
TABLA II - 6. PATRONES DE CHIPS FIR.....	25
TABLA IV - 1. GENERACIÓN DE SECUENCIAS PSEUDOALEATORIAS MLS	73
TABLA IV - 2. SECUENCIAS A PARTIR DE LA COMBINACIÓN 2-3-5-6	73
TABLA V - 1. PATILLAJE DEL STIR4200.....	88
TABLA V - 2. CARACTERÍSTICAS ELÉCTRICAS DEL CABLE USB	93
TABLA V - 3. CARACTERÍSTICAS DEL PLP-10.7	102
TABLA V - 4. CARACTERÍSTICAS DEL PBP-21.4.....	103
TABLA VI - 1. ESPECIFICACIONES DE LA DURACIÓN DE LOS PULSOS EN FUNCIÓN DE LA TASA BINARIA	126
TABLA VI - 2. CONSUMO DE POTENCIA	147
TABLA P - 1. COSTE DEL CIRCUITO USB-IRDA.....	P-2
TABLA P - 2. COSTE DEL CIRCUITO IRDA-DSSS.....	P-3
TABLA P - 3. COSTE DEL TRANSMISOR ÓPTICO.....	P-4
TABLA P - 4. COSTE DEL RECEPTOR ÓPTICO	P-4
TABLA P - 5. COSTE TOTAL DE LA CIRCUITERÍA	P-5
TABLA P - 6. GASTOS DE EDICIÓN	P-5
TABLA P - 7. GASTOS DE AMORTIZACIÓN.....	P-6
TABLA P - 8. HORAS EFECTIVAS.....	P-7
TABLA P - 9. HONORARIOS PROFESIONALES	P-7
TABLA P - 10. HONORARIOS Y GASTOS COIT	P-8
TABLA P - 11. COSTE TOTAL	P-8

MEMORIA

I. Introducción

1. Introducción

Comunicaciones infrarrojas

La evolución de los terminales de información portátiles en el trabajo o en casa está acelerando la introducción de enlaces digitales inalámbricos y las redes de área local (LANs). Estos terminales deberían tener acceso a todos los servicios que están disponibles en las redes cableadas de alta velocidad. El deseo de conseguir los requerimientos de bajo consumo, tamaño y peso han motivado el interés en las comunicaciones infrarrojas inalámbricas.

Comparativa entre las comunicaciones RF y las infrarrojas

La comunicación vía radio es preferida en aplicaciones en las que la movilidad del usuario es elevada o en las que se necesite una transmisión a través de paredes o en largas distancias. También se favorece la utilización de los enlaces vía radio en aquellos casos en los que el consumo de potencia en el emisor debe ser mínimo. Por el contrario, las comunicaciones por infrarrojo son apropiadas en aplicaciones en las que los equipos terminales se disponen a distancias cortas y en las que la velocidad de transmisión de datos es elevada. Además, estos enlaces son muy útiles cuando los componentes del sistema deben tener costes mínimos, compatibilidad internacional y una reducción en la complejidad del receptor que procesa las señales recibidas. En la tabla siguiente (I-1) se muestra una comparación de algunas propiedades de los enlaces no cableados vía radio y por infrarrojo:

Propiedad del medio	RF	Infrarrojo	Implicación para infrarrojo
Ancho de banda regulado	Sí	No	- No requiere licencia - Compatibilidad internacional
Atraviesa paredes	Sí	No	- Cobertura inferior - Mayor seguridad - Enlaces independientes en habitaciones diferentes
Dispersión multitrayecto	Sí	Sí	
Pérdidas por distancia	Elevadas	Elevadas	
Ruido dominante	Otros usuarios	Luz de fondo	Rango limitado
Representación de la señal de entrada $X(t)$	Amplitud	Potencia	Dificultad de operación en exteriores
La SNR es proporcional a	$\int X(t) ^2 dt$	$\int X(t) ^2 dt$	Necesidad de una alta potencia de transmisión
La potencia media es proporcional a	$\int X(t) ^2 dt$	$\int X(t) dt$	Elección de una forma de onda para $X(t)$ con una amplitud elevada

Tabla I - 1. Comparativa entre las comunicaciones vía RF y las de infrarrojo

1.1. El estándar IrDA

El consorcio IrDA (Infrared Data Association) se creó en junio de 1993 [1] para realizar una tecnología con unas determinadas características:

- Interoperabilidad
- Bajo coste
- Fácil manejo
- Para distancias cortas
- Desarrollo sobre el espectro infrarrojo
- Para comunicaciones inalámbricas

En esa reunión inaugural se reunieron más de 70 compañías y establecieron los requerimientos originales:

- El coste marginal al añadir infrarrojo a un producto ya diseñado debía estar por debajo de 5 dólares.
- La velocidad de transmisión iba a ser de hasta 115 Kb/s (1994).
- Distancia entre dispositivos desde el contacto (0 m) hasta, al menos, 1 metro.
- Cobertura angular definida por un ángulo de visión de 30-60 grados.

Conforme ha transcurrido el tiempo, el estándar ha sufrido diversas modificaciones [2] [3]: La primera fue en 1995, con la incorporación de tasas de datos de 1.152 Mb/s y 4 Mb/s, la segunda (1997) incluía una opción de bajo consumo de potencia para el uso de tecnología infrarroja en dispositivos como teléfonos móviles o PDAs (donde la fuente de energía es limitada) y la última (1998) permitía una velocidad de transmisión de 16 Mb/s.

Debido a las características mencionadas, sobre todo a la opción de tener una alta tasa de datos sobre componentes de bajo coste, su uso es muy interesante en entornos donde los sistemas de RF (Radio-Frequency)* no pueden ser empleados [2] (vuelos comerciales, zonas hospitalarias, etc.); lamentablemente, también posee algunos problemas que el estándar todavía no ha podido corregir:

- Es sensible a interferencias de banda estrecha
- Es detectable y no posee capacidades criptográficas.
- Tiene corto alcance y no es capaz de atravesar paredes.
- Posee dispersión multitrayecto.

1.2. Sistemas de espectro ensanchado

Un sistema de espectro ensanchado es aquel que genera una señal ensanchada, es decir, que el ancho de banda es mucho mayor del necesario para transmitir la información deseada; o lo que es lo mismo, un sistema SS puede tomar una señal de banda base (voz, por ejemplo) de pocos kHz y distribuirla en una banda de varios MHz [4].

Hay tres técnicas fundamentales [5]:

* Incluye las bandas de frecuencia conocidas como radiofrecuencia, microondas y ondas milimétricas.

- DSSS (*Direct Sequence Spread Spectrum*): Se modula una portadora con una secuencia de código digital cuya tasa de bit es mucho mayor que el ancho de banda de la señal de información.
- FHSS (*Frequency Hopping Spread Spectrum*): En este caso, se utiliza la secuencia de código para seleccionar, entre un conjunto de posibilidades, la frecuencia de la señal portadora.
- THSS (*Time Hopping Spread Spectrum*): Esta técnica implica un envío de los bits de datos espaciados a intervalos de tiempo aleatorios determinados por la señal de código.

En este proyecto se usará la técnica DSSS debido a su simplicidad frente a las otras.

¿Por qué suele emplearse el sistema de espectro ensanchado en multitud de sistemas de comunicaciones? Básicamente por las siguientes ventajas:

- Capacidad de direccionamiento selectivo.
- Multiplexación por división en el código para acceso múltiple (CDMA).
- Baja probabilidad de detección (pequeña densidad de potencia).
- Capacidades criptográficas
- Rechazo a interferencias de banda estrecha (antijam).
- Etc.

Por el contrario, el hecho de que use anchos de banda elevados puede suponer un inconveniente a la hora de fabricar el hardware; además, son necesarios sistemas de sincronización de altas prestaciones y, por tanto, de compleja implementación para evitar la aparición de bits erróneos en la medida de lo posible.

1.3. Las técnicas SS como mejora del IrDA

La dispersión multirrayecto y la interferencia de la iluminación son dos de los mayores problemas en los sistemas de comunicaciones infrarrojos en interiores. La

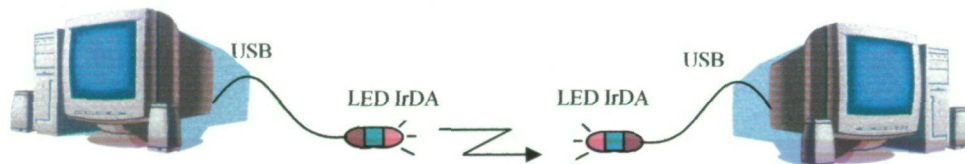
dispersión multitrayecto introduce interferencia entre símbolos (IES) en los datos transmitidos, mientras que la luz ambiente introduce interferencias de banda estrecha muy intensas sobre los esquemas típicos de modulación en banda base como OOK o PPM (usados por el estándar IrDA) [6].

Las técnicas de SS ofrecen una forma de onda de transmisión que explota las propiedades de una secuencia ensanchada para solucionar los multitrayectos en un canal IR sin tener que emplear soluciones complejas como pueden ser la ecualización o la utilización de esquemas de modulación y codificación con capacidad de detección y corrección de errores como han venido usándose hasta hoy en día.

2. Objetivos

El objetivo principal de este proyecto es el desarrollo de un circuito cuyas funciones son la conversión de la señal IrDA a una de espectro ensanchado y la transmisión y recepción de dicho tipo de señales.

Actualidad:



Tras realizar el proyecto:

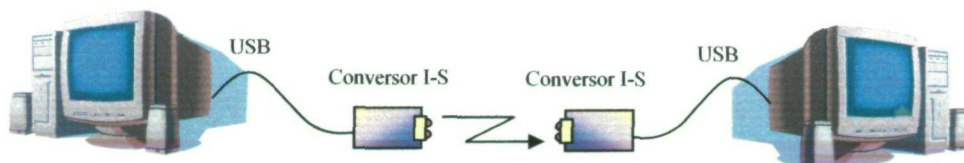


Figura I - 1. Objetivos del proyecto

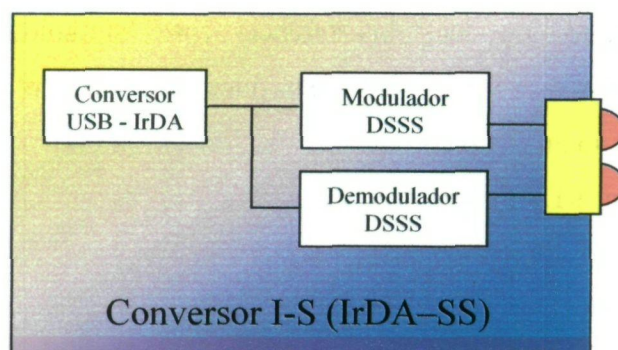


Figura I - 2 Detalle del conversor IrDA-DSSS

El objetivo principal lleva asociado, claramente, dos objetivos secundarios: uno previo y otro a realizar a posteriori:

- a) Estudio y justificación (mediante simulaciones en Matlab) del uso de la técnica DSSS para corregir los defectos del actual sistema de comunicaciones IrDA.
- b) Evaluación práctica del circuito realizado para obtener resultados comparativos entre el funcionamiento del sistema real e ideal.

3. Descripción del trabajo

En primer lugar, se desarrolla un estudio de los dos sistemas (espectro ensanchado e IrDA) para poder establecer, de forma teórica, la funcionalidad del sistema que se desea desarrollar.

A continuación, se realiza una tarea de simulación, en la que se genera el sistema *ideal* en un entorno Matlab, programa de reconocido prestigio en el campo de las señales. Además del sistema completo, se crean varios tipos de interferencias (ruido blanco, luz fluorescente, etc.) para intentar ajustar dicho esquema a la realidad y comprobar, así, si realmente supone una mejora sustancial sobre los sistemas infrarrojos comerciales que siguen el estándar IrDA.

Finalizada esa fase, se diseña el sistema completo, tanto el transmisor como el receptor, mediante programas de diseño electrónico (Maxplus para la programación de PLD's) y de creación de PCB's (Protel).

Tras el diseño, se lleva a cabo la implementación. En el capítulo VI se explica como, partiendo de unos conocimientos puramente teóricos se llega a la fabricación física de un hardware de comunicaciones útil y efectivo.

De nada serviría la implementación sin unas simulaciones posteriores, donde se analicen todas y cada una de las señales generadas en el circuito. Con ello se comprueba la funcionalidad del mismo y, a su vez, la relación existente entre los resultados reales comparados con los ideales que se generaron inicialmente.

4. Medios materiales

Los recursos materiales y técnicos que serán empleados para la realización del proyecto son los siguientes:

- Software:
 - Matlab
 - Protel
 - MAXPLUS
 - MS Word
 - MS Project

- Hardware:
 - 2 PC's de prestaciones medias.
 - Componentes electrónicos (circuitos integrados, PLDs, cables, tornillos, placas, condensadores, etc...).
 - Aparatos de medida (analizadores de espectro, osciloscopios, generadores de señal, etc...).

II. IrDA

1. Historia

Sir William Herschel

La historia de las comunicaciones infrarrojas comenzó a finales del siglo XVIII.

Sir William Herschel, observando que la luz tendía a producir calor, determinó que si el potencial de energía variaba entre las bandas de color en el espectro de luz visible, habría alguna forma de calcularlo. En el experimento usó un prisma para separar la luz solar en bandas coloreadas pudiendo así medir la temperatura de las mismas por separado. Sus resultados revelaron que, como él sospechaba, cada color poseía una temperatura concreta, siendo la menor la del extremo violeta y la mayor la de la banda roja. Por curiosidad, probó a medir la temperatura bajo el rango del color rojo y, para su sorpresa, descubrió que esta medida revelaba una temperatura mayor que cualquiera de las bandas del visible. Esto permitió a Sir William especular sobre la existencia de “rayos caloríficos” más allá del espectro de la luz visible. Estos “rayos” fueron rellamados, posteriormente, luz infrarroja [7].

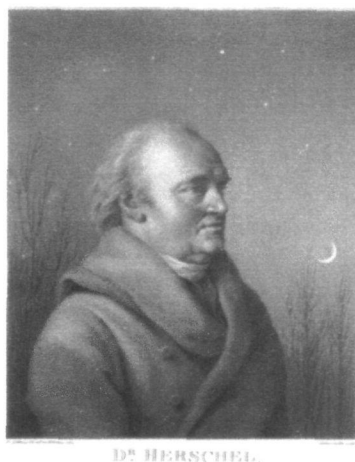


Figura II - 1. Sir William Herschel

Infrared Data Association

Los diodos emisores de luz (LEDs) infrarrojos empezaron a ser baratos a finales de los setenta, y fueron ubicados en los televisores durante varios años. A mediados de los ochenta, un cierto número de compañías empezaron a explorar la idea de usar luz infrarroja para el intercambio de información punto a punto. En 1987, investigadores de Hewlett-Packard [3] publicaron una descripción del uso potencial del intercambio de datos entre calculadoras e impresoras. Sus trabajos dieron como fruto la calculadora HP48, muy famosa en su género.

En el año 1990 otras compañías comenzaron a experimentar con transceptores infrarrojos y protocolos de intercambio de datos punto a punto para una gran variedad de propósitos, pero fue en 1993 cuando los representantes de 50 compañías se reunieron en California para crear, de forma oficial, la “Infrared Data Association” (conocida como IrDA), una asociación sin ánimo de lucro. Muchas de aquellas compañías ya habían estado trabajando durante algún tiempo en estándares para las capas físicas y de protocolos de bajo nivel para establecer comunicaciones de datos punto a punto sobre un enlace infrarrojo. De hecho, diversos productos de estas empresas ya habían salido al mercado con capacidad de transmisión por luz infrarroja.

El principal propósito de la IrDA fue proporcionar un foro para el debate y la estandarización de los transceptores infrarrojos así como las distintas especificaciones del protocolo.

Evolución de las especificaciones

Conforme fue avanzando el tiempo, IrDA decidió mejorar, poco a poco, los estándares que había lanzado inicialmente. En la siguiente tabla se muestra los hitos más importantes [7]:

ESPECIFICACIONES	FECHA
Capa física del infrarrojo serie (<i>Serial Infrared, SIR</i>)	09/1993
Protocolo de acceso al medio IrDA (<i>IrDA Link Access Protocol, IrLAP</i>)	06/1994
Protocolo de gestión del enlace IrDA (<i>IrDA Link Management Protocol, IrLMP</i>)	06/1994
Extensión del estándar de la capa física para infrarrojo rápido (<i>Fast Infrared, FIR</i>)	10/1995
Intercambio de imágenes digitales entre dispositivos como cámaras o impresoras (<i>Digital Imaging SIG</i>)	10/1996
Comunicaciones móviles infrarrojas (<i>IrDA Mobile Communications SIG, IrMC</i>)	01/1997
Aplicación a la industria del automóvil (<i>Automobile SIG</i>)	07/1997
Interoperabilidad entre PC's de sobremesa o portátiles y otros dispositivos (<i>Desktop SIG</i>)	10/1997
Estándares para la aplicación sobre relojes de muñeca (<i>IrDA WristWatch SIG, IrWW</i>)	10/1998
Estudio del intercambio de mensajes financieros para aplicaciones de apunta y paga (<i>IrDA Financial Messages SIG, IrFM</i>)	10/1999

Tabla II - 1. Evolución de las especificaciones IrDA

2. Conceptos básicos

2.1 Luz infrarroja

La luz infrarroja ocupa la pequeña región del espectro que va desde la zona inferior de la banda de color rojo (llamado infrarrojo cercano y con una longitud de onda entorno a 750 nm) hasta la zona que está por encima del rango de microondas (llamado infrarrojo lejano y con una longitud de onda de, aproximadamente, 1mm).

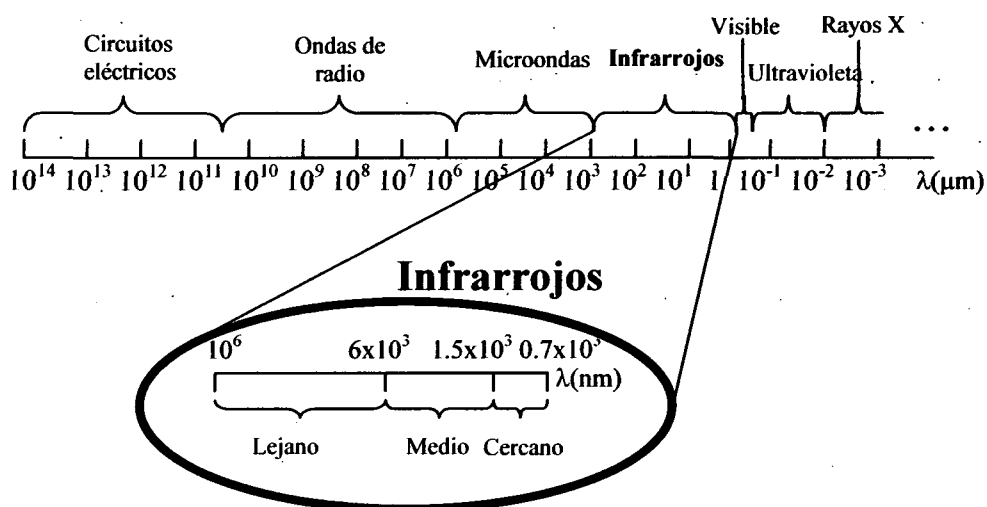


Figura II - 2. Espectro electromagnético

2.2 Acceso al medio

La transmisión infrarroja difiere de los sistemas RF en un campo muy importante. La transmisión RF codifica los datos incluidos en señales portadoras usando alguna técnica de modulación. El infrarrojo, por otro lado, utiliza un esquema de modulación de la intensidad muy simplista, en el cual, los patrones que se usan para codificar los datos son del tipo *on/off*. Los transmisores IrDA están diseñados para emitir energía infrarroja en una cierta longitud de onda (880 nm, alrededor de 264 THz); lógicamente, el receptor está diseñado para percibir energía en ese rango y convertirla en corriente eléctrica (e indirectamente en bits). Como consecuencia, el acceso al medio usado por IrDA es un poco más simple que los que usan los sistemas analógicos usados en RF.

Veamos los tres mecanismos de acceso al medio en que se puede desarrollar IrDA: Frecuencia, tiempo y espacio.

Frecuencia: Teóricamente, es posible diseñar receptores infrarrojos que sean sensibles a varias longitudes de onda, lo que supondría una sustancial mejora en las tasas de datos, o un aumento en la capacidad de localización y transmisión entre varios dispositivos pero, lamentablemente, supondría un precio excesivo. Dado el limitado rango de transmisión IrDA (aproximadamente 1 m), pagar ese precio extra es muy cuestionable.

La segunda revisión de la especificación física de IrDA definió que era el momento de crear un nuevo estándar llamado FIR (*Fast Infrared*), definiendo así las velocidades de 0.576 Mbps y 1.152 Mbps (aunque suelen denominarse, de forma no oficial, *MIR*, del inglés *Medium Infrared*). El esquema de este tipo de transmisiones sigue la misma política que los SIR. Poco tiempo después surgió la tasa de 4 Mbps, empleando modulación PPM (*Pulse Position Modulation*), que también se engloba en los sistemas FIR.

Llegó el momento en que se necesitó una mayor velocidad, sobretodo para transferir imágenes con varios megapíxeles (creadas con las cámaras digitales); surgió, pues, el sistema VFIR (*Very Fast Infrared*) que soporta 16 Mbps y emplea una forma de codificación *run-length*.

2.4 Consumo de potencia

Comparado a otros mecanismos de comunicación inalámbrica, IrDA consume muy poca potencia. En la tabla II-2 se demuestra que hay, al menos, un orden de magnitud de diferencia entre los consumos de IrDA y Bluetooth y otro orden de magnitud más entre Bluetooth y Wi-Fi. Esa diferencia se explica, fundamentalmente, por la diferencia entre la distancia que debe cubrir un sistema y otro. También se observa que para los transceptores de corta distancia Bluetooth (Clase 3), el consumo de potencia durante la transmisión es comparable al de los IrDA.

		Distancia	Consumo de potencia	Tasa máxima de datos
IrDA	Baja potencia	20 cm	60-120 mA	4 Mbps
	Normal	1 m	0.9-1.2 mA	16 Mbps
Bluetooth	Clase 3	1 m	0.3-1.2 mA	723 kbps
	Clase 2	10 m	75-100 mA	723 kbps
	Clase 1	100 m	220-350 mA	723 kbps
Wi-Fi	802.11b	100 m	480-700 mA	11 Mbps
	802.11a	100 m	500-600 mA	54 Mbps

Tabla II - 2. Comparativa entre los consumos de potencia de IrDA, Bluetooth y dispositivos WLAN

Tiempo: Actualmente, la arquitectura IrDA puede emplear conexiones punto a multipunto entre un dispositivo primario y hasta un máximo de 16 dispositivos secundarios. Aunque la Asociación nunca ha establecido un estándar para dicha comunicación, algunas compañías han producido sus propias implementaciones. El sistema funciona de la siguiente forma: en una conexión, el primario controla las ranuras de tiempo disponibles para cada secundario y da a cada uno de ellos la oportunidad de transmitir en ese tiempo determinado.

Espacio: IrDA fue diseñado para un rango de transmisión de un metro en un cono de $\pm 15^\circ$. La ventaja de estas restricciones es el poco consumo de potencia, pero tiene una gran desventaja: al haber una separación espacial entre los dispositivos IrDA y ser la percepción de infrarrojos dependiente de las condiciones de luz ambiental, el rango puede reducirse o aumentar dependiendo de las circunstancias. Además, como trabaja en el dominio óptico, si hay elementos que interfieran la trayectoria del haz, puede no sólo reducirse la distancia máxima, sino perderse la comunicación por completo.

Las razones básicas por las que la distancia se ha de reducir para que haya comunicación infrarroja son dos: Las condiciones ambientales (interferencias lumínicas) y el hecho de que muchas compañías hagan transceptores de baja potencia, lo cual limita la energía empleada en la transmisión de la señal (la especificación de la capa física define el rango de 20 cm como el máximo para una opción de baja potencia).

2.3 Tasa de datos

IrDA soporta un amplio abanico de tasas de datos, reflejo de una evolución constante del estándar de la capa física. La primera especificación definió las velocidades de transmisión acordes a las empleadas por las UART (*Universal Asynchronous Receiver/Transmitter*): 2.4 kbps, 9.6 kbps, 19.2 kbps, 38.4 kbps, 57.6 kbps y 115.2 kbps [1]. Estas tasas son referidas a las velocidades SIR (*Serial Infrared*, no como suele denominarse habitualmente, *Slow Infrared*). Estas tasas son suficientes para la mayor parte de las comunicaciones IrDA, particularmente aquellas en las que el volumen de datos es pequeño (intercambio de tarjetas de visita en los móviles, por ejemplo).

2.4 Protocolo

La “pila” (del inglés *stack*) de protocolos IrDA sigue una estructura similar a la del modelo OSI y, concretamente al TCP/IP.

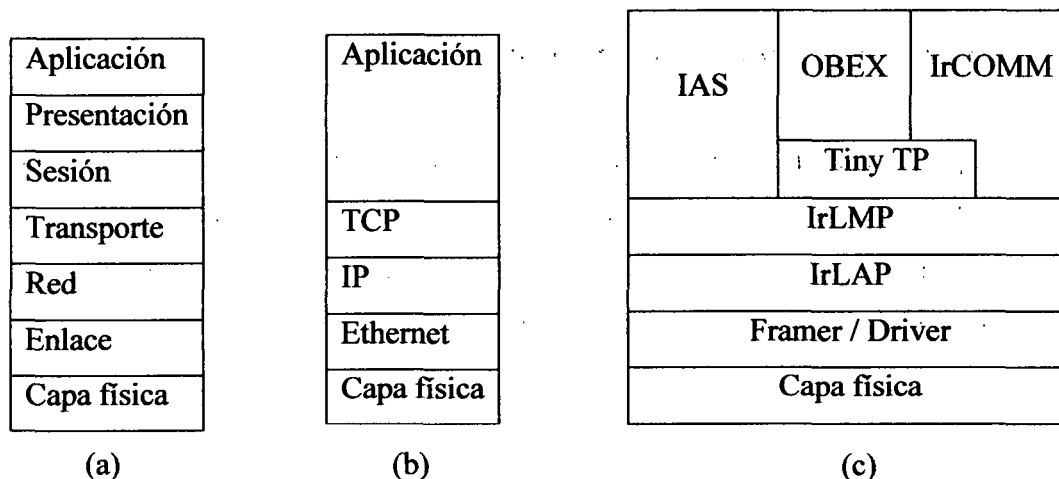


Figura II - 3. Pilas de protocolos de: (a) Modelo OSI, (b) TCP/IP y (c) IrDA

Básicamente se distinguen 6 capas de protocolo importantes (también denominadas del núcleo o “core”):

- **Capa física:** En ella se especifican las características de transmisión, incluyendo las propiedades ópticas y detalles de la codificación.
- **Framer/Driver:** Establece la forma de las tramas de los paquetes así como los requerimientos del driver en bajo nivel.
- **IrLAP (*IrDA Link Access Protocol*):** Gestiona la negociación, establecimiento y mantenimiento de un enlace de comunicación fiable.
- **IrLMP (*IrDA Link Management Protocol*):** Provee de un servicio de multiplexación sobre un enlace IrLAP.
- **Tiny TP:** Proporciona un control de flujo en las conexiones IrLMP con un servicio opcional de segmentación y reensamblado.
- **IAS (*Information Access Service*):** Facilita el encontrar servicios en los dispositivos remotos.

También se observan dos capas que, aunque son opcionales, dotan al sistema de un interesante conjunto de aplicaciones para la transferencia de información:

- **OBEX (Object EXchange):** Otorga servicios de intercambio de objetos de forma similar a como lo hace HTTP (*Hyper Text Transfer Protocol*).
- **IrCOMM:** Este protocolo de sesión proporciona emulación de puertos COM (serie y paralelo) para diversos dispositivos como módems e impresoras.

Si se quisiera ahondar en todos los protocolos existentes se necesitarían varios cientos de páginas, es por ello por lo que, en este proyecto, se centrará exclusivamente en la capa física ya que el objetivo es estudiar las posibles mejoras sólo a ese nivel.

3. La capa física

En este apartado se estudiará la naturaleza física de la señal infrarroja así como los transceptores ópticos que crean e interpretan esas señales.

3.1 Características ambientales

- **Punto a punto:** Como el haz IrDA es estrecho y directivo, las comunicaciones suelen ser punto a punto (*point-to-point*). La especificación IrLAP propone conexiones punto a multipunto, pero el diseño, originalmente, está optimizado para la transferencia de información entre dos dispositivos [7].
- **Half duplex:** Durante el tiempo en que un transceptor está enviando datos a un dispositivo remoto, parte de la energía del transmisor fluye hacia su propio receptor (ambos residen en la misma cavidad). Si el otro módulo transmitiera simultáneamente, el receptor podría no ser capaz de percibir su señal debido a la interferencia existente con su propio transmisor. Es por ello por lo que la comunicación siempre se realiza en forma *half duplex* y no *full duplex*.
- **Sin detección de colisión:** La mayor parte de los mecanismos de comunicación de datos inalámbricos y cableados emplean maneras de detectar y/o prevenir las

colisiones para posteriormente gestionarlas (por ejemplo CSMA/CD, *Carrier Sense Multiple Access / Collision Detect*, o CSMA/CA, *Carrier Sense Multiple Access / Collision Avoid*). El protocolo IrDA asume que el espacio inmediato utilizado por el haz infrarrojo está ocupado exclusivamente por el dispositivo primario y uno o varios secundarios y es el usuario el que, debido a la poca distancia existente entre los módulos, gestiona la aparición o no de interferencias por colisión.

3.2 Características del infrarrojo

IrDA emplea ondas infrarrojas en el rango de 880 nm en una distancia de aproximadamente un metro. La limitación de la distancia así como del ángulo que forma el cono de visión no son inherentes al infrarrojo, pero se tomaron así deliberadamente por lo siguiente: El ángulo limitado permite la utilización, por parte de múltiples dispositivos, de un mismo área para sus comunicaciones. Por otro lado, la limitación de distancia viene impuesta por el bajo consumo de potencia que se pretende tener en todos los dispositivos IrDA.

Un LED produce la señal infrarroja y un diodo PIN de silicio la detecta e interpreta. La naturaleza de estas señales infrarrojas está limitada por una serie de factores que definen la mínima y máxima intensidad de potencia, la forma de la señal, etc...

3.3 Transmitiendo un pulso

El mecanismo fundamental para enviar una señal infrarroja es la activación (estado *on*) o desactivación (estado *off*) del LED generando un pulso de energía infrarroja que puede ser detectado a una determinada distancia. Las características de este pulso deben estar en unos límites aceptables de intensidad, de tiempo en el que se alcanza la potencia máxima y del tiempo tarda en desconectarse. Especificar correctamente la naturaleza del pulso permite, entre otras cosas, desarrollar receptores que sean capaces de distinguir la señal transmitida del ruido ambiente.

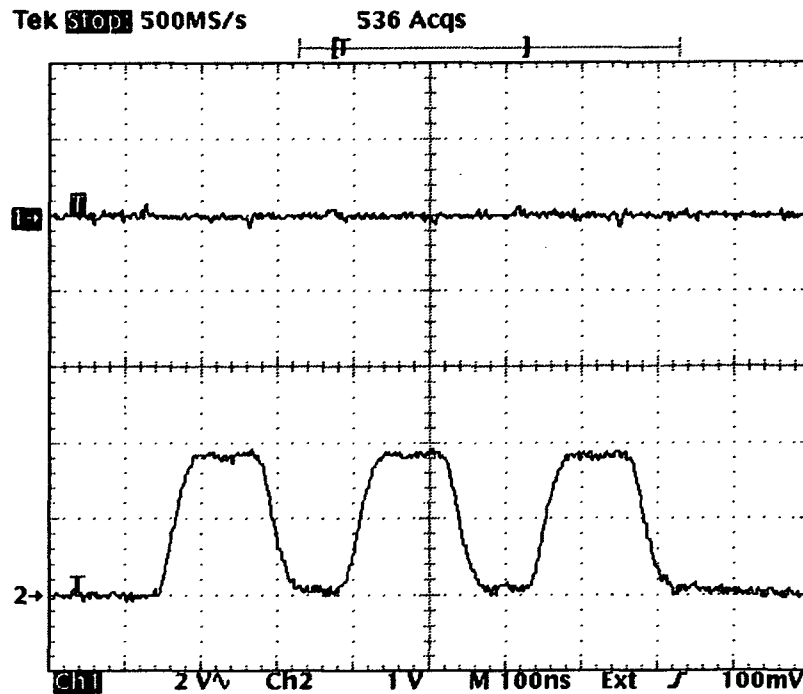


Figura II - 4. Forma de onda típica de los pulsos infrarrojos

3.4 Detectando un pulso

El receptor debe poseer algún sistema mediante el cual pueda detectar las variaciones de potencia de la señal ya que la localización relativa del transmisor puede cambiar en un momento dado.

Los receptores emplean un mecanismo de control de ganancia para permitir variar los niveles de irradiancia. Para cualquier receptor se necesita un periodo de tiempo finito para recuperarse de las condiciones de alta irradiancia. Durante la transmisión el receptor está apagado para evitar que se cuele la radiación de su propio emisor.

Aunque se habla, habitualmente, del haz infrarrojo como un cono, en la práctica no tiene esa forma precisamente. En la figura II-5 se observa una forma aproximada para el haz infrarrojo.

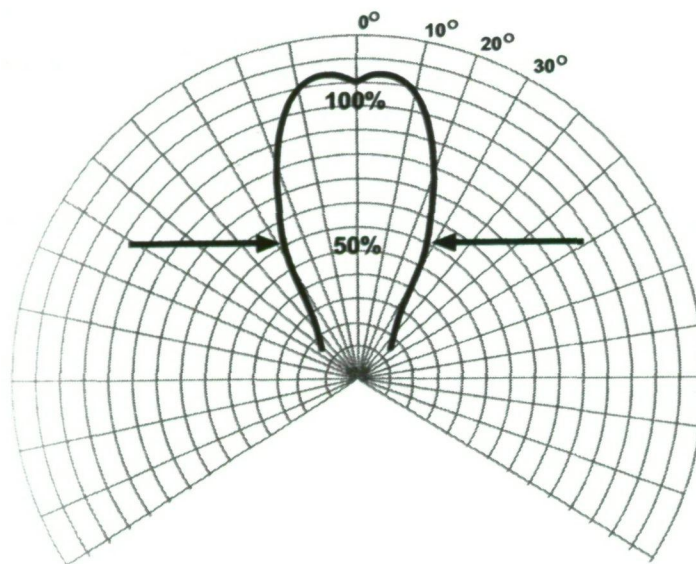


Figura II - 5. Forma del haz infrarrojo

3.5 Interferencias de otras fuentes lumínicas

Mientras los transceptores IrDA están diseñados para producir e interpretar pulsos de energía de una longitud específica, otras fuentes de energía pueden causar interferencias debido a los efectos que interactúan. Hay cuatro fuentes de energía interferentes básicas:

- Campos electromagnéticos
- Luz solar
- Luz incandescente
- Luz fluorescente

Para cada una de estas fuentes energéticas, IrDA especifica las condiciones de medida y los niveles mínimos para los cuales, los transceptores infrarrojos deben ser inmunes:

Interferencia	Valor máximo en el puerto óptico
Campo electromagnético	3 V/m
Luz solar	10 klux
Luz incandescente	1 klux
Luz fluorescente	1 klux

Tabla II - 3. Valores máximos de interferencias ambientales

Estos valores pueden entenderse mejor si se analizan ejemplos reales: por ejemplo, el campo electromagnético generado por un móvil (que trabaja en las bandas entre 700 MHz y 2.4 GHz) a una distancia de 20 cm puede ser de más de 50 V/m. En cuanto a los efectos lumínicos, la luz solar en verano puede ser de 100 klux (en invierno de 1.5 klux) y la luz incandescente de una bombilla de 60 W puede generar 3 klux a una distancia de 30 cm. Un tubo fluorescente de 20 W genera 1 klux a la misma distancia que la anterior.

3.6 Restricciones del enlace

Las restricciones más comunes aplicables a todos los componentes físicos IrDA son las siguientes:

- **Bit Error Ratio (BER):** No puede ser peor de 10^{-8} . Esto significa que bajo unas condiciones lumínicas normales, y a menos de un metro de distancia, la conexión IrDA no puede perder más de un bit de cada 100.000.000. Esto hace de IrDA un sistema muy fiable (basta compararlo con Bluetooth, donde la BER máxima es 10^{-3}).
- **Ángulo medio:** El ancho del cono IrDA está descrito en términos de ángulo medio desde el eje óptico. Es fácil conceptualizar el eje óptico como la línea recta que procede directamente desde el centro de un transmisor IrDA y perpendicular al plástico o superficie del mismo. El mínimo valor aceptable es 15° y el máximo 30° , o lo que es lo mismo, el cono infrarrojo puede variar entre 30° y 60° de ancho.

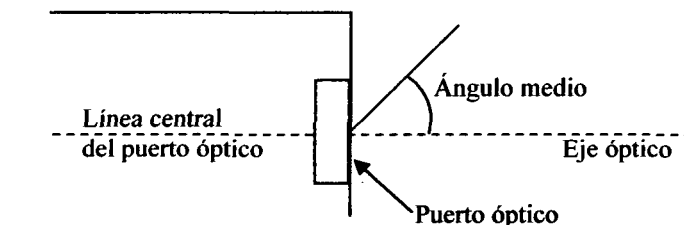


Figura II - 6. Ángulo medio

- **Nivel de potencia:** Como las señales son transmitidas mediante pulsos de radiación infrarroja, debe haber una cierta restricción de niveles de potencia para la transmisión y recepción. Estos valores son medidos en términos de potencia por unidad de ángulo sólido, o lo que es lo mismo, la cantidad de potencia distribuida sobre el cono infrarrojo (las unidades suelen ser miliwatios por esterorradián).

3.7 Restricciones de los transmisores

- **Longitud de onda de pico:** La longitud de onda óptima para las señales infrarrojas es de 880 nm. La menor es 850 y la mayor 900 nm.
- **Intensidad máxima:** Si un LED transmite con una intensidad excesiva puede provocar daños en el equipo. La máxima intensidad de la señal está limitada a 500 mW/sr.
- **Intensidad mínima:** Si un LED no transmite bastante potencia, puede ser que el receptor no sea capaz de captar la señal.
- **Overshoot óptico:** Los pulsos ópticos, en su tramo de subida, tienden a pasarse del valor de potencia estacionario del pulso (100 %). El máximo permitido es un 25 % por encima de dicho valor (ver figura II-7).
- **Jitter del flanco:** El jitter es la posición del flanco del pulso relativo a donde se espera que esté. La definición del jitter depende del sistema de codificación.

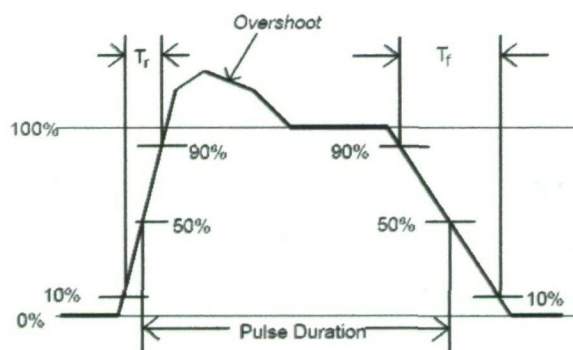


Figura II - 7. Overshoot del pulso

Propiedad	Tasas de datos	Potencia	Mínimo	Máximo
Longitud de onda de pico (nm)	Todas	Ambas	0.85	0.90
Intensidad máxima (mW/sr)	Todas	Estándar	-	500
Intensidad máxima (mW/sr)	Todas	Baja potencia	-	500
Intensidad máxima (mW/sr)	SIR	Estándar	40	-
Intensidad máxima (mW/sr)	SIR	Baja potencia	3.6	-
Intensidad máxima (mW/sr)	MIR, FIR, VFIR	Estándar	100	-
Intensidad máxima (mW/sr)	MIR, FIR, VFIR	Baja potencia	9	-
Ángulo medio (grados)	Todas	Ambas	15	30
Tiempos de subida y bajada (ns)	SIR	Ambas	-	600

Tiempos de subida y bajada (ns)	MIR, FIR	Estándar	-	40
Tiempos de subida y bajada (ns)	VFIR	Ambas	-	19
Overshoot óptico (%)	Todas	Ambas	-	25
Jitter del flanco (% de la duración del pulso)	SIR	Ambas	-	± 6.5
Jitter del flanco (% de la duración del bit)	MIR	Ambas	-	± 2.9
Jitter del flanco (% de la duración del chip)	FIR	Ambas	-	± 4.0
Jitter del flanco (% de la duración del chip)	VFIR	Estándar	-	± 4.0

Tabla II - 4. Restricciones de los transmisores

3.8 Restricciones de los receptores

- **Irradiancia máxima:** Un receptor IrDA debe ser capaz de aceptar una señal transmitida en el máximo nivel de intensidad y en la menor distancia del enlace sin distorsión del pulso (de esta manera se genera la máxima irradiancia posible).
- **Irradiancia mínima:** Al contrario que en el caso anterior, también debe ser capaz de detectar una señal transmitida con la menor intensidad pero en la mayor distancia posible (menor irradiancia posible).
- **Latencia permitida:** Una vez el transceptor para la transmisión, hay un tiempo máximo permitido en el que el receptor debe estar listo para percibir una nueva señal del dispositivo remoto.

Propiedad	Tasas de datos	Potencia	Mínimo	Máximo
Irradiancia máxima (mW/cm ²)	Todas	Ambas	-	500
Irradiancia mínima (μW/cm ²)	SIR	Baja potencia	9.0	-
Irradiancia mínima (μW/cm ²)	SIR	Estándar	4.0	-
Irradiancia mínima (μW/cm ²)	MIR, FIR, VFIR	Baja potencia	22.5	-
Irradiancia mínima (μW/cm ²)	MIR, FIR, VFIR	Estándar	10.0	-
Ángulo medio (grados)	Todas	Ambas	15	-
Latencia permitida (ms)	SIR, MIR, FIR	Estándar	-	10
Latencia permitida (ms)	SIR, MIR, FIR	Baja potencia	-	0.5
Latencia permitida (ms)	VFIR	Ambas	-	0.10

Tabla II - 5. Restricciones de los receptores

3.9 Características de los sistemas de codificación

En este punto se comentarán los atributos que caracterizan a cada uno de los sistemas de codificación:

SIR

- **Tasas de datos:** SIR posee las siguientes tasas: 2.4 kbps, 9.6 kbps, 19.2 kbps, 38.4 kbps, 57.6 kbps, y 115.2 kbps. Estas velocidades son las soportadas por el estándar UART 16550. El esquema que siguen este tipo de módulos IrDA se puede observar en la siguiente figura [3]:

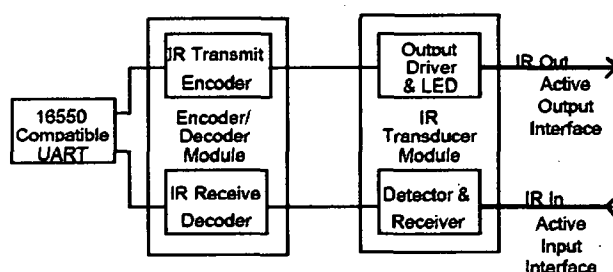


Figura II - 8. Esquema de un puerto de entrada/salida IrDA para velocidades SIR

- **Modulación de la señal:** La codificación empleada en las velocidades SIR es la RZI (*Return to Zero Inverted*). Básicamente, su funcionamiento consiste en invertir los bits de datos (es decir, un 0 genera un pulso y un 1 no), generar una señal que dura 3/16 del tiempo de bit y por último, añadir un bit de Start (0) y otro de Stop (1) a los ocho bits de datos.

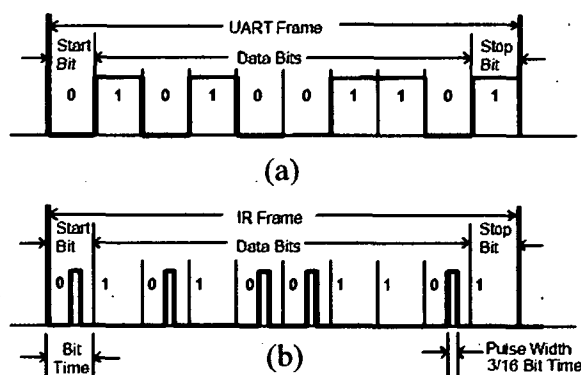


Figura II - 9. Tramas de tipo: (a) UART y (b) IrDA tipo SIR

MIR

- **Tasas de datos:** En esta modalidad de funcionamiento, las velocidades son de 0.576 Mbps y 1.152 Mbps. Como el puerto serie UART no permite tasas de transferencia por encima de 115.2 kbps, es necesario un controlador que genere las tramas a velocidades superiores. El esquema que sigue un puerto de entrada/salida IrDA de estas características está representado en la figura II-10.
- **Modulación de la señal:** El método de codificación para las velocidades MIR es similar al de las SIR, excepto en que los anchos de pulso son de 1/4 del tiempo de bit en vez de 3/16.

FIR

- **Tasas de datos:** La velocidad FIR es única: 4 Mbps. Esta es la opción más popular en el uso de portátiles y otros dispositivos de alta velocidad. Al igual que en el caso de los sistemas MIR, debe haber un controlador capaz de generar tramas a esta velocidad, pues la UART no lo permite (ver figura II-10).
- **Modulación de la señal:** El esquema para FIR es un poco diferente de los anteriores. Para empezar, el ancho del pulso es de 125 ns (un orden de magnitud inferior al de la velocidad más alta MIR, 1.6 μ s). Esto supone que el LED conmuta de estado *on* a *off* más rápidamente permitiendo alcanzar mayores tasas de datos. Como producir un receptor de bajo coste capaz de distinguir los flancos de subida y bajada de los pulsos de energía no es algo trivial, se diseña una modulación denominada PPM (*Pulse Position Modulation*). La unidad básica del PPM es el símbolo de datos (suele abreviarse como *DD*), el cual está compuesto de múltiples ranuras de tiempo (denominadas *Chips**) en las que los bits de datos son codificados. El sistema consiste, básicamente, en enviar un pulso en uno de los chips del símbolo mientras los otros permanecen en estado *off*. De ahí que la posición del pulso sea un método de codificación. En 4-PPM, el símbolo de datos lo componen 4 chips y como sólo en uno de ellos se transmite el pulso, es posible codificar dos bits de datos por símbolo. La siguiente tabla define las cuatro posibles tramas:

* No han de confundirse con los "Chips" empleados en las técnicas de espectro ensanchado (secuencias de bits generadas a la frecuencia de la señal de código).

Par de bits de datos (DBP)	Símbolo de datos 4-PPM (DD)
00	1000
01	0100
10	0010
11	0001

Tabla II - 6. Patrones de chips FIR

El tiempo de transmisión de cada chip es de 125 ns, o lo que es lo mismo, 500 ns por símbolo. En la práctica, la modulación FIR permite transmitir 2 Msímbolos/segundo, 8 Mchips/segundo y 4 Mbits/segundo.

La modulación 4-PPM tiene dos objetivos básicos: El primero es limitar el número de pulsos que pueden aparecer al lado de otros (facilitando así el diseño de los receptores ópticos). El segundo es limitar el ciclo de trabajo al 25 % reduciendo el consumo de potencia.

VFIR

- **Tasas de datos:** El sistema VFIR posee una única velocidad de transmisión: 16 Mbps. También es necesario el uso de un controlador (ver figura II-10). Esta tasa de datos es la más rápida en la actualidad*.
- **Modulación de la señal:** VFIR usa una tasa de chip que es tres veces superior a la FIR (24 Mchips/segundo) para alcanzar una velocidad 4 veces mayor. El sistema a emplear para la modulación es muy complejo ya que está basado en una serie de patrones que siguen la codificación *run-length* HHH(1,13).

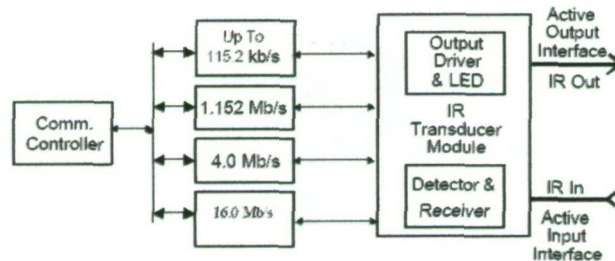


Figura II - 10. Esquema de un puerto de entrada/salida IrDA para velocidades MIR, FIR y VFIR

* Ya se está trabajando en el UFIR, un sistema que permitirá dotar a IrDA de velocidades de 100 Mbps hasta 500 Mbps.

También la posición relativa del transceptor a la ventana es muy importante. En primer lugar, el transceptor necesita estar situado en un lugar en el que la ventana permita al menos un ángulo medio visible de 15° fuera del dispositivo y, por otro lado, necesita ser montado correctamente durante la fabricación puesto que cualquier desplazamiento podría provocar una deformación del haz.

4. Conclusiones

Al comienzo de este capítulo se comentó la historia del estándar IrDA y cómo un grupo de fabricantes idearon este estándar con el objetivo de conseguir dispositivos de bajo coste, bajo consumo y una velocidad elevada. En el segundo apartado se analizaron las características de mayor relevancia que poseen los sistemas IrDA actuales, desde qué es la luz infrarroja hasta las capas que componen el protocolo completo pasando por una comparativa con el sistema Bluetooth, principal competidor de este estándar. Debido a que este proyecto se centra, fundamentalmente, en la mejora de la capa física, y no en las superiores, el tercer punto se centra en el estudio del nivel 1 del modelo OSI: cómo se transmite y recibe un pulso, qué es la directividad, cómo es el diagrama de radiación típico de un IRED o, incluso, un análisis de todos y cada uno de los modos de transmisión IrDA (SIR, MIR, FIR y VFIR).

III. Espectro ensanchado

1. Historia

Los sistemas de espectro ensanchado, también conocidos por su nombre anglosajón *Spread Spectrum* (SS), comenzaron su desarrollo durante la Segunda Guerra Mundial, dentro del campo de las comunicaciones militares y de los sistemas de guiado de armas (torpedos, misiles, ...). Estos sistemas ofrecían interesantes características para ese tipo de aplicaciones, como eran el rechazo a las interferencias o la alta resolución en la medida de distancias.

A mediados de la década de los cuarenta (1946-47), se realizó un sistema denominado WHYN (*Wobblated HYperbolic Navigation*) cuya misión consistía en guiar misiles con un alcance de 500 a 1500 millas a partir de la medida de distancias llevadas a cabo por tres estaciones terrenas. En los laboratorios "Bayside", donde se desarrollaba tal proyecto, se dieron cuenta de que el sistema debía ser capaz de rechazar interferencias, tanto intencionadas como las propias del canal HF (ruido atmosférico, multipropagación, etc...). El resultado de las investigaciones obtuvo como conclusión que se debía expandir el ancho de banda de la señal a transmitir si se deseaba mejorar el sistema para que presentase mayor precisión en la medida y que poseyera capacidad AJ (AntiJam); la señal idónea como portadora podía ser el ruido existente a baja frecuencia pero, lamentablemente, no se había desarrollado la tecnología lo suficiente como para generar un receptor capaz de trabajar con dicho ruido [8].

En los posteriores años, se fue descubriendo la forma de implementar el mencionado sistema de comunicación mediante la generación de una señal digital capaz de emular al ruido blanco. Shannon fue el primero que unificó las diversas ideas que existían sobre los requerimientos de un sistema SS (portadora impredecible, detección por correlación, etc.). A partir de sus investigaciones, Shannon y dos amigos (Nathan Marchand y Louis deRosa) desarrollaron un sistema de SS de largo alcance, el ARC-50;

éste fue el primer sistema que podía ser instalado en los aviones. Realizaba una recepción completamente coherente (incluyendo el seguimiento de la portadora) y tenía la capacidad de transmisión de voz. Más adelante se desarrolló el sistema BLADES (creado por Madison Nicholson y James Green), considerado como el primer sistema funcional del tipo FHSS (*Frequency Hopping Spread Spectrum*) para la implementación de dicha técnica, la táctica consistía en cambiar la frecuencia de la señal portadora forzando a la interferente a realizar una búsqueda del ancho de banda correcto para interferir la comunicación. El cambio de frecuencia de manera automática era posible en algunos casos, sin embargo, se impulsó el desarrollo de estos sistemas SS al encontrarse el problema tecnológico de tener que disponer en el receptor una frecuencia de referencia que variara en perfecto sincronismo con la del transmisor.

Como anécdota puede decirse que el FHSS, aunque fue desarrollado por Nicholson y Green, la primera patente relacionada con el espectro ensanchado y, más concretamente, con la idea de salto de frecuencia fue creada en 1942 por una famosa actriz de Hollywood de origen austriaco, Hedy Lamarr (conocida por películas como *Sansón y Dalila*, *Fruto Dorado*, *La vida es así*, ...) y un pianista llamado George Antheil [www2].



Figura III - 1. Hedy Lamarr y George Antheil

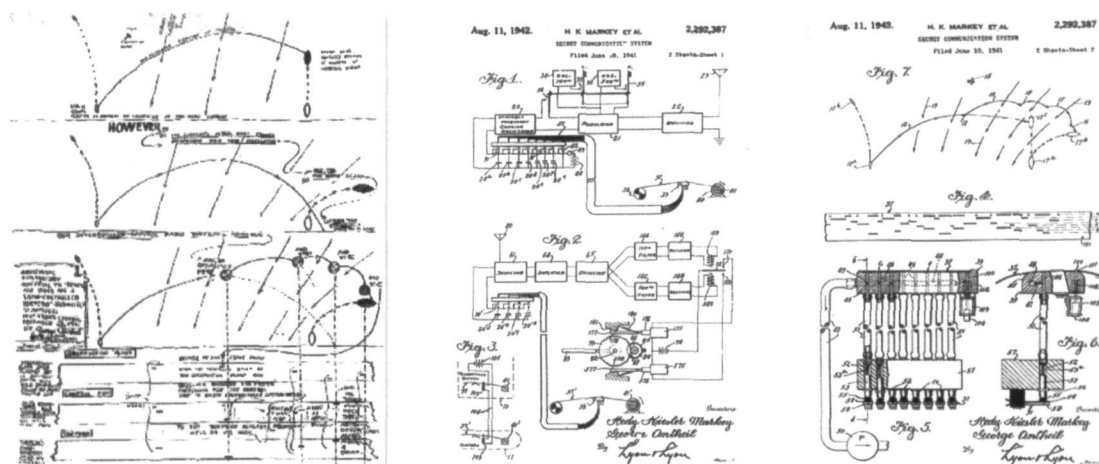


Figura III - 2. Imágenes de la patente creada por Lammar y Antheil

¿Cómo una actriz puede llegar a desarrollar esta teoría? Hedy Lammar estuvo casada con un magnate dedicado a la fabricación de armamento (Friedrich A. Mandl) y supo de los problemas que tenía para lograr un sistema eficiente de guiado de misiles. A partir de ahí, desarrolló un esquema de control en el cual la frecuencia de la señal portadora cambiaría a saltos de acuerdo con un código no repetitivo, aleatorio y preordenado.

Hasta los años 80, todos los descubrimientos relacionados con el espectro ensanchado se habían mantenido en secreto y no se había pensado en éste para fines comerciales, sino puramente militares. El primer uso importante que se le dio a la técnica de espectro ensanchado en ese momento fue en “Ecuatorial Communications of Mountain View” (California, EEUU), donde usaron DSSS para comunicaciones de acceso múltiple en transbordadores síncronos de satélites.

En la actualidad la mayor parte de las investigaciones sobre sistemas SS se centran en los posibles usos comerciales que puedan tener (GPS por ejemplo), el modo en que pueden mejorar las prestaciones de otros sistemas (como es el caso de este proyecto) o en cómo facilitar la coexistencia de varias señales en el mismo espacio físico.

2. Conceptos básicos

Se puede considerar a las modulaciones de SS como la aplicación del concepto general de diversidad, utilizado para distinguir dos emisiones independientes. El uso de frecuencias portadoras diferentes, instantes de tiempo de emisión no simultáneos o señales con fases en cuadratura, son casos particulares de señales ortogonales. Los sistemas de espectro ensanchado usan otro tipo de señales ortogonales, denominadas códigos, que permiten distinguir distintas comunicaciones, aunque éstas coincidan en frecuencia, tiempo o fase [5].

A diferencia de otras técnicas de modulación, que buscan optimizar el ancho de banda ocupado por la señal, los sistemas de espectro ensanchado presentan mejores características cuanto mayor es el ancho de banda utilizado. Un sistema se dice que es de espectro ensanchado cuando cumple que [9]:

- La señal ocupa un ancho de banda muy superior al mínimo necesario para enviar la información.
- El ensanche espectral se realiza mediante una señal de gran ancho de banda, denominada señal de código, y que debe ser independiente de la señal de información.
- La recepción de la señal de datos se lleva a cabo a través de un proceso de desensanche, mediante la correlación de la señal recibida con una réplica de la señal utilizada en el proceso de ensanche.

La base de los sistemas de SS está en la ecuación de la capacidad de un canal propuesta por Shannon:

$$C = W \ln \left(1 + \frac{S}{N} \right) \quad [\text{III.1}]$$

Donde C es la capacidad del canal, W es el ancho de banda y S/N es la relación señal a ruido. Esta ecuación puede simplificarse, para valores pequeños de la relación señal a ruido ($S/N \leq 0,1$), a la siguiente [4]:

$$W = \frac{NC}{1,44S} \quad [\text{III.2}]$$

Con ella se hace patente que es posible variar la capacidad de un canal (máxima velocidad de transmisión de datos sin errores), modificando el ancho de banda o la S/N. Generalmente el ancho de banda de un canal es un valor fijo y la expresión [III.2] se utiliza para calcular la máxima S/N admisible para que un canal de ancho de banda W permita una capacidad C . En los sistemas de espectro ensanchado sin embargo, se parte de la capacidad deseada y de la relación señal a ruido existente en el canal, para calcular el ancho de banda que asegure la correcta comunicación. Así por ejemplo, para transmitir 10 Mbps en un medio con una $S/N=0.01$ (-20 dB), se precisa un ancho de banda de

$$W = \frac{10 \times 10^6}{1.44 \cdot 0.01} = 694 \text{ MHz} \quad [\text{III.3}]$$

Los fundamentos de un sistema de espectro ensanchado se pueden resumir en los siguientes pasos:

1. Una señal de datos $x_D(t)$ es sometida a una operación $\xi(\)$ en el transmisor para obtener la señal ensanchada $x_{SS}(t)$.
2. En el receptor se aplica a la señal recibida la operación inversa, $\xi^{-1}(\)$, para obtener de nuevo la señal de información. En el caso de los sistemas SS, se tiene que $\xi(\) = \xi^{-1}(\)$, de tal manera que se cumple: $\xi(\xi^{-1}(x_D)) = x_D$, o lo que es lo mismo, el proceso de ensanche y desensanche se realiza de la misma manera.

3. Señales de código

La señal responsable de la dispersión espectral de la señal es uno de los elementos más importantes del sistema. Sus características influyen determinantemente en las propiedades del sistema de SS final.

La señal de código, como ya se ha comentado, debe tener carácter aleatorio. Si la señal fuese aleatoria pura, se obtendrían sistemas de espectro ensanchado con ciertas características ideales [5]:

- **Ensanche espectral con DEP uniformemente distribuida:** La señal ensanchada se obtiene distribuyendo la energía de la señal de datos en el nuevo ancho de banda. Sólo para el caso de códigos aleatorios, la señal ensanchada tiene el mismo nivel en todas sus componentes espectrales, es decir, también es una señal aleatoria pura. Se obtiene con ello una codificación de la señal indescifrable para cualquier intruso, ya que se confunde con una señal de ruido. Además, la distribución uniforme de energía evita que la perturbación, introducida por una señal interferente varíe en función de la zona del espectro donde se encuentre dicha interferencia.
- **Eliminación de la multipropagación:** Como se comentará más adelante, los fenómenos de multipropagación se pueden reducir en los sistemas de SS. Dicha reducción depende en gran medida del ancho de la función de autocorrelación de la señal de código. El ancho mínimo de esta función se obtiene con señales aleatorias puras (delta de Dirac).
- **Eliminación de la interferencia multiusuario:** La interferencia de otros usuarios con señales de espectro ensanchado presentes en el medio está en relación directa con la función de correlación cruzada de los códigos de los distintos usuarios. Si las señales de código son aleatorias puras, el resultado de la correlación cruzada es nula, lo que supone la no interferencia por parte del resto de señales en el medio.

3.1. Señales pseudoaleatorias

Ante la imposibilidad de generar señales aleatorias puras, se utilizan códigos que se aproximen a éstas, denominados secuencias pseudoaleatorias. Un código de este tipo es una señal determinista y periódica, lo que la aleja del concepto de señal aleatoria propiamente dicha. Sin embargo, cumple algunas otras propiedades asociadas a las señales

aleatorias, lo que puede hacerlas parecer señales aleatorias. Estas cualidades son, para el caso de señales binarias [9]:

- **Balance:** En un periodo de la señal, el número de unos y de ceros se diferencien como máximo en un dígito.
- **Recorrido:** Propiedad que exige que el número de secuencias de bits iguales consecutivos en un periodo, sea de la siguiente manera: la mitad de tramas sea de un solo bit; la cuarta parte de dos bits consecutivos, la octava parte de tres bits del mismo valor y así sucesivamente.
- **Autocorrelación:** Debe presentar una autocorrelación con, únicamente, dos niveles posibles, como se verá más adelante.

3.2. Generación de pseudocódigos

La forma más extendida de generar las señales pseudoaleatorias es mediante el uso de registros de desplazamiento realimentados. Estas técnicas son de fácil implementación y presentan diversas variantes o familias de códigos con diferentes características. El esquema de un generador de este tipo de secuencias podría ser el siguiente:

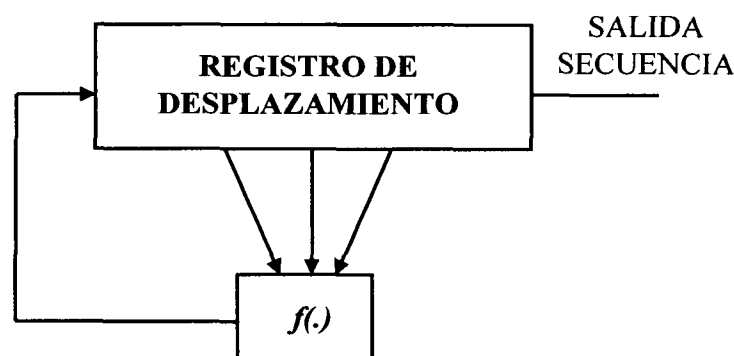


Figura III - 3. Generador de secuencias pseudoaleatorias

Consiste en un registro de desplazamiento, donde las salidas de sus etapas (algunas o todas, según el caso) son introducidas en una función lógica, cuya salida se realimenta a

la entrada del registro. Como resultado se obtienen secuencias de bits (denominadas *Chips*) generadas a la frecuencia de reloj del registro de desplazamiento.

La realimentación es la encargada de mantener activo el generador, en caso contrario, llegaría un momento donde todos los registros estuviesen a cero y la salida no cambiaría de valor. La realimentación más común es la puerta XOR que tiene como entradas los valores de algunos de los elementos del registro.

Un registro con r elementos, tiene 2^r posibles estados, por lo que habrá una repetición de valores dentro de los siguientes $2^r + 1$ estados. Así pues, la periodicidad de los códigos generados con registros de desplazamiento realimentados es $p \leq 2^r$, ahora bien, como debemos desechar el valor de todos los elementos a cero, pues con la XOR provocaría un valor fijo nulo, no se tienen 2^r estados, sino $2^r - 1$, por lo que el periodo de una secuencia de este tipo es $p \leq 2^r - 1$.

Un subconjunto de los códigos generados con registros de desplazamiento son los de máxima longitud (*Maximal Length Sequences, MLS*); los cuales, para un registro de r elementos producen secuencias con el periodo anteriormente mencionado ($p \leq 2^r - 1$), que es el mayor posible para este tipo de códigos. Estas secuencias sólo se dan para determinadas realimentaciones con puertas XOR. Los códigos MLS cumplen con las condiciones de aleatoriedad comentadas anteriormente:

- Contienen un cero más que el número de unos, con lo que se ajusta a la propiedad del balance.
- Posee todos los números binarios de tamaño r (excepto el cero). Por tanto contiene series de unos y ceros consecutivos de la forma estipulada en la propiedad de recorrido.
- Tiene una autocorrelación con dos valores bien diferenciados como se verá a continuación.

3.3. Autocorrelación de secuencias pseudoaleatorias

Para los códigos pseudoaleatorios, el cálculo de su autocorrelación o correlación cruzada se realiza comparando las dos secuencias empleadas *chip a chip*, y calculando la resta entre las coincidencias y no coincidencias [10]. Es por tanto una operación discreta que, en el caso de la autocorrelación, cumple la ecuación siguiente:

$$R_{xx}[\tau] = \frac{1}{L} \sum_{k=1}^L x[k]x[k-\tau] \quad \text{[III.4]}$$

Donde L es el periodo del código pseudosaleatorio y denota claramente que no se trata de señales aleatorias puras, por el hecho de ser periódicas.

En el caso de los códigos MLS se puede comprobar, además, que gracias a la distribución que presentan de sus valores (50% en grupos de un solo bit, 25% en grupos de dos bits iguales, 12,5% en grupos de tres bits iguales, ...), para cualquier valor de τ distinto de 0 el número de *chips* que coinciden menos el número de los que no coinciden es siempre -1 [4], por tanto:

$$R_{xx}[\tau] = -\frac{1}{L} \quad \tau \neq 0 \quad \text{[III-5]}$$

Para el caso de $\tau = 0$ se obtienen L coincidencias (todas), pues no hay desplazamiento entre ambas secuencias y por tanto, la autocorrelación tiene un valor igual a 1. De esta forma se puede calcular el valor de la autocorrelación de un código MLS con la siguiente expresión:

$$R_{xx}[\tau] = \begin{cases} -\frac{1}{L} & \tau \neq 0 \\ 1 & \tau = 0 \end{cases} \quad \text{[III-6]}$$

Estos valores de R_{xx} se repiten de forma periódica con un ciclo igual al periodo de los códigos, es decir L. A mayor periodo, más se aproxima R_{xx} a la autocorrelación de una secuencia aleatoria pura, donde sólo aparece un impulso con valor 1 (delta de Dirac). La

siguiente figura (III-4) representa el aspecto de una función de autocorrelación de un código pseudoaleatorio MLS.

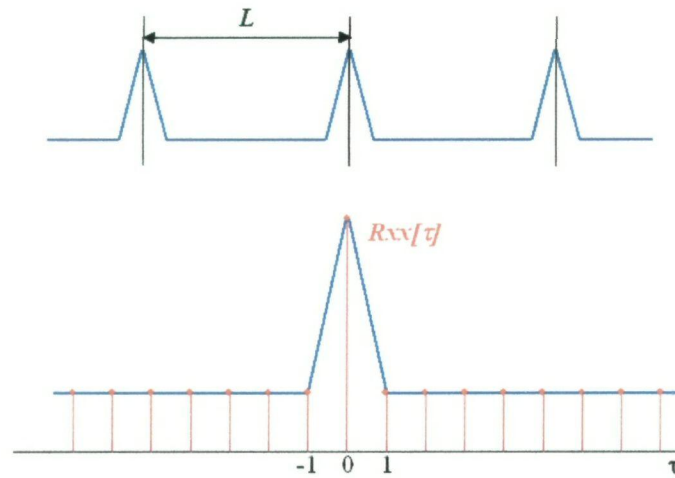


Figura III - 4. Autocorrelación discreta de códigos MLS

3.4. Ganancia de proceso

La señal ensanchada presenta una mejora de su S/N en un factor igual a la relación entre las dimensiones de espacio ensanchado y no ensanchado que se denomina *Ganancia de Proceso* (G_p) y que es uno de los parámetros principales de un sistema de espectro ensanchado. Otro dato a tener en cuenta es que esta ganancia de proceso es independiente de cómo sea la señal interferente [4], luego:

$$\left(\frac{S}{N}\right)_{SS} = \left(\frac{S}{N}\right) \cdot G_p \quad [\text{III-7}]$$

La ganancia de proceso puede definirse como:

$$G_p = \frac{BW_{RF}}{R_{info}} \quad [\text{III-8}]$$

Siendo BW_{RF} el ancho de banda usado para transmitir la señal de espectro ensanchado y R_{info} la tasa de los datos en banda base.

Una medida más realista de la mejora que puede ofrecer un sistema de espectro ensanchado es el *margen de interferencia*, que tiene en cuenta las pérdidas internas del sistema y la S/N necesaria en la señal de salida del receptor para que la señal sea adecuada al resto de circuitos de la cadena receptora [8].

$$M_J = Gp - \left[L_{sis} + \left(\frac{S}{N} \right)_{OUT} \right] \quad \text{[III-9]}$$

Donde L_{sis} son las pérdidas introducidas en el sistema y $\left(\frac{S}{N} \right)_{OUT}$ es la relación señal a ruido requerida a la salida del receptor.

4. Propiedades

4.1. Respuesta a las interferencias

Dos de las principales fuentes de perturbación en un sistema de comunicación son el ruido blanco y las interferencias.

El ruido blanco gaussiano aditivo (*Additive White Gaussian Noise*, AWGN) se modela mediante una señal con una densidad espectral de potencia de ancho de banda infinito y de nivel N_0 . A la hora de evaluar la perturbación que introduce el ruido en una señal, solamente se tiene en cuenta la energía de ruido de aquellas componentes de frecuencia en las que la señal tiene distribuida su energía (o más exactamente, en el ancho de banda del filtro del canal del sistema receptor).

Según lo anterior, los sistemas de espectro ensanchado no introducen ninguna mejora frente al ruido blanco. De nada sirve cambiar aleatoriamente de unas coordenadas a otras del espacio de señal ensanchado puesto que en todas ellas está presente el ruido blanco con la misma intensidad [9].

No ocurre lo mismo con las interferencias de potencia finita. Si la interferencia está ubicada permanentemente en una zona del espectro, o lo que es lo mismo, en una coordenada del espacio de señal, solamente influirá en aquellas componentes que coincidan con las usadas por la señal. Como en los sistemas de SS las componentes de la señal cambian con el tiempo, la interferencia influye más en unos momentos que en otros (no siempre con la misma intensidad, como ocurría en los sistemas clásicos), por lo que se mejora la relación señal a ruido del sistema. Otra posibilidad es que la interferencia aumente también su dimensionalidad para ocupar todas las coordenadas del espacio ensanchado, en tal caso la energía de la interferencia se ve reducida en una proporción igual a la que exista entre el ancho de banda original de la interferencia y el ancho de banda de la señal ensanchada. Por tanto, también se reduce la influencia de la perturbación en el sistema.

Partiendo de la idea, como se vio anteriormente, de utilizar una misma operación para ensanchar y para desensanchar, puede comprobarse, de forma teórica, el efecto de una interferencia sobre el sistema:

$$\begin{aligned} r(t) &= x_{ss}(t) + J(t) = \xi(x_D(t)) + J(t) \\ y(t) &= \xi(r(t)) = \xi[\xi(x_D(t))] + \xi(J(t)) = x_D(t) + J_{ss}(t) \end{aligned} \quad [\text{III-10}]$$

Con lo que se obtiene la señal de datos más la señal interferente ensanchada. Tras este proceso se filtra la señal resultante en un ancho de banda igual al de los datos, de manera que se reduce la interferencia a un valor residual J_r .

4.2. Respuesta a la multipropagación

El fenómeno de la multipropagación se produce cuando una señal puede llegar al receptor a través de trayectorias distintas, con retardos diferentes. Esto ocasiona un ensanchamiento en los datos recibidos, lo que produce interferencia entre símbolos en el receptor, que reduce la velocidad máxima de transmisión del sistema.

En el tratamiento de este tipo de perturbaciones por parte de los sistemas de SS, juega un papel fundamental la función de correlación de la señal de código utilizada por el sistema. Para una correcta recuperación de la señal de datos es necesaria una sincronización exacta entre la señal de código en el receptor y la utilizada en el transmisor. Con ello se consigue que la salida del correlador tenga su nivel máximo, pues coincide con el valor máximo de la correlación de los códigos pseudoaleatorios estudiados. A medida que aumenta el desfase entre códigos, la salida del correlador disminuye su amplitud, de acuerdo a la pendiente de la curva de la señal de autocorrelación y cuando el retardo es superior a un tiempo de *chip*, la amplitud del sistema se hace prácticamente nula.

Esta propiedad, que implica una complicación en la circuitería para asegurar la sincronización, supone una ventaja a la hora de tratar con la multipropagación. Una señal que llega por una trayectoria más larga que la principal, a la que se sincroniza el sistema, tiene un retardo respecto a la señal de código local. Por lo tanto, el resultado de su correlación estará afectado por un valor inferior al de la componente principal, con lo que su aportación a la señal recibida es atenuada en el receptor, hasta el punto de ser eliminada si el retardo es mayor que T_c .

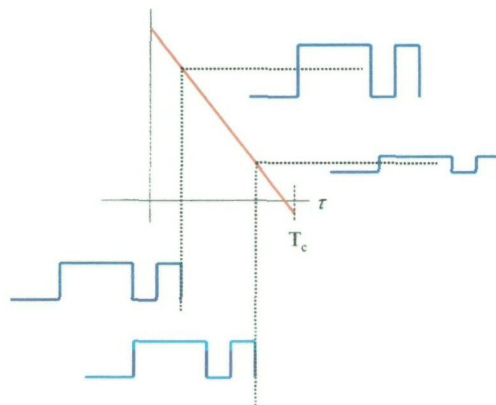


Figura III - 5. Reducción de la multipropagación en sistemas SS

4.3. CDMA

Los sistemas de espectro ensanchado introducen un nuevo método de compartición del medio por varios usuarios, denominado Acceso Múltiple por División en el Código (*Code Division Multiple Access, CDMA*). Esta técnica permite a dos señales de

comunicación distintas compartir el mismo medio de forma simultánea y a la misma frecuencia, para ello es necesario que las distintas comunicaciones de espectro ensanchado utilicen códigos de ensanche diferentes (u ortogonales).

Esto difiere de otras técnicas de acceso al medio clásicas, en la que las señales están separadas por su situación en distintas zonas del espectro (FDMA) o en distintos instantes de tiempo (TDMA).

En los sistemas de SS, como en los demás, influye de forma determinante la señal de código utilizada en el sistema. Para que varias señales de espectro ensanchado puedan hacer uso del CDMA, es preciso que éstas tengan unas correlaciones cruzadas entre sí lo más pequeñas posible. De esta forma, cada uno de los receptores obtendrá su señal de datos correspondiente con nitidez y eliminará aquellas componentes debidas a las otras señales. En los sistemas de SS, cada señal está modulada con una señal de código distinta y es esa señal de código la que determina las propiedades de correlación cruzada entre las señales moduladas.

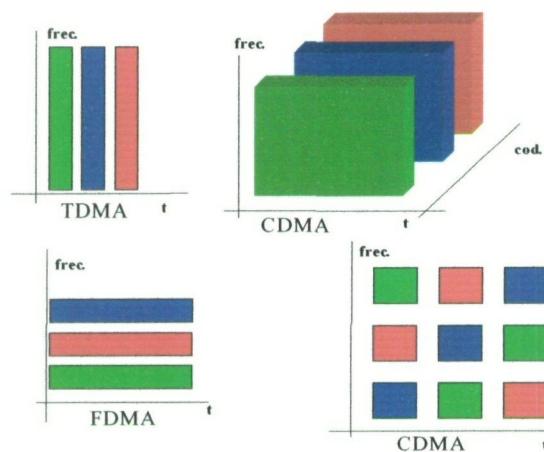


Figura III - 6. Esquemas de acceso al medio

Si las señales de ensanche fuesen, teóricamente, aleatorias puras, la correlación entre ellas sería nula y un receptor sólo recibiría señales moduladas por el mismo código utilizado en recepción. En el caso real, los códigos de ensanche tienen correlaciones cruzadas no nulas con lo que las señales de los demás canales producen interferencias en la señal demodulada. Es lo que se conoce como interferencia por acceso múltiple (*Multiple Access Interference, MAI*).

4.4. Reducción de la densidad espectral de potencia

Como se pudo ver en el proceso de ensanche de la señal de datos, el resultado es una señal de mucho mayor ancho de banda donde se distribuye la energía de la señal original. De esta forma se disminuye el nivel de la DEP.

Si el ancho de banda es lo suficientemente elevado, la reducción de la DEP es tal que la señal se hace muy difícil de detectar. Incluso cabe la posibilidad de que los niveles de señal estén por debajo del nivel de ruido presente en el canal, con lo que la señal se hace imperceptible para otros sistemas; sin embargo, gracias a la ganancia de proceso, la señal puede ser recuperada por el receptor.

Esta propiedad tiene aplicaciones en el campo militar donde son muy deseadas las transmisiones de baja probabilidad de detección (*Low Probability of Detection, LPD*), y además, cuentan con una baja probabilidad de localización del punto de emisión. En el campo comercial también es útil esta característica pues permite establecer enlaces sobre segmentos de frecuencias ya ocupados por otros sistemas, sin perturbarlos de ninguna manera.

5. Tipos de sistemas

Existen distintas posibilidades de conseguir el aumento en las dimensiones de la señal que se diferencian en la forma en que se utiliza la señal de código. En este punto se describen los sistemas principales:

- **Espectro ensanchado por secuencia directa** (*Direct Sequence Spread Spectrum, DSSS*): Se basa en multiplicar la señal de datos por una secuencia de código (concretamente se trata de multiplicar si son datos bipolares o realizar la función digital XOR si son unipolares).
- **Espectro ensanchado por salto de frecuencia** (*Frequency Hopping Spread Spectrum, FHSS*): En este sistema, se utiliza la señal de código para seleccionar una

frecuencia de señal portadora entre un conjunto de posibilidades. De esta forma, el ancho de banda de la señal se amplía al conjunto de las nuevas portadoras y la señal de datos es transportada por una banda distinta cada cambio de frecuencia. Hay dos posibilidades: *Fast FHSS* y *Slow FHSS*; ambas dependen de si el cambio de portadora se realiza varias veces en un periodo de bit o si el tiempo entre cambios de portadora permite transmitir varios bits, respectivamente.

- **Sistema híbrido DS/FH:** Esta técnica es una combinación de secuencia directa con salto de frecuencia. Un bit de datos se divide en varios canales de salto de frecuencia (portadoras) y en cada una de ellas, dicha señal se multiplica por un código pseudoaleatorio completo.
- **Espectro ensanchado por salto temporal (*Time Hopping Spread Spectrum, THSS*):** En este método los bits de datos son reducidos en su duración y son enviados a intervalos aleatorios determinados por la señal de código.

6. DSSS

En este apartado se pasarán a comentar los puntos más importantes que caracterizan a la modulación DSSS que se va a emplear en este proyecto.

6.1 Generación y demodulación de la señal ensanchada

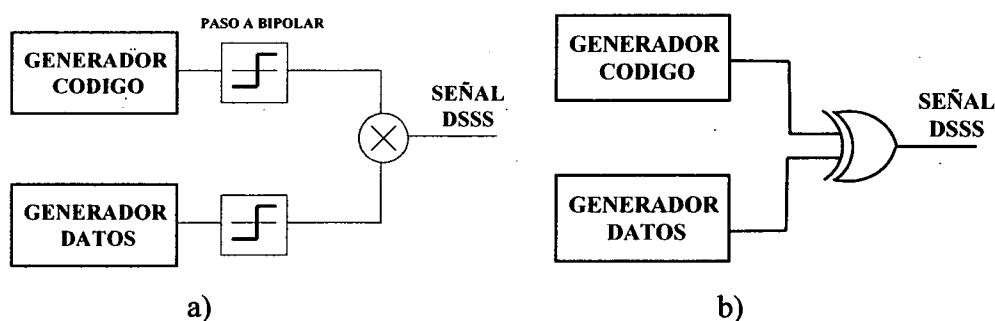


Figura III - 7. Circuitos moduladores DSSS. (a) Con multiplicador. (b) Con XOR

En el caso de la figura III-7(a), la modulación se realiza con un multiplicador analógico, de manera que la señal ensanchada se genera mediante una modulación BPSK de la señal de código, por parte de los datos. Esto requiere que tanto la señal de datos como de código tengan valores bipolares (± 1); así la secuencia de códigos cambia de polaridad en función de la señal de datos en cada instante de tiempo.

Las señales que intervienen en la modulación DSSS son secuencias digitales: el código es generado por un registro de desplazamiento (por lo general implementado con dispositivos lógicos) y la señal de datos es una secuencia de bits a transmitir. Es posible aprovechar esta característica para obtener la señal ensanchada con un circuito como el mostrado en III-7(b). En éste, el producto se sustituye por una operación lógica XOR, de forma que los *chips* del código se mantienen en su nivel lógico o cambian al nivel opuesto, en función del valor del bit de datos presente en cada momento.

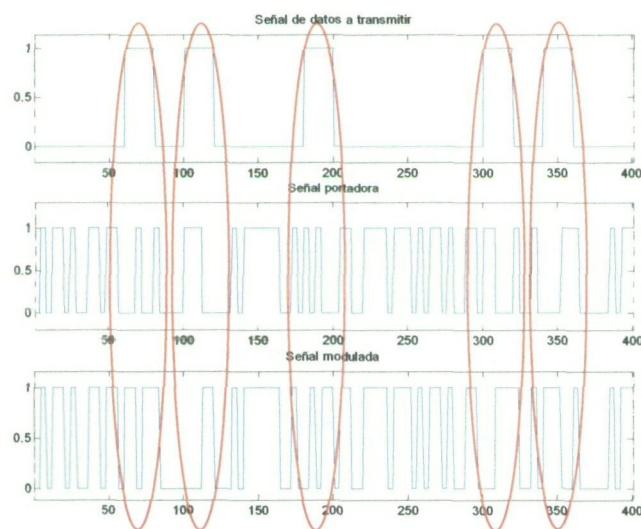


Figura III - 8. Ejemplo de una señal modulada con BPSK

Para obtener la señal de datos a partir de la señal recibida hay que multiplicar la señal recibida por el código local del receptor y su integración en el intervalo de bit de datos. El proceso de multiplicación se realiza de la misma forma que en la figura III-8(a), donde en lugar de la señal de códigos se introduce la señal recibida, y la integración se lleva a cabo mediante un filtro paso-bajo del ancho de banda de los datos.

6.2 Sincronismo

El proceso más complicado y el que determina las mejores o peores prestaciones del sistema, es aquel que se encarga de asegurar que la señal de código local generada en el receptor está en fase con la señal utilizada en el transmisor. Esta característica es imprescindible en los sistemas de espectro ensanchado, pues como ya se ha comentado, la recuperación de la señal de datos se debe realizar con una réplica exacta de la señal de código utilizada para el ensanche en el transmisor; lo que supone: igual generador de código, frecuencia de reloj y misma fase en ambos generadores.

Esta tarea recibe el nombre de sincronización y por lo general se descompone en dos partes una consecutiva de la otra [11]:

- Adquisición o sincronización *gruesa*: compara la señal recibida con la generada localmente y determina en qué momento su desfase está dentro de unos márgenes, para entonces activar la siguiente etapa.
- Seguimiento o sincronización *fin*a: realiza un ajuste de la fase y frecuencia de la señal de código local para que coincida, con el mínimo error posible, con la del código en transmisión. Para ello se vale de variaciones de la frecuencia del reloj del generador de códigos local.

Como herramienta fundamental para ambos procesos se utiliza la correlación de las señales local y recibida, que ofrece una medida del grado de sincronización entre ambas señales. La función de autocorrelación de un código es mayor cuanto menor es el desfase entre dos realizaciones del mismo código (apartado 3.3). Si aplicamos este razonamiento a las señales local y recibida, se deduce que su correlación dará como resultado la señal de datos con mayor o menor nivel en función del desfase entre ellas (el mismo razonamiento se utilizó para demostrar la efectividad de los sistemas de espectro ensanchado frente a interferencias).

En el cálculo de la correlación se utilizan circuitos del tipo de la figura III-9, que dan a su salida un nivel de tensión directamente proporcional a la correlación de las dos señales a la entrada.

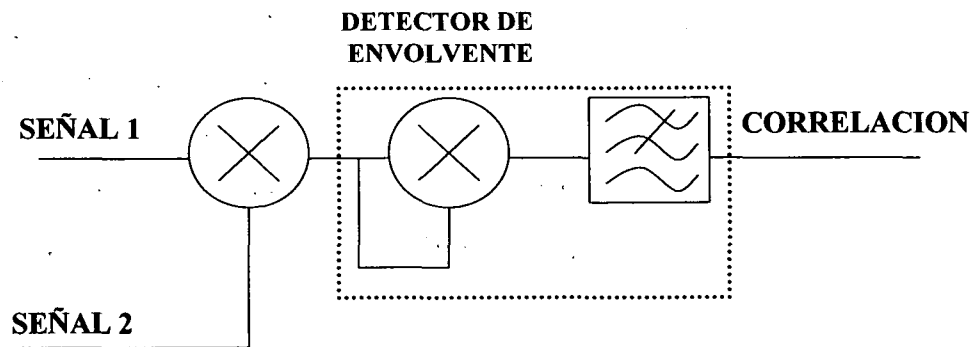


Figura III - 9. Circuito correlador

Adquisición

Para la sincronización se parte de la suposición de que las frecuencias de los códigos de transmisión y recepción difieren muy poco entre sí, de tal forma que es posible considerarlas iguales en una primera aproximación (aunque luego se realice un ajuste más preciso).

Supuesto lo anterior (frecuencias iguales), la forma más sencilla de comprobar qué fase tiene una señal es correlarla con réplicas de ésta a todas las fases posibles que pueda tener dicha señal. Esta técnica se denomina adquisición por máxima probabilidad [10] y utiliza un circuito como el de la figura III-10. Consta de varios correladores en los que se introducen, por un lado la señal recibida y por otro, replicas del código local con diferentes retardos. Aquel correlador que dé el mayor nivel a su salida será el correspondiente al desfase menor entre las señales a su entrada y determina la fase del código local con la que se inicie el proceso de seguimiento. Como se puede comprobar requiere varios correladores lo que encarece el circuito, pero su respuesta es la más rápida.

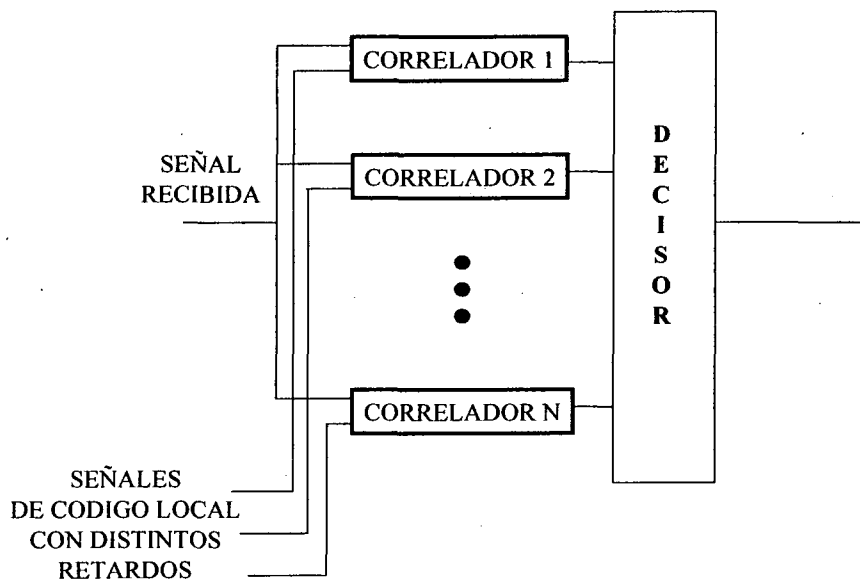


Figura III - 10. Adquisición por máxima probabilidad

El caso opuesto es aquel en el que sólo se utiliza un correlador, al que se le va introduciendo la señal de código local con diferentes retardos, como se representa en la figura III-11 y que se conoce con el nombre de adquisición serie [9]. La fase de la señal de código más cercana a la de la señal recibida se detecta cuando la salida del correlador sobrepasa un umbral. Esta técnica es más económica y sencilla, aunque presenta dificultades cuando se trabaja con códigos muy largos.

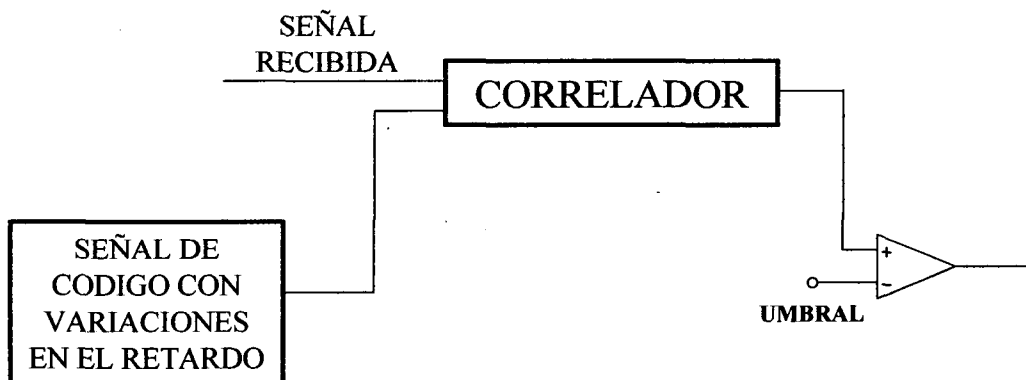


Figura III - 11. Adquisición serie

Seguimiento

Una vez se tienen las señales recibida y de código local con un desfase moderado, que es lo que consigue la adquisición, se procede al ajuste preciso, tanto de la fase como de la frecuencia de la señal de código local, para que las dos señales estén perfectamente sincronizadas. En este proceso de nuevo se hace uso de la función de autocorrelación de los códigos pseudoaleatorios, y de la relación entre su amplitud y el desfase entre las dos señales.

El proceso de adquisición detecta el momento en el que el desfase es lo más próximo posible a cero y el valor de salida de un correlador con las señales recibida y local da como resultado un valor cercano al máximo. La variación de la fase entre las señales produce una variación en el nivel del correlador, de acuerdo a la función de autocorrelación con lo que sería posible detectar esa variación de fase y actuar para compensarla.

Un Posible ejemplo de receptor con etapa de adquisición y seguimiento podría ser el mostrado en la figura III-12 [11].

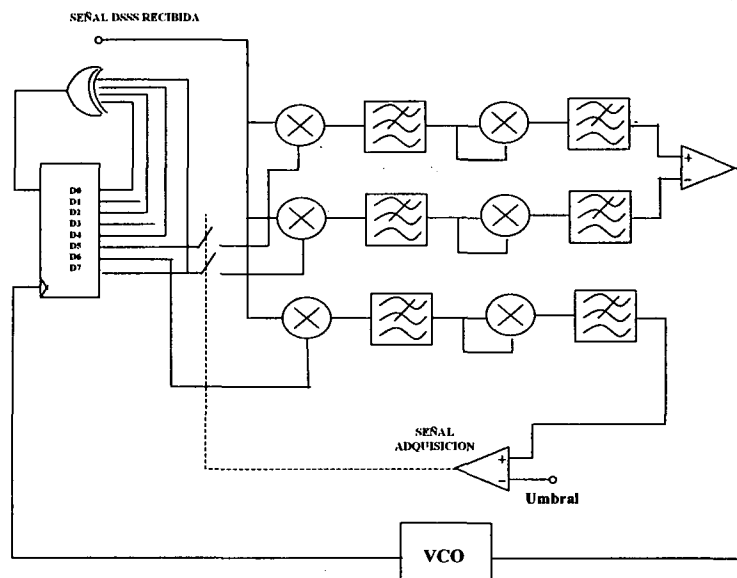


Figura III - 12. Diagrama de bloques del receptor

7. Sistema de sincronismo basado en un piloto

Como se ha visto en el apartado anterior, la complejidad y coste de la realización de un circuito que se sincronice a partir de la señal recibida es notable. En este proyecto se ha incluido una propuesta de piloto realizada por el Dr. J. A. Rabadán [11]. Dicho sistema consiste en la incorporación de una señal piloto al sistema. De esa forma, los nuevos dispositivos de comunicación se adaptan mejor a las aplicaciones de bajo coste y aseguran una comunicación más robusta, a partir de la nueva referencia.

La introducción de una señal piloto en el sistema supone una importante simplificación en la circuitería de sincronización, al realizar el enganche de los códigos partiendo de una referencia específica para ello y no de la señal modulada recibida. La principal desventaja de estos sistemas es su vulnerabilidad, puesto que cualquier interferencia sobre la señal piloto impediría el correcto funcionamiento del sistema, al privarle de una correcta referencia de sincronización. Esta debilidad no podía ser tolerada en las primeras aplicaciones de los sistemas de SS, como en el caso de las transmisiones militares, donde robustez e invulnerabilidad eran las premisas a seguir. Sin embargo, en ambientes menos hostiles y mejor controlados, como los espacios interiores de los que se ocupa este estudio, es admisible el mantener ciertas señales libres de interferencias. Y más aún para el caso de comunicaciones IR, que están libres de interferencias provenientes del exterior [2]. Este sistema permitiría la realización, por ejemplo, de una red de dispositivos multimedia. Mediante un nodo central en una habitación, se podría enviar el piloto de tal forma que todos los dispositivos a su alcance estuvieran sincronizados. Un ejemplo de ello puede verse en la siguiente figura:

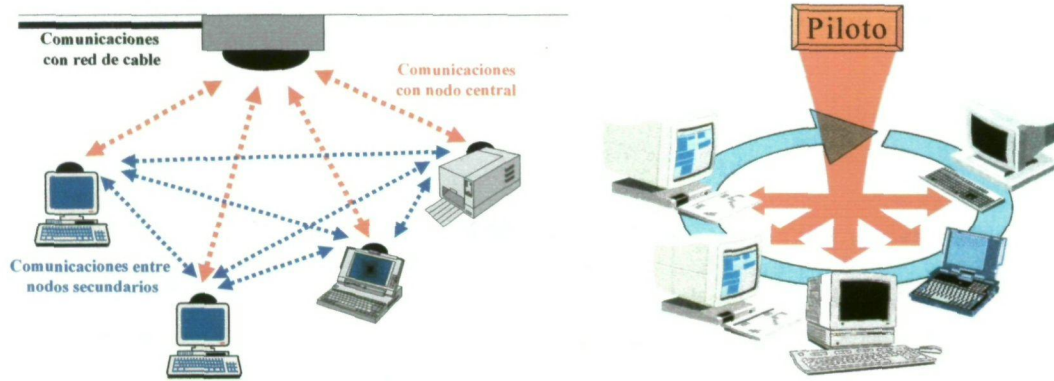


Figura III - 13. Topología de una red empleando el piloto de sincronismo

Existen diferentes posibilidades para la señal de sincronismo. La más sencilla consiste en la transmisión de la señal de reloj de generación de código del emisor principal, o bien en una portadora senoidal a dicha frecuencia.

Con una señal de sincronismo como alguna de las anteriores, es posible recuperar correctamente la frecuencia de generación de código, pues no son más que réplicas de la señal de reloj del código utilizado en transmisión. Sin embargo, queda todavía una variable por determinar: la fase del código generado. En otras palabras, se ha obtenido la velocidad de generación del código, pero también se necesita conocer en qué posición de la secuencia pseudoaleatoria debe empezar a generarse el código local, para que la secuencia generada coincida en sus valores instantáneos con el código utilizado en transmisión. De esta forma, gracias a la señal de referencia, es posible simplificar ostensiblemente el proceso de seguimiento, pero sigue siendo necesario un proceso de adquisición que realice el enganche en fase de la señal de código en el receptor. En la siguiente figura (III-14) puede verse la señal piloto que será implementada en este proyecto.

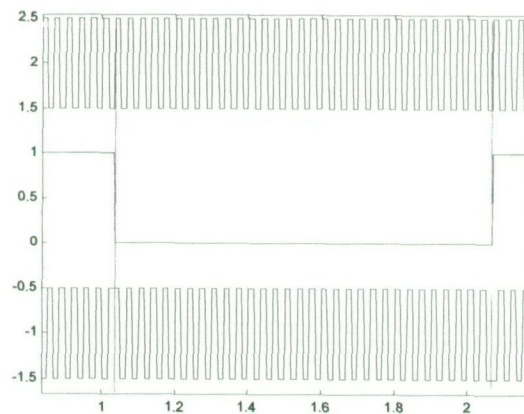


Figura III - 14. Señal de reloj (arriba), de duración de código (centro) y señal piloto final (abajo)

Una forma muy sencilla de generar la señal piloto es la mostrada en la figura III-15.

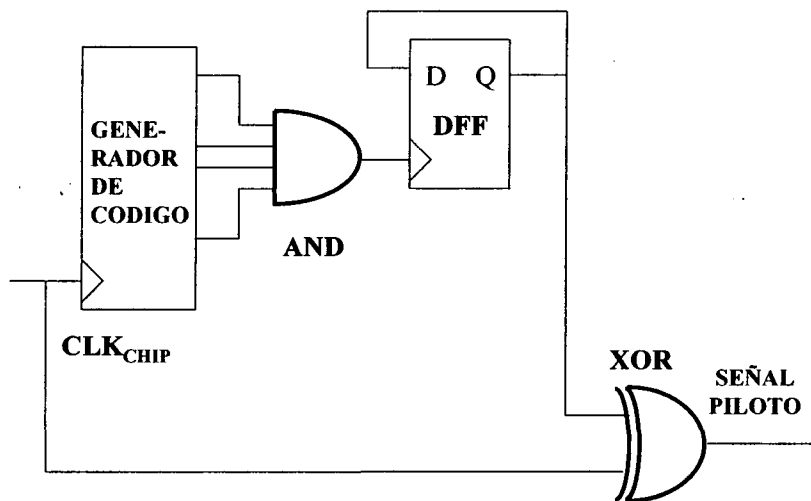


Figura III - 15. Posible circuito generador del piloto

En primer lugar, se selecciona el estado inicial del generador de códigos como aquel en el que todos los registros están a “1”. Este estado es fácil de detectar con una simple función lógica AND de las salidas de todos los registros, que da como resultado un pulso a 1 cuando se da ese caso. A continuación, se introduce la señal obtenida anteriormente en la entrada de reloj de un flip-flop tipo D. De esta manera, se consigue una señal cuadrada, que denominaremos de periodo de código como la de la figura III-16.

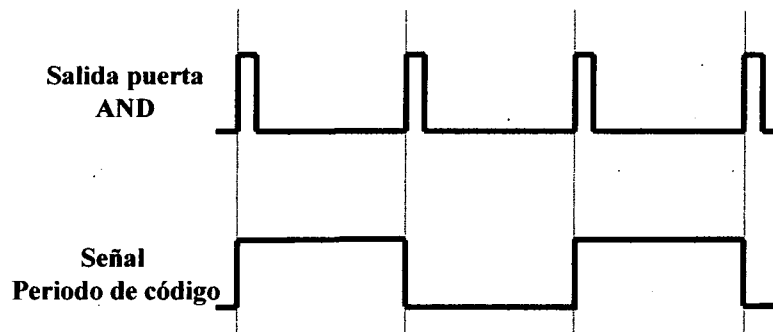


Figura III - 16. Salida de la puerta AND y señal de periodo de código

Como se puede observar, la señal cuadrada obtenida, presenta unos semiperiodos (a nivel alto y a nivel bajo), cuya duración es igual al intervalo entre dos pulsos de salida de la puerta AND; o lo que es lo mismo al tiempo entre dos ocurrencias del estado de todos los registros a “1”; es decir, un periodo de la señal pseudoaleatoria de código. Esta señal de pasa a través de una puerta XOR junto con la señal de reloj de *chip*, con lo que se obtiene

una señal cuadrada a la frecuencia de *chip* modulada en BPSK por la señal de periodo de código, que coincide con la mostrada en la figura III-14.

En el receptor, será necesario extraer las dos señales antes mencionadas (reloj y periodo de código) de la señal piloto presente en el sistema. Para ello es necesario: por una parte, recuperar la portadora, que coincide con la frecuencia del reloj de *chip*; y por otra, demodular la señal BPSK y obtener la señal de periodo de código para su posterior procesado. La figura III-17 muestra el circuito recuperador de sincronismo en el que se ahondará en el capítulo de diseño (V).

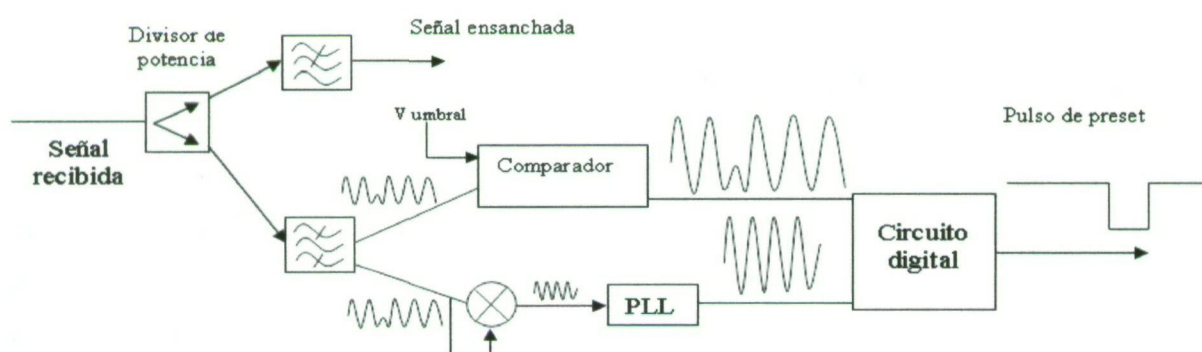


Figura III - 17. Esquema del circuito recuperador de sincronismo

Para la recuperación de portadora, se utiliza un recuperador clásico de elevador a la enésima potencia (2 en este caso) con PLL, que obtiene una señal al doble de frecuencia de portadora. En el circuito digital se añadirá el biestable, para dividir por dos esta señal y obtener la señal de reloj de código. Además, con esta señal de reloj, se puede demodular el piloto para extraer la señal de periodo de código. A partir del pulso de preset conseguido, se sincroniza la generación de código del receptor.

De esta forma, cada vez que se produzca un flanco en la señal de periodo de código, significará que el código en transmisión ha llegado al estado inicial de todos a 1 y por tanto, también debe hacerlo el generador en el receptor. Mediante la señal de *preset*, se fuerza al generador del receptor a dicho estado de todos a 1. De forma que la sincronización de los códigos se consigue, haciendo que el código local empiece, al mismo tiempo y en el mismo estado, que el código usado en el ensanche de la señal transmitida.

Como además, también se obtiene del piloto la señal de reloj de *chip*, la sincronización será completa.

8. Conclusiones

Los sistemas de espectro ensanchado presentan algunas características que les otorgan ventajas respecto a otros (reducción de interferencias, de la multipropagación, posibilidad de usar CDMA, ...), y que se obtienen mediante el uso de un ancho de banda mayor que el mínimo necesario para realizar la comunicación.

Una de sus principales características es la intervención, en todos ellos, de una señal de código, que es la responsable del ensanche y desensanche de la señal de datos, y de cuyas propiedades depende gran parte de las prestaciones del sistema. Estas señales en el caso ideal, deberían ser aleatorias puras, pero dada la imposibilidad de generar estas señales y mucho menos de repetirlas, se hace uso de secuencias pseudoaleatorias. En su generación se utilizan, principalmente, registros de desplazamiento realimentados de diferente manera; distintas configuraciones de estos circuitos dan lugar a distintas familias de códigos con diferentes propiedades. En este trabajo se han seleccionado los códigos MLS por su simplicidad y porque se ajustan exactamente a las propiedades de una señal de estas cualidades (balance, recorrido, autocorrelación).

Las distintas técnicas de ensanche espectral se diferencian en la forma de utilizar la señal de código y cada una tiene distintas aplicaciones y características, pudiendo además realizar combinaciones de ellas para obtener ventajas. Los sistemas DSSS seleccionados en este trabajo, son los más sencillos de generar y se adaptan bien a los sistemas de modulación ópticos, ya que no necesitan circuitos de generación de portadoras eléctricas y utilizan todo el espectro disponible.

Para la sincronización se ha optado por el envío de un piloto que podría ser transmitido por un terminal en una sala o simplemente, como se hará en este caso, lo envíe el mismo módulo transmisor. Este piloto consiste en una señal de reloj modulada mediante BPSK.

IV. Simulaciones

1. Introducción

En este capítulo se analiza el sistema completo – de forma ideal – mediante el uso de la herramienta software Matlab. Realizar este modelo permite estudiar de antemano si el proyecto hardware podría tener, efectivamente, las características esperadas, es decir, la mejora sustancial de los defectos e inconvenientes de los sistemas IrDA. En primer lugar se estudiará el comportamiento de un sistema IrDA FIR (4 Mbps) en condiciones ideales para, posteriormente, ir introduciendo diversas fuentes de interferencia y comprobando lo robusto – o no – que es el sistema frente a las mismas. A continuación se modelará el mismo esquema pero añadiendo un módulo de espectro ensanchado (DSSS) que permita el análisis de las señales que intervienen en los procesos de transmisión y recepción bajo diversas condiciones.

2. Modelado del sistema IrDA

2.1. Esquema

Aunque, al final del apartado 2, se modelará un sistema IrDA SIR (a una tasa de 9600 bps) para estudiar sus características, la estructura IrDA elegida para analizar su comportamiento, en este capítulo de simulaciones, ha sido la FIR (4 Mbps).

El esquema que se sigue para la realización del modelo es muy sencillo:

- 1) Generación de datos binarios.
- 2) Modulación de dichos datos siguiendo una codificación 4-PPM.

- 3) Transmisión por un canal de comunicación (con las consecuentes perturbaciones).
- 4) Recepción y demodulación de los datos.
- 5) Comparación de los datos recibidos con los transmitidos.

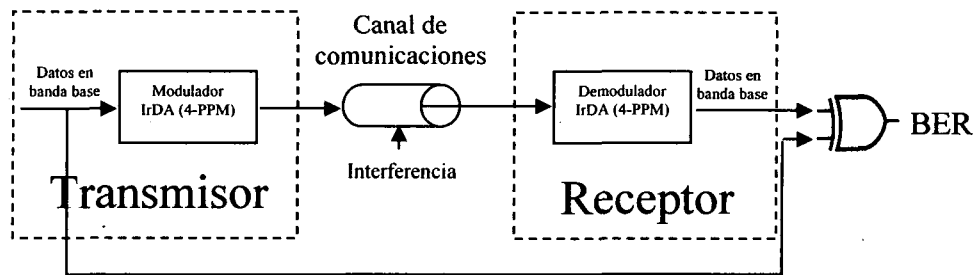


Figura IV - 1. Esquema del modelo IrDA

2.2. Sistema sin interferencias

Siguiendo el esquema anterior, inicialmente se crea un vector con un número concreto de bits (se ha decidido realizar el sistema con 1000 inicialmente, ya que para comprobar que se cumple la BER establecida por el estándar, habría que transmitir, al menos, cien millones de bits) generados aleatoriamente y siguiendo una distribución uniforme mediante la función “rand” incorporada en Matlab. Posteriormente, dichos números reales (comprendidos entre 0 y 1) son convertidos en bits unipolares-NRZ. Para ello se emplea un redondeo (función “round”) tal que si el número creado es mayor o igual que 0.5 se le atribuye el valor lógico “1”, y si es menor, el “0”.

Es evidente que, con una única muestra por bit, no se puede realizar un sistema realista, pues los conceptos de tiempo y de frecuencia no tienen sentido. Para muestrear la señal obtenida, se ha de conocer la frecuencia de muestreo con la que se va a trabajar.

Pero antes de eso, la señal de datos en banda base se deberá modular según el estándar IrDA. El caso que se está tratando es la versión FIR y, por lo tanto, se ha de trabajar con la codificación 4-PPM.

La correspondencia entre los bits en banda base y los modulados con 4-PPM, como ya se vio en el capítulo II, es la siguiente:

B. Base	4-PPM
00	1000
01	0100
10	0010
11	0001

Figura IV - 2. Correspondencia entre bits en banda base y 4-PPM

Teniendo en cuenta lo anterior y observando el siguiente ejemplo de una señal 4-PPM en el dominio temporal, podrá comprobarse que la frecuencia de la señal de datos en banda base es la mitad de la IrDA.

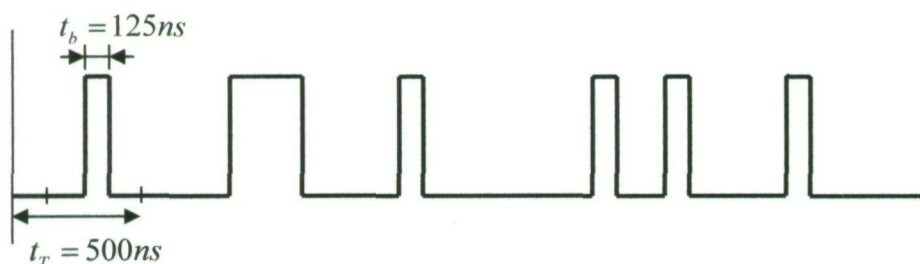


Figura IV - 3. Aspecto de una señal IrDA 4-PPM

Para hallar una frecuencia de muestreo apropiada, se ha generado una función llamada "f_muestreo":

```
function [fs]=f_muestreo(f1,f2,num_veces)
```

Esta función calcula el mínimo común múltiplo entre los anchos de banda de dos señales (f1 y f2) para evitar irregularidades espectrales, y el valor frecuencial resultante lo multiplica por un entero (num_veces) que será mayor o igual que 2(*) para obtener así una frecuencia de muestreo tal que impida la aparición de *aliasing*. Aunque parece lógico tomar el valor límite de 2, no es conveniente, pues se obtendría una representación de la DEP de baja resolución; es por ello por lo que se ha tomado el valor de 4 veces el ancho de banda de la señal a transmitir (es decir, 32 MHz, pues son 4 veces 8 MHz). La función "spectrum" (incluida en Matlab) muestra la DEP el rango de frecuencias comprendido entre 0 y fs/2, o lo que es lo mismo, entre 0 y 16 MHz.

* El criterio de Nyquist afirma que la frecuencia de muestreo debe ser, al menos, del doble del ancho de banda de la señal a muestrear

El número de muestras por bit será la frecuencia de muestreo dividida por el ancho de banda de la señal cuya DEP se quiere analizar, de tal forma que la señal de datos original tiene 8 muestras por bit y la IrDA, 4.

En las siguientes gráficas puede observarse cómo la modulación de la señal de datos se lleva a cabo correctamente tanto en el dominio temporal como en el espectral:

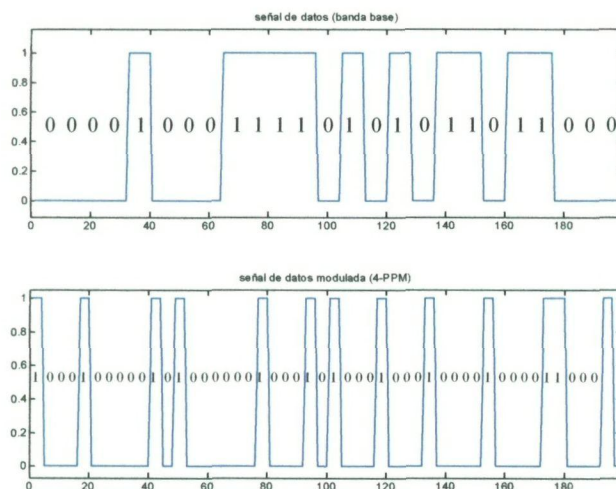


Figura IV - 4. Modulación 4-PPM (tiempo)

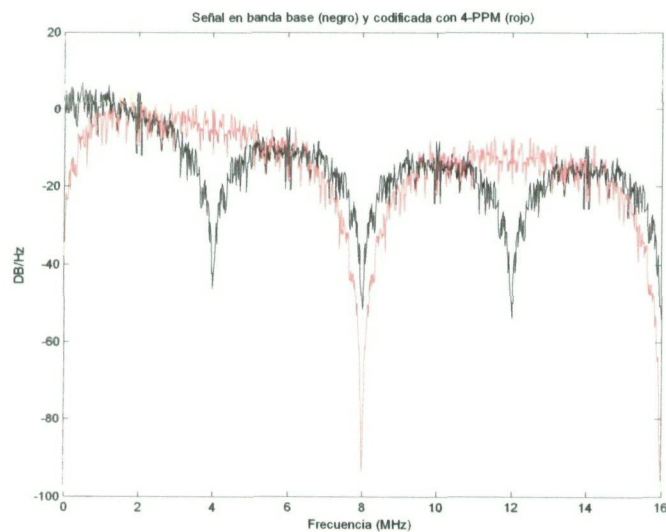


Figura IV - 5. Modulación 4-PPM (frecuencia)

La figura IV-4 demuestra que la codificación 4-PPM está correctamente implementada, pues el “00” inicial corresponde con el “1000”, el “10” con el “0010” y así sucesivamente.

En cuanto a la DEP, se observa lo esperado: en primer lugar, el ancho de banda de la señal 4-PPM es el doble que el de la señal en banda base; por otro lado, el nulo de la señal IrDA está en 8 MHz (el ancho del pulso en FIR es 125 ns, y debido al esquema de modulación, su inversa establece los 8 MHz). Por último lugar, el hecho de poseer el máximo desplazado en el espectro (no en banda base), permite, como se verá más adelante, reducir la acción de algunos tipos de interferencia que están concentradas en el rango más bajo del espectro radioeléctrico.

Como en este apartado no se tienen en cuenta las posibles interferencias que se producen en el canal de comunicaciones, la señal recibida será la misma que la transmitida. Evidentemente, como el proceso de demodulación se realiza correctamente, los datos obtenidos son iguales a los generados originalmente y la tasa de error nula.

2.3. Sistema con AWGN

Como ya se vio en el capítulo III, el ruido blanco gaussiano y aditivo (*Additive White Gaussian Noise, AWGN*) es un tipo de interferencia que afecta a todo el espectro.

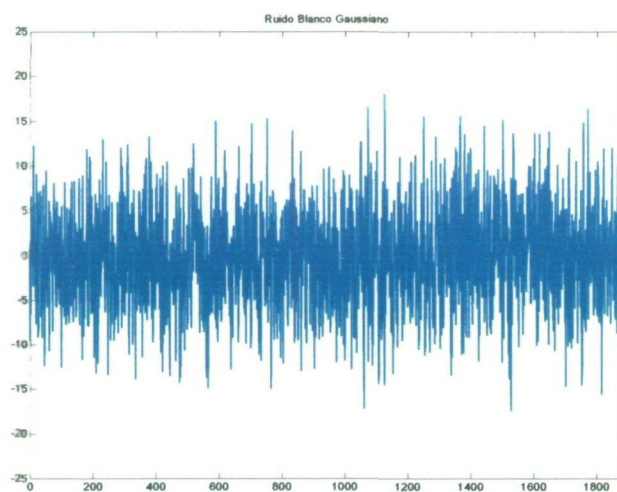


Figura IV - 6. Interferencia AWGN

La generación de este tipo de señal es muy simple con la función “awgn” que incorpora el Matlab en sus últimas versiones. Basta con especificar el vector al que se le va a sumar el ruido y la relación señal a ruido (SNR) que se desea en dB.

Como esta interferencia se suma sólo en el canal de comunicaciones, el aspecto de la señal IrDA permanece invariante a la salida del transmisor. Ahora bien, la señal recibida en el sistema receptor, para una SNR de 5 dB, es muy distinta:

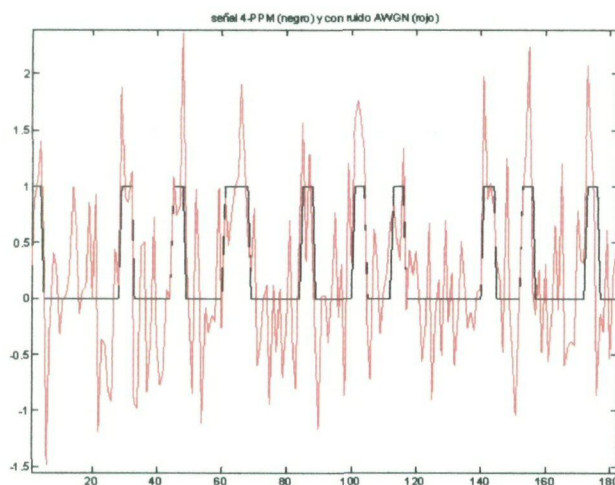


Figura IV - 7. Señal IrDA con interferencia AWGN (tiempo)

Los valores se han tomado entre 0 y 1 por comodidad en las simulaciones, pero hay que mencionar que el estándar establece unos valores de alimentación determinados para los niveles lógicos on / off (como se verá más adelante, en el hardware se trabajará con una lógica de 3.3 V).

Observando la DEP de dicha señal, se deduce que, efectivamente, el máximo del lóbulo principal está 5 dB por encima de la señal de ruido y que la señal AWGN afecta a todo el espectro por igual:

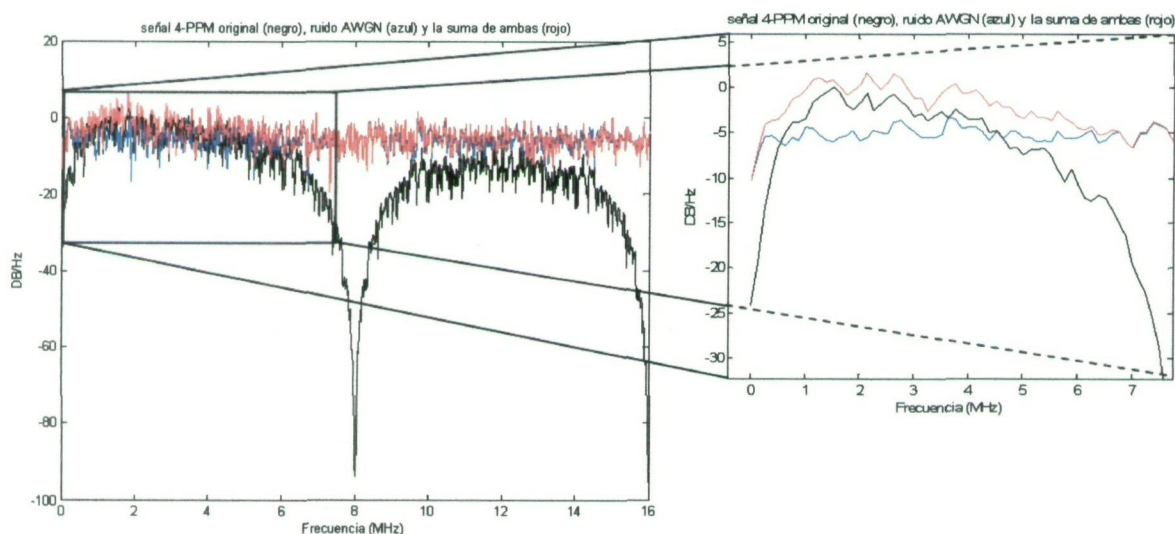


Figura IV - 8. Señal IrDA con interferencia AWGN (frecuencia)

Como el ruido blanco afecta a todo el rango de frecuencias, en el receptor se realiza un filtrado paso bajo (Butterworth de orden 5) con un ancho de banda igual al del primer lóbulo de la señal IrDA (8 MHz), donde se encuentra la mayor cantidad de energía. Como observación, el filtrado siempre conlleva un cierto retardo. Para ajustarlo en las simulaciones, se empleó la función “filtfilt” cuya misión es realizar un filtrado digital de orden cero en doble sentido (“forward & backward”). El resultado de dicha operación es el siguiente:

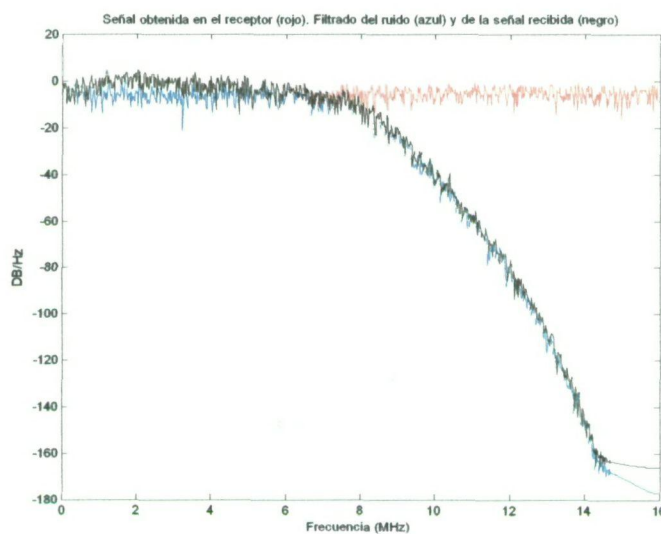


Figura IV - 9. Señal recibida filtrada

A la salida del filtro hay que realizar un decisor, cuya misión será establecer si el bit recibido es un 1 ó un 0. Para ello, hay dos formas de hacerlo: la detección dura y la blanda.

En la detección dura, se toma la muestra central de cada bit y ese será el valor final para el mismo (“0” si está por debajo de 0.5 y “1” si está por encima), en la blanda el sistema empleado es el siguiente: Se busca la muestra central de cada bit así como las situadas en los puntos correspondientes al 25 % y al 75 % del tiempo de bit. A continuación se halla la media de los tres valores y si el valor está por encima de 0.5 se genera un “1” y si, por el contrario, es inferior a 0.5, se le atribuye un “0”.

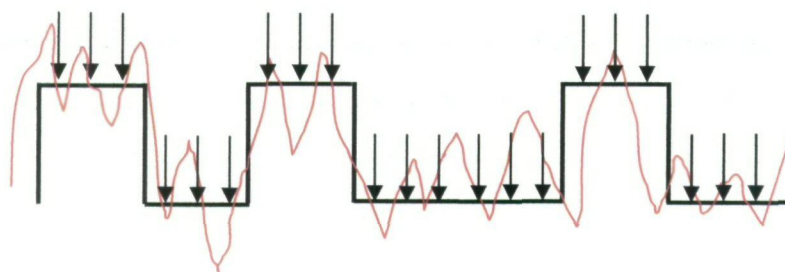


Figura IV - 10. Recepción blanda

Aunque estos sistemas de detección dependen del hardware empleado, en este capítulo de simulaciones se han implementado ambos esquemas obteniendo diferentes resultados (en la detección blanda el número de errores era menor). Se ha optado finalmente por usar la detección dura ya que se ajusta más al funcionamiento de los sistemas reales.

Finalmente se pasa a la demodulación de la señal 4-PPM para obtener los datos en banda base que, supuestamente, fueron transmitidos. En la siguiente figura se observa un ejemplo claro de los errores existentes en la recuperación de datos con una relación S/N de 5 dB.

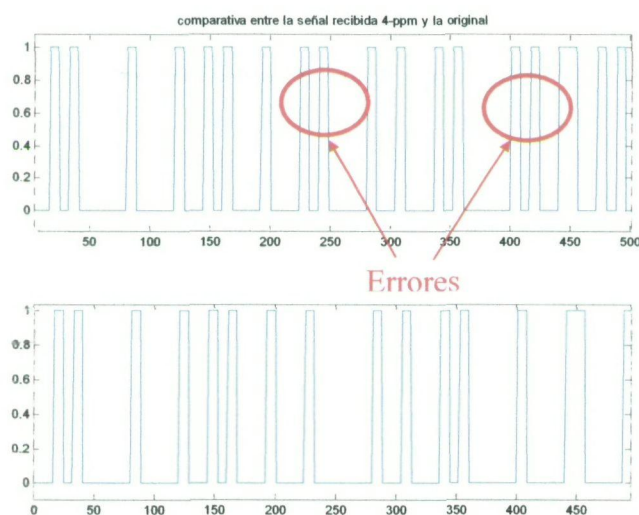


Figura IV - 11. Comparativa entre los datos transmitidos y los recibidos

Para poder analizar la BER de este sistema han de transmitirse varios millones de bits, ya que el estándar establece que sólo puede haber un bit erróneo de cada 10^8 bits. Para calcular la tasa de error se emplea una XOR que compara uno a uno todos los bits transmitidos con los recibidos; a continuación se halla la media como el número de bits

erróneos entre los totales transmitidos para cada una de las relaciones señal a ruido. Para un rango entre -15 y 15 dB. El resultado es el siguiente:

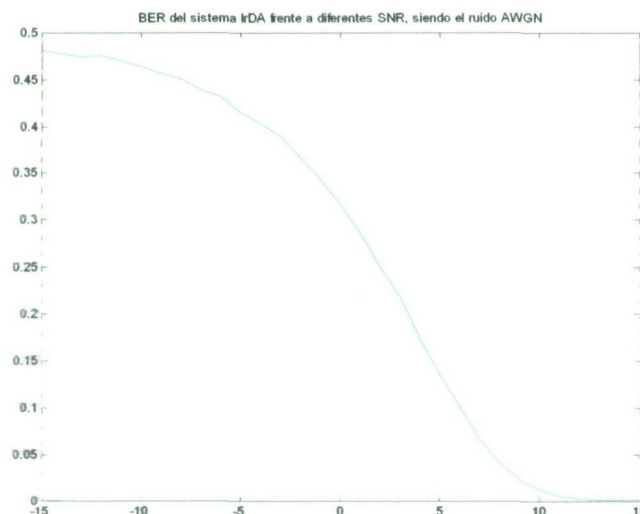


Figura IV - 12. BER del sistema IrDA con una interferencia de AWGN

2.4. Sistema multicanal

Como es interesante comprobar los fenómenos implicados en el sistema IrDA cuando están presentes otros transmisores en el mismo medio, se ha optado por introducir otra señal IrDA FIR para ver qué ocurre.

Hay que fijarse en que no se debe hablar, en este caso, de relación señal a ruido, sino de relación señal a interferencia, ya que no se parte de un nivel fijo en todo el espectro como era el caso del AWGN, sino que hay un ancho de banda fijo implicado.

La interpretación que se ha seguido aquí para dar diversos valores de relación S/I ha sido el valor cuadrático medio:

$$P_{\text{Señal}} = S(W) = \frac{\sum x^2}{n} \quad [\text{IV.1}]$$

Siendo n un número entero correspondiente a la longitud de la señal. A partir de la potencia de la señal a transmitir y de la relación S/I (cuyo valor es adimensional), se obtiene la potencia de la interferencia:

$$P_{Interferencia} = I(W) = \frac{S(W)}{SIR} \quad [IV.2]$$

En una señal 4-PPM, la potencia es igual a la tensión eficaz al cuadrado:

$$P_{Interferencia}(W) = V_{eff}^2 = \left(\frac{V_p}{2}\right)^2 \Rightarrow V_p = 2 \cdot \sqrt{P_{Interferencia}(W)} \quad [IV.3]$$

Y teniendo la tensión de la interferencia, basta con multiplicar la señal (que está comprendida entre 0 y 1) por dicho valor. En la figura IV-13(a) se puede observar el comportamiento ideal del sistema con una relación S/I de 5 dB:

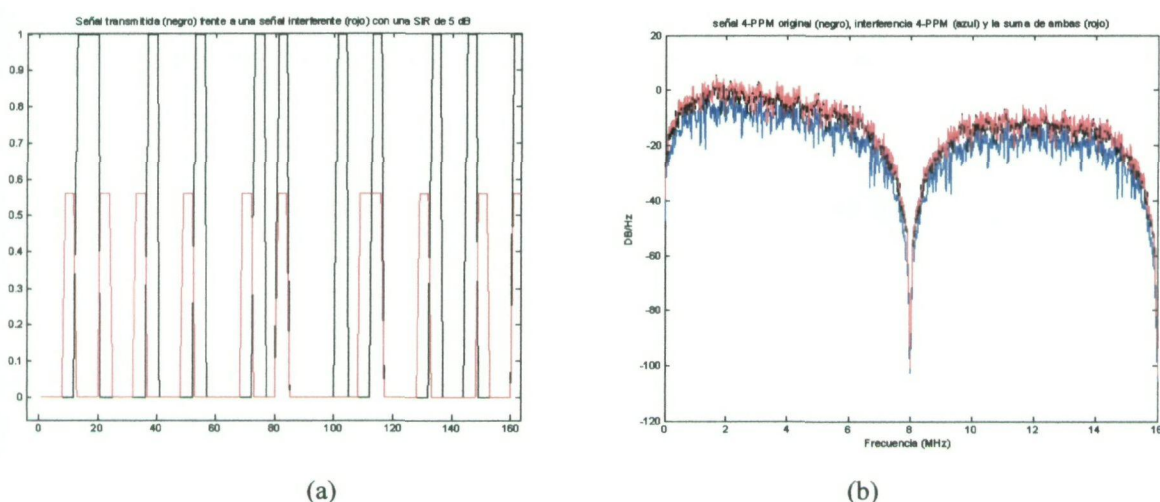


Figura IV - 13. Señal IrDA e interferencia con relación S/I de 5 dB en (a) tiempo y (b) frecuencia

Como es de suponer, aunque la trama interferente tenga diferentes valores binarios, el espectro coincide con el de la señal IrDA que se desea transmitir (a excepción de los 5 dB de diferencia que hay). Para ello ver la figura IV-13(b).

Una vez se recibe la señal, ésta es filtrada (mediante un filtro paso bajo de Butterworth de orden 5 con frecuencia de corte la de la señal que se desea recuperar, es decir, 8 MHz):

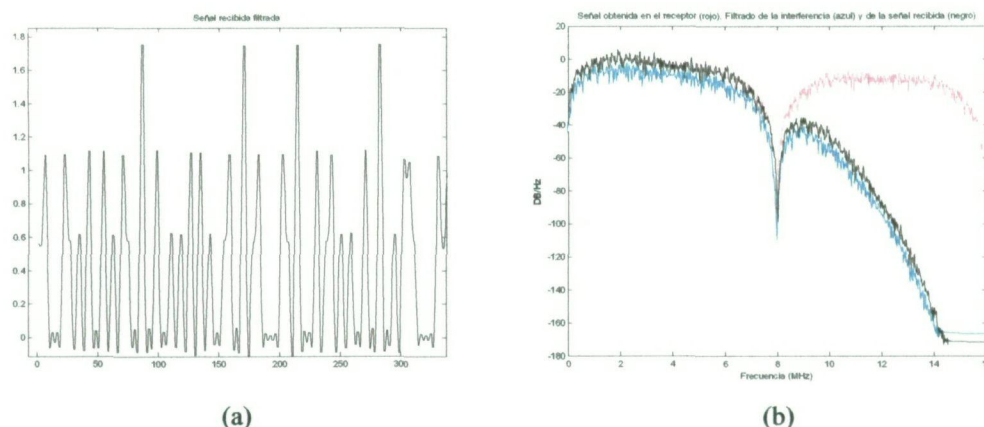


Figura IV - 14. Señal recibida filtrada en (a) tiempo y en (b) frecuencia

A partir de este punto, la simulación es igual que en el apartado anterior: se realiza una detección dura para saber cuáles son niveles lógicos y se demodula la señal 4-PPM. En la BER del sistema se puede comprobar un efecto curioso: la tasa de error tiene un valor similar hasta que la relación S/I es de 7 dB, a partir de la cual, la tasa de error desciende drásticamente.

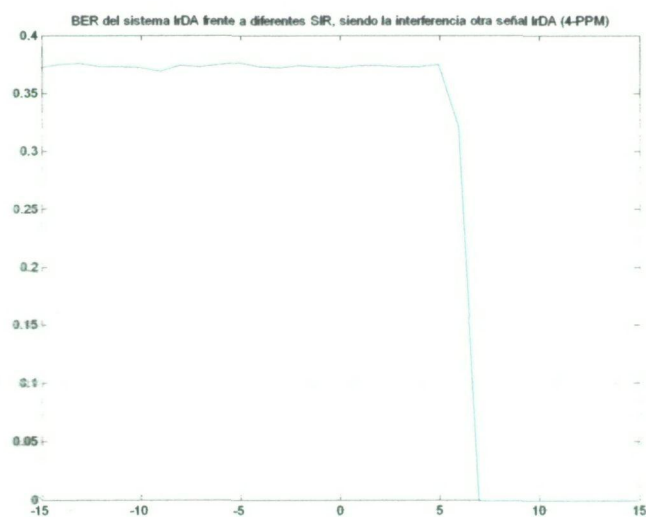


Figura IV - 15. BER del sistema IrDA con una interferencia multicanal

2.5. Sistema con interferencia de luz fluorescente

El principal inconveniente de los sistemas ópticos no guiados es la presencia de numerosas fuentes de perturbación, principalmente lumínicas, a las que son sensibles los fotodetectores, entre las cuales la iluminación ambiente es la más perjudicial: siempre está

presente y es de potencia muy superior a la señal transmitida. En la siguiente figura se representan las diferentes fuentes de luz y su distribución espectral:

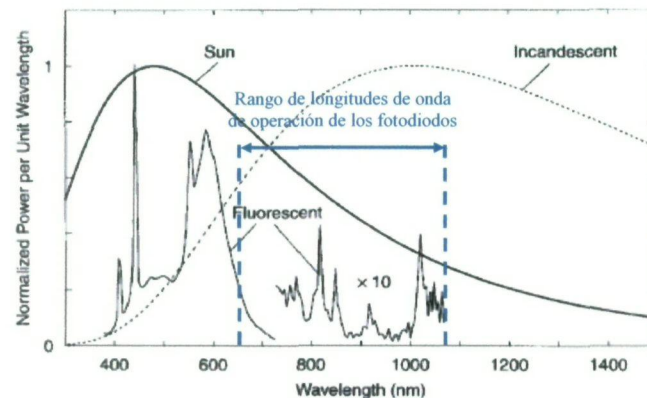


Figura IV - 16. Interferencias lumínicas

La luz solar supone una fuente de ruido no modulada con un pico alrededor de los 450 nm (afecta poco a las comunicaciones infrarrojas). Las lámparas incandescentes tienen componentes en longitudes de onda entre 400 y 1400 nm y producen una interferencia con componentes frecuenciales entre los 50 Hz (frecuencia de trabajo de la red eléctrica) y los 2 kHz [11].

En este apartado se estudiará el efecto que produce la luz fluorescente, ya que introducen perturbaciones entre los 780 y los 950 nm, con señales interferentes de baja frecuencia (entre 50 Hz y 300 kHz).

Para la simulación de Como simplificación se realizará una fuente de ruido AWGN filtrado en ese rango de frecuencias (50 Hz – 300 kHz).

Para el diseño de esta simulación se procede de la siguiente forma:

- 1) Se filtra la señal de datos con el mismo ancho de banda que la señal interferente con un filtro de orden elevado. Esto se hace ya que si se usara la función “awgn” sobre la totalidad de la señal, con una relación S/I concreta, al filtrar el resultado de dicha operación, habría que compensar la potencia con factores correctores, pues la relación S/I sólo tiene sentido en dicho ancho de banda.
- 2) Se emplea la función “awgn” con la relación S/I deseada sobre la señal original filtrada.

- 3) Se vuelve a filtrar el ruido con el ancho de banda deseado (se ha empleado un Butterworth de orden 10, obteniendo así una DEP como la siguiente:

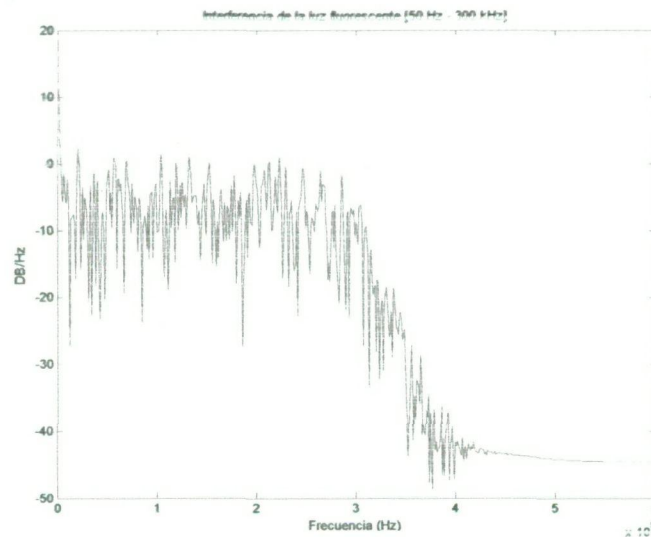


Figura IV - 17. Interferencia de luz fluorescente

- 4) Se suman las señales a transmitir (original, sin filtrar) y la interferencia lumínica. En el dominio temporal pueden observarse ambas señales por separado (con una RELACIÓN S/I de 5 dB):

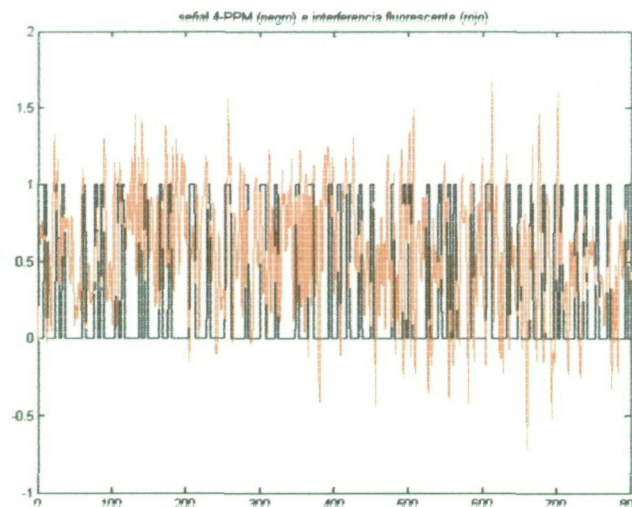


Figura IV - 18. Señal IrDA e interferencia con relación S/I de 5 dB

Cabe destacar que, como la modulación 4-PPM desplaza el máximo de la potencia de la señal IrDA en el espectro, este tipo de interferencia se ve atenuada en gran medida. En los esquemas SIR afecta mucho más.

El resto del proceso de simulación es igual que en los casos anteriores. En este caso, la BER tiene una curva característica como la siguiente:

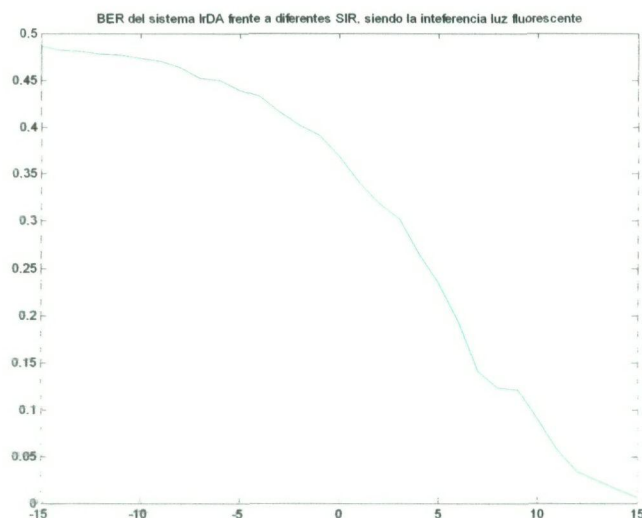


Figura IV - 19. BER del sistema IrDA con una interferencia de luz fluorescente

2.6. Sistema IrDA SIR

Como se dijo en el apartado 2.1 de este capítulo, también se ha modelado el modo SIR (9600 bps, con ancho de banda 5.12 kHz). Antes de describir el diseño de dicho modo, se analizará el comportamiento de este tipo de señales.

El modo SIR del estándar IrDA se creó para permitir una compatibilidad con la UART de los PC's, de ahí que las diferentes tasas binarias coincidan con las diferentes velocidades con las que trabajan los puertos serie de los ordenadores. Se ha elegido la tasa binaria de 9600 bps para su modelado.

Los modos SIR siguen una modulación de retorno a cero invertida, esto es, cada vez que se desea transmitir un "0", se envía un pulso que dura 3/16 del tiempo de bit (los 13/16 restantes son el "retorno a cero") y si lo que se quiere transmitir es un "1", no se envía nada. Se puede ver más claro con un ejemplo:

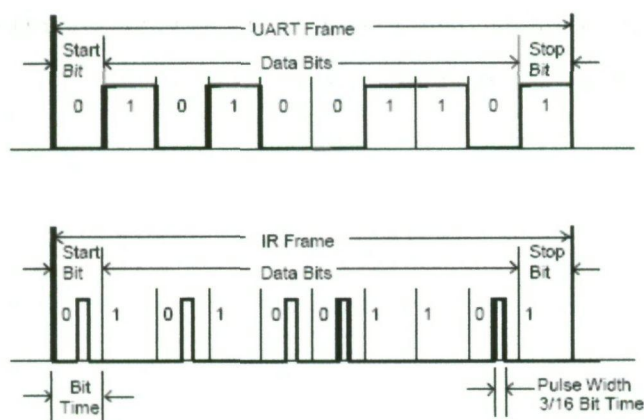


Figura IV - 20. Modulación SIR

Para implementar este esquema basta con seguir los pasos del apartado 2.2:

- 1) Se genera una secuencia aleatoria de bits.
- 2) A partir de la velocidad deseada (9600 bps) se genera un número de muestras tal que sea 16 o un múltiplo entero de éste.
- 3) Si se toman 16 muestras, se reservan las 3 centrales para introducir un "0" si el bit que se desea transmitir es un "1" ó un pulso si lo que se quiere enviar es un "0".

El resultado de estas operaciones, tanto en el tiempo como en la frecuencia, es el siguiente:

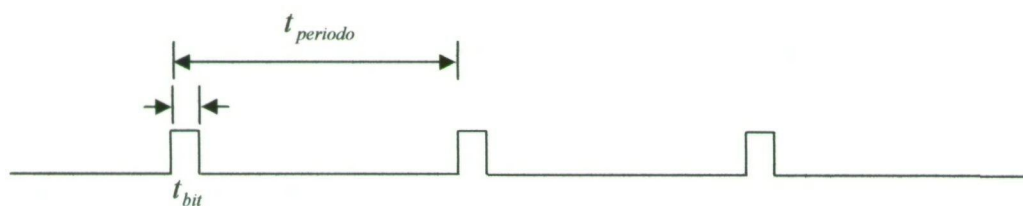
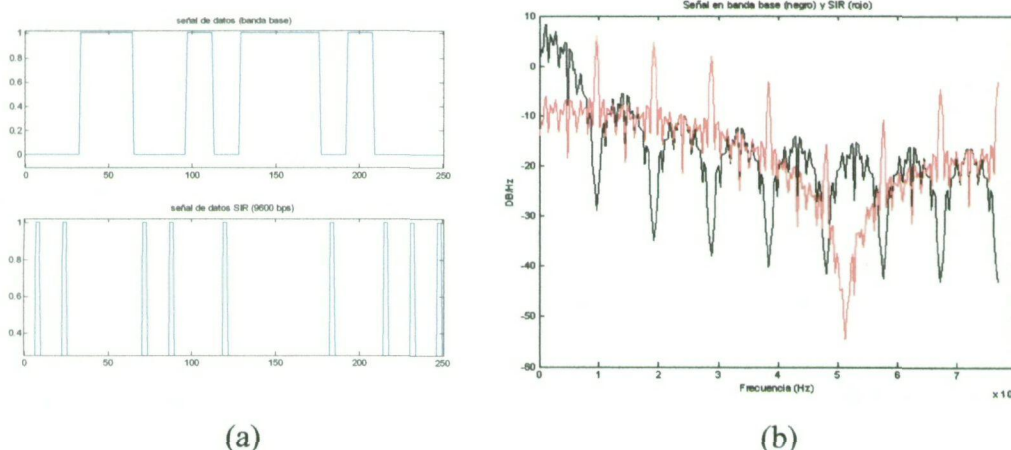


Figura IV - 21. Señal IrDA SIR en (a) tiempo y en (b) frecuencia

¿Por qué el ancho de banda es mayor de lo esperado (9600 Hz)? Porque la duración del pulso en el caso de la tasa 9600 bps es de $19.53 \mu s$ (y por tanto, la inversa es 51200 Hz que, como era de esperar, coincide con el nulo). Un detalle curioso es la aparición de unos ciertos espurios en las frecuencias múltiplos de 9600 Hz. Esto es debido, como se observa en la figura IV-21, a que se puede considerar que hay dos *periodos* de señal involucrados: el t_{bit} y el $t_{periodo}$; es éste último el que provoca dichos picos en la DEP. El haber hecho las simulaciones permitió descartar, a la hora de realizar el hardware (como se estudiará más adelante), que se tratara de un reloj que se estaba introduciendo en el módulo de transmisión, pues como se ve en la figura anterior, se trata de un fenómeno inherente y exclusivo del esquema de modulación.

3. Modelado del sistema IrDA-DSSS

3.1. Esquema

Hasta ahora se ha visto cómo modelar el nivel físico de un sistema IrDA. La solución que se propone en este proyecto para mejorar el comportamiento del mismo es implementar un esquema de espectro ensanchado en cascada con el modelo infrarrojo comentado hasta ahora para transmitir y recibir la señal óptica no guiada mediante técnicas DSSS (*Direct Sequence Spread Spectrum*).

El esquema que se va a simular es el siguiente:

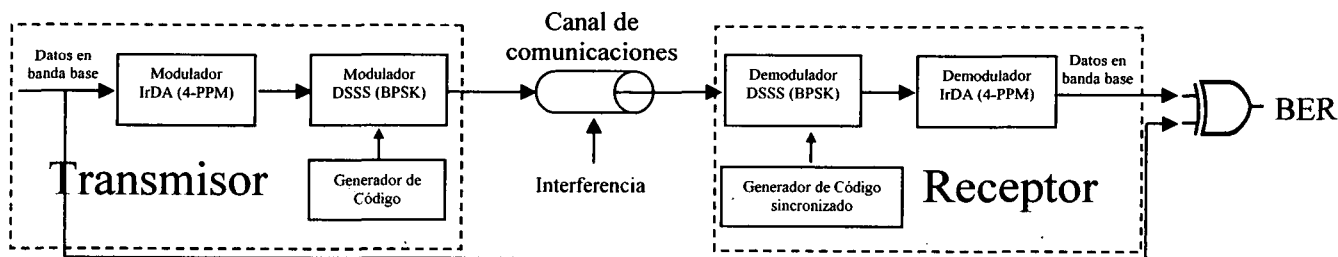


Figura IV - 22. Esquema del modelo completo

Los pasos que se han de seguir para la realización de este modelo son los siguientes:

- 1) Generación de datos binarios.
- 2) Modulación de dichos datos siguiendo una codificación 4-PPM (IrDA FIR).
- 3) Modulación BPSK mediante técnicas DSSS.
- 4) Transmisión por un canal de comunicación (con las consecuentes interferencias).
- 5) Recepción y demodulación BPSK de los datos haciendo uso de un código sincronizado con la señal recibida.
- 6) Demodulación 4-PPM para la obtención de los datos en banda base.
- 7) Comparación de los datos recibidos con los transmitidos.

Como se observa en la figura IV-22, se da por hecho que los datos se van a tomar perfectamente sincronizados, pero en la realidad, esto es un problema de solución compleja. En el capítulo de diseño se estudiará cómo solucionarlo pero, en este apartado de simulaciones, se dará por hecho que los datos son demodulados de forma síncrona a excepción del apartado 3.5, donde se analizarán los posibles problemas que puedan sucederse de esa desincronización introduciendo un retardo en el código del sistema receptor.

3.2. Sistema sin interferencias

En primer lugar, al igual que en el modelo IrDA, se crea un vector de 1000 bits (ya se explicó en el apartado 2.2 que este número se ha escogido para mostrar las DEPs y las señales temporales, pero para obtener valores “realistas” de BER, se elige un mayor número de bits de datos a transmitir). Los datos son generados aleatoriamente y siguen una distribución uniforme mediante la función “rand” incorporada en Matlab. Posteriormente, dichos números reales (comprendidos entre 0 y 1) son convertidos en bits unipolares-NRZ.

Para el cálculo de la frecuencia de muestreo se emplea, de nuevo, la función “f_muestreo”; los parámetros que se introducen son los anchos de banda con los que se trabajará: el de datos y el de la señal de código. En el sistema de espectro ensanchado, la frecuencia de datos siempre es conocida, pero no la otra, pues depende de la ganancia de proceso elegida y viceversa, es por ello por lo que se ha implementado una función

denominada “obtener” cuya misión es obtener un parámetro a partir de los otros dos. Pues como ya se ha dicho, los tres están relacionados:

```
function [salida]=obtener(fc,fd,gp)
```

$$G_p = \frac{BW_{\text{código}}}{BW_{\text{datos}}} \quad [\text{IV.4}]$$

Una vez conocida la frecuencia de muestreo y los anchos de banda de trabajo, obtener el número de muestras por bit de las señales es inmediato. El de la señal de datos será $\frac{f_s}{BW_{\text{datos}}}$, y el de la de código $\frac{f_s}{BW_{\text{código}}}$. Véase el siguiente ejemplo:

Si se trabaja con el modo FIR de IrDA ($BW_{\text{datos}} = 8 \text{ MHz}$), y se desea aplicar una ganancia de proceso de 30 (14.77 dB), el ancho de banda de la señal de código será 240 MHz. Al emplear la función “f_muestreo”, el resultado de ésta es 960 MHz, y de ahí que el número de muestras por bit sea, para la señal de código, 4, y para la de datos, 120 (o lo que es lo mismo, por cada bit de datos hay 30 de código).

A partir de estos resultados se procede a la creación de, en primer lugar, la señal de código. Para ello se realiza un generador de datos pseudoaleatorio cíclico (nunca deja de crear bits de salida), tal y como se ve a continuación:

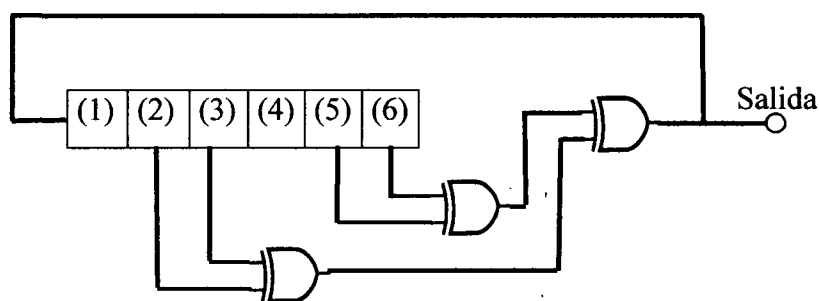


Figura IV - 23. Generador pseudoaleatorio

La posición de las puertas XOR no es casual, se está realimentando de esta forma ya que se desea que pertenezca a la familia estudiada en el capítulo III: los códigos MLS. De hecho, se ha elegido esta estructura porque es una de las permitidas cuando hay 6

registros (tabla IV-1). Al seguir ésta u otra de las existentes en la tabla – del mismo grupo – se está cumpliendo la pseudoaleatoriedad de la señal (permitiendo la existencia de una total ortogonalidad, es decir, las señales moduladas con esos códigos no se interfieren entre sí).

Longitud del registro (n)	Longitud de la secuencia ($2^n - 1$)	Conexiones (XOR)
2	3	1-2
3	7	1-3
4	15	1-4
5	31	2-5 2-3-4-5 1-2-4-5
6	63	1-6 1-2-5-6 2-3-5-6

Tabla IV - 1. Generación de secuencias pseudoaleatorias MLS

Como la longitud del patrón binario generado es de $2^n - 1$, siendo n el número de registros, dicho tamaño es, evidentemente, 63. Como se dijo en el capítulo III, para conseguir este tipo de señales, el número de “unos” y “ceros” deben ser iguales, de ahí que la secuencia elegida para el comienzo de la generación de la totalidad del código sea “0 1 1 0 1 0” (26 en base decimal). A partir de éste, surge el primer bit de salida (“0”) y las siguientes secuencias:

Secuencia	Número en base decimal	Bit de salida
101101	45	0
010110	22	0
001011	11	1
100101	37	1
110010	50	0
...

Tabla IV - 2. Secuencias a partir de la combinación 2-3-5-6

Los bits de salida son aquellos que van a servir para, al ser multiplicados por la señal transmitida (o recibida), ensanchar (o desensanchar) los datos.

Para realizar el ensanche, se emplea una puerta XOR que tiene como entradas, por un lado, la señal de código, y por el otro, la de datos.



Figura IV - 24. Modulación DSSS

Mediante este sistema se realiza una modulación BPSK (*Binary Phase Shift Keying*). Explicado de forma muy simple: cada vez que hay un cambio en la señal de datos (de un nivel lógico a otro), la señal de código sufre un cambio de fase de 180° .

El resultado de aplicar este esquema es el siguiente:

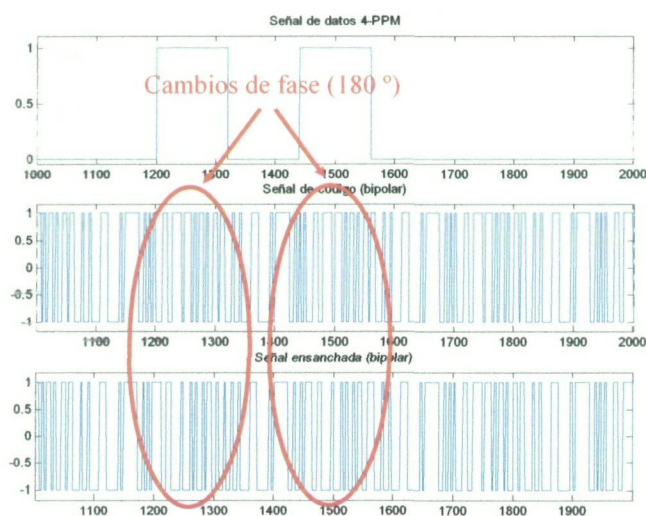


Figura IV - 25. Modulación DSSS (tiempo)

Se puede observar, claramente, cómo la señal de código se “invierte” cada vez que hay un nivel alto en la señal de datos. La DEP de la señal ensanchada respecto a la 4-PPM es la siguiente:

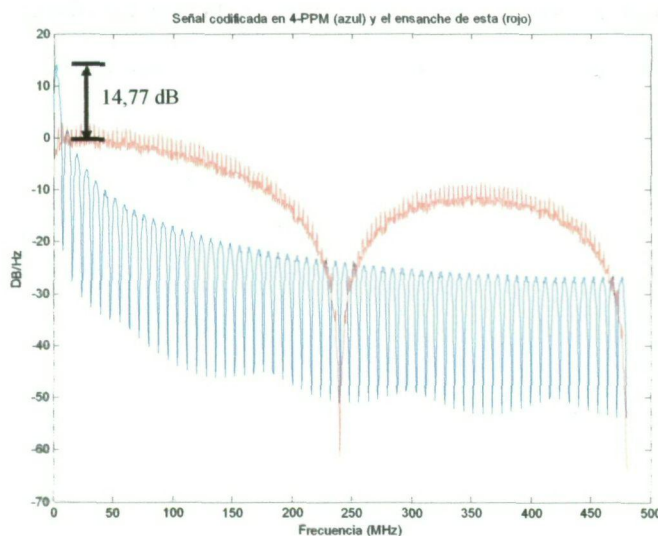


Figura IV - 26. Modulación DSSS (frecuencia)

Se puede comprobar que la relación de potencia entre los máximos de la señal de espectro ensanchado respecto del IrDA original es de 14.77 dB (lógicamente, coincide con la ganancia de proceso del sistema). A su vez, también se observa que, como era de esperar, si el ancho de banda de la señal de datos es 8 MHz, el de la señal ensanchada – al igual que la de código – tiene un nulo en 240 MHz ($8 \text{ MHz} \cdot 30 = 240 \text{ MHz}$).

Como en este apartado no se incluye la existencia de interferencias ambientales, la señal recibida será la misma que la transmitida, y por tanto, la tasa de error de bit es nula. En los próximos apartados se analizará el proceso de demodulación.

3.3. Sistema con AWGN

De nuevo se emplea el ruido blanco gaussiano para conocer la respuesta del sistema de espectro ensanchado frente a él (ya no se hablará del comportamiento de los esquemas IrDA frente a las interferencias debido a que ahora se presentan los módulos SS como *frontends* del sistema de comunicación).

Al igual que en el apartado 2.3, la generación del ruido se realiza con la función “awgn”.

Al receptor llega, tras sumar el ruido blanco, la señal temporal representada en IV-27(a).

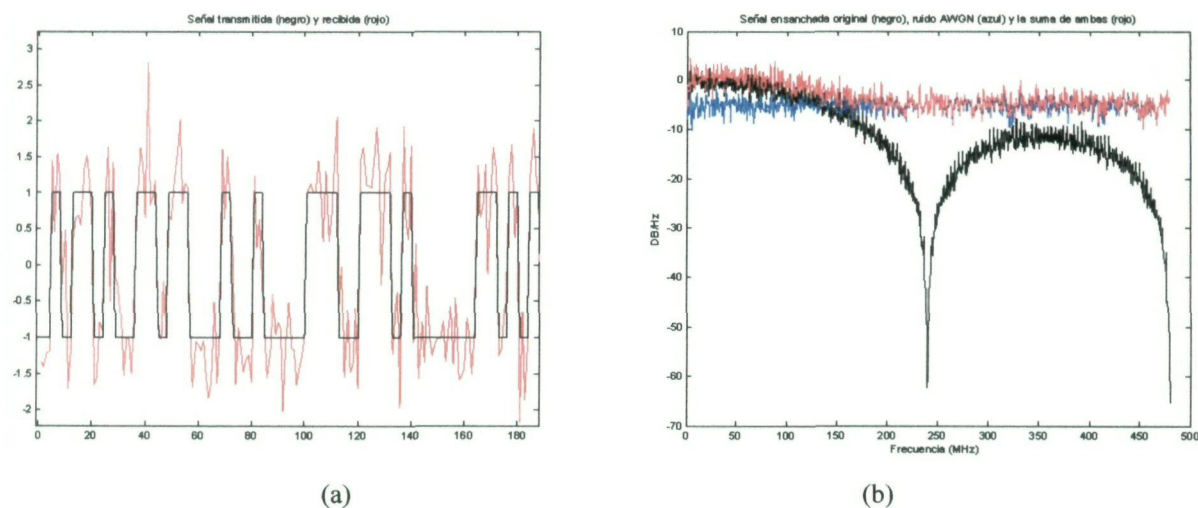


Figura IV - 27. Señal transmitida y recibida en (a) tiempo y en (b) frecuencia

En la figura IV-27(b) se observa, con una relación S/N de 5 dB, la señal que recibe el IRED del receptor.

Igual que en el caso del sistema IrDA, el ruido ha de filtrarse, pues si no, el decisor y demodulador deberían ser muy complejos para recuperar los datos que, originalmente, se querían transmitir. Se ha elegido un filtrado paso bajo (Butterworth de orden 5) con un ancho de banda igual al del lóbulo principal de la señal de espectro ensanchado (240 MHz), donde se encuentra la mayor cantidad de energía. El resultado es el siguiente:

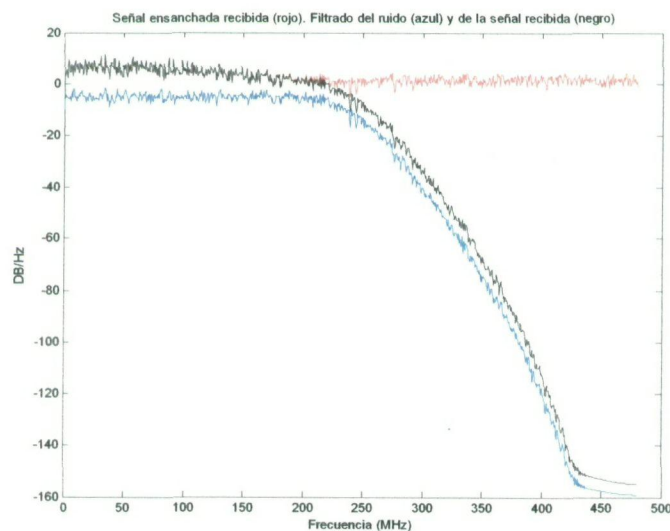


Figura IV - 28. Señal recibida filtrada (frecuencia)

Tras la actuación del filtro, se debe demodular la señal ensanchada para obtener, de nuevo, los datos codificados en 4-PPM. La simpleza de las técnicas DSSS permite obtener la señal original mediante una multiplicación (entre la señal recibida y la misma secuencia de código generada, originalmente, en el transmisor).

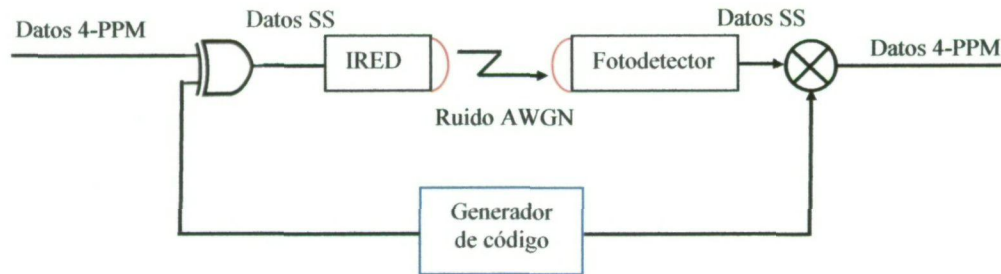


Figura IV - 29. Demodulación DSSS

En la siguiente figura se puede comprobar que la demodulación de la señal ensanchada permite la obtención del primer lóbulo (el de mayor concentración de energía) de la señal 4-PPM que se ensanchó en el transmisor.

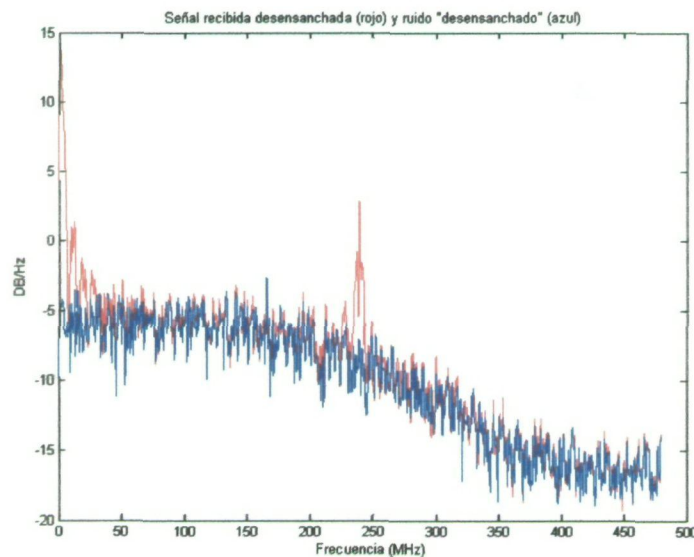


Figura IV - 30. Señal desensanchada

Como se mencionó anteriormente, es necesaria la existencia de un decisor que detecte si el valor recibido es un "1" ó un "0". Se vuelve a emplear la detección dura por ser más realista. El resultado de este proceso es el siguiente:

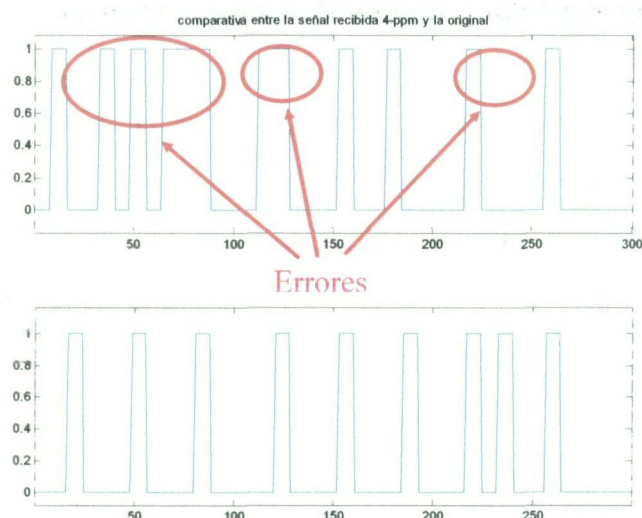


Figura IV - 31. Datos 4-PPM recuperados frente a los transmitidos

A partir de este punto se realiza la demodulación 4-PPM y, por tanto, se obtienen los datos en banda base. La BER del sistema demuestra lo esperado: El ruido blanco AWGN afecta por igual a los sistemas IrDA como a los de espectro ensanchado. Pues si se recuerda lo visto en el capítulo III, este tipo de interferencia afecta a todo el espacio frecuencial en la misma medida.

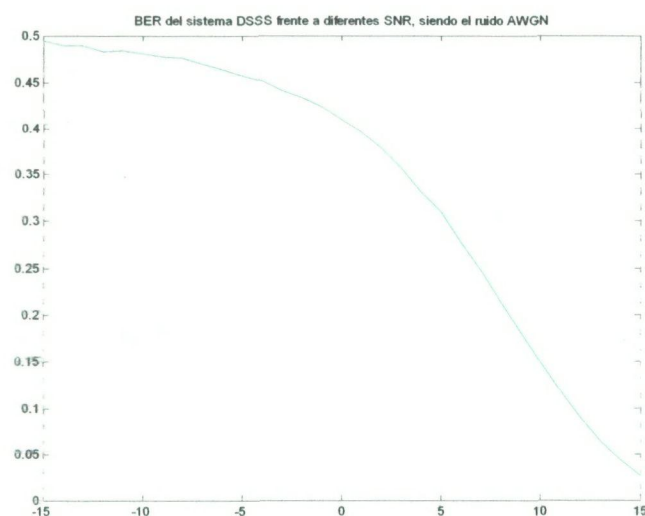


Figura IV - 32. BER del sistema con una interferencia de AWGN

Al igual que en el apartado 2.4, la potencia de una señal IrDA FIR es igual a la tensión eficaz al cuadrado:

$$P_{Interferencia}(W) = V_{eff}^2 = \left(\frac{V_p}{2}\right)^2 \Rightarrow V_p = 2 \cdot \sqrt{P_{Interferencia}(W)} \quad [IV.7]$$

Basta multiplicar la señal por la tensión de pico obtenida. A continuación se puede observar el comportamiento ideal del sistema con una ganancia de proceso de 30 y una relación S/I de 5 dB: (Gráfica)

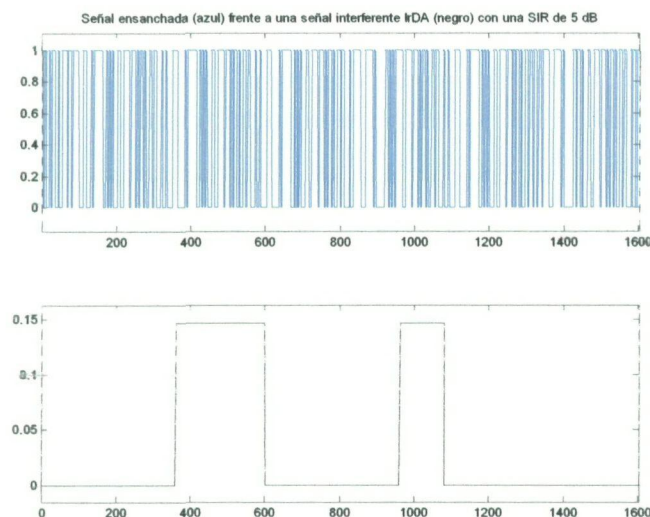


Figura IV - 33. Señal ensanchada frente a una interferente IrDA con relación S/I de 5 dB (tiempo)

Observando las DEPs de las mismas señales, se puede comprobar, más claramente, cómo se cumple la relación S/I.

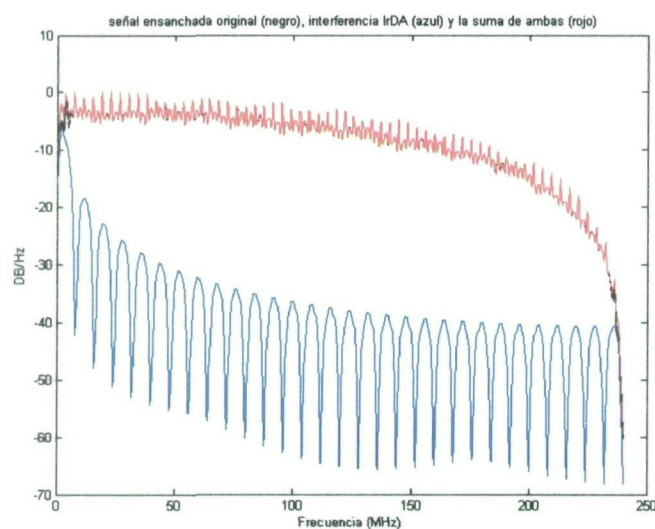


Figura IV - 34. Señal ensanchada frente a una interferente IrDA con relación S/I de 5 dB (frecuencia)

3.4. Sistema con interferencia de banda estrecha

En el capítulo III se comentó que una de las mayores ventajas de los sistemas de espectro ensanchado era el ser inmunes a las interferencias de banda estrecha (hasta una determinada relación Señal – Interferencia, claro está), ya que a la hora de demodular la señal recibida con el mismo código con que fue ensanchada, aquellas interferencias de banda estrecha que estuvieran en el canal se verían ensanchadas y sólo la trama que originalmente fue transmitida, sería recuperada.

En este apartado se desea analizar la compatibilidad que posee el sistema propuesto para convivir en el mismo entorno con el resto de señales ópticas IrDA además de comprobar la capacidad de rechazo de interferencias de banda estrecha.

Como una señal IrDA FIR puede considerarse como una interferencia de banda estrecha respecto al sistema de espectro ensanchado comentado hasta ahora (ancho de banda de 240 MHz), se ha elegido para la realización de esta simulación.

Para el ensanche de la señal IrDA original se procede tal y como se explicó en el apartado 3.2. Es a la hora de simular el canal donde cambia el proceso. En primer lugar, se genera una señal IrDA FIR y a continuación se impone la amplitud de la señal en función de la relación S/I que se desea estudiar. ¿Cómo establecer un nivel de referencia sobre el cual imponer la relación S/I? Se sabe que cuando una señal se ensancha, la potencia de ésta se reduce el valor de la ganancia de proceso [4]. Es por ello por lo que puede afirmarse que, en el ancho de banda de la interferencia (8 MHz), la señal ensanchada tendrá un nivel de potencia igual a:

$$P_{Señal} \big|_{BW=8MHz} = S(W) \big|_{BW=8MHz} = \left(\frac{\sum x^2}{n} \right) \cdot \frac{1}{Gp} \quad [IV.5]$$

Una vez establecida la potencia de la señal, obtener la potencia de la interferencia es inmediato:

$$P_{Interferencia} = I(W) = \frac{S(W)}{SIR} \quad [IV.6]$$

Para comprobar la efectividad del sistema se procedió a realizar dos simulaciones diferentes, la primera con una ganancia de proceso de 30, y la segunda, con 50. Esto resultó, como era de esperar, que la relación SIR necesaria para tener el mínimo de errores decrementase. En las siguientes figuras se puede comprobar esta afirmación:

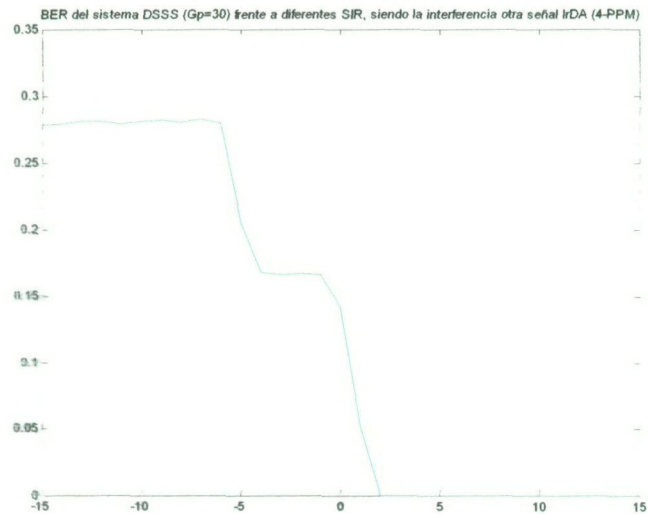


Figura IV - 35. BER del sistema con una interferencia de banda estrecha (IrDA FIR) con una $G_p = 30$

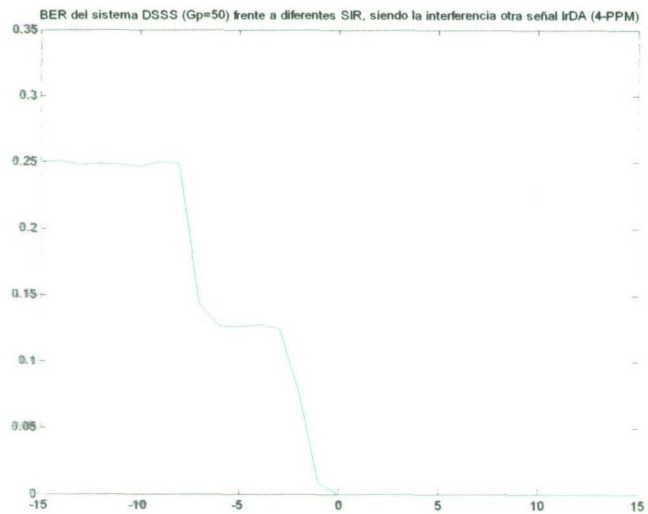


Figura IV - 36. BER del sistema con una interferencia de banda estrecha (IrDA FIR) con una $G_p = 50$

3.5. Sistema con receptor no sincronizado

Previamente, se comentó que para la realización de estas simulaciones, se ha partido de la base de que el sincronismo es ideal, pues se emplea la misma señal de código para ensanchar y para desensanchar la señal; con esto se confirma que el valor de la autocorrelación de ambas señales es máximo, pero esto no es lo que, habitualmente, ocurre en un canal de comunicación real.

En este apartado del capítulo de simulaciones se ha optado por desplazar la señal de código del receptor respecto a la original con la que se ensanchó la señal transmitida.

Para ello, bastó con añadir tantos ceros al inicio de la trama como indicara el porcentaje introducido por el usuario siguiendo la fórmula siguiente:

$$\text{Número de ceros para desplazar} = \text{Numero de muestras} / \text{chip} \times \frac{\text{porcentaje}}{100} \quad [\text{IV.8}]$$

Por tanto,

$$\text{Número de ceros para desplazar} = \frac{\text{Frecuencia_muestreo}}{\text{Frecuencia_chip}} \times \frac{\text{porcentaje}}{100} \quad [\text{IV.9}]$$

Los resultados obtenidos tras ensanchar una trama de 10000 bits, fueron los siguientes:

- **Desplazamiento del 0 % del tiempo de chip:** 0 errores como era lógico, pues la señal de código del transmisor coincide en tiempo, frecuencia y fase con el del receptor.
- **Desplazamiento del 50 % del tiempo de chip:** 0 errores también, pues la amplitud de la autocorrelación de ambas señales sigue siendo suficiente para una correcta demodulación.
- **Desplazamiento del 75 % del tiempo de chip:** 0 errores de nuevo.
- **Desplazamiento del 100 % del tiempo de chip:** 5232 errores. Esto demuestra lo dicho en el apartado 4.2 del capítulo III (transcurrido un tiempo de chip, T_c , la recuperación de los datos originales es prácticamente imposible).
- **Desplazamiento del 200 % del tiempo de chip:** 6874 errores.

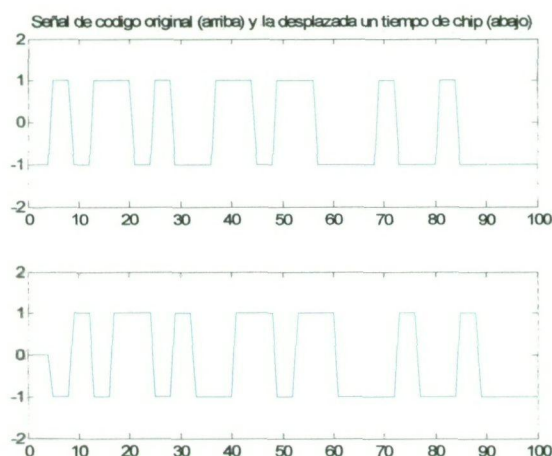


Figura IV - 37. Señal de código transmitida (arriba) y la recibida desplazada un tiempo de chip (abajo)

3.6. Sistema multicanal

Al igual que como se hizo en el apartado 2.4 de este mismo capítulo, es necesario comprobar la coexistencia de tres señales DSSS en el mismo entorno ensanchadas con diferentes códigos (CDMA). Para ello bastó con modificar las realimentaciones a la hora de generar los códigos. Siguiendo las indicaciones de la tabla IV-1, se han tomado las combinaciones 1-6, 1-2-5-6 y 2-3-5-6.

La misma señal de datos ensanchada con cada uno de los códigos tuvo como resultado:

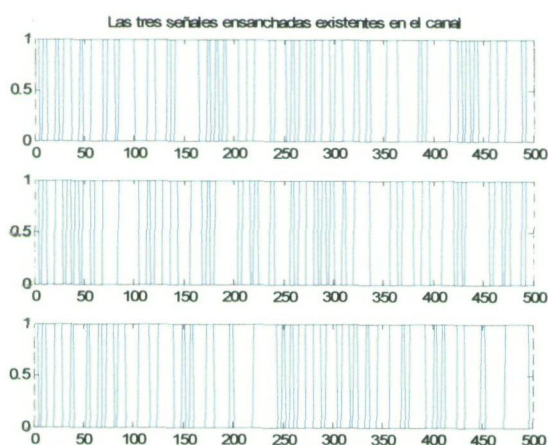


Figura IV - 38. Sistema multicanal con tres señales DSSS en el entorno

Se observa claramente, que las tres señales no guardan relación entre sí aún proviniendo de la misma trama de datos, pero eso sí, tienen la misma amplitud (relación S/I de 0 dB).

Tras sumar las tres señales y proceder a la demodulación con uno de los códigos utilizados, se obtuvo la señal original:

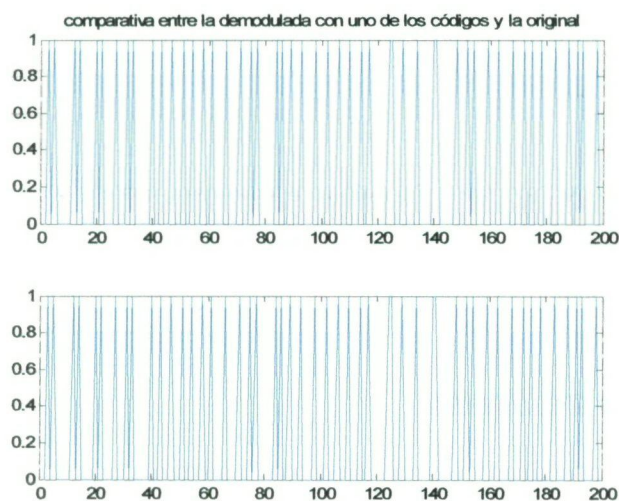


Figura IV - 39. Recuperación de la señal transmitida en un sistema CDMA

Por tanto, se demuestra lo explicado en teoría. La ortogonalidad de los códigos MLS permite que señales que hayan sido ensanchadas con diferentes códigos de este tipo no se interfieran entre sí.

4. Conclusiones

En este capítulo se ha procedido a la simulación de los sistemas que posteriormente se implementarán. En este estudio se ha analizado el comportamiento de las señales IrDA frente a una serie de interferencias como pudieran ser el ruido blanco gaussiano aditivo, una luz fluorescente o incluso una provocada por la coexistencia de otro canal IrDA en el mismo entorno. Tras conocer las limitaciones de este estándar se procedió a la simulación del sistema completo (IrDA + DSSS) para comprobar las ventajas que supondría el emplearlo. Tras someter al conjunto de módulos al mismo tipo de interferencias que el sistema IrDA se puede concluir con que el sistema mejora sustancialmente ante la presencia de interferencias de banda estrecha así como la posibilidad de coexistir en un mismo entorno con múltiples sistemas de espectro ensanchado.

V. Diseño

1. Introducción

En este capítulo se presentan los esquemas desarrollados en el proyecto para el prototipo del sistema propuesto. En primer lugar se analizará el circuito del conversor USB-IrDA para, posteriormente, proceder a la descripción del módulo IrDA-DSSS. En éste, se introducirá el concepto de sincronismo (elemento básico para los sistemas de espectro ensanchado) y se desarrollará tanto una parte analógica como una digital. Por último se diseñará la parte óptica del sistema.

En la siguiente figura se puede observar el diagrama de bloques del sistema completo:

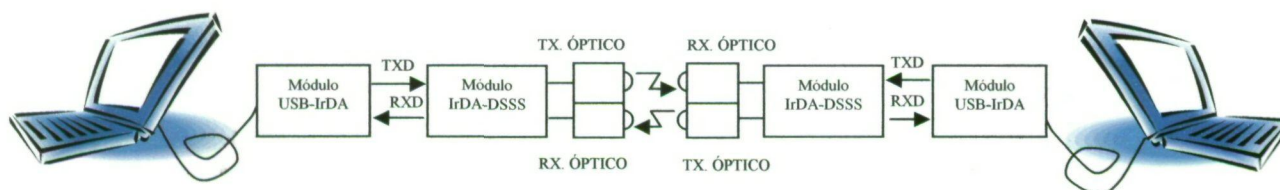


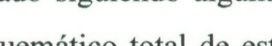
Figura V - 1. Diagrama de bloques del sistema completo

2. Conversor USB-IrDA

2.1 Diseño

Para poder comprobar la funcionalidad del diseño que se desea realizar, se optó por comunicar dos PC's, ya que son posibles dispositivos sobre los que se podría incorporar el hardware desarrollado en este proyecto. Otra razón por la que se ha elegido usar dos ordenadores es porque el objeto de este trabajo es asegurar un correcto funcionamiento en el nivel físico, sin entrar en cuestiones que pertenezcan a capas superiores; de otra forma se tendría que estudiar e implementar los niveles de enlace, red y demás. Para la conexión

a con el C.I. S11f420



Se trata de un regulador de tensión de Texas Instruments, cuya función es convertir la señal de 5 V a una de 3.3 V para cambiar el voltaje de alimentación, ya que en diversos puntos del circuito es necesario uno u otro valor. Los componentes discretos que rodean al C.I. se emplean para una correcta adaptación y para filtrar las señales. Como detalle, todos los elementos que se han incluido en este circuito son SMD (*Surface Mounting Device*) ya que, como los C.I. lo eran, se decidió mantener una cierta homogeneidad.

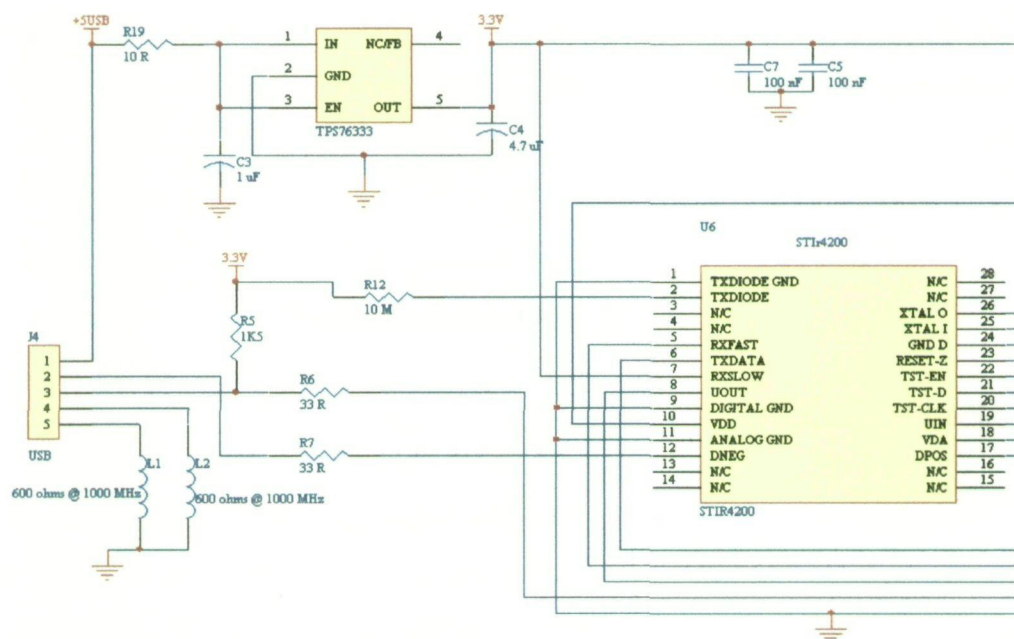


Figura V - 4. Entrada del circuito USB-IrDA

A la entrada del circuito (figura V-4) hay un conector de 5 pines, cada uno de los cuales representa a una línea del cable USB: Los números 1 y 4 son los de alimentación (V+ y GND respectivamente), el 2 y 3 representan las líneas de datos diferenciales (D- y D+) y la entrada 5 es la correspondiente a la malla de apantallamiento que recubre a todas las anteriores. Para estabilizar las líneas de alimentación, evitando así espurios no deseados, se emplean 2 ferritas (L1 y L2).

En el centro del esquemático puede verse el chip STIr4200, que consiste en un *bridge* USB-IrDA. LA descripción de cada uno de los pines puede verse a continuación:

Pin Number	Signal Name	Type	Description
1	TXDIODE GND	PWR	TXDIODE power supply ground
2	TXDIODE	O	Optional LED driver output
3	NC		No connect
4	NC		No connect
5	RXFAST	I	Receive data from IR module (Fast)
6	TXDATA	O	Transmit data output to IR module
7	RXSLOW	I	Receive data from IR module (Slow)
8	UOUT	O	SD/Mode control to IR module
9	DGND	PWR	Digital power supply ground
10	VDD	PWR	Digital power supply (+)
11	AGND	PWR	USB transceiver power supply ground
12	DNEG	I/O	USB interface negative (-) data
13	NC		No connect
14	NC		No connect
15	NC		No connect
16	NC		No connect
17	DPOS	I/O	USB interface positive (+) data
18	VDA	PWR	USB transceiver power supply (+)
19	UIN	I/O	Test
20	TST-CLK	I	Test clock input
21	TSTD	I/O	Test data input/output
22	TST_EN	I	Test enable
23	RESETZ	I	Master reset, active low
24	GNDD	PWR	Power supply ground
25	XTALI	I	12Mhz crystal/clock input
26	XTALO	O	12Mhz crystal/clock output
27	NC		No connect
28	NC		No connect

Tabla V - 1. Patillaje del STIr4200

Líneas inactivas del STIr4200

Los pines TXDIODE (2) y RXSLOW (7) no se emplean en este diseño pues ni se va a trabajar con un LED (sino con un IrDA transceiver) ni se recibirán bits en modo lento (“slow”), de ahí que estén unidos a VCC (no deben dejarse en circuito abierto ya que eso significaría que dichas líneas tienen un estado desconocido y podrían provocar resultados no deseados).

Por otro lado, las líneas 19, 20, 21 y 22 tampoco se usan ya que sólo se emplean para testear el chip.

El reset (23) nunca se activa porque siempre está a nivel alto (VCC); esto es lógico, ya que desde los drivers para Windows que ofrece el fabricante ni siquiera dan la opción de reinicializar el dispositivo.

Líneas activas del STIr4200

RXFAST (5), TXDATA (6) y UOUT (8) son señales muy importantes, pues comunican al IrDA transceiver con el *bridge*. La dos primeras son las líneas de recepción y transmisión de datos respectivamente, y UOUT es una señal digital que permite especificar

el modo de funcionamiento con que debe transmitir el transceptor (SIR o FIR) ya que los anchos de banda de ambos métodos de modulación son diferentes.

Por otro lado, las líneas que comunican el PC con el C.I. principal son: DNEG (12), DPOS (17) y VDA (18). Las dos primeras son las señales diferenciales de datos que provienen del cable USB y la tercera es la alimentación del mismo (+ 5 V).

Por último, los pines XTALI (25) y XTALO (26), como especifica la tabla V-1, son la entrada y salida de un cristal de 12 MHz.

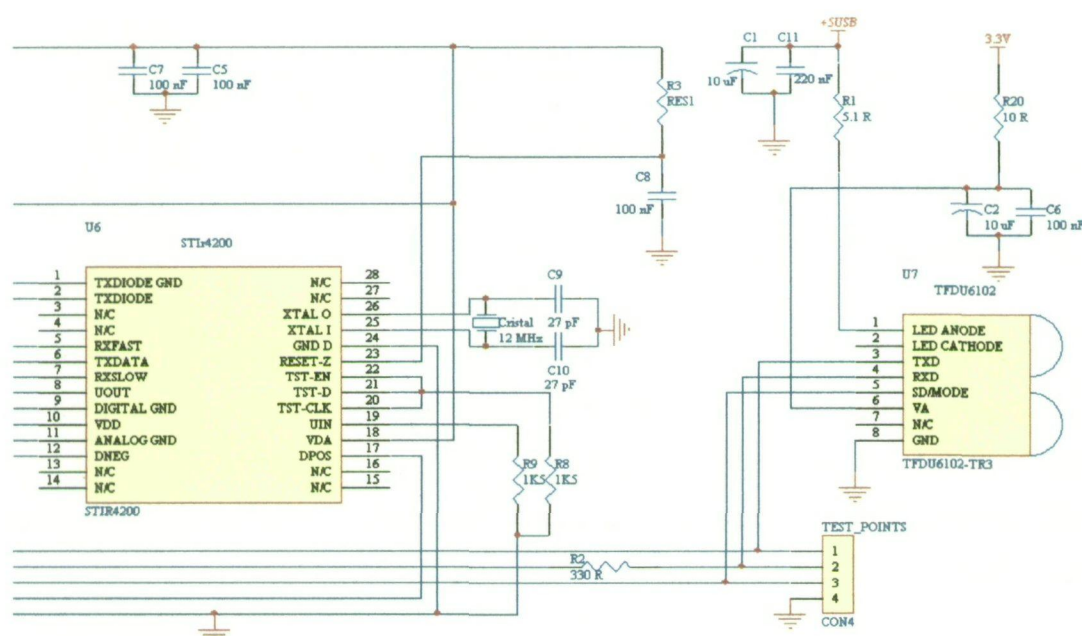


Figura V - 5. Salida del circuito USB-IrDA

Como comprobación del correcto funcionamiento del módulo USB-IrDA antes de conectarlo al siguiente (IrDA-DSSS), se ha implementado un sistema IrDA completo, consistente en el bridge de Sigmatel y un dispositivo de comunicaciones ópticas específico para IrDA. Debido a que el fabricante (Sigmatel) lo recomendaba, entre otros, se eligió el IrDA transceiver TFDU6102 de Vishay. Este dispositivo SMD es capaz de transmitir a una tasa de transferencia máxima de 4 Mbps, correspondiente al modo FIR. Como los IREDs son dispositivos que son activos con corriente y no con tensión, es necesaria la existencia de una resistencia (R1) unida al ánodo del LED.

Se observa en la figura V-4 que hay un grupo de pines de test. Se han introducido no sólo para analizar las señales transmitidas y recibidas, sino también para comunicar esta PCB con la de espectro ensanchado (que se explicará en el apartado 3 de este capítulo).

El único pin que puede llevar a alguna duda por parte del diseñador es el SD/MODE. Para el ahorro de energía (no se debe olvidar que estos dispositivos se caracterizan por ser de bajo consumo) se emplea el SD (*Shutdown*), que es una petición por parte del STIr4200 para que se apague transcurrido un cierto tiempo. Por otro lado, dicho pin, en conjunción con el TXD se emplea para establecer el modo (MODE) de transmisión (SIR o FIR).

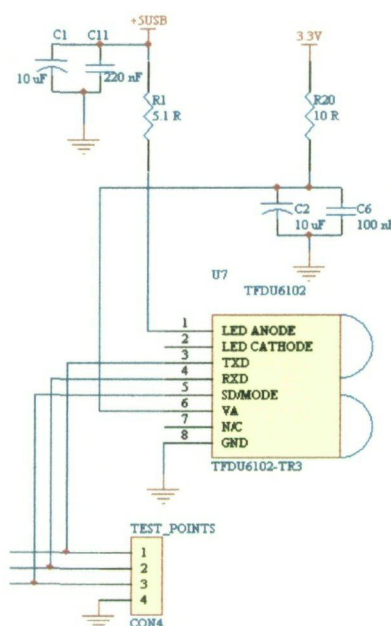


Figura V - 6. IrDA Transceiver TFDU6102

Antes de pasar al siguiente módulo hardware, es necesario comentar que se ha elegido el modo SIR (concretamente la velocidad de transferencia 115200 bps) que posee un ancho de banda de, aproximadamente, 620 kHz para la transmisión de datos ya que la frecuencia de la señal de código empleada en el sistema de espectro ensanchado es de 10 MHz (como se verá en los próximos apartados de este capítulo) y por tanto la ganancia de proceso es considerable. Si se hubiera tomado el modo FIR (ancho de banda 8 MHz) la ganancia de proceso sería tan pequeña que no se podrían aprovechar todas las ventajas que supone la realización de este sistema.

Como ya se ha comentado, el transceptor de Vishay se introdujo para hacer las pruebas del correcto funcionamiento de este primer módulo así como para tomar las medidas necesarias, pero para evitar posibles interferencias, se eliminó de la PCB en cuanto se unió al módulo IrDA-DSSS.

2.2 Aspecto físico

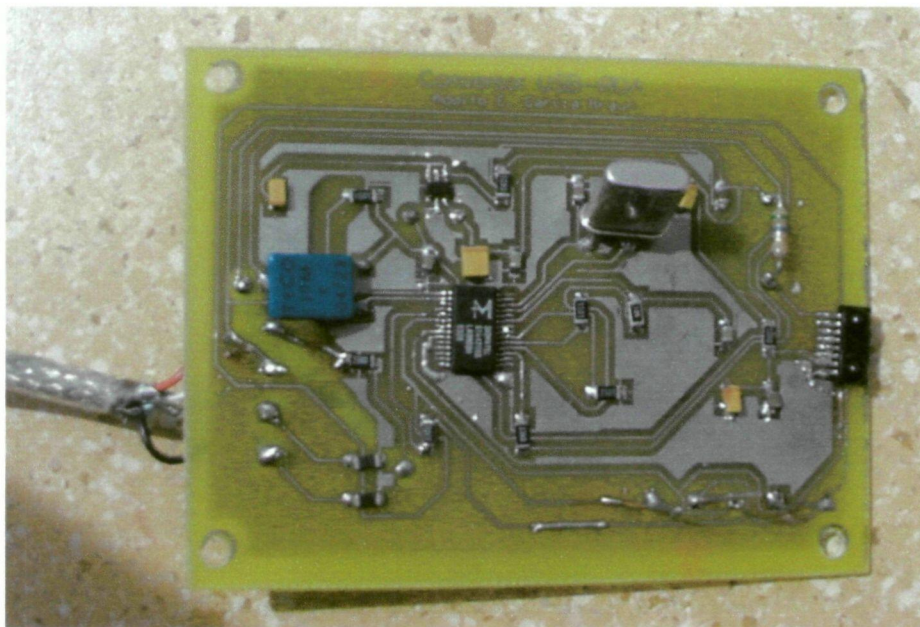


Figura V - 7. Circuito USB-IrDA (foto)

3. Módulo IrDA - DSSS

3.1 Esquema general

En la siguiente figura se puede observar el diseño total del módulo IrDA – DSSS:

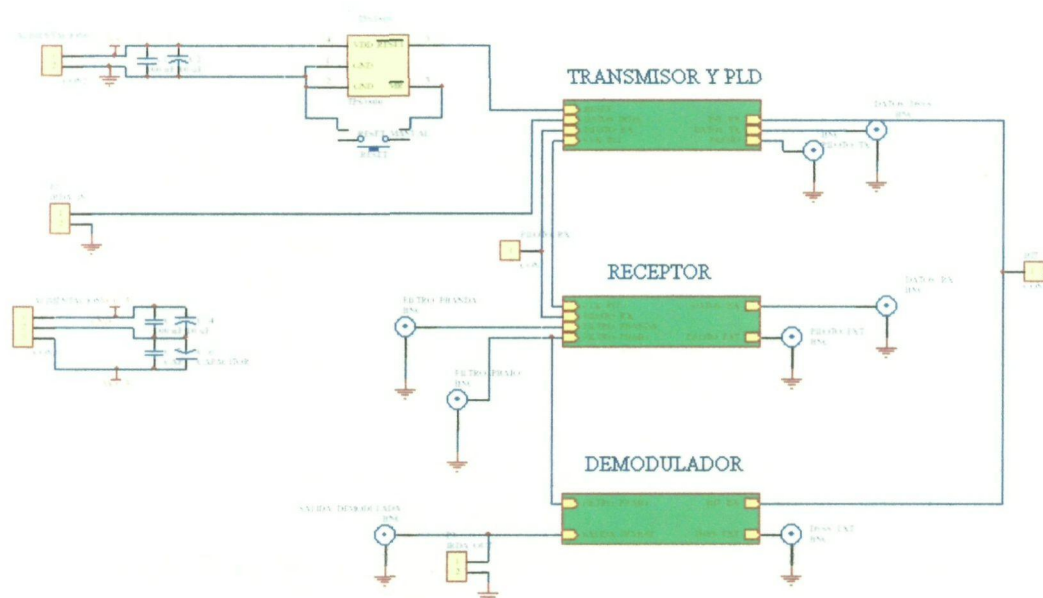


Figura V - 8. Esquema general del sistema IrDA - DSSS

Se ha separado el sistema en tres grandes bloques:

- **Transmisor y PLD:** Incluye el sistema transmisor y el PLD empleado para la realización de todo el diseño digital, tanto del transmisor como del receptor.
- **Receptor:** En este bloque se especifican los componentes empleados para la adecuación de las señales recibidas para su posterior tratamiento.
- **Demodulador:** Engloba la circuitería necesaria para la demodulación de la señal DSSS recibida.

A continuación se pasarán a explicar cada uno de los módulos así como las diferentes incidencias, soluciones y propuestas que se han producido en la realización del proyecto.

En primer lugar se puede ver un conector de alimentación (ALIMENTACION0), cuya misión es, como su nombre indica, dar la alimentación necesaria al circuito. Cabe destacar que inicialmente se propuso alimentar el circuito de espectro ensanchado con las propias líneas que emplea el cable USB para alimentar el módulo USB-IrDA, pero se descartó dicha idea en cuanto se empleó un PLL (como se verá posteriormente), pues éste consumía bastante amperaje, y el estándar especifica un máximo de 500 mA durante un periodo de tiempo mínimo y en aplicaciones de gran consumo de potencia (tabla V-2).

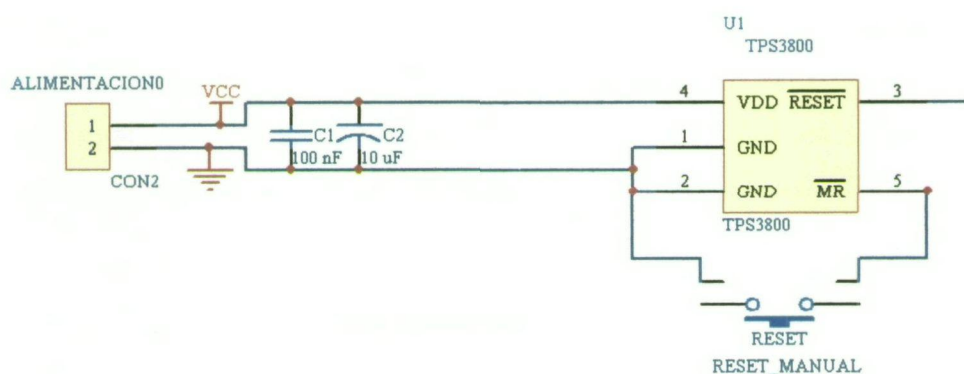


Figura V - 9. Circuito de alimentación y Reset

La solución que se planteó ante esta tesitura fue emplear una fuente de alimentación para alimentar sólo el circuito IrDA-DSSS mientras el USB-IrDA seguía alimentado por el cable USB.

Parameter	Symbol	Conditions	Min.	Max.	Units
Supply Voltage:					
High-power Port	V _{BUS}	Note 2, Section 7.2.1	4.75	5.25	V
Low-power Port	V _{BUS}	Note 2, Section 7.2.1	4.40	5.25	V
Supply Current:					
High-power Hub Port (out)	ICCPRT	Section 7.2.1	500		mA
Low-power Hub Port (out)	ICCUPT	Section 7.2.1	100		mA
High-power Function (in)	ICCHPF	Section 7.2.1		500	mA
Low-power Function (in)	ICCLPF	Section 7.2.1		100	mA
Unconfigured Function/Hub (in)	ICCINIT	Section 7.2.1.4		100	mA
Suspended High-power Device	ICCSH	Section 7.2.3 ; Note 15		2.5	mA
Suspended Low-power Device	ICCSL	Section 7.2.3		500	μA

Tabla V - 2. Características eléctricas del cable USB

Los condensadores que se ven a continuación del conector de alimentación se emplean para eliminar las bajas frecuencias (los 50 Hz de la red de alimentación) y las altas frecuencias (como por ejemplo los perjudiciales picos de tensión).

Para provocar una reinicialización (reset) del dispositivo lógico programable y así poder dar comienzo a la generación de código (poner a todos los registros del generador a 1) se ha decidido emplear un circuito integrado denominado supervisor de tensión (TPS3800 de Texas Instruments). Éste se emplea para generar un pulso de reset cuando se llega a una tensión determinada (en función del modelo de supervisor, los hay de 1.8, 2.7, 3.3 y 5.0 voltios), al igual que cuando se reduce dicho valor de tensión, pues si la alimentación no es suficiente, se puede dar por hecho que el comportamiento de los dispositivos digitales no será el óptimo y de ahí que sea útil la generación de un reset.

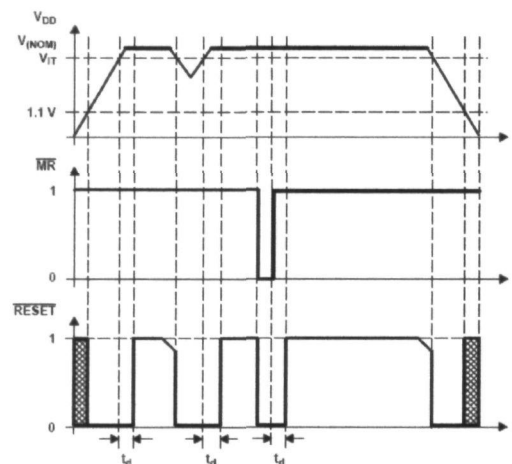


Figura V - 10. ronograma del TPS3800

Como se ve en la figura anterior, cuando la línea VDD (VCC en este caso) tanto si alcanza un nivel (V_{IT}) como si hay una caída de tensión y se vuelve a alcanzar dicho valor, se genera un reset. También permite la existencia de un reset manual (MR) y, de hecho, se optó por poner un pulsador para permitir al usuario reiniciar al equipo en cuanto lo desee.

3.2 Transmisor y PLD

Para la realización de la parte digital del proyecto se optó por emplear un PLD (*Programmable Logic Device*) de Altera, el EPM7064AELC44-10. Se utilizó éste por ser un dispositivo de bajo consumo, rápido (el tiempo de propagación entre dos pines I/O es de 10 ns) y barato. Además, el número de macrocélulas que posee es suficiente para la realización del diseño. Ni que decir tiene que, antes de emplear este PLD, se procedió a la simulación y síntesis del diseño para este dispositivo comprobando así su funcionalidad y capacidad. Tras analizar los informes (*reports*), se decidió que este dispositivo era idóneo para la aplicación (ver Anexo IV).

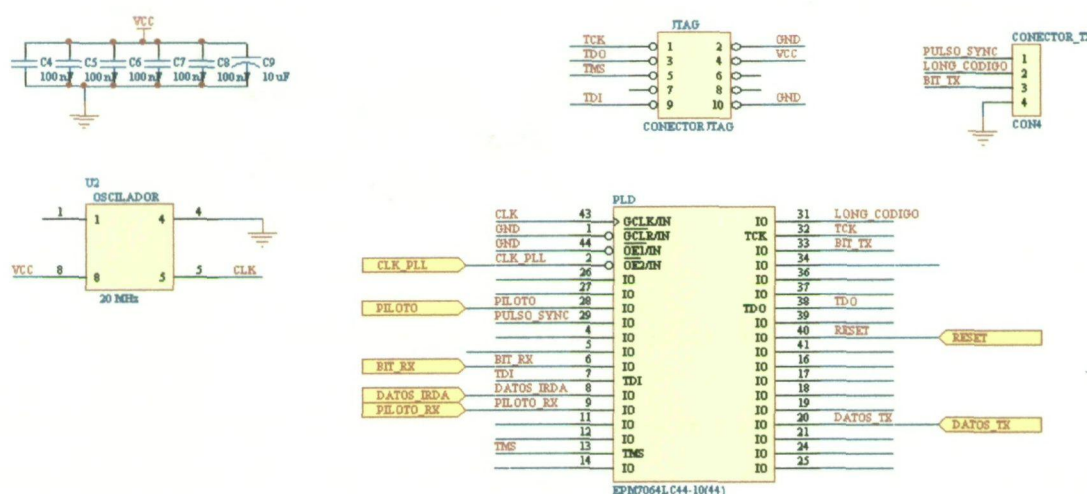


Figura V - 11. Transmisor y PLD

Como reloj “global” del PLD se emplea un oscilador de 20 MHz (U2) que servirá para la generación de código así como para, indirectamente, la creación del piloto.

En la figura V-11 también se observa un módulo JTAG (también llamado de *boundary scan*). Este interfaz se emplea para la programación del dispositivo digital y consta, exclusivamente, de 10 pines repartidos en dos filas de 5. Si no existiera este método de volcado de datos, sería necesaria la solicitud de una placa de programación a Altera con el consecuente gasto además de la incomodidad a la hora de estar extrayendo e insertando el dispositivo programable del zócalo de la PCB desarrollada cuando se deseara modificar el diseño. Para la conexión entre el PC y el conector JTAG se empleó el cable de Altera “ByteBlasterMV” (con conexión al puerto paralelo).

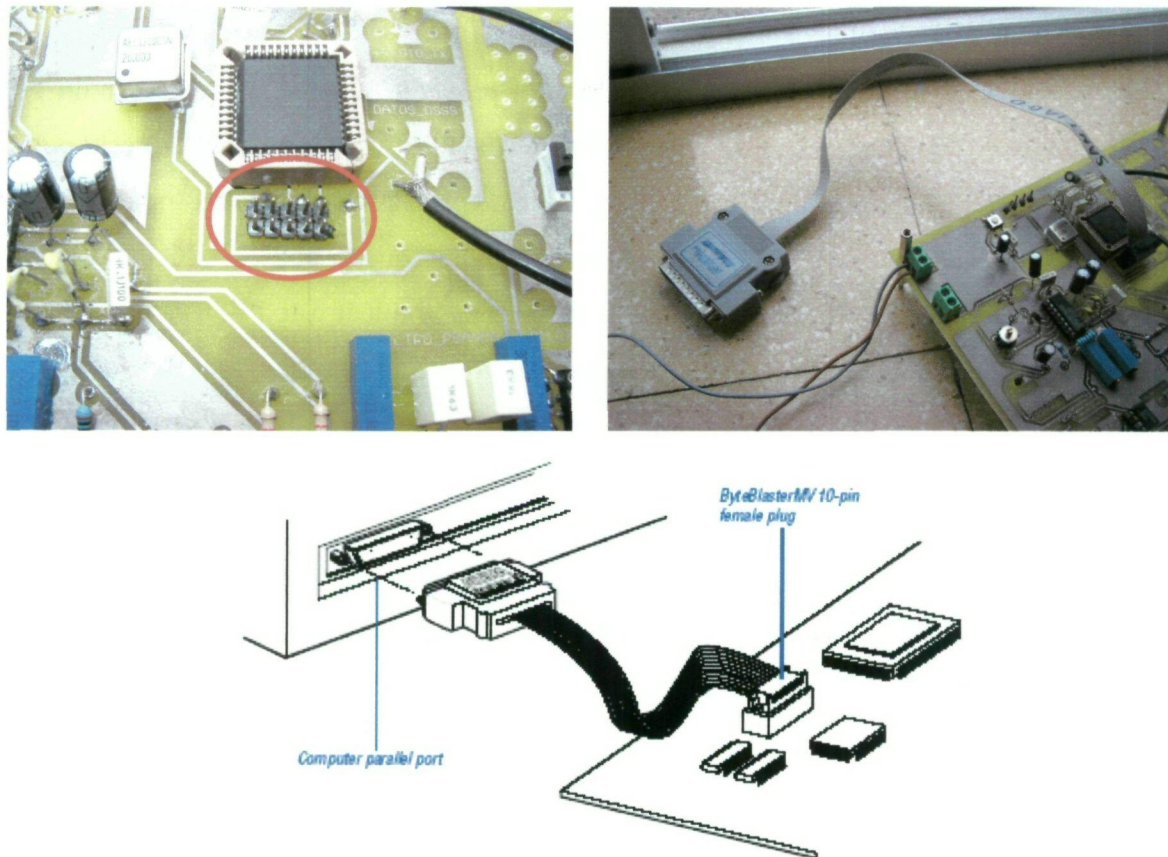


Figura V - 12. Conector JTAG y ByteBlaster MV

Por último, se observa en el esquemático un conector de 4 pines, habilitado para medir las señales PULSO_SYNC (correspondiente al pulso generado cuando comienza el código), LONG_CODIGO (es la señal existente a la salida del biestable JK, y que representa la moduladora del piloto) y BIT_TX (salida del generador de código).

Además de estos 4 *test points* hay, a la salida del bloque “Transmisor y PLD”, dos conectores BNC (figura V-8): DATOS_DSSS y PILOTO_TX. Ambas líneas representan, por un lado, la señal modulada y, por otro, el piloto que se va a transmitir. Mediante ellos se une esta PCB a los emisores ópticos.

Inicialmente se planteó transmitir tanto la señal ensanchada como el piloto a través del IrDA transceiver (emisor – receptor óptico específico para dispositivos IrDA). De tal forma que la parte óptica del diseño habría quedado resuelta; simplemente se hubiera creado el módulo de espectro ensanchado entre el módulo IrDA y su transceptor. Esto hubiera sido válido si se hubiera ensanchado con un frecuencia de 8 MHz (el IrDA

transceiver tiene ese ancho de banda como máximo) y el piloto se hubiera enviado con la misma frecuencia, pero el problema surgió cuando se procedió a la búsqueda de filtros paso banda (para recuperar el piloto) que estuvieran centrados en esa frecuencia. Lo más cercano que había era el de 10.7 MHz (típico valor de frecuencia intermedia). Así que se optó por tomar un oscilador a 20 MHz mediante el cual se consigue la frecuencia del piloto y, dividiendo dicha frecuencia por dos, se obtuviera un reloj a 10 MHz, necesario para la modulación DSSS. Mediante un filtro paso banda a 21.4 MHz se podría filtrar el piloto, y con un paso bajo a 10.7 MHz, la señal ensanchada. Y esta es la justificación del porqué de las frecuencias elegidas.

3.2.1 Diseño digital del transmisor

Hasta este momento se ha comentado el diseño del transmisor sin ahondar en lo que es la lógica digital que permite el ensanche de la señal IrDA así como la generación del piloto. En este apartado se analizará la arquitectura digital incluida en el PLD.

El esquema del transmisor es el siguiente:

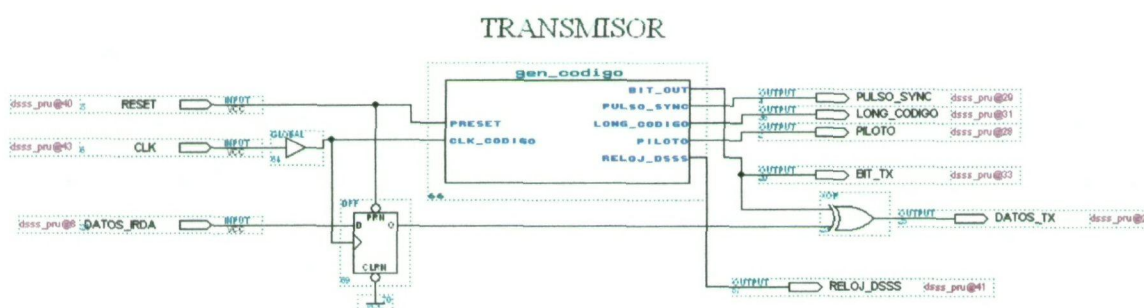


Figura V - 13. Diseño digital: Transmisor

El transmisor está compuesto por las entradas siguientes:

- **RESET:** Cómo se pudo ver en la figura V-7, es la señal de reset generada por el C.I. TPS3800 que se introduce en el PLD para reiniciar el dispositivo.
- **CLK:** Reloj de 20 MHz que se empleará para la modulación de la señal de entrada y para la generación del piloto.
- **DATOS_IRDA:** Es la señal proveniente del módulo USB-IrDA.

Se puede observar un flip-flop al cual entra la señal DATOS_IrDA. La misión de este registro es latchedear la señal IrDA mediante los flancos de reloj para sincronizar a ésta con el código generado en el interior del módulo “gen_codigo”.

Como salidas, se observan las siguientes:

- **PULSO_SYNC**: Es el pulso generado para provocar el cambio de nivel en la señal LONG_CODIGO.
- **LONG_CODIGO**: Se trata de una señal que permite la modulación del reloj de 20 MHz consiguiendo así el piloto.
- **PILOTO**: Es la señal de sincronismo.
- **BIT_TX**: Es la salida del generador de código que permitirá la modulación de la señal IrDA entrante en el sistema.
- **DATOS_TX**: Son los datos modulados.
- **RELOJ_DSSS**: Señal que permite la comprobación de que el reloj del sistema (20 MHz) se está dividiendo por 2 correctamente para la generación de la señal de código (que, como ya se ha dicho, trabaja a 10 MHz).

A continuación se pasará a analizar el módulo “gen_codigo”:

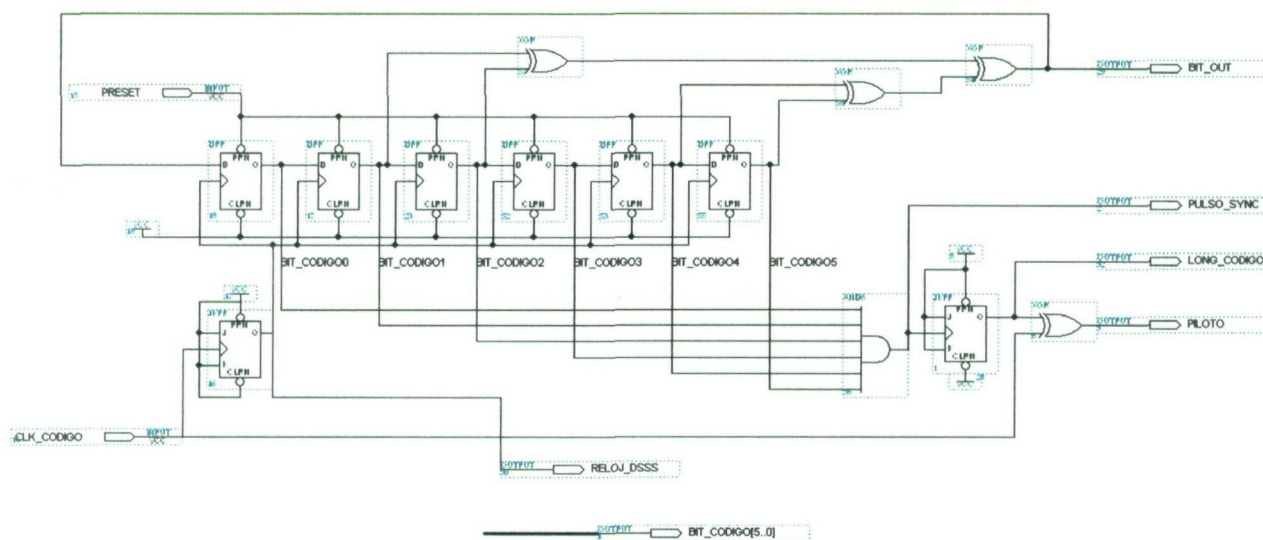


Figura V - 14. Diseño digital: “gen_codigo”

Se comprueba que se ha seguido la misma estructura que en simulaciones (figura V-23), es decir, que la realimentación para este registro implementado con biestables tipo D de 6 bits es 2-3-5-6.

Cuando se produce un reset (a nivel bajo), se provoca un SET en los flip flops de tal forma que en sus salidas haya un "1".

Se observa que el reloj a la entrada del sistema (CLK_CODIGO) se divide por dos mediante un biestable J-K. De forma teórica se puede ver que cuando las entradas J y K están a "1", la salida (Q) bascula con el flanco ascendente de la señal de reloj.

C	J	K	Q	\bar{Q}	
0	X	X	Q	\bar{Q}	Retención
1	X	X	Q	\bar{Q}	Retención
↓	X	X	Q	\bar{Q}	Retención
↑	0	0	Q	\bar{Q}	Retención
↑	0	1	0	1	Puesta 0
↑	1	0	1	0	Puesta 1
↑	1	1	\bar{Q}	Q	Bascula

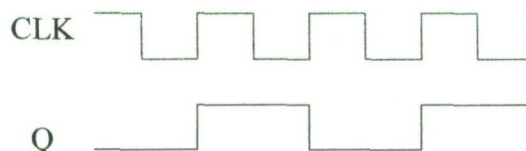
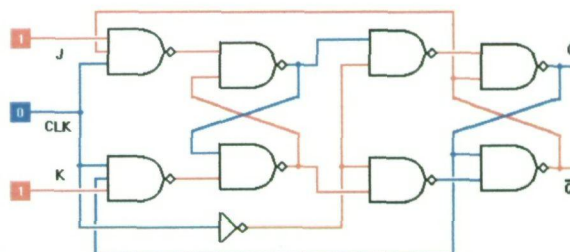


Figura V - 15. Flip flop JK. Tabla de verdad, esquema y cronograma de la división por 2

A la salida de los seis registros se encuentra una puerta AND que, como ya se dijo en un principio, se emplea para generar un pulso (PULSO_SYNC) cuando todos los biestables tienen a su salida un "1". Éste provoca, mediante otra báscula JK, que cuando se produzca el pulso de sincronismo, se cambie de nivel y permanezca constante hasta la llegada de un nuevo pulso (o lo que es lo mismo, que se repita de nuevo el código). Esta señal será la que realice una modulación BPSK con el reloj introducido al sistema (20 MHz) mediante una puerta XOR, consiguiendo así un cambio de fase con cada comienzo de la señal de código.

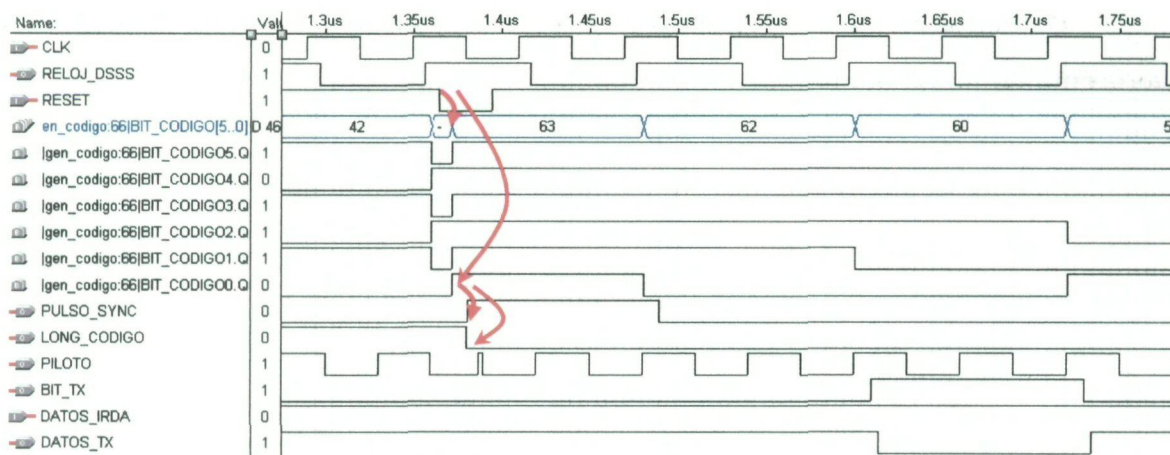


Figura V - 16. Cronograma del transmisor digital

En la figura V-16 se observa el cronograma perteneciente al transmisor completo. En primer lugar se puede ver la señal de reset cómo es activada por el usuario y cómo ésta provoca el inicio de la generación de código. A continuación se observan, por un lado, la señal de reloj de 20 MHz (CLK) que permitirá la formación del piloto y por el otro, el reloj generado por el flip flop JK (10 MHz) para la crear la señal de código.

Tras la ejecución del reset, todos los registros ponen un "1" a su salida provocando el inicio de la trama de código (valor 63). Conforme avanza el tiempo y debido a la realimentación con las puertas XOR, se suceden los consecutivos valores en el interior del registro de desplazamiento (62, 60, 57, ...).

Si se observa un periodo de tiempo mayor, pueden verse con mayor claridad las señales PULSO_SYNC y LONG_CODIGO (figura V-17).

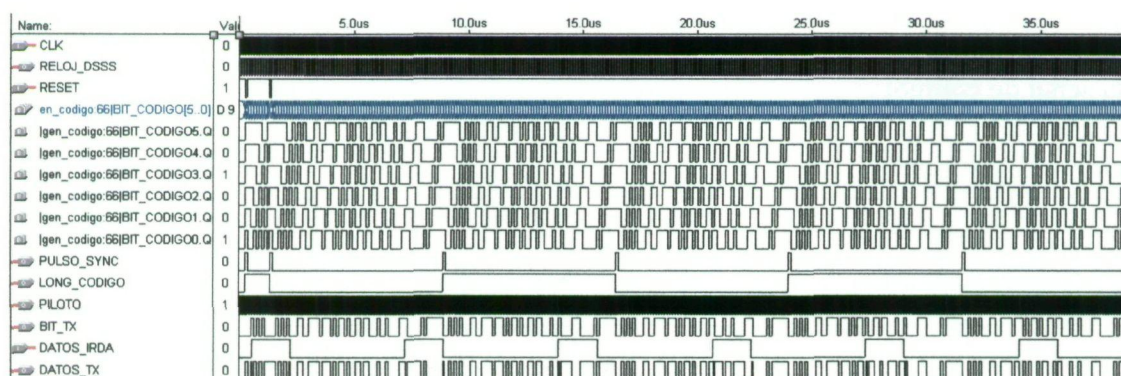


Figura V - 17. Cronograma del transmisor digital (mayor duración)

Por supuesto, en el interior del PLD también se incluye la lógica digital del receptor, pero se ha optado por explicarla en detalle en el apartado 3.3.2.

Estos cronogramas se muestran con más detalle en el anexo III.

3.3 Receptor

La parte más compleja del sistema reside en el receptor, ya que es necesario un sistema de sincronismo para el comienzo de la generación de código (ya se vio en el capítulo III la dificultad de hacer que la señal recibida estuviera sincronizada con el código generado en el receptor). De ahí el uso del piloto anteriormente mencionado.

Como se vio en la figura V-8, además del transmisor, hay dos bloques correspondientes al receptor: "Receptor" y "Demodulador". Cada uno de ellos tiene sus particularidades y serán detalladas a continuación.

3.3.1 Bloque RECEPTOR

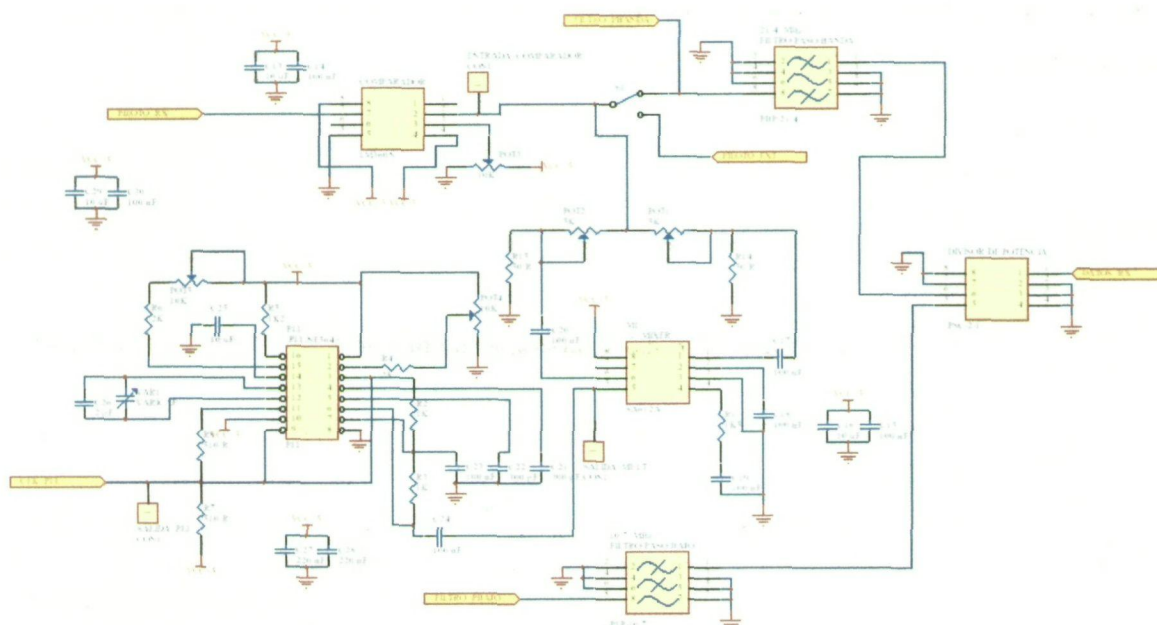


Figura V - 18. Esquemático del receptor

En la figura anterior (V-18) se puede ver el esquemático del bloque receptor. Las entradas de este módulo son las siguientes:

- **DATOS_RX**: La salida del receptor óptico se conectará a este punto.
- **PILOTO_EXT**: Se ha permitido introducir de forma externa el piloto para facilitar el testeo del funcionamiento del circuito.

A la entrada del receptor se tienen las dos señales (DSSS y piloto) además de las posibles interferencias existentes en el entorno. Lo primero que se ha de hacer es separar ambas señales ya que se parte de la idea que vienen sumadas ópticamente y que el circuito deberá regenerarlas para conseguir una correcta demodulación.

En primer lugar se pasa la señal proveniente del fotodiodo por un divisor de potencia para asegurar que se lleva a cabo una correcta adaptación de impedancia y que entrega la mitad de potencia a cada una de sus dos salidas. El *power splitter* empleado es el PSC-2-1 de Minicircuits cuyo rango de frecuencias de trabajo es 100 kHz – 400 MHz, más que suficiente para la aplicación para la que se está empleando (el límite lo impone la frecuencia del piloto).

Una de las señales que parten del divisor pasa por un filtro paso bajo con frecuencia de corte de 10.7 MHz que se emplea para recuperar la señal de espectro ensanchado eliminando así el piloto y posibles componentes de frecuencias elevadas. Dicho componente pasivo es el PLP-10.7 de Minicircuits. Sus principales características son:

Modelo	Banda de paso (MHz)	Frecuencias eliminadas (MHz)			
		pérdidas < 1 dB	Pérdidas = 3 dB	Pérdidas > 20 dB	Pérdidas > 40 dB
PLP-10.7	DC – 11		14	19 – 24	24 – 200

Tabla V - 3. Características del PLP-10.7

En la siguiente figura (V-19) se puede observar en detalle el esquemático:

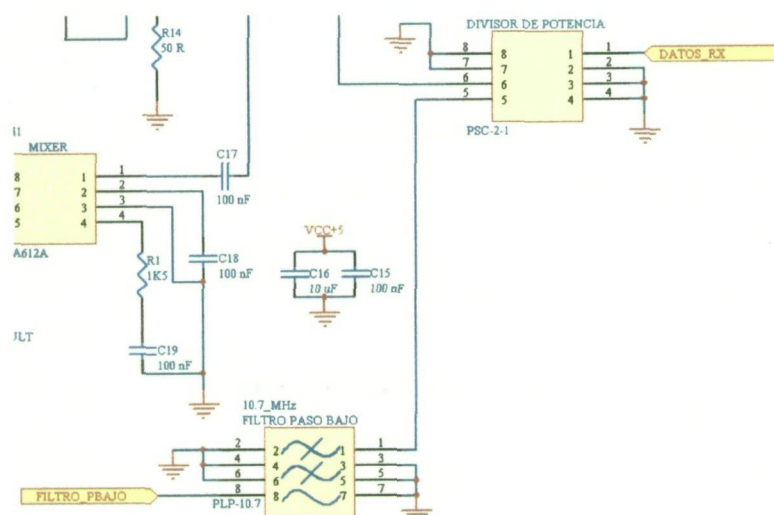


Figura V - 19. PSC-2-1 y PLP-10.7

La salida del filtro (FILTRO_PBAJO) será una de las entradas del bloque DEMODULADOR que se verá posteriormente (apartado 3.3.3).

Por otro lado, la otra salida del divisor de potencia va también a un filtro, pero en este caso, pasobanda. El objetivo de éste es obtener la señal del piloto a partir de la recibida por el fotodiodo. Se eligió el PBP-21.4 de Minicircuits. Dicho filtro tiene un ancho de banda tal que permite la recuperación del piloto centrado en 20 MHz sin apenas pérdidas. Las características técnicas son las siguientes:

Modelo	Banda de paso (MHz)	Frecuencias eliminadas (MHz)			
		pérdidas < 1.5 dB	Pérdidas = 3 dB	Pérdidas > 20 dB	Pérdidas > 35 dB
PBP-21.4	19.2 – 23.6	17.9 – 25.3	15.5 y 29	3 y 80-1000	

Tabla V - 4. Características del PBP-21.4

Se puede observar en la siguiente figura el esquemático de la rama que va del PSC-2-1 al filtro pasobanda:

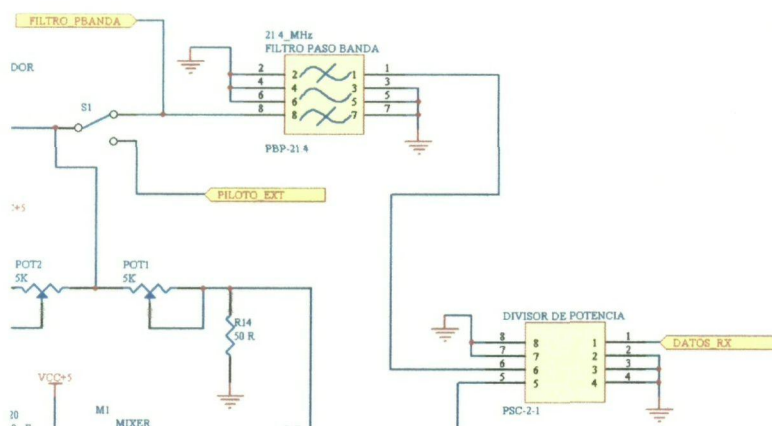


Figura V - 20. PSC-2-1 y PBP-21.4

Como en esta apartado se está analizando el bloque RECEPTOR y no el DEMODULADOR (ambos aparecían en el esquemático total), se continuará con el análisis del tratamiento que se aplica al piloto que será empleado para el sincronismo del sistema y no con la señal DSSS recibida.

A partir de este punto, se comentará cómo se procede con la señal del piloto una vez filtrada.

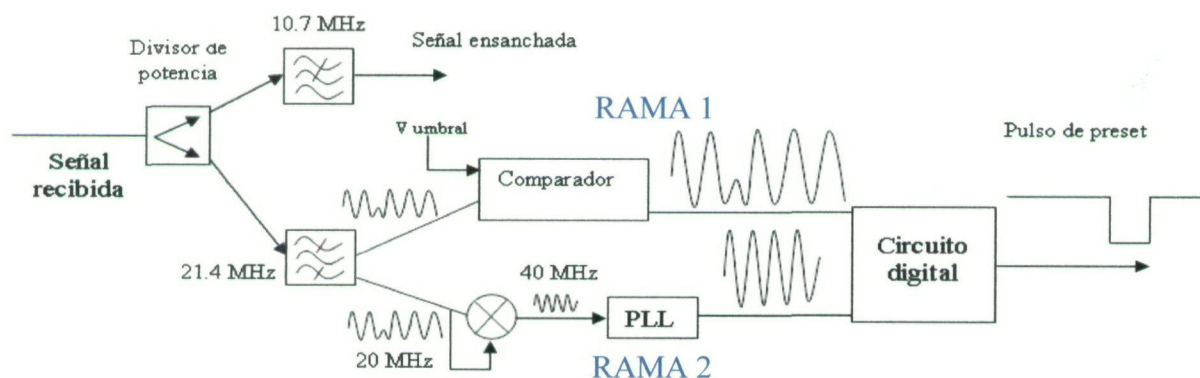


Figura V - 21. PSC-2-1 y PBP-21.4

Como se ve en la figura anterior (V-21), el piloto se ve dividido en dos ramas. En la superior se regenera mediante un comparador obteniendo la misma señal transmitida con niveles de tensión aceptables para ser introducidos en el PLD (entorno a 5 voltios) y por la rama inferior, se obtiene una señal de reloj válida para la generación del código en el receptor.

Rama 1

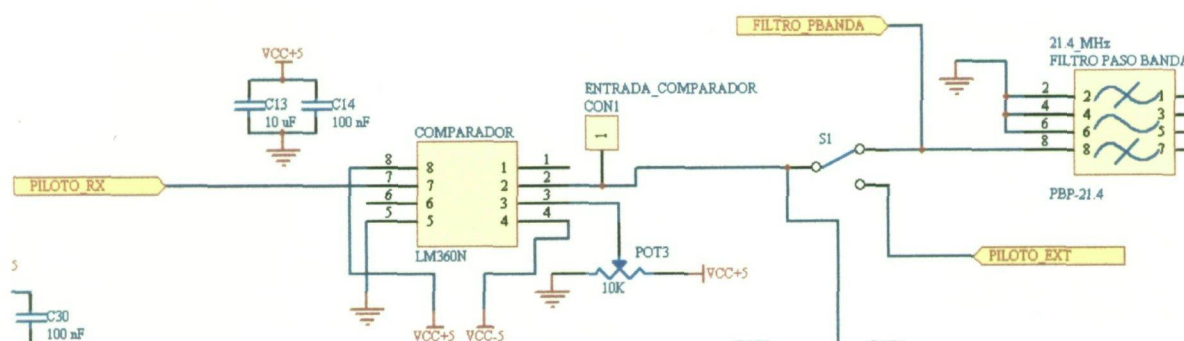


Figura V - 22. Rama 1 del bloque receptor

En primer lugar, se observa un conmutador. Se ha decidido su inclusión para permitir la introducción de un piloto externo y poder así, hacer las pruebas necesarias para saber si el funcionamiento es correcto.

A continuación aparece un comparador de alta velocidad (LM360N de National) cuyo patillaje es el siguiente:

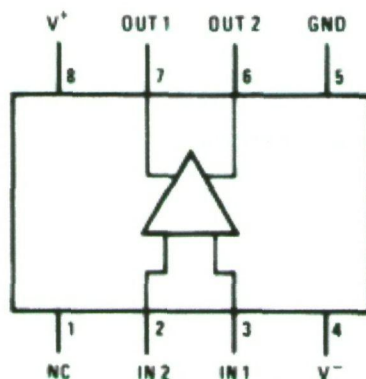


Figura V - 23. Patillaje del LM360N

Cómo se observa en la figura V-22, la entrada 3 del C.I. es el nivel de referencia que se impone en función de la señal piloto que entra en el dispositivo a través del pin 2. y dicho nivel de tensión DC se controla con el potenciómetro (POT3). A la salida, pues, se tiene la misma señal de entrada con niveles de tensión entre V^- y V^+ , o lo que es lo mismo, $-5V$ y $5V$. Este fenómeno se puede ver gráficamente en la figura V-21.

Los condensadores C13 y C14 se emplean para evitar posibles interferencias en las líneas de alimentación (como se han incluido ambos condensadores de $10\ \mu F$ y $100\ nF$

Rama 2



En ambas entradas del mezclador se introducen potenciómetros para controlar el nivel de señal entrante al dispositivo (mediante sendos divisores de tensión). Como en un mezclador se obtiene a la salida un *batido* de frecuencias, interesa ir variando la potencia

de las dos entradas para conseguir que la componente de 40 MHz sea máxima. En la siguiente figura se puede ver con claridad:

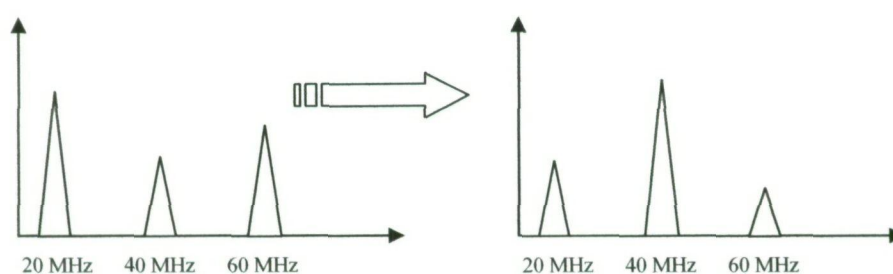


Figura V - 26. Efecto del control de los niveles de la señal de entrada al mezclador

A continuación se introduce dicha señal a un PLL (NE564 de Philips) que se engancha a dicho valor de frecuencia consiguiendo así obtener a su salida un reloj (sin cambios de fase) a 40 MHz y, además, con niveles TTL.

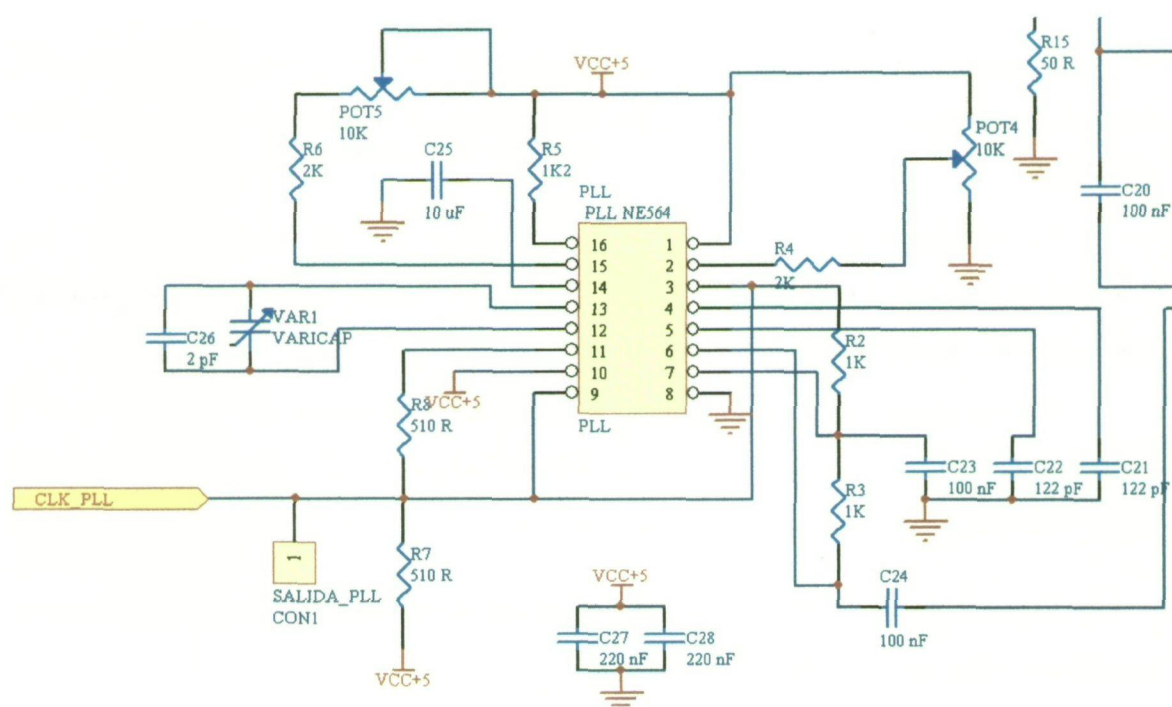


Figura V - 27. Rama 2 del bloque receptor (b)

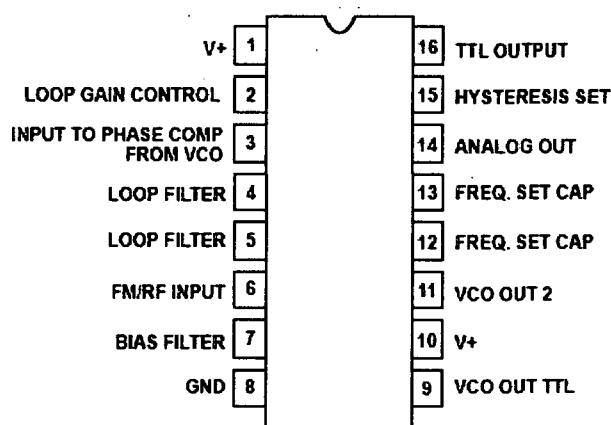


Figura V - 28. Patillaje del NE564

Para realizar el diseño de la circuitería externa al PLL se han seguido las directrices del fabricante, a excepción de algunos de los componentes, que han sido calculados específicamente para esta aplicación. A continuación se detallan los pasos:

En primer lugar, se ha de fijar la frecuencia libre de oscilación, que se ha situado en 40 MHz. Y de aquí se obtiene el valor del condensador situado entre los pines 12 y 13 del integrado.

$$C_o = \frac{1}{2200 \cdot f_o} \approx 12 \text{ pF} \quad [\text{V-1}]$$

Debido a que es un valor ideal, se ha optado por poner un condensador (C26) cerámico de 2 pF en paralelo con uno variable (de rango entre 2 – 22 pF) para permitir su ajuste manual.

El potenciómetro POT4 se emplea para variar la corriente entrante al dispositivo que debe ser de, aproximadamente, 100 μA .

Otros parámetros a tener en cuenta son el margen de enganche y el margen de seguimiento. A continuación se verán ambos y los valores de componentes obtenidos a partir de ellos.

El margen de enganche viene dado por la siguiente fórmula:

$$\omega_c = \sqrt{\frac{2\omega_L}{\tau}} = \sqrt{\frac{2\omega_L}{RC}} \quad [V-2]$$

R es una resistencia interna que vale 1,3 k Ω y $2\omega_L$ es el margen de seguimiento.

Fijando el margen de enganche y de seguimiento en:

$$2\omega_L = 0,1 \cdot \omega_o = 0,1 \cdot 2\pi \cdot f_o = 0,1 \cdot 2\pi \cdot 4 \cdot 10^6 = 25,13 \cdot 10^6 \text{ rad / s} \quad [V-3]$$

$$\omega_c = 0,05 \cdot \omega_o = 12,56 \cdot 10^6 \text{ rad / s} \quad [V-4]$$

Despejando el condensador C de la expresión [V-2], y junto a los márgenes calculados ([V-3] y [V-4]), se obtiene

$$C = \frac{2\omega_L}{R \cdot (\omega_c)^2} = \frac{25,13 \cdot 10^6}{1,3 \cdot 10^3 \cdot (12,56 \cdot 10^6)^2} = 122 \text{ pF} \quad [V-5]$$

Esta capacidad (introducida en los pines 4 y 5 mediante los condensadores C21 y C22) junto a la resistencia interna conforman el filtro de lazo característico de los PLLs.

Volviendo a la figura V-21, se observa que ambas ramas analógicas del circuito receptor son introducidas en el PLD para su tratamiento digital. Dicho bloque será explicado en el siguiente apartado.

3.3.2 Diseño digital correspondiente al receptor DSSS

En este bloque se realizará la recuperación de un pulso de preset a partir de las señales recibidas (piloto regenerado y reloj de 40 MHz) que se utilizará para dar comienzo al proceso de generación de la señal de código necesaria para la demodulación de la señal DSSS recibida.

El bloque completo del diseño digital correspondiente al receptor es el siguiente:

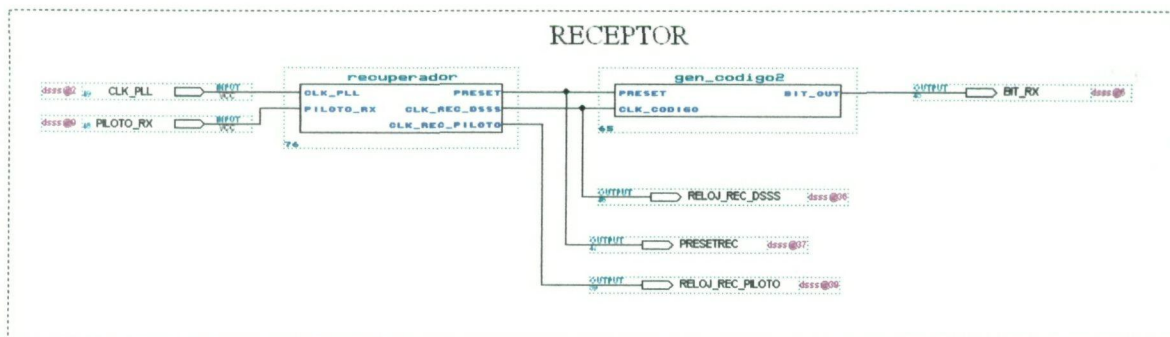


Figura V - 29. Diseño digital: Receptor

El diseño está compuesto por las entradas siguientes:

- **CLK_PLL**: Es la señal de reloj de 40 MHz proveniente del PLL.
- **PILOTO_RX**: Piloto recibido.

En este caso, las salidas son:

- **RELOJ_REC_PILOTO**: Señal de reloj de 20 MHz obtenida a partir de CLK_PLL.
- **RELOJ_REC_DSSS**: Señal de reloj de 10 MHz generada, al igual que la anterior, a partir de CLK_PLL.
- **PRESETREC**: Señal de preset que permitirá sincronizar la señal de código del receptor con la que empleó el transmisor.
- **BIT_RX**: Señal de código sincronizada y que será utilizada para la demodulación DSSS.

A continuación se estudiarán los dos módulos que componen este sistema.

Recuperador

En este bloque se obtiene una señal de preset cada vez que se produce un cambio de fase en el piloto entrante además de recuperar el reloj necesario para la generación del código en el receptor.



Por otro lado, la señal proveniente del PLL (40 MHz) se ve dividida dos veces permitiendo así la obtención de una señal de reloj de 10 MHz (CLK_REC_DSSS) necesaria para la generación del código.

En el siguiente cronograma podrá apreciarse el comportamiento del bloque recuperador de sincronismo:

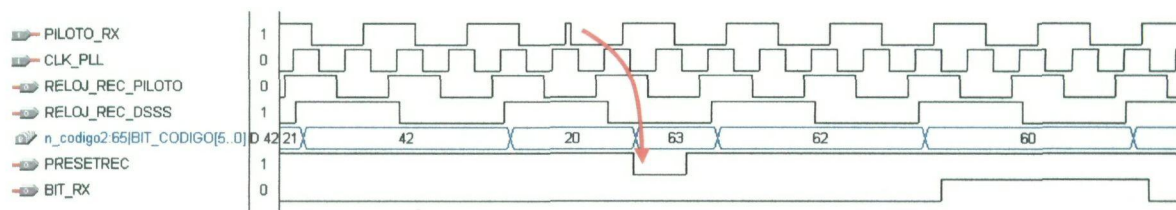


Figura V - 31. Cronograma del receptor digital

Gen_codigo2

Este bloque es igual que el generador de código del transmisor (a excepción de la parte correspondiente a la creación de la señal piloto), ya que es condición necesaria que las tramas sean iguales además de estar sincronizadas para una correcta demodulación.

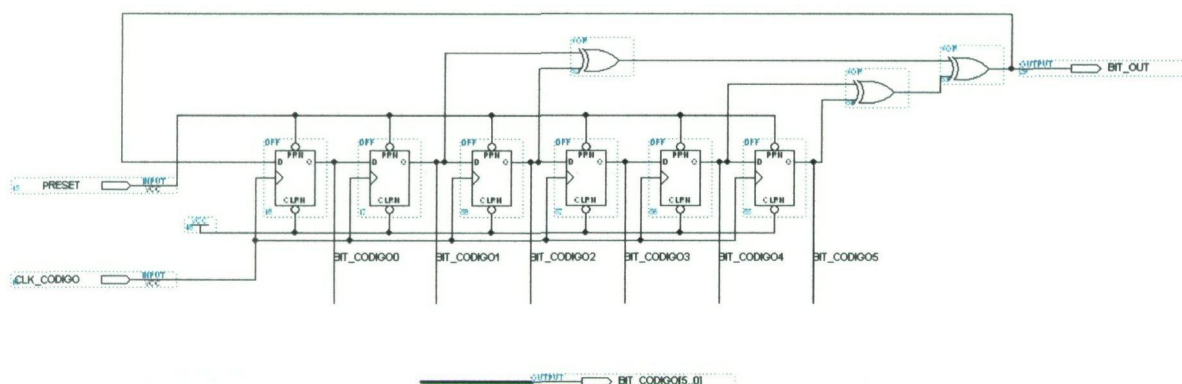


Figura V - 32. Diseño digital: Gen_codigo2

Como se intuye observando el diseño digital correspondiente al receptor (figura V-29), será el pulso de preset generado en el bloque “recuperador” el que provocará el SET en los 6 flip flops haciendo que a la salida de todos ellos haya un “1” lógico.

El reloj empleado para la generación del código es, como se mencionó anteriormente, el recuperado a partir de la señal piloto (RELOJ_REC_DSSS) tal y como se puede ver en el cronograma de la figura V-31.

3.3.3 Bloque DEMODULADOR

Este segundo bloque analógico del receptor y último del circuito IrDA-DSSS (figura V-8), tiene como misión demodular la señal de espectro ensanchado para obtener la señal IrDA que originalmente fue transmitida.

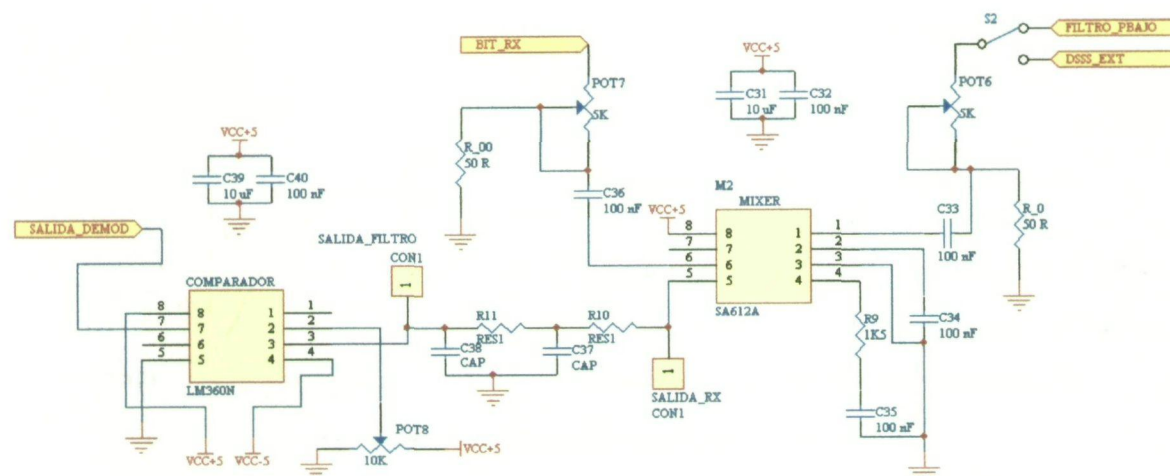


Figura V - 33. Esquemático del demodulador

En este bloque se tienen como entradas, por un lado la señal DSSS (FILTRO_PBAJO) obtenida en el bloque “RECEPTOR” mediante el filtrado paso bajo que se explicó en el apartado 3.4.1, y por otro la señal de código generada en el PLD (apartado 3.3.2) cuyo nombre es BIT_RX.

De nuevo se emplea un conmutador para dar la opción al usuario a introducir la señal ensanchada de forma externa para el testeo del circuito.

Siguiendo la estructura (figura V-31), se observa un mezclador (SA612A de Philips) que actúa como multiplicador entre las dos señales previamente mencionadas para permitir la demodulación DSSS. En este caso se vuelven a introducir potenciómetros para regular los niveles de entrada y así conseguir unos valores de amplitud suficientes. En este punto hay un detalle que destacar. Como se comprobó empíricamente (se verá en el capítulo VI), la señal demodulada que proviene del mezclador está invertida, es decir, está siempre a nivel alto excepto cuando se produce un pulso IrDA. Esto es idóneo, puesto que como el *bridge* USB-IrDA (STIr4200) está configurado para recibir los pulsos invertidos

(los fotodiodos o *transceivers* siempre actúan de esa forma), basta con regenerar la señal que sale del multiplicador para pasarla al pin RXD de la PCB USB-IrDA.

Como la salida del mezclador lleva un gran número de componentes frecuenciales no deseadas, se ha optado por introducir un filtro RC paso bajo de dos etapas con frecuencia de corte 620 kHz (aproximadamente el ancho de banda de la señal IrDA SIR con la que se está tratando).

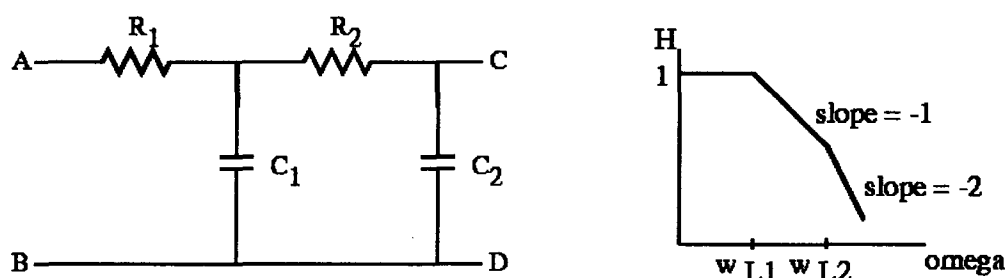


Figura V - 34. Filtro RC paso bajo de dos etapas

Los valores de las resistencias y condensadores se calculan a partir de la siguiente fórmula:

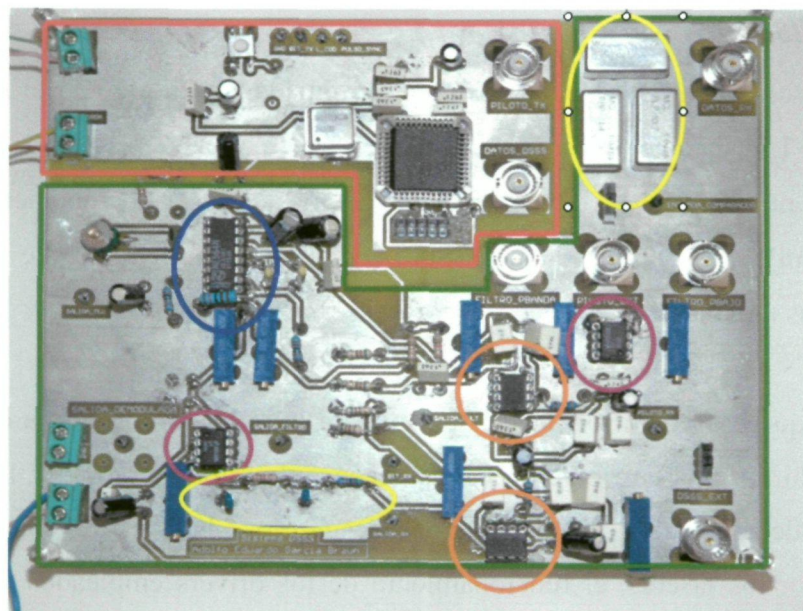
$$f_c = \frac{1}{2\pi \cdot R_1 C_1} \cdot \frac{1}{2\pi \cdot R_2 C_2} \quad [V-6]$$

Tras una serie de simulaciones se determinó que los valores óptimos eran:

- C1=C2= 15 pF
- R1 = 5 kΩ
- R2 = 1 kΩ.

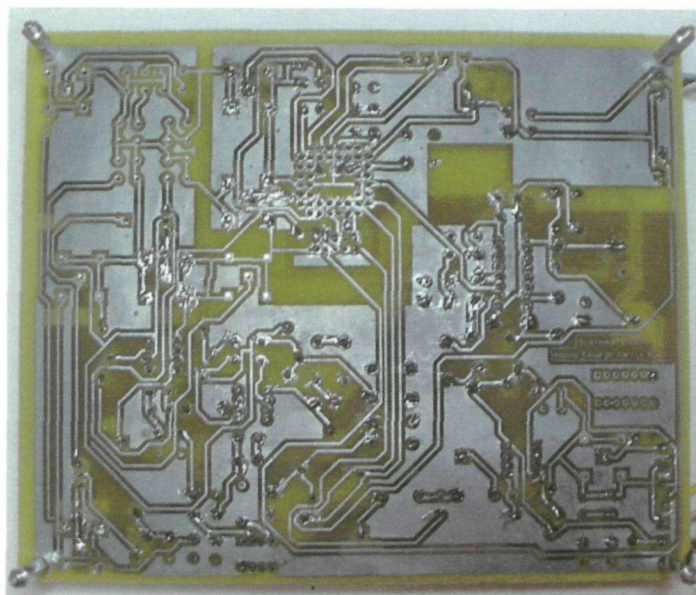
Tras filtrar la señal IrDA, es necesario regenerar la señal, de ahí que, como se ve en la figura V-33, se emplee de nuevo el comparador (LM360N de National) empleado anteriormente en la recepción del piloto.

3.4 Aspecto físico



■ Transmisor
 ■ Receptor
 ■ Filtros
 ■ PLL
 ■ Comparadores
 ■ Mezcladores

(a)



(b)

Figura V - 35. Circuito IrDA-DSSS (foto). (a) Top Layer. (b) Bottom Layer

4. Transmisor óptico

4.1 Diseño

Para realizar una transmisión óptica no guiada, se ha elegido el IRED L7558 de Hamamatsu. Las características del mismo lo hacen idóneo para esta aplicación, pues admite a su entrada señales de hasta 50 MHz además de tener una potencia óptica elevada (hasta 250 mW de flujo radiante). Se puede ver con más detalle en su hoja de características (Anexo V).

Para que el fotoemisor pueda transmitir la información de forma correcta necesita ser polarizado por una corriente de varias decenas de miliamperios [9]. Debido a que las prestaciones de corriente y de tensión requeridas por los LEDs/IREDs son menores que las requeridas por los láseres, el funcionamiento de los drivers empleados para polarizarlos son sencillos ya que no necesitan de circuitería compleja (como por ejemplo, la compensación de temperatura). Lo único a tener en cuenta es cuando las velocidades de transmisión son altas, ya que se deberá utilizar estructuras más complejas que minimicen los efectos perniciosos que puedan tener sobre el circuito, como son puertas lógicas de alta velocidad, circuitos de preénfasis que proporcionen picos de corriente que hagan conmutar el LED a mayor velocidad, etc... además de sistemas de polarización que mantengan una corriente suficientemente pequeña para que el LED no conmute, pero que al aumentar un poco la corriente, éste cambie de estado.

El driver implementado para la estimulación del componente ha sido el siguiente:

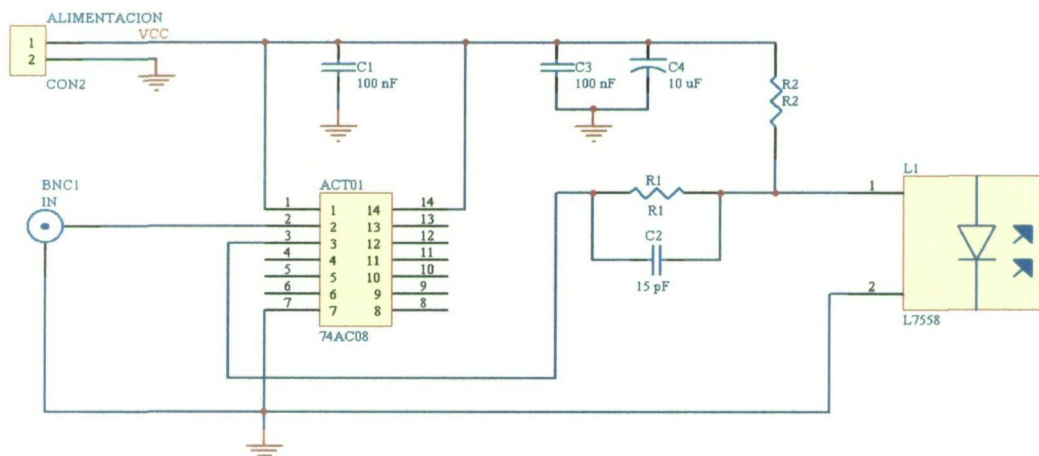


Figura V - 36. Esquemático de un transmisor óptico

■ Radiant flux vs. forward current

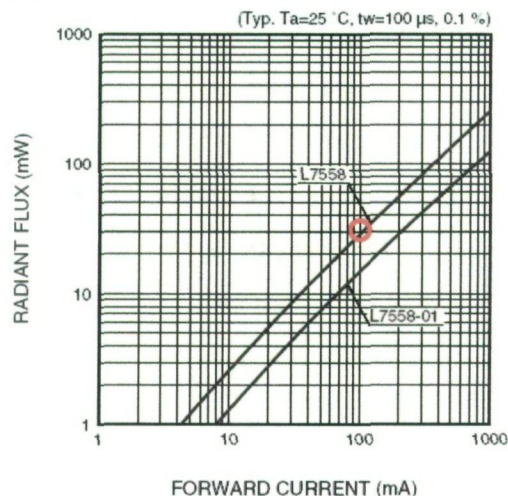


Figura V - 37. Flujo radiante frente a corriente en directa (L7558)

El valor elegido ha sido 30 mW de potencia óptica, o lo que es lo mismo, 100 mA de corriente.

- 4) Conocida la corriente, el valor de R2 es inmediato: 35 Ω.

Para establecer los valores de los componentes del circuito de preénfasis se han seguido otros pasos:

- 1) Sabiendo que $\frac{1}{\tau_{trabajo}} = \frac{1}{2\pi RC}$, y que se desea que esto sea igual a 10 veces la frecuencia de trabajo para no limitar la velocidad del sistema, se hace el cálculo:

$$10 \cdot f_{trabajo} = \frac{1}{2\pi R_1 C_2}$$

- 2) Para 20 MHz (frecuencia máxima de trabajo): $10 \cdot 20 \cdot 10^6 = \frac{1}{2\pi R_1 C_2}$.

- 3) Si se fija uno de los valores, por ejemplo el condensador, a 15 pF, se obtiene la resistencia necesaria.

$$R_1 = \frac{1}{2\pi \cdot 200 \cdot 10^6 \cdot 15 \cdot 10^{-12}} = 53 \Omega$$

Por tanto, los valores son: R1 = 53 Ω y C2 = 15 pF.

El diseño para un transmisor quedaría así concluido.

Los condensadores C1, C3 y C4 son, como ya se ha visto anteriormente, para el filtrado de las líneas de alimentación.

Como circuito de excitación del IRED se ha usado una puerta AND (74AC08 de Texas Instruments) con salida de colector abierto cuyas entradas son, por un lado VCC y por el otro la señal a transmitir (bien el piloto, bien la señal DSSS). La salida de este C.I. se conecta a un circuito de preénfasis compuesto por la resistencia R1 y el condensador C2. Su función es añadir un pico a la corriente de salida, que se produce por la carga y descarga del condensador, provocando así que la velocidad de conmutación del fotoemisor entre los estados *on* y *off* aumente. La finalidad de la resistencia R2 es la de proporcionar una corriente de polarización que sumada a la corriente de salida del circuito de preénfasis, hacen que el IRED funcione dentro de unos rangos óptimos.

El valor de R2 se ha calculado de la siguiente forma:

- 1) Se observa en la hoja de características del IRED el valor de la tensión en directa ($V_{FORWARD}$). En este caso era de 1,45 V.
- 2) Sabiendo que la tensión VCC era de 5 V, la corriente que atraviesa el dispositivo puede verse como:
$$I = \frac{5 - 1,45}{R2} = \frac{3,55}{R2} \text{ A.}$$
- 3) Para despejar R2 habrá que conocer la corriente. Para ello se acude a las especificaciones y se determina cuál debe ser la potencia óptica deseada para la aplicación, y en base a ese dato se conoce de forma inmediata la corriente.

Para el montaje de este sistema, se utilizó una caja plástica así como una lente para emisión infrarroja, tal y como se ve en la figura:

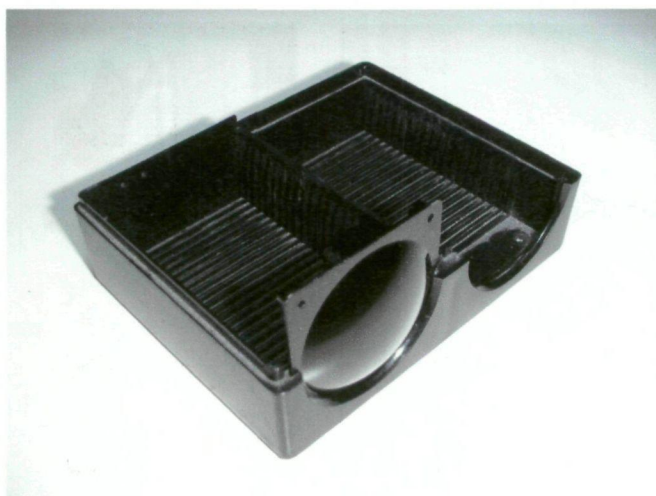


Figura V - 38. Soporte físico para los transmisores ópticos y lente empleada

Inicialmente se hicieron dos transmisores por separado, uno para el piloto y otro para la señal DSSS, pero resultó que, empíricamente, el fotodiodo empleado para la recepción exigía una alta directividad, de ahí que se optara por incluir los dos transmisores en la misma PCB usando así una única lente.

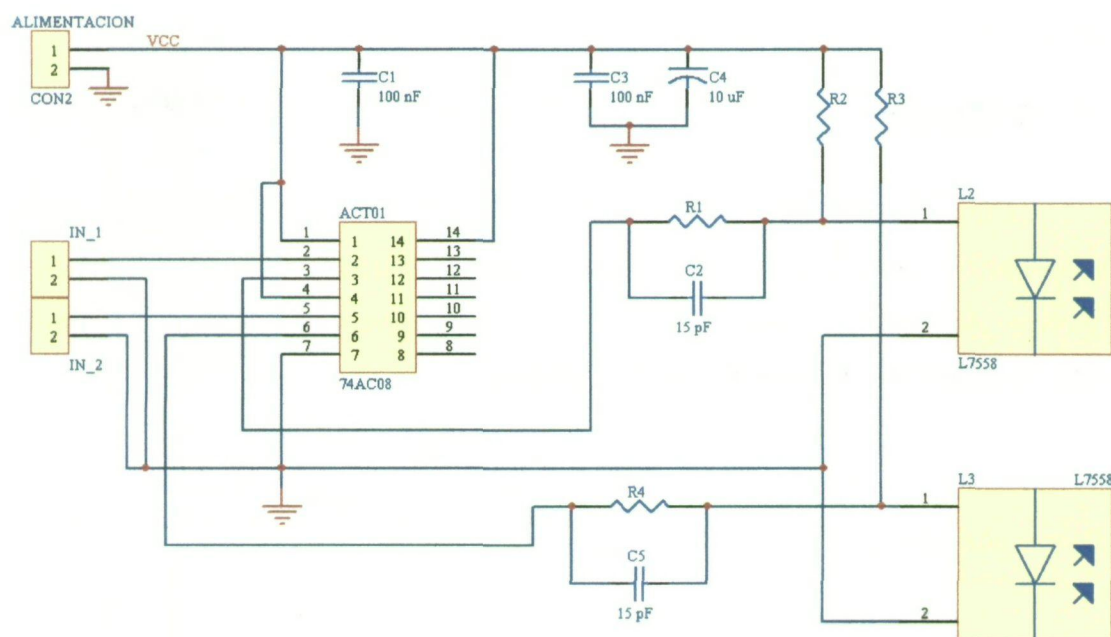
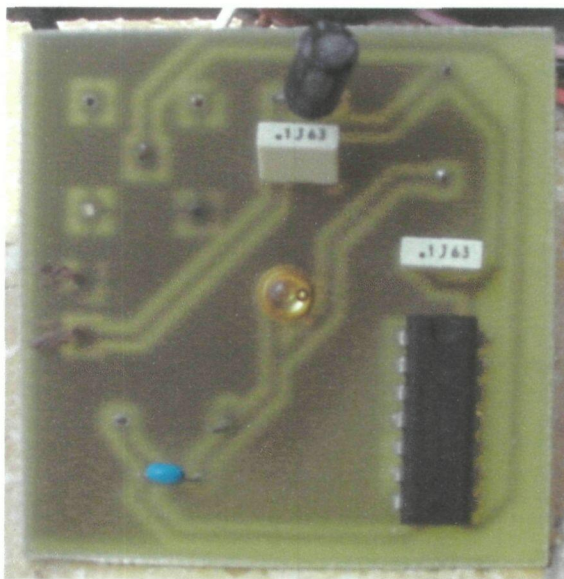
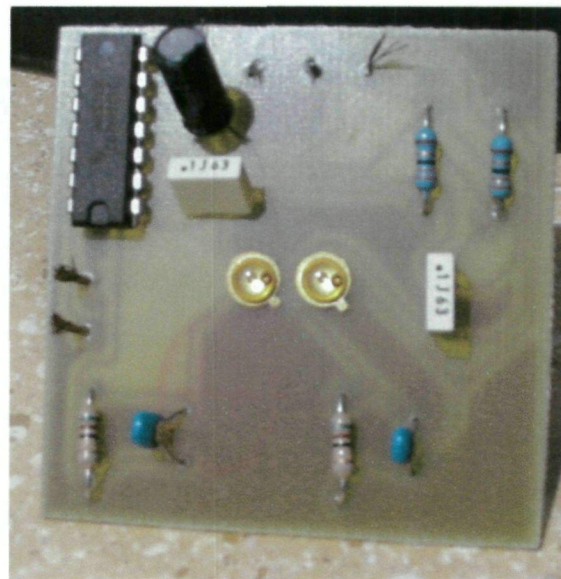


Figura V - 39. Esquemático de los 2 transmisores ópticos integrados en la misma PCB

4.2 Aspecto físico



(a)



(b)

Figura V - 40. Transmisor óptico (foto). (a) Con un transmisor. (b) Con dos transmisores

5. Receptor óptico

5.1 Diseño

La finalidad del fotorreceptor en un sistema de comunicaciones ópticas es la de transformar los fotones que inciden sobre él en impulsos eléctricos. En el caso concreto de un sistema de transmisión digital, deberá producir una secuencia de signos binarios que contengan la información del mensaje transmitido.

Debido a su importancia en un sistema de comunicaciones ópticas, el receptor debe satisfacer una serie de requisitos. Estos son:

- Alta sensibilidad a la longitud de onda de trabajo
- Contribución mínima al ruido total del receptor.
- Tener una respuesta rápida.
- Estar poco influenciado por las características del medio.

Una vez que los fotones incidentes han sido transformados en energía eléctrica, debe incluirse un preamplificador que se encargue de aumentar los niveles de la señal y rechazar el nivel de ruido en la medida de lo posible.

En el diseño del receptor óptico se ha optado por la utilización del fotodiodo PiN S6468-02 de Hamamatsu. Éste, como se puede ver en el anexo V, tiene como principal característica la incorporación del preamplificador integrado. Esto reduce la complejidad del diseño, además de permitir una recepción en óptimas condiciones. Como detalle, el sufijo -02 corresponde al modelo capaz de recibir correctamente señales de hasta 35 MHz (suficiente para las condiciones con las que se trabaja en este proyecto).

Tras hacer diversas pruebas, se pudo comprobar que la señal, a 2 metros de distancia, tenía una amplitud de pico a pico de 100 mV. Teniendo en cuenta que posteriormente pasaría por un divisor de potencia (como se vio en el apartado 3.3 de este capítulo) y por un filtro pasivo (en cada rama), se decidió la incorporación de un amplificador monolítico de Minicircuits (MAR-1SM), cuya ganancia hasta 100 MHz, según especifica el fabricante, es de 18.5 dB.

Para asegurar una señal de valores razonables se optó por implementar dos amplificadores (adaptados a 50 ohmios) en cascada para aumentar dicha ganancia.

En la siguiente figura se puede ver el esquemático del diseño:

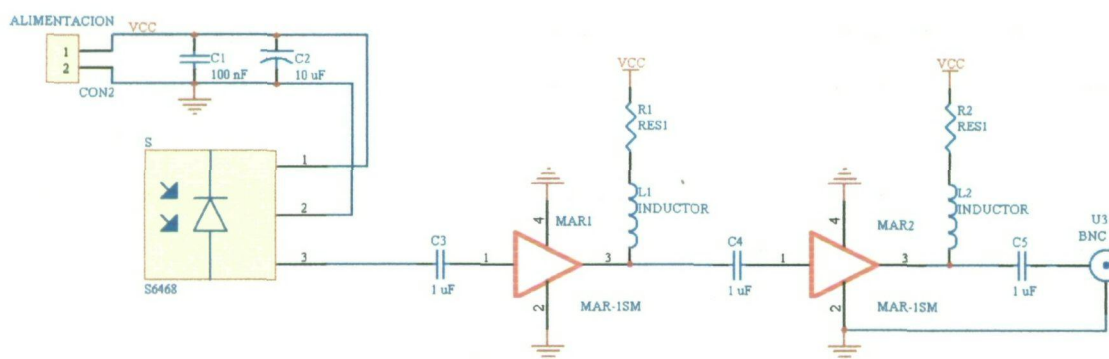


Figura V - 41. Receptor óptico

Las resistencias y bobinas que hay a la salida de los amplificadores se emplean para polarizarlos. El valor de la primera lo da el fabricante en función de la tensión empleada

para alimentar el circuito. En el caso de 5 V, la resistencia debe ser despreciable (se utilizó una de 4,7 ohmios). Por otro lado, la bobina de choque tiene un valor de 1 μ H.

Los condensadores a la entrada y salida de los amplificadores son empleados para bloquear un posible nivel de continua no deseado.

5.2 Aspecto físico

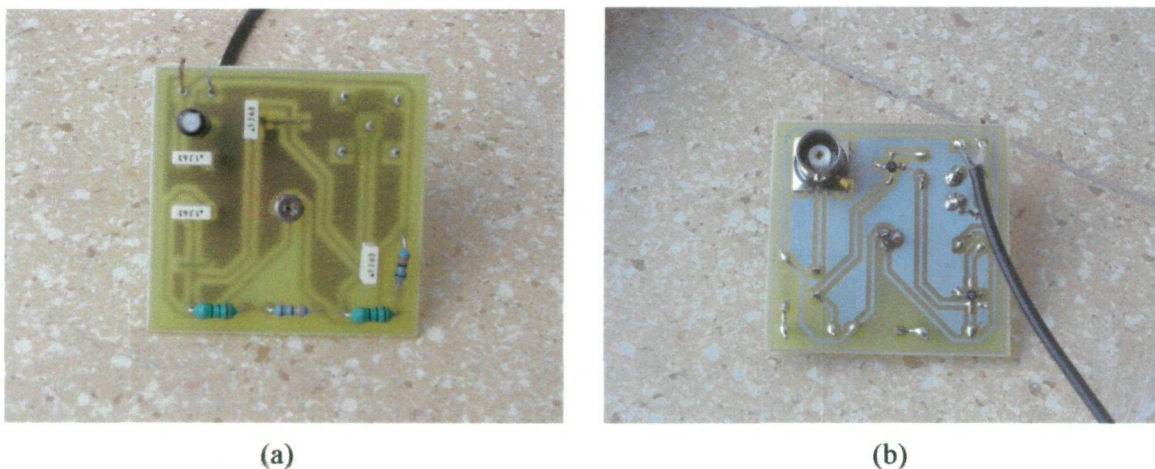


Figura V - 42. Receptor óptico (foto). (a) Vista frontal. (b) Vista trasera

6. CONCLUSIONES

En este capítulo se ha procedido a la implementación física de un sistema completo de comunicación óptica no guiada aplicado a tecnologías IrDA empleando para ello los métodos de ensanchado por secuencia directa. Como sistema de sincronismo se ha empleado un piloto consistente en una señal de reloj modulada en fase mediante BPSK. También se ha explicado como, para la modulación, demodulación y recuperación del piloto se ha empleado una cierta lógica digital desarrollada en un PLD.

También se diseñaron los transmisores y receptores ópticos adecuados para llevar a cabo una correcta comunicación empleando IREDs y fotodiodos de Hamamatsu.

VI. Resultados

1. Introducción

En este capítulo se expondrán los resultados que se han obtenido a la finalización del presente proyecto. En primer lugar se mostrarán las capturas – tanto temporales como frecuenciales – del primer circuito (USB-IrDA) donde se analiza la correspondencia entre la teoría y la práctica. Por otro lado, se observarán los resultados que se han obtenido en cada uno de los puntos del prototipo IrDA-DSSS, permitiendo así valorar si realmente se ha conseguido el objetivo propuesto.

Las señales en el dominio del tiempo se capturaron con el osciloscopio digital de dos canales *Agilent 54622D*; además de usarse en la fase de ajuste de los circuitos. Por otro lado, las densidades espectrales de potencia se adquirieron con el analizador de espectros R3131A de *Advantest* (9 kHz -3 GHz).

2. Conversor USB-IrDA

Para la toma de resultados se realizó un montaje tal y como se describe a continuación: Uno de los módulos se conectó, a través del puerto USB, a un PC de sobremesa; la otra, a un portátil. De tal forma que los IREDs tuvieran visión directa.

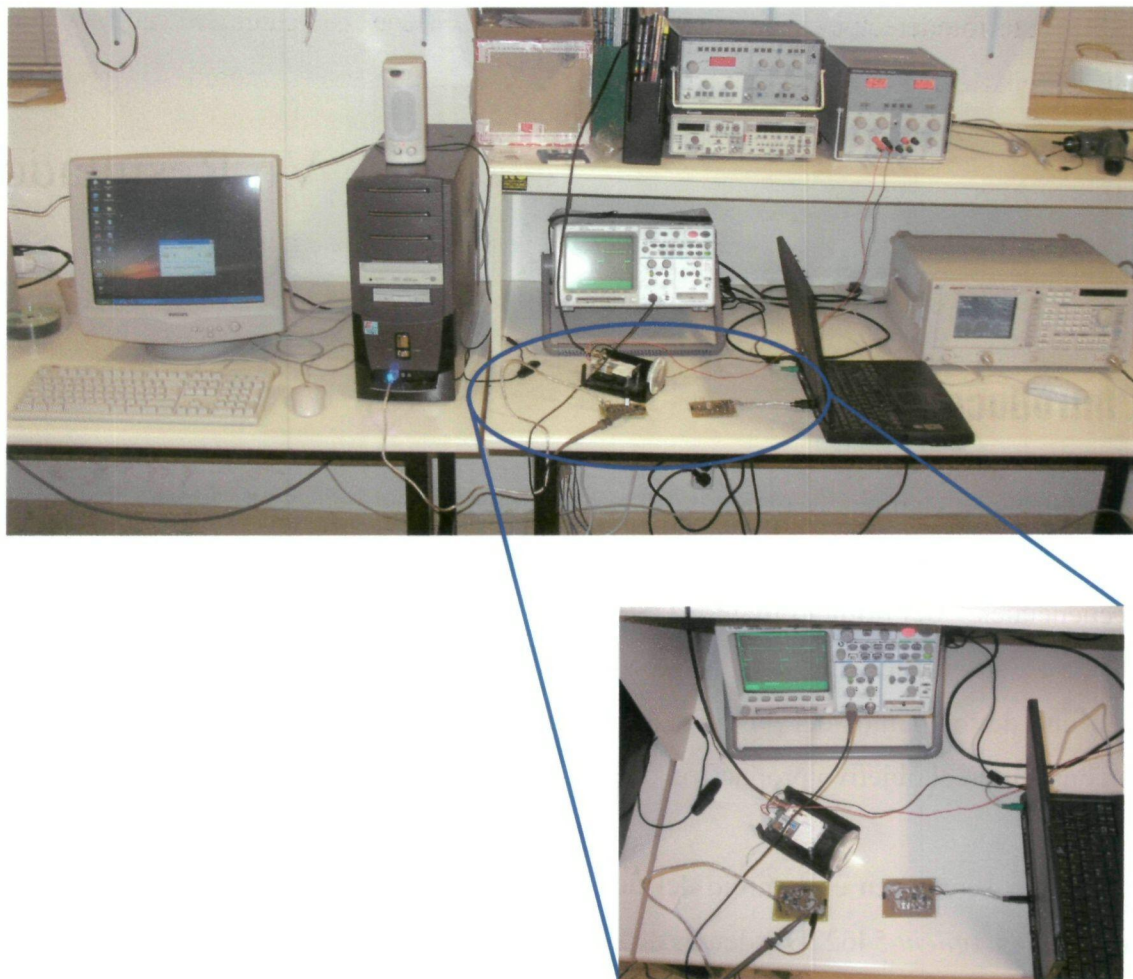


Figura VI - 1. Montaje de medida para las señales del conversor USB-IrDA

El otro dispositivo que aparece en las figuras es un módulo fotorreceptor de Hamamatsu (C5331-11) con un diodo APD (*Avalanche Photo Diode*) (Anexo V).

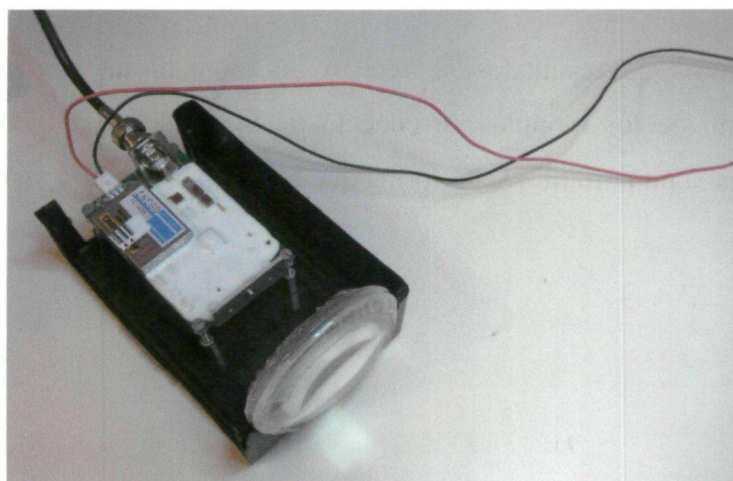


Figura VI - 2. APD C5331-11 de Hamamatsu

Este fotodetector está alimentado con + 5 V y tiene una salida coaxial, por donde sale la señal captada por el semiconductor. Este módulo permite, como se verá en este capítulo de resultados, captar las señales ópticas para comprobar el efecto de las interferencias. Es necesario su uso ya que, como el *frontend* del conversor es el IrDA *transceiver* y éste posee la circuitería necesaria para la regeneración de la señal, no se pueden hacer medidas reales de lo que recibe el transceptor, sino de lo que éste convierte al dominio eléctrico (señal filtrada y con una restauración de los niveles idónea para la comunicación con el *bridge* STIr4200).

2.1 Transmisión y Recepción en condiciones ideales

Como se vio en el capítulo V, el chip STIr4200 de Sigmatel sólo soporta los modos SIR y FIR (no incluye las tasas de 0.576 Mbps, 1.152 Mbps y 16 Mbps). Es por ello, por lo que se ha optado por mostrar, bajo condiciones ambientales ideales – ausencia de iluminación ambiente y distancia entre IREDs mínima (5 cm) –, tres de las tasas de datos: 9600 bps, 115.2 kbps y 4 Mbps.

En los tres casos se han analizado las señales de transmisión (TXD) y recepción (RXD) de uno de los módulos bajo las condiciones mencionadas.

2.1.1 SIR (9600 bps y 115.2 kbps)

Aunque el estándar IrDA especifica un determinado ancho de pulso para cada una de las tasas, el IRED TFDU6102 de Vishay no lo cumple estrictamente (tabla VI-1). Su solución es sencilla: todos aquellos modos SIR con los que trabaja, poseen el mismo ancho de pulso (consecuentemente el mismo ancho de banda) y lo que hace es distanciar más o menos los pulsos entre sí. El resultado de esta operación es correcto, por supuesto, pues la tasa binaria es la esperada.

Signaling Rate	Modulation	Rate Tolerance % of Rate	Pulse Duration Minimum	Pulse Duration Nominal	Pulse Duration Maximum
2.4 kbit/s	RZI	+/- 0.87	1.41 μ s	78.13 μ s	88.55 μ s
9.6 kbit/s	RZI	+/- 0.87	1.41 μ s	19.53 μ s	22.13 μ s
19.2 kbit/s	RZI	+/- 0.87	1.41 μ s	9.77 μ s	11.07 μ s
38.4 kbit/s	RZI	+/- 0.87	1.41 μ s	4.88 μ s	5.96 μ s
57.6 kbit/s	RZI	+/- 0.87	1.41 μ s	3.26 μ s	4.34 μ s
115.2 kbit/s	RZI	+/- 0.87	1.41 μ s	1.63 μ s	2.23 μ s
0.576 Mbit/s	RZI	+/- 0.1	295.2 ns	434.0 ns	520.8 ns
1.152 Mbit/s	RZI	+/- 0.1	147.6 ns	217.0 ns	260.4 ns
4.0 Mbit/s (single pulse)	4PPM	+/- 0.01	115.0 ns	125.0 ns	135.0 ns
4.0 Mbit/s (double pulse)	4PPM	+/- 0.01	240.0 ns	250.0 ns	260.0 ns
16.0 Mbit/s	HHH(1,13)	+/- 0.01	38.3 ns	41.7 ns	45.0 ns

Tabla VI - 1. Especificaciones de la duración de los pulsos en función de la tasa binaria

Como detalle interesante, en los sistemas SIR se emplea una técnica para garantizar la coexistencia entre módulos con diferentes tasas de transferencia. Una vez se ha establecido la comunicación entre dos sistemas, el de mayor velocidad emite un pulso **SIP** (*Serial infrared Interaction Pulse*) al menos cada 500 ms [3]. En la siguiente figura se puede ver de forma ideal y la captura de dicho pulso en el conversor USB-IrDA implementado.

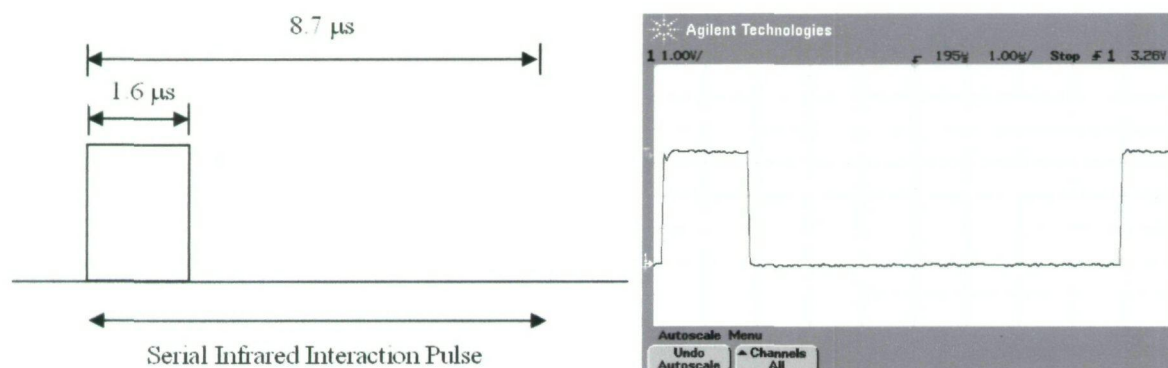


Figura VI - 3. Pulso SIP

De esta imagen se pueden sacar algunas conclusiones: En primer lugar se observa claramente como se están cumpliendo a la perfección las restricciones del estándar, y en segundo lugar, que la lógica con la que trabaja el sistema es de 0 – 3.3 V (esto es lógico, pues el IRED emplea esos valores de alimentación como se vio en el capítulo de diseño).

A continuación se pasan a realizar las medidas correspondientes a la transmisión y recepción en uno de los módulos. En la figura VI-4 se puede ver en qué puntos del circuito se tomarán las capturas de las señales.

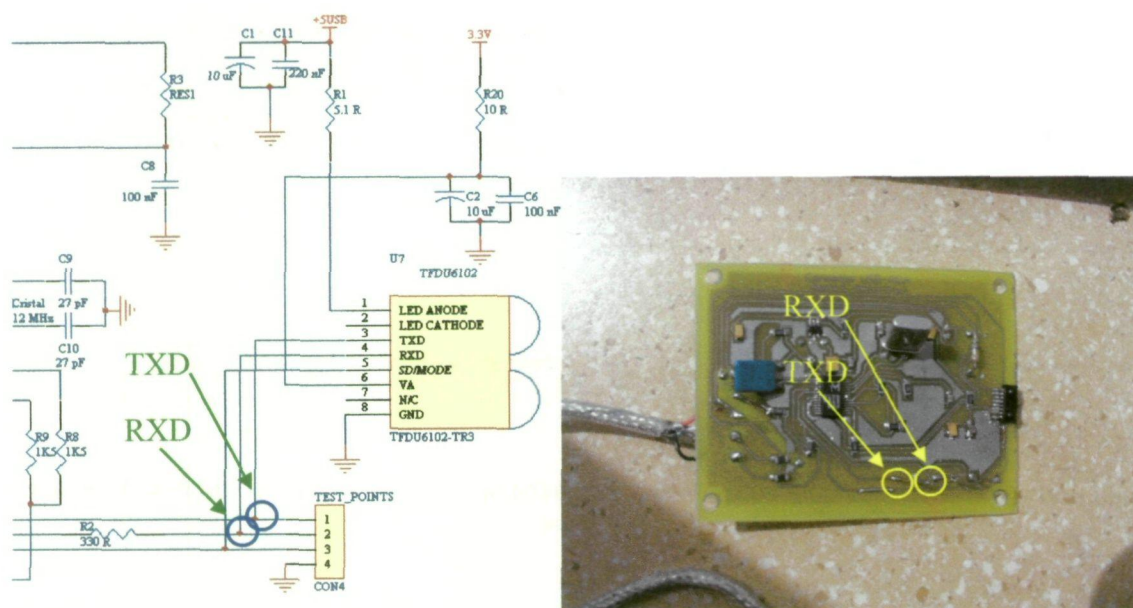


Figura VI - 4. Puntos de medida

Los pulsos transmitidos en el modo SIR a 115,2 kbps tienen una forma como la siguiente:

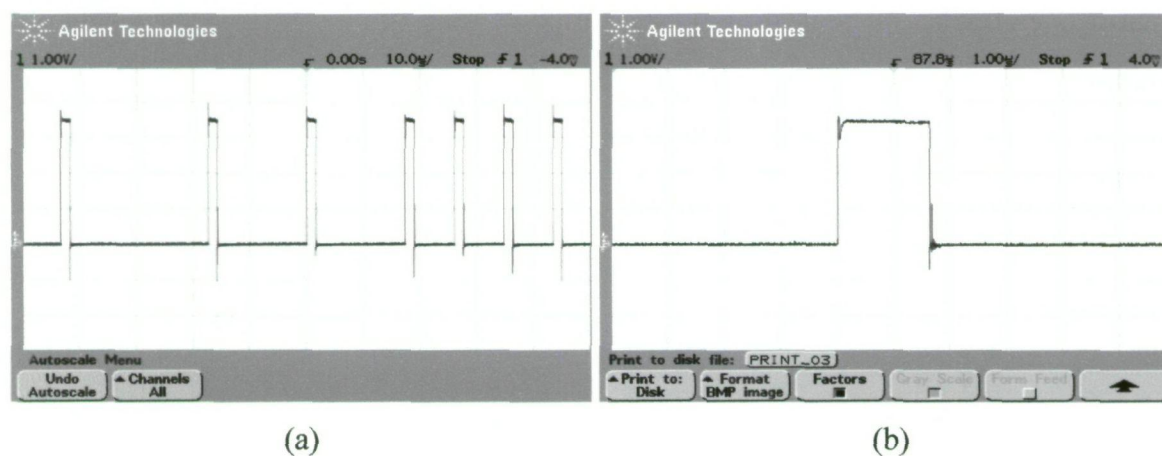


Figura VI - 5. Transmisión de datos en modo SIR (115,2 kbps). (a) Varios pulsos. (b) Detalle de uno de ellos.

Se puede comprobar cómo el ancho del pulso es 1,63 μ s, tal y como especifica el estándar (ver Tabla VI-1).

En el caso de 9600, como se dijo al principio, el ancho del pulso es igual que el anterior, pero para reducir la velocidad de transferencia, el periodo entre pulsos es mucho mayor. En la figura VI-6, se puede comprobar esta afirmación.

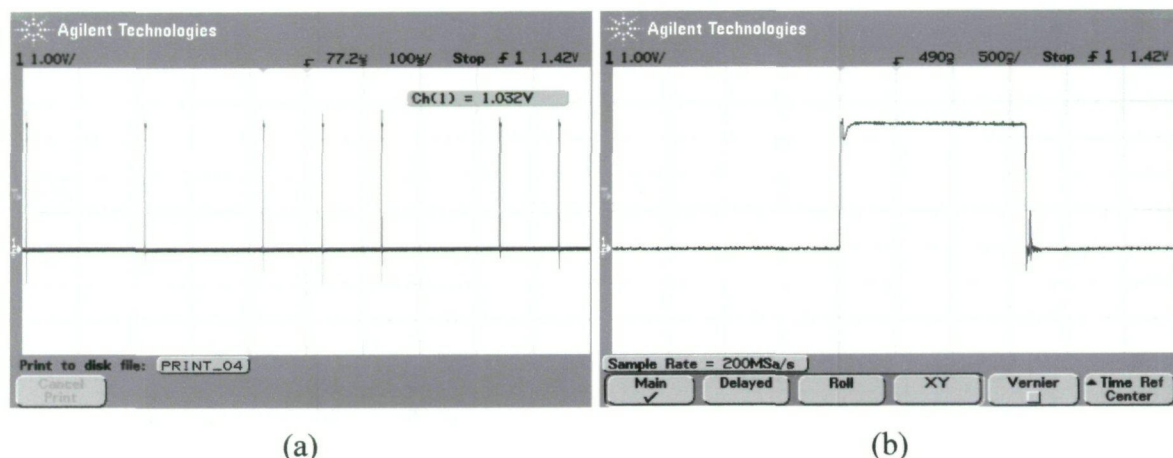


Figura VI - 6. Transmisión de datos en modo SIR (9600 bps). (a) Varios pulsos. (b) Detalle de uno de ellos.

En este caso, aunque no cumple estrictamente la recomendación del estándar (ancho de pulso de 19,53 μ s), el sistema funciona perfectamente.

En ambos casos, se observa junto al flanco de bajada una señal de una frecuencia mayor que el pulso. Si se analiza el espectro de la señal se observa más claramente este efecto:

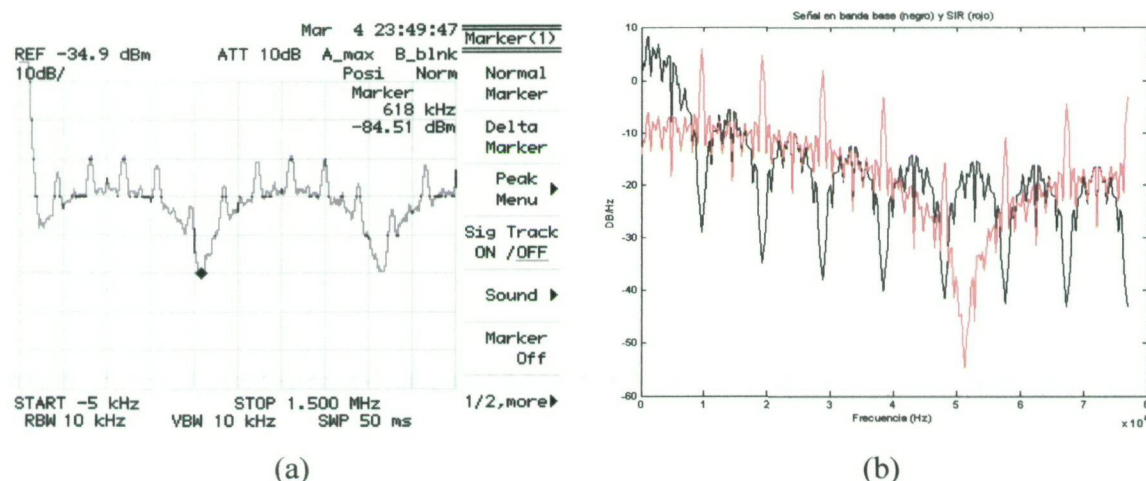


Figura VI - 7. DEP de la señal transmitida a 115.2 kbps. (a) Real. (b) Simulada.

En la DEP mostrada hay una elevada cantidad de espurios sobre la señal. Dichas componentes tienen una frecuencia de 9600 Hz y múltiplos de la misma. Esto, a simple vista, puede llevar a pensar que el reloj del sistema se está introduciendo en el pin de transmisión (TXD) del STIr4200, pero no es así, pues como se vio en el capítulo IV – figura VI-7(b) –, este efecto es inherente al esquema de simulación.

2.1.2 FIR (4 Mbps)

En el capítulo II se vio cómo el modo FIR emplea un sistema de codificación denominado 4-PPM. Este esquema permite la transmisión de dos bits en banda base que pueden verse como un único símbolo caracterizado por tener 4 slots (o ranuras) de tiempo, en las que se transmite un pulso en una de ellas reduciendo, por tanto, el consumo de potencia (limitando el ciclo de trabajo al 25 %). Esto sólo se refiere al *payload* (carga útil) ya que, en las cabeceras se transmite más de un pulso por símbolo – diferenciando así los datos transmitidos, propiamente, del comienzo y final de trama –. El formato de ésta en el modo FIR es el siguiente [3]:



Figura VI - 8. Trama FIR

DD es el payload, PA el preámbulo, STA el flag de START y STO el de STOP. A la hora de comprobar si realmente se transmitían estos campos, se optó por capturar el preámbulo de una de las tramas. El estándar especifica que dicho campo se transmite 16 veces consecutivas:



Figura VI - 9. Preámbulo de la trama

Mediante el osciloscopio se comprobó que, efectivamente, se transmitía correctamente el preámbulo, demostrando así que el comportamiento, una vez más, se ajustaba al estándar.

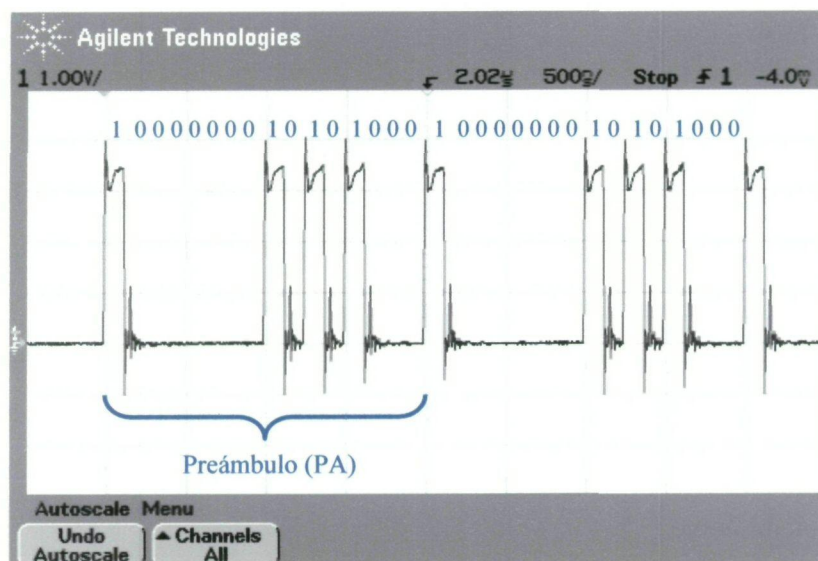


Figura VI - 10. Captura del preámbulo

A continuación se muestra un ejemplo de un payload real:

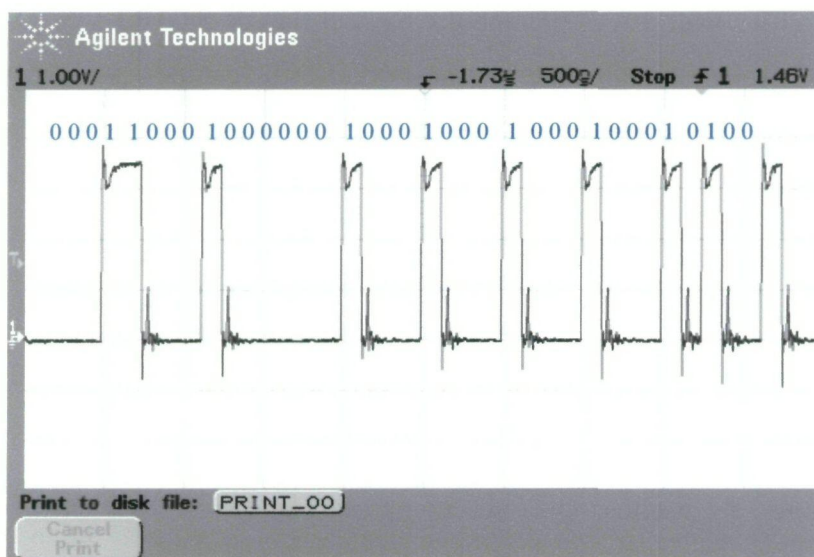


Figura VI - 11. Ejemplo de payload transmitido

También se comprobó que la duración del tiempo del pulso 4-PPM fuese la especificada por el estándar (125 ns), y así fue:

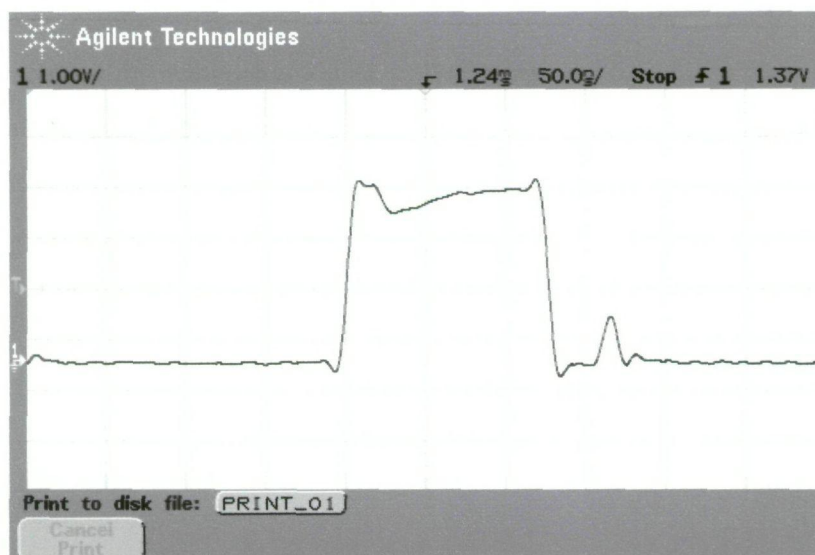


Figura VI - 12. Detalle del pulso 4-PPM

En la siguiente figura puede verse la DEP de la señal 4-PPM medida en el circuito así como la simulada en el capítulo IV.

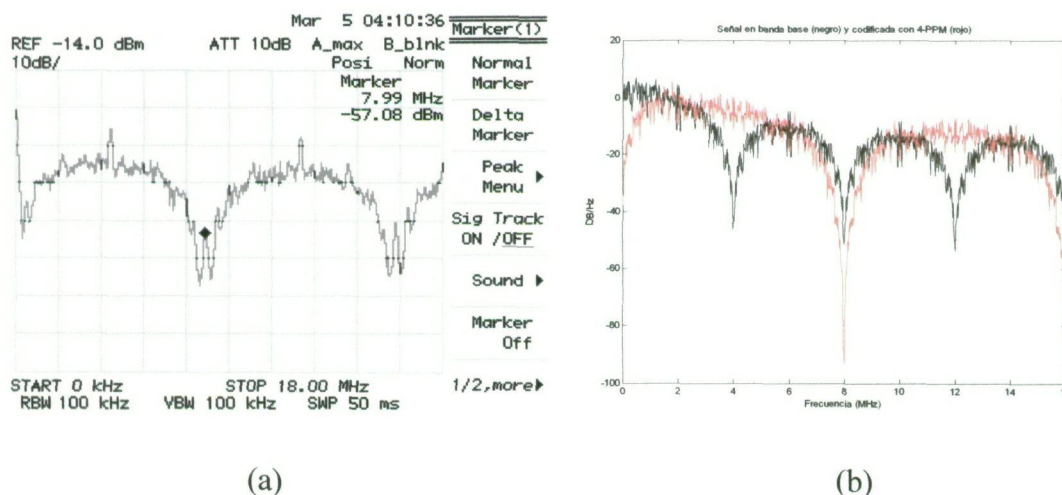


Figura VI - 13. DEP de la señal FIR. (a) Real. (b) Simulada.

El *marker* que aparece en la figura VI-13(a) muestra, como era de esperar, que el ancho de banda de la señal 4-PPM es de 8 MHz (pues es el doble del de la señal en banda base a transmitir). Además, la codificación empleada provoca un desplazamiento del máximo situado en 4 MHz, evitando así alguna de las interferencias comunes a baja frecuencia. Si se observa detenidamente la figura, pueden apreciarse espurios a la frecuencia del reloj pero éstos no afectan a la estabilidad del sistema.

Hasta ahora se ha comentado la forma de los pulsos transmitidos en los diferentes modos IrDA empleados, pero no se ha hecho mención a los recibidos. Éstos, lógicamente, son iguales, pero se encuentran invertidos, es decir, el fotodiodo IrDA ofrece a su salida un valor lógico alto (en este caso, 3.3 V), hasta que recibe un pulso, en cuyo caso, pasa a valer "0". El *bridge* STIr4200 está preparado para recibir este tipo de datos, y se ha tenido en cuenta a la hora de demodular, como se verá posteriormente, la señal DSSS.

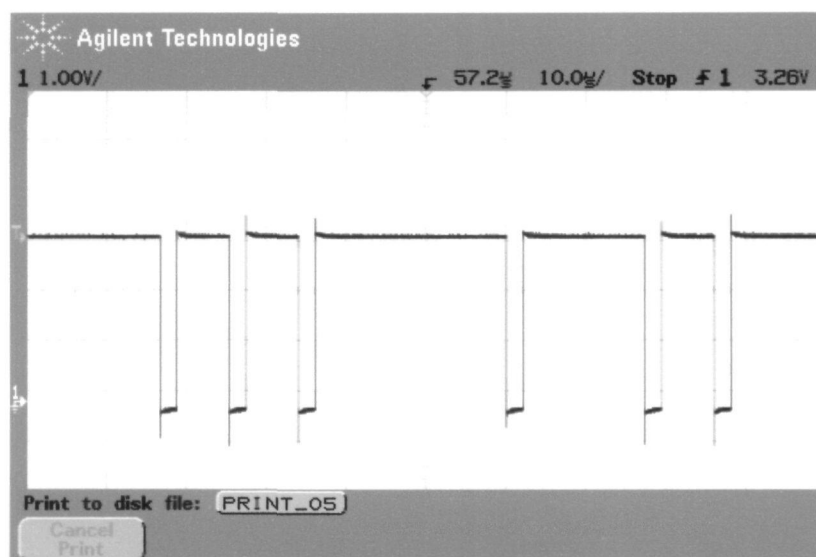


Figura VI - 14. Pulsos IrDA recibidos

3. Sistema completo

Para analizar el comportamiento del sistema, se emplearon de nuevo los dos PC's a los cuales se conectaron, a través del puerto USB, los módulos USB-IrDA. En cuanto al interconexionado de éstos con el resto de los circuitos, hay que especificar que se unieron los pines TXD y RXD del módulo anterior al IrDA-DSSS a través de los puntos destinados a ello (figura VI-15) y, por supuesto, también se incluyeron los transmisores y receptores ópticos descritos en el capítulo V para la comunicación no guiada de los datos.

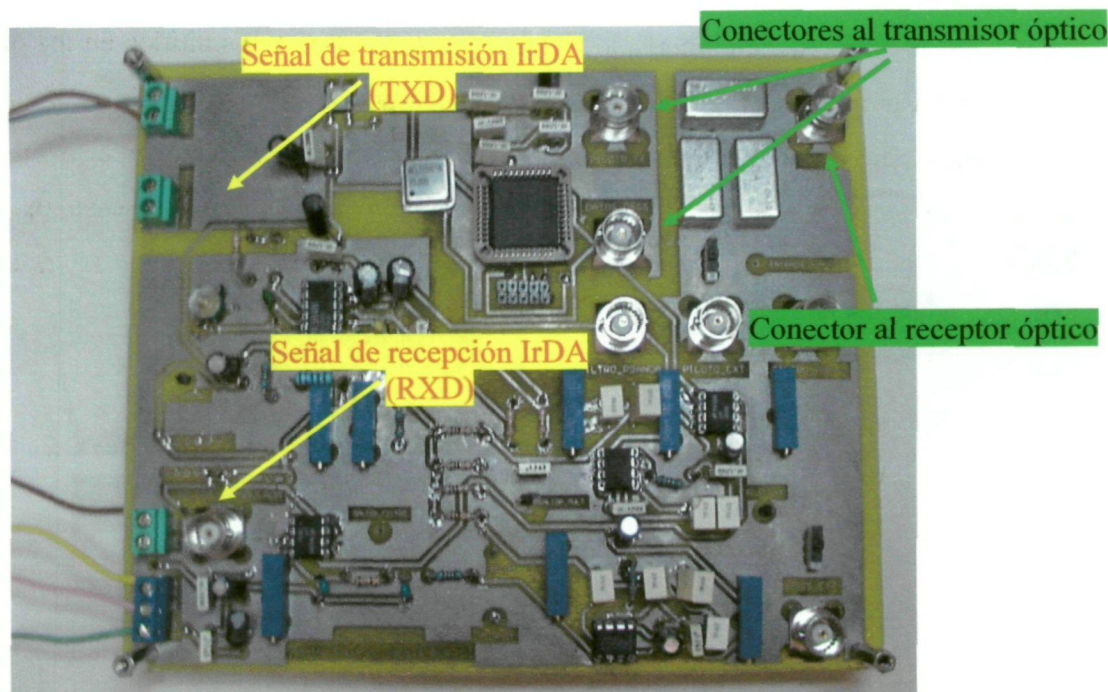


Figura VI - 15. Puntos de conexión entre el conversor USB-IrDA y el módulo IrDA-DSSS

En las siguientes figuras se puede ver el montaje completo:

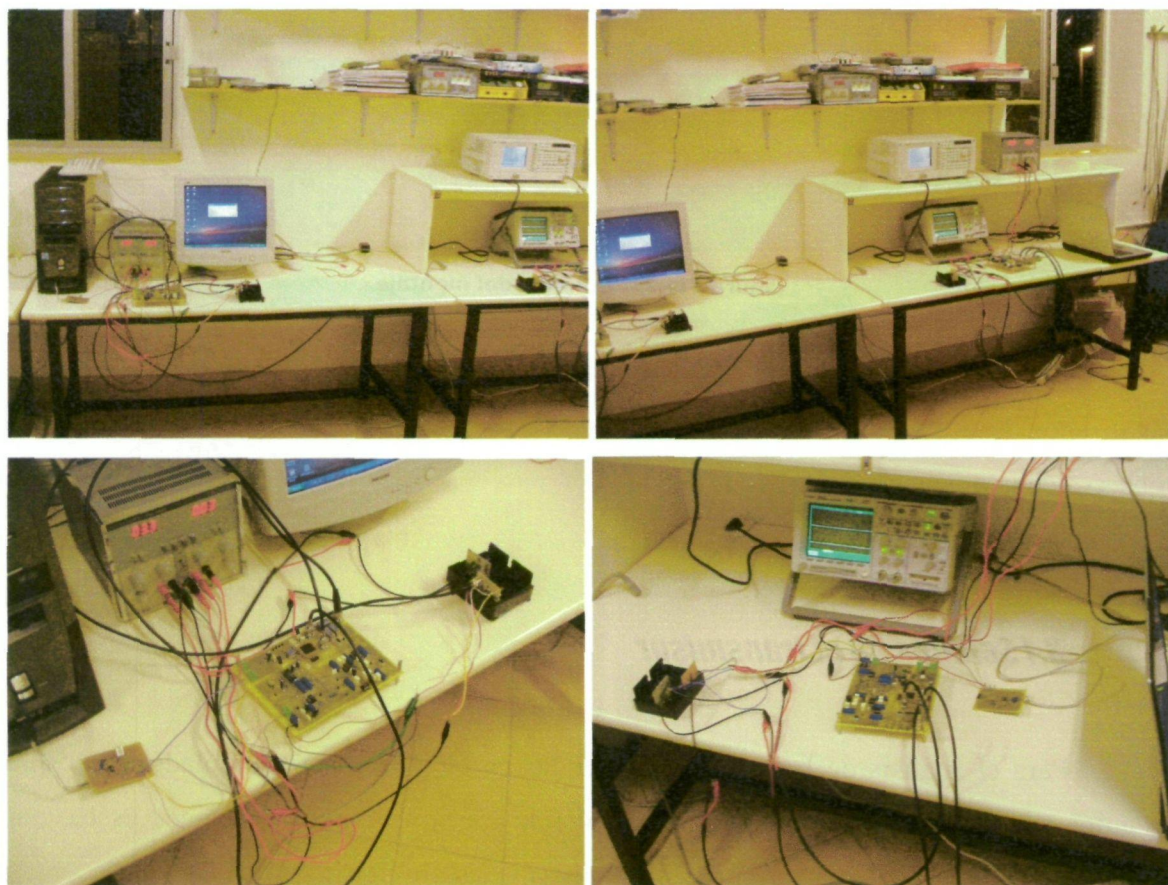


Figura VI - 16. Montaje del diseño completo en el laboratorio

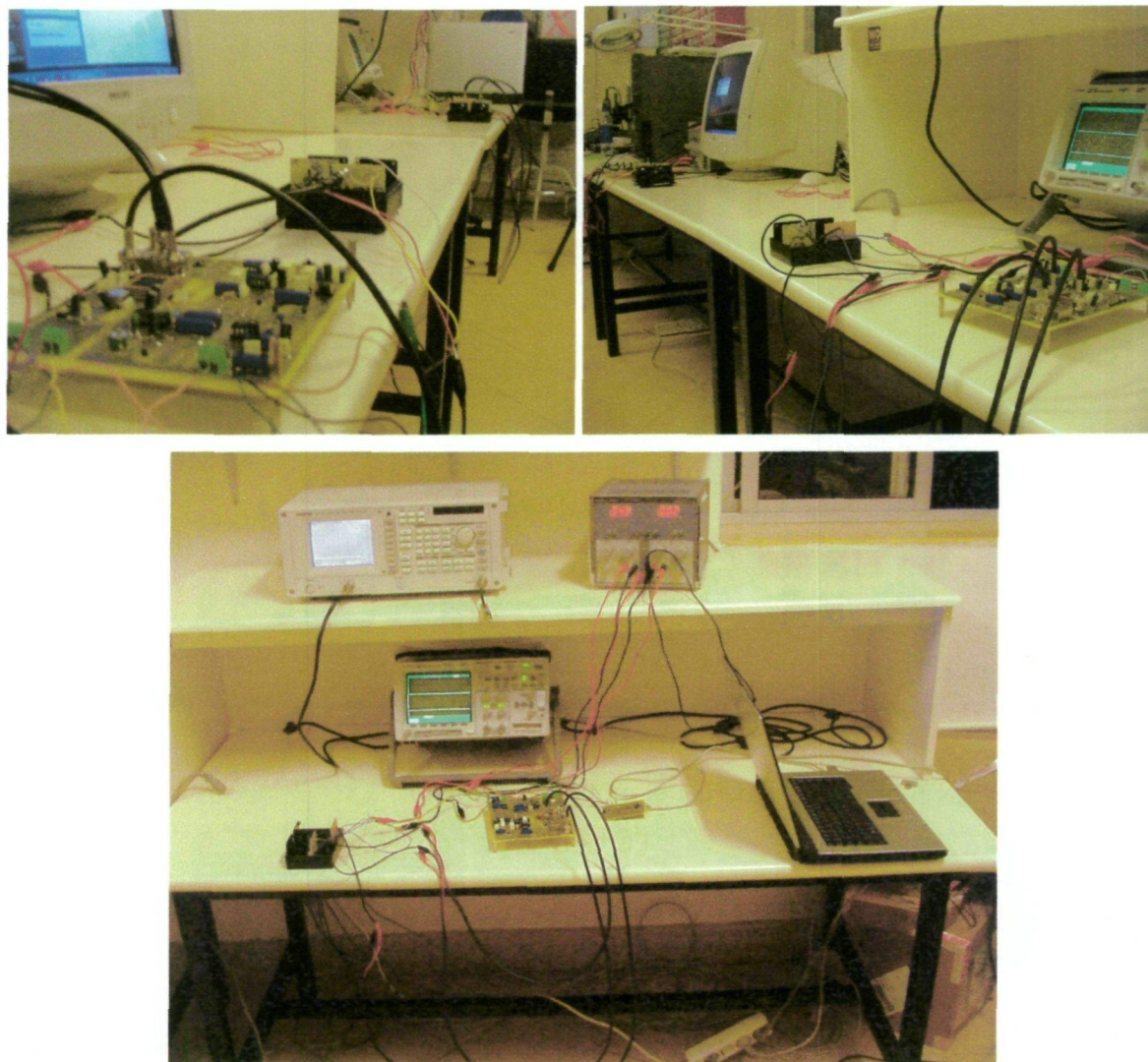


Figura VI - 17. Detalles del montaje

En la última foto se pueden ver los equipos empleados para las medidas (fuente, analizador de espectros y osciloscopio digital) que se utilizaron sobre el sistema que se observa en la misma imagen.

3.1 Señales en el transmisor

Para el análisis de las señales implicadas en el transmisor (modulador DSSS), se seguirá secuencialmente el diagrama del bloque transmisor del PLD, pues es bastante explícito. Además, los nombres impuestos a las señales provienen de éste.

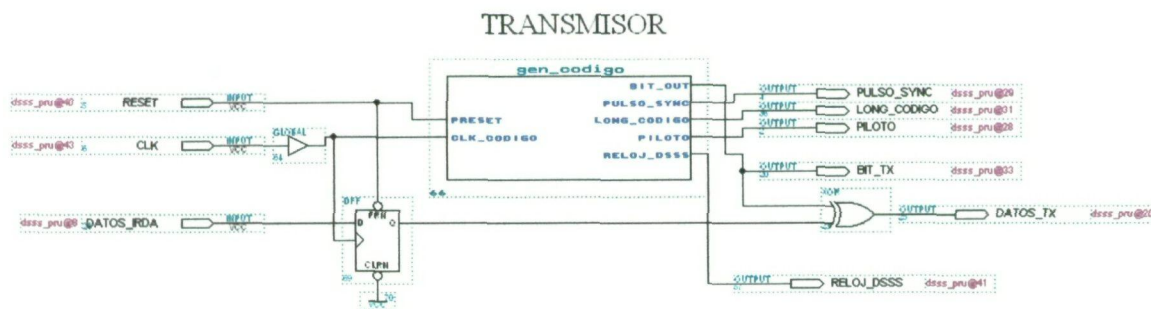


Figura VI - 18. Diagrama de bloque del transmisor digital

En la figura VI-19 se observa, en primer lugar, el reloj de entrada generado por el oscilador a 20 MHz (CLK_CODIGO). Por otro lado se encuentra la señal de reloj obtenida a partir de la división por 2 (10 MHz) que será empleada para la generación de código en el circuito transmisor (RELOJ_DSSS).

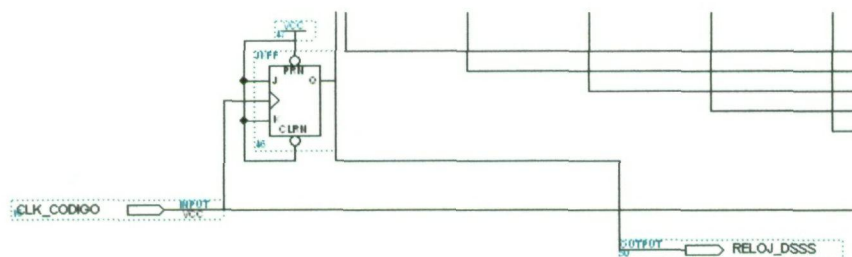


Figura VI - 19. Obtención del reloj empleado para la generación del código

En la siguiente imagen se pueden ver las señales anteriormente mencionadas medidas con el osciloscopio.

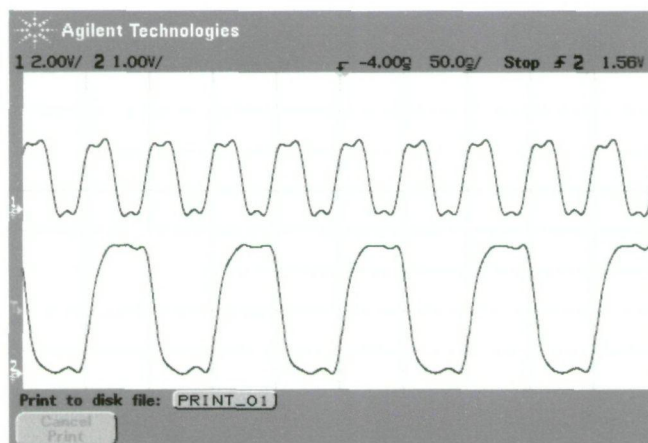


Figura VI - 20. CLK_CODIGO (arriba) y RELOJ_DSSS (abajo)

En primer lugar, se analizarán las señales implicadas en la creación de la señal piloto. Como se dijo en el capítulo de diseño, se empleará la señal de reloj introducida al sistema modulada mediante BPSK con una señal (LONG_CODIGO) cuyo semiperiodo coincide con la duración de la trama de código.

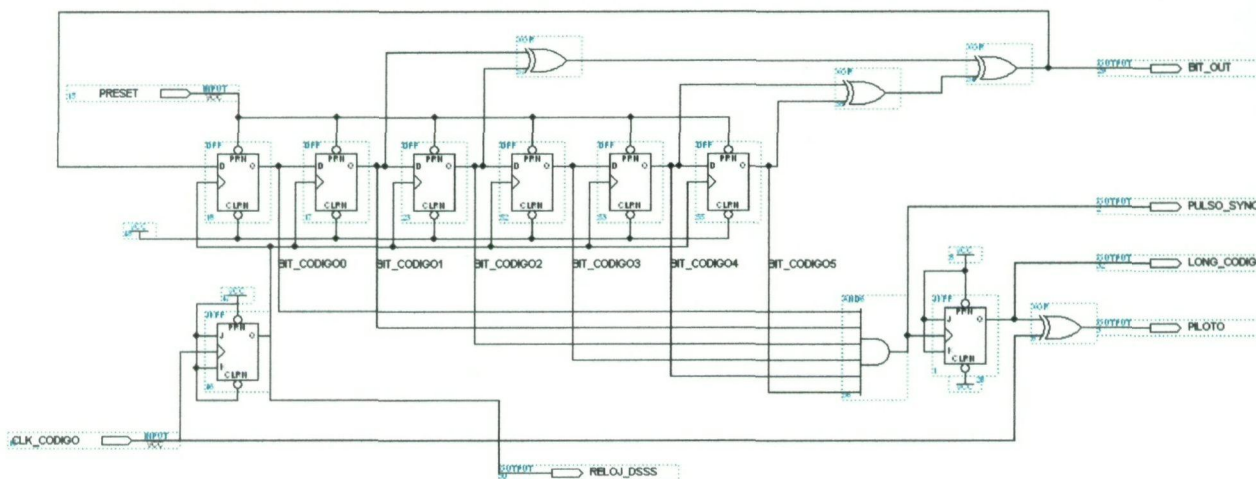


Figura VI - 21. Módulo digital "gen_codigo"

Recordando lo dicho anteriormente, cuando la salida de todos los biestables tienen un "1" (inicio de la trama de código), la puerta lógica AND provoca un pulso durante un tiempo de chip (tras el cual el valor del registro habrá variado teniendo algún "0" en alguno de sus flip flops). Ese breve pulso provoca un cambio de nivel en la salida del biestable JK (LONG_CODIGO) haciendo que permanezca dicho valor hasta un nuevo comienzo de la generación de código. Ambas señales se ven a continuación:

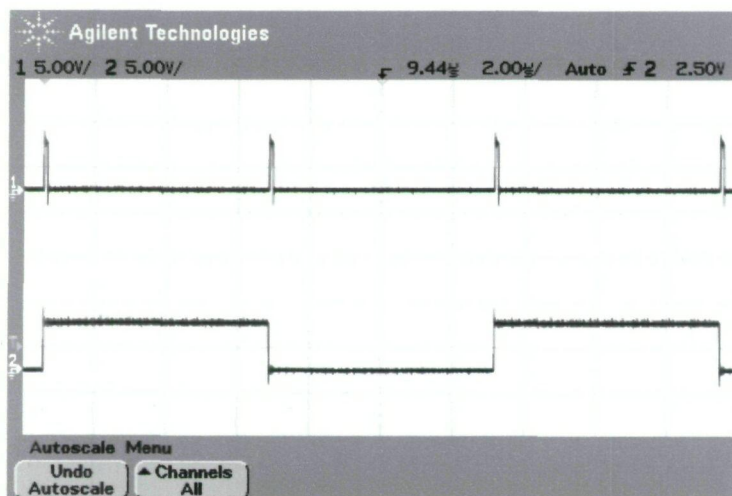
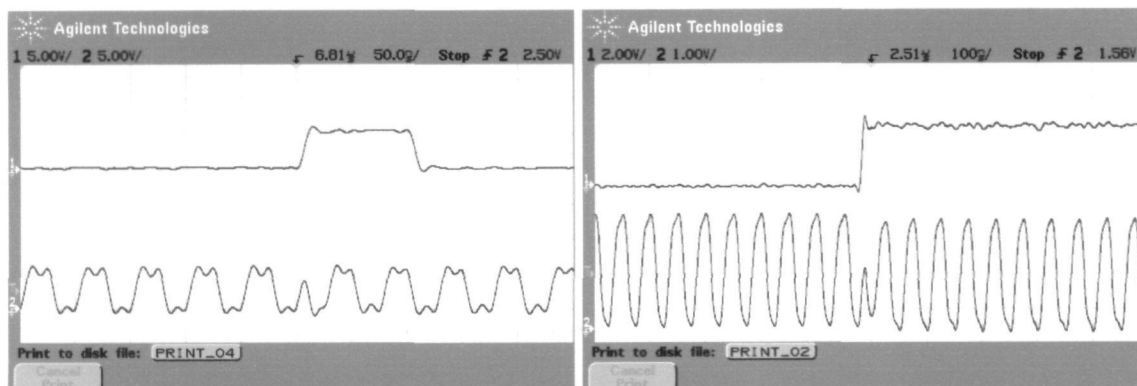


Figura VI - 22. PULSO_SYNC (arriba) y LONG_CODIGO (abajo)

Mediante la señal LONG_CODIGO y una puerta XOR se obtiene la señal de reloj de 20 MHz modulada, consiguiendo así el piloto deseado. En la siguiente figura se ve el momento en el que la señal de reloj sufre el cambio de fase:



(a)

(b)

Figura VI - 23. Cambio de fase en el piloto junto a (a) PULSO_SYNC y junto a (b) LONG_CODIGO

La DEP de la señal piloto se corresponde con una modulación BPSK con portadora cuadrada (los lóbulos se repiten en los armónicos de la frecuencia del reloj. Esta DEP se aprecia en la figura VI-24.

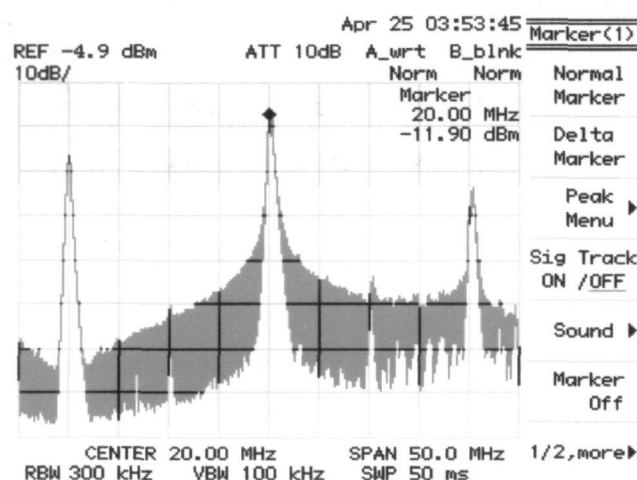


Figura VI - 24. DEP del piloto

A continuación se analizará la otra señal a transmitir: la DSSS. En el diagrama de bloques que se mostró antes (figura VI-21), la señal IrDA, tras ser muestreada por el flip flop tipo D, atraviesa la puerta XOR que la modula digitalmente a partir de la señal de código generada en el transmisor (BIT_TX).

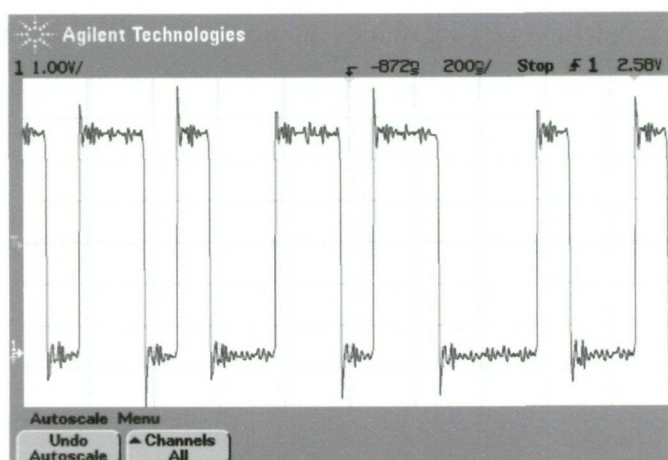


Figura VI - 25. Señal de código (BIT_TX)

El proceso de ensanchado se puede ver, claramente, en la siguiente figura:

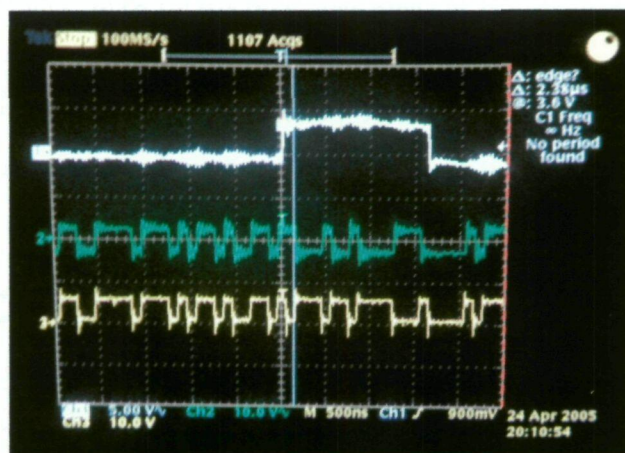


Figura VI - 26. Señal IrDA (arriba), señal de código BIT_TX (centro) y DSSS (abajo)

En la señal inferior, se observa cómo se invierte la señal de código en cuanto se produce un pulso IrDA (o lo que es lo mismo, cambia de fase produciéndose una modulación BPSK).

La señal DSSS, como se comprobó en las simulaciones, tiene una DEP como la siguiente:

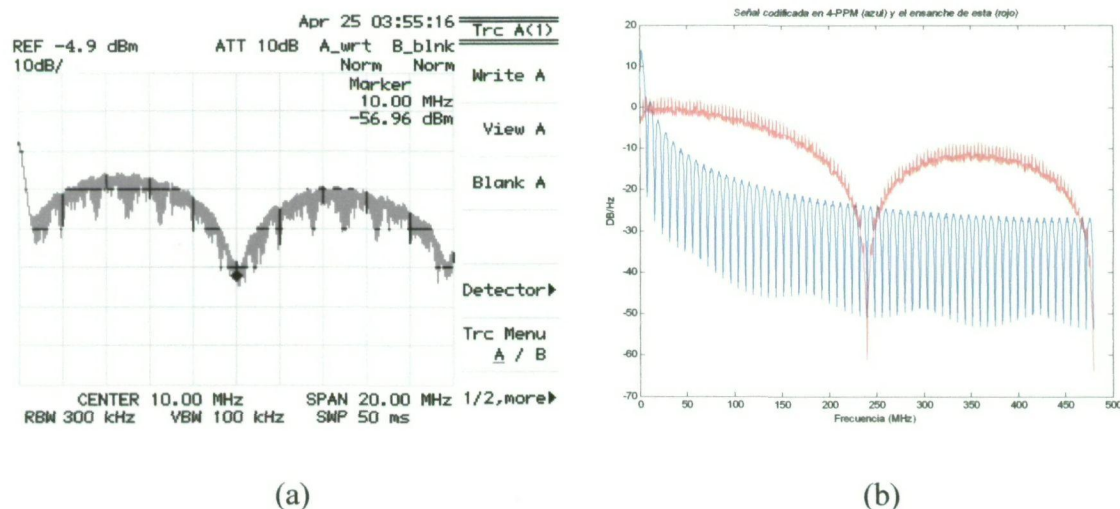


Figura VI - 27. DEP de la señal DSSS transmitida. (a) Real. (b) Simulada.

Para finalizar este apartado, se ha incluido una foto que permite visualizar en detalle el transmisor y receptor óptico funcionando. De hecho, se han marcado con sendas flechas blancas las señales ópticas emitidas en el infrarrojo.

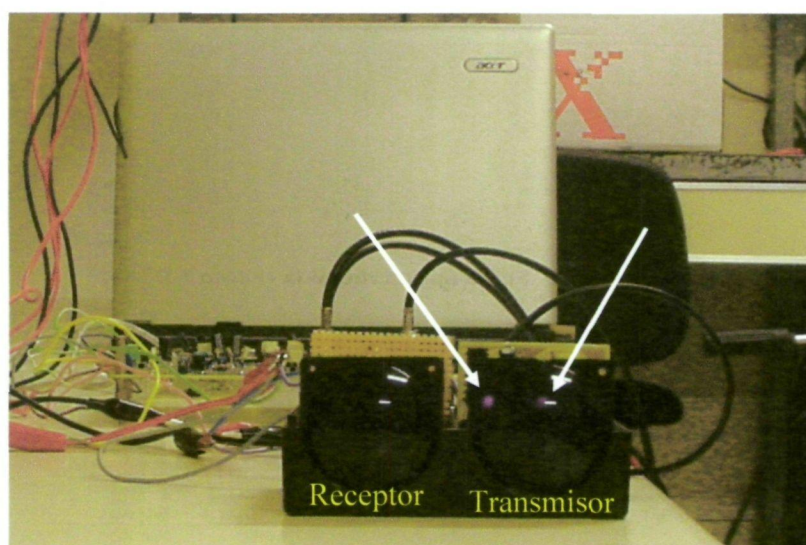


Figura VI - 28. Detalle del transmisor-receptor óptico

3.2 Señales en el receptor

En este caso, al igual que como se hizo en el apartado anterior, se seguirá un diagrama para facilitar el entendimiento de las señales mostradas (figura VI-28).

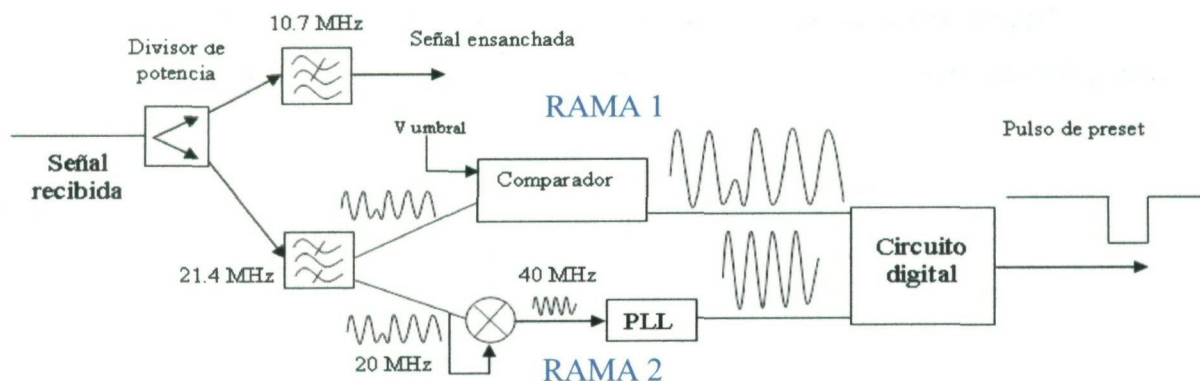


Figura VI - 29. Bloque de recepción del circuito IrDA-DSSS

En la señal tomada a la salida del fotodiodo se puede ver a simple vista cómo se han sumado la señal DSSS y el piloto ópticamente.

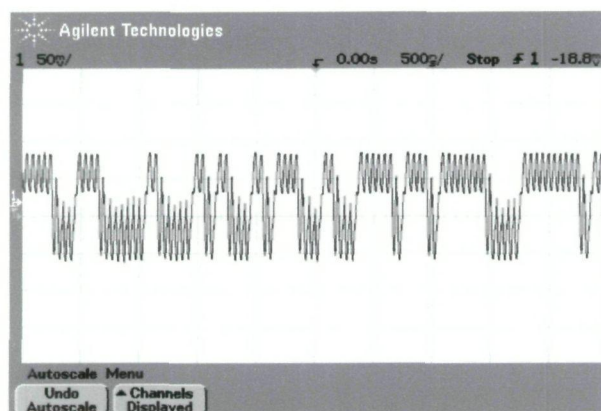


Figura VI - 30. Señal óptica recibida (Piloto + DSSS)

Como es lógico, espectralmente puede verse, también, dicha “suma”:

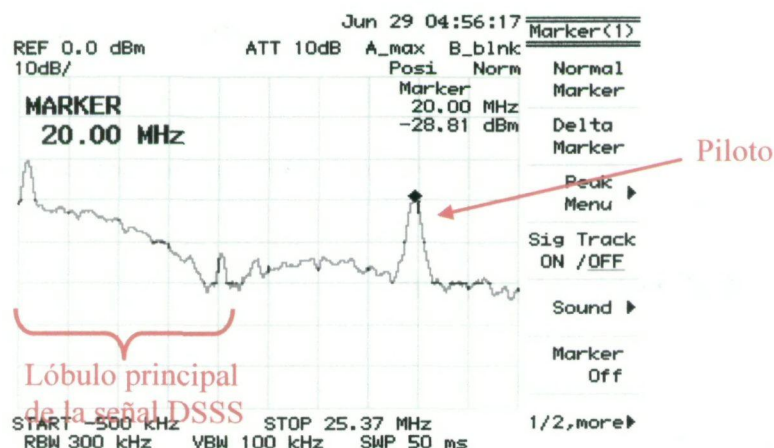


Figura VI - 31. DEP de la señal óptica recibida (Piloto + DSSS)

Como la señal recibida tiene poca amplitud (100 mV de pico a pico), se emplearon dos amplificadores MAR-1SM de Minicircuits en cascada para aumentar ese valor hasta, aproximadamente, 4 voltios.

Observando el diagrama mostrado al comienzo de este apartado, el siguiente paso, tras amplificar la señal recibida, es dividirla en dos ramas (mediante el *power splitter* PSC-2-1 de Minicircuits). Por un lado, atraviesa un filtro paso bajo – figura VI-32 (a) – empleado para recuperar la señal ensanchada discriminando así las componentes por encima de 10.7 MHz (frecuencia de corte del PLP-10.7), y por otro se filtra paso banda para recuperar el piloto transmitido – figura VI-32 (b) –.

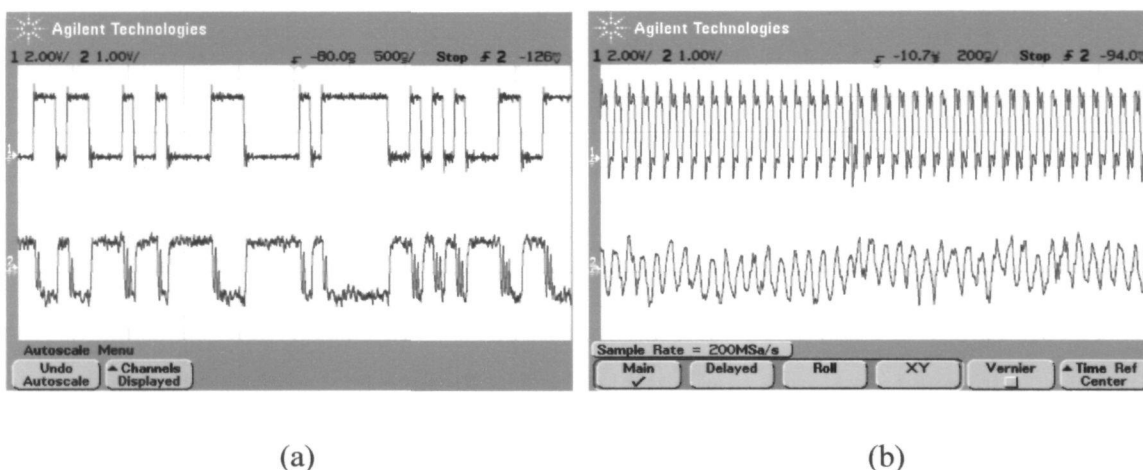


Figura VI - 32. (a) Señal DSSS transmitida frente a la recibida filtrada. (b) Señal piloto original frente a la recibida filtrada

En la figura VI-32(a) se ve claramente lo que se dijo en el capítulo V respecto al receptor óptico: Éste invierte la señal recibida; pero esto no supone problema alguno pues, tras pasar por el bloque “receptor” del PLD volverá a invertirse para asemejarse todo lo posible a la señal de código del transmisor.

Continuando con la recuperación del piloto, y más concretamente con la rama 1, se puede comprobar que tras atravesar el comparador, se regeneran los niveles de tensión necesarios obteniendo así una señal prácticamente igual a la que fue transmitida originalmente, pero con la mencionada inversión producida por el efecto del fotodiodo.

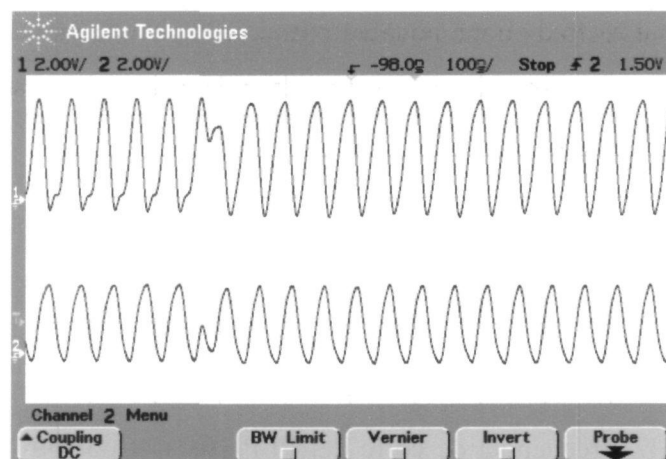


Figura VI - 33. Piloto transmitido (arriba) y piloto regenerado

Una vez obtenido el piloto que originalmente fue transmitido, sólo falta conseguir una señal de reloj válida para generar una señal de preset que permita la sincronización entre el código generado en el módulo transmisor y el del receptor; para ello se analizará a continuación el comportamiento de las señales a lo largo de la rama 2.

En primer lugar, la señal recibida se introduce al mezclador para multiplicarse por sí misma, eliminando así cualquier posible cambio de fase en la señal. Manipulando los niveles de entrada mediante los potenciómetros comentados en el capítulo V, se consiguió dicho objetivo como se puede ver en la figura VI-34(b), donde aparece la componente del doble de frecuencia (40 MHz) con un nivel de potencia mayor que las del resto.

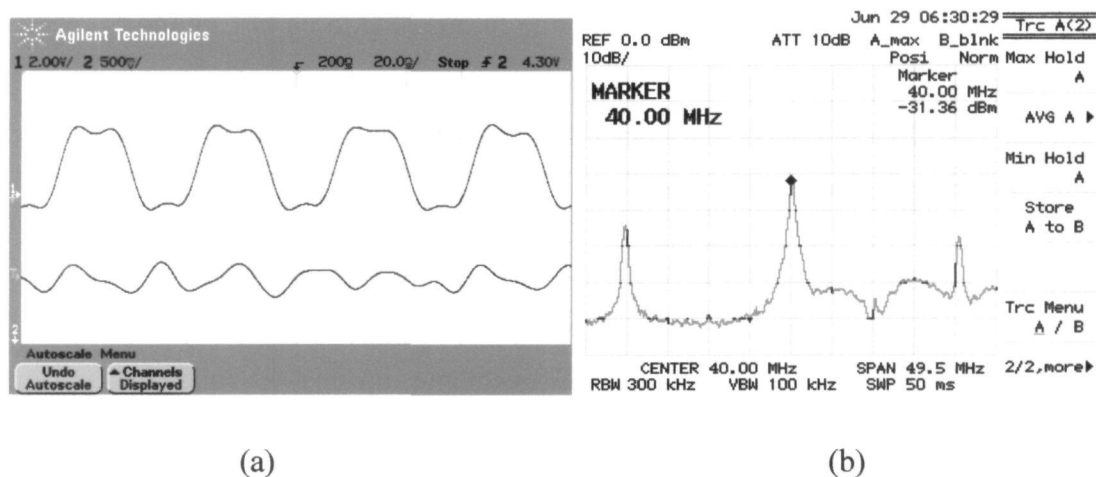


Figura VI - 34. (a) Señal a la entrada (arriba) y a la salida (abajo) del mezclador. (b) DEP de la señal a la salida del mezclador

Siguiendo el esquema ya comentado, tras conseguir una señal sin incertidumbre de fase, se introduce a un PLL para que éste se enganche en fase y frecuencia consiguiendo así una señal de reloj a 40 MHz.

Con ello se han conseguido las dos señales necesarias para que, tras ser procesadas por el bloque digital, se obtenga un pulso de preset pudiendo así sincronizar la generación del código.

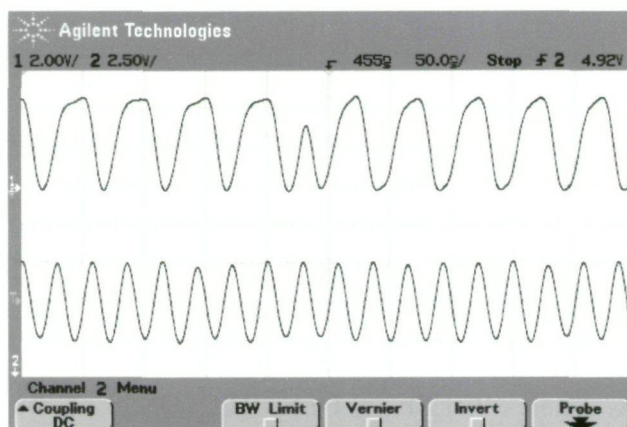


Figura VI - 35. Señales de entrada al PLD: Piloto regenerado (arriba) y reloj de 40 MHz proveniente del PLL

Además de conseguir el pulso de preset, la lógica digital permite la obtención del reloj necesario para la generación de código a partir de la señal del PLL (figura VI-37).

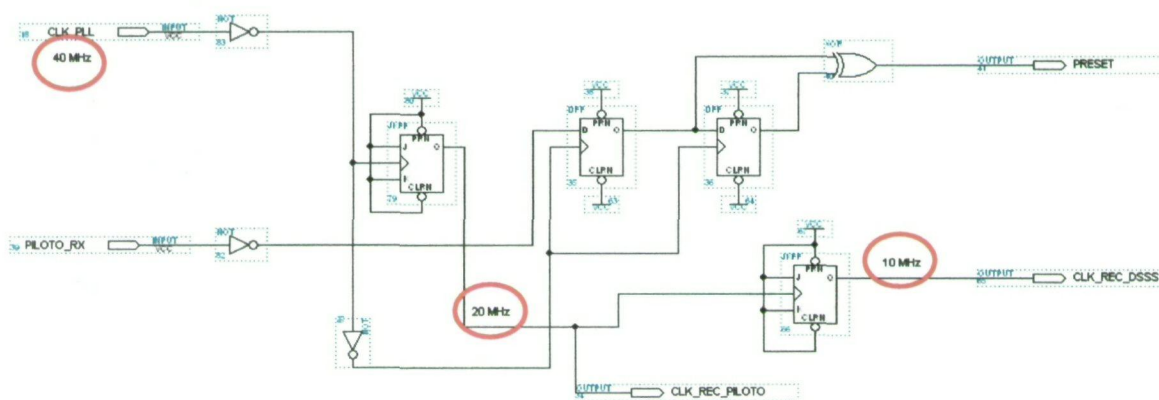


Figura VI - 36. Bloque recuperador

En las siguientes imágenes se observan las señales de reloj obtenidas a partir de CLK_PLL: CLK_REC_PILOTO (20 MHz) y CLK_REC_DSSS (10 MHz).

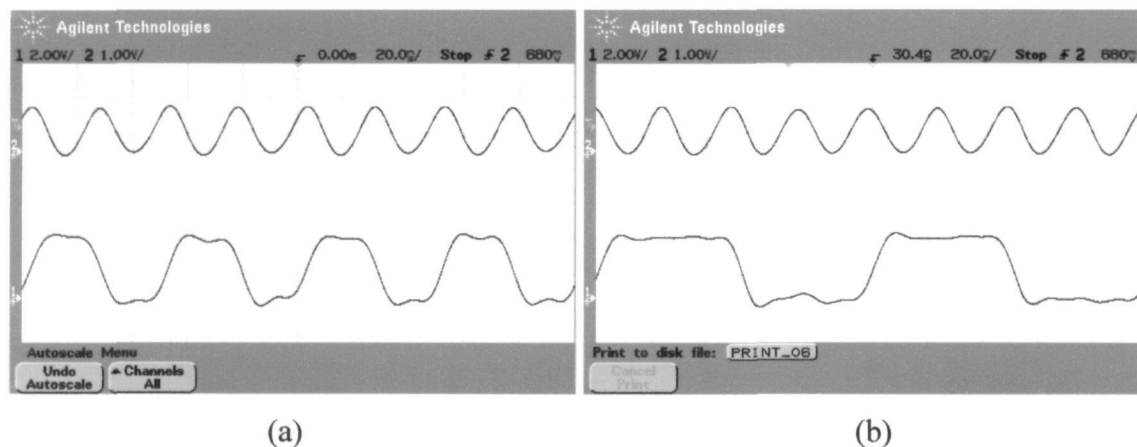


Figura VI - 37. (a) Señal CLK_REC_PILOTO (20 MHz). (b) Señal CLK_REC_DSSS (10 MHz)

A partir de las señales PRESET y CLK_REC_DSSS se consigue la generación de la señal de código en el receptor sincronizada con la creada en el transmisor (VI-36).

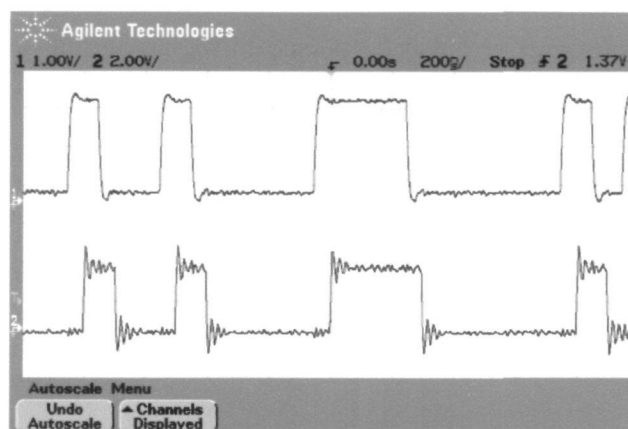


Figura VI - 38. Señal de código del transmisor (arriba) y la generada en el receptor (abajo)

Se observa cierto retardo entre ambas señales, y esto es debido al tiempo de propagación que transcurre viajando de forma óptica así como al asociado a la circuitería. Dicho retardo se midió – figura VI-40(b) – y fue de 28 ns, valor despreciable para la comunicación entre los dispositivos IrDA, convirtiendo así al módulo IrDA-DSSS en transparente para la comunicación entre los PC's.

La comparativa entre la señal de preset (PULSO_SYNC) del transmisor con la generada en el receptor (PRESET) puede verse a continuación:

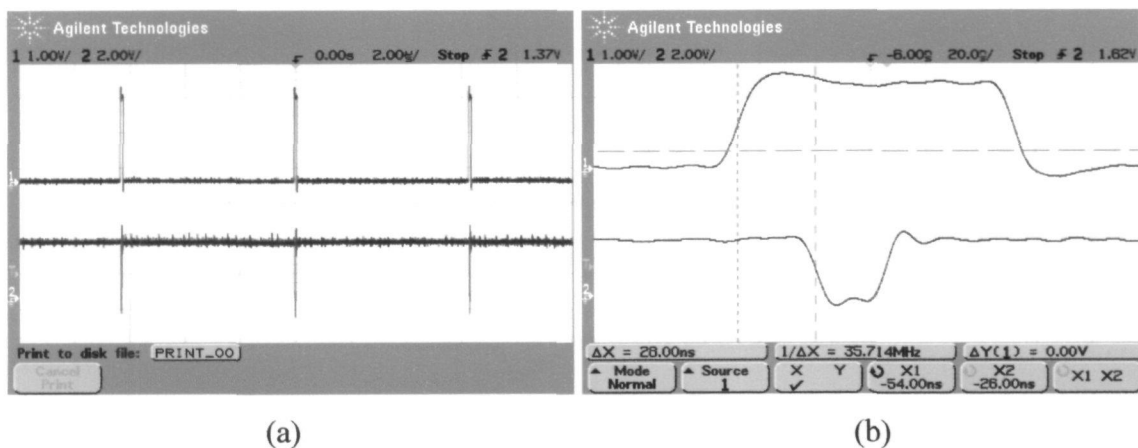


Figura VI - 39. (a) Señal de preset del transmisor (arriba) y generada en el receptor (abajo). (b) Detalle de las mismas

Hay que recordar que el preset obtenido en el receptor es activo a nivel bajo ya que las entradas de SET de los biestables también lo son.

3.3 Señales en el demodulador

Tras la obtención el código sincronizado, y empleando la señal DSSS recibida, ya se puede recuperar la señal IrDA que originalmente fue transmitida. Para conseguir dicha demodulación, se multiplican ambas señales de forma analógica con un mezclador (de nuevo hay que jugar con los niveles de tensión a la entrada hasta conseguir una señal razonablemente buena). El resultado de dicha operación fue el siguiente:

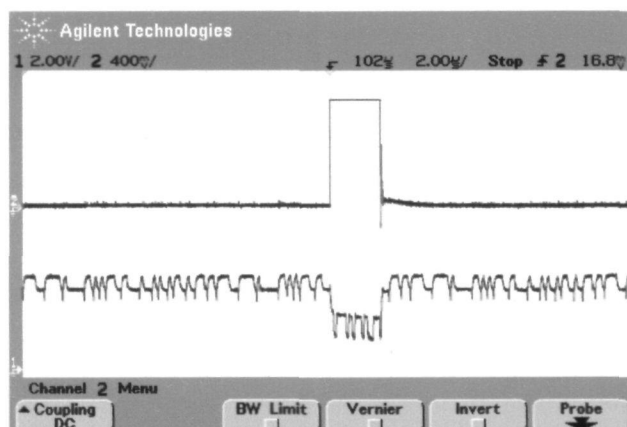


Figura VI - 40. Pulso IrDA transmitido originalmente (arriba) y el demodulado (abajo)

Como era de esperar, debido al *batido* de frecuencias que se produce en el dispositivo, hay que filtrar la señal. Se vio en el capítulo de diseño que con un filtro paso bajo RC de dos etapas era suficiente.

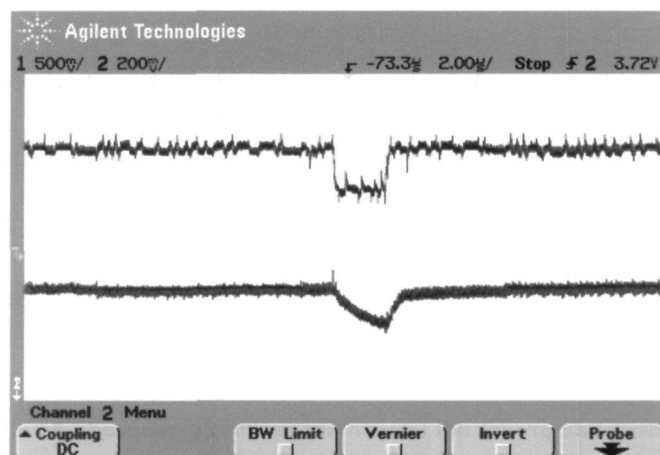


Figura VI - 41. Señal demodulada antes (arriba) y después (abajo) del filtrado

Por último, para restaurar la señal y conseguir un valor de tensión aceptable, se empleó un comparador consiguiendo una señal prácticamente igual que la transmitida. En la figura VI-42 se puede ver el resultado final obtenido.

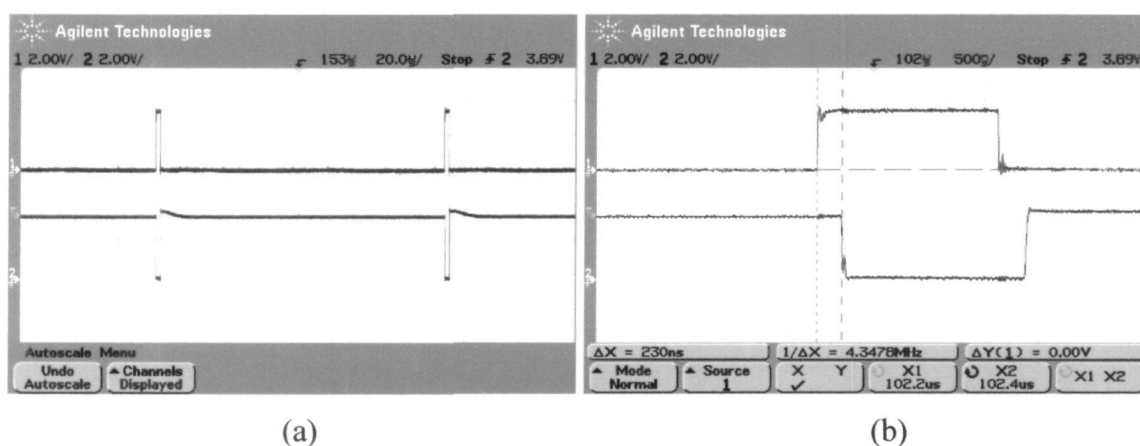


Figura VI - 42. (a) Señal IrDA transmitida (arriba) y la recuperada finalmente (abajo). (b) Detalle de las mismas

La señal recuperada está invertida a propósito, pues el pin RXD del *bridge* STIr4200 espera los pulsos IrDA a nivel bajo pero aún así, se observa claramente cómo la señal recuperada es prácticamente igual a la transmitida.

El retardo que ha supuesto el sistema óptico así como la circuitería empleada para la demodulación DSSS ha sido, finalmente, de 230 ns como se puede observar en la figura VI-42(b).

Con estos resultados, y tras comprobar que se conseguía transmitir desde un PC a otro una serie de datos (se enviaron de 100 MB de forma ininterrumpida), se dio por concluido el proyecto.

4 Consumo de potencia

El consumo de potencia de la totalidad del circuito ha sido el siguiente:

Tensión	Corriente	Potencia
+ 3.3 V	0,05 A	165 mW
+ 5 V	0,10 A	500 mW
- 5 V	0,02 A	100 mW
TOTAL		765 mW

Tabla VI - 2. Consumo de potencia

Quizás para los dispositivos de bajo consumo IrDA, estos valores sean excesivos, pero hay que tener en cuenta de que se trata de un prototipo en el que se necesitaron fuentes de alimentación externas. Con unos componentes de mejores prestaciones o mediante un diseño full-custom se podría conseguir reducir esta potencia total pudiendo llegar, incluso, a poder adquirir la alimentación desde una batería de Li-Ion como la empleada en los portátiles o en otros dispositivos multimedia

5 Conclusiones

En este capítulo se han descrito todos los resultados obtenidos tras la finalización del proyecto, desde el estudio de las señales IrDA que son emitidas y recibidas por el transceptor infrarrojo hasta el procesado de las señales implicadas en la modulación y demodulación DSSS.

VII. Conclusiones

En este proyecto se ha presentado un prototipo capaz de convertir la señal IrDA a una de espectro ensanchado mediante técnicas DSSS. Esto supone una mejora sustancial de la capa física del estándar pues permite la existencia de múltiples canales ópticos sin interferencias entre ellos, además de rechazar aquellas interferencias ambientales que tanto perjudican en el rango del infrarrojo cercano. Además, se introduce el uso de un piloto de sincronismo propuesto para reducir la complejidad del hardware que se supone no interferido.

En una primera etapa de análisis, se ha realizado la simulación del sistema creado estudiando las características de las señales IrDA y DSSS en distintos entornos, comprobando su funcionamiento y problemas asociados

Para la fase de diseño, se han elegido componentes de bajo consumo y coste de diferentes fabricantes. Estos dispositivos han tenido que cumplir ciertas restricciones de entrada-salida, impedancias, niveles de potencia, de forma que funcione el sistema completo.

En cuanto al aspecto mecánico, el prototipo se implementó de forma modular, permitiendo rediseñar cada una de las partes sin tener que repetir el sistema completo. Otro detalle es que se han creado múltiples puntos de test para la comprobación del correcto funcionamiento así como para la toma de medidas.

El doble plano de masa usado en las placas dio buen resultado. El hecho de diseñar pistas de interconexión lo suficientemente gruesas (0,60 mm) permitió evitar posibles discontinuidades a la hora de pasar del fotolito a la PCB además de reducir posibles interferencias entre líneas. Las pistas se dispusieron con cierta separación entre ellas disminuyendo así la capacidad parásita asociada.

La tendencia en este tipo de prototipos es diseñar los sistemas digitales en dispositivos programables (fundamentalmente por la alta integración y por el bajo coste). El circuito usado en este proyecto es reprogramable en el propio prototipo mediante JTAG, evitando así tener que extraer el componente de su zócalo.

Algunos de los problemas *hardware* encontrados han sido, por ejemplo, que dado el ancho de banda de la señal DSSS y la frecuencia del piloto, fue difícil mantener la ganancia de los sistemas en todo su espectro, produciéndose en algunas ocasiones, mayores atenuaciones en unas frecuencias que en otras. Otro inconveniente es que las características de los filtros empleados han sido peores que las indicadas por el fabricante.

Los resultados previos de este trabajo se presentaron al XX Simposium Nacional de la Unión Científica Internacional de Radio (URSI) '05 que se celebrará en septiembre del presente año en Gandía (Valencia). El artículo correspondiente (ANEXO VI) fue aceptado el día 30 de junio de 2005.

- [10] R.L. Pickholtz, D.K. Schilling & L.B. Milstein. *Theory of Spread-Spectrum Communication*. IEEE Transactions on Communications, vol. COM-30, No. 5. 1982
- [11] José A. Rabadán Borges. *Contribución al estudio de las comunicaciones ópticas difusas de alta velocidad mediante señales de espectro ensanchado*. Tesis doctoral. ULPGC. 2000
- [12] Altera Corporation. *Max+Plus II. Getting Started*. San José. 1997
- [13] Alan V. Oppenheim. *Signals and Systems*. Prentice-Hall. 1983
- [14] R. N. Mutagi. *Pseudo noise sequences for engineers*. Electronics & Communication Engineering Journal. 1996
- [15] Manuel Torres. *Diseño e ingeniería electrónica asistida sobre Protel*. Ra-Ma. 2000

Páginas Web

Información

- | | |
|--|-----------------------|
| [www1] http://www.irda.org | IrDA |
| [www2] http://www.sss-mag.com | Spread Spectrum Scene |

Fabricantes

- | | |
|--|-------------------------|
| [www3] http://www.altera.com | Altera |
| [www4] http://www.analog.com | Analog Devices |
| [www5] http://www.minicircuits.com | Minicircuits |
| [www6] http://www.national.com | National Semiconductors |
| [www7] http://www.semiconductors.philips.com | Philips Semiconductors |

VIII. Bibliografía

- [1] Stuart Williams. *IrDA: Past, Present and Future*. IEEE Personal Communications. 2000.
- [2] Joseph M. Kahn & John R. Barry. *Wireless Infrared Communications*. Proceedings of the IEEE Vol. 85. NO. 2. 1997.
- [3] People from Hewlett-Packard, IBM, Vishay and Sharp. *Infrared Data Association Serial Infrared Physical Layer Specification*. Version 1.4. 2001.
- [4] Robert C. Dixon. *Spread Spectrum Systems*. John Wiley & Sons, Inc. 1984.
- [5] José Rabadán, Rafael Pérez, Silvestre Rodríguez & Francisco López. *Fundamentos de los sistemas del espectro ensanchado*. Colección Textos Universitarios. Gobierno de Canarias. 2001.
- [6] K. K. Wong & Tim O'Farrell. *Spread Spectrum Techniques for Indoor Wireless IR Communications*. IEEE Wireless Communications. 2003.
- [7] Charles D. Knutson & Jeffrey M. Brown. *IrDA Principles and Protocols*. MCL Press. 2004
- [8] Robert A. Scholtz. *The Origin of Spread-Spectrum Communications*. IEEE Transactions on Communications, vol. COM-30, No. 5. 1982
- [9] Bernard Sklar. *Digital Communications: Fundamentals and Applications*. Prentice Hall. 1988

Suministradores de componentes

[www8] <http://es.farnell.com> Farnell

[www9] <http://www.amidata.es> RS

Organismos Oficiales

[www10] <http://www.acit-canarias.org> Asociación Canaria de Ingenieros de Telecomunicación

[www11] <http://www.coit.es> Colegio Oficial de Ingenieros de Telecomunicación

[www12] <http://www.etsit.ulpgc.es> Escuela Técnica Superior de Ingenieros de Telecomunicación (ULPGC)

PRESUPUESTO

1. Gastos de circuitería

En este apartado se verán los gastos que se han producido en la compra de los distintos elementos necesarios para la elaboración de este proyecto. Además se han incluido las referencias de las distintas empresas distribuidoras de componentes electrónicos (principalmente RS y Farnell) para facilitar la labor de búsqueda a cualquier persona interesada en continuar en la línea de este PFC.

CIRCUITO USB-IRDA				
Concepto	Código RS (R) / Farnell (F) / Minicircuits (M)	Cantidad	Precio unitario (€)	Importe total (€)
Condensador SMD Cerámico 100 nF	(R) 220-8026	4	0,08	0,32
Condensador SMD Cerámico 220 nF	(R) 220-8032	1	0,17	0,17
Condensador SMD Cerámico 27 pF	(R) 237-6810	2	0,09	0,18
Condensador SMD Tántalo 10 μ F	(R) 262-4535	2	0,30	0,60
Condensador SMD Tántalo 1 μ F	(R) 262-4327	1	0,28	0,28
Condensador SMD Tántalo 4,7 μ F	(R) 262-4298	1	0,28	0,28
Conversor USB-IrDA STIr4200 (Sigmatel)		1	14,00	14,00
Cristal de 12 MHz	(R) 657-628	1	1,14	1,14
Ferrita SMD 600 ohm, 1000 MHz, 1000 mA	(R) 327-5566	2	0,38	0,76
PCB de doble cara (80 x 65 cm ²)		1	2,05	2,05
Pines		4	0,03	0,12
Regleta con tornillo (para dos cables)		3	0,10	0,30
Regulador de tensión 5V – 3.3V TPS76333 (Texas Instruments)		1	0,30	0,30
Resistencia 5,1 Ω		1	0,03	0,03
Resistencia de película cermet 10 M Ω	(R) 158-159	1	2,13	2,13
Resistencia SMD 1 M Ω	(R) 348-0998	1	0,06	0,06
Resistencia SMD 1,5 k Ω	(R) 348-0617	3	0,06	0,18
Resistencia SMD 10 Ω	(R) 348-0320	2	0,06	0,12
Resistencia SMD 33 Ω	(R) 348-0392	2	0,06	0,12

Resistencia SMD 330 Ω	(R) 348-0522	1	0,06	0,06
Tornillos y tuercas para soporte		4	0,15	0,60
Transceptor IrDA TFDU6102-TR3 (Vishay)	(F) 4912998	1	8,14	8,14
TOTAL 1 PCB				31,94
TOTAL (2 PCB's)				63,88

Tabla P - 1. Coste del circuito USB-IrDA

Como detalle, debe destacarse que algunos de estos componentes, como por ejemplo el regulador de tensión, han sido solicitados como muestras ("samples"), ya que para conseguirlos era necesaria la compra de, al menos, 1000 unidades.

CIRCUITO IRDA-DSSS				
Concepto	Código RS (R) / Farnell (F) / Minicircuits (M)	Cantidad	Precio unitario (€)	Importe total (€)
Comparador LM360N	(F) 404159	2	3,98	7,96
Condensador cerámico 100 nF		14	0,27	3,78
Condensador cerámico 15 pF		2	0,18	0,36
Condensador cerámico 150 pF		2	0,15	0,30
Condensador cerámico 2,22 pF		1	0,10	0,10
Condensador de poliéster 1 μ F		7	0,66	4,62
Condensador electrolítico 10 μ F		9	0,27	2,43
Condensador electrolítico 220 μ F		2	0,27	0,54
Condensador variable 2-22 pF	(R) 125-654	1	0,98	0,98
Divisor de potencia	(M) PSC-2-1	1	12,19	12,19
Filtro Paso Bajo 10.7 MHz	(M) PLP-10.7	1	12,10	12,10
Filtro Paso Banda 21.4 MHz	(M) PBP-21.4	1	11,68	11,68
Interruptor	(R) 204-7865	2	1,28	2,56
Interruptor SMD	(R) 183-701	1	0,89	0,89
Mezclador SA602N	(R) 355-7969	2	4,01	8,02
Oscilador 20 MHz	(R) 249-3741	1	3,23	3,23
PCB de doble cara (150 x 200 mm ²)		1	11,82	11,82

Pines		28	0,03	0,84
PLD EPM7064LC44-10	(R) 442-7948	1	10,17	10,17
PLL NE564		1	3,28	3,28
Potenciómetro multivuelta 10 k Ω	(R) 107-6676	8	1,40	11,20
Regleta con tornillo (para dos cables)		3	0,10	0,30
Regleta con tornillo (para tres cables)		1	0,15	0,15
Resistencia 1 k Ω		3	0,08	0,24
Resistencia 1,2 k Ω		1	0,10	0,10
Resistencia 1,5 k Ω		2	0,08	0,16
Resistencia 2 k Ω		2	0,10	0,20
Resistencia 5 k Ω		1	0,10	0,10
Resistencia 51 Ω		4	0,08	0,32
Resistencia 510 Ω		2	0,10	0,20
Supervisor de tensión TPS3802 (Texas Instruments)		1	0,40	0,40
Tornillos y tuercas para soporte		4	0,15	0,60
Zócalo 16 pines		1	0,57	0,57
Zócalo 8 pines		4	0,30	1,20
Zócalo PLC44	(R) 279-8513	1	0,89	0,89
TOTAL 1 PCB				114,48
TOTAL (2 PCB's)				228,96

Tabla P - 2. Coste del circuito IrDA-DSSS

TRANSMISOR ÓPTICO				
Concepto	Código RS (R) / Farnell (F) / Minicircuits (M)	Cantidad	Precio unitario (€)	Importe total (€)
Caja de plástico		1	13,00	13,00
Condensador cerámico 100 nF		2	0,27	0,54
Condensador cerámico 15 pF		2	0,18	0,36
Condensador electrolítico 10 μ F		1	0,27	0,27
IREL L7558 (Hamamatsu)		2	8,30	16,60
Lente convergente (4 cm) negra para CCOO infrarrojas		1	16,00	16,00
PCB de simple cara (50 x 50 mm ²)		1	1,00	1,00

Puerta AND AC08	(R) 648-157	1	0,36	0,36
Regleta con tornillo (para dos cables)		3	0,10	0,30
Resistencia 35 Ω		2	0,08	0,16
Resistencia 51 Ω		2	0,08	0,16
Zócalo 14 pines		1	0,50	0,50
TOTAL 1 PCB				49,25
TOTAL (2 PCB's)				98,50

Tabla P - 3. Coste del transmisor óptico

RECEPTOR ÓPTICO				
Concepto	Código RS (R) / Farnell (F) / Minicircuits (M)	Cantidad	Precio unitario (€)	Importe total (€)
Amplificador MAR-ISM	(M) MAR-ISM	2	1,37	2,74
Bobina 1 μ H		2	0,35	0,70
Caja de plástico		1	13,00	13,00
Condensador cerámico 100 nF		4	0,27	1,08
Condensador electrolítico 10 μ F		1	0,27	0,27
Fotodiodo S6468-02		1	16,60	16,60
Lente convergente (4 cm) negra para CCOO infrarrojas		1	16,00	16,00
PCB de simple cara (50 x 50 mm ²)		1	1,00	1,00
Regleta con tornillo (para dos cables)		1	0,10	0,10
Resistencia 4,7 Ω		2	0,10	0,20
TOTAL 1 PCB				51,69
TOTAL (2 PCB's)				103,38

Tabla P - 4. Coste del receptor óptico

El coste total de la circuitería es el siguiente:

Concepto	Importe (€)
Circuito USB-IrDA	63,88
Circuito IrDA-DSSS	228,96
Transmisor óptico	98,50
Receptor óptico	103,38
TOTAL	494,72

Tabla P - 5. Coste total de la circuitería

2. Gastos de edición

En este apartado se han incluido aquellos materiales empleados para la edición del PFC así como el fungible necesario para el almacenamiento de datos.

CONCEPTO	CANTIDAD	PRECIO UNITARIO (€)	IMPORTE TOTAL (€)
Disquetes 1,44 MB	4	1,20	4,80
Encuadernación	3	24,00	72,00
Folios de 100 gramos (paquete de 500)	1	5,80	5,80
Papel poliéster para fotolitos	10	0,36	3,60
Recarga de cartuchos de tinta	1	24,00	24,00
TOTAL			110,20

Tabla P - 6. Gastos de edición

3. Gastos de amortización

Se ha supuesto de tres años el periodo de amortización para el material informático y cinco para la instrumentación electrónica. Para el cálculo final se tuvo en cuenta que el equipamiento sólo se usó durante nueve meses.

CONCEPTO	AÑOS	PRECIO UNITARIO (€)	IMPORTE EN EL PFC (€)
Analizador de espectro Advantest R3131A	5	18025,00	2703,75
Cables coaxiales 50 ohmios (3,5 m)	5	5,60	0,84
Cables de alimentación (5 m)	5	4,50	0,67
Cámara digital Olympus CAMEDIA	5	350,00	52,50
Estación para soldadura	5	390,00	58,50
Fuentes de alimentación PROMAX (2)	5	960,00	144,00
Generador de señal Stanford	5	1420,00	213,00
Impresora HP DeskJet 3325	3	60,00	15,00
Matlab 6.0	3	1510,00	377,50
Microsoft Office Profesional 2003	3	744,00	186,00
Microsoft Project Profesional 2003	3	868,00	217,00
Módulo APD C5331-11 (Hamamatsu)	5	610,00	91,50
Multímetro Fluke	5	84,00	12,60
Notebook ACER Aspire 1694 WLMi	3	1330,00	332,50
Osciloscopio digital Agilent 54622D	5	4900,00	735,00
PC de sobremesa Pentium 4 2.40 GHz	3	1200,00	300,00
Protel 99 SE	3	870,00	217,50
Sondas de instrumentación (4)	5	920,00	138,00
TOTAL		34251,10	5795,86

Tabla P - 7. Gastos de amortización

4. Honorarios profesionales

Para el cálculo de los honorarios profesionales se han seguido las directrices del Colegio Oficial de Ingenieros de Telecomunicación (COIT) para *Trabajos por tiempo empleado*. Se ha supuesto que el PFC se ha desarrollado en nueve meses, en los que se ha considerado una dedicación por parte del proyectante de 8 horas/día de lunes a viernes, o lo que es lo mismo, un total de 1440 horas en horario normal.

La fórmula que propone el COIT es: $Honorarios = 72 \cdot H_n + 93 \cdot H_e$ (€), siendo H_n horas normales y H_e horas especiales.

Teniendo en cuenta la siguiente tabla de coeficientes reductores, se puede saber el número de horas efectivas trabajadas:

Horas trabajadas	Coeficiente reductor C	Nº de horas efectivas
Hasta 36 horas	1	36
Exceso de 36 horas hasta 72	0,9	32,4
Exceso de 72 horas hasta 108	0,8	28,8
Exceso de 108 horas hasta 144	0,7	25,2
Exceso de 144 horas hasta 180	0,65	23,4
Exceso de 180 horas hasta 360	0,60	108,0
Exceso de 360 horas hasta 540	0,55	99,0
Exceso de 540 horas hasta 720	0,50	90,0
Exceso de 720 horas hasta 1080	0,45	162,0
Exceso de 1080 horas (hasta 1440)	0,40	144,0
TOTAL DE HORAS EFECTIVAS		748,8

Tabla P - 8. Horas efectivas

El total de honorarios profesionales asciende a:

	Nº de horas efectivas	Precio unitario (€)	Importe (€)
Horas normales	748,8	72	53913,60
TOTAL			53913,60

Tabla P - 9. Honorarios profesionales

A esto habría que añadir los gastos de tramitación y envío de documentos al COIT, así como los derechos de visado:

Concepto	Importe (€)
Honorarios	53913,60
Gastos de tramitación y envío	6,00
Derechos de visado	36,00
TOTAL	53955,60

Tabla P - 10. Honorarios y gastos COIT

5. Coste total

El coste final del PFC se obtiene sumando los resultados de los apartados anteriores:

Concepto	Importe (€)
Circuitería	494,72
Gastos de edición	110,20
Gastos de amortización	5795,86
Honorarios profesionales	53955,60
COSTE TOTAL DEL PFC	60356,38 €

Tabla P - 11. Coste total

ACRÓNIMOS

AWGN Additive White Gaussian Noise
BER Bit Error Ratio
BPS Bits Per Second
BPSK Binary-Phase Shift Keying
BW Band Width (Ancho de banda)
C.I. Circuito integrado
DEP Densidad Espectral de Potencia
DSSS Direct Sequence Spread Spectrum
FHSS Frequency Hopping Spread Spectrum
FIR (IrDA) Fast InfraRed
G.T.F.C. Grupo de Tecnología Fotónica y Comunicaciones (ULPGC)
IrDA InfraRed Data Association
IREd InfraRed Emitting Diode
LED Light Emitting Diode
MIR (IrDA) Medium InfraRed
NRZ Non-Return to Zero
PPM Pulse Position Modulation
RZI Return to Zero Inverted modulation
SIR (IrDA) Serial InfraRed
SIR Signal to Interference Ratio
SNR Signal to Noise Ratio
SS Spread Spectrum
THSS Time Hopping Spread Spectrum
UART Universal Asynchronous Receiver / Transmitter
UFIR (IrDA) Ultra Fast InfraRed
VFIR (IrDA) Very Fast InfraRed
XOR eXclusive-OR

CONTENIDO DEL CD

El contenido del CD es el siguiente:

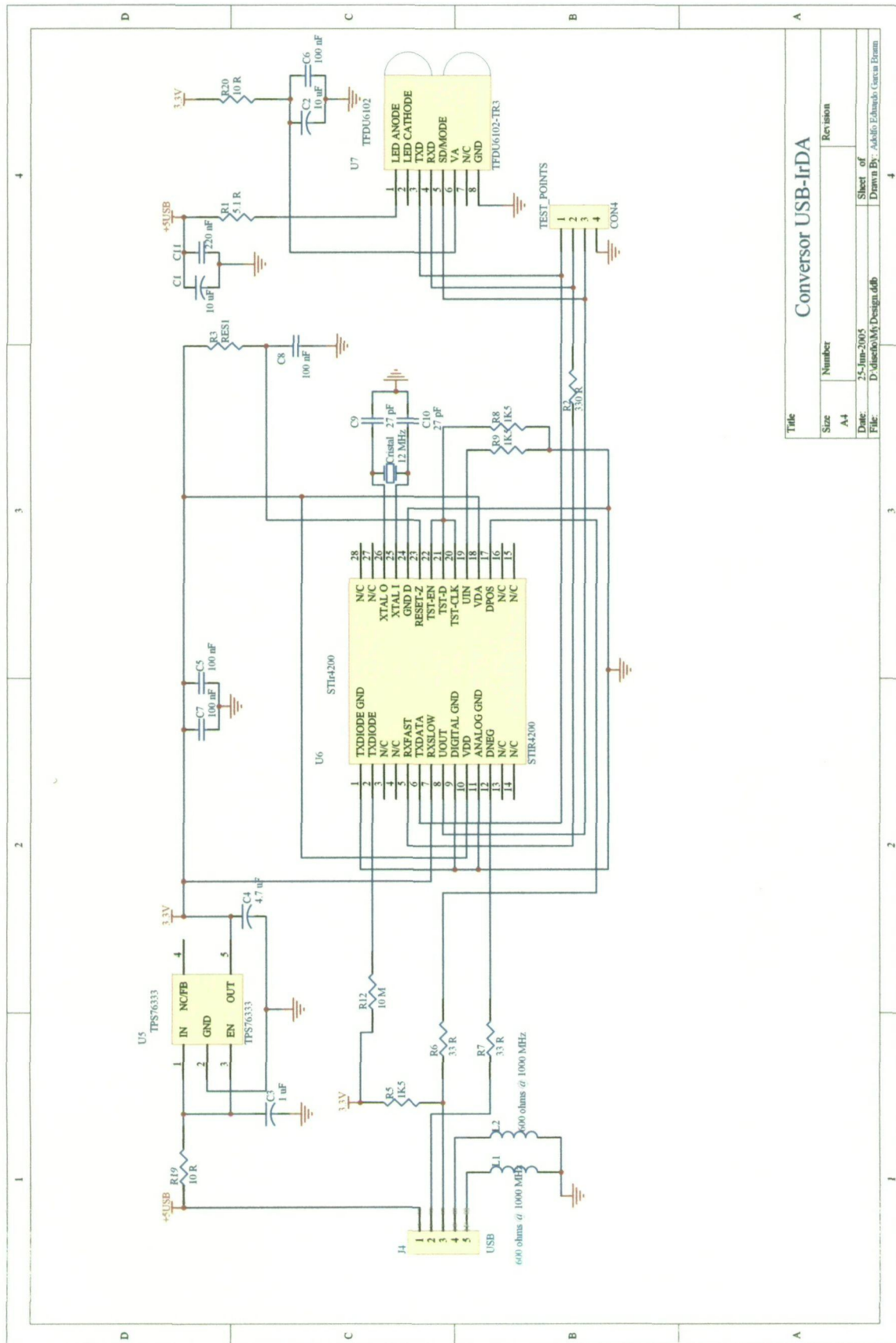
- *Proyecto en PDF.*
- *Artículo presentado en el XX symposium de la Unión Científica Internacional de Radio (URSI) 2005.*
- *Archivos empleados en simulaciones (ordenados alfabéticamente):*
 - **Demod_4ppm:** Obtiene una señal en banda base a partir de una 4-PPM.
 - **Desensanchar:** Desensancha la señal entrante al receptor.
 - **Ensanchar:** Modula mediante DSSS la señal IrDA.
 - **Espectro:** Representa la DEP de las señales.
 - **Espectro_fluor:** Es igual que “espectro”, pero adecuada para función IRDA_FLUOR.
 - **Espectro_sir:** Al igual que la anterior, se ha creado especialmente para la función IRDA_SIR.
 - **F_muestreo:** Permite conocer la frecuencia de muestreo a partir de la frecuencia de la señal de código y de la de datos.
 - **Gen_codigo:** Función que realiza la generación de la señal de código así como la obtención de los diferentes parámetros involucrados a partir de otros (frecuencia de la señal de código y la ganancia de proceso).
 - **Gen_codigo_dsss2:** Genera una señal de código distinta a la anterior, pues la realimentación del registro de desplazamiento es diferente.
 - **Gen_codigo_dsss3:** También genera un código distinto.
 - **Generador (generador_4ppm):** Crea la señal 4-PPM muestreada.
 - **Generador2:** Es igual que “generador”, pero en este caso se obtiene a partir de los valores de relación S/I impuestos.

- **Generador_4ppm_fluor:** Genera una señal 4-PPM para su uso en la función IRDA-FLUOR.
- **Generador_sir:** Es un generador de tramas 4-PPM, pero se emplea en la función IRDA_SIR.
- **IRDA_AWGN:** Función que aplica ruido AWGN sobre una señal IrDA para estudiar su comportamiento.
- **IRDA_FLUOR:** Lo mismo que la anterior, pero empleando la luz fluorescente como interferencia.
- **IRDA_IRDA:** Permite crear un entorno multicanal IrDA.
- **Mod_4ppm:** Realiza la codificación 4-PPM a una señal en banda base.
- **Obtener:** Función que obtiene, en base a dos de los datos de entrada, el tercero. Dichos datos son: fc (frecuencia de la señal de código), fd (ancho de banda de a señal de datos) y gp (ganancia de proceso).
- **Principial:** Desde esta función se llama a todas las demás.
- **SIR_AWGN:** Realización de un sistema IrDA SIR con ruido AWGN.
- **SS_AWGN:** Sistema completo con ruido blanco como interferencia.
- **SS_COEXIS:** Función para estudiar la coexistencia de tres señales DSSS en un mismo entorno.
- **SS_DESPLAZAR:** Desplaza la señal de código del receptor un cierto porcentaje del tiempo de chip respecto al del transmisor.
- **SS_IRDA:** Sistema completo con una interferencia de banda estrecha.

ANEXO I:

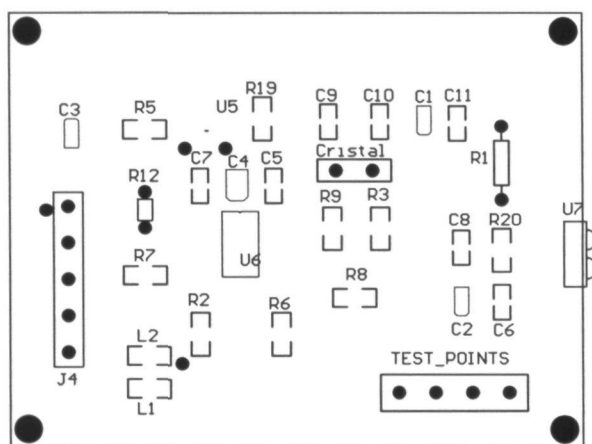
Esquemáticos, planos de

componentes y circuitos impresos

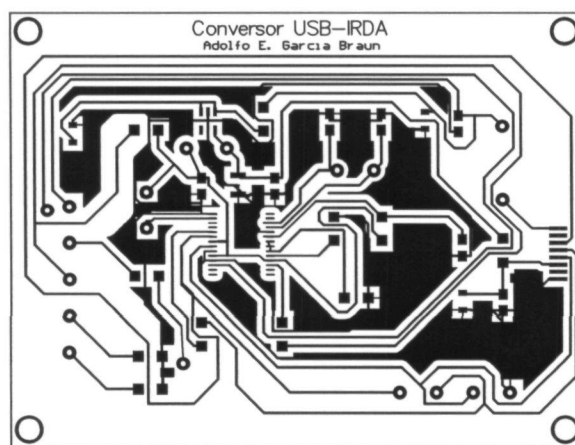


Title		
Size	Number	Revision
A4		
Date:	25-Jun-2005	Sheet of
File:	D:\diseño\My Design.ddb	Drawn By: Adolfo Eduardo García Frann

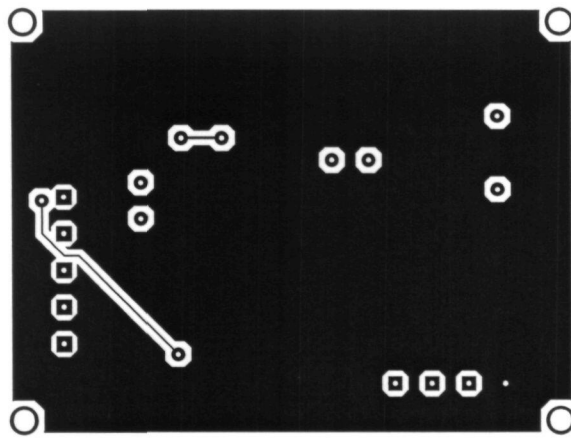
Conversor USB-IrDA (plano)

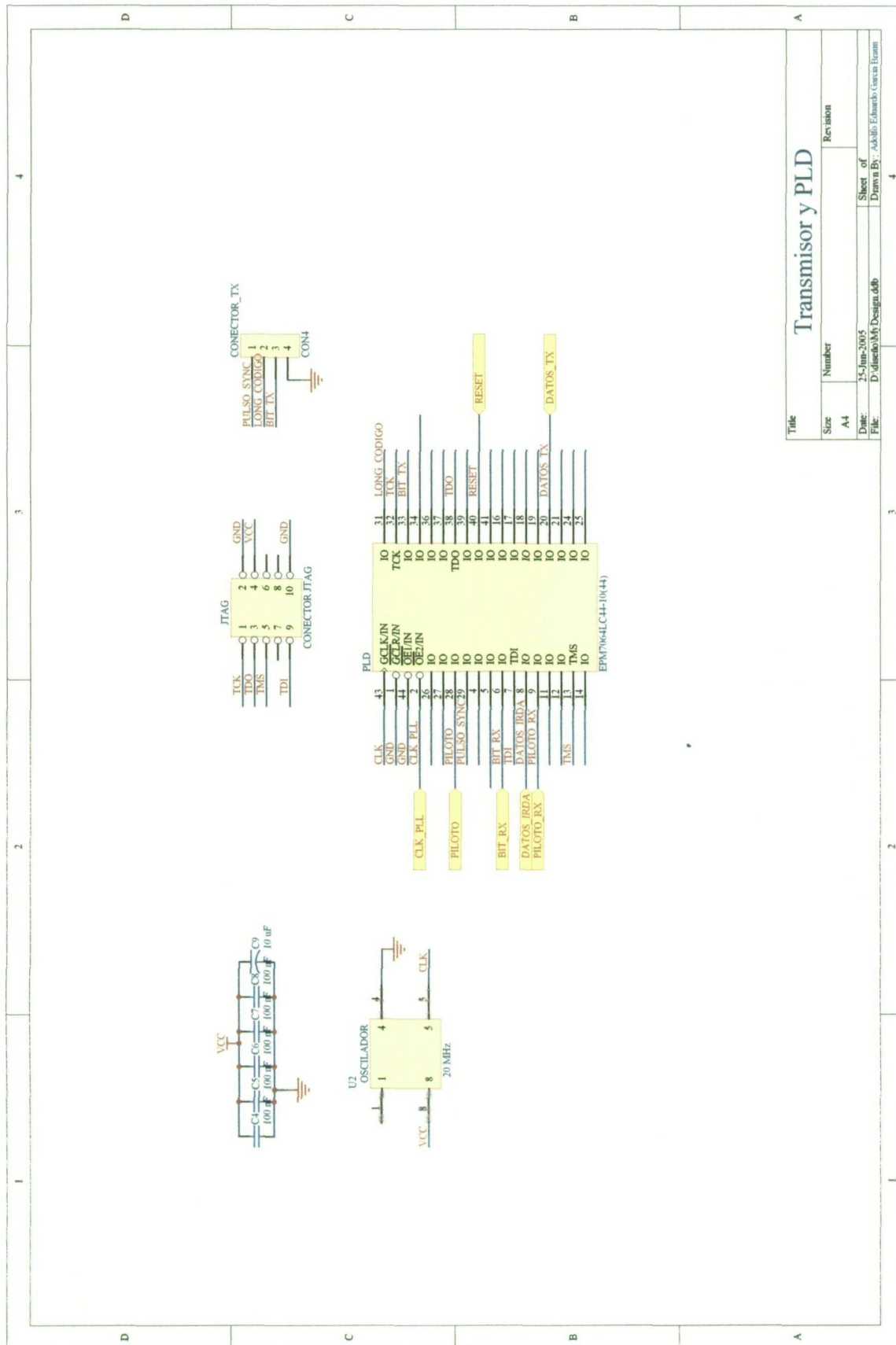


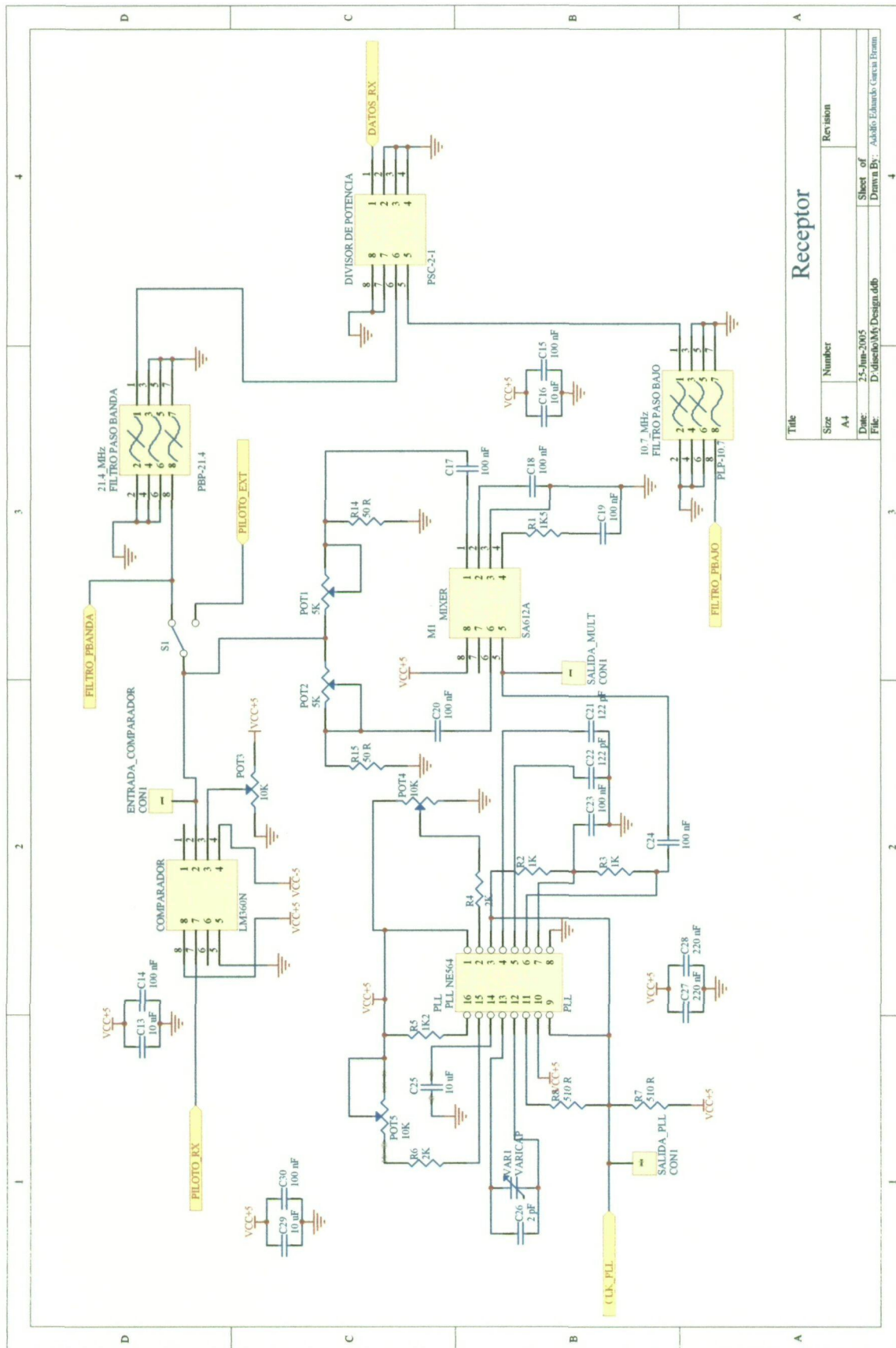
Conversor USB-IrDA (Top Layer)



Conversor USB-IrDA (Bottom Layer)

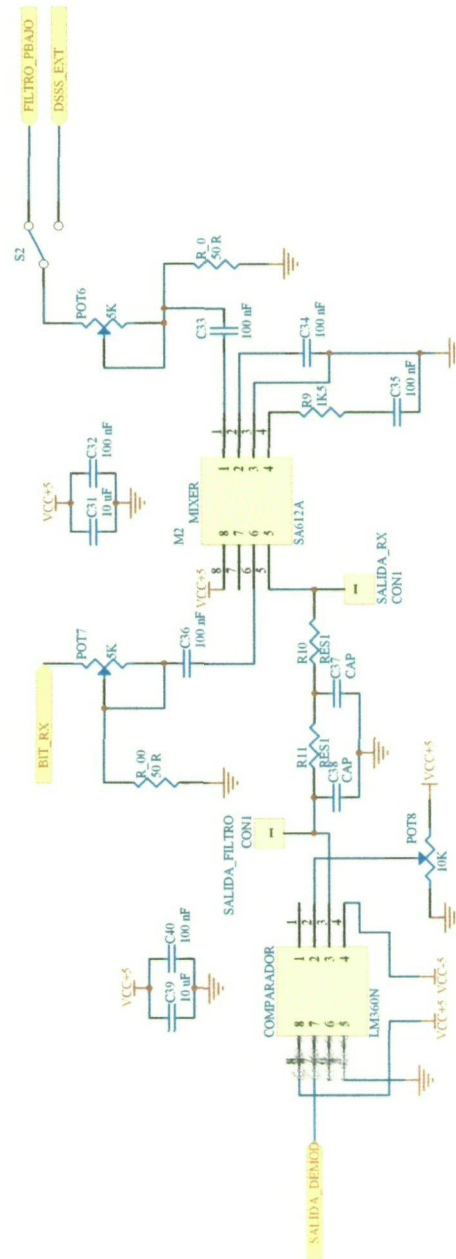






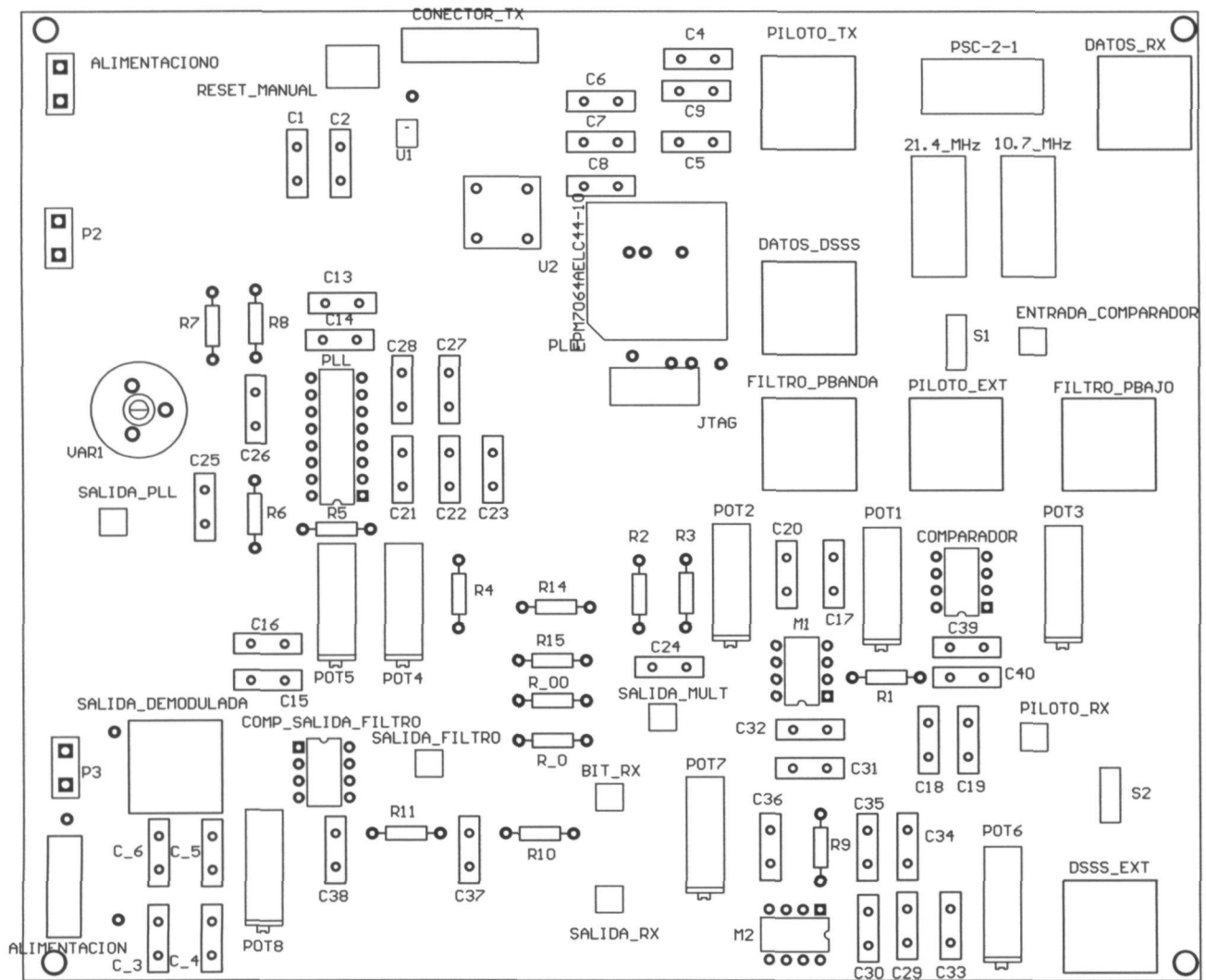
Title		Revision	
Size	Number		
A4			
Date:	25-Jun-2005	Sheet of	
File:	D:\diseño\My Design.ddb	Drawn By: Adolfo Eduardo García Brann	

Receptor

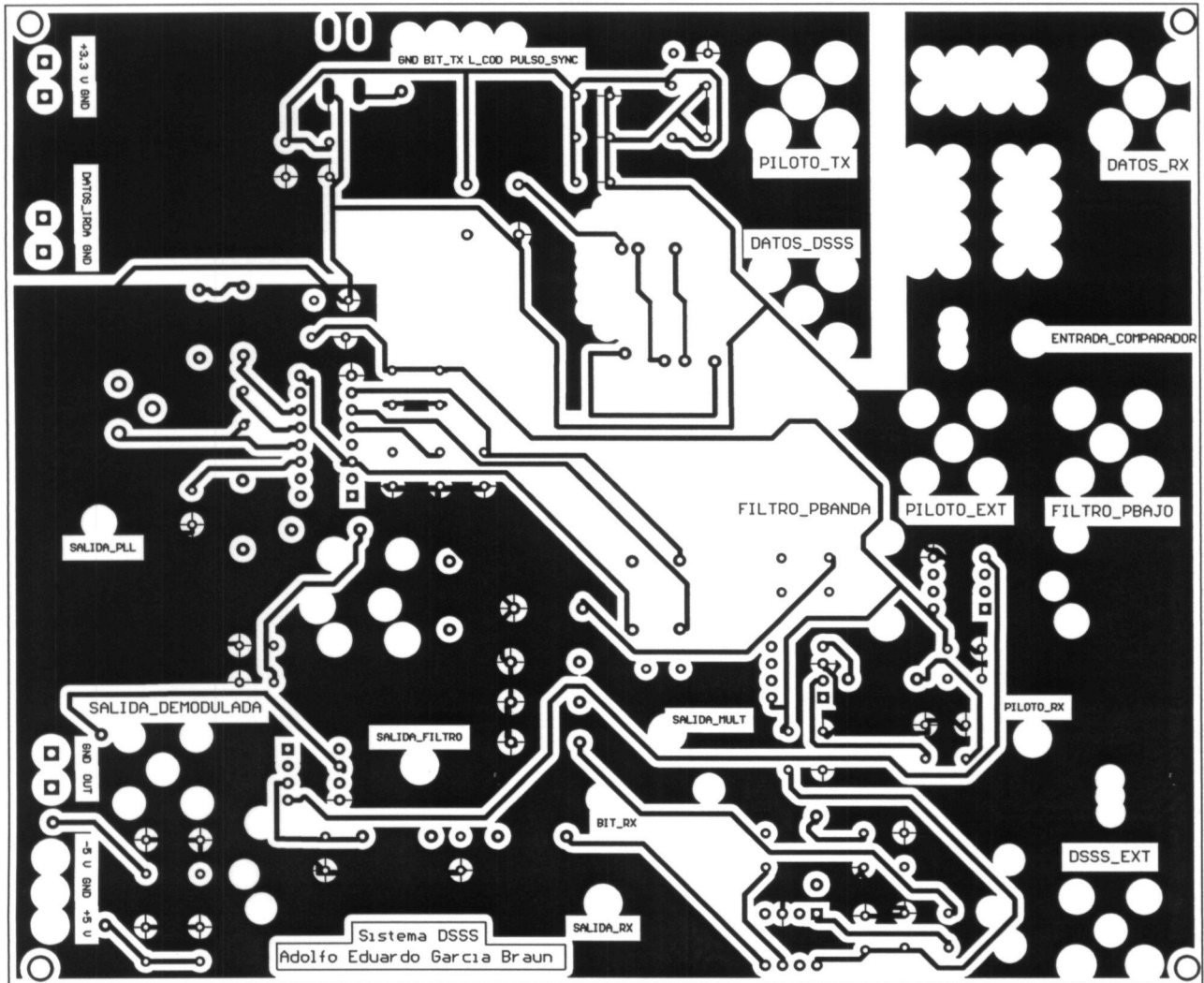


Title		Demodulator	
Size	Number	Revision	
A-4			
Date:	25-Jun-2005	Sheet of	
File:	D:\cisco\MA_Design.dwg	Drawn By:	AAKile E. Jenkins, Gary A. Primm

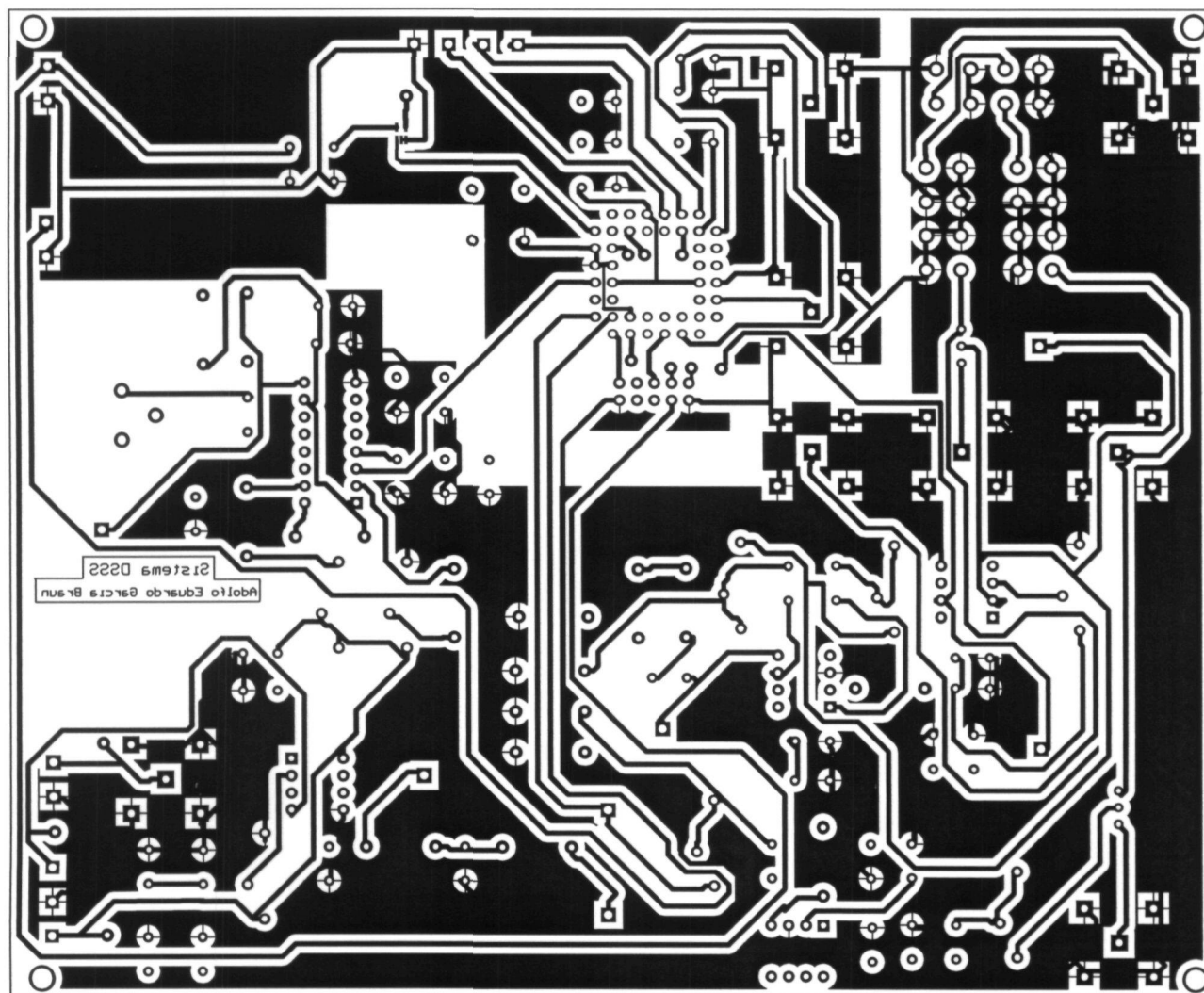
Módulo IrDA-DSSS (plano)

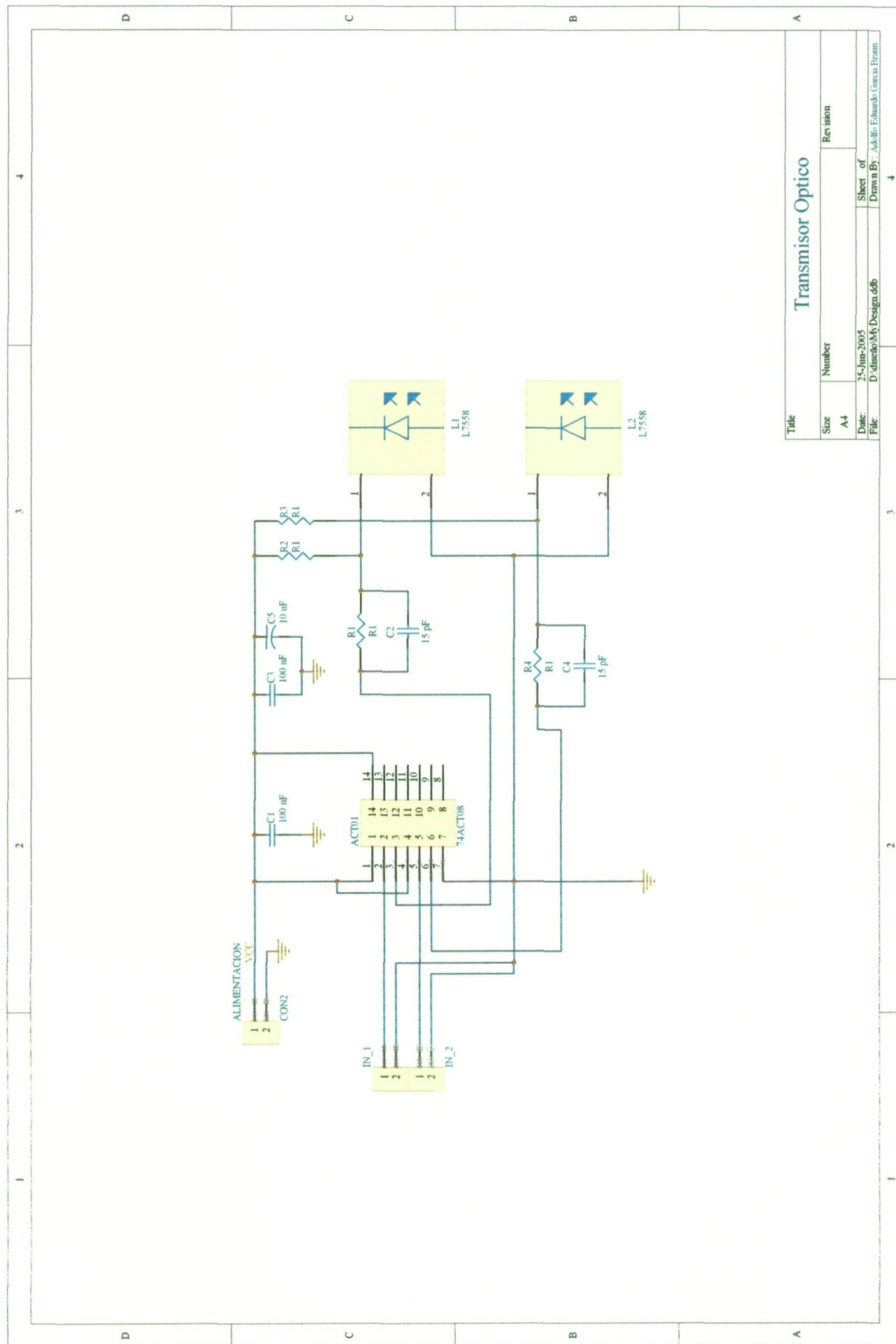


Módulo IrDA-DSSS (Top Layer)



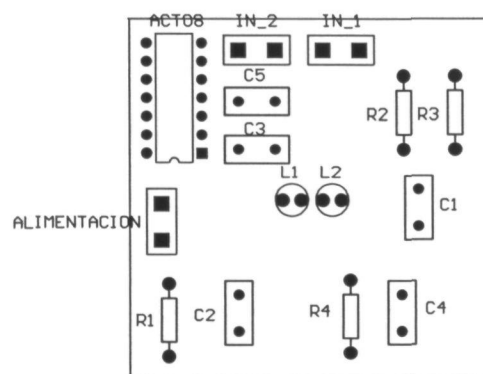
Módulo IrDA-DSSS (Bottom Layer)



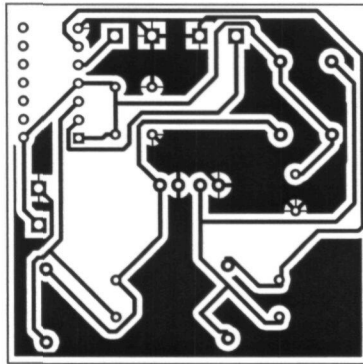


Title		
Transmisor Optico		
Size	Number	Revision
A4		
Date:	25-Jun-2005	Sheet of
File:	D:\diseno\My Design.ddb	Drawn By: Adolfo Eduardo Garcia Frain

Transmisor óptico (plano)

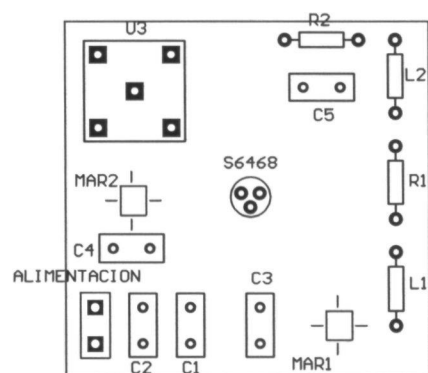


Transmisor óptico (Bottom Layer)

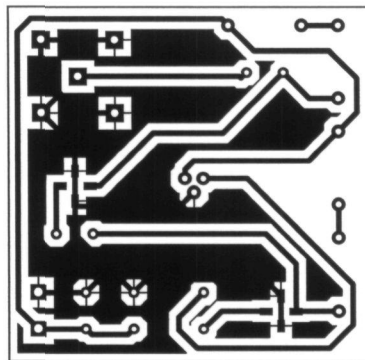




Receptor óptico (plano)



Receptor óptico (Bottom Layer)

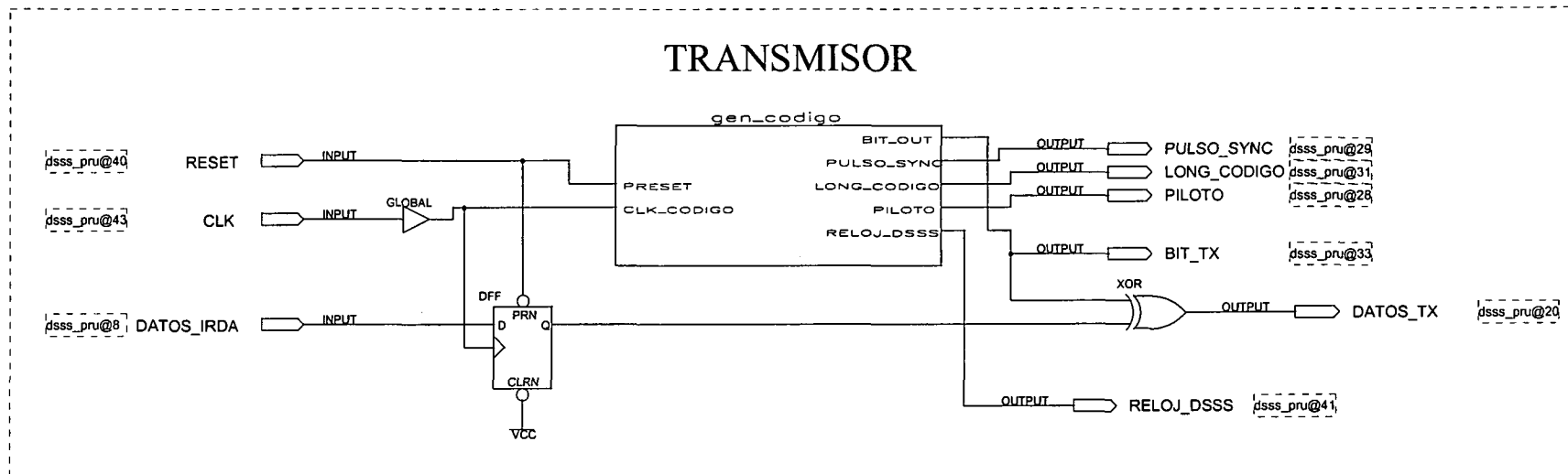


ANEXO II:

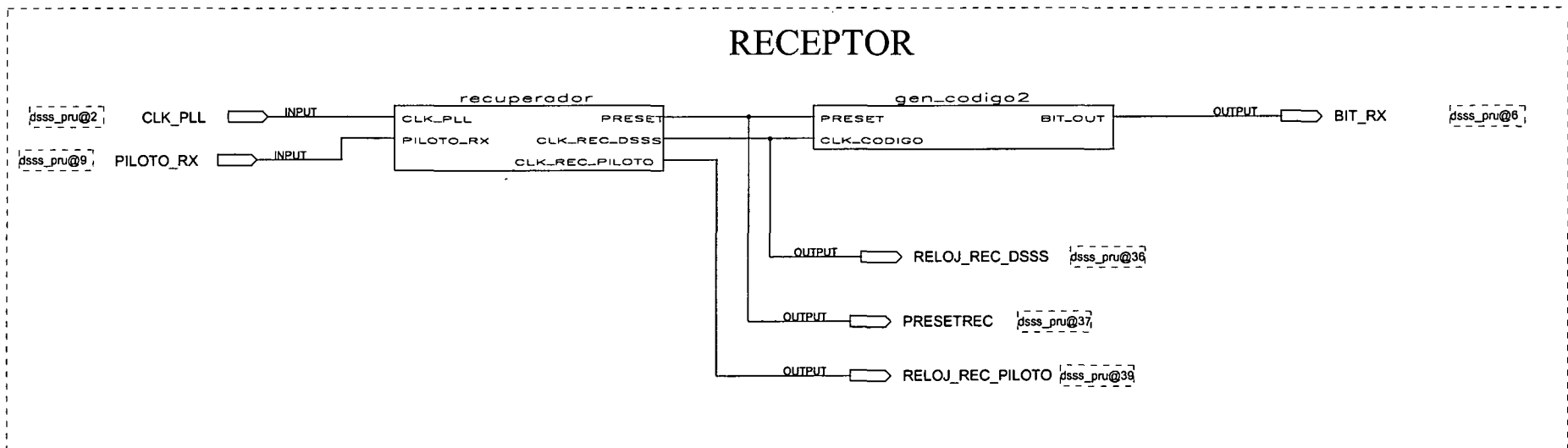
Diagramas de bloque del PLD

DSSS

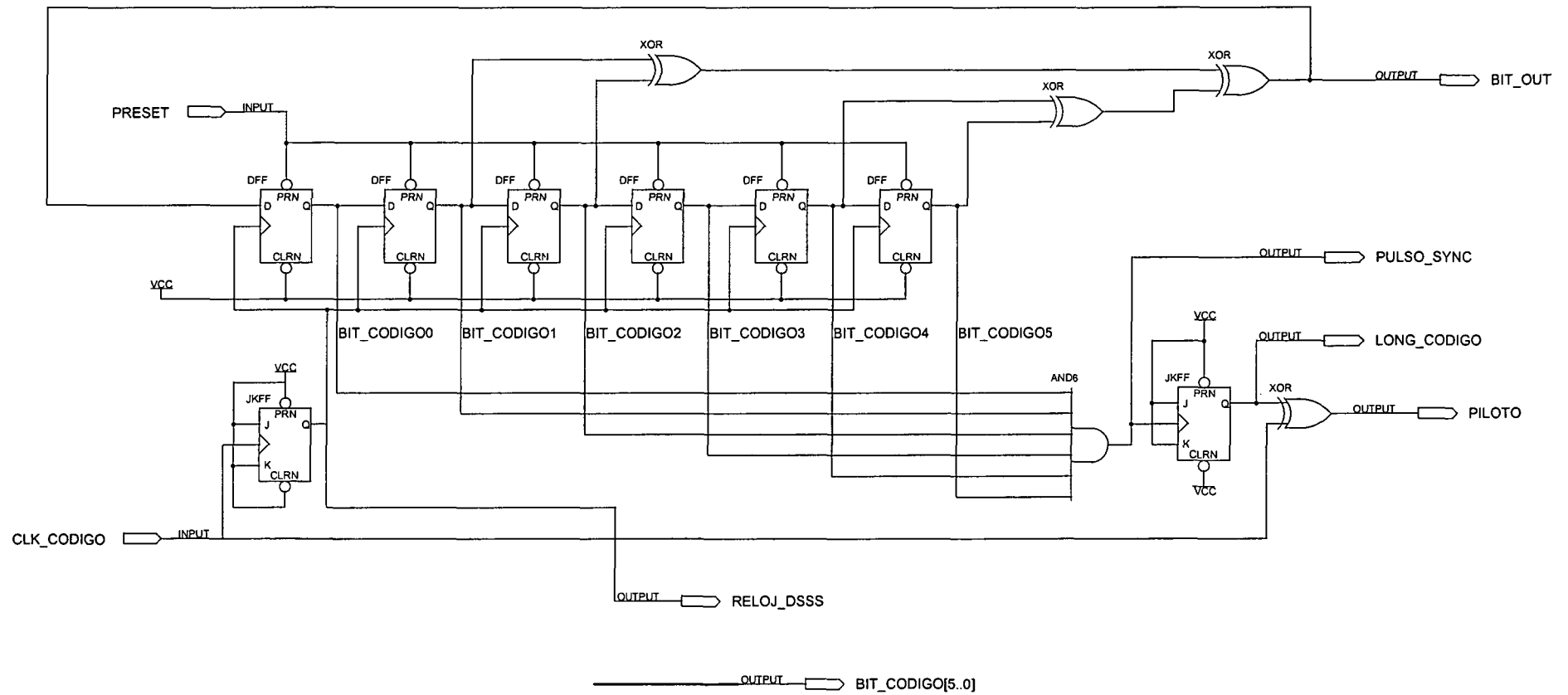
TRANSMISOR



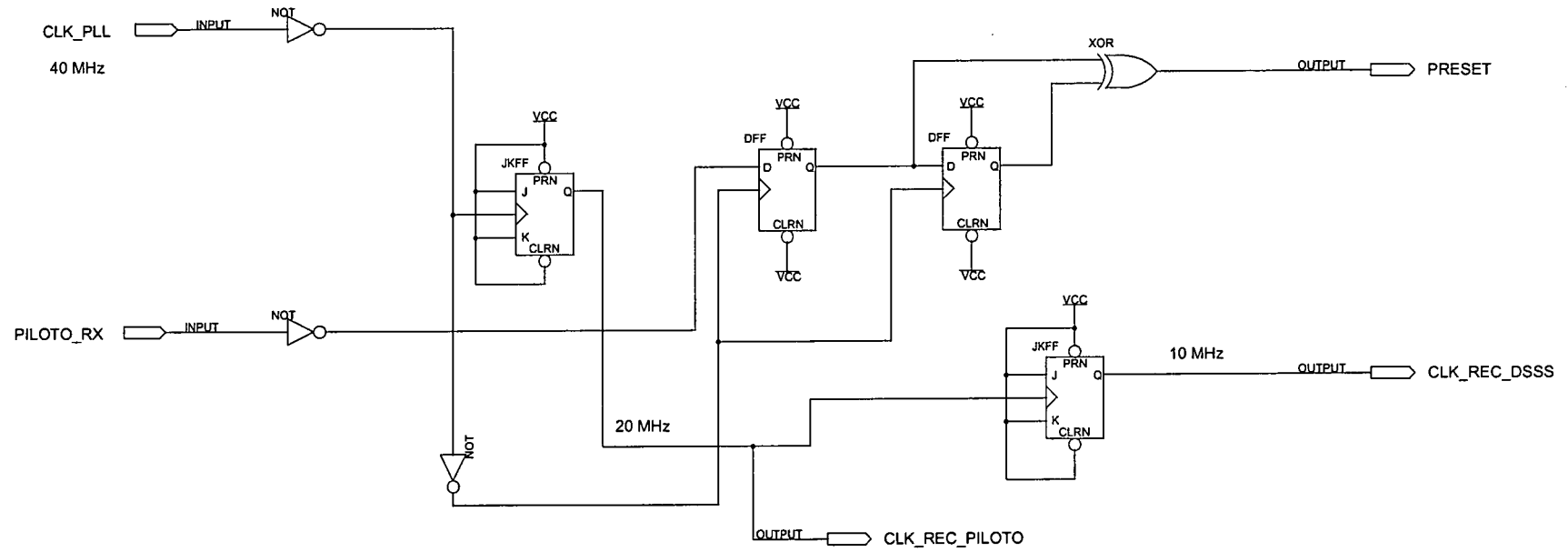
RECEPTOR



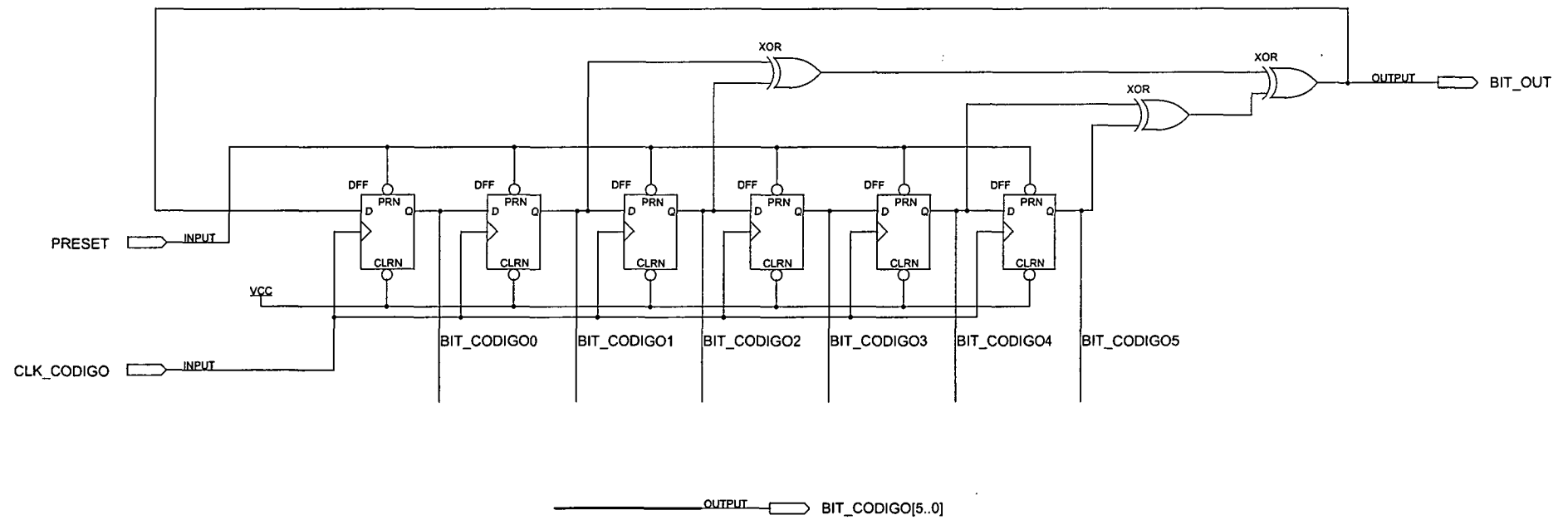
gen_codigo



recuperador

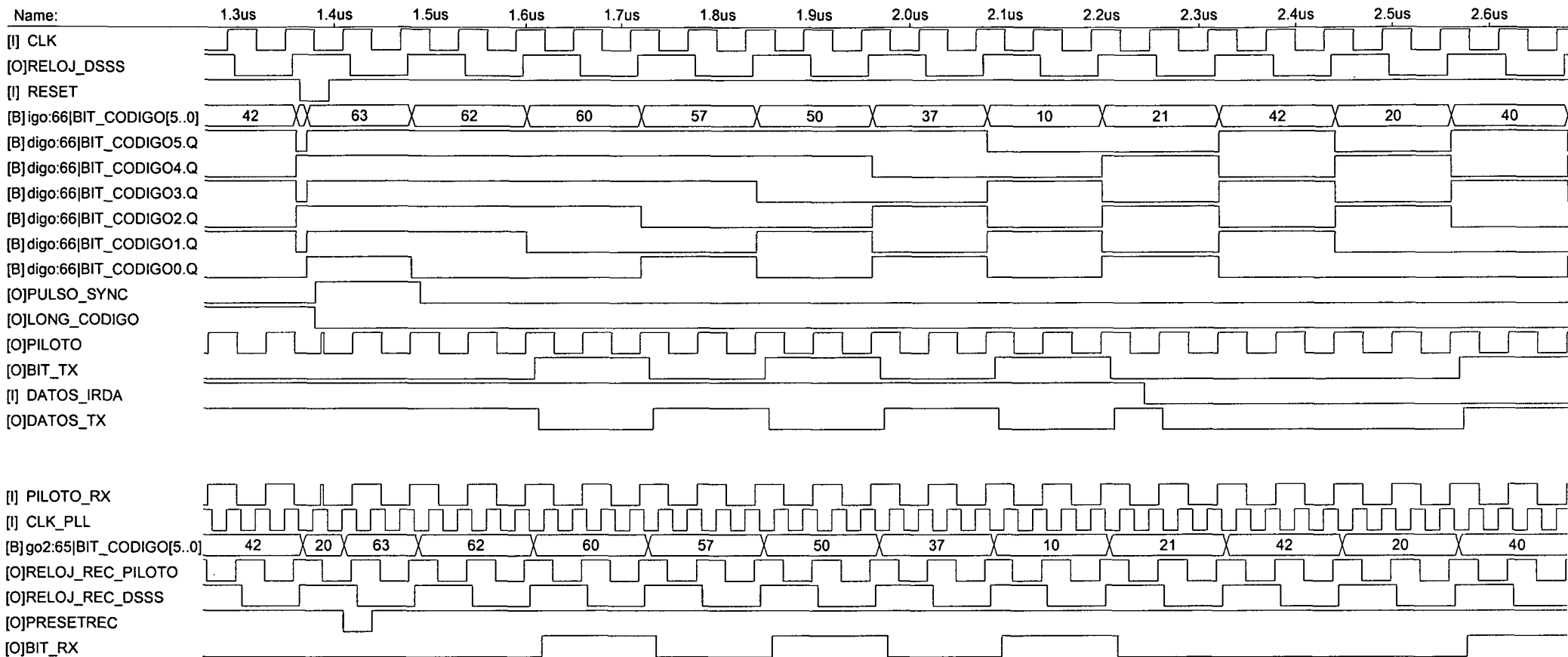


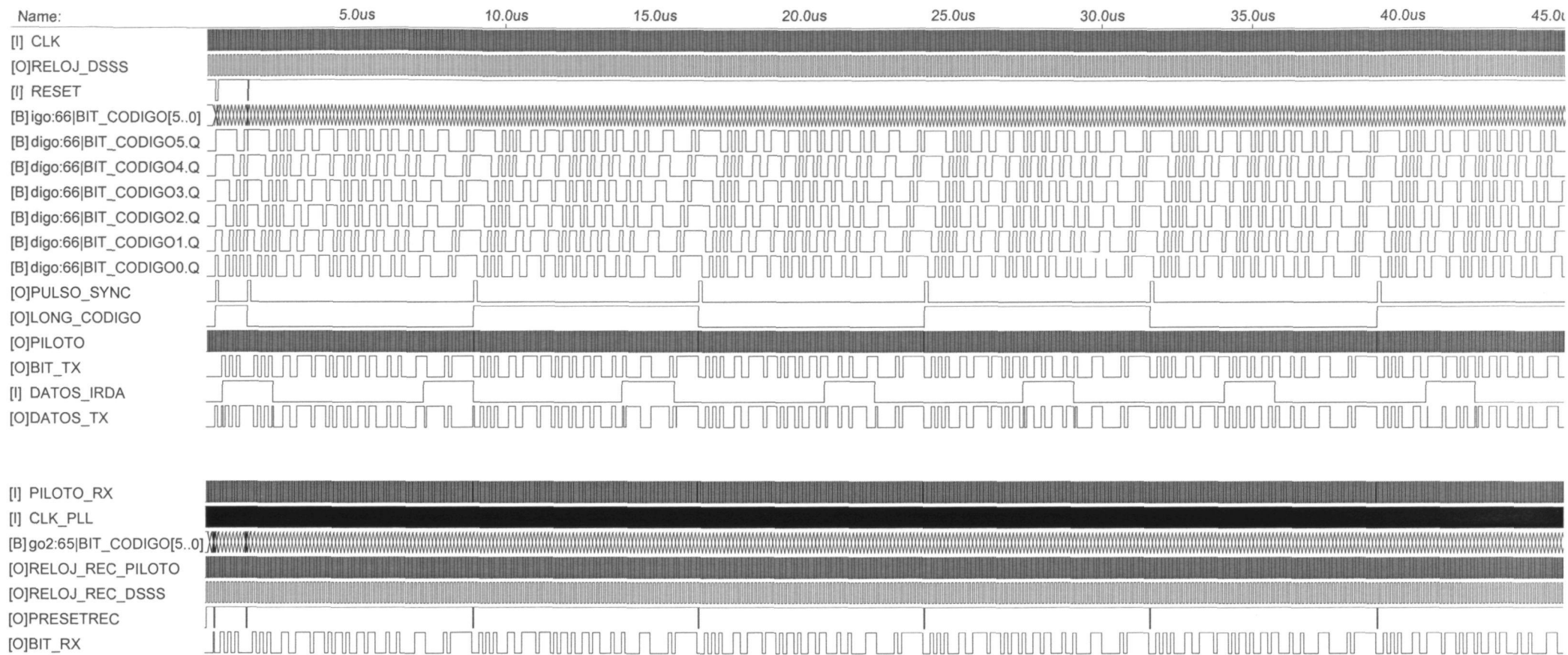
gen_codigo2



ANEXO III:

Simulaciones digitales





ANEXO IV:

Informe de la implementación

del diseño digital

d:\max4\dsss.rpt

Device: EPM7064AELC44-10

```
Turbo Bit                = ON
Security Bit              = OFF
Enable JTAG Support       = ON
User Code                 = ffffffff
MultiVolt I/O            = ON
```

Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2009

N.C. = No Connect. This pin has no internal connection to the device.
VCCINT = Dedicated power pin, which MUST be connected to VCC (3.3 volts).
VCCIO = Dedicated power pin, which MUST be connected to VCC (2.5 volts).
GND = Dedicated ground pin or unused dedicated input, which MUST be connected to GND.

** RESOURCE USAGE **

Logic Array Block	Logic Cells	I/O Pins	Shareable Expanders	External Interconnect
A: LC1 - LC16	16/16 (100%)	4/ 8 (50%)	11/16 (68%)	20/36 (55%)
B: LC17 - LC32	1/16 (6%)	2/ 8 (25%)	8/16 (50%)	5/36 (13%)
C: LC33 - LC48	3/16 (18%)	4/ 8 (50%)	0/16 (0%)	8/36 (22%)
D: LC49 - LC64	5/16 (31%)	7/ 8 (87%)	1/16 (6%)	8/36 (22%)

Total dedicated input pins used:	2/4	(50%)
Total I/O pins used:	17/32	(53%)
Total logic cells used:	25/64	(39%)
Total shareable expanders used:	18/64	(28%)
Total Turbo logic cells used:	25/64	(39%)
Total shareable expanders not available (n/a):	2/64	(3%)
Average fan-in:	3.64	
Total fan-in:	91	

Total input pins required:	5
Total fast input logic cells required:	0
Total output pins required:	10
Total bidirectional pins required:	0
Total reserved pins required	4
Total logic cells required:	25
Total flipflops required:	19
Total product terms required:	86
Total logic cells lending parallel expanders:	0
Total shareable expanders in database:	18

Synthesized logic cells:	0/ 64	(0%)
--------------------------	-------	-------

ANEXO V:

Hojas de características



Integrated Mixed-Signal Solutions

PRODUCT BRIEF

STIr4200

USB/IrDA FIR/SIR Bridge Controller

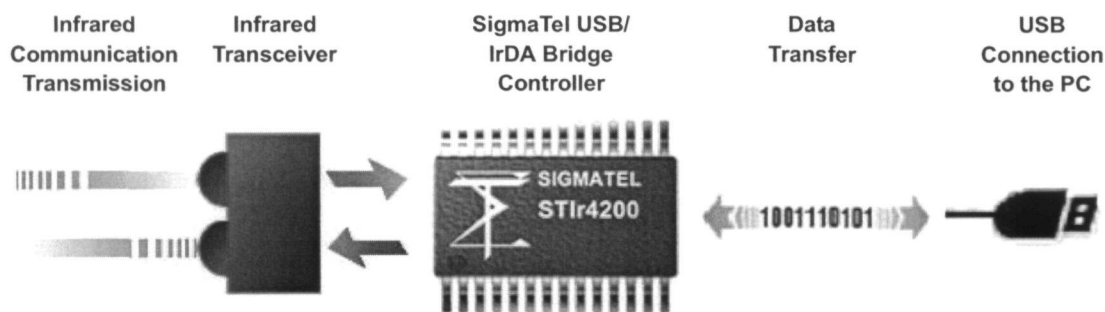
FEATURES

- **Low-power CMOS design**
- **IrDA data rates from 2.4 Kbps to 4 Mbps**
- **Obtains power from USB port**
- **Uses standard IrDA transceivers**
- **Optional LED driver for additional flexibility**
 - ♦ LED driver capable of > 650 ma @ 5V, 25% duty cycle
- **Full compliance to IrDA 1.3 and USB 1.1 specifications**
- **4 Kbyte FIFO buffer memory**
- **Requires a single 12 Mhz crystal**
- **Windows 98/98SE/ME/2000/XP™ NDIS/USB driver**
- **Low-profile 28-Pin SSOP package**

DESCRIPTION

The SigmaTel STIr4200 is a low cost, low power, USB/IrDA Bridge Controller integrated circuit for enabling IrDA wireless data communications through a standard PC USB port. The STIr4200 directly interfaces to both single path and dual path receive IrDA transceiver module architectures and contains a USB controller, IrDA controller, interface logic, and memory buffer for full IrDA 1.3, 4 Mbps data transfer rates.

The STIr4200 is bundled with a Windows 98/98SE/ME/2000/XP™ NDIS/USB driver for enabling the implementation of a cost effective USB/IrDA Adapter solution for wireless data communications.

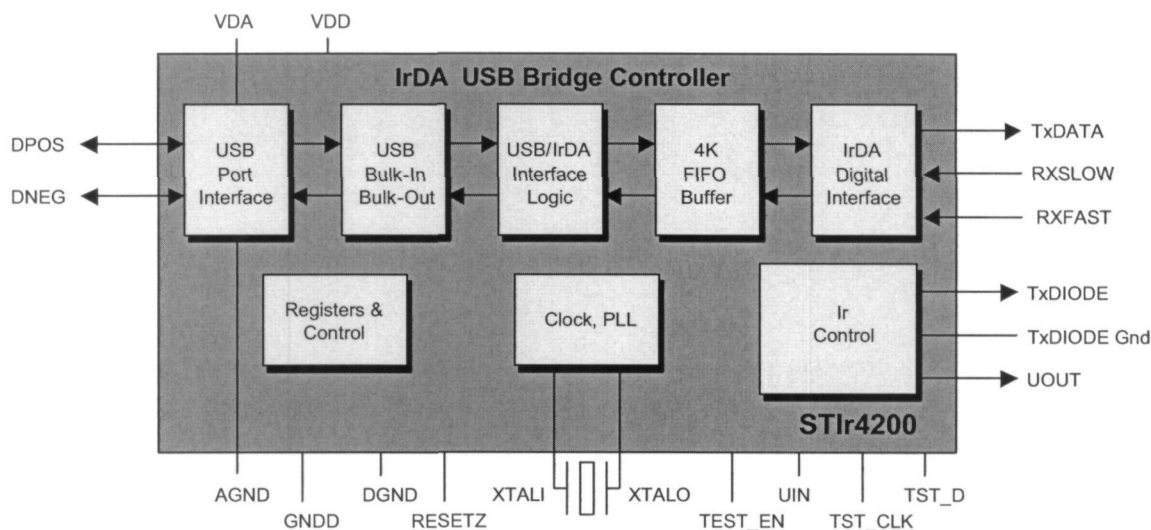


STIr4200

USB/IrDA FIR/SIR Bridge Controller



FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Temp Range	Supply Range
STIr4200S	28-Pin SSOP	0° C to +70° C	Vdd = 3.1 - 3.6V

ADDITIONAL SUPPORT

Additional product and company information including Product Data Sheets, Reference Designs for dongle assemblies, Software Drivers, and Customer Production Test programs, and User Guides can be obtained by contacting SigmaTel, Inc. Additional corporate and product information can be obtained at www.sigmatel.com.

Copyright © 2003 SigmaTel, Inc. All rights reserved.

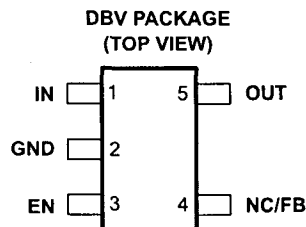
All contents of this document are protected by copyright law and may not be reproduced without the express written consent of SigmaTel, Inc.

SigmaTel, the SigmaTel logo, and combinations thereof are registered trademarks of SigmaTel, Inc. Other product names used in this publication are for identification purposes only and may be trademarks or registered trademarks of their respective companies. The contents of this document are provided in connection with SigmaTel, Inc. products. SigmaTel, Inc. has made best efforts to ensure that the information contained herein is accurate and reliable. However, SigmaTel, Inc. makes no warranties, express or implied, as to the accuracy or completeness of the contents of this publication and is providing this publication "AS IS". SigmaTel, Inc. reserves the right to make changes to specifications and product descriptions at any time without notice, and to discontinue or make changes to its products at any time without notice. SigmaTel, Inc. does not assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential, or incidental damages.

TPS76301, TPS76316, TPS76318, TPS76325, TPS76327 TPS76328, TPS76330, TPS76333, TPS76338, TPS76350 LOW-POWER 150-mA LOW-DROPOUT LINEAR REGULATORS

SLVS181H – DECEMBER 1998 – REVISED JANUARY 2004

- 150-mA Low-Dropout Regulator
- Output Voltage: 5 V, 3.8 V, 3.3 V, 3.0 V, 2.8 V, 2.7 V, 2.5 V, 1.8 V, 1.6 V and Variable
- Dropout Voltage, Typically 300 mV at 150 mA
- Thermal Protection
- Over Current Limitation
- Less Than 2- μ A Quiescent Current in Shutdown Mode
- -40°C to 125°C Operating Junction Temperature Range
- 5-Pin SOT-23 (DBV) Package



description

The TPS763xx family of low-dropout (LDO) voltage regulators offers the benefits of low-dropout voltage, low-power operation, and miniaturized packaging. These regulators feature low dropout voltages and quiescent currents compared to conventional LDO regulators. Offered in a 5-terminal, small outline integrated-circuit SOT-23 package, the TPS763xx series devices are ideal for cost-sensitive designs and for applications where board space is at a premium.

A combination of new circuit design and process innovation has enabled the usual pnp pass transistor to be replaced by a PMOS pass element. Because the PMOS pass element behaves as a low-value resistor, the dropout voltage is very low—typically 300 mV at 150 mA of load current (TPS76333)—and is directly proportional to the load current. Since the PMOS pass element is a voltage-driven device, the quiescent current is very low (140 μ A maximum) and is stable over the entire range of output load current (0 mA to 150 mA). Intended for use in portable systems such as laptops and cellular phones, the low-dropout voltage feature and low-power operation result in a significant increase in system battery operating life.

The TPS763xx also features a logic-enabled sleep mode to shut down the regulator, reducing quiescent current to 1 μ A maximum at $T_J = 25^\circ\text{C}$. The TPS763xx is offered in 1.6-V, 1.8-V, 2.5-V, 2.7-V, 2.8-V, 3.0-V, 3.3-V, 3.8-V, and 5-V fixed-voltage versions and in a variable version (programmable over the range of 1.5 V to 6.5 V).

AVAILABLE OPTIONS

T_J	VOLTAGE	PACKAGE	PART NUMBER		SYMBOL
-40°C to 125°C	Variable	SOT-23 (DBV)	TPS76301DBVT(1)	TPS76301DBVR(2)	PAZI
	1.6 V		TPS76316DBVT	TPS76316DBVR	PBHI
	1.8 V		TPS76318DBVT	TPS76318DBVR	PBAI
	2.5 V		TPS76325DBVT	TPS76325DBVR	PBBI
	2.7 V		TPS76327DBVT	TPS76327DBVR	PBCI
	2.8 V		TPS76328DBVT	TPS76328DBVR	PBDI
	3.0 V		TPS76330DBVT	TPS76330DBVR	PBII
	3.3 V		TPS76333DBVT	TPS76333DBVR	PBEI
	3.8 V		TPS76338DBVT	TPS76338DBVR	PBFI
	5.0 V		TPS76350DBVT	TPS76350DBVR	PBGI

(1) The DBVT passive indicates tape and reel of 250 parts.

(2) The DBVR passive indicates tape and reel of 3000 parts.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

All trademarks are the property of their respective owners.

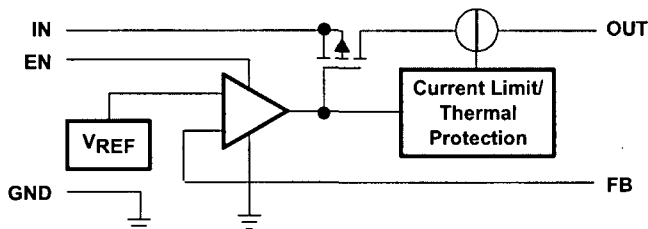
**TPS76301, TPS76316, TPS76318, TPS76325, TPS76327
TPS76328, TPS76330, TPS76333, TPS76338, TPS76350
LOW-POWER 150-mA LOW-DROPOUT LINEAR REGULATORS**

SLVS181H – DECEMBER 1998 – REVISED JANUARY 2004

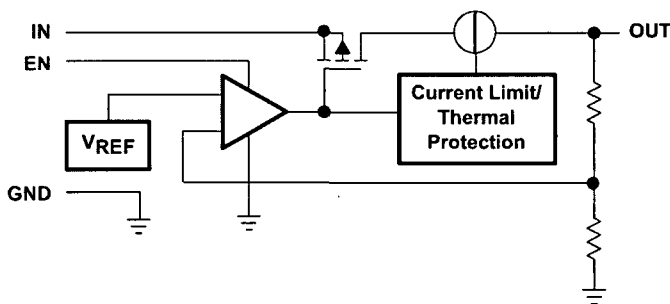


FUNCTIONAL BLOCK DIAGRAM

TPS76301



TPS76316/ 18/ 25/ 27/ 28/ 30/ 33/ 38/ 50



Terminal Functions

TERMINAL NAME	DESCRIPTION
GND	Ground
EN	Enable input
FB	Feedback voltage (TPS76301 only)
IN	Input supply voltage
NC	No connection (fixed-voltage option only)
OUT	Regulated output voltage

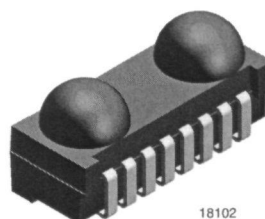


Fast Infrared Transceiver Module (FIR, 4 Mbit/s) for 2.7 V to 5.5 V Operation

Description

The TFDU6102 is a low-power infrared transceiver module compliant to the latest IrDA physical layer standard for fast infrared data communication, supporting IrDA speeds up to 4.0 Mbit/s (FIR), and carrier based remote control modes up to 2 MHz. Integrated within the transceiver module are a PIN photodiode, an infrared emitter (IRED), and a low-power CMOS control IC to provide a total front-end solution in a single package.

Vishay FIR transceivers are available in different package options, including this BabyFace package (TFDU6102). This wide selection provides flexibility for a variety of applications and space constraints. The transceivers are capable of directly interfacing with a wide variety of I/O devices which perform the



modulation/ demodulation function, including National Semiconductor's PC87338, PC87108 and PC87109, SMC's FDC37C669, FDC37N769 and CAM35C44, and Hitachi's SH3. TFDU6102 has a tri-state output and is floating in shut-down mode with a weak pull-up.

Features

- Supply voltage 2.7 V to 5.5 V, operating idle current (receive mode) < 3 mA, shutdown current < 5 μ A over full temperature range
- Surface mount package, top and side view, 9.7 mm x 4.7 mm x 4.0 mm
- Operating temperature - 25 °C to 85 °C
- Storage temperature - 40 °C to 100 °C
- Transmitter wavelength typ. 886 nm, supporting IrDA[®] and Remote Control
- IrDA[®] compliant, link distance > 1 m, $\pm 15^\circ$, window losses are allowed to still be inside the IrDA[®] spec.
- Remote Control range > 8 m, typ. 22 m
- ESD > 4000 V (HBM), latchup > 200 mA
- EMI immunity > 550 V/m for GSM frequency and other mobile telephone bands / (700 MHz to 2000 MHz, no external shield)
- Split power supply, LED can be driven by a separate power supply not loading the regulated supply. U.S. Pat. No. 6,157,476
- Tri-state-Receiver Output, floating in shut down with a weak pull-up
- Eye safety class 1 (IEC60825-1, ed. 2001), limited LED on-time, LED current is controlled, no single fault to be considered
- Lead(Pb)-free device
- Device in accordance to RoHS 2002/95/EC and WEEE 2002/96/EC

Applications

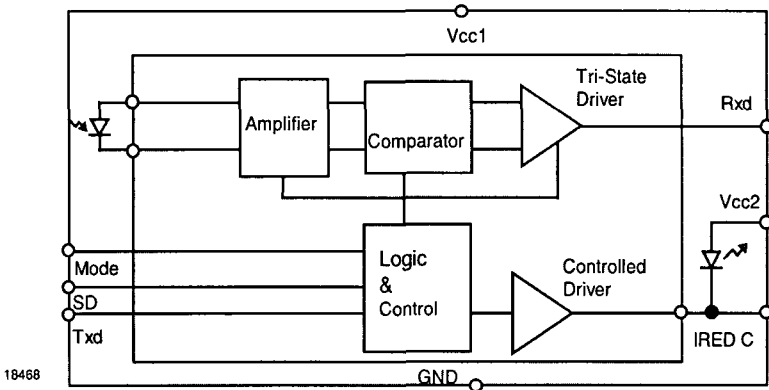
- Notebook computers, desktop PCs, Palmtop computers (Win CE, Palm PC), PDAs
- Digital still and video cameras
- Printers, fax machines, photocopiers, screen projectors
- Telecommunication products (cellular phones, pagers)
- Internet TV Boxes, video conferencing systems
- External infrared adapters (dongles)
- Medical and industrial data collection



Parts Table

Part	Description	Qty / Reel
TFDU6102-TR3	Oriented in carrier tape for side view surface mounting	1000 pcs
TFDU6102-TT3	Oriented in carrier tape for top view surface mounting	1000 pcs

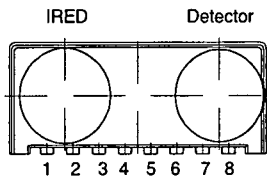
Functional Block Diagram



Pinout

TFDU6102
weight 200 mg

"U" Option BabyFace
(Universal)



Definitions:

In the Vishay transceiver data sheets the following nomenclature is used for defining the IrDA operating modes:

SIR: 2.4 kbit/s to 115.2 kbit/s, equivalent to the basic serial infrared standard with the physical layer version IrPhy 1.0

MIR: 576 kbit/s to 1152 kbit/s

FIR: 4 Mbit/s

VFIR: 16 Mbit/s

MIR and FIR were implemented with IrPhy 1.1, followed by IrPhy 1.2, adding the SIR Low Power Standard. IrPhy 1.3 extended the Low Power Option to MIR and FIR and VFIR was added with IrPhy 1.4.A new version of the standard in any case obsoletes the former version.

Note: We apologize to use sometimes in our documentation the abbreviation LED and the word Light Emitting Diode instead of Infrared Emitting Diode (IRED) for IR-emitters. That is by definition wrong; we are here following just a bad trend.

Typical values are for design aid only, not guaranteed nor subject to production testing and may vary with time.



Pin Description

Pin Number "U"	Function	Description	I/O	Active
1	V _{CC2} IRED Anode	Connect IRED anode directly to V _{CC2} . For voltages higher than 3.6 V an external resistor might be necessary for reducing the internal power dissipation. An unregulated separate power supply can be used at this pin.		
2	IRED Cathode	IRED cathode, internally connected to driver transistor		
3	Txd	This input is used to transmit serial data when SD is low. An on-chip protection circuit disables the LED driver if the Txd pin is asserted for longer than 80 μ s. When used in conjunction with the SD pin, this pin is also used to receiver speed mode.	I	HIGH
4	Rxd	Received Data Output, push-pull CMOS driver output capable of driving a standard CMOS or TTL load. No external pull-up or pull-down resistor is required. Floating with a weak pull-up of 500 kΩ (typ.) in shutdown mode.	O	LOW
5	SD	Shutdown, also used for dynamic mode switching. Setting this pin active places the module into shutdown mode. On the falling edge of this signal, the state of the Txd pin is sampled and used to set receiver low bandwidth (Txd = Low, SIR) or high bandwidth (Txd = High, MIR and FIR) mode. Will be overwritten by the mode pin input, which must float, when dynamic programming is used.	I	HIGH
6	V _{CC1}	Supply Voltage		
7	Mode	HIGH: High speed mode, MIR and FIR; LOW: Low speed mode, SIR only (see chapter "Mode Switching"). Must float, when dynamic programming is used.	I	
	Mode	The mode pin can also be used to indicate the dynamically programmed mode. The maximum load is limited to 50 pF. High indicates FIR/MIR-, low indicates SIR-mode	O	
8	GND	Ground		

Absolute Maximum Ratings

Reference point Ground Pin 8, unless otherwise noted.

Typical values are for DESIGN AID ONLY, not guaranteed nor subject to production testing.

Parameter	Test Conditions	Symbol	Min	Typ.	Max	Unit
Supply voltage range, transceiver	$0\text{ V} < V_{CC2} < 6\text{ V}$	V_{CC1}	- 0.5		+ 6	V
Supply voltage range, transmitter	$0\text{ V} < V_{CC1} < 6\text{ V}$	V_{CC2}	- 0.5		+ 6.5	V
Input currents	for all pins, except IRED anode pin				10	mA
Output sinking current					25	mA
Power dissipation	see derating curve, figure 5	P_D			500	mW
Junction temperature		T_J			125	°C
Ambient temperature range (operating)		T_{amb}	- 25		+ 85	°C
Storage temperature range		T_{stg}	- 25		+ 85	°C
Soldering temperature	see recommended solder profile (see figure 4)				240	°C
Average output current		$I_{IRED} \text{ (DC)}$			125	mA
Repetitive pulse output current	$< 90\text{ }\mu\text{s}$, $t_{on} < 20\%$	$I_{IRED} \text{ (RP)}$			600	mA
IRED anode voltage		$V_{IRED A}$	- 0.5		+ 6.5	V
Voltage at all inputs and outputs	$V_{in} > V_{CC1}$ is allowed	V_{IN}			5.5	V
Load at mode pin when used as mode indicator					50	pF

Eye safety information

Reference point Pin: GND unless otherwise noted.

Typical values are for DESIGN AID ONLY, not guaranteed nor subject to production testing.

Parameter	Test Conditions	Symbol	Min	Typ.	Max	Unit
Virtual source size ¹	Method: (1 - 1/e) encircled energy	d	2.5	2.8		mm
Maximum Intensity for Class 1	IEC60825-1 or EN60825-1, edition Jan. 2001	I_e			²⁾ (500) ^{**}	mW/sr

¹⁾Due to the internal limitation measures the device is a "class1" device

^{**})IrDA specifies the max. intensity with 500 mW/sr



ULTRA-SMALL SUPPLY VOLTAGE SUPERVISORS

FEATURES

- Small, 5-Pin SC-70 (SOT-323) Package
- Supply Current of 9 μ A
- Power-On Reset Generator With Fixed Delay Time
 - TPS3800 = 100 ms
 - TPS3801 = 200 ms
 - TPS3802 = 400 ms
- Precision Supply Voltage Monitor 1.8 V, 2.5 V, 2.7 V, 3 V, 3.3 V, 5 V, and Adjustable
- Manual Reset Input (Except TPS3801-01)
- Temperature Range: -40°C to 85°C

APPLICATIONS

- Applications Using DSPs, Microcontrollers, or Microprocessors
- Wireless Communication Systems
- Portable/Battery-Powered Equipment
- Programmable Controls
- Intelligent Instruments
- Industrial Equipment
- Notebook/Desktop Computers
- Automotive Systems

DESCRIPTION

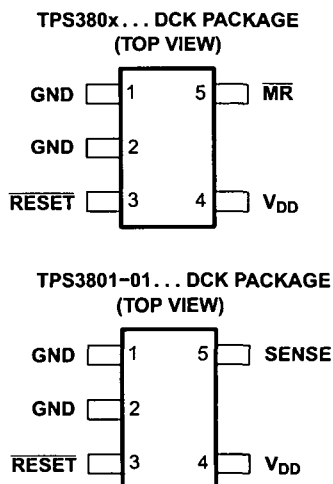
The TPS380x family of supervisory circuits monitor supply voltages to provide circuit initialization and timing supervision, primarily for DSPs and other processor-based systems.

These devices assert a push-pull $\overline{\text{RESET}}$ signal when the SENSE (adjustable version) or V_{DD} (fixed version) drops below a preset threshold. The $\overline{\text{RESET}}$ output remains asserted for the factory programmed delay time after the SENSE or V_{DD} return above its threshold.

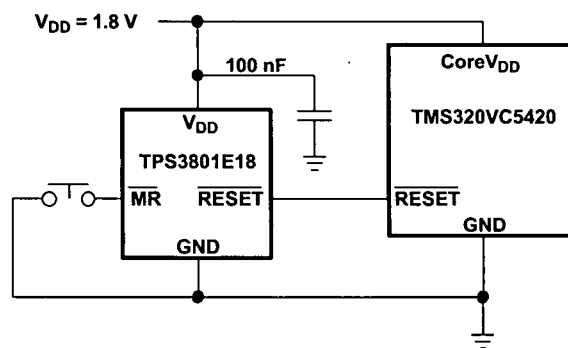
The TPS380x devices, except the TPS3801-01, incorporate a manual reset input ($\overline{\text{MR}}$). A low level at $\overline{\text{MR}}$ causes $\overline{\text{RESET}}$ to become active.

The TPS380x uses a precision reference to achieve an overall threshold accuracy of 2% - 2.5%. These devices are available in a 5-pin SC-70 package, which is only about half the size of a 5-pin SOT-23 package.

The TPS380x devices are fully specified over a temperature range of -40°C to 85°C.



typical applications



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1999–2003, Texas Instruments Incorporated

FREQUENCIES AVAILABLE	MODEL DESIGNATOR	OVERALL STABILITY
40kHz~150MHz	1210A	± 25PPM
	1210B	± 50PPM
	1210C	±100PPM

Note 1 Stability options are inclusive of: Calibration Tolerance at 25°C, Operating Temperature Range, Supply Voltage Change, Load Change, Ageing, Shock & Vibration.

Parameter	Code	Value	Unit	Remarks
Storage Temperature Range	Tstg	-55 to +125	°C	
Operating Temperature Range	Top	0 to +70	°C	
Input Voltage	V _{cc}	+5	V DC	±10%
Max Input Current	ICC	20	mA Max	500 kHz to 20MHz
		40		20.1MHz to 70MHz
		60		70.1MHz to 150MHz
Duty Ratio	SY	40:60	%	At 50% V _{DD}
"0" Level	V _{OL}	0.5	V DC	Max
"1" Level	V _{OH}	4.5	V DC	Min
Max Rise/Fall Time	Tr:Tf	10	nS Max	500 kHz to 20MHz
		6		20.1MHz to 70MHz
		4		70.1MHz to 150MHz
Start-Up Time	TSTART	5	mS	
Fan-Out (Load)		15pF Min 1-10 TTL		HCmos TTL

MECHANICAL

Drop Test - Drop Module onto a hard wooden surface from 20cm 3 times

Shock Test - 1500g (Peak) 0.35mS (1/2Sine Wave) 5 Times

Vibration Test - Vibrations with an amplitude of 3mm and a sweep from 10-55 Hz duration 1 minute shall be applied for 2 hours in each of the x,y, & z axes

ENVIRONMENTAL

Solder Heat - Immerse pins to within 1mm of glass stand-offs in solder bath of 280°C ±10°C for 10 secs

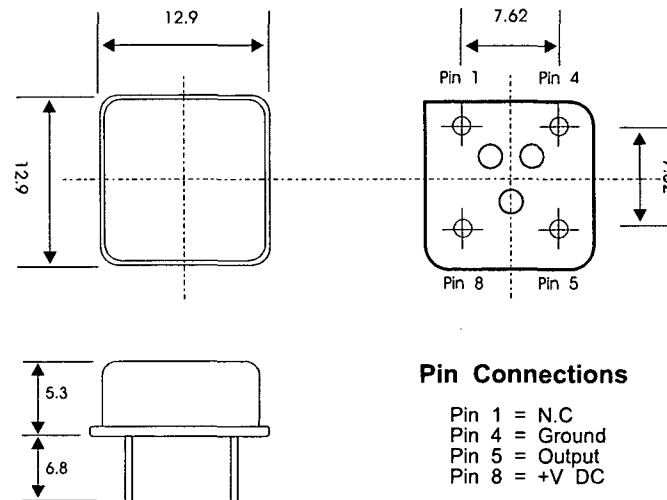
Life Test - After exposure to +125°C (Power Applied) for 1000 Hrs

Cold Resistance - After exposure to -40°C for 2 hrs

Humidity - After exposure to +40°C 90-95% RH for 48 Hrs

Thermal Shock - After 10 cycles of exposure to -55°C & 125°C with 10mins exposure at each extreme

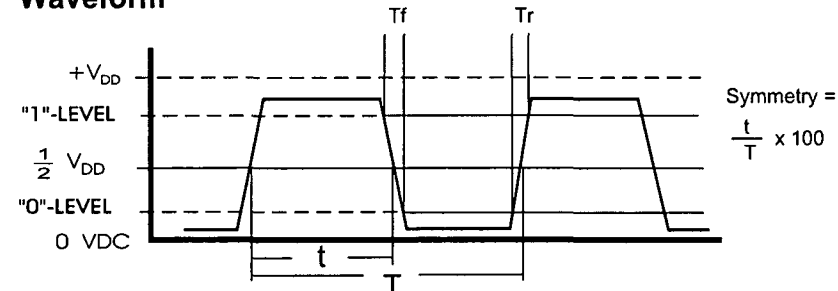
Fine Leak - Helium leak detector, pressure 5kg./cm² for 2 Hrs, leakage less than 1×10^{-8} Atm.cc/Sec



Pin Connections

Pin 1 = N.C
Pin 4 = Ground
Pin 5 = Output
Pin 8 = +V DC

Waveform



Module 'D' Airtech 2
Jenner Road, Crawley
W. Sussex. RH10 2GA

Tel: 01293 524245
Fax: 01293 524888

TITLE: AEL 1210 Series Crystal Oscillator 8-Pin DIL UNIVERSAL O/P (Hcmos & TTL) 500kHz to 100MHz

AEL PART N°	Issue Number	Issue Date	Approved
General Specification	5	19/03/2000	GR
	Frequency Increased to 150MHz		

© Not to be reproduced without permission of AEL Crystals Ltd



MAX 7000A Programmable Logic Device

September 2003, ver. 4.5

Data Sheet

Features...

- High-performance 3.3-V EEPROM-based programmable logic devices (PLDs) built on second-generation Multiple Array Matrix (MAX[®]) architecture (see Table 1)
- 3.3-V in-system programmability (ISP) through the built-in IEEE Std. 1149.1 Joint Test Action Group (JTAG) interface with advanced pin-locking capability
 - MAX 7000AE device in-system programmability (ISP) circuitry compliant with IEEE Std. 1532
 - EPM7128A and EPM7256A device ISP circuitry compatible with IEEE Std. 1532
- Built-in boundary-scan test (BST) circuitry compliant with IEEE Std. 1149.1
- Supports JEDEC Jam Standard Test and Programming Language (STAPL) JESD-71
- Enhanced ISP features
 - Enhanced ISP algorithm for faster programming (excluding EPM7128A and EPM7256A devices)
 - ISP_Done bit to ensure complete programming (excluding EPM7128A and EPM7256A devices)
 - Pull-up resistor on I/O pins during in-system programming
- Pin-compatible with the popular 5.0-V MAX 7000S devices
- High-density PLDs ranging from 600 to 10,000 usable gates
- Extended temperature range



For information on in-system programmable 5.0-V MAX 7000 or 2.5-V MAX 7000B devices, see the *MAX 7000 Programmable Logic Device Family Data Sheet* or the *MAX 7000B Programmable Logic Device Family Data Sheet*.

Table 1. MAX 7000A Device Features

Feature	EPM7032AE	EPM7064AE	EPM7128AE	EPM7256AE	EPM7512AE
Usable gates	600	1,250	2,500	5,000	10,000
Macrocells	32	64	128	256	512
Logic array blocks	2	4	8	16	32
Maximum user I/O pins	36	68	100	164	212
t_{PD} (ns)	4.5	4.5	5.0	5.5	7.5
t_{SU} (ns)	2.9	2.8	3.3	3.9	5.6
t_{FSU} (ns)	2.5	2.5	2.5	2.5	3.0
t_{CO1} (ns)	3.0	3.1	3.4	3.5	4.7
f_{CNT} (MHz)	227.3	222.2	192.3	172.4	116.3

...and More Features

- 4.5-ns pin-to-pin logic delays with counter frequencies of up to 227.3 MHz
- MultiVolt™ I/O interface enables device core to run at 3.3 V, while I/O pins are compatible with 5.0-V, 3.3-V, and 2.5-V logic levels
- Pin counts ranging from 44 to 256 in a variety of thin quad flat pack (TQFP), plastic quad flat pack (PQFP), ball-grid array (BGA), space-saving FineLine BGA™, and plastic J-lead chip carrier (PLCC) packages
- Supports hot-socketing in MAX 7000AE devices
- Programmable interconnect array (PIA) continuous routing structure for fast, predictable performance
- PCI-compatible
- Bus-friendly architecture, including programmable slew-rate control
- Open-drain output option
- Programmable macrocell registers with individual clear, preset, clock, and clock enable controls
- Programmable power-up states for macrocell registers in MAX 7000AE devices
- Programmable power-saving mode for 50% or greater power reduction in each macrocell
- Configurable expander product-term distribution, allowing up to 32 product terms per macrocell
- Programmable security bit for protection of proprietary designs
- 6 to 10 pin- or logic-driven output enable signals
- Two global clock signals with optional inversion
- Enhanced interconnect resources for improved routability
- Fast input setup times provided by a dedicated path from I/O pin to macrocell registers
- Programmable output slew-rate control
- Programmable ground pins

General Description

- Software design support and automatic place-and-route provided by Altera's development systems for Windows-based PCs and Sun SPARCstation, and HP 9000 Series 700/800 workstations
- Additional design entry and simulation support provided by EDIF 200 and 300 netlist files, library of parameterized modules (LPM), Verilog HDL, VHDL, and other interfaces to popular EDA tools from manufacturers such as Cadence, Exemplar Logic, Mentor Graphics, OrCAD, Synopsys, Synplicity, and VeriBest
- Programming support with Altera's Master Programming Unit (MPU), MasterBlaster™ serial/universal serial bus (USB) communications cable, ByteBlasterMV™ parallel port download cable, and BitBlaster™ serial download cable, as well as programming hardware from third-party manufacturers and any Jam™ STAPL File (.jam), Jam Byte-Code File (.jbc), or Serial Vector Format File- (.svf) capable in-circuit tester

MAX 7000A (including MAX 7000AE) devices are high-density, high-performance devices based on Altera's second-generation MAX architecture. Fabricated with advanced CMOS technology, the EEPROM-based MAX 7000A devices operate with a 3.3-V supply voltage and provide 600 to 10,000 usable gates, ISP, pin-to-pin delays as fast as 4.5 ns, and counter speeds of up to 227.3 MHz. MAX 7000A devices in the -4, -5, -6, -7, and some -10 speed grades are compatible with the timing requirements for 33 MHz operation of the PCI Special Interest Group (PCI SIG) *PCI Local Bus Specification, Revision 2.2*. See Table 2.

Table 2. MAX 7000A Speed Grades

Device	Speed Grade					
	-4	-5	-6	-7	-10	-12
EPM7032AE	✓			✓	✓	
EPM7064AE	✓			✓	✓	
EPM7128A			✓	✓	✓	✓
EPM7128AE		✓		✓	✓	
EPM7256A			✓	✓	✓	✓
EPM7256AE		✓		✓	✓	
EPM7512AE				✓	✓	✓

MAX 7000A Programmable Logic Device Data Sheet

The MAX 7000A architecture supports 100% transistor-to-transistor logic (TTL) emulation and high-density integration of SSI, MSI, and LSI logic functions. It easily integrates multiple devices including PALs, GALs, and 22V10s devices. MAX 7000A devices are available in a wide range of packages, including PLCC, BGA, FineLine BGA, Ultra FineLine BGA, PQFP, and TQFP packages. See Table 3 and Table 4.

Table 3. MAX 7000A Maximum User I/O Pins *Note (1)*

Device	44-Pin PLCC	44-Pin TQFP	49-Pin Ultra FineLine BGA (2)	84-Pin PLCC	100-Pin TQFP	100-Pin FineLine BGA (3)
EPM7032AE	36	36				
EPM7064AE	36	36	41		68	68
EPM7128A				68	84	84
EPM7128AE				68	84	84
EPM7256A					84	
EPM7256AE					84	84
EPM7512AE						

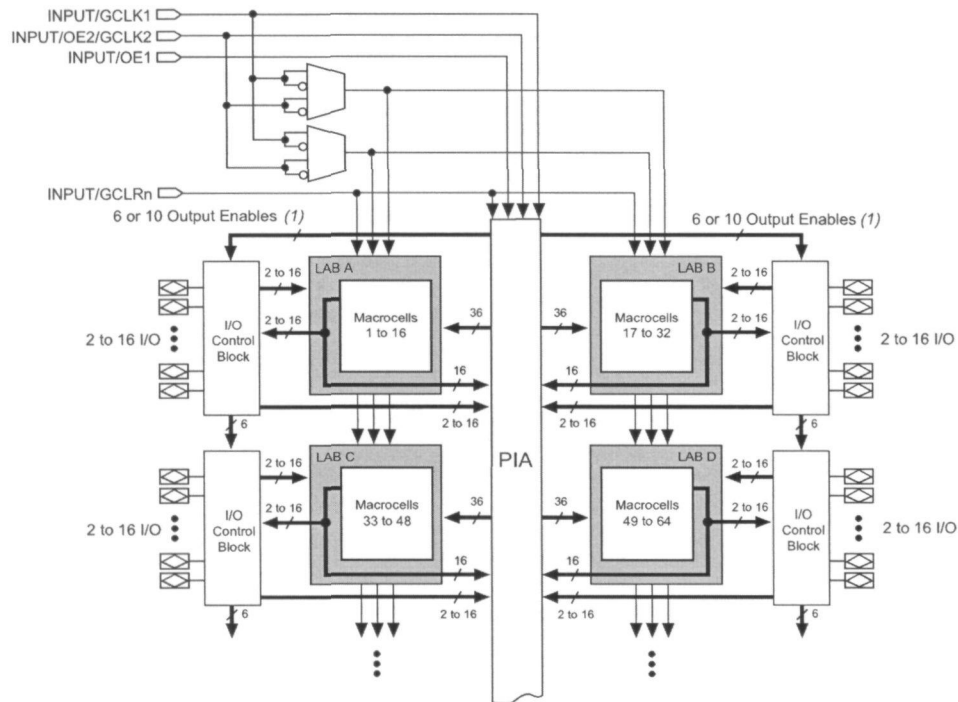
Table 4. MAX 7000A Maximum User I/O Pins *Note (1)*

Device	144-Pin TQFP	169-Pin Ultra FineLine BGA (2)	208-Pin PQFP	256-Pin BGA	256-Pin FineLine BGA (3)
EPM7032AE					
EPM7064AE					
EPM7128A	100				100
EPM7128AE	100	100			100
EPM7256A	120		164		164
EPM7256AE	120		164		164
EPM7512AE	120		176	212	212

Notes to tables:

- (1) When the IEEE Std. 1149.1 (JTAG) interface is used for in-system programming or boundary-scan testing, four I/O pins become JTAG pins.
- (2) All Ultra FineLine BGA packages are footprint-compatible via the SameFrame™ feature. Therefore, designers can design a board to support a variety of devices, providing a flexible migration path across densities and pin counts. Device migration is fully supported by Altera development tools. See "SameFrame Pin-Outs" on page 15 for more details.
- (3) All FineLine BGA packages are footprint-compatible via the SameFrame feature. Therefore, designers can design a board to support a variety of devices, providing a flexible migration path across densities and pin counts. Device migration is fully supported by Altera development tools. See "SameFrame Pin-Outs" on page 15 for more details.

Figure 1. MAX 7000A Device Block Diagram

**Note:**

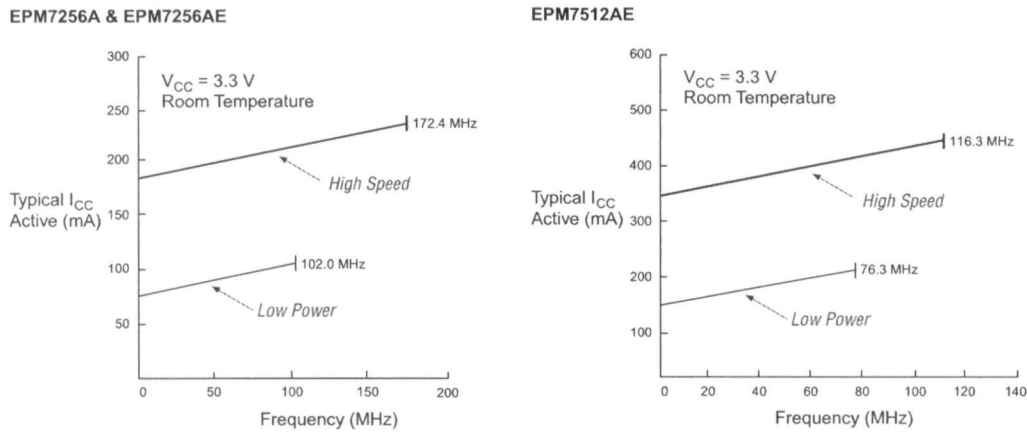
- (1) EPM7032AE, EPM7064AE, EPM7128A, EPM7128AE, EPM7256A, and EPM7256AE devices have six output enables. EPM7512AE devices have 10 output enables.

Logic Array Blocks

The MAX 7000A device architecture is based on the linking of high-performance LABs. LABs consist of 16-macrocell arrays, as shown in Figure 1. Multiple LABs are linked together via the PIA, a global bus that is fed by all dedicated input pins, I/O pins, and macrocells.

Each LAB is fed by the following signals:

- 36 signals from the PIA that are used for general logic inputs
- Global controls that are used for secondary register functions
- Direct input paths from I/O pins to the registers that are used for fast setup times

Figure 13. I_{CC} vs. Frequency for MAX 7000A Devices (Part 2 of 2)

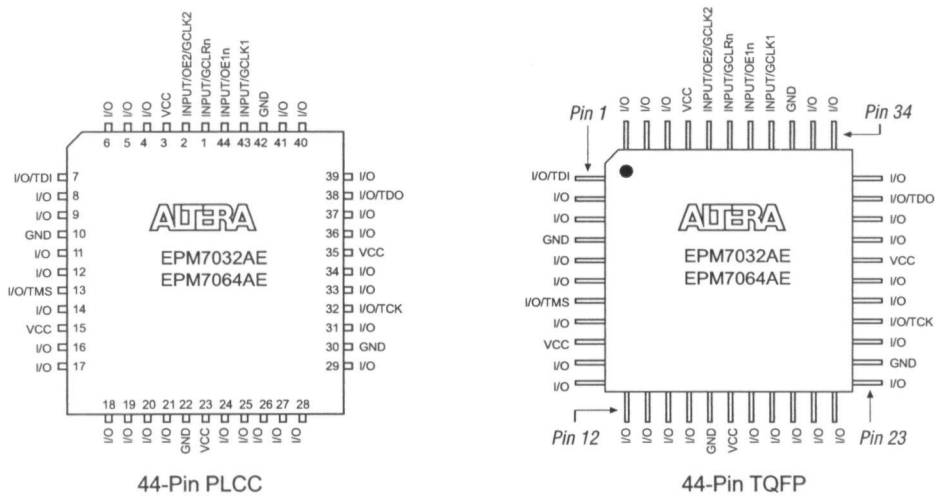
Device Pin-Outs

See the Altera web site (<http://www.altera.com>) or the *Altera Digital Library* for pin-out information.

Figures 14 through 23 show the package pin-out diagrams for MAX 7000A devices.

Figure 14. 44-Pin PLCC/TQFP Package Pin-Out Diagram

Package outlines not drawn to scale.



POWER SPLITTERS/COMBINERS

50 & 75Ω

2 Way-0° 4 kHz to 2 GHz



MSC

MODEL NO.	FREQ. RANGE MHz f_L - f_U	ISOLATION dB			INSERTION LOSS, dB Above 3dB						PHASE UNBALANCE Degrees			AMPLITUDE UNBALANCE dB			CASE STYLE	CONNECTION	PRICE \$
		L	M ^o	U	L	M ^o	U	L	M ^o	U	L	M ^o	U	L	M ^o	U			
		Typ. Min.	Typ. Min.	Typ. Min.	Typ. Max.	Typ. Max.	Typ. Max.	Max.	Max.	Max.	Max.	Max.	Max.	Max.	Max.	Max.	Note B	Qty. (1-9)	
MSC-2-1	0.1-450	20	15	30	20	30	20	0.3	0.5	0.4	0.75	0.6	1.0	2.0	3.0	4.0	A03	ap	20.95
MSC-2-1W	2-650	22	18	30	20	22	18	0.3	0.5	0.5	0.8	0.8	1.2	1.0	2.0	4.0	A03	ap	22.95
MSC-2-5	5-1500	18	16	20	16	20	14	0.6	0.8	0.6	0.8	0.6	1.1	2.0	3.0	5.0	A03	ap	26.95
MSC-2-11	5-2000	18	16	20	16	18	11	0.6	0.8	0.6	0.8	1.2	1.8	2.0	3.0	5.0	A03	ap	31.95
PSC-2-1	0.1-400	20	15	25	20	25	20	0.2	0.6	0.4	0.75	0.6	1.0	2.0	3.0	4.0	A01	ap	11.95
PSC-2-1W	1-650	25	20	35	20	25	20	0.3	0.6	0.5	0.9	0.7	1.0	2.0	3.0	4.0	A01	ap	18.95
✦ PSC-2-2	0.004-60	27	20	30	20	27	20	0.3	0.6	0.3	0.6	0.6	1.0	2.0	3.0	4.0	A01	ap	25.95
PSC-2-4	10-1000	30	25	25	20	25	20	0.6	1.0	0.6	1.2	0.7	1.3	2.0	4.0	8.0	A01	ap	25.95
PSC-2-5	10-1400	28	18	22	17	24	17	0.3	0.6	0.6	1.0	0.9	1.6	2.0	3.0	4.0	A01	ap	31.95
PSC-2-11	5-2000	21	16	22	18	19	9	0.5	0.8	0.6	0.9	0.7	1.5	1.0	3.0	6.0	A01	ap	36.95
PSC-2-45	700-900			20	17					0.2	0.4					0.2	A01	ap	24.95
PSC-2-1000	400-1000			35	25					0.5	1.0			2.0		0.3	A06	ap	24.95

L = low range [f_L to $10 f_L$]

M = mid range [$10 f_L$ to $f_U/2$]

U = upper range [$f_U/2$ to f_U]

NOTES:

- ⊙ When only specification for M range given, specification applies to entire frequency range.
- ✦ At low range frequency band (f_L to $10 f_L$), linearly derate maximum input power by 13 dB.
- Denotes 75 Ohm model, for coax connector models 75 Ohm BNC connectors are standard.
- * VSWR typical 1.1:1 over total range of frequency, max 1.2:1 for low and upper range, max 1.15:1 for mid range.
- A. General Quality Control Procedures, Environmental Specifications, Hi-Rel and MIL description are given in General Information (Section 0).
- B. Connector types and case mounted options, case finishes are given in section 0, see "Case styles & Outline Drawings".
- C. Prices and specifications subject to change without notice.
- 1. Absolute maximum power, voltage and current ratings:
 - 1a. Matched power rating 1 Watt
except model PSC-2-11 0.5 Watt
 - 1b. Internal load dissipation 0.125 Watt

Mini-Circuits®

Distribution Centers NORTH AMERICA 800-654-7949 • 417-335-5935 • Fax 417-335-5945 • EUROPE 44-1252-832600 • Fax 44-1252-837010

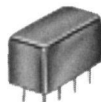
INTERNET <http://www.minicircuits.com>

P.O. Box 350166, Brooklyn, New York 11235-0003 (718) 934-4500 Fax (718) 332-4661

ISO 9001 CERTIFIED

001113

Low Pass DC to 1000 MHz



PLP

MODEL NO.	PASSBAND, MHz	fco, MHz Nom.	STOP BAND, MHz		VSWR		CASE STYLE	CONNECTION	PRICE \$
	(loss < 1 dB)	(loss 3 dB)	(loss > 20dB)	(loss > 40 dB)	Passband	Stopband	Note B		
					Typ.	Typ.			Qty. (1-9)
PLP-1.9**	DC-1.9	2.5	3.4-4.7	4.7-200	1.7:1	18:1	A01	cr	13.95
PLP-2.5**	DC-2.5	2.75	3.8-5.0	5.0-200	1.7:1	18:1	A01	cr	14.95
PLP-5	DC-5	6	8-10	10-200	1.7:1	18:1	A01	cr	11.45
■ PLP-7-75	DC-7	8	11-15	15-200	1.7:1	18:1	A01	cr	12.95
PLP-10.7	DC-11	14	19-24	24-200	1.7:1	18:1	A01	cr	11.45
■ PLP-10.7-75	DC-11	14	19-24	24-200	1.7:1	18:1	A01	cr	12.95
PLP-15	DC-15	17	23-32	32-200	1.7:1	18:1	A01	cr	11.45
■ PLP-15-75	DC-15	17	23-32	32-200	1.7:1	18:1	A01	cr	12.95
PLP-21.4	DC-22	24.5	32-41	41-200	1.7:1	18:1	A01	cr	11.45
■ PLP-21.4-75	DC-22	24.5	32-41	41-200	1.7:1	18:1	A01	cr	12.95
PLP-30	DC-32	35	47-61	61-200	1.7:1	18:1	A01	cr	11.45
■ PLP-30-75	DC-32	35	47-61	61-200	1.7:1	18:1	A01	cr	12.95
PLP-50	DC-48	55	70-90	90-200	1.7:1	18:1	A01	cr	11.45
■ PLP-50-75	DC-48	55	70-90	90-200	1.7:1	18:1	A01	cr	12.95
PLP-70	DC-60	67	90-117	117-300	1.7:1	18:1	A01	cr	11.45
PLP-90	DC-81	90	121-157	157-400	1.7:1	18:1	A01	cr	11.45
PLP-100	DC-98	108	146-189	189-400	1.7:1	18:1	A01	cr	11.45
■ PLP-100-75	DC-98	108	146-189	189-400	1.7:1	18:1	A01	cr	12.95
PLP-150	DC-140	155	210-300	300-600	1.7:1	18:1	A01	cr	11.45
PLP-200	DC-190	210	290-390	390-800	1.7:1	18:1	A01	cr	11.45
PLP-250	DC-225	250	320-400	400-1200	1.7:1	18:1	A01	cr	11.45
PLP-300	DC-270	297	410-550	550-1200	1.7:1	18:1	A01	cr	11.45
PLP-450	DC-400	440	580-750	750-1800	1.7:1	18:1	A01	cr	11.45
PLP-550	DC-520	570	750-920	920-2000	1.7:1	18:1	A01	cr	11.45
PLP-600	DC-580	640	840-1120	1120-2000	1.7:1	18:1	A01	cr	11.45
■ PLP-600-75	DC-580	640	840-1120	1120-2000	1.7:1	18:1	A01	cr	12.95
PLP-750	DC-700	770	1000-1300	1300-2000	1.7:1	18:1	A01	cr	11.45
PLP-800	DC-720	800	1080-1400	1400-2000	1.7:1	18:1	A01	cr	11.45
PLP-850	DC-780	850	1100-1400	1400-2000	1.7:1	18:1	A01	cr	11.45
■ PLP-850-75	DC-750	850	1150-1490	1490-2000	1.7:1	18:1	A01	cr	12.95
PLP-1000	DC-900	990	1340-1750	1750-2000	1.7:1	18:1	A01	cr	11.45
PLP-1200	DC-1000	1200	1620-2100	2100-2500	1.7:1	18:1	A01	cr	11.45

NOTES:

** 1dB compression at +13dbm input power

■ Denotes 75 ohm model.

□ Non-hermetic

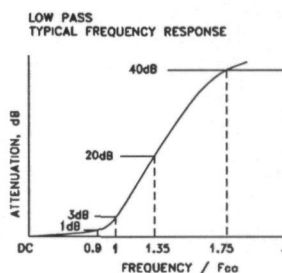
A. General Quality Control Procedures, Environmental Specifications, Hi-Rel and MIL description are given in General Information (section 0).

B. Connector types and case mounted options, case finishes are given in section 0, see "Case styles & outline drawings".

C. Prices and specifications subject to change without notice.

1. Absolute maximum power, voltage and current rating:

1a. RF power, 0.5 Watt



NSN GUIDE

MCL NO.	NSN
PLP-30	5915-01-355-9433
PLP-100	5915-01-332-1091
PLP-150	5915-01-389-3575
PLP-300	5915-01-450-7011
PLP-450	5915-01-389-8302

Mini-Circuits®

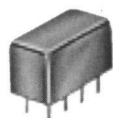
INTERNET <http://www.minicircuits.com>

P.O. Box 350166, Brooklyn, New York 11235-0003 (718) 934-4500 Fax (718) 332-4661

Distribution Centers NORTH AMERICA 800-654-7949 • 417-335-5935 • Fax 417-335-5945 • EUROPE 44-1252-832600 • Fax 44-1252-837010

Mini-Circuits ISO 9001 & ISO 14001 Certified

BANDPASS 10.7 to 70 MHz



PIF
PBP
PBLP



NIF
NBP
NBLP

constant impedance

MODEL NO.	CENTER FREQ. MHz	PASSBAND, MHz (loss < 1dB)	STOP BANDS		VSWR, 1.3:1, Typ. TOTAL BAND, MHz	CASE STYLE Note B	CONNECTION	PRICE \$ (note 2a) Qty. (1-9)
			(loss > 10 dB) at MHz	(loss > 20 dB) at MHz				
_IF-21.4	21.4	18-25	4.9 & 85	1.3 & 150	DC-220	▽	CS	14.95
_IF-30	30	25-35	7 & 120	1.9 & 210	DC-330	▽	CS	14.95
_IF-40	42	35-49	10 & 168	2.6 & 300	DC-400	▽	CS	14.95
_IF-50	50	41-58	11.5 & 200	3.1 & 350	DC-440	▽	CS	14.95
_IF-60	60	50-70	14 & 240	3.8 & 400	DC-500	▽	CS	14.95
_IF-70	70	58-82	16 & 280	4.4 & 490	DC-550	▽	CS	14.95

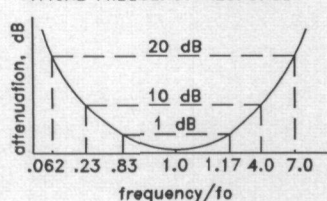
For connector selection, add prefix letter P, B, N or S to _IF where applicable (see note 2)

elliptic response

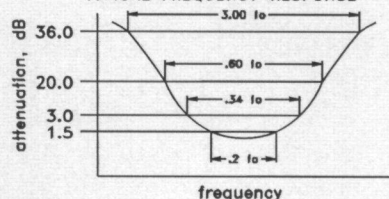
MODEL NO.	CENTER FREQ. MHz	PASSBAND, MHz I.L. 1.5 dB Max. MHz	3 dB BANDWIDTH Typical MHz	STOP BANDS		PASSBAND VSWR Max.	STOP BAND VSWR Typ.	CASE STYLE Note B	CONNECTION	PRICE \$ (note 2b) Qty. (1-9)
				(I. Loss > 20 dB) at MHz	(I. loss > 35 dB) at MHz					
_BP-10.7	10.7	9.5-11.5	8.9-12.7	7.5 & 15	0.6 & 50-1000	1.7:1	16:1	▽	CR	18.95
_BP-21.4	21.4	19.2-23.6	17.9-25.3	15.5 & 29	3.0 & 80-1000	1.7:1	16:1	▽	CR	18.95
_BP-30	30	27.0-33.0	25-35	22 & 40	3.2 & 99-1000	1.7:1	16:1	▽	CR	18.95
_BP-60	60	55.0-67.0	49.8-70.5	44 & 79	4.6 & 190-1000	1.7:1	16:1	▽	CR	18.95
_BP-70	70	63.0-77.0	58.0-82.0	51 & 94	6.0 & 193-1000	1.7:1	16:1	▽	CR	18.95

For connector selection, add prefix letter P, B, N or S to _BP where applicable (see note 2)

BANDPASS, CONSTANT IMPEDANCE
TYPICAL FREQUENCY RESPONSE



BANDPASS, ELLIPTICAL
TYPICAL FREQUENCY RESPONSE



NSN GUIDE
MCL NO.
SIF-30

NSN
5915-01-464-8971

LM160/LM360 High Speed Differential Comparator

General Description

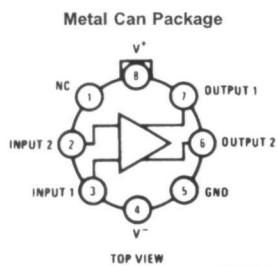
The LM160/LM360 is a very high speed differential input, complementary TTL output voltage comparator with improved characteristics over the $\mu A760/\mu A760C$, for which it is a pin-for-pin replacement. The device has been optimized for greater speed, input impedance and fan-out, and lower input offset voltage. Typically delay varies only 3 ns for overdrive variations of 5 mV to 400 mV.

Complementary outputs having minimum skew are provided. Applications involve high speed analog to digital converters and zero-crossing detectors in disk file systems.

Features

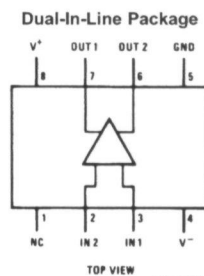
- Guaranteed high speed: 20 ns max
- Tight delay matching on both outputs
- Complementary TTL outputs
- High input impedance
- Low speed variation with overdrive variation
- Fan-out of 4
- Low input offset voltage
- Series 74 TTL compatible

Connection Diagrams



Order Number LM160H/883 (Note 1) or LM360H
See NS Package Number H08C

Note 1: Also available in SMD# 5962-8767401



Order Number LM360M or LM360N
See NS Package Number M08A or N08E

Double-balanced mixer and oscillator

SA612A

DESCRIPTION

The SA612A is a low-power VHF monolithic double-balanced mixer with on-board oscillator and voltage regulator. It is intended for low cost, low power communication systems with signal frequencies to 500MHz and local oscillator frequencies as high as 200MHz. The mixer is a "Gilbert cell" multiplier configuration which provides gain of 14dB or more at 45MHz.

The oscillator can be configured for a crystal, a tuned tank operation, or as a buffer for an external L.O. Noise figure at 45MHz is typically below 6dB and makes the device well suited for high performance cordless phone/cellular radio. The low power consumption makes the SA612A excellent for battery operated equipment. Networking and other communications products can benefit from very low radiated energy levels within systems. The SA612A is available in an 8-lead dual in-line plastic package and an 8-lead SO (surface mounted miniature package).

FEATURES

- Low current consumption
- Low cost
- Operation to 500MHz
- Low radiated energy
- Low external parts count; suitable for crystal/ceramic filter
- Excellent sensitivity, gain, and noise figure

PIN CONFIGURATION

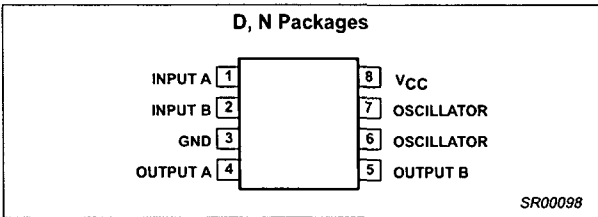


Figure 1. Pin Configuration

APPLICATIONS

- Cordless telephone
- Portable radio
- VHF transceivers
- RF data links
- Sonabuys
- Communications receivers
- Broadband LANs
- HF and VHF frequency conversion
- Cellular radio mixer/oscillator

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
8-Pin Plastic Dual In-Line Plastic (DIP)	-40 to +85°C	SA612AN	SOT97-1
8-Pin Plastic Small Outline (SO) package (Surface-Mount)	-40 to +85°C	SA612AD	SOT96-1

BLOCK DIAGRAM

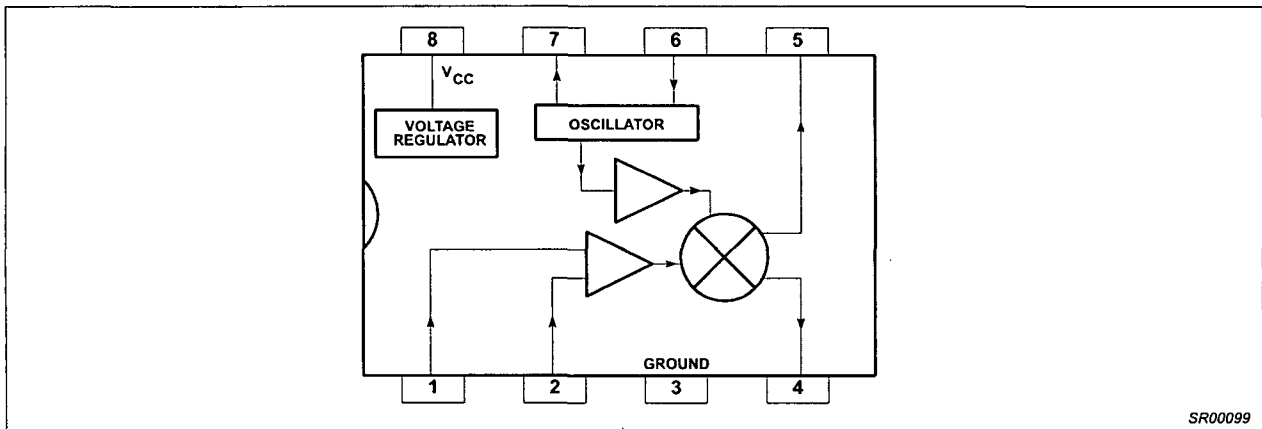


Figure 2. Block Diagram

Double-balanced mixer and oscillator

SA612A

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Maximum operating voltage	9	V
T_{STG}	Storage temperature	-65 to +150	°C
T_A	Operating ambient temperature range SA612A	-40 to +85	°C

AC/DC ELECTRICAL CHARACTERISTICS

$T_A=25^{\circ}\text{C}$, $V_{CC} = 6\text{V}$, Figure 3

SYMBOL	PARAMETER	TEST CONDITION	LIMITS			UNIT
			Min	Typ	Max	
V_{CC}	Power supply voltage range		4.5		8.0	V
	DC current drain			2.4	3.0	mA
f_{IN}	Input signal frequency			500		MHz
f_{OSC}	Oscillator frequency			200		MHz
	Noise figured at 45MHz			5.0		dB
	Third-order intercept point at 45MHz	$RF_{IN}=-45\text{dBm}$		-13		dBm
	Conversion gain at 45MHz		14	17		dB
R_{IN}	RF input resistance		1.5			k Ω
C_{IN}	RF input capacitance			3		pF
	Mixer output resistance	(Pin 4 or 5)		1.5		k Ω

DESCRIPTION OF OPERATION

The SA612A is a Gilbert cell, an oscillator/buffer, and a temperature compensated bias network as shown in the equivalent circuit. The Gilbert cell is a differential amplifier (Pins 1 and 2) which drives a balanced switching cell. The differential input stage provides gain and determines the noise figure and signal handling performance of the system.

The SA612A is designed for optimum low power performance. When used with the SA614A as a 45MHz cordless phone/cellular

radio 2nd IF and demodulator, the SA612A is capable of receiving -119dBm signals with a 12dB S/N ratio. Third-order intercept is typically -15dBm (that's approximately +5dBm output intercept because of the RF gain). The system designer must be cognizant of this large signal limitation. When designing LANs or other closed systems where transmission levels are high, and small-signal or signal-to-noise issues not critical, the input to the SA612A should be appropriately scaled.

Phase-locked loop

NE/SE564

DESCRIPTION

The NE/SE564 is a versatile, high guaranteed frequency phase-locked loop designed for operation up to 50MHz. As shown in the Block Diagram, the NE/SE564 consists of a VCO, limiter, phase comparator, and post detection processor.

FEATURES

- Operation with single 5V supply
- TTL-compatible inputs and outputs
- Guaranteed operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (externally controlled)

APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency Synthesizers

PIN CONFIGURATIONS

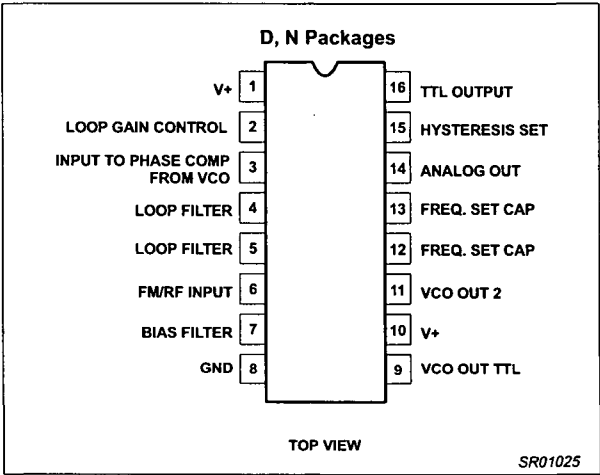


Figure 1. Pin Configuration

- Signal generators
- Various satcom/TV systems
- pin configuration

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Plastic Small Outline (SO) Package	0 to +70°C	NE564D	SOT109-1
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	NE564N	SOT38-4
16-Pin Plastic Dual In-Line Package (DIP)	-55 to +125°C	SE564N	SOT38-4

BLOCK DIAGRAM

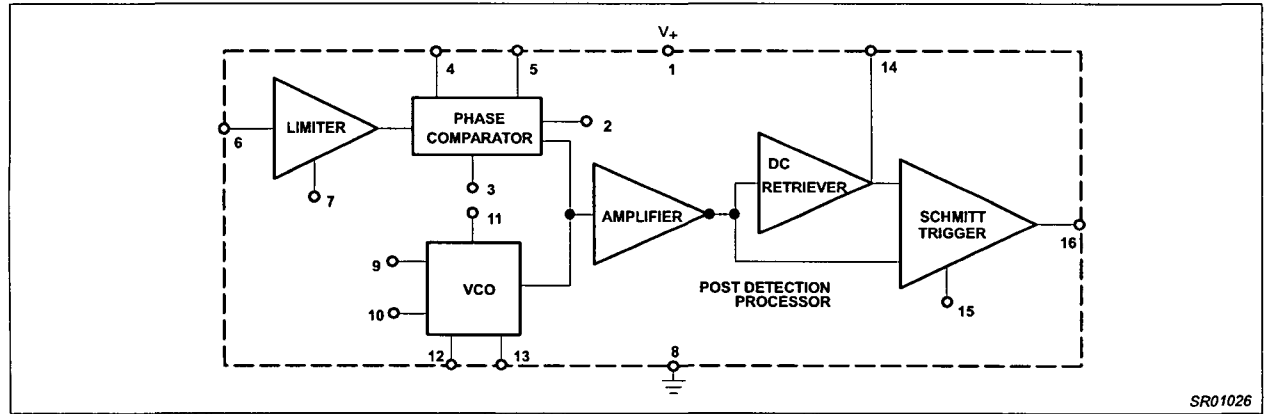


Figure 2. Block Diagram

Phase-locked loop

NE/SE564

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNITS
V+	Supply voltage Pin 1 Pin 10	14 6	V V
I _{OUT}	Sink Max (Pin 9) and sourcing (Pin 11)	11	mA
I _{BIAS}	Bias current adjust pin (sinking)	1	mA
P _D	Power dissipation	600	mW
T _A	Operating ambient temperature NE	0 to +70	°C
	SE	-55 to +125	°C
T _{STG}	Storage temperature range	-65 to +150	°C

NOTE:

Operation above 5V will require heatsinking of the case.

DC AND AC ELECTRICAL CHARACTERISTICS

V_{CC} = 5V; T_A = 0 to 25°C; f_O = 5MHz, I₂ = 400µA; unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			LIMITS			UNITS
			SE564			NE564			
			MIN	TYP	MAX	MIN	TYP	MAX	
	Maximum VCO frequency	C ₁ = 0 (stray)	50	65		45	60		MHz
	Lock range	Input ≥ 200mV _{RMS} T _A = 25°C T _A = 125°C T _A = -55°C T _A = 0°C T _A = 70°C	40 20 50	70 30 80		40	70 70 40		% of f _O
	Capture range	Input ≥ 200mV _{RMS} , R ₂ = 27Ω	20	30		20	30		% of f _O
	VCO frequency drift with temperature	f _O = 5MHz, T _A = -55°C to +125°C T _A = 0 to +70°C = 0 to +70°C f _O = 5MHz, T _A = -55°C to +125°C T _A = 0 to +70°C		500 300	1500 800		600 500		PPM/°C
	VCO free-running frequency	C ₁ = 91pF R _C = 100Ω "Internal"	4	5	6	3.5	5	6.5	MHz
	VCO frequency change with supply voltage	V _{CC} = 4.5V to 5.5V		3	8		3	8	% of f _O
	Demodulated output voltage	Modulation frequency: 1kHz f _O = 5MHz, input deviation: 2%T = 25°C 1%T = 25°C 1%T = 0°C 1%T = -55°C 1%T = 70°C 1%T = 125°C	16 8 6 12	28 14 10 16		16 8	28 14 13 15		mV _{RMS} mV _{RMS} mV _{RMS} mV _{RMS} mV _{RMS} mV _{RMS}
	Distortion	Deviation: 1% to 8%		1			1		%
S/N	Signal-to-noise ratio	Std. condition, 1% to 10% dev.		40			40		dB
	AM rejection	Std. condition, 30% AM		35			35		dB
	Demodulated output at operating voltage	Modulation frequency: 1kHz f _O = 5MHz, input deviation: 1% V _{CC} = 4.5V V _{CC} = 5.5V	7 8	12 14		7 8	12 14		mV _{RMS} mV _{RMS}
I _{CC}	Supply current	V _{CC} = 5V I ₁ , I ₁₀		45	60		45	60	mA
	Output "1" output leakage current "0" output voltage	V _{OUT} = 5V, Pins 16, 9 I _{OUT} = 2mA, Pins 16, 9 I _{OUT} = 6mA, Pins 16, 9		1 0.3 0.4	20 0.6 0.8		1 0.3 0.4	20 0.6 0.8	μA V V

Hex inverter

74HC04; 74HCT04

FEATURES

- Complies with JEDEC standard no. 8-1A
- ESD protection:
HBM EIA/JESD22-A114-A exceeds 2000 V
MM EIA/JESD22-A115-A exceeds 200 V.
- Specified from -40 to $+85$ °C and -40 to $+125$ °C.

DESCRIPTION

The 74HC/HCT04 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A. The 74HC/HCT04 provide six inverting buffers.

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25$ °C; $t_r = t_f \leq 6.0$ ns.

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC04	HCT04	
t_{PHL}/t_{PLH}	propagation delay nA to nY	$C_L = 15$ pF; $V_{CC} = 5$ V	7	8	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	21	24	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μ W).

$$P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz;

f_o = output frequency in MHz;

C_L = output load capacitance in pF;

V_{CC} = supply voltage in Volts;

N = total load switching outputs;

$\Sigma(C_L \times V_{CC}^2 \times f_o)$ = sum of the outputs.

2. For 74HC04: the condition is $V_I = \text{GND to } V_{CC}$.

For 74HCT04: the condition is $V_I = \text{GND to } V_{CC} - 1.5$ V.

FUNCTION TABLE

See note 1.

INPUT	OUTPUT
nA	nY
L	H
H	L

Note

1. H = HIGH voltage level;
L = LOW voltage level.

Hex inverter

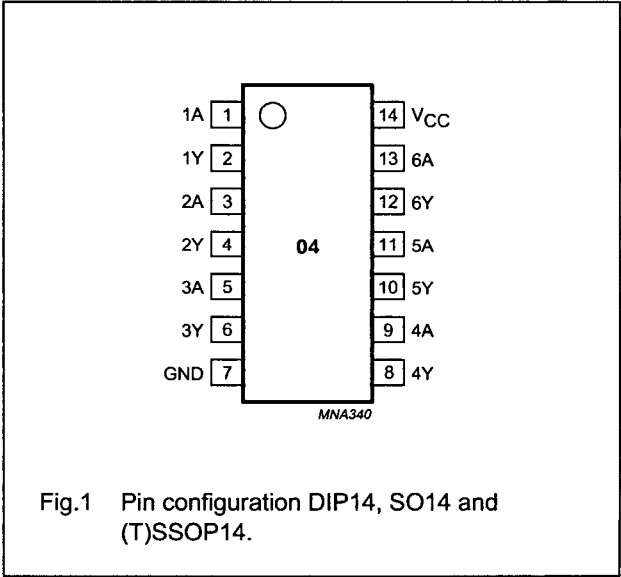
74HC04; 74HCT04

ORDERING INFORMATION

TYPE NUMBER	PACKAGE				
	TEMPERATURE RANGE	PINS	PACKAGE	MATERIAL	CODE
74HC04N	−40 to +125 °C	14	DIP14	plastic	SOT27-1
74HCT04N	−40 to +125 °C	14	DIP14	plastic	SOT27-1
74HC04D	−40 to +125 °C	14	SO14	plastic	SOT108-1
74HCT04D	−40 to +125 °C	14	SO14	plastic	SOT108-1
74HC04DB	−40 to +125 °C	14	SSOP14	plastic	SOT337-1
74HCT04DB	−40 to +125 °C	14	SSOP14	plastic	SOT337-1
74HC04PW	−40 to +125 °C	14	TSSOP14	plastic	SOT402-1
74HCT04PW	−40 to +125 °C	14	TSSOP14	plastic	SOT402-1
74HC04BQ	−40 to +125 °C	14	DHVQFN14	plastic	SOT762-1
74HCT04BQ	−40 to +125 °C	14	DHVQFN14	plastic	SOT762-1

PINNING

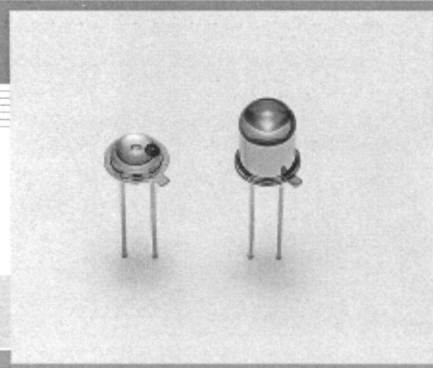
PIN	SYMBOL	DESCRIPTION
1	1A	data input
2	1Y	data output
3	2A	data input
4	2Y	data output
5	3A	data input
6	3Y	data output
7	GND	ground (0 V)
8	4Y	data output
9	4A	data input
10	5Y	data output
11	5A	data input
12	6Y	data output
13	6A	data input
14	V _{CC}	supply voltage



Infrared LED

L7558 series

High-speed, high-power infrared LED for spatial light transmission



L7558 series infrared LEDs were developed for spatial light transmission of high-density information such as image data signals, and operate at high speeds of 50 MHz.

L7558 delivers high output of 14 mW and is used in combination with a light projection lens that matches the application. L7558-01 is sealed in a metal package capped with a glass lens that ensures narrow directivity of $\pm 7^\circ$ (full angle at half maximum). Metal stem package gives L7558 and L7558-01 higher reliability than plastic package devices.

Features

- High-speed response: 50 MHz Typ. ($I_F=50$ mA)
- High radiant output power
L7558 : 14 mW Typ. ($I_F=50$ mA)
L7558-01: 7 mW Typ. ($I_F=50$ mA)
- High reliability

Applications

- Spatial light transmission

■ Absolute maximum ratings ($T_a=25^\circ\text{C}$)

Parameter	Symbol	Condition	Value	Unit
Forward current	I_F		100	mA
Reverse voltage	V_R		5	V
Pulse forward current	I_{FP}	Pulse width = 10 μs Duty ratio = 1 %	1.0	A
Operating temperature	T_{opr}		-30 to +85	$^\circ\text{C}$
Storage temperature	T_{stg}		-40 to +100 *	$^\circ\text{C}$

* Guaranteed to resist temperature cycle test of up to 5 cycles.

■ Electrical and optical characteristics ($T_a=25^\circ\text{C}$)

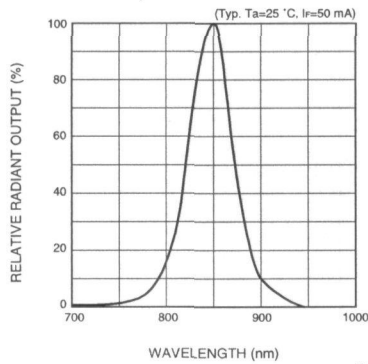
Parameter	Symbol	Condition	L7558			L7558-01			Unit
			Min.	Typ.	Max.	Min.	Typ.	Max.	
Peak emission wavelength	λ_p	$I_F=50$ mA	820	850	880	820	850	880	nm
Spectral half width	$\Delta\lambda$	$I_F=50$ mA	-	50	-	-	50	-	nm
Forward voltage	V_F	$I_F=50$ mA	-	1.45	1.60	-	1.45	1.60	V
Pulse forward voltage	V_{FP}	$I_F=1$ A	-	3.4	4.3	-	3.4	4.3	V
Reverse current	I_R	$V_R=5$ V	-	-	10	-	-	10	μA
Radiant flux	ϕ_e	$I_F=50$ mA	11	14	-	5.5	7.0	-	mW
Radiant illuminance	P_E	$I_F=50$ mA	-	1.5	-	-	4.0	-	mW/cm^2
Cut-off frequency	f_c	$I_F=50$ mA $\pm 1\text{mA}_{p-p}$	35	50	-	35	50	-	MHz

**SOLID
STATE** DIVISION

HAMAMATSU

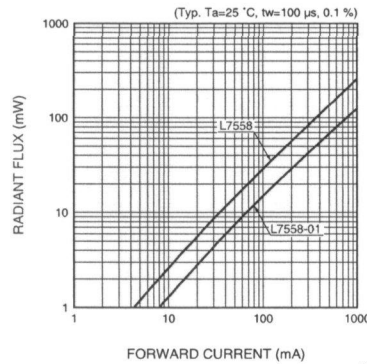
Infrared LED L7558 series

Emission spectrum



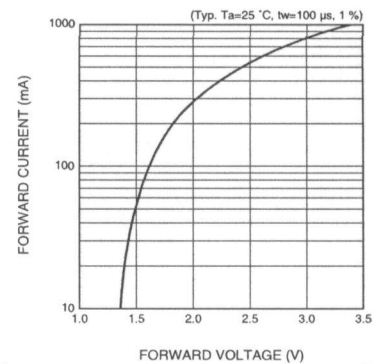
KLED80153EA

Radiant flux vs. forward current



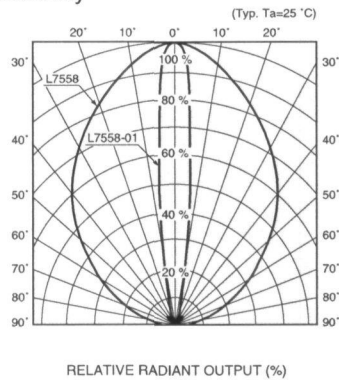
KLED80154EA

Forward current vs. forward voltage



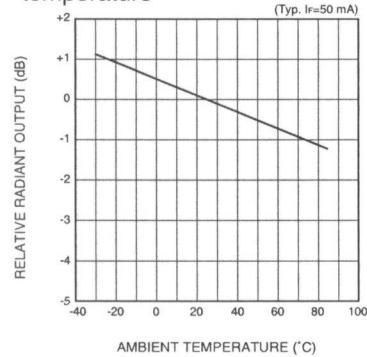
KLED80155EA

Directivity



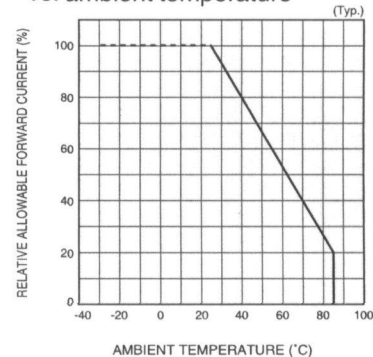
KLED80066EA

Radiant output vs. ambient temperature



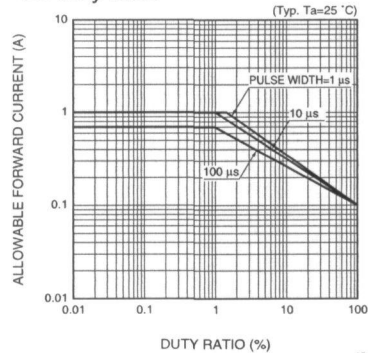
KLED80156EA

Allowable forward current vs. ambient temperature



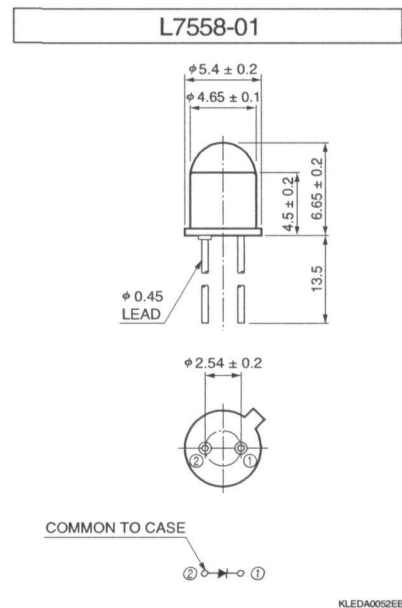
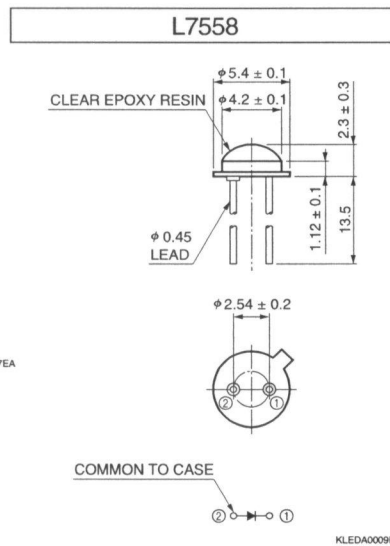
KLED80027EB

Allowable forward current vs. duty ratio



KLED80157EA

Dimensional outlines (unit: mm)



HAMAMATSU

HAMAMATSU PHOTONICS K.K., Solid State Division

1126-1 Ichino-cho, Hamamatsu City, 435-8558 Japan, Telephone: (81) 053-434-3311, Fax: (81) 053-434-5184, <http://www.hamamatsu.com>

U.S.A.: Hamamatsu Corporation, 360 Foothill Road, P.O. Box 6910, Bridgewater, N.J. 08807-0910, U.S.A., Telephone: (1) 908-231-0960, Fax: (1) 908-231-1218

Germany: Hamamatsu Photonics Deutschland GmbH: Arzbergerstr. 10, D-82211 Herrsching am Ammersee, Germany, Telephone: (49) 08152-3750, Fax: (49) 08152-2658

France: Hamamatsu Photonics France S.A.R.L.: 8, Rue du Saule Trappu, Parc du Moulin de Massy, 91882 Massy Cedex, France, Telephone: 33-(1) 69 53 71 00, Fax: 33-(1) 69 53 71 10

United Kingdom: Hamamatsu Photonics UK Limited: 2 Howard Court, 10 Tewin Road, Welwyn Garden City, Hertfordshire AL7 1BW, United Kingdom, Telephone: (44) 1707-294888, Fax: (44) 1707-325777

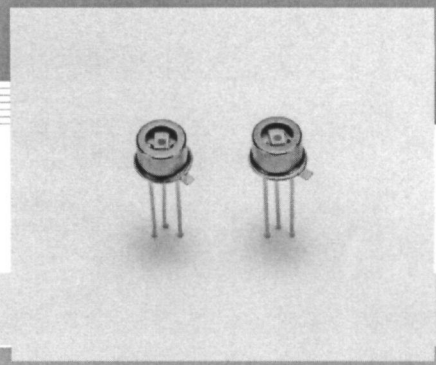
North Europe: Hamamatsu Photonics Norden AB: Smidesvägen 12, SE-171 41 Solna, Sweden, Telephone: (46) 8-509-031-00, Fax: (46) 8-509-031-01

Italy: Hamamatsu Photonics Italia S.R.L.: Strada della Moia, 1/E, 20020 Arese, (Milano), Italy, Telephone: (39) 02-935-81-733, Fax: (39) 02-935-81-741

Cat. No. KLED1009E02
Apr. 2001 DN

Si PIN photodiode with preamp S6468 series

High-speed sensor with preamp



S6468 series is a high-speed photodetector consisting of a Si PIN photodiode and a preamplifier chip integrated in the same package. They feature high-speed response and high sensitivity over a wide spectral range from visible to near infrared light. The small package (TO-18) allows compact optical design. The amplifier input is at a virtual ground, so external noise which may appear when detecting high-speed signals can be suppressed.

Features

- Cut-off frequency ($V_{CC}=5\text{ V}$)
S6468 : 15 MHz
S6468-02: 35 MHz
- Low noise ($f=1\text{ MHz}$)
S6468 : 25 nVrms/Hz^{1/2}
S6468-02: 28 nVrms/Hz^{1/2}
- 3 pin TO-18 package
- Active area: $\phi 0.8\text{ mm}$

Applications

- Optical fiber communication
- Video signal transmission
- Optical disk pick-up

■ Electrical and optical characteristics [$T_a=25\text{ }^\circ\text{C}$, $V_{CC}=5\text{ V}$, $R_L=500\text{ }\Omega$, $C_L=13\text{ pF}$] *1

Parameter	Symbol	Condition	S6468			S6468-02			Unit
			Min.	Typ.	Max.	Min.	Typ.	Max.	
Spectral response range	λ		320 to 1060			320 to 1000			nm
Peak sensitivity wavelength	λ_p		-	900	-	-	800	-	nm
Photo sensitivity	S	$\lambda=660\text{ nm}$	-	13.5	-	-	8.5	-	mV/ μW
		$\lambda=780\text{ nm}$	-	15.5	-	-	11	-	
		$\lambda=830\text{ nm}$	-	16.5	-	-	11	-	
Trans-impedance	R_T		-	30	-	-	20	-	k Ω
Power supply current	I_{CC}	$R_L=\infty$	-	-	3	-	-	3	mA
Output bias voltage *2	V_O	$R_L=\infty$ $P_{in}=0\text{ }\mu\text{W}$	0.55	0.65	0.8	0.65	0.8	0.9	V
Temperature coefficient of output bias voltage	-		-	-2	-	-	-2	-	mV/ $^\circ\text{C}$
Cut-off frequency	f_c	$P_{in}=10\text{ }\mu\text{W}$ *3	12	15	-	28	35	-	MHz
Maximum output voltage amplitude	-	Nonlinear distortion: 10 % Max.	0.5	-	-	0.5	-	-	Vp-p
Output impedance	Z_O	$f=5\text{ Hz}$	-	30	-	-	30	-	Ω
Output noise voltage	V_n	$P_{in}=0\text{ }\mu\text{W}$ $f=1\text{ MHz}$	-	25	-	-	28	-	nV/Hz ^{1/2}
Overshoot	-	$P_{in}=10\text{ }\mu\text{W}$ *3	-	-	10	-	-	10	%

■ Absolute maximum ratings

Parameter	Symbol	Min.	Max.	Unit
Power supply voltage *4	V_{CC}	-0.5	7	V
Power dissipation	P	-	300	mW
Operating temperature	T_{opr}	-20	70	$^\circ\text{C}$
Storage temperature	T_{stg}	-40	100	$^\circ\text{C}$

*1: For definitions of R_L and C_L , refer to the basic connection.

*2: Output voltage $V_{out} = V_O - (P_{in} \times S)$ P_{in} : incident radiant flux (μW)

*3: Peak value

*4: A bypass capacitor (0.01 μF to 0.1 μF ceramic) is connected between the V_{CC} lead and the GND lead.
The lead length should be less than 20 mm.

■ Recommended operating conditions

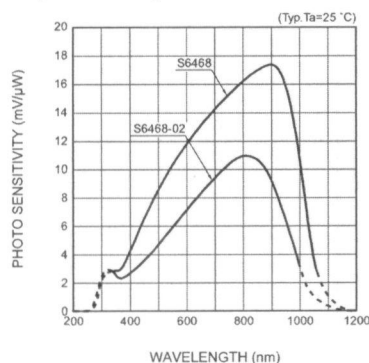
Parameter	Symbol	Min.	Typ.	Max.	Unit
Power supply voltage	V_{CC}	4.75	5	5.25	V
Load resistance	R_L	500	-	-	Ω
Load capacitance	C_L	-	-	13	pF
Operating temperature	T_{opr}	0	-	60	$^\circ\text{C}$

**SOLID
STATE DIVISION**

HAMAMATSU

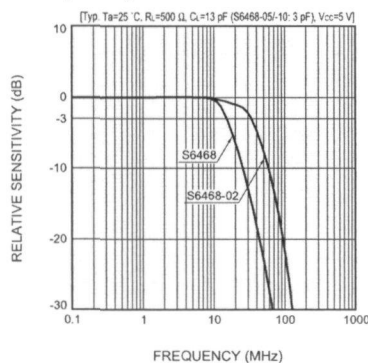
Si PIN photodiode with preamp S6468 series

Spectral response



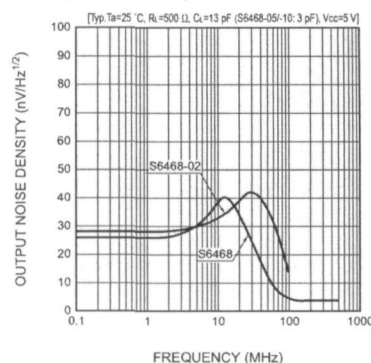
KPINB0163EB

Frequency characteristics



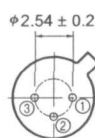
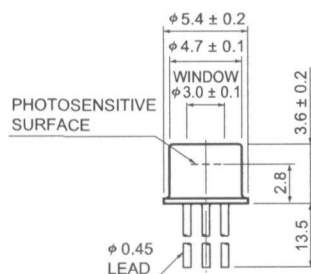
KPINB0126EB

Output noise spectrum



KPINB0164EB

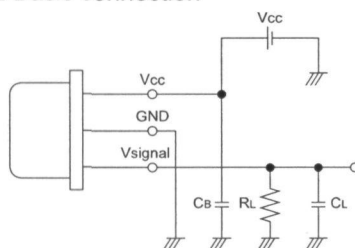
Dimensional outline (unit: mm)



- ① Vcc
- ② GND (CASE)
- ③ V signal

KPINA0001EF

Basic connection



KPIN00001EA

Precautions for use

ESD

S6468 series may be damaged or their performance may deteriorate by such factors as electro static discharge from the human body, surge voltages from measurement equipment, leakage voltages from soldering irons and packing materials, etc. As a countermeasure against electro static discharge, the device, operator, work place and measuring jigs must all be set at the same potential. The following precautions must be observed during use:

- To protect the device from electro static discharge which accumulate on the operator or the operator's clothes, use a wrist strap or similar tools to ground the operator's body via a high impedance resistor (1 MΩ).
- A semiconductive sheet (1 MΩ to 100 MΩ) should be laid on both the work table and the floor in the work area.
- When soldering, use an electrically grounded soldering iron with an isolation resistance of more than 10 MΩ.
- For containers and packing, use of a conductive material or aluminum foil is effective. When using an antistatic material, use one with a resistance of 0.1 MΩ/cm² to 1 GΩ/cm².

Wiring

- R_L and C_L are total resistive load and capacitive load viewed from the V signal terminal. When connecting a cable or circuit to the latter stage of the basic connection diagram, the cable or circuit resistance and capacitance should also be taken into account. They should be used in accordance with the recommended operating conditions: R_L ≥ 500 Ω and C_L ≤ 13 pF.
- A bypass capacitor (C_b = 0.01 μF to 0.1 μF ceramic) is connected between the Vcc lead and the GND lead.
- The lead length should be less than 20 mm.
- If electric current or voltage is applied in reverse polarity to an electronic device such as a preamplifier, this can degrade device performance or destroy the device. Always check the wiring and dimensional outline to avoid misconnection.

HAMAMATSU

HAMAMATSU PHOTONICS K.K., Solid State Division

1126-1 Ichino-cho, Hamamatsu City, 435-8558 Japan, Telephone: (81) 053-434-3311, Fax: (81) 053-434-5184, <http://www.hamamatsu.com>

U.S.A.: Hamamatsu Corporation, 360 Foothill Road, P.O. Box 6910, Bridgewater, N.J. 08807-0910, U.S.A., Telephone: (1) 908-231-0960, Fax: (1) 908-231-1218

Germany: Hamamatsu Photonics Deutschland GmbH, Arzbergerstr. 10, D-82211 Herrsching am Ammersee, Germany, Telephone: (49) 08152-3750, Fax: (49) 08152-2658

France: Hamamatsu Photonics France S.A.R.L.: 8, Rue du Saule Trapu, Parc du Moulin de Massy, 91882 Massy Cedex, France, Telephone: 33-(1) 69 53 71 00, Fax: 33-(1) 69 53 71 10

United Kingdom: Hamamatsu Photonics UK Limited: 2 Howard Court, 10 Tewin Road, Welwyn Garden City, Hertfordshire AL7 1BW, United Kingdom, Telephone: (44) 1707-294888, Fax: (44) 1707-325777

North Europe: Hamamatsu Photonics Norden AB: Smidesvägen 12, SE-171 41 Solna, Sweden, Telephone: (46) 8-509-031-00, Fax: (46) 8-509-031-01

Italy: Hamamatsu Photonics Italia S.R.L.: Strada della Moia, 1/E, 20020 Arese, (Milano), Italy, Telephone: (39) 02-935-81-733, Fax: (39) 02-935-81-741

Cat. No. KPIN1026E05
Aug. 2003 DN

CD74AC08, CD74ACT08

Quad 2-Input AND Gate

Features

- **Buffered Inputs**
- **Typical Propagation Delay**
 - 4.3ns at $V_{CC} = 5V$, $T_A = 25^\circ C$, $C_L = 50pF$
- **Exceeds 2kV ESD Protection MIL-STD-883, Method 3015**
- **SCR-Latchup-Resistant CMOS Process and Circuit Design**
- **Speed of Bipolar FAST™/AS/S with Significantly Reduced Power Consumption**
- **Balanced Propagation Delays**
- **AC Types Feature 1.5V to 5.5V Operation and Balanced Noise Immunity at 30% of the Supply**
- **$\pm 24mA$ Output Drive Current**
 - Fanout to 15 FAST™ ICs
 - Drives 50 Ω Transmission Lines

Description

The CD74AC08 and CD74ACT08 are quad 2-input AND gates that utilize the Harris Advanced CMOS Logic technology.

Ordering Information

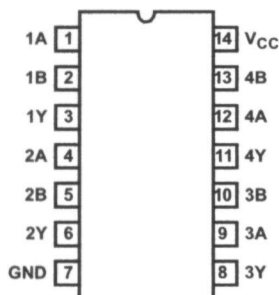
PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CD74AC08E	-55 to 125	14 Ld PDIP	E14.3
CD74ACT08E	-55 to 125	14 Ld PDIP	E14.3
CD74AC08M	-55 to 125	14 Ld SOIC	M14.15
CD74ACT08M	-55 to 125	14 Ld SOIC	M14.15

NOTES:

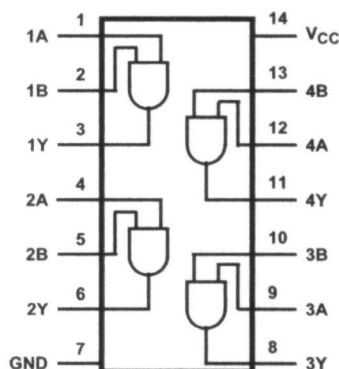
1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel.
2. Wafer and die for this part number is available which meets all electrical specifications. Please contact your local sales office or Harris customer service for ordering information.

Pinout

CD74AC08, CD74ACT08
(PDIP, SOIC)
TOP VIEW



Functional Diagram



TRUTH TABLE

INPUTS		OUTPUTS
nA	nB	nY
L	L	L
H	L	L
L	H	L
H	H	H

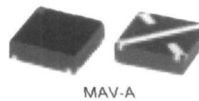
CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

FAST™ is a Trademark of Fairchild Semiconductor.

Copyright © Harris Corporation 1998

MONOLITHIC AMPLIFIERS 50 Ω

BROADBAND DC to 6 GHz



up to +18.5 dBm output

MODEL NO.	FREQ. (MHz)	GAIN (dB) Typical at MHz				MAXIMUM POWER (dBm)		DYNAMIC RANGE		VSWR (:1) Typ.		ABSOLUTE MAXIMUM RATING ⁶ (25°C)		DC OPERATING POWER ⁷ at Pin 3		THERMAL RESIS- TANCE ⁵ θ_{jc} °C/W	CASE STYLE	CON- NECTION	PRICE \$ ea.
		100	1000	2000	Note 1 Min.	Output (1 dB Comp.) Typ.	Input (no damage)	NF (dB) Typ.	IP3 (dBm) Typ.	In	Out	I (mA)	P (mW)	Current (mA)	Device Volt. Typ.				
MAR-1SM	DC-1000	18.5	15.5	—	13.0	+1.5	+13	5.5	+14.0	1.3	1.2	40	200	17	5.00	115	WW107	cb	1.04
MAR-2SM	DC-2000	12.5	12.0	11.0	8.5	+4.5	+13	6.5	+17.0	1.5	1.4	60	325	25	5.00	105	WW107	cb	1.17
MAR-3SM	DC-2000	12.5	12.0	10.5	8.0	+10.0	+13	6.0	+23.0	1.5	1.7	70	400	35	5.00	115	WW107	cb	1.24
MAR-4SM	DC-1000	8.3	8.0	—	7.0	+12.5	+13	7.0	+25.5	1.5	1.9	85	500	50	5.25	100	WW107	cb	1.34
MAR-6SM	DC-2000	20.0	16.0	11.0	9.0	+2.0	+13	3.0	+14.5	1.7	1.7	50	200	16	3.50	120	WW107	cb	1.21
MAR-7SM	DC-2000	13.5	12.5	11.0	8.5	+5.5	+13	5.0	+19.0	1.7	1.7	60	275	22	4.00	120	WW107	cb	1.36
NEW MAR-8ASM	DC-1000	31.5	25	—	20.0	+12.5	+13	3.1	+25.0	1.4	1.8	65	250	36	3.70	140	WW107	cb	1.12
MAR-8SM	DC-1000	32.5	22.5	—	19.0	+12.5	+13	3.3	+27.0	#	#	65	500	36	7.80	140	WW107	cb	1.32
NEW MAV-11BSM	50-1000	12.7	11.3	9.5	9.5	+18.0	+13	4.4	+34.0	1.2	1.2	80	460	60	5.50	141	RRR137	cb	1.50
MAV-11SM	50-1000	12.7	10.5	—	9.0	+17.5	+13	3.6	+30.0	1.5	1.7	80	550	60	5.50	125	RRR137	cb	1.62
NEW MAV-11A	50-2000	12.5	11.5	10.2	9.0	+18.5	+13	4.8	+35.0	1.4	1.1	80	550	60	5.50	130	DH820	cb	1.29

see suggested PCB layout PL-075 for MAR models

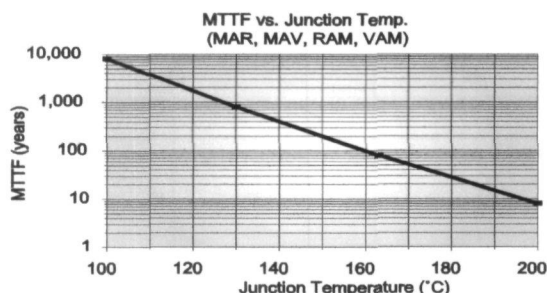
NOTES:

- ◆ Aqueous washable
- ☆ Increases below 1500 MHz.
- # MAR-8SM & RAM-8 models input and output impedances are not 50 ohms, see S-parameter data. Conditionally stable, source and load VSWR<3:1 required.
- Dash-6 models conditionally stable, source and load VSWR<5:1 required.
- Low frequency cutoff determined by external coupling capacitors, except VNA-25
- A. Environmental specifications and re-flow soldering information available in General Information Section.
- B1. Units are non-hermetic unless otherwise noted. Details on case dimensions & finishes in "Case Styles & Outline Drawings". Case styles VV105 or BBB123 available, consult factory.
- C. Prices and Specifications subject to change without notice.
- 1. Minimum gain at highest frequency. Full temperature range, except room temperature for Dash-4 models.
- 2. Model number designated by alphanumeric code marking.
- 3. Frequency at which output power, NF and IP3 are specified: 500 MHz for MAR-1SM, MAR-6SM, RAM-1, RAM-6, MAV-11SM, VAM-6, 1000 MHz for all other models.
- 4. Dash-6 models potentially unstable with very high VSWR terminations.
- 5. Thermal resistance θ_{jc} is from hottest junction in device to mounting surface of leads.
- 6. Permanent damage may occur if any of these limits are exceeded. These ratings are not intended for continuous normal operation.
- 7. Supply voltage must be connected to pin 3 through a bias resistor in order to prevent damage. See "Biasing MMIC Amplifiers" in minicircuits.com/application.html. Reliability predictions are applicable at specified current & normal operating conditions.

model identification

Model	marking (see note below)
MAR-1SM	01
MAR-2SM	02
MAR-3SM	03
MAR-4SM	04
MAR-6SM	06
MAR-7SM	07
MAR-8SM	08
MAR-8ASM	8A
RAM-1	1 or 01
RAM-2	2 or 02
RAM-3	3 or 03
RAM-4	4 or 04
RAM-6	6 or 06
RAM-7	7 or 07
RAM-8	8 or 08
MAV-11BSM	11
MAV-11SM	A
MAV-11A	11
VAM-3	03
VAM-6	06
VAM-7	07

Notes:
- Prefix letter (optional) designates assembly location.



Mini-Circuits®

INTERNET <http://www.minicircuits.com>

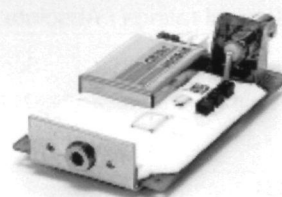
P.O. Box 350166, Brooklyn, New York 11235-0003 (718) 934-4500 Fax (718) 332-4661

Distribution Centers NORTH AMERICA 800-654-7949 • 417-335-5935 • Fax 417-335-5945 • EUROPE 44-1252-832600 • Fax 44-1252-837010

Mini-Circuits ISO 9001 & ISO 14001 Certified

APD module C5331 series

Operates an APD with single 5 V supply



Features

- Choice of high sensitivity APDs
A total of 11 types are available, including 6 types of 800 nm band APDs with active areas from $\phi 0.2$ to $\phi 5$ mm, 3 types of short-wavelength APDs with active areas from $\phi 1$ to $\phi 5$ mm, and FC connector types.
- High sensitivity detection board optimized for APD evaluation
An APD and high-speed current-to-voltage amplifier circuit are mounted on a compact board. The high-speed current-to-voltage amplifier circuit features a low-noise configuration ideal for the APD signal readout and operates at high speeds yet with high sensitivity.
- Easy handling
Single 5 V supply operation
- Built-in temperature-compensated bias voltage circuit
Controls the bias voltage with a thermosensor to keep the APD gain constant. Gain is stabilized to as low as $\pm 2.5\%$ Typ. at ambient temperatures of $25 \pm 10^\circ\text{C}$. Ripple noise usually inherent to high voltage power supplies is also minimized.
- Compact and lightweight
The circuit board is no larger than business card size, and weighs only 52 g.
- Low price
- Custom devices available with different dimensions and specifications

Selection guide

Type No.	Active area (mm)	Frequency bandwidth -3 dB (Hz)	Type of APD	Peak sensitivity wavelength (nm)
C5331	$\phi 1.5$	4 k to 100 M	Standard type	800
C5331-30 *1				
C5331-01				
C5331-31 *2				
C5331-02	$\phi 0.5$	4 k to 80 M	Standard type	800
C5331-03	$\phi 1.0$			
C5331-04	$\phi 3.0$			
C5331-05	$\phi 5.0$			
C5331-11	$\phi 1.0$	4 k to 100 M	Short-wavelength type	620
C5331-12	$\phi 3.0$	4 k to 40 M		
C5331-13	$\phi 5.0$	4 k to 20 M		

*1: C5331 + FC connector

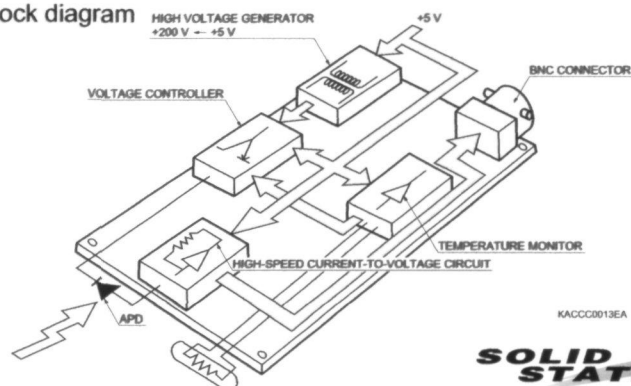
*2: C5331-01 + FC connector with lens
(compatible with GI 50/125 fiber)

Note: Gain is preset to 30 prior to shipping.

Applications

- APD evaluation
- Spatial light transmission
- Bar code readers
- Laser radars
- Optical rangefinders
- Optical communications

Block diagram



SOLID STATE DIVISION

HAMAMATSU

■ General ratings / Absolute maximum ratings

Type No.	Active area (mm)	Supply voltage			Current consumption		Board dimension (mm)	Output impedance (Ω)	Weight (g)	Absolute maximum ratings		
		Min. (V)	Typ. (V)	Max. (V)	Typ. (mA)	Max. (mA)				Supply voltage (V)	Operating temperature T _{opr} (°C)	Storage temperature T _{stg} (°C)
C5331	φ1.5	+4.75	+5	+5.25	+50	+80	80 × 50 × 23	50	52	+7	0 to +60	-20 to +70
C5331-30												
C5331-01	φ0.2											
C5331-31												
C5331-02	φ0.5											
C5331-03	φ1.0											
C5331-04	φ3.0											
C5331-05	φ5.0											
C5331-11	φ1.0											
C5331-12	φ3.0											
C5331-13	φ5.0											

■ Electrical and optical characteristics (Typ. T_a=25 °C, V_{cc}=5 V, unless otherwise noted)

Photoelectric converter section (APD)

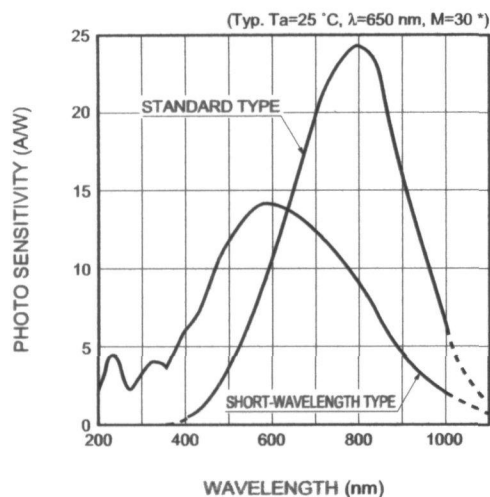
Type No.	Spectral response range λ (nm)	Peak sensitivity wavelength λ _p (nm)	Photo sensitivity S		Temperature stability of gain *3 25 °C ± 10 °C, Gain=30	
			λ=800 nm, Gain=1 (A/W)	λ=620 nm, Gain=1 (A/W)	Typ. (%)	Max. (%)
C5331	400 to 1000	800	0.5	-	±2.5	±5
C5331-30						
C5331-01						
C5331-31						
C5331-02						
C5331-03						
C5331-04						
C5331-05						
C5331-11	200 to 1000	620	-	0.42		
C5331-12						
C5331-13						

High-speed amplifier section

Type No.	Cut-off frequency -3 dB				NEP				Feedback resistance	Photoelectric sensitivity *3 including APD, gain=30		
	High band		Low band		$\lambda=800\text{ nm}$		$\lambda=620\text{ nm}$			Min. (10 ⁴ V/W)	Typ. (10 ⁴ V/W)	Max. (10 ⁴ V/W)
	Min. (MHz)	Typ. (MHz)	Min. (kHz)	Typ. (kHz)	Typ. (pW/Hz ^{1/2})	Max. (pW/Hz ^{1/2})	Typ. (pW/Hz ^{1/2})	Max. (pW/Hz ^{1/2})				
C5331	90	100	3	4	0.3	0.6	-	-	6.2	-4.3	-4.5	-4.7
C5331-30							-	-				
C5331-01	90	100			0.3	0.6	-	-	10	-7.1	-7.5	-7.9
C5331-31							-	-				
C5331-02	90	100			0.3	0.6	-	-	10	-7.1	-7.5	-7.9
C5331-03	90	100			0.3	0.6	-	-	9.1	-6.4	-6.75	-7.1
C5331-04	70	80			0.4	0.8	-	-	3.0	-2.1	-2.3	-2.4
C5331-05	40	50			0.7	1.4	-	-	1.1	-0.7	-0.75	-0.79
C5331-11	90	100			-	-	0.5	1.0	3.9	-2.3	-2.46	-2.7
C5331-12	30	40			-	-	1.3	2.6	2.0	-1.1	-1.26	-1.4
C5331-13	10	20			-	-	1.7	3.4	1.1	-0.65	-0.69	-0.75

*3: Gain is preset to 30 prior to shipping.

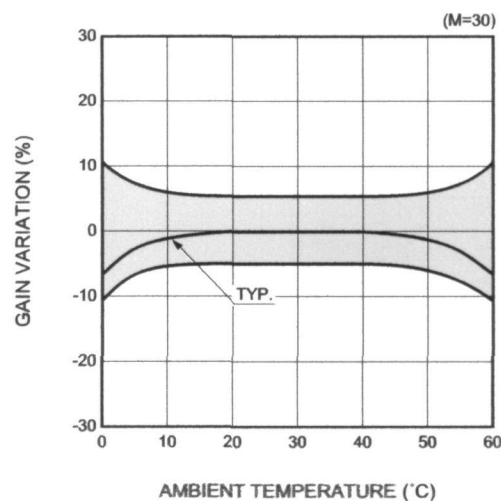
■ Spectral response



* Measured at a reverse voltage giving a gain of 30.
Incident light is 650 nm.

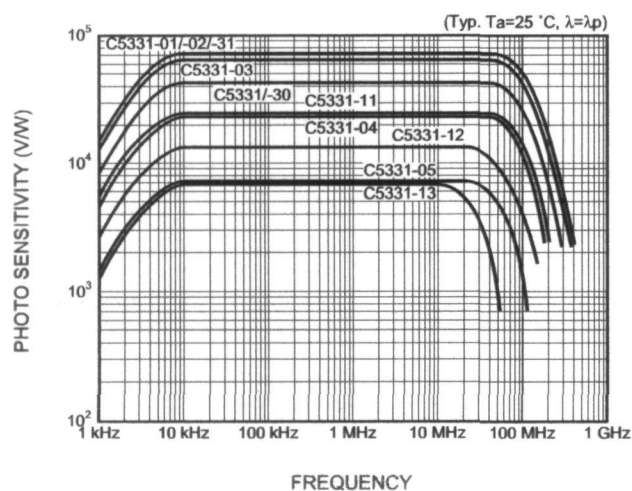
KAPDB0051EA

■ Gain temperature characteristic



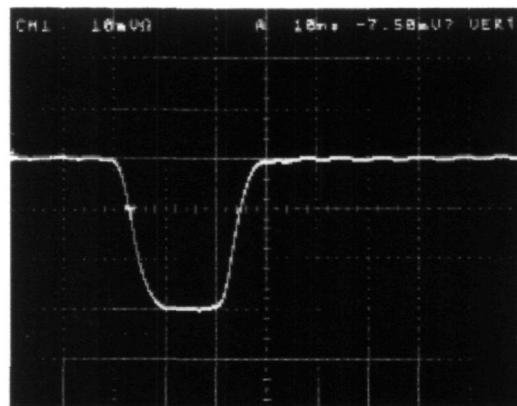
KACCB0020EB

■ Frequency response



KACCB0021EB

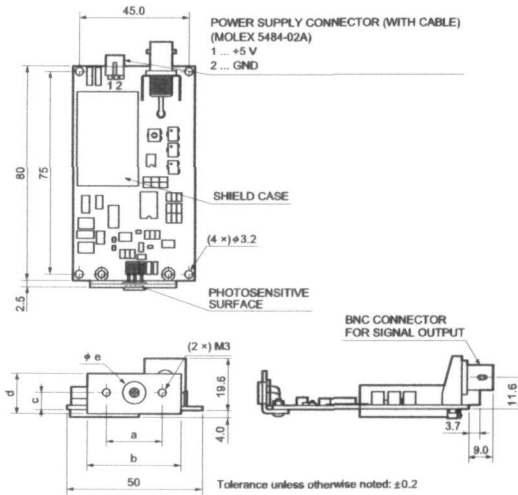
■ Response to stepped light input (C5331-03)



$T_a=25^\circ\text{C}$, gain $M=30$, input pulse width= $20\text{ }\mu\text{s}$
X-axis: 10 ns/div. , Y-axis: 10 mV/div.

■ Dimensional outlines (unit: mm)

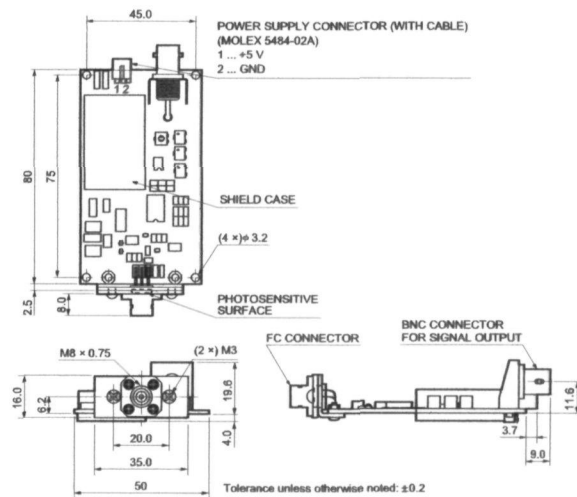
C5331-01/-02/-03/-04/-05/-11/-12/-13



Type No.	a	b	c	d	e
C5331					8.2 \pm 0.1
C5331-01	20	35	6.2	16	4.7 \pm 0.1
C5331-02					4.7 \pm 0.1
C5331-03					4.7 \pm 0.1
C5331-04					8.1 \pm 0.1
C5331-05	25	40	8.6	20	12.35 \pm 0.1
C5331-11	20	35	6.2	16	4.7 \pm 0.1
C5331-12					8.1 \pm 0.1
C5331-13	25	40	8.6	20	12.35 \pm 0.1

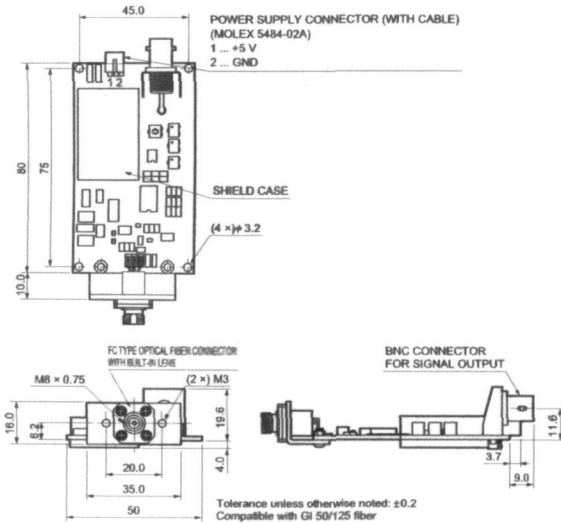
KACCA0013EC

C5331-30



KACCA0093EA

C5331-31



KACCA0094EA

■ Attachment adapters for FC and SMA connectors

APD module	FC adapter	SMA adapter
C5331-01	A8407-18	A8424-18
C5331-02	A8407-18	A8424-18
C5331-03	A8407-18	A8424-18
C5331-04	A8407-05A	A8424-05A
C5331-05	A8407-08	-
C5331-11	A8407-18	A8424-18
C5331-12	A8407-05A	A8424-05A
C5331-13	A8407-08	-
C5460	A8407-05	A8424-05
C5460-01	A8407-05A	A8424-05A

- (1) A high voltage power supply is used in this product. Do not remove insulating material potted on the board to prevent possible danger.
- (2) Be sure to terminate the output with 50 Ω when using this product.

HAMAMATSU

Information furnished by HAMAMATSU is believed to be reliable. However, no responsibility is assumed for possible inaccuracies or omissions. Specifications are subject to change without notice. No patent rights are granted to any of the circuits described herein. ©2004 Hamamatsu Photonics K.K.

HAMAMATSU PHOTONICS K.K., Solid State Division

1126-1 Ichino-cho, Hamamatsu City, 435-8558 Japan, Telephone: (81) 053-434-3311, Fax: (81) 053-434-5184, <http://www.hamamatsu.com>

U.S.A.: Hamamatsu Corporation, 360 Foothill Road, P.O. Box 6810, Bridgewater, N.J. 08807-0910, U.S.A., Telephone: (1) 908-231-0960, Fax: (1) 908-231-1218

Germany: Hamamatsu Photonics Deutschland GmbH, Arzbergerstr. 10, D-82211 Herrsching am Ammersee, Germany, Telephone: (49) 08152-3750, Fax: (49) 08152-2658

France: Hamamatsu Photonics France S.A.R.L., 8, Rue du Saule Trappu, Parc du Moulin de Massy, 91882 Massy Cedex, France, Telephone: 33-(1) 69 53 71 00, Fax: 33-(1) 69 53 71 10

United Kingdom: Hamamatsu Photonics UK Limited, 2 Howard Court, 10 Tewin Road, Welwyn Garden City, Hertfordshire AL7 1BW, United Kingdom, Telephone: (44) 1707-294888, Fax: (44) 1707-325777

North Europe: Hamamatsu Photonics Norden AB, Smidesvägen 12, SE-171 41 Solna, Sweden, Telephone: (46) 8-509-031-00, Fax: (46) 8-509-031-01

Italy: Hamamatsu Photonics Italia S.R.L., Strada della Moia, 1/E, 20020 Arese, (Milano), Italy, Telephone: (39) 02-935-81-733, Fax: (39) 02-935-81-741

Cat. No. KACC1007E04
Dec. 2004 DN

ANEXO VI:

*Artículo presentado y admitido
en el congreso URSI '05
(septiembre de 2005)*

Sistema de comunicación óptica no guiada basado en tecnología IrDA y técnicas DSSS

Adolfo Eduardo García Braun, José Alberto Rabadán Borges,
Miguel Ángel Bacallado Marrero y Rafael Pérez Jiménez

Departamento de Señales y Comunicaciones

Universidad de Las Palmas de Gran Canaria

e-mail : jrabadan@dsc.ulpgc.es

Abstract- This paper describes both the design and implementation of an optical and guideless link based on IrDA technology and Direct Sequence Spread Spectrum techniques. The main objective of this work is to increase the environment interferences rejection and introduce the multichannel capability in IrDA standard. This system also reduces the multipath dispersion present in the diffuse optical communication channel.

The prototype presented in this work converts the IrDA signal (SIR and FIR modes) into a DSSS signal. Besides we propose a synchronization scheme for improving the synchronism recovery, one of the most important processes in DSSS demodulation.

I. INTRODUCCIÓN

En este artículo se presenta el diseño e implementación de un sistema de comunicación óptica no guiada basado en tecnología IrDA y técnicas DSSS (*Direct Sequence Spread Spectrum*). Este proyecto surge debido a que, aunque los estándares de codificación propuestos por IrDA –RZI, 4-PPM, HHH (1,13)– permiten elevadas velocidades de transmisión, la capa física del sistema tiene todavía algunos inconvenientes: La dispersión multitrayecto y la interferencia lumínica son dos de los mayores problemas en los sistemas de comunicaciones infrarrojos en interiores. La dispersión multitrayecto introduce interferencia entre símbolos (IES) en los datos transmitidos, mientras que la luz ambiente introduce interferencias de banda estrecha muy intensas sobre los esquemas típicos de modulación en banda base como OOK o PPM (usados por el estándar IrDA) [1].

Las técnicas de SS ofrecen una forma de onda de transmisión que explota las propiedades de una secuencia ensanchada para solucionar los multitrayectos en un canal IR sin tener que emplear soluciones complejas como pueden ser la ecualización o la utilización de esquemas de modulación y codificación con capacidad de detección y corrección de errores como han venido usándose hasta hoy en día.

El sistema que se ha creado consiste en la conversión de la señal IrDA en una de espectro ensanchado por secuencia directa y la transmisión de ésta de forma óptica no guiada.

Con este esquema se permite la transmisión fiable de bits de forma encriptada (sólo aquellos sistemas que tengan la misma secuencia de código podrán demodular la señal correctamente), además de reducir el efecto de las interferencias ambientales –luz fluorescente e incandescente, por ejemplo– y aquellas de banda estrecha existentes en los entornos de comunicaciones ópticas no guiadas [2][3].

Como aplicación práctica, se ha implementado el circuito para la comunicación entre dos PC's, aunque el sistema desarrollado podría ser integrado en cualquier dispositivo multimedia (PDAs, portátiles, ...) o para redes basadas en óptica difusa y cuasidifusa.

II. DESCRIPCIÓN DEL SISTEMA

En la figura 1 se muestra el esquema general del sistema propuesto. Está constituido por un primer circuito conversor USB-IrDA, que puede controlarse a través de los drivers del chip empleado para su desarrollo: el STIr4200 de Sigmatel.

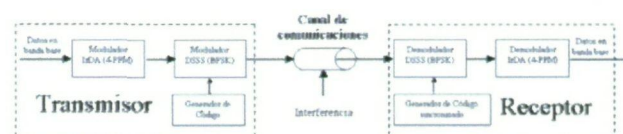


Figura 1. Esquema completo del sistema propuesto.

La señal transmitida (codificada según la velocidad elegida: SIR o FIR) pasa a un módulo de espectro ensanchado. Éste está formado, básicamente, como se verá en el apartado III, por un PLD que contiene toda la lógica digital necesaria para el ensanche de la señal IrDA (generador de código, puertas lógicas, etc.).

Debido a la complejidad de los sistemas de recuperación de sincronismo típicos (realizados con detectores de envolvente y DLLs) [4] [5], se ha optado por la transmisión simultánea de la señal ensanchada y de un piloto de sencilla implementación. Se trata del envío de un reloj con el doble de frecuencia de la señal de código y que posee un cambio de fase (BPSK) cada vez que se alcanza el final de la secuencia de código [6]. Con esto se obtiene

información de la frecuencia de chip así como del comienzo de la generación de código.

Se ha elegido una frecuencia para la señal de código de 10 MHz, así como una de 20 MHz (coincidiendo con uno de los nulos de la señal ensanchada) para la señal de reloj que se transmitirá para el sincronismo.

III. TRANSMISOR

El sistema emisor tiene como función principal la generación, tanto de la señal ensanchada, como del piloto que servirá de sincronismo.

Mediante el uso de un PLD (EPM7064 de Altera) se realizan todas las funciones digitales necesarias para crear el transmisor. En primer lugar se genera la secuencia de código de tipo MLS (*Maximum Length Sequence*) mediante la realimentación de biestables tipo D (figura 3).

Como se observa, el número de registros es 6, esto significa que el tamaño de la secuencia total de código es de $2^6 - 1 = 63$ chips. Para la realización del piloto de sincronismo se ha hecho lo siguiente: Cuando la secuencia de código finaliza, esto es, que se alcanza el valor 63, todos los flipflops están a "1" y, por tanto, mediante una AND se puede generar un pulso (PULSO_SYNC) que permita un cambio de fase de la señal de reloj de 20 MHz (basta con una puerta XOR), generando así la señal piloto deseada (figura 2).

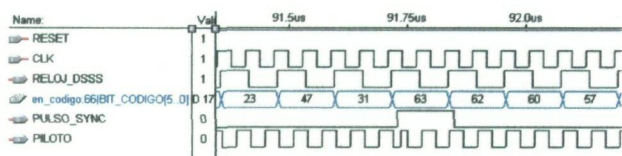


Figura 2. Señales en el transmisor.

Para el ensanche de la señal, se realiza la modulación BPSK de la señal IrDA mediante el uso de una puerta XOR cuyas entradas son la señal a modular y la trama de código (técnica DSSS). Se tienen pues, a la salida del transmisor las señales PILOTO y SEÑAL_DSSS.

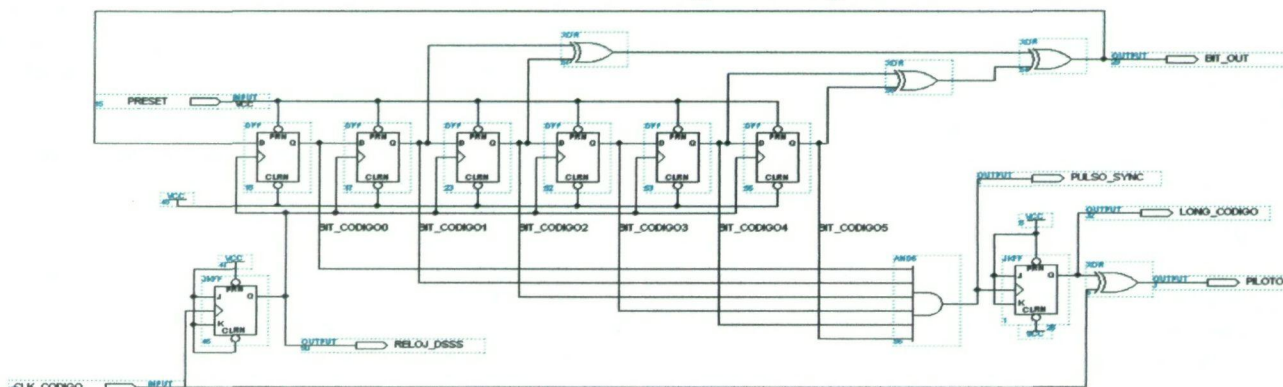


Figura 3. Generador de código.

Como se comentó en el apartado II, se ha elegido una señal de código de 10 MHz que, respecto al ancho de banda de la señal de IrDA a transmitir (620 kHz aprox.), supone una ganancia de proceso de 12 dB. Este margen permite el ensanchado de las interferencias de banda estrecha y, por tanto, de una recuperación de la señal deseada libre de perturbaciones.

Finalmente se desarrolla una parte óptica tal que se transmite, por un lado, el piloto, y por otro la señal ensanchada. Esto provocará una suma "óptica" de señales, de tal forma que en el receptor habrá que separarlas.

IV. RECEPTOR

La parte más compleja del sistema reside en el receptor, ya que es necesario un sistema de sincronismo para el comienzo de la generación de código. De ahí el uso del piloto anteriormente mencionado.

A la entrada del receptor se tienen las dos señales sumadas (DSSS y piloto) además de las posibles interferencias existentes en el entorno. Mediante un filtrado paso bajo (10.7 MHz) se obtiene la primera (ver figura 4), que posteriormente será multiplicada por la señal de código para su demodulación.

Con un filtro paso banda (21.4 MHz), se recupera el piloto transmitido. Como se mencionó anteriormente, dicha señal tiene el cambio de fase en el momento en que debe comenzar a generarse la señal de código. El procedimiento seguido es el siguiente: mediante un comparador (LM360 de National) se restaura el nivel de dicha señal (de tal forma que se tiene el piloto con unos niveles de tensión TTL aceptables). Por otro lado, el piloto recibido, se multiplica por sí mismo con un mezclador (SA612 de Philips) eliminando así la incertidumbre de fase y obteniendo una señal del doble de frecuencia (40 MHz). A continuación se introduce dicha señal a un PLL (NE564 de Philips) que se engancha a dicho valor consiguiendo así obtener a su salida una señal de reloj (sin cambios de fase) a 40 MHz y, también, con niveles TTL.

Ambas señales (piloto recibido y reloj a 40 MHz) se introducen en el PLD mencionado para su tratamiento digital. En la figura 5 se observan ambas.

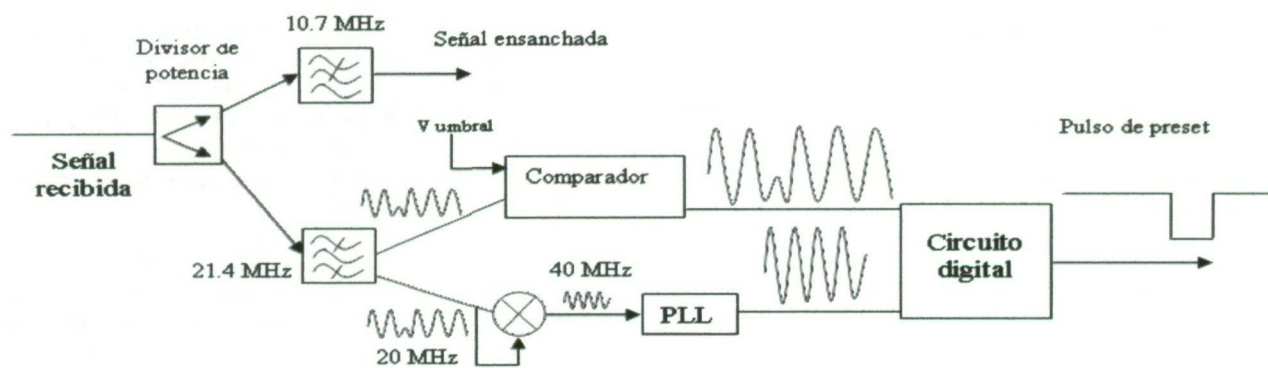


Figura 4. Receptor DSSS

En primer lugar se realiza una división por 2 de la señal proveniente del PLL, de tal forma que se recupera un reloj de 20 MHz en fase con el piloto. Mediante el uso de una cierta lógica digital, se logra conseguir un pulso de preset a partir del cual el generador de código del receptor comienza a generar la trama.

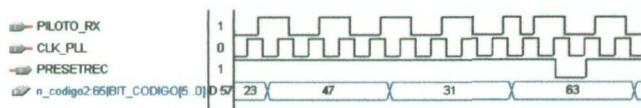


Figura 5. Señales en el receptor.

V. IMPLEMENTACIÓN

Para la implementación, que sigue el esquema propuesto, se ha creado un prototipo tal y como se muestra en las figuras siguientes:

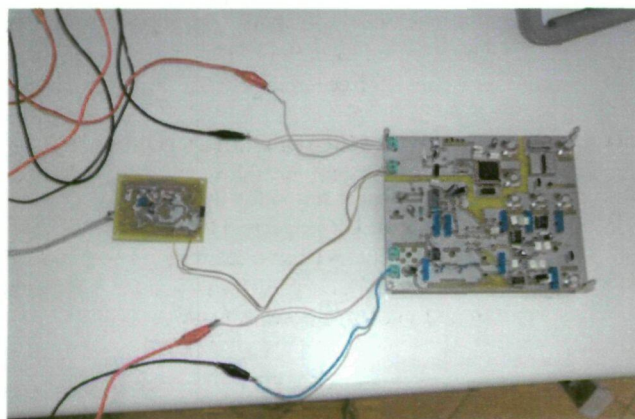


Figura 6. Implementación de los circuitos

En la figura 6 se observan dos circuitos bien diferenciados: uno es el convertidor USB-IrDA, y el otro es módulo IrDA-DSSS. En la figura 7 se puede ver que se han separado los componentes del transmisor y del receptor, fundamentalmente para establecer un plano de masa para la parte analógica del diseño y otro para la digital, evitando así espúreos no deseados en los resultados.

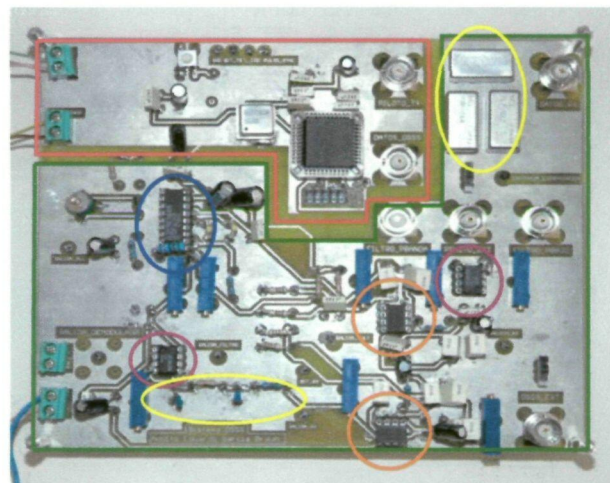


Figura 7. Detalle del módulo DSSS

VI. RESULTADOS

En primer lugar, en la siguiente figura se observa la señal de código generada además de la DSSS resultante.



Figura 8. De arriba a abajo: Señal IrDA, código y señal modulada DSSS.

Por otro lado, se puede ver en la figura 9 cómo se produce el cambio de fase cuando se genera el pulso de preset provocado por la AND de todos los registros del generador de código.

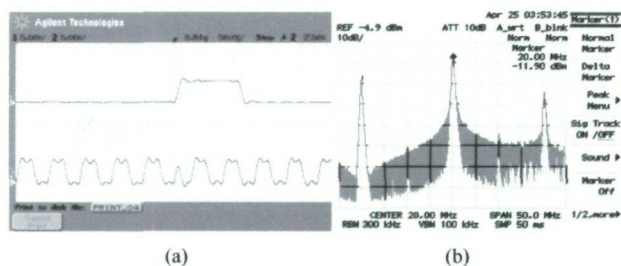


Figura 9. (a) De arriba a abajo: Pulso de preset y señal piloto generada.
(b) DEP del piloto

En cuanto al receptor, se obtiene, por un lado, la señal ensanchada y por el otro, como se comentó anteriormente, el piloto. Tras multiplicarlo por sí mismo se obtiene una señal del doble de frecuencia. Dicha señal permite el enganche del PLL para, finalmente, mediante el piloto recibido y el reloj recuperado, generar un pulso de preset (figura 10) que permita el comienzo de la generación de código en el circuito receptor.

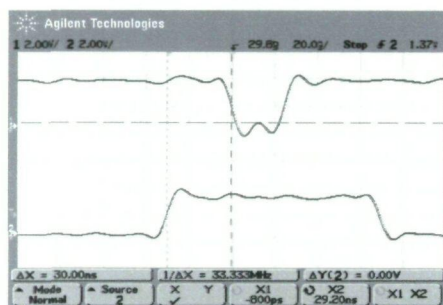


Figura 10. De arriba abajo: Preset generado en el receptor y el producido en el transmisor

Se puede observar cómo se ha producido un ligero retraso (30 ns) entre el pulso de preset original y el generado en el receptor, pero este retardo es consecuencia del tiempo de propagación. De hecho, este tiempo no impide que el sistema total funcione de forma idónea, pues el retardo se mantiene constante durante la transmisión de datos. Como el sistema digital funciona por flancos, el ancho del pulso de preset es indiferente.

Tras multiplicar la señal de código generada con la ensanchada recibida (demodulación DSSS) mediante el SA612, se recuperan los pulsos con un cierto nivel de ruido asociado (figura 11).

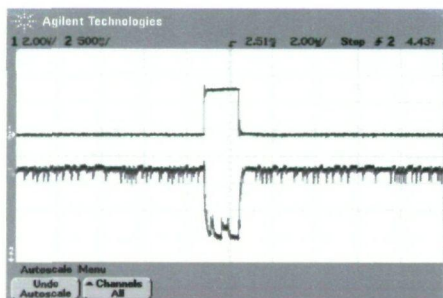


Figura 11. Señal original transmitida (IrDA) frente a la recuperada

De ahí que sea necesaria la existencia de un filtro paso bajo (con frecuencia de corte 620 kHz) que permita el suavizado de los pulsos. Tras pasar el resultado por un

circuito comparador, se regenerará con niveles TTL aceptables.

Si se compara, finalmente, la señal transmitida original con la demodulada, se observa que el modulador/demodulador de espectro ensanchado es transparente al sistema IrDA, permitiendo así la comunicación ininterrumpida entre 2 ordenadores.

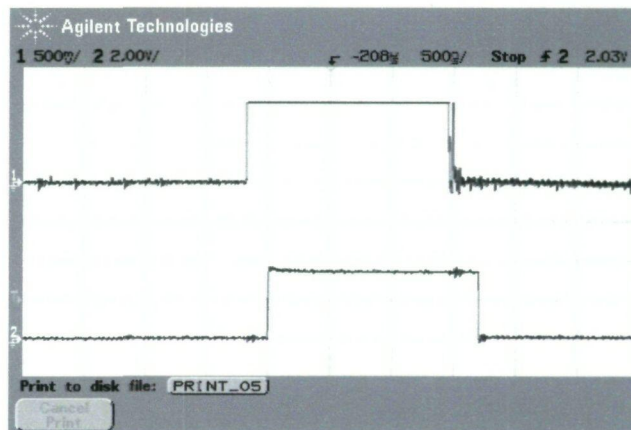


Figura 12. Datos transmitidos IrDA frente a los recuperados.

VII. CONCLUSIONES

En este artículo se presenta un prototipo capaz de convertir la señal IrDA a una de espectro ensanchado mediante técnicas DSSS. Esto supone una mejora sustancial de la capa física del estándar pues permite la existencia de múltiples canales ópticos sin interferencia entre ellos, además de rechazar aquellas interferencias ambientales que tanto perjudican en el rango del infrarrojo cercano. Además, se introduce el uso de un piloto de sincronismo propuesto para reducir la complejidad del hardware.

AGRADECIMIENTOS

Este trabajo ha sido desarrollado gracias a la financiación del MEC (proyecto TIC2003-07005).

REFERENCIAS

- [1] Stuart Williams. "IrDA: Past, Present and Future". IEEE Personal Communications. Febrero 2000.
- [2] Joseph M. Kahn & John R. Barry. "Wireless Infrared Communications". Proceedings of the IEEE Vol. 85. NO. 2. Febrero 1997.
- [3] K. K. Wong & Tim O'Farrell. "Spread Spectrum Techniques for Indoor Wireless IR Communications". IEEE Wireless Communications. Abril 2003
- [4] J. A. Rabadán, R. Pérez, S. Rodríguez, F. López. "Fundamentos de los sistemas de espectro ensanchado". Colección Textos Universitarios. Gobierno de Canarias. 2001.
- [5] Robert C. Dixon. "Spread Spectrum Systems". Second Edition. John Wiley & Sons. 1994
- [6] Santiago Pérez Suárez. "Sistema de Comunicación FHSS síncrono para CCOO no guiadas". PFC ETSIT ULPGC. Diciembre 2002.