

GENERADOR DE SEÑAL DE BARRIDO PROGRAMABLE USANDO EL SINTETIZADOR DIGITAL DE FRECUENCIA AD9852 DE ANALOG DEVICES

Santiago T. Pérez⁽¹⁾, Antonio A. Rodríguez⁽¹⁾, José R. Velázquez⁽¹⁾, José A. Rabadán⁽¹⁾.
sperez@dsc.ulpgc.es, antonio.rodriguez104@estudiantes.ulpgc.es,
jvelazquez@dsc.ulpgc.es, jrabadan@dsc.ulpgc.es.

(1) Departamento de Señales y Comunicaciones. Universidad de Las Palmas de Gran Canaria. Campus Universitario de Tafira, S/N, Pabellón B, 35017, Las Palmas de Gran Canaria, Las Palmas.

Abstract- The Direct Digital Synthesizers (DDS) can be denoted as Numerical Controlled Oscillators (NCO), this devices make possible to set the frequency, phase and amplitude of the generated signal. Firstly the DDS AD9852 of Analog Devices is analysed, then a sweep generator is designed. The prototype uses a Programmable Logic Device (PLD) which controls the DDS. The PLD includes the logic and data for DDS initialization. All digital circuits were created in VHDL (Very High Speed Integrated Circuit Hardware Description Language), this allow to choose another PLD manufacturer and to program new sweep generator parameters. The sweep of the frequency is between 9 and 11 MHz in a triangle mode with a 10 ms period. Results are showed in time and frequency domain. Finally some conclusions are presented.

I. INTRODUCCIÓN

Este trabajo se engloba dentro del estudio de los Sintetizadores Digitales de Frecuencia (*Direct Digital Synthesizers, DDS*) [1]. Estos dispositivos también pueden ser llamados Osciladores Controlados Numéricamente (*Numerical Controlled Oscillator, NCO*) que permiten fijar la frecuencia, fase y amplitud de la señal. Después de estudiar las características del DDS AD9852 de Analog Devices se diseña un oscilador de barrido. El prototipo incluye un dispositivo digital programable desde el que se controla el DDS. En este circuito digital se diseña la lógica y los datos necesarios para inicializar el DDS. Todos los circuitos digitales se crean en VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) [2]; esto permite que el diseño sea aplicable a otros fabricantes y que los parámetros del barrido se puedan reprogramar. El diseño presentado consiste en una señal de barrido en forma de triángulo desde 9 a 11 MHz, con un periodo de 10 ms. Finalmente se presentan los resultados en el dominio del tiempo y de la frecuencia; además de las conclusiones pertinentes.

II. SINTETIZADOR DIGITAL DE FRECUENCIA AD9852

El DDS AD9852 [3] está diseñado usando tecnología CMOS (*Complementary Metal Oxide Semiconductor*) de

0,35 micras y se alimenta con una fuente de alimentación de +3,3 voltios. Está disponible con o sin disipador térmico en un encapsulado cuadrado plano de perfil bajo (*Low-profile Quad Flat Package, LQFP*) de 80 pines de montaje superficial. El AD9852 puede funcionar en el rango de temperatura industrial, desde -40° C hasta +85° C.

El núcleo de alta velocidad del AD9852 proporciona una programación de frecuencia de 6 bytes, obteniéndose una resolución de sintonización de 1 μ Hz con un reloj del sistema de 300 MHz. El AD9852 consta de un oscilador controlado numéricamente con un acumulador de fase de 6 bytes, un multiplicador programable del reloj de referencia, un filtro de *sinc* inversa, un multiplicador digital, dos conversores digital a analógico (*Digital Analog Converter, DAC*) de 12 bits, un comparador analógico de alta velocidad, y una interfaz lógica.

La arquitectura del AD9852 (Fig. 10) permite la generación de señales de salida hasta frecuencias de 150 MHz, con una velocidad de hasta 100 millones de nuevas frecuencias por segundo. La salida de la onda senoidal (externamente filtrada) puede ser convertida a una onda cuadrada por el comparador interno cuando se necesite una señal de reloj. El dispositivo proporciona dos registros de fase de 14 bits y un pin único para la modulación binaria por desplazamiento de fase (*Binary Phase Shift Keying, BPSK*). Para la modulación por desplazamiento de fase (*Phase Shift Keying, PSK*) de orden superior, la interfaz de entrada/salida puede ser usada para generar los cambios de fase. El DAC de coseno de 12 bits, unido con la arquitectura innovadora del DDS, proporciona un excelente rango dinámico libre de espúreos (*Spurious Free Dynamic Range, SFDR*). Si se utiliza el comparador, el DAC de control de 12 bits facilita el control estático del ciclo de trabajo en las aplicaciones de generador de reloj de alta velocidad. El multiplicador digital de 12 bits permite modulación de amplitud programable, habilitación/deshabilitación del conformador de pulsos, y el control exacto de la amplitud de la salida del DAC de

coseno. El multiplicador de frecuencia programable (de 4 a 20) genera internamente el reloj del sistema de 300 MHz como máximo, a partir de un reloj de referencia externo de frecuencia más baja. También es posible introducir directamente un reloj externo de 300 MHz a través de la entrada asimétrica o las entradas diferenciales. También es posible generar tanto la modulación por desplazamiento de frecuencia (*Frequency Shift Keying, FSK*) convencional como la FSK espectralmente mejorada, donde la envolvente es una rampa.

El AD9852 tiene cinco modos de funcionamiento: tono único, FSK, FSK por rampa, *chirp* y BPSK. En el modo *chirp* se produce un barrido de frecuencia en forma de diente de sierra. En el modo FSK por rampa el barrido se realiza de forma triangular, y es el modo usado en este trabajo. El barrido de frecuencia necesita que sean sintetizadas muchas frecuencias entre la mínima (F1) y la máxima (F2). La Fig. 1 representa gráficamente la frecuencia frente al tiempo de una señal FSK por rampa.

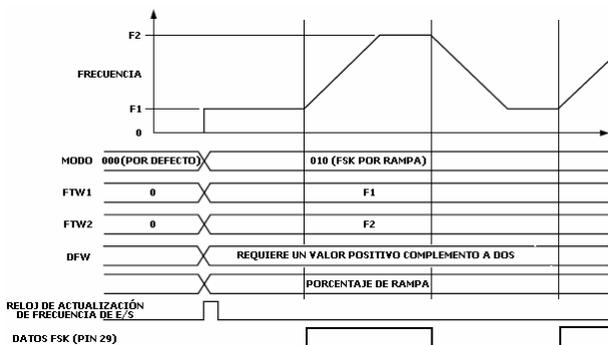


Fig. 1. Modo FSK por rampa en el DDS AD9852.

En el modo FSK por rampa, la palabra del incremento de frecuencia debe programarse como un valor positivo de complemento a dos. Otro requisito es que la frecuencia mínima (F1) y la frecuencia máxima (F2) sean programadas en los bancos del registro de la primera y segunda palabra de sintonía de frecuencia respectivamente. El tiempo de permanencia en F1 y F2 puede ser igual o mucho más grande que el tiempo transcurrido en cada frecuencia de transición. El usuario controla el tiempo de permanencia en F1 y F2, el número de frecuencias de transición y el tiempo transcurrido en cada frecuencia. Varios registros deben ser programados para dar instrucciones al DDS en cuanto a la resolución de los pasos de frecuencia de transición (48 bits) y el tiempo transcurrido en cada paso (20 bits).

El registro de control contiene un “bit de triángulo”, colocando este bit a nivel alto en el modo FSK por rampa se produce un barrido automático entre F1 y F2 en forma de rampas lineales ascendente y descendente, como se muestra en la Fig. 2. De hecho, el estado lógico del pin de la entrada de datos no tiene efecto una vez que el bit triángulo es puesto a nivel alto. El usuario puede utilizar esta función para realizar un barrido automático entre dos frecuencias cualesquiera desde 0 Hz hasta la mitad de la frecuencia del reloj del sistema. En el modo FSK por rampa con el bit de triángulo puesto a nivel alto, el barrido automático de frecuencia comienza en F1 o en F2, según sea el nivel lógico de la entrada de datos FSK con el flanco de subida del bit de

triángulo. Si el bit de datos de FSK está a nivel alto o bajo, el barrido se inicia en F2 o en F1 respectivamente.

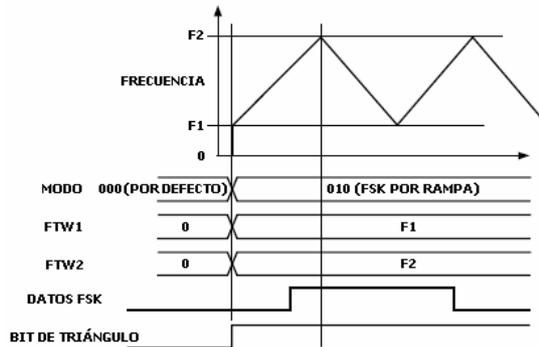


Fig. 2. Efecto del bit de triángulo en el modo FSK por rampa.

III. DISEÑO DE LA LÓGICA DE CONTROL

La lógica de control del DDS se diseña para la PLD EPM7128S [4] de Altera, usando el software de diseño MAX+PLUS II [5]. En la Fig. 3 se muestra el diagrama de bloques, donde a partir de una señal de inicialización y un reloj externo se generan las señales de control y los datos (40 bytes) para programar el AD9852. En la Fig. 11 se observa un detalle de la simulación del comportamiento de la PLD, donde se tienen los 40 pulsos necesarios de la señal de escritura (W_CLK) y la señal de actualización de frecuencia (FQ_UP).

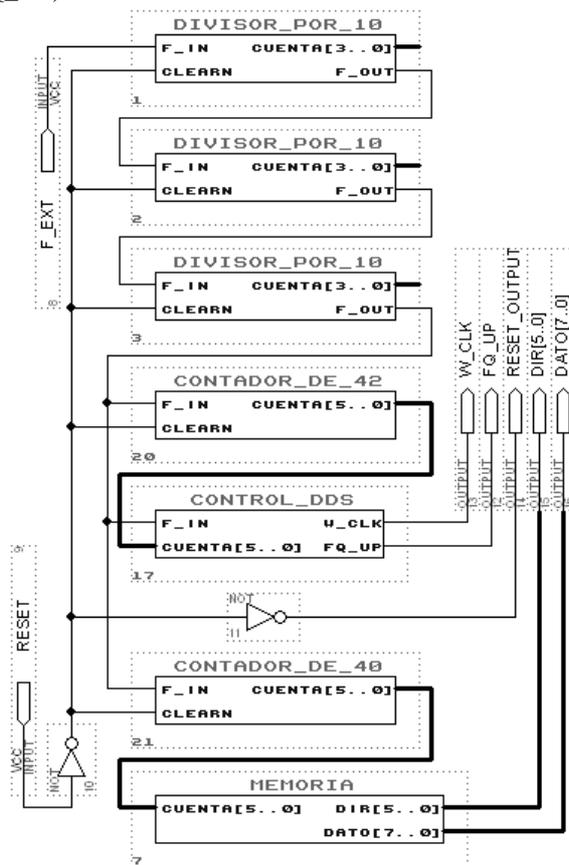


Fig. 3. Diagrama de bloques de la lógica de control.

IV. PROTOTIPO

Una placa independiente (Fig. 4) se diseñó para el DDS y algunos de sus componentes externos, de las que se crearon varias, tanto con encapsulados que incluyen o no el disipador de potencia .

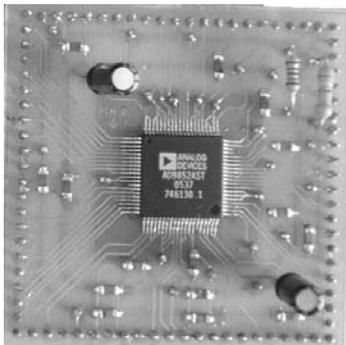


Fig. 4. Placa que incluye el DDS AD9852.

La placa del DDS se inserta en la placa donde se encuentra la PLD, el conector de programación, los osciladores de reloj necesarios y los pines para las señales de diagnóstico. El prototipo final se muestra en la Fig. 5.

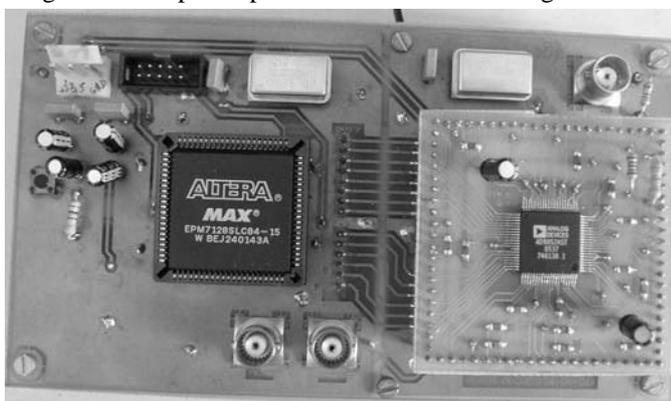


Fig. 5. Prototipo generador de señal de barrido programable usando el sintetizador digital de frecuencia AD9852 de Analog Devices.

V. RESULTADOS

Se generó la señal de barrido para las frecuencia de reloj interno del DDS de 30, 120, 210 y 300 MHz. Estos valores se consiguieron a partir de un oscilador a cristal externo de 30 MHz usando el multiplicador de señal de reloj del DDS por 4, 7 y 10 en los últimos tres casos. En la Fig. 6 se muestra la señal en el dominio del tiempo para la frecuencia del reloj interno de DDS de 300 MHz, donde se comprueba que la frecuencia de la señal capturada está entre 9 y 11 MHz. En la Fig. 7 se comprueba que la frecuencia de muestreo coincide con la del reloj interno del DDS.

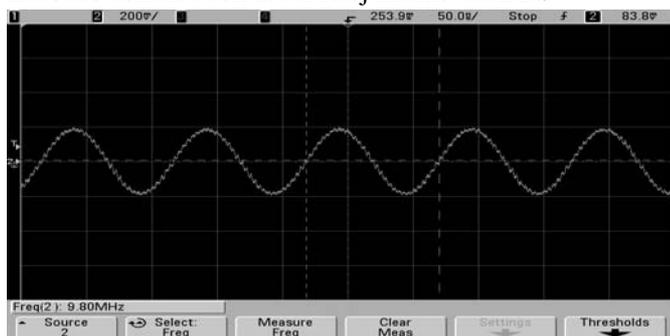


Fig. 6. Señal de barrido para una frecuencia de reloj interna del DDS de 300 MHz.

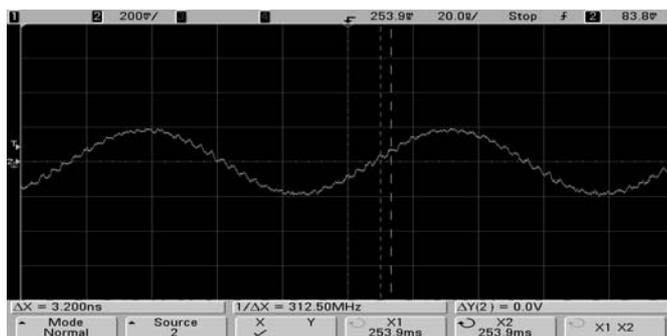


Fig. 7. Comprobación de la frecuencia de muestreo (300 MHz) en la señal de barrido.

En la Fig. 8 se observa el espectro (0-350 MHz) de la señal de salida del DDS para la frecuencia de reloj interna de 300 MHz, donde se tiene el armónico parásito en el nulo teórico de la frecuencia de muestreo (300 MHz); y la señal de barrido deseada en torno a 10 MHz, así como su réplica por ser una señal muestreada (290 y 310 MHz).

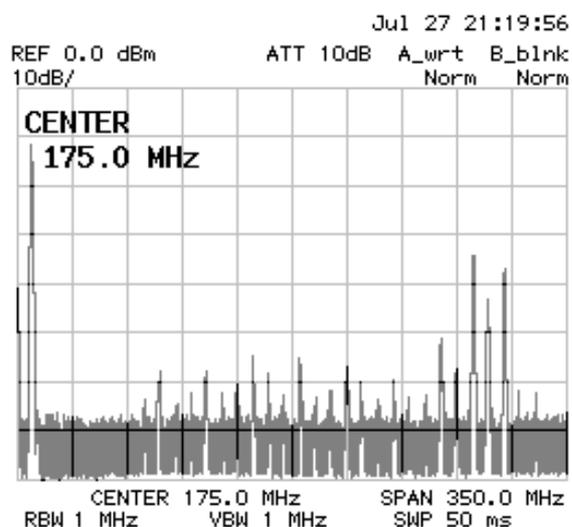


Fig. 8. Espectro de la señal de salida del DDS (reloj de 300 MHz).

En la Fig. 9 se observa el espectro (7,5-12,5 MHz) de la señal de barrido deseada y sus componentes de frecuencia desde 9 hasta 11 MHz.

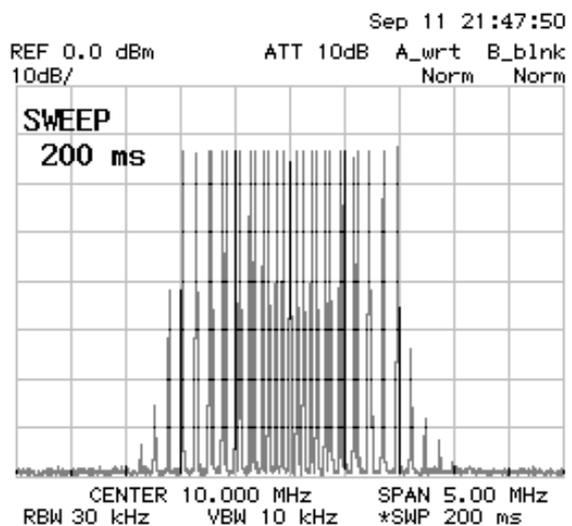


Fig. 9. Señal de barrido generada de 9-11 MHz (reloj de 300 MHz).

VI. CONCLUSIONES

El diseño se ha realizado de forma modular, lo que permite rediseñar una parte sin tener que repetir el sistema completo. Además esto permitió poner a prueba el AD9852 sin disipador térmico, comprobando su alcance en frecuencia y el calentamiento producido.

El DDS puede ser programado, lo que facilita su control desde computadores o desde otro tipo de elementos que realicen dicha tarea, como puede ser un dispositivo lógico programable.

La programación del DDS en este caso se ha realizado a partir de un dispositivo lógico programable usando lenguaje de descripción hardware. El dispositivo usado en este proyecto es reprogramable en el propio sistema, pues posee el conector necesario para ello. Esto permite cambiar los parámetros de barrido e incluso el modo de funcionamiento del AD9852.

Los DDS ofrecen muchas posibilidades tanto en la electrónica de instrumentación como de comunicaciones. En particular el DDS AD9852 ofrece amplias prestaciones de funcionamiento, aunque claramente esta especializado en actuar como generador de barrido en diferentes modalidades.

AGRADECIMIENTOS

Hay que agradecer al fabricante Analog Devices la donación de muestras gratuitas del DDS objeto de este trabajo, algunos de ellos incluyendo disipador térmico.

Dede agradecerse también a la empresa Altera Corporation la donación de un kit didáctico para los circuitos digitales programables. Este kit consiste fundamentalmente en la placa UP1 para educación dentro del programa universitario de Altera (*Altera University Program, AUP*).

Este trabajo recibió un primer premio a nivel nacional por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación en noviembre de 2006.

REFERENCIAS

- [1] "A Technical Tutorial on Digital Signal Synthesis", Analog Devices, 1999.
http://www.analog.com/UploadedFiles/Tutorials/450968421DDS_Tutorial_rev12-2-99.pdf
- [2] Robert K. Dueck, "Digital Design with CPLD Applications and VHDL", Thomson Delmar Learning, 2001.
- [3] "AD9852 CMOS 300 MHz Complete DDS Synthesizer Data Sheet", Analog Devices, 2005.
http://www.analog.com/UploadedFiles/Data_Sheets/AD9852.pdf
- [4] "EPM7128 Data Sheet, MAX 7000 Programmable Logic Device Family", Altera Corporation, 2005.
<http://www.altera.com/literature/ds/m7000.pdf>
- [5] "MAX+PLUS II. Getting Started", Altera Corporation, San José, 1997.
<http://www.altera.com/literature/univ/mpgs4.pdf>

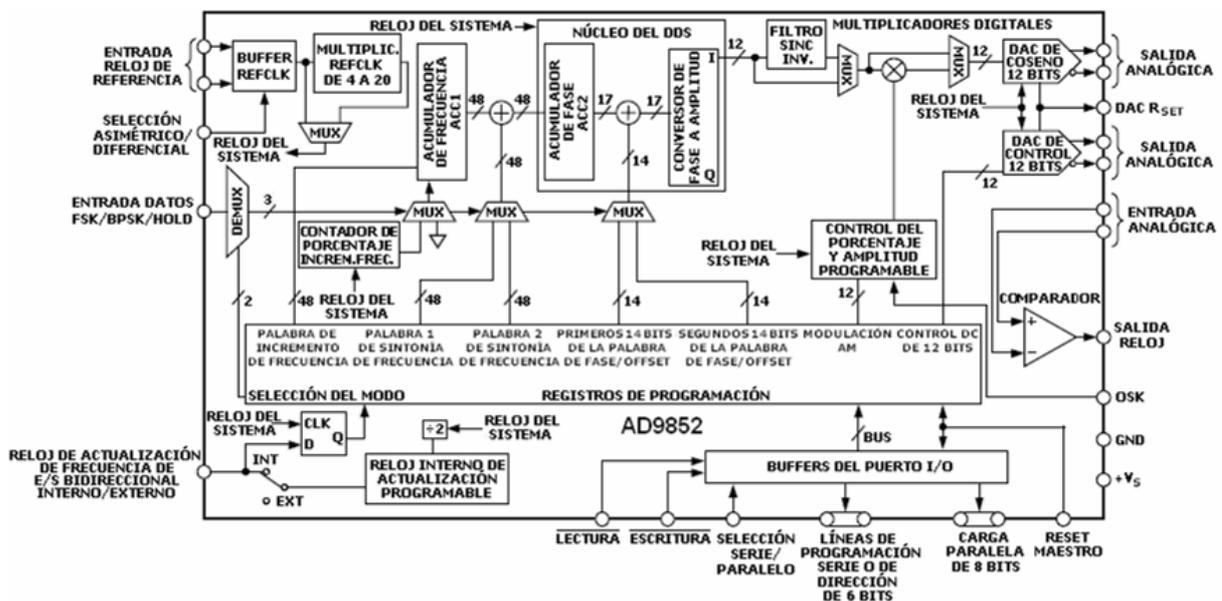


Fig. 10. Diagrama de bloques del DDS AD9852.

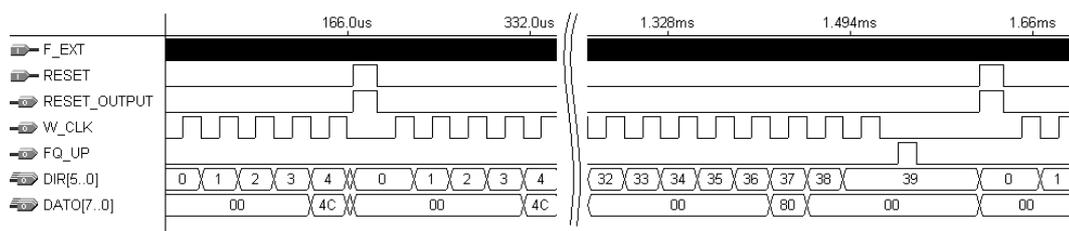


Fig. 11. Simulación global de la lógica de control del DDS.