### D/D<sup>a</sup>. PEDRO PEREZ CARBALLO , SECRETARIO/A DEL INSTITUTO UNIVERSITARIO DE MICROELECTRÓNICA APLICADA DE LA UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA,

#### CERTIFICA,

Que el Consejo de Doctores del Departamento en su sesión de fecha. 22/04/2013.....tomó el acuerdo de dar el consentimiento para su tramitación, a la tesis doctoral titulada "Sigma-Delta Frequency Synthesizer for DVB-SH" presentada por el doctorando D. Jesús Rubén Pulido Medina y dirigida por los Doctores D. Javier del Pino Suárez, D. Sunil Lalchand Khemchandani y D. Antonio Hernández Ballester.





Departamento/Instituto/Facultad: Instituto Universitario de Microelectrónica Aplicada

Programa de doctorado: Ingeniería de Telecomunicación Avanzada

Título de la Tesis

#### "SIGMA DELTA (ΣΔ) FREQUENCY SYNTHESIZER FOR DVB-SH"

Tesis Doctoral presentada por D. Jesús Rubén Pulido Medina

Dirigida por el Dr. D. Javier del Pino Suárez

Codirigida por el Dr. D. Sunil Lalchand Khemchandani

Codirigida por el Dr. D. Antonio Hernández Ballester

**El Director**,

Los Codirectores,

El Doctorando,

(firma)

(firma)

(firma)

Las Palmas de Gran Canaria, a 17 de ARAL de 2013

No fue la montaña lo que conquistamos, sino a nosotros mismos. Sir Edmund Hillary.

### Agradecimientos

Si le soy sincero, realizar esta sección ha sido un auténtico desafío. No crea que por falta de personas a las que agradecer el apoyo dado en este trabajo de tesis, sino por todo lo contrario: temo dejarme a alguien en el tintero. Por tanto, pido disculpas de antemano por si alguien cree que debiera estar incluido en este reconocimiento. Sólo le pido que si no es mencionado, no crea que haya sido por acritud, sino por un cerril olvido.

Me gustaría comenzar agradeciendo a mis tutores Javier, Sunil y Antonio la confianza depositada en mí ante una tarea de tal envergadura. Sin el apoyo y orientación de ellos, nunca podría haber recalado en buen puerto este barco. Espero que la culminación del trabajo haya estado a la altura de las expectativas creadas inicialmente.

Del mismo modo me gustaría agradecer al Cabildo de Gran Canaria su programa de investigación destinado a la formación de futuros doctores, como es mi caso, al ser beneficiario de su mecenazgo. Espero que este trabajo sea plasmado en un proyecto de aplicación real y que esta nuestra isla, pueda beneficiarse de la impronta y conocimientos generados por esta tesis.

No puedo olvidar a mis compañeros de las Universidades de Sevilla y San Sebastián, que fueron una pieza clave en la consecución del proyecto asociado a esta tesis. Su experiencia y *background* en el desarrollo electrónico arrojó luz en aquellos puntos negros con los cuales me encontré en el transcurso de este trabajo.

Del mismo modo, también agradezco a mis compañeros de laboratorio y a mis alumnos de proyecto el camino que hemos compartido durante estos años en este Instituto de Investigación.

Dicho Instituto de Investigación (IUMA), del cual me siento un orgulloso miembro, me ha permitido durante toda mi trayectoria investigadora plasmar mi trabajo cediéndome instalaciones, equipos y documentación, material gracias al cual se consolidaron los cimientos de mi carrera.

Sería una total desconsideración no mencionar a mi familia, incluyendo a mis amigos, no sólo por su apoyo, sino por hacer que no olvidase otros aspectos importantes de la vida, y como acompasarlos con el trabajo. Llegados a este punto creo que no olvido a nadie, aunque tengo la sensación de que me dejo a alguien fundamental. Ahora recuerdo, me olvidaba de usted. Si, amigo mío, es a usted a quien dirijo mis últimos agradecimientos. Sin usted, sin su escudriñante lectura de este trabajo o sin su crítica evaluación, este documento no tendría sentido. Este pliego sólo cobra vida cuando usted lo disecciona con el bisturí de la razón. Sinceramente, gracias.

### **Outline of the Research**

The main objective of this work is the design of a Sigma Delta Synthesizer for DVB-SH, with a low cost technology (UMC 90 nm). This thesis is composed by nine chapters, which are briefly outlined in this section.

Chapter 1 introduces the reader to DVB-SH standard and outlines the research objectives. After getting an insight into the research context, Chapter 2 shows the optimum synthesizer architecture for the standard.

The design of the VCO (Voltage Controlled Oscillator) is presented in Chapter 3. In this section, new techniques for the reduction of the phase noise are shown. Also the chapter presents the measurements of the circuit.

Chapter 4 is devoted to the design of a fast divider by two and a programmable divider. The fast divider is designed replacing the typical CML latch clocking network by a single clock transistor pair. The circuit is integrated with the VCO, showing the measurement results. On the other hand, the programmable divider is designed using high level design tools, from a RTL description.

In Chapter 5 an implementation of a Sigma Delta Modulator is presented, which is used in the fractional architecture of the synthesizer. Several design techniques are used, like the  $gm/I_D$  methodology. This technique shows low power consumption. Also the measurements of a Sigma Delta Modulator based on *biquad* filter are shown in this section.

Chapter 6 shows the design of a phase frequency detector and a charge pump. As in the previous blocks, optimization techniques are given. The main optimization technique is the reduction of the Dead Zone of the detector, in order to reduce the phase noise at the output of the synthesizer.

Chapter 7 illustrates the implementation of the Synthesizer Loop Filter using optimized methods, like the technique developed by Fujitsu [FUJI02].

Chapter 8 presents several simulations of the whole system with the circuits designed in the previous chapters. The simulations show the stability, the phase noise and the transient response of the synthesizer.

Finally, Chapter 9 gives several conclusions and future research lines.

# Índice

| Capítu | Capítulo 11 |   |   |
|--------|-------------|---|---|
| Introd | ucción      |   | 1 |
|        | 1.1         | El Estándar DVB-SH  | 2 |
|        | 1.1.1       | Introducción  | 2 |
|        | 1.1.2       | Rango de frecuencias de trabajo                                   | 9 |
|        | 1.1.3       | Receptor de conversión directa o ZERO-IF1                         | 0 |
|        | 1.2         | Objetivos y Estructura de la memoria1                             | 1 |
| Capítu | ılo 2       | 1   | 5 |
| Elecci | ón de la    | a arquitectura de sintetizador1                                   | 5 |
|        | 2.1         | Requisitos del Estándar DVB-SH1                                   | 6 |
|        | 2.1.1       | Ruido de fase (Phase Noise)1                                      | 6 |
|        | 2.2         | Conceptos básicos de los sintetizadores de frecuencia1            | 7 |
|        | 2.2.1       | Sintetizador básico1  | 8 |
|        | 2.2.2       | Configuraciones de sintetizadores2                                | 0 |
|        | 2.2.2.1     | Sintetizador con divisor programable2                             | 1 |
|        | 2.2.2.2     | Sintetizador con divisores fijo y programable2                    | 1 |
|        | 2.2.2.3     | Sintetizador Fraccional   | 2 |
|        | 2.2.2.3.    | 1 Sintetizador de Doble Módulo2                                   | 3 |
|        | 2.2.2.3.    | 2 Sintetizador con Modulador Sigma Delta (SD ó $\Sigma\Delta$ )24 | 4 |
|        | 2.2.3       | Elección de la arquitectura del sintetizador2                     | 7 |
|        | 2.3         | Resumen   | 7 |
| Capítu | ılo 3       |   | 9 |
| El Oso | cilador     | Controlado por Tensión (VCO)2                                     | 9 |
|        | 3.1         | Introducción  | 0 |
|        | 3.1.1       | Flujo de diseño del VCO   | ) |
|        | 3.1.2       | Especificaciones del VCO  | 2 |

|        | 3.1.3    | Elección de la arquitectura                                | .32  |
|--------|----------|--|------|
|        | 3.2      | Diseño del VCO   | . 35 |
|        | 3.2.1    | Diseño del amplificador de resistencia negativa            | .35  |
|        | 3.2.2    | Diseño del tanque  | .38  |
|        | 3.2.3    | Diseño final del VCO                                       | .41  |
|        | 3.2.4    | Layout del VCO   | .44  |
|        | 3.2.5    | Simulaciones post-layout                                   | .47  |
|        | 3.3      | Medida del VCO   | . 50 |
|        | 3.3.1    | Metodología de medida del VCO                              | .51  |
|        | 3.3.2    | Medida de la curva tensión-frecuencia y potencia de salida | .54  |
|        | 3.3.3    | Medida del ruido de fase                                   | .58  |
|        | 3.4      | Resumen  | 60   |
| Capítu | ılo 4    |  | 63   |
| Diviso | or Rápic | lo y Divisor programable                                   | 63   |
|        | 4.1      | Divisor Rápido entre 2                                     | 65   |
|        | 4.1.1    | Latch CML Básico   | 65   |
|        | 4.1.2    | Single Bias Latch  | 66   |
|        | 4.1.3    | Implementación Física y Unión con el VCO                   | . 68 |
|        | 4.1.4    | Simulaciones post-layout                                   | 72   |
|        | 4.1.5    | Medida del Divisor Rápido                                  | 75   |
|        | 4.1.5.1  | Medida de la curva tensión-frecuencia y potencia           | 77   |
|        | 4.1.5.2  | Medida del ruido de fase                                   | . 80 |
|        | 4.2      | Divisor Programable  | . 81 |
|        | 4.2.1    | Elección de Factor de División                             | . 81 |
|        | 4.3      | Resumen  | 83   |

| Capítu | ılo 5    |  |
|--------|----------|--|
| Modul  | lador Si | gma Delta  |
|        | 5.1      | Introducción a la modulación Sigma Delta86                                 |
|        | 5.2      | Estabilidad de los moduladores Sigma-Delta91                               |
|        | 5.3      | Moduladores Sigma-Delta en Tiempo Continuo                                 |
|        | 5.3.1    | Diseño de moduladores Sigma-Delta en Tiempo Continuo94                     |
|        | 5.3.1.1  | Diseño de moduladores SDTC en el Dominio Analógico95                       |
|        | 5.3.1.2  | Diseño de moduladores SDTC basado en la Respuesta Invariante al<br>Impulso |
|        | 5.3.1.2. | 1 Arquitecturas de implementación98  |
|        | 5.4      | Diseño de un modulador SDTC en la tecnología 90 nm de UMC100               |
|        | 5.4.1    | Estructuras para el modulador Sigma-Delta101                               |
|        | 5.4.2    | Diseño del Amplificador Operacional de Transconductancia105                |
|        | 5.4.3    | Diseño del Comparador110   |
|        | 5.5      | Simulación de los moduladores Sigma-Delta propuestos116                    |
|        | 5.6      | Layout del modulador Sigma-Delta119  |
|        | 5.7      | Medida del Modulador Sigma Delta121  |
|        | 5.8      | Escalado de los coeficientes126  |
|        | 5.9      | Resumen  |
| Capítu | ılo 6    |  |
| Compa  | arador   | Fase Frecuencia y Bomba de Carga   |
|        | 6.1      | Detector de fase   |
|        | 6.1.1    | Detector digital de fase frecuencia  |
|        | 6.2      | Bomba de carga   |
|        | 6.3      | Diseño de PFD, Bomba de carga y solución de la zona muerta141              |
|        | 6.3.1    | La zona muerta en un sintetizador141                                       |
|        | 6.3.2    | Diseño del PFD   |
|        | 6.3.3    | Diseño de la Bomba de Carga150   |

|        | 6.4     | Unión del PFD y la Bomba de Carga152                                |
|--------|---------|---|
|        | 6.4.1   | Solución a la zona muerta154  |
|        | 6.4.2   | Diseño final a nivel de <i>layout</i>                               |
|        | 6.5     | Resumen   |
| Capíti | ılo 7   |   |
| Filtro | de Buc  | <b>le</b> 163   |
|        | 7.1     | Introducción164   |
|        | 7.2     | Diseño del filtro para el sintetizador DVB-SH168                    |
|        | 7.3     | Resumen   |
| Capíti | ılo 8   |   |
| Simul  | ación d | <b>el Sistema</b> 173   |
|        | 8.1     | Introducción174   |
|        | 8.2     | Simulación de la respuesta de bucle175                              |
|        | 8.3     | Simulación del ruido de fase  |
|        | 8.3.1   | Contribución al ruido del Filtro de Bucle181                        |
|        | 8.3.2   | Contribución al ruido del Comparador de Fase y la Bomba de Carga181 |
|        | 8.3.3   | Contribución al ruido del VCO184                                    |
|        | 8.3.4   | Contribución de ruido del Divisor187                                |
|        | 8.3.5   | Parámetros de ruido de la Señal de Referencia                       |
|        | 8.3.6   | Ruido de fase del Sintetizador                                      |
|        | 8.4     | Simulación de la respuesta transitoria192                           |
|        | 8.5     | Resumen   |
| Capítı | ılo 9   |   |
| Concl  | usiones | 5   |
|        | 9.1     | Líneas Futuras  |
| Biblio | grafía  |   |
| Biblio | grafía  |   |
| Anexo  | )S      |   |

| Anexo                          | Anexo A                             |  |     |  |
|--------------------------------|-------------------------------------|--|-----|--|
| Requi                          | Requisitos del Receptor para DVB-SH |  |     |  |
|                                | A.I                                 | Requisitos C/N (Carrier to Noise)                  | 220 |  |
|                                | A.II                                | Máximos niveles de señal a la entrada              | 223 |  |
|                                | A.III                               | Sensibilidad y Figura de Ruido                     | 223 |  |
|                                | A.IV                                | Rango Dinámico                                     | 225 |  |
|                                | A.V                                 | Control Automático de Ganancia                     | 226 |  |
|                                | A.VI                                | Requisitos de Linealidad                           | 227 |  |
|                                | A.VII                               | Requisitos de Rechazo de Canal                     | 232 |  |
|                                | A.VIII                              | Sumario de Especificaciones del receptor de DVB-SH | 233 |  |
| Anexo                          | » B                                 |  | 235 |  |
| Diseño del Divisor Programable |                                     |  | 235 |  |
|                                | B.I                                 | Flujo de Diseño                                    | 236 |  |
|                                | B.II                                | Generación del código (Herramienta ModelSim®)      | 237 |  |
|                                | B.III                               | Comprobación del código (Herramienta Leda®)        | 241 |  |
|                                | B.IV                                | Síntesis Lógica (Herramienta Design Compiler®)     | 243 |  |
|                                | B.V                                 | Placement and Routing (Herramienta Encounter®)     | 250 |  |
| Anexo                          | • C                                 |  | 255 |  |
| Metoc                          | lología                             | $g_m/I_D$  | 255 |  |
|                                | C.I                                 | Metodología $\rm g_m/I_D$                          | 256 |  |
|                                | C.II                                | Niveles de Inversión del Transistor                | 256 |  |
|                                | C.III                               | La curva $\rm g_m/\rm I_D$ vs. $\rm I_D/(W/\rm L)$ | 260 |  |
| Anexo                          | D                                   |  | 263 |  |
| Contri                         | ibucion                             | es a Congresos y Revistas                          | 263 |  |

# Índice de Figuras

| Figura 1.1. | Redes de Distribución de DVB, con componentes satelital, cableada y de distribución convencional terrestre a través de antenas repetidoras |  |  |
|-------------|--|--|--|
| Figura 1.2. | Redes de Distribución de DVB-H4  |  |  |
| Figura 1.3. | Sistema de transmisión DVB-SH7   |  |  |
| Figura 1.4. | Transmisión Unisatelital vs Transmisión Multisatelital8  |  |  |
| Figura 1.5. | Rango de frecuencias10   |  |  |
| Figura 1.6. | Arquitectura de Conversión Directa (Zero-IF)11   |  |  |
| Figura 1.7. | Sintetizador Fraccional Sigma Delta12  |  |  |
| Figura 2.1  | Ruido de fase asociado a un Oscilador16  |  |  |
| Figura 2.2  | Sintetizador básico basado en PLL  |  |  |
| Figura 2.3  | Sintetizador con divisor programable21   |  |  |
| Figura 2.4  | Sintetizador con divisores fijo y programable22  |  |  |
| Figura 2.5  | Sintetizador de frecuencia con divisor de doble módulo24   |  |  |
| Figura 2.6  | Sintetizador de frecuencia con divisor de doble módulo controlado por un modulador SD25  |  |  |
| Figura 2.7  | Sintetizador Fraccional Sigma Delta26  |  |  |
| Figura 3.1. | Flujo de diseño del VCO31  |  |  |
| Figura 3.2. | Oscilador LC sintonizado visto como un circuito realimentado (a),<br>estructura básica de realimentación (b)                               |  |  |
| Figura 3.3. | Esquema simplificado del VCO (a), y configuración para el cálculo de la resistencia negativa (b)   |  |  |
| Figura 3.4. | Modelo en pequeña señal para el transistor MOS35   |  |  |
| Figura 3.5. | Circuito en pequeña señal para el cálculo de la resistencia negativa del par<br>cruzado  |  |  |
| Figura 3.6. | VCO con red de realimentación de corriente37   |  |  |
| Figura 3.7. | Configuración del tanque utilizada38   |  |  |

| Figura 3.8.  | Gestor de bobinas de la tecnología UMC 90 nm 40   |
|--------------|---|
| Figura 3.9.  | Layout de la bobina generada41  |
| Figura 3.10. | Esquemático final del VCO43   |
| Figura 3.11. | Layout del VCO diseñado45   |
| Figura 3.12. | Detalle del <i>layout</i> del VCO   |
| Figura 3.13. | Solución a los problemas de antena47  |
| Figura 3.14. | Simulación post-layout del ruido de fase del VCO  |
| Figura 3.15. | Simulación post-layout de la curva de frecuencia de salida en función de la tensión de control                |
| Figura 3.16. | Simulación post-layout de la respuesta transitoria del VCO49  |
| Figura 3.17. | Fotografía del chip fabricado con el VCO resaltado51  |
| Figura 3.18. | Esquema de montaje requerido para medir el VCO52  |
| Figura 3.19. | Esquema de montaje requerido para realizar la calibración de las pérdidas de potencia en la medida de los VCO |
| Figura 3.20. | Curva medida tensión vs frecuencia del VCO55  |
| Figura 3.21. | Espectro de salida del VCO (Atenuación de 10 dB)56  |
| Figura 3.22. | Ruido de fase del VCO (Vtune= 0 V)58  |
| Figura 3.23. | Ruido de fase del VCO (Vtune= 1 V)58  |
| Figura 4.1.  | Estructura Latch CML Master-Slave   |
| Figura 4.2.  | Single Bias Latch   |
| Figura 4.3.  | Layout del VCO con el divisor rápido  |
| Figura 4.4.  | Zoom del Layout del Divisor Rápido70  |
| Figura 4.5.  | Esquemático del buffer de adaptación utilizado71  |
| Figura 4.6.  | Simulación post-layout del ruido de fase de la unión del VCO con el divisor                                   |
| Figura 4.7.  | Simulación post-layout de la curva de frecuencia de salida en función de la tensión de control74              |
| Figura 4.8.  | Señal transitoria de salida del sistema75   |
| Figura 4.9.  | Fotografía del chip fabricado con el VCO + Divisor resaltado76  |

| Figura 4.10. | Set-up de medida del VCO con el Divisor77                                   |
|--------------|---|
| Figura 4.11. | Espectro de salida del divisor78  |
| Figura 4.12. | Curva medida tensión vs frecuencia del VCO + Divisor79                      |
| Figura 4.13. | Ruido de fase del VCO + Divisor (Vtune= 1 V)80                              |
| Figura 5.1   | Modulador Sigma-Delta Clásico   |
| Figura 5.2   | Modulador Sigma-Delta lineal  |
| Figura 5.3   | Actuación de un modulador Sigma-Delta88                                     |
| Figura 5.4   | Modulador Sigma-Delta discreto  |
| Figura 5.5   | Modulador Sigma Delta de tiempo continuo92                                  |
| Figura 5.6   | Modulador SDTC totalmente analógico95                                       |
| Figura 5.7   | Moduladores en lazo abierto97   |
| Figura 5.8   | Arquitectura genérica de un modulador SDTC100                               |
| Figura 5.9   | Modulador Sigma Delta de tiempo continuo y orden 2101                       |
| Figura 5.10  | Modulador Sigma-Delta de orden dos empleando integradores102                |
| Figura 5.11  | Modulador Sigma-Delta empleando un filtro biquad de segundo orden102        |
| Figura 5.12  | Integrador Gm-C diferencial103  |
| Figura 5.13  | Filtro <i>biquad</i> 103  |
| Figura 5.14  | Latch-Comparator + Preamplificador104                                       |
| Figura 5.15  | DAC de realimentación105  |
| Figura 5.16  | Cascodo doblado107  |
| Figura 5.17  | Análisis AC del OTA110  |
| Figura 5.18  | Preamplificador112  |
| Figura 5.19  | Simulación AC del preamplificador112  |
| Figura 5.20  | Latch-Comparator114   |
| Figura 5.21  | Preamplificador +Latch-Comparator incluyendo las puertas de transmisión<br> |
| Figura 5.22  | Espectro del modulador con integradores118                                  |

| Figura 5.23 | Espectro de salida del modulador con filtro biquad   | .118        |
|-------------|--|-------------|
| Figura 5.24 | Layout del modulador Sigma-Delta.  | .119        |
| Figura 5.25 | Zoom del layout del modulador Sigma-Delta  | .120        |
| Figura 5.26 | Resultado de la simulación post-layout del modulador   | .121        |
| Figura 5.27 | Setup de medida del modulador  | .122        |
| Figura 5.28 | Fotografía del chip fabricado con el Modulador resaltado   | .122        |
| Figura 5.29 | Fotografía del <i>Set-up</i> de Medida   | .123        |
| Figura 5.30 | Fotografía de la estación de puntas  | .123        |
| Figura 5.31 | Fotografía de las puntas de medida   | .124        |
| Figura 5.32 | Resultado de la medida del modulador.  | .125        |
| Figura 5.33 | Espectro de salida con la salida de los integradores limitada  | .126        |
| Figura 5.34 | Modulador Sigma Delta con coeficientes escalados   | .129        |
| Figura 5.35 | Resultado del modulador de orden dos con los coeficientes escalados  | .130        |
| Figura 6.1  | Diferentes tipos de detectores de fase   | .135        |
| Figura 6.2  | Diagrama de estados de un detector de fase-frecuencia  | .136        |
| Figura 6.3  | Esquema básico de un sintetizador asociado a una bomba de carga  | .139        |
| Figura 6.4  | Esquema de una bomba de carga  | .140        |
| Figura 6.5  | Zona muerta  | .142        |
| Figura 6.6  | Respuesta del error de fase frente a la tensión de salida en un PFD; a) zona muerta, y b) sin zona muerta. | con<br>.143 |
| Figura 6.7  | Diagrama de bloques del PFD  | .144        |
| Figura 6.8  | Transición de las señales del PFD  | .145        |
| Figura 6.9  | Diagrama de bloques del biestable tipo D   | .146        |
| Figura 6.10 | Esquemático de la NOR2   | .146        |
| Figura 6.11 | Esquemático de la AND2   | .147        |
| Figura 6.12 | Simulación de la respuesta del PFD, señal V retrasada respecto a R   | .148        |
|             |  |             |

| Figura 6.14 | Simulación de la respuesta del PFD, señal V en fase con R149                                  |
|-------------|---|
| Figura 6.15 | Simulación de la respuesta en fase y la ganancia del PFD150                                   |
| Figura 6.16 | Esquemático de la bomba de carga151   |
| Figura 6.17 | Simulación de la respuesta del PFD y la CP, señal V retrasada respecto a R<br>                |
| Figura 6.18 | Simulación de la respuesta del PFD y la CP, señal V adelantada respecto a R<br>               |
| Figura 6.19 | Simulación de la respuesta del PFD y la CP, señal V en fase con R153                          |
| Figura 6.20 | Simulación de la respuesta del PFD y la CP; a) entre $-2\pi$ y $+2\pi$ , y b) próximo a 0°154 |
| Figura 6.21 | Diagrama de bloques del circuito propuesto para eliminar la zona muerta<br>156                |
| Figura 6.22 | Respuesta del PFD con bomba de carga sin zona muerta, señal V retrasada con respecto a R      |
| Figura 6.23 | Respuesta del PFD con bomba de carga sin zona muerta, señal V<br>adelantada respecto a R158   |
| Figura 6.24 | Respuesta del PFD con bomba de carga después de los cambios realizados.<br>                   |
| Figura 6.25 | Simulación de la respuesta en fase, análisis centrado en 0º159                                |
| Figura 6.26 | Layout del PFD y la CP con los pads de medida160  |
| Figura 6.27 | Zoom del Layout del PFD y la CP más 18 inversores en el path de RESET<br>161                  |
| Figura 6.28 | Simulación final del circuito162  |
| Figura 7.1  | Respuesta en frecuencia de tipos básicos de filtros. Respuesta ideal vs<br>respuesta real     |
| Figura 7.2  | Especificaciones prácticas de la atenuación del filtro166                                     |
| Figura 7.3  | Funciones de transferencia típicas para filtros de cuatro polos167                            |
| Figura 7.4  | Componentes del filtro de bucle168  |
| Figura 7.5  | Valores de los componentes del filtro de bucle171   |
|             |   |

| Figura 8.1 | Setup para e | l estudio de la | estabilidad del | l sintetizador |  |
|------------|--------------|-----------------|-----------------|----------------|--|
|------------|--------------|-----------------|-----------------|----------------|--|

| Figura 8.2    | Respuesta de la curva de frecuencia de salida del VCO en función de la tensión de control       |  |  |
|---------------|---|--|--|
| Figura 8.3    | Setup para el estudio de la estabilidad del sintetizador en bucle cerrado 178                   |  |  |
| Figura 8.4    | Setup para el estudio de la estabilidad del filtro de bucle178                                  |  |  |
| Figura 8.5    | Valores obtenidos de la estabilidad del sintetizador180   |  |  |
| Figura 8.6    | Componente para implementar la contribución de ruido del PFD+CP181                              |  |  |
| Figura 8.7    | Componente para implementar la contribución de ruido del PFD + CP. 182                          |  |  |
| Figura 8.8    | Valores obtenidos de la contribución de ruido del PFD +CP184                                    |  |  |
| Figura 8.9    | Caracterización del VCO mediante el componente LinVCOwNoiseSlps185                              |  |  |
| Figura 8.10   | Caracterización de la máscara del ruido de fase del VCO185                                      |  |  |
| Figura 8.11   | Ruido de fase del VCO186  |  |  |
| Figura 8.12   | Parámetros del componente LinDiv_wNoiseSlps   |  |  |
| Figura 8.13   | Parámetros de los componentes RefOscSlps y LinDiv_wNoiseSlps                                    |  |  |
| Figura 8.14   | Esquemático de simulación del Ruido de Fase del Sintetizador                                    |  |  |
| Figura 8.15   | Ruido de fase total y contribución del VCO190   |  |  |
| Figura 8.16   | Contribución de ruido de cada uno de los componentes al ruido de fase<br>total                  |  |  |
| Figura 8.17   | Esquema de los bloques del sintetizador para la simulación transitoria192                       |  |  |
| Figura 8.18   | Modulador Sigma Delta de Tiempo Continuo de orden 2 con coeficientes<br>escalados y optimizados |  |  |
| Figura 8.19   | Salida del Sintetizador193  |  |  |
| Figura 8.20   | Corriente de salida de la Bomba de Carga a lo largo del tiempo194                               |  |  |
| Figura 8.21   | Salida del modulador Sigma Delta normalizada194   |  |  |
| Figura 8.22   | Tiempo de establecimiento del Sintetizador ante un cambio de canal195                           |  |  |
| Figura A.I.   | Punto de Referencia para el Receptor de DVB-SH  |  |  |
| Figura A.II.  | Efecto de la intermodulación228   |  |  |
| Figura A.III. | Medida del IP3 referido a la entrada229   |  |  |
| Figura A.IV.  | Canal deseado y dos señales interferentes231  |  |  |

| Figura B.I    | Herramientas para realizar diseño ASIC con técnicas digitales  | 236          |
|---------------|--|--------------|
| Figura B.II   | Esquema del Divisor entre 27   | 237          |
| Figura B.III  | Código HDL del Divisor entre 27.   | 238          |
| Figura B.IV   | Código HDL del TestBench del Divisor entre 27  | 239          |
| Figura B.V    | Simulación del Divisor entre 27  | 240          |
| Figura B.VI   | Comprobación de la señal RESET.  |              |
| Figura B.VII  | Captura de pantalla del <i>software</i> Leda®  | 241          |
| Figura B.VIII | Report Generado por el software Leda®  | 242          |
| Figura B.IX   | Flujo de diseño de la herramienta Design Compiler®   | 243          |
| Figura B.X    | Pasos a seguir con Design Compiler®  | 244          |
| Figura B.XI   | Netlist generada por Design Compiler®  |              |
| Figura B.XII  | Diagrama lógico del Divisor entre 27   | 247          |
| Figura B.XIII | Informe de Timing del Divisor.   |              |
| Figura B.XIV  | Informe de Área del Divisor  | 249          |
| Figura B.XV   | Flujo de diseño de la herramienta Encounter®   |              |
| Figura B.XVI  | Layout del Divisor   | 252          |
| Figura B.XVII | Simulación del Divisor Final, (a) Comprobación funcionamiento; (b) Comprobación de la señal de Reset | del correcto |
| Figura C.I    | Curva característica ID vs. VGS  | 257          |
| Figura C.II   | Etapa de ganancia intrínseca   |              |
| Figura C.III  | Flujo para realizar la metodología gm/ID   |              |
| Figura C.IV   | Circuito para simular la gráfica $g_m/I_D$   |              |
| Figura C.V    | Curva gm/ID vs. ID (W/L) del transistor NMOS   |              |
| Figura C.VI   | Curva gm/ID vs. ID (W/L) del transistor PMOS   |              |

## Índice de Tablas

| Tabla 2.1. | Requisitos de Ruido de Fase para DVB-SH   | 17             |
|------------|---|----------------|
| Tabla 3.1. | Especificaciones del VCO  | 32             |
| Tabla 3.2. | Valores de los componentes del tanque   | 41             |
| Tabla 3.3. | Valores de los componentes del VCO.   | 44             |
| Tabla 3.4. | Ruido de fase del VCO obtenido de las simulaciones post-layout                                    | 48             |
| Tabla 3.5. | Medida de la potencia y frecuencia de salida de VCO   | 54             |
| Tabla 3.6. | Comparación entre medidas y simulaciones del VCO (Fosc, F<br>Consumo)                             | salida y<br>57 |
| Tabla 3.7. | Ruido de fase del VCO medido y promediado   | 59             |
| Tabla 3.8. | Comparativa del Ruido de fase del VCO medido y simulado   | 60             |
| Tabla 4.1. | Ruido de fase de la unión del VCO con el divisor rápido obtenid simulaciones <i>post-layout</i> . | o de las<br>73 |
| Tabla 4.2. | Medida de la potencia y frecuencia de salida de VCO   | 78             |
| Tabla 4.3. | Comparación entre medidas y simulaciones del VCO + Diviso<br>Psalida y Consumo)                   | r (Fosc,<br>80 |
| Tabla 4.4. | Comparativa del Ruido de fase del VCO medido y simulado   | 81             |
| Tabla 4.5. | Factores de División en función del Ancho de Banda  | 82             |
| Tabla 5.1. | Valores de los coeficientes calculados  | 101            |
| Tabla 5.2. | Especificaciones para el OTA  | 108            |
| Tabla 5.3. | Relación de tamaños de los transistores del OTA   | 109            |
| Tabla 5.4. | Características del OTA diseñado.   | 109            |
| Tabla 5.5. | Tamaño de los transistores del preamplificador  | 111            |
| Tabla 5.6. | Tamaño de los transistores del Latch-Comparator   | 115            |
| Tabla 5.7. | Resultados del Comparador diseñado  | 116            |
| Tabla 5.8. | Comparativa entre medidas y simulaciones del Modulador  | 125            |

| Tabla 5.9.  | Valores de los coeficientes escalados129   |  |
|-------------|--|--|
| Tabla 6.1   | Nivalas asociados a las soñalas da salida dal PED 137  |  |
| 1 abia 0.1. | Niveles asociados a las senales de sanda del PFD.  |  |
| Tabla 6.2.  | Triestados de una bomba de carga140  |  |
| Tabla 6.3.  | Dimensiones finales de los transistores MOSFET utilizados en el diseño de<br>las puertas lógicas que conforman el PFD145 |  |
| Tabla 6.4.  | Dimensiones de los transistores MOSFET utilizados en el diseño de la bomba de carga151                                   |  |
| Tabla 7.1.  | Dimensiones de los transistores MOSFET utilizados en el diseño de la bomba de carga169                                   |  |
| Tabla 8.1.  | Valores del Filtro de Bucle176   |  |
| Tabla 8.2.  | Valores del Filtro de Bucle tras la Optimización realizada en ADS  |  |
| Tabla 8.3.  | Valores del Filtro de Bucle tras la Optimización realizada en ADS  |  |
| Tabla 8.4.  | Máscara de ruido de fase del VCO186  |  |
| Tabla 8.5.  | Valores asignados al ruido aportado por los Divisores187   |  |
| Tabla 8.6.  | Valores asignados al ruido del componente RefOscSlps188  |  |
| Tabla 8.7.  | Valores asignados al ruido del componente LinDiv_wNoiseSlps189   |  |
| Tabla 8.8.  | Valores del ruido de fase total y comparativa con las especificaciones de DVB-SH   |  |
| Tabla A.I   | Requisitos de C/N para Canales AWGN del estándar DVB-SH220   |  |
| Tabla A.II  | Requisitos de C/N para Canales Rice y Rayleigh del estándar DVB-SH221  |  |
| Tabla A.III | Requisitos de C/N para Canales TU6 del estándar DVB-SH en función de la velocidad de desplazamiento del usuario222       |  |
| Tabla A.IV  | Patrones de Linealidad230  |  |
| Tabla A.V   | Inmunidad a los patrones S2  |  |
| Tabla A.VI  | Resumen de Especificaciones DVB-SH   |  |

# MEMORIA

# Capítulo 1

## Introducción

En este capítulo se define el estándar DVB-SH, así como las arquitecturas del receptor y del sintetizador de frecuencias.

Para ello, primero se realizará una introducción a dicho estándar dando a conocer las principales características, tales como los ámbitos de aplicación, así como las ventajas e inconvenientes que presenta con respecto a otros sistemas de comunicación.

Seguidamente se analiza la arquitectura del receptor, buscando minimizar el número de componentes para reducir el área total y la obtención del máximo nivel de integración.

Finalmente, se fijarán los objetivos que se desean alcanzar en este trabajo de tesis.

### 1.1 El Estándar DVB-SH

Este apartado comienza con una breve introducción al estándar. Posteriormente, se elegirá la arquitectura de sintetizador que mejor se adapte a los requisitos de DVB-SH.

#### 1.1.1 Introducción

La televisión digital (DVB) [EN300744] está basada en la transmisión de señales digitales de audio, video y de información auxiliar como señales de datos.

Sin embargo, dichas señales digitales son transmitidas con señales moduladoras de tiempo continuo que trasladan el espectro digital a rangos de radiofrecuencia para su difusión, por lo que las señales empleadas para la transmisión y recepción de la televisión digital son analógicas.

Además hay que tener en cuenta que dichas señales digitales poseen una elevada tasa de datos, del orden de 270 Mbps, lo que implica que deben ser comprimidas para ser trasmitidas y así evitar la saturación tanto de los dispositivos receptores como transmisores.

Para dicha compresión de datos hay diversos estándares comúnmente aplicados, como es el caso de MPEG-2 (*Moving Picture Experts Group*) [MPEG2]. Dicho sistema reduce la tasa binaria de datos a 4-6 Mbps, sin una reducción significativa de la calidad asociada al audio y video trasmitido.

Una tasa binaria menor implica una reducción del ancho de banda necesario para la difusión de las señales, contribuyendo a una gestión más eficiente del espectro radioeléctrico.

La televisión digital tiene varias ventajas con respecto a la televisión analógica. La más significativa es la referente al menor ancho de banda necesario para su transmisión. Esto toma mayor relevancia cuando dicho ancho de banda puede ser variable en función de la calidad de imagen y audio o tasa binaria deseada. Por tanto, la televisión digital permite un número mayor de canales para un ancho de banda dado con respecto a la televisión analógica.

Esta ventaja permite la transmisión de contenido en alta calidad, además de servicios multimedia adicionales que permiten la interactividad con el usuario. Además, la

televisión digital permite la multiplexación (varios programas trasmitidos en el mismo canal), visualización de guías de programas e incluso la gestión de contenido en varios idiomas, incluidos subtítulos.

Las formas más comunes de trasmitir la televisión digital son a través de satélite (DVB-S), cable (DVB-C) y redes de transmisión terrestre convencionales a través de antenas repetidoras (DVB-T), tal y como se observa en la Figura 1.1.



Figura 1.1. Redes de Distribución de DVB, con componentes satelital, cableada y de distribución convencional terrestre a través de antenas repetidoras.

Aunque DVB-T (TDT en España) permite la recepción en movimiento, se debe garantizar una intensidad y calidad mínimas cuando se está recibiendo en medios de transporte que se desplacen a altas velocidades, tales como trenes o *fast-ferrys* [GUI03], [DAW03]. Además, si se integran receptores en dispositivos como móviles, *smartphones* o *tablets*, estos requieren un reducido consumo de potencia, dada las limitaciones de batería asociadas a estos dispositivos.

El estándar DVB-H (*Digital Video Broadcasting- Handheld*) [EN302304] fue adoptado por la ETSI en 2004 para la transmisión de televisión digital específica para dispositivos móviles. DVB-H está basado en el estándar DVB-T, pero añade nuevas características que garantizan una buena calidad de recepción en interiores, con reducido consumo de potencia y permitiendo la transmisión de contenido multimedia, tal y como muestra la Figura 1.2.



Figura 1.2. Redes de Distribución de DVB-H.

DVB-H es una tecnología que distribuye servicios multimedia adaptados a los dispositivos móviles de los usuarios [JPE07], [ANT05]. Una de las razones más importantes por la que es necesario adaptar la TDT y crear la DVB-H es regular el consumo de energía en los receptores. No es lo mismo tener la televisión conectada a la red eléctrica que visualizar contenido multimedia con un teléfono móvil consumiendo energía de la batería. Para ello, se utilizan técnicas de *time-slicing* que permiten ahorrar hasta un 90% de energía.

También es necesario adaptar la calidad de la señal recibida a la que se puede visualizar en la pantalla de un móvil, que suele tener mucha menos resolución que una televisión estándar.

Una de las grandes ventajas por la cual DVB-H es compatible con DVB-T es que se puede utilizar la misma banda de frecuencias para emitir las dos, de modo que para las cadenas no será necesario un cambio de infraestructura tan costoso como cuando se pasó de televisión analógica a televisión digital. A pesar de las ventajas asociadas al estándar DVB-H, surgen una serie de inconvenientes. El primero está asociado a la reestructuración del espectro radioeléctrico en unos ya de por si saturados sistemas VHF y UHF. Teniendo en cuenta que en breve la cuarta generación móvil pasará a ocupar los canales asociados al sistema UHF, DVB-T y DVB-H deberán compartir las regiones asociadas sólo a VHF.

Por otro lado, los sistemas de transmisión para DVB-H deben de ser más potentes que los asociados a DVB-T. Aunque parezca paradójico, esto se debe a que los dispositivos móviles poseen ganancias mucho menores que los receptores y antenas convencionales. Esto fuerza a los trasmisores a emitir con un nivel de potencia más elevado, o bien a implementar una red con un número mayor de estaciones repetidoras, aumentando el coste asociado a la transmisión tradicional.

DVB- SH (*Digital Video Broadcasting- Satellite Handheld*) es un estándar que define los elementos y mecanismos necesarios para asegurar una calidad de servicio óptima (*Quality of Service-QoS*) en redes híbridas de transmisión satelitales y terrestres.

Dicho estándar ha sido definido para trabajar en la banda S. El uso de este rango de frecuencias trae consigo una serie de ventajas con respecto a VHF.

La primera de ellas es la asociada al tamaño de la antena para los terminales móviles. Es conocido por todos que la longitud de onda ( $\lambda$ ) de una señal es inversamente proporcional a su frecuencia (f), según la relación:

$$\lambda = \frac{c}{f} \tag{1.1}$$

Siendo *c* la velocidad de la luz. Por tanto a mayor frecuencia de trabajo, menor es la longitud de onda, lo que implica un menor tamaño de antena para su recepción.

Por otro lado, en Europa se ha fijado una porción de la banda S para ser utilizada en Servicios Móviles sobre Satélite (*Mobile Satellite Service –MSS*), en el rango situado entre 2.17 y 2.2 GHz. Por tanto, al contrario que VHF, existe una asignación específica para la transmisión de este tipo de señales.

Sin embargo, al igual que sucede con otros sistemas de transmisión de televisión digital, DVB-SH presenta una serie de limitaciones, tales como:

 Debido a las limitaciones de batería de los dispositivos móviles, el consumo de potencia del receptor debe ser lo menor posible.

- Dado que el usuario se traslada espacialmente mientras utiliza los servicios de televisión digital, este puede cambiar de estación con la que mantiene la comunicación. Dicho cambio debe de ser automático, sin pérdida de datos y totalmente trasparente para el usuario.
- Los servicios suministrados por DVB-SH han sido diseñados para trabajar en medios muy diversos, tales como exteriores e interiores de edificios y vehículos en movimiento. Por tanto, la transmisión debe ofrecer la suficiente estabilidad y flexibilidad para permitir la recepción de DVB-SH a diferentes tasas binarias mientras se optimiza la cobertura.
- Dado que la banda especificada para DVB-SH se encuentra muy cercana a otros estándares de comunicaciones, tales como UMTS o WiFi, tanto los receptores como los trasmisores deben poseer los medios necesarios para eliminar la interacción de dichas señales, y que no supongan una reducción de la calidad de servicio para el receptor.

Como se comentó anteriormente, DVB-SH posee una arquitectura híbrida, con una componente satelital (SC) y una componente terrestre (CGC), tal y como muestra la Figura 1.3. El funcionamiento de la red está basado en que la componente satelital sea empleada para cubrir extensas áreas que no posean repetidores que puedan dar cobertura al usuario. Del mismo modo, la componente terrestre, a través de dichas bases repetidoras, suministran el acceso a la red en aquellos puntos que la cobertura satelital no sea posible, tales como interiores de edificios o zonas rodeadas por grandes edificios.

La principal ventaja que aporta una red basada en satélites es el amplio rango de operación que poseen. De este modo, un solo satélite (*Global Beam*) puede dar cobertura a toda Europa. Sin embargo, dado que algunos contenidos pueden estar restringidos a operadores específicos en algunos países, es recomendado una red de satélites (*Multi-Beam*) que aporten servicios más regionales y específicos, tal y como muestra la Figura 1.4.



Figura 1.3. Sistema de transmisión DVB-SH.

Esta última implementación implica una segmentación del espectro para trasmitir componentes de señal en diferentes intervalos de tiempo. Al fragmentar temporalmente la información, es posible realizar una reutilización de canales y frecuencias, lo que se traduce en una optimización del espectro.

Hay dos tipos de modulaciones soportadas por el estándar, COFDM (*Coded* Orthogonal Frequency Division Multiplexing) y TDM (*Time Division Multiplexing*). La principal ventaja de COFDM es que los canales contiguos se solapan pero no se interfieren los unos a los otros debido a la ortogonalidad de las portadoras, ya que en cada canal hay un número entero de ellas [ARM02].

Sin embargo, para obtener una recepción óptima es necesario suministrar un nivel de potencia más elevado que el comúnmente suministrado por un satélite. Por tanto esta modulación está diseñada para la componente terrestre, siendo la TDM la óptima para la componente satelital. Esto es debido a que la división del espectro temporalmente implica la no interacción con canales adyacentes por parte del receptor, por lo que la señal puede tener un nivel de potencia tan bajo como la típicamente entregada por un satélite.



Figura 1.4. Transmisión Unisatelital vs Transmisión Multisatelital.

El estándar define dos capas físicas para cada una de las componentes en función de la modulación empleada:

- SH-A: En este modo, tanto la componente terrestre como satelital están moduladas en COFDM.
- SH-B: Con esta configuración, la componente satelital está modulada en TDM y la terrestre en COFDM.

Dependiendo del tipo de configuración empleada, es posible utilizar una red multifrecuencia (*Multiple Frequency Network*- MFN) o una red de frecuencia única (*Single Frequency Network*-SFN). En el modo SH-A, tanto MFN como SFN son aptas para operar.

Sin embargo, para una red de frecuencia única, es necesario que tanto la componente satelital como la terrestre posean ambas el mismo tipo de modulación, y así evitar la pérdida de información por parte del receptor. Por tanto, en el modo SH-B no es posible implementar una red SFN.

Una red multifrecuencia permite diferentes configuraciones de la capa física, permitiendo incluso modulaciones jerárquicas. Esto posibilita a los receptores locales optimizar la información que le llega desde el trasmisor.

De este modo, una red MFN disminuye los problemas asociados a la cobertura de señal y flexibiliza la carga de datos en función del número de trasmisores presentes en el área de trabajo.

Por otro lado, una red de frecuencia única posee una eficiencia espectral mejor que una red multifrecuencia, al condensar el espectro en un reducido ancho de banda.

Sin embargo, no permite a la componente terrestre post-procesar la información enviada por el satélite, estando sujeta a la configuración de este. Por este motivo, el estándar DVB-SH no exige el uso de una red de frecuencia única para el modo SH-A.

#### 1.1.2 Rango de frecuencias de trabajo

El estándar DVB-SH ofrece una gran versatilidad en lo que a frecuencias de trabajo se refiere, dando la posibilidad de emplear parte del espectro de UHF, la banda L y la banda S.

El 14 de Febrero de 2007, la Comisión Europea adoptó la normativa 2007/98/EC [ECC07] en la que se asigna el espectro de frecuencias entre 2170 y 2200 MHz para Servicios Móviles sobre Satélite (MSS) incluidos la televisión móvil.


Figura 1.5. Rango de frecuencias.

Como se puede observar en la Figura 1.5, el estándar DVB-SH se encuentra muy cercano a otros estándares de comunicaciones, tales como UMTS, *Wifi* o *Bluetooth*. Dado que la gran mayoría de terminales móviles poseen receptores para transferir datos y voz de acuerdo a estos estándares, las interferencias entre ellos pueden ser muy altas.

Por este motivo, DVB-SH exige unos altos requisitos de rechazo de canales adyacentes (*Adjacent Channel Selectivity* –ACS) y de linealidad, los cuales se han desglosado en el Anexo A.

#### 1.1.3 Receptor de conversión directa o ZERO-IF

En esta sección se analiza la arquitectura que se ha adoptado para implementar la cadena de recepción. Se analiza la arquitectura de conversión directa, donde se estudia su composición y las ventajas e inconvenientes que presenta.

El esquema de bloques de este conversor se puede observar en la Figura 1.6. La conversión a banda base se realiza con una etapa de conversión [LEE04], solventando el problema de la frecuencia imagen que ocurre con otras arquitecturas, como la heterodina.



Figura 1.6. Arquitectura de Conversión Directa (Zero-IF).

Basándose en esta arquitectura se implementará en este trabajo de tesis el sintetizador de frecuencias que trasladará el espectro a banda base para su posterior demodulación y procesado. Para ello se han de cumplir una serie de requisitos establecidos por el estándar, tal y como se verá en la siguiente sección.

# 1.2 Objetivos y Estructura de la memoria

El principal objetivo de la presente tesis es el estudio y desarrollo de un sintetizador fraccional basado en un modulador Sigma Delta para el estándar DVB-SH (ver Figura 1.7). Para tal fin se hará uso de la tecnología UMC 90 nm de *Europractice* [UMC90].



Figura 1.7. Sintetizador Fraccional Sigma Delta.

Dicho desarrollo incluye la elección y estudio de la arquitectura de sintetizador anteriormente especificada, el diseño de los bloques que la componen, la optimización de dichos circuitos y su posterior medida.

Para ello se abordará el diseño del sintetizador desde cero, desde el establecimiento de las especificaciones iniciales de cada elemento de forma razonada, hasta la implementación y medida de los bloques que lo conforman. Se intentará minimizar el área, el consumo, el número de componentes pasivos y de componentes externos.

En el desarrollo del presente trabajo de investigación se analizarán los siguientes puntos:

- Diseño de sistemas de RF utilizando ADS [ADS] a partir de las especificaciones de un estándar.
- Diseño de sistemas digitales utilizando herramientas de síntesis lógica, tales como Verilog [VERL] o VHDL [VHDL].
- Estudio teórico y diseño de moduladores Sigma Delta, divisores, osciladores controlados por tensión, sintetizadores, comparadores fase frecuencia y filtros utilizando ADS y CADENCE [CAD].

- Trazado de *layout* de dichos elementos utilizando tanto técnicas de RF como de implementación digital de células estándar.
- Medida sobre oblea de circuitos de RF.

Una vez establecidas los objetivos de este trabajo de tesis, la estructura de la presente memoria sigue el orden lógico del proceso de diseño de circuitos integrados, y es la que se indica a continuación.

En el Capítulo 2 se estudiarán las características propias del estándar DVB-SH, de la arquitectura de sintetizador y los requisitos que debe cumplir este para ajustarse a dicho estándar.

En el Capítulo 3 se comienza con el diseño del bloque más característico dentro de un sintetizador: el Oscilador Controlado por Tensión (VCO). Se comenzará por este subsistema debido a que su respuesta de cara al ruido de fase determinará en gran medida las prestaciones que se puedan conseguir. Se analizará la arquitectura genérica de estos circuitos basada en tanques LC, y se darán soluciones para su optimización de cara a la mejora de su rendimiento. Una vez diseñado, se procederá con su medida y comprobación.

En el Capítulo 4 se describirán y desarrollarán los divisores del sintetizador. Se comenzará con el diseño de un divisor rápido entre 2 totalmente analógico, con una novedosa arquitectura. Del mismo modo, se efectuará su medida sobre oblea junto con el VCO. Dicha estructura se basa en el uso de una única red de reloj para gestionar los dos *latches* del divisor. Seguidamente se implementará un divisor programable mediante herramientas de síntesis lógica.

En el Capítulo 5 se procederá con el núcleo de la arquitectura de sintetizador escogida: el modulador Sigma Delta. Dado el grado de innovación de este sistema dentro del grupo de trabajo al que se adscribe esta tesis, se comenzará con una introducción a dicha modulación. Del mismo modo se expondrán arquitecturas circuitales para su implementación física, estudiando sus ventajas y desventajas. Dichas estructuras serán desarrolladas haciendo uso de una metodología emergente de diseño basada en la polarización de los transistores MOS en regiones subumbrales. Del mismo modo, se procederá con la medida del modulador. En el Capítulo 6 se estudiará el diseño e implementación física del Comparador de Fase Frecuencia y la Bomba de Carga. Los objetivos principales que se desean alcanzar en esta sección son los diseños de un detector de fase-frecuencia con Zona Muerta Cero (*Zero Dead Zone*) y una bomba de carga. Ambas estructuradas serán diseñadas individualmente para su posterior integración conjunta.

En el Capítulo 7 se analizará el Filtro de Bucle del sintetizador. De la correcta caracterización de este componente depende en gran medida la estabilidad del sistema completo. Inicialmente se darán una serie de nociones sobre filtros, estudiando las estructuras más comúnmente empleadas en el diseño de estos. Seguidamente se diseñará el filtro de bucle para el sintetizador de DVB-SH, utilizando para ello herramientas específicas, las cuales están optimizadas para cumplir los requisitos propios de un sintetizador.

En el Capítulo 8 se procederá a la realización de una serie de simulaciones que permitirán verificar el correcto funcionamiento del sintetizador completo. Para ello se estudiarán las respuestas del sintetizador en función de la estabilidad, el ruido de fase y la respuesta transitoria a partir de las caracterizaciones de los bloques medidos. Esto permitirá establecer si el rendimiento del sistema se ajusta a los requisitos preestablecidos inicialmente por el estándar DVB-SH.

En la última sección correspondiente al Capítulo 9 se darán una serie de conclusiones, aportaciones y líneas futuras surgidas a raíz de este trabajo de tesis.

Finalmente, cabe destacar que esta tesis está circunscrita al proyecto de investigación RECITAL + [REC+], destinado al desarrollo de circuitería para el estándar DVB-SH, financiado por el Ministerio Español de Ciencia e Innovación.

# Capítulo 2

# Elección de la arquitectura de sintetizador

En este capítulo se procederá con el estudio y la selección de la arquitectura de sintetizador para DVB-SH. Para ello, primero se especificarán los requisitos que debe cumplir el sintetizador para adaptarse correctamente al estándar. Seguidamente se estudiarán las arquitecturas de sintetizadores más comúnmente utilizadas, dando a conocer sus ventajas e inconvenientes. Finalmente, se elegirá la arquitectura que mejor se adapte a los requisitos establecidos por DVB-SH.

## 2.1 Requisitos del Estándar DVB-SH

En el presente apartado se estudiarán y definirán los requisitos que exige el estándar DVB-SH para que un sintetizador de frecuencias sea apto. Del mismo modo, en el Anexo A de este trabajo de tesis se encuentran desglosados los cálculos y requisitos necesarios para implementar un receptor completo para DVB-SH.

#### 2.1.1 Ruido de fase (*Phase Noise*)

El ruido de fase es una medida de la de pureza espectral del Oscilador Local (LO) de un PLL o de un sintetizador. Dicho oscilador es el encargado de trasladar la señal desde RF a Banda Base a través del mezclador (*mixer*) [RAZ98]. Básicamente, el ruido de fase cuantifica cuanta dispersión espectral existe con respecto a la frecuencia de oscilación base, tal y como muestra la Figura 2.1.



Figura 2.1 Ruido de fase asociado a un Oscilador.

Dicho ruido de fase, cuando es muy elevado, puede provocar que canales adyacentes al deseado sean también trasladados en frecuencia por el oscilador local. Este extremo puede provocar que en banda base haya un ruido muy elevado interfiriendo en la demodulación de la señal. Para evitar esto, el Oscilador Local debe ser diseñado con un ruido de fase tal que, en el peor caso, produzca una interferencia mucho menor que el nivel de señal necesario para ser procesada correctamente. Dicho valor deseable estaría por debajo del C/N establecido por el estándar.

En la Tabla 2.1 se muestra la máscara de ruido de fase establecida por el estándar [EN302583].

| Ruido de fase (Phase Noise) |             |  |  |  |
|-----------------------------|-------------|--|--|--|
| 10 Hz                       | -29 dBc/Hz  |  |  |  |
| 100 Hz                      | -59 dBc/Hz  |  |  |  |
| 1 KHz                       | -69 dBc/Hz  |  |  |  |
| 10 KHz                      | -74 dBc/Hz  |  |  |  |
| 100 KHz                     | -83 dBc/Hz  |  |  |  |
| 1 MHz                       | -95 dBc/Hz  |  |  |  |
| 10 MHz                      | -101 dBc/Hz |  |  |  |

Tabla 2.1. Requisitos de Ruido de Fase para DVB-SH.

# 2.2 Conceptos básicos de los sintetizadores de frecuencia

La síntesis de frecuencias es el proceso que permite generar una señal de frecuencia concreta, con un valor que puede escogerse de entre un conjunto de valores discretos con precisión y pureza espectral, partiendo de uno o varios osciladores patrones de alta calidad.

En esta sección se dará una pequeña introducción de los sintetizadores para posteriormente presentar la estructura básica de estos, así como las distintas configuraciones más usadas. Se estudiarán factores tales como el ruido de fase y filtrado de señales espurias. Posteriormente se expondrá la estructura a diseñar, la cual conformará el Oscilador Local para el receptor de DVB-SH.

La calidad de un sintetizador se mide a través de diversos factores, como son la precisión de la frecuencia sintetizada, que depende fundamentalmente de la precisión de los osciladores patrones, el tiempo de conmutación entre frecuencias, el ruido de fase de la salida y la presencia de otras señales espurias [MSP03], [PNF00]. Estas dos últimas características dependen de la estructura del sintetizador.

El método más utilizado de síntesis de frecuencia es el que trabaja con un PLL (*Phase Locked Loop*) y divisores de frecuencia, pues es un sistema que permite obtener alta calidad en las frecuencias originadas.

Existen dos aplicaciones conceptualmente diferentes, aunque utilizan los mismos esquemas:

- Estabilización de osciladores de alta frecuencia: se estabiliza un oscilador de frecuencia fija enganchándolo mediante un PLL a otro oscilador de alta calidad (de cuarzo generalmente) de más baja frecuencia. Se habla de un PLO (*Phase Locked Oscillator*).
- Síntesis de frecuencia: se pretende generar un conjunto de frecuencias diferentes, en lugar de una sola como en el caso anterior. Se trata del sintetizador propiamente dicho.

#### 2.2.1 Sintetizador básico

El esquema más básico de sintetizador con PLL es el de la Figura 2.2. La diferencia con un PLL simple es la presencia de un divisor de frecuencia que se puede ver como un contador digital entre el VCO y el detector de fase. El enganche se produce cuando las frecuencias en el detector de fase son iguales, por lo tanto en ese caso la frecuencia en el VCO debe ser fo=N fr, y el conjunto actúa como un multiplicador de frecuencia.



Figura 2.2 Sintetizador básico basado en PLL.

Dado que es fácil realizar divisores de frecuencia con factores muy elevados (sólo basta con conectar en cascada varios divisores de frecuencia) el valor de N puede ser tan grande como se quiera. Así, no son infrecuentes factores del orden de 1000 o superiores.

Pueden utilizarse factores mucho más altos, pero el funcionamiento del sintetizador en cuanto al ruido se degrada considerablemente. Si además el factor N puede cambiarse con unas entradas de control, se puede seleccionar la frecuencia de salida de entre un conjunto de ellas programando el valor de N.

Si se calcula la función de transferencia del bucle de la Figura 2.2 se obtiene:

$$H(s) = \frac{\Phi_o(s)}{\Phi_r(s)} = \frac{f_o(s)}{f_r(s)} = N \frac{\frac{K}{N}F(s)}{s + \frac{K}{N}F(s)}$$
(2.1)

Esta función es equivalente a la de un PLL simple modificando la constante K para incluir el factor N del divisor, multiplicando la función completa por N. Para un bucle de orden 2 tipo 2, con  $F(s)=(1 + \tau 2)/\tau 1$ , se tendrá:

$$H(s) = N \frac{2\xi \omega_n s + \omega_n^2}{s^2 + 2\xi \omega_n s + \omega_n^2}$$
(2.2)

El cálculo de  $\omega$ n y  $\xi$  a partir de las constantes de tiempo del filtro se realiza de la misma manera que se hace con un PLL básico sustituyendo la constante K del bucle por K/N.

$$\omega_n = \sqrt{\frac{K}{N\tau_1}}$$

$$\xi = \frac{\omega_n \tau_2}{2}$$
(2.3)

La función de transferencia de error definida como la relación entre el error de fase y la fase de entrada se obtiene como:

$$H_{e}(s) = \frac{\Phi_{e}(s)}{\Phi_{r}(s)} = 1 - \frac{H(s)}{N} = \frac{s}{s + \frac{K}{N}F(s)}$$
(2.4)

Y en el caso de un PLL de tipo 2 orden 2 se obtiene:

$$H_{e}(s) = \frac{s^{2}}{s^{2} + 2\xi\omega_{n}s + \omega_{n}^{2}}$$
(2.5)

La función de transferencia, (ver ecuación (2.2)), es la de un PLL multiplicada por N. Las fluctuaciones de fase (como el ruido de fase o modulación) que tenga la señal de referencia dentro del ancho de banda del lazo se transmiten al VCO multiplicadas por el factor N. Por lo demás, el comportamiento de un sintetizador es similar al de un PLL, donde los saltos de frecuencia o fase responden a un transitorio que viene definido por la función de transferencia.

#### 2.2.2 Configuraciones de sintetizadores

En este apartado se verán varias configuraciones de sintetizadores basadas en un PLL y divisores de frecuencia.

#### 2.2.2.1 Sintetizador con divisor programable

El esquema de este sintetizador se muestra en la Figura 2.3. El valor de  $N_p$  se puede modificar mediante una entrada digital de control de unidad en unidad. Puesto que  $N_p$  varía de unidad en unidad, el paso del sintetizador, es decir, la diferencia entre las frecuencias consecutivas que pueden generarse, es igual a la frecuencia de referencia:  $\Delta f = fr$ .



Figura 2.3 Sintetizador con divisor programable.

#### 2.2.2.2 Sintetizador con divisores fijo y programable

Los divisores programables tienen frecuencias relativamente bajas de utilización. Cuando se desea sintetizar frecuencias más elevadas la alternativa más simple es colocar un pre-divisor (*prescaler*) de módulo fijo entre el VCO y el divisor programable, tal como se muestra en la Figura 2.4.



Figura 2.4 Sintetizador con divisores fijo y programable.

En esta estructura el valor de la frecuencia de salida es:  $f_o = N_f \cdot N_p \cdot f_r$ . Puesto que  $N_p$  puede variar de uno en uno, el paso del sintetizador es  $\Delta f = N_f \cdot f_r$ . El inconveniente de este esquema en comparación con el anterior es que para un determinado paso de sintetizador se reduce la frecuencia de referencia en el factor  $N_f$ .

Si la frecuencia de referencia es muy baja, el ancho de banda del bucle también debe serlo para poder filtrarla correctamente. Se pierde entonces la libertad de ajustarlo en función del ruido de los osciladores y además se ralentizan los transitorios, con lo que el tiempo de cambio de frecuencia de salida se alarga. Este parámetro es importante en determinadas aplicaciones.

#### 2.2.2.3 Sintetizador Fraccional

En los sintetizadores de frecuencia con N-entero, es necesario aumentar el valor de la frecuencia de referencia para poder disminuir la distorsión a la salida y para aumentar el ancho de banda para poder rechazar el ruido de fase del VCO.

Sin embargo, este aumento de la frecuencia de referencia hace que disminuya mucho la resolución del sintetizador debido a que N es entero y por lo tanto la resolución será f<sub>r</sub> [ZAR05].

Para poder mejorar la resolución del sintetizador de frecuencia sin disminuir la frecuencia de referencia se utilizan los sintetizadores de frecuencia fraccionales.

Los sintetizadores de frecuencia fraccionales son aquellos que a la salida permiten obtener una señal con una frecuencia que es un múltiplo fraccional de la frecuencia de referencia  $f_0 = N \cdot f_p$ , donde N puede ser un número decimal.

Debido a esto, la resolución de este tipo de sintetizadores es más pequeña que la frecuencia de referencia; por lo tanto, para una misma resolución, este tipo de sintetizadores puede ser diseñado con un ancho de banda mayor que uno con divisor entero. Esto se traduce en un aumento de la velocidad de cambio de una frecuencia a otra.

Actualmente, existen dos tipos se sintetizadores fraccionales: los de divisor de doble módulo y los de divisor controlado por un modulador Sigma-Delta. A continuación se estudiarán ambas estructuras, evaluando sus ventajas e inconvenientes.

#### 2.2.2.3.1 Sintetizador de Doble Módulo

Esta estructura surgió para resolver el problema que tenía el sintetizador con divisor fijo y programable [MSP03]. El divisor de doble módulo tiene la posibilidad de dividir por dos factores diferentes según una entrada de control. Estos dos factores normalmente difieren entre sí en una unidad, siendo P y P+1. En la Figura 2.5 se muestra un ejemplo de sintetizador con divisor de doble módulo.

Inicialmente se parte de una situación inicial en la que el divisor de doble módulo está configurado para dividir por el factor P+1. Para que el divisor de doble módulo pase a dividir por el factor P debe recibir un pulso proveniente del divisor A, lo que ocurre tras A(P+1) ciclos del VCO. Entonces, el resto de ciclos del VCO (N<sub>p</sub>-A)P, el divisor de doble módulo dividirá por P.

Teniendo en cuenta esto, el conjunto se comporta como un único divisor de factor  $N=N_pP+A=P(N_p+A/P)$ . En media se divide por un entero más una fracción, mientras que la división instantánea es entera.



Figura 2.5 Sintetizador de frecuencia con divisor de doble módulo.

Con estos divisores de doble módulo se consigue construir divisores de frecuencia que funcionan a frecuencias más elevadas que los divisores programables [MSP03], consiguiendo mantener así una frecuencia de referencia elevada. Sin embargo, su implementación es más compleja que en los divisores programables y además presentan el inconveniente de tener un elevado ruido de fase en el espectro de la señal de salida del sintetizador [ZAR05].

#### 2.2.2.3.2 Sintetizador con Modulador Sigma Delta (SD $\circ \Sigma \Delta$ )

Para mejorar el problema de la distorsión en los sintetizadores con divisor de doble módulo se emplean los sintetizadores de frecuencia fraccionales basados en moduladores sigma delta (SD) [FAH03].

Debido al efecto del lazo del Sigma Delta, la distorsión se atenúa a bajas frecuencias mejorando así el comportamiento del sintetizador completo al poder ser filtrado más fácilmente por el filtro del lazo [SAU03].

En la Figura 2.6 se muestra un ejemplo de sintetizador de frecuencia con un divisor controlado por un SD de un bit. En el caso de que el SD sea de n bits, el divisor deberá ser multi-módulo y por tanto las divisiones instantáneas irán desde P hasta P+2n-1. El empleo de un mayor número de bits facilitará un mejor funcionamiento tanto del propio modulador como del sintetizador completo.



Figura 2.6 Sintetizador de frecuencia con divisor de doble módulo controlado por un modulador SD.

Para explicar su funcionamiento se parte de un caso sencillo en el que se emplea un modulador SD de un bit que se usa para modular la división instantánea del divisor de doble módulo. Esta división instantánea es la suma de un entero base, P, y la salida del SD, nQ(t), por lo que el valor medio del factor de división fraccional es:

$$N = P + n_Q(t) \tag{2.6}$$

Donde  $n_Q(t)$  es el valor medio de la salida del SD, dada por la constante de entrada, y puede tomar valores entre 0 y 1.

La ventaja que presenta el SD es que, debido a sus características de funcionamiento, consigue dar un valor aleatorio de la cantidad de valores 0 y 1 que proporcionan el valor de  $\overline{n_Q(t)}$ , manteniendo su valor medio y disminuyendo así la cantidad de tonos de espurios fraccionales que aparecen en el espectro de salida del sintetizador.

Otra configuración de sintetizador fraccional Sigma Delta es la mostrada en la Figura 2.7. Si bien en el caso anterior el modulador era utilizado para alternar la división entre 2 valore dados (P y P+1), en este caso se utiliza para modificar la frecuencia de salida del Divisor N.

En esta configuración, la salida del Modulador se le suma a la generada por el divisor, lo que permite modificar sutilmente la frecuencia de salida de este, lo que tras un periodo de establecimiento, el factor de división  $(N_{oUT})$  resultante es:

$$N_{OUT} = N + \Delta N \tag{2.7}$$

Cabe destacar que el valor de  $\Delta N$  puede ser modificado a partir del valor de control V<sub>frac</sub> del modulador Sigma Delta, representado como constante en la Figura 2.6.

Esta configuración presenta como ventaja la atenuación de los saltos frecuenciales asociados a los cambios de división del divisor de doble módulo del caso anterior. Esto se traduce en una casi inexistencia de espurios fraccionales, lo que permite una reducción significativa del ruido de fase asociado al sintetizador completo.



Figura 2.7 Sintetizador Fraccional Sigma Delta.

#### 2.2.3 Elección de la arquitectura del sintetizador

Según [EN302583], el estándar DVB-SH presenta canalizaciones de 1.7 MHz a 8 MHz. Tal y como se comprobará en el Capítulo 4, resulta inviable sintetizar dicha canalización con factores de división enteros para una frecuencia de referencia dada. Por esta razón, se ha tomado la decisión de implementar un sintetizador de frecuencia fraccional N basado en un modulador Sigma-Delta. Este bloque permitirá sintetizar valores de división no enteros.

La arquitectura empleada será la mostrada en la Figura 2.7, dadas las ventajas estudiadas anteriormente de cara a la anulación de espurios fraccionales asociados a la división.

### 2.3 Resumen

En este capítulo se ha definido las especificaciones del estándar DVB-SH, así como las arquitecturas del sintetizador de frecuencias.

Se ha determinado que una estructura fraccional controlada por un modulador Sigma Delta es la más apropiada para generar el rango de frecuencias asociado al estándar de televisión digital móvil satelital. Esto es debido a que DVB-SH, en su definición preliminar, permite canalizaciones de 1.7, 5, 6,7 y 8 MHz [EN302583].

En el siguiente capítulo se abordará el diseño del núcleo del sintetizador, es decir, el oscilador controlado por tensión (VCO). Para ello se especificará un flujo de diseño que permita alcanzar los objetivos establecidos.

# Capítulo 3

# El Oscilador Controlado por Tensión (VCO)

En este capítulo se analiza el Oscilador Controlado por Tensión (*Voltaje Controlled Oscillator*, VCO). El VCO es la parte más importante del sintetizador, ya que es el encargado de generar las frecuencias del oscilador local.

El presente capítulo está organizado de la siguiente manera. En la introducción se describe el flujo de diseño que se debe seguir para realizar correctamente un VCO. Una vez establecido el método a seguir, se describen las especificaciones propias del estándar DVB-SH que debe cumplir y la arquitectura que mejor se adapte para ello. En el siguiente apartado se aborda de forma específica el diseño y caracterización del VCO. Le sigue un apartado dedicado a la medida del mismo, finalizando con la comparación entre dichas medidas y las simulaciones. Por último se expone un breve resumen del diseño.

## 3.1 Introducción

Este apartado comienza con la descripción del flujo de diseño del VCO. A continuación se establecerán las especificaciones del VCO y por último se elegirá la arquitectura más adecuada para su implementación.

#### 3.1.1 Flujo de diseño del VCO

El flujo de diseño del VCO es el mostrado en la Figura 3.1 y está divido en 5 pasos fundamentales.

Primero se determinan las especificaciones del VCO (paso 1) que en nuestro caso, están basadas en las del sintetizador (definidas en el Capítulo 2). En el apartado 3.1.2 se describen de forma detallada.

El siguiente paso consiste en la elección de la arquitectura (paso 2). En alta frecuencia las arquitecturas más utilizadas están basadas en osciladores LC, razón por la cual será la elegida para la implementación del diseño.

Una vez definidas las especificaciones y la arquitectura del VCO se procederá al diseño a nivel esquemático (paso 3) y a nivel de *layout* (paso 4) con sus correspondientes simulaciones. Si las simulaciones no cumplen las especificaciones demandadas habría que realizar un rediseño. Una vez que las simulaciones *post-layout* den resultados acordes a las especificaciones, se puede pasar a la fabricación y medida del circuito, siendo necesario un rediseño si no se consiguieran las especificaciones requeridas en la medida.



Figura 3.1. Flujo de diseño del VCO.

#### 3.1.2 Especificaciones del VCO

Las especificaciones del VCO se han obtenido a partir de los requisitos del sintetizador (Tabla 2.1 del Capítulo 1) y se encuentran en la Tabla 3.1 [EN302583].

| Rango de frecuencias a generar | 2.17 a 2.2 GHz |  |  |  |  |
|--------------------------------|----------------|--|--|--|--|
| Ruido de Fase                  |                |  |  |  |  |
| 100 KHz                        | -83 dBc/Hz     |  |  |  |  |
| 1 MHz                          | -95 dBc/Hz     |  |  |  |  |
| 10 MHz                         | -101 dBc/Hz    |  |  |  |  |

Tabla 3.1.Especificaciones del VCO.

#### 3.1.3 Elección de la arquitectura

Como se comentó anteriormente, la arquitectura elegida ha sido la basada en un oscilador LC, la cual es la más utilizada para aplicaciones de alta frecuencia. Su estructura permite la obtención de un oscilador con ruido de fase mínimo en comparación con otras estructuras que se pueden integrar, como es el caso de los osciladores en anillo, osciladores de relajación, multivibradores y otros osciladores gm-C [DAB05].

Los osciladores LC se basan en la resonancia paralela de una bobina y un condensador [KLE03], [HAM01]. Para contrarrestar las pérdidas ocasionadas en la red LC, debidas a la resistencia asociada a ambos componentes, se utiliza junto con dicha red una estructura de resistencia negativa. Esta resistencia negativa contrarresta la potencia perdida por las resistencias parásitas del tanque LC [PIE03], [BHA05].

En la Figura 3.2(a) se observa el esquema básico de un oscilador LC. Consta de un tanque LC con sus correspondientes pérdidas ( $R_p$  es la resistencia paralela asociada al tanque,  $R_c$  es la resistencia serie asociada al condensador y  $R_L$  es la resistencia serie asociada a la bobina) y de un amplificador que actúa como resistencia negativa compensando las pérdidas del tanque.



Figura 3.2. Oscilador LC sintonizado visto como un circuito realimentado (a), estructura básica de realimentación (b).

La oscilación se produce a la frecuencia para la que la función de transferencia  $\beta \cdot A(s)$  se iguala a uno, cumpliéndose de esta manera el criterio de *Barkhausen* [TSA05], [RAE00]. La frecuencia de oscilación se obtiene igualando la parte imaginaria de  $\beta \cdot A(s)$  a cero. Para este valor de frecuencia, la impedancia del tanque LC se hace infinita. La función de transferencia  $\beta \cdot A(s)$  del oscilador LC de la Figura 3.2 (a) es la siguiente:

$$T_{loop,Rp}(s) = G_{M} \cdot \frac{s \cdot L}{1 + s \cdot \frac{L}{R_{P}} + s^{2} \cdot L \cdot C}$$
(3.1)

Su parte imaginaria es:

$$I\{T_{loop,Rp}(\omega)\} = G_{M} \cdot \frac{\omega \cdot L \cdot (1 - \omega^{2} \cdot L \cdot C)}{(1 - \omega^{2} \cdot L \cdot C)^{2} + \omega^{2} \cdot (\frac{L}{R_{P}})^{2}}$$
(3.2)

y es cero para:

$$\omega_0 = \frac{1}{\sqrt{\mathbf{L} \cdot \mathbf{C}}} \tag{3.3}$$

Obteniéndose de esta manera la frecuencia de oscilación  $\omega_0$  del circuito. La transconductancia necesaria para que la función de transferencia del bucle sea 1 viene dada por:

$$G_{M,Rp} = \frac{G_M}{T_{loop,Rp}(\omega_0)} = \frac{1}{R_P}$$
 (3.4)

Este valor da una idea de la potencia necesaria para mantener la oscilación en presencia de  $R_p$ . De la misma manera, se puede calcular el efecto de las demás resistencias parásitas del tanque. La resistencia efectiva ( $R_{eff}$ ) y la transconductancia se pueden resumir en las siguientes ecuaciones:

$$\mathbf{R}_{\rm eff} = \mathbf{R}_{\rm C} + \mathbf{R}_{\rm 1} + \frac{1}{\mathbf{R}_{\rm P} \cdot (\boldsymbol{\omega}_0 \cdot \mathbf{C})^2}$$
(3.5)

$$\mathbf{G}_{\mathrm{M}} = \mathbf{R}_{\mathrm{eff}} \cdot \left(\boldsymbol{\omega}_{0} \cdot \mathbf{C}\right)^{2} \tag{3.6}$$



Figura 3.3. Esquema simplificado del VCO (a), y configuración para el cálculo de la resistencia negativa (b).

El amplificador de resistencia negativa se diseña utilizando elementos activos semiconductores, como transistores MOS [BAN04]. Dicha red debe ser capaz de compensar las pérdidas asociadas a las no idealidades del tanque a la frecuencia de oscilación [REZ10].

En la Figura 3.3(a) se observa el esquema simplificado del VCO [HAJ99]. Está formado por el amplificador de resistencia negativa, el cual está compuesto por 2 transistores CMOS en par cruzado, el tanque y un buffer para cada salida. En la Figura 3.3(b) se observa la configuración utilizada para el cálculo de la resistencia negativa del amplificador.

### 3.2 Diseño del VCO

Este apartado comienza con el estudio del amplificador de resistencia negativa. Se continúa con el diseño del tanque para posteriormente conjugarlos y configurar el VCO. Una vez optimizado el diseño a nivel de esquemático se sigue con la realización del *layout* y su simulación.

#### 3.2.1 Diseño del amplificador de resistencia negativa

Como se comentó anteriormente, el amplificador de resistencia negativa utilizado es un par diferencial en configuración cruzada. La resistencia negativa del amplificador ha sido calculada utilizando el modelo en pequeña señal del transistor MOS (ver Figura 3.4), donde  $g_m$  es la transconductancia del transistor.



Figura 3.4. Modelo en pequeña señal para el transistor MOS.

Suponiendo que los transistores trabajan en la región de saturación, el circuito equivalente en alterna, obtenido a partir de la Figura 3.3(b), se muestra en la Figura 3.5.



Figura 3.5. Circuito en pequeña señal para el cálculo de la resistencia negativa del par cruzado.

Teniendo en cuenta que ambos transistores son idénticos, se deduce que el valor de la Zin obtenido es:

$$Zin = -\frac{2}{gm}$$
(3.7)

De esta relación se puede destacar que  $|Z_{in}|$  debe ser igual a la resistencia paralela equivalente del tanque LC para que la oscilación de este se mantenga de forma consistente.

Durante el ciclo de oscilación, los transistores trabajan entre saturación y corte. En esta última zona de trabajo, la resistencia negativa de la red empeora, aumentando el ruido de fase a la salida del VCO [HEG01] [SAD10]. Por tanto, para mejorar este último aspecto, es necesario incrementar el consumo de potencia [LHA00]. Lógicamente, esta solución no es válida cuando uno de los principales objetivos es diseñar circuitería que sea integrable en un sistema de bajo consumo.

Por tanto, una alternativa a esta técnica es la que se muestra en la Figura 3.6, en la que se aprecia la adición de una red de realimentación de corriente al esquema original [HAM01]. Esta solución incrementa el efecto de carga en la conmutación de los transistores, manteniéndolos en la región de saturación, dónde hay menor degradación de la

resistencia negativa. Con esto se obtiene una mejora considerable del ruido de fase del VCO sin aumentar para ello el consumo de potencia del sistema.



Figura 3.6. VCO con red de realimentación de corriente.

Como se puede apreciar en la Figura 3.6, los transistores  $M_1$  y  $M_2$  componen el par diferencial en configuración cruzada. Para inyectar las corrientes de realimentación  $i_{fb}$  y  $-i_{fb}$ , se incluye la red compuesta por  $M_3$  y  $M_4$ .

El funcionamiento de dicha red se compone de dos fases; en la primera mitad del ciclo de oscilación,  $V_1$  disminuye y  $V_2$  aumenta. Si las regiones de corte son ignoradas,  $M_1$  y  $M_2$  oscilan entre las regiones de tríodo y saturación. Por esta razón, la resistencia drenadorfuente no es la misma en ambas regiones, siendo menor en triodo. En esta zona, la resistencia negativa del par cruzado disminuye, por lo que el efecto de carga sobre el oscilador LC aumenta, degradando el ruido de fase.

Al disminuir  $V_1$  y aumentar  $V_2$ , una corriente de realimentación  $i_{fb}$  desde el nodo  $V_2$ se inyecta en el nodo  $V_1$  a través de los transistores  $M_4$  y  $M_3$ . Esto incrementa  $i_{d1}$  y fuerza al transistor  $M_1$  a abandonar la zona triodo y a volver a la zona de saturación. La impedancia vista desde el tanque LC hacia el nodo  $V_1$  aumenta debido a la magnificación virtual de la resistencia drenador-fuente de  $M_1$ . Por tanto, la resistencia negativa vista desde el tanque LC conserva su valor durante el ciclo completo de oscilación, ya que la misma explicación se aplica al transistor  $M_2$ , en la segunda fase en la que  $V_1$  aumenta y  $V_2$  decrece.

Como se comentó anteriormente, un método común para mejorar el ruido de fase de un VCO es incrementar el consumo de potencia, pero es una solución que merma la capacidad de autonomía de un dispositivo móvil. Con el método propuesto basado en realimentación de corriente se consigue mejorar el ruido de fase sin añadir un consumo extra de potencia.

#### 3.2.2 Diseño del tanque

La configuración del tanque se puede ver en la Figura 3.7. Está compuesta por 2 bobinas de valor L/2, las cuales tienen su frecuencia de resonancia a 2.2 GHz. Se ha optado por esta red debido a que si sólo se emplease una bobina, al poseer esta un valor mayor también tendría un factor de calidad Q menor.



Figura 3.7. Configuración del tanque utilizada.

Por otro lado, dado que el ancho de banda del estándar DVB-SH cubre solamente 30 MHz (2.17-2.2 GHz), con una configuración diferencial de varactores se puede cubrir todo el rango de frecuencias, siendo el ajuste más preciso dado el menor valor de estos con respecto a una configuración de un solo varactor. Para el cálculo de los valores del tanque se tomó como elemento de partida los calculados a partir de la ecuaciones (3.3) a (3.7). Mediante simulaciones con *Cadence* y junto con el amplificador de resistencia negativa, se ajustaron los valores de sus componentes hasta conseguir una oscilación de 2.15 a 2.3 GHz con una variación de la tensión de control (Vtune) de 0 a 1.2 V. Con este rango de trabajo se asegura el barrido dentro de la banda DVB-SH con un amplio margen.

Afortunadamente, la tecnología ofrece un generador de inductores muy eficiente que permite ajustar tanto los parámetros físicos como electromagnéticos de estos, tal y como muestra la Figura 3.8.

En ella se puede apreciar como los valores de inductancia, número de vueltas, ancho de pistas, factor de calidad... son totalmente configurables para caracterizar de la forma más precisa posible el inductor apto para los requisitos mostrados anteriormente. Debido a que una bobina real no posee una respuesta espectral constante a lo largo de un ancho de banda muy elevado, se ha optado por indicar en dicho gestor que la frecuencia de resonancia a la cual ofrezca el mejor rendimiento sea de 2.185 GHz. Este valor corresponde con el centro de la banda DVB-SH, por lo que el inductor mostrará una respuesta óptima en los 30 MHz que corresponden a este estándar.

Del mismo modo en la Figura 3.9 se aprecia la bobina generada por el gestor anterior, ya que la potencia de este permite incluso caracterizar de forma física el *layout* del inductor, tomando por referencia los valores de diámetro exterior, ancho de pistas, espaciado y número de vueltas calculados.

Cabe señalar que el metal empleado para generar la bobina es el Metal 9, es decir, el metal más externo en el proceso tecnológico UMC 90 nm. Esto es debido a que posee una anchura mayor que el resto de metales, lo que permite caracterizar inductores con un alto factor de calidad Q con unas dimensiones mínimas de diámetro exterior y de separación entre pistas. Este último aspecto es una de las mayores ventajas que ofrece dicha tecnología, ya que usualmente en procesos tecnológicos convencionales el factor de calidad de los inductores generados oscila entre 7 y 10, siendo el obtenido en este caso particular superior a 14.

|                                  | ie Obje     | acc Propercies (on conil) |         |
|----------------------------------|-------------|---------------------------|---------|
| OK Cancel App                    | y Defa      | aults Previous Next       |         |
| Library Name                     |             | mc90nn                    | off 😐   |
| Cell Name                        |             | _CR30K_RFVIL              | off 💷   |
| View Name                        | 8           | ymbolį                    | off =   |
| Instance Name                    |             |                           |         |
| CDF Parame                       | eter        | Value                     | Display |
| Model Name                       | 1_cr3       | 0k_rfvil                  | off =   |
| Mode                             | Differ      | ential 💷                  | off 😑   |
| Process                          | 1 P9 M2     | <b>T1F</b>                | off 🖃   |
| Outer Diameter                   | 247.0       | 12u M                     | off 💷   |
| Metal Width                      | 9.7u        | M.                        | off 🛁   |
| Metal Spacing                    | 2.2u        | M                         | off 🖃   |
| Number of Turns                  | 1.5         |                           | off 🖃   |
| Freq                             | 2.182       | 250 Hz                    | off =   |
| Inductance                       | 1.149967n H |                           | off 🖃   |
| Q                                | 14.14       | 995                       | off 🛁   |
| ¥rea (um^2)                      | 75565       | 5. 72                     | off 🗕   |
| SRF                              | 33.41       | .899G Hz                  | off 🛁   |
| Parameters                       | valid       | valid                     |         |
|                                  | P           | lot                       |         |
| Desired inductance               | 1.15r       | ι Η <u>΄</u>              | off 🖃   |
| Minimum Q                        | nonej       |                           | off 🖃   |
| Max area (um^2)                  | infir       | ute                       | off 🖃   |
| Delta L (p <mark>er</mark> cent) | 1           |                           | off 🖃   |
| Bandwidth                        | 30M H       | IŽ                        | off 🖃   |
| Minimum SRF                      | 0 Hz        |                           | off 🖃   |
| Objective                        | Maxin       | nize Q 🖃                  | off =   |
| Fi                               | nd optin    | nal inductor              |         |
| Metal of 4x                      | 1.0         |                           | off 🖃   |
| Metal of 2x                      | 2.0         |                           | off 🖃   |
| Metal of 1x                      | 6.0         |                           | off 🖃   |

Figura 3.8. Gestor de bobinas de la tecnología UMC 90 nm.



Figura 3.9. Layout de la bobina generada.

Finalmente, los valores de los componentes del tanque se pueden ver en la Tabla 3.2.

| C <sub>VAR</sub>         | 3.824 nF                 |
|--------------------------|--------------------------|
| $C_{VAR1} = C_{VAR}/2$   | 1.912 nF                 |
| $C_{VAR2} = C_{VAR} / 2$ | 1.912 nF                 |
| L                        | 2.28 nH                  |
| $L_1 = L/2$              | 1.14 nF Q=14.1@ 2.185GHz |
| $L_2 = L/2$              | 1.14 nF Q=14.1@ 2.185GHz |

Tabla 3.2.Valores de los componentes del tanque.

### 3.2.3 Diseño final del VCO

El circuito final, optimizado para una carga de 50  $\Omega$  en cada salida, es el mostrado en la Figura 3.10. Mediante simulaciones, se varió el área, la multiplicidad y la polarización de los transistores, para mantener la oscilación y el máximo nivel posible de tensión a la salida para todos los valores de tensión de control. En la Figura 3.10 se observan los terminales de alimentación ( $V_{CC}$ ), las salidas ( $V_{OUT+}$  y  $V_{OUT-}$ ) y la tensión de control  $V_{TUNE}$ .

El par cruzado lo forman los transistores  $M_1$  y  $M_2$ . El tanque está constituido por el esquema de doble bobina y doble varactor estudiado en las secciones anteriores de este capítulo. La etapa de salida del VCO está formada por transistores que actúan como *buffer*. El empleo de dicho *buffer* reduce la influencia de la carga en la frecuencia de oscilación.

Para la salida positiva se emplean los transistores  $M_5$  y  $M_8$  mientras que para la salida negativa se utiliza la red formada por los transistores  $M_6$  y  $M_7$ . Las fuentes de corriente están formadas por los transistores  $M_{TAIL}$ ,  $M_9$  y  $M_{10}$ . Los valores de dichos componentes se puede observar en la Tabla 3.3.

Finalmente, en dicha Figura 3.10 se observa que se ha incluido un condensador C en el tanque de oscilación. Este se ha añadido ya que mejora sustancialmente la pureza del tono generado cuando entra en resonancia con la bobina, permitiendo a los varactores realizar un ajuste de frecuencias más preciso.



Figura 3.10. Esquemático final del VCO.

| Transistores | M <sub>1</sub> y M <sub>2</sub> | multiplicidad=20                | W=1 μm<br>L=200 nm   |  |
|--------------|---------------------------------|---------------------------------|----------------------|--|
|              | $M_3 y M_4$                     | multiplicidad=30                | W=8 μm<br>L=360 nm   |  |
|              | $M_5 	ext{ y } M_6$             | multiplicidad=8                 | W=530 nm<br>L=100 nm |  |
|              | $M_7 	ext{ y } M_8$             | multiplicidad=8                 | W=530 nm<br>L=100 nm |  |
|              | $M_9$                           | multiplicidad=10 W=600<br>L=250 |                      |  |
|              | $M_{10}$                        | multiplicidad=14                | W=500 nm<br>L=100 nm |  |
| Tanque       | C <sub>VAR</sub>                | 3.824 pF                        |                      |  |
|              | $C_{VAR}/2$                     | 1.912 pF                        |                      |  |
|              | L                               | 2.3 nH con Q=14 a 2.2 GHz       |                      |  |
|              | L/2                             | 1.15 nH con Q=14 a 2.2 GHz      |                      |  |
|              | С                               | 1.364 pF                        |                      |  |

Tabla 3.3.Valores de los componentes del VCO.

#### 3.2.4 Layout del VCO

El *layout* del VCO se ha diseñado procurando tener la mayor simetría posible entre las dos ramas del circuito diferencial. Con el fin de reducir la influencia de los gradientes de dispersión en las prestaciones del VCO, se sitúan los elementos emparejados según la técnica de centroide común [JAC98]. El *layout* se ha dibujado intentado reducir el área del circuito lo máximo posible e introducir la menor degradación por las pistas de conexión.

Dicho *layout* del VCO se puede observar en la Figura 3.11. Junto con los *pads* de conexión, utilizados para la realización de la medida del circuito sobre la oblea, las bobinas son los elementos que más área ocupan. La disposición y conexión de los inductores se ha realizado para que la inductancia y resistencia adicional que introducen debido al conexionado con el resto del tanque sea mínima. De esta manera se asegura que la inductancia y calidad finales no difieran del valor considerado inicialmente. Por otra parte, no se pueden situar las bobinas tan cerca entre sí o junto a otros componentes como se

desee. En torno a las espiras metálicas integradas se encierran campos electromagnéticos que pueden interactuar con pistas metálicas y otros elementos del *layout*. Esto degradaría las prestaciones del inductor.



Figura 3.11. Layout del VCO diseñado.

En la Figura 3.12 se observa un detalle del núcleo del circuito, en la cual se aprecian las altas multiplicidades de los transistores utilizados, necesarias para cumplir los requisitos establecidos por el estándar, de acuerdo con la tecnología utilizada. Del mismo modo, cabe destacar el alto nivel de simetría utilizado para la implementación física, tal y como se comentó anteriormente.


Figura 3.12. Detalle del layout del VCO.

Entre los pormenores asociados al diseño del *layout* del VCO, es destacable señalar las exigencias asociadas al proceso de fabricación UMC 90 nm. Entre estos requisitos, el más restrictivo el concerniente a los problemas de antena.

Estos problemas aparecen cuando se intenta conectar la puerta de un transistor MOS a través de una pista de metal muy larga, o con una estructura metálica con una gran densidad. Por tanto, cuando se produce esta situación, el proceso tecnológico interpreta dicha pista de metal como una antena, la cual puede irradiar componentes de señal que interfieren negativamente en el correcto funcionamiento del circuito.

Otro problema asociado a esta situación es que se pueda dar el caso de que se puede destruir el propio transistor al que está conectada la pista, ya que dicho efecto antena puede amplificar señales espurias generadas por el chip y someter la puerta del transistor a picos de tensión para los que no ha sido diseñado. Para solucionar este contratiempo, la opción más fiable es la mostrada en la Figura 3.13 [FDKU]. En ella se aprecia que se han conectado dos diodos conectados en inversa a la puerta de un transistor MOS. Con esta red añadida, se consigue que los efectos asociados al largo de la pista a la cual está conectada la puerta del transistor MOS se mitiguen, ya que las señales espurias serán derivadas a VCC o GND respectivamente en función de la polaridad de estas.



Figura 3.13. Solución a los problemas de antena.

Sin embargo, tal y como se verá en la sección 3.3 referente a la medida del VCO, esta red trae consigo una serie de problemas que obligan a la realización de las simulaciones *post-layout* prescindiendo de ella.

#### 3.2.5 Simulaciones post-layout

Se han realizado simulaciones *post-layout* con el simulador *SpectreS* de *Cadence*. Mediante la simulación HB (*Harmonic Balance*) se han obtenido el ruido de fase y la curva frecuencia de salida en función de la tensión de control. Para poder realizar estas simulaciones, es necesario indicarle al simulador una condición inicial para que la oscilación dé comienzo. Esta se puede especificar por ejemplo, desde una tensión inicial en un nodo del circuito hasta una carga premilitar en el condensador del tanque.



Figura 3.14. Simulación post-layout del ruido de fase del VCO.

La Figura 3.14 muestra el ruido de fase del VCO. Se observa que para un *offset* de 1 MHz el ruido de fase es de -111,5 dBc/Hz, mejorando ampliamente los -95 dBc/Hz especificados por el estándar. En la Tabla 3.4 se muestra un resumen del ruido de fase simulado.

Tabla 3.4.

Ruido de fase del VCO obtenido de las simulaciones post-layout.

| Offset de 100 kHz | -85 dBc/Hz    |
|-------------------|---------------|
| Offset de 1 MHz   | -111,5 dBc/Hz |
| Offset de 5 MHz   | -130 dBc/Hz   |

La Figura 3.15 muestra la curva de frecuencia de salida en función de la tensión de control del VCO. Se observa que la frecuencia del VCO varía de 2.05 a 2.24 GHz para una Vtune de 1.2 V a 0 V respectivamente, barriendo el rango requerido en las especificaciones (0.74-0.84 V). Dicha curva es bastante lineal en el rango requerido, de 2.17 a 2.2 GHz.



Figura 3.15. Simulación post-layout de la curva de frecuencia de salida en función de la tensión de control.



Figura 3.16. Simulación post-layout de la respuesta transitoria del VCO.

Para comprobar el rango dinámico de la señal a la salida se han realizado, también con el simulador *SpectreS*, simulaciones del transitorio para una carga de salida de 50  $\Omega$ . En la Figura 3.16 se observa la respuesta transitoria del VCO para la salida diferencial, conservando una tensión de 180 mV de pico a pico, con un periodo de 464.2 ps, lo que se traduce en una frecuencia de oscilación de 2.15 GHz para una Vtune de 0.95V. Cabe destacar que el consumo de potencia del núcleo del VCO se corresponde con una corriente de 13 mA para una tensión de polarización de 1.2 V.

Finalmente, el área utilizada para la implementación física del oscilador controlado por tensión, teniendo en cuenta los *pads* de medida utilizados, es de 750x850  $\mu$ m<sup>2</sup>. Como se pudo observar en la Figura 3.11, los componentes que mayor área ocupan son los inductores que conforman el tanque resonador.

Una vez realizado el diseño del VCO se procederá, en el siguiente apartado, a la medida del mismo.

## 3.3 Medida del VCO

En este apartado se describirá primero la metodología empleada para medir el VCO para después seguir con la medida del mismo. En la Figura 3.17 se muestra una fotografía del chip fabricado con el VCO indicado por el recuadro rojo. El tamaño de dicho chip es de  $1875 \times 1875 \ \mu m^2$ .



Figura 3.17. Fotografía del chip fabricado con el VCO resaltado.

#### 3.3.1 Metodología de medida del VCO

La medida del VCO se realizó sobre la oblea. Para realizar la medida del VCO se han utilizado los siguientes elementos.

- Estación de puntas Analitical Probe Station SUMMIT 9000 de Cascade Microtech® [CASC] con un microscopio óptico OLYMPUS SZ-CTV.
- 1 Fuente de alimentación Hewlett Packard [HEWP], Dual Output Power Supply, E3420A.
- 1 Analizador de espectros Agilent [AGNT], PSA Series Spectrum Analyzer, E4440A.

- 1 Generador de señal Agilent, ESG Vector Signal Generator, E4438C.
- Puntas de medida SGS de Cascade Microtech ACP40D-W SGS-150.
- DC-blocks BLK-18.
- Sustrato de calibración Cascade Microtech Impedance Standard Substrate P/N 101-190.
- Cables para señales de RF tipo Sucoflex 104A 150cm.
- Cargas de 50 Ohms.
- Cables DC y adaptadores SMA-BNC.
- Codos de conexión.

Se han realizado mediciones de la curva frecuencia de salida en función de la tensión de control, armónicos y ruido de fase. Todas las medidas se han realizado con el analizador de espectros. Para alimentar el circuito y variar la tensión de control se utiliza la fuente de alimentación. La configuración utilizada se puede observar en la Figura 3.18.



Figura 3.18. Esquema de montaje requerido para medir el VCO.

La etapa de salida del VCO es diferencial, sin embargo para minimizar la introducción de elementos que suponen pérdidas se utiliza únicamente una salida. De esta

forma se evita introducir un acoplador y se conecta la otra salida del VCO a una carga de 50  $\Omega$ . Así, la impedancia que ve el VCO a la salida es la misma que la simulada, es decir, 50  $\Omega$ .

A la hora de medir potencia del VCO se emplean elementos que introducen pérdidas no consideradas en las simulaciones. Estos elementos son los cables de RF, los codos de conexión, los DC-blocks, las puntas de medida y el contacto entre las puntas de medida y el *pad* para medidas *on-wafer*. Para conocer con precisión las prestaciones del VCO es necesario calibrar estas pérdidas. Para ello se realiza una calibración empleando el montaje ilustrado en la Figura 3.19.



Figura 3.19. Esquema de montaje requerido para realizar la calibración de las pérdidas de potencia en la medida de los VCO.

A partir de un generador se suministra una potencia determinada. Parte de ésta se pierde en los cables, codos, puntas, *DC-blocks* y en los contactos entre puntas de medida y el "THRU" del substrato de calibración. En el analizador de espectros se mide la potencia que llega y se calcula la atenuación sufrida. Para una correcta calibración, debe de haber los mismos elementos entre el generador de señal y el substrato de calibración como entre el analizador de espectros y el substrato.

Es importante destacar dos aspectos que introducen cierta imprecisión en esta calibración. Por una parte, el "THRU" está constituido por una pista de oro de 100 µm de

anchura por 300 µm de longitud. Además, esta pista se encuentra sobre un sustrato cerámico aislante. Por ello, esta estructura introduce una atenuación, aunque se puede considerar despreciable. Por otra parte el oro es un material más maleable que la aleación de aluminio, de la que están constituidos los *pads* para medidas *on-wafer*. Así, el contacto entre las puntas de medida y la estructura "THRU" introduce menos atenuación que el contacto entre las pistas y los *pads* del VCO. Por tanto, la medida de la potencia del VCO lleva asociada cierta imprecisión. Dicha imprecisión está causada por la imposibilidad de calibrar correctamente la atenuación del contacto entre *pad* y punta de medida.

Como resultado de la calibración se ha obtenido que el conjunto de los cables de RF, codos, *DC-blocks*, contactos entre la punta de medida y la estructura de oro suponen una atenuación total de 1.1 dB.

## 3.3.2 Medida de la curva tensión-frecuencia y potencia de salida.

Las medidas han sido realizadas utilizando el esquema de la Figura 3.18. Se ha hecho un barrido de la tensión de control de 0 a 1.2 V obteniéndose la Tabla 3.5. En ella se aprecian la potencia y frecuencia de salida del VCO. Teniendo en cuenta que la calibración de los cables de medida, DC-Blocks,... fue de 1.1 dB, en la tercera columna de dicha tabla se representa el valor de potencia obtenida tras la corrección.

|           | Frecuencia Fundamental |                      |            |
|-----------|------------------------|----------------------|------------|
| Vtune (V) | P (dBm)                | P corregida<br>(dBm) | Frec (MHz) |
| 0         | -11,97                 | -10,87               | 1833       |
| 0,2       | -11,92                 | -10,82               | 1829       |
| 0,4       | -12,02                 | -10,92               | 1821       |
| 0,6       | -11,87                 | -10,77               | 1803       |
| 0,8       | -11,85                 | -10,75               | 1782       |
| 1         | -11,94                 | -10,84               | 1739       |
| 1,2       | -11,89                 | -10,79               | 1725       |

Tabla 3.5. Medida de la potencia y frecuencia de salida de VCO.

Del mismo modo en la Figura 3.20 se encuentra la representación gráfica de la curva Vtune *vs* Frecuencia a partir de los valores obtenidos en dicha tabla. Si bien la curva obtenida posee un alto grado de similitud con la obtenida en simulaciones (ver Figura 3.15), cabe destacar que la frecuencia de oscilación se ha traslado a un rango de frecuencias menor.



Figura 3.20. Curva medida tensión vs frecuencia del VCO.

En la Figura 3.21 se confirma esta desviación de frecuencias con una imagen obtenida del analizador de espectros.

La explicación a este contratiempo viene dada por las capacidades parásitas asociadas a la red que fue necesaria introducir en la interconexión del tanque de oscilación con las puertas de los transistores del par de resistencia negativa (ver Figura 3.13) impuesta por la *foundry* para solucionar los problemas de antena. Esto es debido a que dicha red, al conectarla al VCO, no pudo ser caracterizada por simulaciones.



Figura 3.21. Espectro de salida del VCO (Atenuación de 10 dB).

La respuesta se encuentra en que los simuladores empleados no eran capaces de obtener una solución convergente al introducir los dos diodos en inversa en el camino de oscilación, ni siquiera obtener una respuesta transitoria en el dominio del tiempo. Tras intentar arduamente cambiar los métodos de simulación e integración matricial dados por el *software*, como son los métodos *Euler*, *Trap*, *Traponly*, *Gear2*, *TrapGear2*,... no se pudo evaluar el comportamiento del circuito antes de ser fabricado. Este mismo caso ocurrió con los demás circuitos diseñados, ya que la propia *foundry* impuso un máximo de 3 días para corregir los errores, o los circuitos no serían procesados.

Sin embargo, es posible caracterizar la influencia dada por la red de diodos según en siguiente método. En primer lugar, se establece la desviación de frecuencia ( $F_{des}$ ) a través de la ecuación (3.8):

$$F_{des} = \frac{1}{2\pi\sqrt{L(C+C_{red})}}$$
(3.8)

Dicha fórmula se reconoce por ser la encargada de determinar la frecuencia de oscilación de un tanque LC. El valor de  $F_{des}$  se obtiene sabiendo que el valor de oscilación para 0 V es de 1,833 GHz (ver Figura 3.21). El valor de L es de 2.3 nH y el valor de C=3.276 pF se corresponde con el valor de la capacidad que conforman los varactores y el condensador del tanque de oscilación (ver Tabla 3.3). Por tanto C<sub>red</sub> se corresponde con el valor de la capacidad parásita asociada a la red de diodos. Realizando los cálculos oportunos, se obtiene que:

$$C_{r_{ed}} = 0.125 pF$$
 (3.9)

De este modo queda determinada la influencia en términos de capacidad parásita asociada a la red para evitar los problemas de antena. Si bien se muestra como un valor pequeño, asociado a 2 diodos en inversa, su influencia ha impedido que el VCO ajuste su salida al rango de frecuencias especificado inicialmente.

Para finalizar este apartado, en la Tabla 3.6 se muestra un resumen de las medidas y las simulaciones del VCO en términos de frecuencia de oscilación, potencia de salida y consumo de corriente. En este último apartado es destacable señalar que el valor de las simulaciones está referido al consumo del núcleo del VCO y los buffers de salida de adaptación a 50  $\Omega$ , es decir el consumo total del circuito completo. Del mismo modo, se observa que si no hubiese sido necesario emplear la red de diodos para solucionar los problemas de antena, el funcionamiento del VCO medido habría sido muy similar al obtenido en las simulaciones.

Tabla 3.6. Comparación entre medidas y simulaciones del VCO (Fosc, Psalida y Consumo).

|                                      | Simulación    | Medida        |
|--------------------------------------|---------------|---------------|
| Frecuencia de Oscilación             | 2,24-1,95 GHz | 1,83-1,72 GHz |
| Potencia de salida                   | -10,19 dBm    | -10,87 dBm    |
| Consumo de corriente                 | 16,4 mA       | 16,8 mA       |
| Consumo de potencia<br>(Vbias=1.2 V) | 19,68 mW      | 20,16 mW      |

#### 3.3.3 Medida del ruido de fase

El ruido de fase consiste en el cálculo de la diferencia de potencia que existe entre la señal portadora y un *offset* de frecuencia respecto a esa señal. Al fin y al cabo lo que se intenta cuantificar es el ruido que está introduciendo el oscilador en la señal que él mismo genera a una distancia frecuencial de la portadora. Dicho ruido de fase suele expresarse en dBc/Hz a un cierto *offset* de la portadora, por ejemplo, a 100 KHz.



Figura 3.22. Ruido de fase del VCO (Vtune= 0 V).



Figura 3.23. Ruido de fase del VCO (Vtune=1V).

El ruido de fase se ha medido para una tensión de control de 0 V y 1 V, tal y como muestran las Figura 3.22 y Figura 3.23 respectivamente. Ha sido necesario seleccionar en el analizador la función promedio (AVERAGE = ON) para obtener medidas más constantes. Esto se representa en ambas figuras para las señales indicadas como "*Trace 2*".

En la Tabla 3.7 se indican los valores obtenidos para los valores de tensión de control y para diferentes valores de desviación frecuencial. Del mismo modo, también se incluye una caracterización del ruido de fase asociado al VCO a través de un promedio de ambas medidas. Dicho valor promedio es el empleado para la comparación con las simulaciones *post layout* realizadas, tal y como muestra la Tabla 3.8. En ella se aprecia el alto parecido entre ambos resultados, lo que se traduce en que los modelos de los transistores, resistencias, condensadores,... dados por la tecnología UMC 90 nm poseen un elevado grado de caracterización realista.

|                                   | Desviación | Ruido de fase  |
|-----------------------------------|------------|----------------|
| Vtune = 0 V<br>Frec = 1833 MHz    | 100 KHz    | -88,6 dBc/Hz   |
|                                   | 1 MHz      | -114,34 dBc/Hz |
|                                   | 5 MHz      | -129 dBc/Hz    |
| Vtune = 1 V<br>Frec = 1739 MHz    | 100 KHz    | -84,62 dBc/Hz  |
|                                   | 1 MHz      | -110,05 dBc/Hz |
|                                   | 5 MHz      | -122 dBc/Hz    |
| Ruido de fase promedio<br>del VCO | 100 KHz    | -86,61 dBc/Hz  |
|                                   | 1 MHz      | -112,19 dBc/Hz |
|                                   | 5 MHz      | -125,5 dBc/Hz  |

Tabla 3.7. Ruido de fase del VCO medido y promediado.

|                                   | Desviación | Ruido de fase  |
|-----------------------------------|------------|----------------|
| Ruido de fase promedio<br>del VCO | 100 KHz    | -86,61 dBc/Hz  |
|                                   | 1 MHz      | -112,19 dBc/Hz |
|                                   | 5 MHz      | -125,5 dBc/Hz  |
| Ruido de fase simulado<br>del VCO | 100 KHz    | -85 dBc/Hz     |
|                                   | 1 MHz      | -111,5 dBc/Hz  |
|                                   | 5 MHz      | -130 dBc/Hz    |

Tabla 3.8. Comparativa del Ruido de fase del VCO medido y simulado.

## 3.4 Resumen

En este capítulo se ha abordado el diseño, implementación física y medida del VCO para DVB-SH.

El circuito está basado en un tanque LC con una red de resistencia negativa. Dicha red ha sido diseñada mediante un novedoso método de reducción del ruido de fase a través de realimentaciones de corriente. Esto permite operar a los transistores del par oscilante en regiones cercanas a saturación en todo el ciclo de oscilación, donde el ruido de fase es menor.

Del mismo modo, se ha procedido a la medida del Oscilador, en los términos que lo definen completamente: ruido de fase, potencia de salida, consumo y variación de frecuencia.

Se comprobó que el funcionamiento del circuito es muy similar al obtenido en simulaciones en los casos del ruido de fase, consumo y potencia de salida. Esto se tradujo en la corroboración del alto grado de realismo que ofrecen los modelos de los transistores y componentes pasivos suministrados por la tecnología.

Sin embargo, debido a la imposición de la *foundry* de incluir una red de diodos en el camino de oscilación para evitar problemas de antena, la frecuencia de salida del VCO se vió modificada. Al no ser posible la caracterización de la influencia de dicha red mediante simulaciones, no se pudo evaluar su comportamiento antes de ser medido.

En el siguiente capítulo se emprenderán los diseños del Divisor Rápido entre 2 y el Divisor Programable respectivamente. Ambas estructuras se definen como piezas claves en la cadena que conforma un sintetizador de frecuencias.

# Capítulo 4

## Divisor Rápido y Divisor programable

Una vez alcanzado este punto del trabajo, en este capítulo se abordará tanto el diseño como la implementación física del Divisor Rápido y el Divisor Programable respectivamente. Estas etapas permitirán trasladar señales de RF hasta la especificada por el reloj del sistema, para que posteriores bloques, como el comparador de fase frecuencia, puedan operar correctamente.

Este capítulo sigue un esquema que comenzará con el diseño del Divisor Rápido entre 2, aportando para ello una serie de mejoras en las prestaciones del circuito.

Seguidamente se pasará a la implementación física y a la unión con el VCO estudiado en el capítulo anterior, realizando para ello una serie de simulaciones para comprobar su correcto funcionamiento. Del mismo se procederá con la medida del sistema total para su posterior comparación con las simulaciones realizadas.

Una vez diseñado el Divisor Rápido, se procederá con el estudio del Divisor Programable. Para ello se hará uso de herramientas de síntesis lógica y de simulación digital. Finalmente, se darán una serie de conclusiones asociadas al trabajo realizado en este capítulo.

## 4.1 Divisor Rápido entre 2

A continuación se dará paso a la explicación del proceso de diseño empleado para configurar el Divisor Rápido entre 2 desde su esquema a nivel de circuitos hasta su implementación física *layout*, incluyendo además las medidas del circuito una vez fabricado mediante el proceso tecnológico UMC 90 nm.

#### 4.1.1 Latch CML Básico

La estructura típica de un divisor rápido ente dos está compuesta por dos *latches* CML (*Current Mode Logic*) en configuración *master-slave*, tal y como muestra la Figura 4.1[LEV04], [YAM05], [SIN05]. Esta estructura, al muestrear y retener la señal de entrada del nodo CLK, hace que la frecuencia de salida sea la mitad que la de entrada [WON03], [YUD04], [BON05].

Para conseguir un alto rango de linealidad, un mejor *slew-rate* y una mayor transconductancia, la corriente empleada debe ser lo suficientemente grande [FAR05], [HUA05]. Esto es debido a las elevadas capacidades parásitas asociadas a la etapa de muestreo [MOH05]. Esto entra en conflicto con el circuito de retención, el cual no requiere de elevados consumos de corriente para cumplir su función [LRA04]. Por tanto, el diseño clásico de un *lateh* CML posee una estructura de polarización que no se adapta por igual a ambas etapas, lo que obliga a emplear consumos de corriente elevados en un sistema *handheld* basado en baterías limitadas.

En este capítulo se presenta una solución de polarización que permita suplir los requisitos de corriente específicos de cada etapa del *latch*, minimizando el consumo y maximizando las prestaciones [ZGU03].



Figura 4.1. Estructura *Latch* CML *Master-Slave*.

#### 4.1.2 Single Bias Latch

En la Figura 4.2 se muestra una solución válida para corregir los problemas asociados a la estructura CML básica [USA04]. En ella se aprecia que se utiliza una única fuente de corriente para polarizar ambas etapas. Del mismo modo, sólo es necesario utilizar una única red de entrada CLK.

Esta configuración permite fluir la corriente entre la red de retención y muestreo, adaptándose a los requisitos de cada una de ellas en el momento preciso [USA06]. La explicación a este funcionamiento es que ambas etapas no se encontrarán activas a la vez, ya que el *latch* de retención tendrá que esperar a que el *latch* de muestreo le comunique la señal capturada para ser guardada y entregada a la salida del sistema.



Figura 4.2. Single Bias Latch.

Dichos requisitos de corriente específicos para cada una de las ramas pueden conseguirse utilizando tamaño de transistores más pequeños para ambos *latches*. Dado que el *latch* de retención requiere un consumo mucho menor de corriente que la etapa de muestreo, el tamaño de los transistores de la fuente de corriente no necesitan ser dos veces mayor para cumplir los requisitos de este último. Con un tamaño de transistores 1.5 veces mayor que las etapas *latch* para la fuente de corriente es suficiente para operar correctamente a la misma frecuencia [USA06].

Por tanto con este diseño se logra reducir de forma considerable el consumo de potencia asociado a un divisor, lo que redunda en mejores prestaciones que derivan en una mayor duración de la batería.

Por otro lado, la reducción de área de cara a una implementación física es muy significativa. Esto es debido a que la red de polarización de un *latch* CML básico es la que mayor contribución en este aspecto aporta. Con esta técnica se reduce significativamente el tamaño del circuito final, siendo perfectamente integrable en un único chip junto con el VCO, tal y como se podrá apreciar en la siguiente sección. Dicha reducción de área está en torno a un 20 %.

Otra ventaja asociada al uso de transistores más pequeños es que estos ofrecen una menor capacidad parásita a su entrada. Esta ventaja redunda en un menor retardo entre puertos, lo que permite operar a este circuito a una frecuencia mucho mayor [WRY05].

Dado que usualmente los divisores rápidos conformaban un cuello de botella cuando se opera en sistemas de muy alta frecuencia, con este dispositivo se asegura el correcto funcionamiento del sistema completo para cumplir los requisitos del estándar DVB-SH.

#### 4.1.3 Implementación Física y Unión con el VCO

Tal y como se comentó en la sección 4.1.2, la reducción de área conseguida con la técnica estudiada anteriormente permite integrar dicho dispositivo en una implementación física *layout* junto con el VCO, lo que se traduce en un mejor aprovechamiento del espacio utilizado en el chip de fabricación.



Figura 4.3. *Layout* del VCO con el divisor rápido.

En la Figura 4.3 se observa la integración de dichos circuitos. En ella se aprecia que el área del divisor es insignificante en comparación con el chip total. Por tanto para poder atisbar la situación del divisor dentro del sistema completo es necesario realizar un zoom, tal y como muestra la Figura 4.4.



Figura 4.4. Zoom del Layout del Divisor Rápido.

En dicha figura se aprecian las resistencias, así como la disposición de los transistores, teniendo en cuenta en todo momento la simetría del sistema, lo que evitará una mayor capacidad parásita asociada a una rama del divisor, reduciendo por tanto la discrepancia entre ambas entradas.

Cabe destacar que la entrada del divisor no está conectada directamente a la salida del VCO. Esto es debido a la diferencia de impedancias de ambos dispositivos, lo que se traduce en una pérdida significativa de señal y de potencia útil de señal a procesar.

Para solucionar este problema se ha optado por interconectar un buffer de adaptación de impedancias entre ambas etapas, utilizando para ello una estructura basada en un transistor NMOS y un transistor PMOS en configuración inversora, tal y como muestra la configuración esquemática de la Figura 4.5. Gracias a esta solución, se obtiene un nivel de señal óptimo a la entrada del divisor, al regenerar y adaptar a este la señal de salida del VCO.



Figura 4.5. Esquemático del *buffer* de adaptación utilizado.

Para poder maximizar las prestaciones del *buffer*, este se ha diseñado teniendo en cuenta las discrepancias que suelen presentar entre sí los transistores P y N. La razón es que ambos dispositivos no ofrecen las mismas prestaciones para un tamaño dado de transistor.

De este modo, para igualar las prestaciones de ambos transistores y que de cara a una señal de entrada se muestre a la salida la misma amplitud de regeneración tanto en su semiciclo positivo como en su semiciclo negativo, se ha seguido el criterio de diseño basado en utilizar el doble de tamaño para el transistor PMOS con respecto al transistor NMOS.

A modo de aclaración, es preciso señalar que dada la salida diferencial del VCO, es necesario implementar un *buffer* de regeneración para cada una de las ramas que atacan al divisor.

Finalmente, al igual que en el caso del VCO, hubo que solucionar los problemas de errores de antena que detecta el proceso tecnológico UMC 90 nm, tal y como se comentó en la sección 3.2.4 del Capítulo 3. Al igual que en este caso, se optó por la solución basada en red de diodos en inversa, como se muestra en la Figura 3.13. Como en el caso anterior, en este diseño basado en la unión del oscilador con el divisor, surgieron problemas de convergencia en los simuladores empleados para obtener la respuesta *post-layout*. Al encontrase unidos dos dispositivos en un mismo chip, los problemas de antena también surgieron en el interconexionado entre ambos. Este extremo se produjo dada la distancia

que era necesario salvar para unir tanto la salida del VCO como la entrada del divisor. Del mismo modo, surgieron complicaciones asociadas a las capacidades parásitas propias de los diodos en inversa, así como a la propia configuración de la red y de la señal a tratar. Al entrar en juego dicha red, la capacidad parásita asociada puede sumarse a la que conforma el tanque, desplazando su frecuencia de oscilación. Por tanto, tal y como se explicó en el Capítulo 3, fue necesario prescindir de la red de diodos en la interconexión del tanque LC con la red de resistencia negativa y en la conexión con el divisor para poder realizar las simulaciones *post-layout* que se muestran en la siguiente sección.

#### 4.1.4 Simulaciones *post-layout*

Una vez diseñado el divisor por 2 e interconectado físicamente junto al VCO en el *layout* que se muestra en la Figura 4.3, se ha procedido a la simulación del sistema completo para comprobar su correcto funcionamiento.

Al igual que en el caso del VCO independiente, se ha utilizado el software *Cadence*, con los simuladores *Harmonic Balance* y *SpectreS*. Ambos simuladores, a pesar de poseer una gran eficiencia, pecan de poseer serios problemas de convergencia a la hora de simular sistemas que posean altos requisitos de cómputo, tales como la unión de un VCO con un divisor. Por tanto es necesario restringir sus requisitos y establecer correctamente los tiempos intermedios entre cálculos, así como el número de iteraciones máximas para encontrar una solución convergente, para evitar que las simulaciones lleguen a un punto de inflexión en el que el simulador deba abortar la operación. Estos problemas se agravan al tener en cuenta los efectos que provocan la red de diodos en inversa que se comentaron en la sección anterior.

Solucionados los problemas concernientes a la convergencia del software de simulación, se obtuvieron los resultados que se resumen en las siguientes figuras, que serán explicadas a continuación.

La Figura 4.6 muestra la simulación *post-layout* del ruido de fase de la unión del VCO con el divisor. Se observa que para un *offset* de 1 MHz el ruido de fase es de -117 dBc/Hz, mejorando ampliamente los -95 dBc/Hz especificados por el estándar, e incluso el asociado al VCO independiente en unos 6 dB.

Con esta mejora significativa de aproximadamente 6 dB en el ruido de fase, se puede vislumbrar el correcto funcionamiento de los *buffers* utilizados para unir la salida del VCO con la entrada del divisor, amplificando y adaptando la señal para ser traslada en frecuencia gracias a la configuración *single bias latch*. En la Tabla 4.1 se muestra un resumen del ruido de fase simulado.



Figura 4.6. Simulación *post-layout* del ruido de fase de la unión del VCO con el divisor.

 

 Tabla 4.1.
 Ruido de fase de la unión del VCO con el divisor rápido obtenido de las simulaciones postlayout.

| Offset de 100 kHz | -86 dBc/Hz    |
|-------------------|---------------|
| Offset de 1 MHz   | -117,1 dBc/Hz |
| Offset de 5 MHz   | -136,2 dBc/Hz |

La Figura 4.7 muestra la curva de frecuencia de salida en función de la tensión de control de la unión del VCO con el divisor rápido. Se observa que la frecuencia de salida del sistema varía de 1 a 1.12 GHz para una Vtune de 1.2 V a 0 V respectivamente, siendo estos valores exactamente la mitad que los obtenidos para el VCO independiente, barriendo el rango requerido en las especificaciones (0.74-0.84 V).

Dicha curva muestra el correcto funcionamiento del divisor rápido, mostrando una respuesta bastante lineal en el rango correspondiente a la mitad de frecuencia asociada al estándar DVB-SH. (1.085-1.1 GHz).



Figura 4.7. Simulación post-layout de la curva de frecuencia de salida en función de la tensión de control.

Al igual que en el caso del VCO independiente, para comprobar el rango dinámico de la señal a la salida del sistema, se han realizado simulaciones del transitorio. Para ello se ha utilizado el simulador *SpectreS*.

En la Figura 4.8 se observa la respuesta transitoria para la salida diferencial, conservando una tensión de aproximadamente 300 mV de pico a pico, con un periodo de 950.1 ps, lo que se traduce en una frecuencia de oscilación de 1.05 GHz para una Vtune de aproximadamente 1V.

Es destacable comentar que el consumo de potencia del divisor rápido se corresponde con una ínfima corriente de 200 µA para una tensión de polarización de 1.2 V, lo que se traduce en que la unión de ambos sistemas no implica una aumento significativo de consumo con respecto a la configuración formada exclusivamente por el oscilador controlado por tensión.



Figura 4.8. Señal transitoria de salida del sistema.

Finalmente, a modo de aclaración, no hay que olvidar que el siguiente bloque conectado al divisor rápido es el divisor programable, por lo que a su entrada poseerá un comparador de niveles para pasar del dominio analógico al digital la señal de la Figura 4.8.

#### 4.1.5 Medida del Divisor Rápido

En este apartado se procederá a mostrar las medidas obtenidas con el chip, siguiendo para ello la misma metodología utilizada en la sección 3.3 del Capítulo 3 referente a la medida del VCO, ya que ambos sistemas comparten el mismo *set-up*. Del mismo modo, en la Figura 4.9 se observa una fotografía del chip fabricado con el circuito formado por el VCO y el divisor resaltado en rojo.



Figura 4.9. Fotografía del chip fabricado con el VCO + Divisor resaltado.



Figura 4.10. Set-up de medida del VCO con el Divisor.

#### 4.1.5.1 Medida de la curva tensión-frecuencia y potencia

Las medidas han sido realizadas utilizando el esquema de la Figura 4.10. Se ha hecho un barrido de la tensión de control de 0 a 1.2 V obteniéndose la Tabla 4.2. En ella se aprecian la potencia y frecuencia de salida del tándem formado por el VCO y el divisor.

Del mismo modo, al igual que en la medida del VCO sólo, sabiendo que la calibración de los cables de medida, DC-Blocks,... fue de 1.1 dB, en la tercera columna de dicha tabla se representa el valor de potencia obtenida tras la corrección.

|           | Frecuencia Fundamental |                      |            |
|-----------|------------------------|----------------------|------------|
| Vtune (V) | P (dBm)                | P corregida<br>(dBm) | Frec (MHz) |
| 0         | -9,84                  | -8,74                | 912        |
| 0,2       | -9,72                  | -8,62                | 910        |
| 0,4       | -9,68                  | -8,58                | 902        |
| 0,6       | -9,71                  | -8,61                | 897        |
| 0,8       | -9,65                  | -8,55                | 884        |
| 1         | -9,54                  | -8,44                | 865        |
| 1,2       | -9,62                  | -8,52                | 858        |

 Tabla 4.2.
 Medida de la potencia y frecuencia de salida de VCO.



Figura 4.11. Espectro de salida del divisor.

Por ende, en la Figura 4.12 se encuentra la representación gráfica de la curva Vtune *vs* Frecuencia a partir de los valores obtenidos en dicha tabla. Si se multiplica por 2 la frecuencia representada, se observa que el VCO oscila en un rango de frecuencias entre 1.824 GHz y 1.716 GHz, es decir, el mismo rango que en el caso de la medida del oscilador sólo. Al igual que en ese caso previo, la explicación viene dada por la inclusión de la red de diodos en inversa para solucionar los problemas de antena.



Figura 4.12. Curva medida tensión vs frecuencia del VCO + Divisor.

Sin embargo, como se observa en la Figura 4.11, el divisor ejecuta con precisión su labor. En dicha figura también se aprecian las réplicas a 1.824 GHz y 2.736 GHz respectivamente, asociadas al propio proceso de división y traslación frecuencial.

En la Tabla 4.3 se muestra un resumen de las medidas y las simulaciones del VCO junto con el divisor en términos de frecuencia de oscilación, potencia de salida y consumo de corriente. Al igual que en el caso del VCO sólo, se observa que si no hubiese sido necesario emplear la red de diodos para solucionar los problemas de antena, el funcionamiento del sistema completo medido habría sido muy similar al obtenido en las simulaciones.

|                                      | Simulación   | Medida           |
|--------------------------------------|--------------|------------------|
| Frecuencia de Oscilación             | 1120-975 MHz | 912-858 MHz      |
| Potencia de salida                   | -8,32 dBm    | -8,74 dBm        |
| Consumo de corriente                 | 16,9 mA      | 17 <b>,</b> 1 mA |
| Consumo de potencia<br>(Vbias=1.2 V) | 20,28 mW     | 20,52 mW         |

Tabla 4.3. Comparación entre medidas y simulaciones del VCO + Divisor (Fosc, Psalida y Consumo).

#### 4.1.5.2 Medida del ruido de fase

Al estar conectado directamente el divisor con el VCO, se ha hecho una medida adicional del ruido de fase generado por dicho tándem. Dicho parámetro se ha medido para una tensión de control de 1 V, tal y como muestran la Figura 4.13. Ha sido necesario seleccionar en el analizador la función promedio (AVERAGE = ON) para obtener medidas más constantes. Esto se representa en dicha figura con la señal indicada como "*Trace 2*".



Figura 4.13. Ruido de fase del VCO + Divisor (Vtune= 1 V).

En la Tabla 4.4 se indican los valores obtenidos para diferentes valores de desviación frecuencial. Del mismo modo, también se incluye una comparación con las

simulaciones *post layout* realizadas. En dicha tabla se observa que ha habido un pequeño empeoramiento del ruido de fase con respecto a las simulaciones, pero con un alto grado de semejanza con los valores obtenidos en el caso del VCO independiente (ver Tabla 3.7), siendo los resultados en cuanto al ruido de fase totalmente aptos para cumplir las exigencias dadas por DVB-SH.

|                                   | Desviación | Ruido de fase  |
|-----------------------------------|------------|----------------|
| Ruido de fase medido<br>del VCO   | 100 KHz    | -75,91 dBc/Hz  |
|                                   | 1 MHz      | -102,04 dBc/Hz |
|                                   | 5 MHz      | -121 dBc/Hz    |
| Ruido de fase simulado<br>del VCO | 100 KHz    | -86 dBc/Hz     |
|                                   | 1 MHz      | -117,1 dBc/Hz  |
|                                   | 5 MHz      | -136,2 dBc/Hz  |

Tabla 4.4. Comparativa del Ruido de fase del VCO medido y simulado.

### 4.2 Divisor Programable

Para la realización del Divisor Programable, es preciso establecer previamente el factor de división necesario a partir de la frecuencia de salida del tándem formado por el VCO y el Divisor Rápido. Esta información se analiza en la siguiente sección.

#### 4.2.1 Elección de Factor de División

A la hora de elegir el Factor de División para poder sintetizar el rango de frecuencias establecido (2.17-2.2 GHz), se han de estudiar varios factores.

Por un lado, dado que los anchos de banda establecidos por el estándar (ver Capítulo 1), no poseen todos el mismo factor común de división, es necesario hacer uso de un Divisor Fraccional N, el cual permitirá implementar la parte decimal proporcional necesaria para poder sintetizar correctamente los valores de frecuencia establecidos. Para ello, se utilizará un Modulador Sigma Delta, el cual será estudiado en el siguiente capítulo.
Por otro lado, para no forzar el funcionamiento del Modulador Sigma Delta, es aconsejable no utilizar una resolución decimal muy elevada, ya que supondría que el orden de este dispositivo sea muy elevado, lo que implicaría que tanto su consumo como su *timing* o retardo se verían perjudicados al integrar el sistema completo.

Gracias a estudios preliminares, en conjunción con el *background* aportado por la Universidad de Sevilla a través de una estancia realizada en dicha institución, se confirmó que un modulador de orden 2 en tiempo continuo permite una resolución de 6 decimales a la salida del sintetizador.

Teniendo en cuenta las restricciones comentadas y las prestaciones que ofrece un Modulador Sigma Delta en Tiempo Continuo de orden 2, en la Tabla 4.5 se observan los resultados concernientes a las frecuencias y factores de división en función del valor de reloj o cristal empleado.

Los cálculos han sido realizados teniendo en cuenta todos los valores de ancho de banda que se han propuesto en la definición inicial de este por DVB (*Digital Video Broadband*).

| Reloj<br>(XTAL)<br>MHz | Canales<br>1,7 MHz | Factor de<br>división | Canales<br>5 MHz | Factor de<br>división | Canales<br>6 MHz | Factor de<br>división | Canales<br>7 MHz | Factor de<br>división | Canales<br>8 MHz | Factor de<br>división |
|------------------------|--------------------|-----------------------|------------------|-----------------------|------------------|-----------------------|------------------|-----------------------|------------------|-----------------------|
|                        | 1085,85            | 27,14625              | 1087,5           | 27,1875               | 1088             | 27,2                  | 1088,5           | 27,2125               | 1089             | 27,225                |
|                        | 1087,55            | 27,18875              | 1092,5           | 27,3125               | 1094             | 27,35                 | 1095,5           | 27,3875               | 1097             | 27,425                |
|                        | 1089,25            | 27,23125              | 1097,5           | 27,4375               | 1100             | 27,5                  | 1102,5           | 27,5625               | 1105             | 27,625                |
|                        | 1090,95            | 27,27375              | 1102,5           | 27,5625               | 1106             | 27,65                 | 1109,5           | 27,7375               | 1113             | 27,825                |
|                        | 1092,65            | 27,31625              | 1107,5           | 27,6875               | 1112             | 27,8                  |                  |                       |                  |                       |
|                        | 1094,35            | 27,35875              | 1112,5           | 27,8125               |                  |                       |                  |                       |                  |                       |
|                        | 1096,05            | 27,40125              |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1097,75            | 27,44375              |                  |                       |                  |                       |                  |                       |                  |                       |
| 40                     | 1099,45            | 27,48625              |                  |                       |                  |                       |                  |                       |                  |                       |
| 40                     | 1101,15            | 52875, 27             |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1102,85            | 27,57125              |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1104,55            | 27,61375              |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1106,25            | 27,65625              |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1107,95            | 27,69875              |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1109,65            | 27,74125              |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1111,35            | 27,78375              |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1113,05            | 27,82625              |                  |                       |                  |                       |                  |                       |                  |                       |
|                        | 1114,75            | 27,86875              |                  |                       |                  |                       |                  |                       |                  |                       |

 Tabla 4.5.
 Factores de División en función del Ancho de Banda.

Con un reloj de 40 MHz, el cual se corresponde con un valor comercial, se consigue que el factor de división sea 27 en todos los casos de ancho de banda posibles establecidos por la definición inicial del estándar DVB-SH.

Este último aspecto supondrá una gran ventaja a la hora de implementar el Divisor Programable, ya que sólo será necesario configurar un único factor de división.

A modo de aclaración, cabe mencionar que el factor de división escogido se refiere a un rango correspondiente a la mitad de frecuencia de trabajo de DVB-SH. Este factor se fundamenta en que se debe tener en consideración que la señal de salida del VCO ha sido dividida entre 2 gracias al divisor rápido estudiado en las secciones anteriores de este mismo capítulo.

Por otro lado, la parte decimal asociada a la división no entera muestra un valor más restrictivo cuando se utiliza un ancho de banda de 1,7 MHz. En este caso extremo, la resolución necesaria es de 5 decimales. Tal y como se comentó anteriormente, gracias al Modulador Sigma Delta de Tiempo Continuo de orden 2, se puede acometer dicho nivel de resolución, ya que este dispositivo ofrece un comportamiento notable hasta una resolución máxima de 6 dígitos.

Con la información obtenida en esta sección, es posible acometer el diseño del Divisor Programable en sí, tal y como se explica en el Anexo 2 de este trabajo de tesis.

Cabe mencionar que al contrario del divisor rápido, es inviable implementar un divisor por 27 utilizando técnicas *full custom*, ya que el tiempo de elaboración y de optimización sería demasiado elevado. Para dicho diseño, se hará uso de herramientas HDL y de síntesis lógica, que permitirán obtener la implementación física *layout* del dispositivo a partir de una definición RTL a nivel de comportamiento. Tales objetivos se cumplirán siguiendo el flujo de diseño explicado en dicho anexo.

#### 4.3 Resumen

En este capítulo se ha abordado el diseño e implementación física del divisor rápido entre 2 y el divisor entre 27.

En el caso del divisor rápido entre 2, se ha hecho uso de un *Single Bias Latch* para su diseño, dadas las ventajas asociadas al consumo de potencia y al *timing* o retardo del dispositivo. Se ha integrado físicamente con el VCO en el *layout* final, comprobándose el correcto funcionamiento de ambos sistemas mediante las simulaciones *post layout* y las

medidas, con la salvedad de la desviación de frecuencias acaecida en el dispositivo físico debida al uso de la red de diodos en inversa para solucionar los problemas de antena.

Por otro lado, para el diseño del divisor entre 27 se ha hecho uso de herramientas HDL y de síntesis lógica, que permitieron obtener la implementación física *layout* del dispositivo a partir de una definición RTL a nivel de comportamiento.

Para ello se hizo uso de software suministrado por *Mentor Graphics*® y *Synopsys*®. Dichas herramientas requirieron de un flujo de diseño específico para cada una de ellas, y así obtener un sistema que se ajustase a los requisitos especificados inicialmente. En el Anexo B de este trabajo de tesis se desglosa la metodología empleada.

En el siguiente capítulo se abordará el diseño del Modulador Sigma Delta, el cual proporcionará la parte decimal de división necesaria para sintetizar todo el ancho de banda asociado al estándar DVB-SH, ya que no es factible sintetizar dicho rango de frecuencias dado un reloj de 40 MHz y un factor de división entero.

# Capítulo 5

# Modulador Sigma Delta

Los moduladores Sigma-Delta se han aplicado en una gran variedad de circuitos electrónicos debido a que ofrecen la posibilidad de conseguir altas resoluciones con circuitos sencillos. En los sintetizadores de frecuencia, la modulación Sigma-Delta se suele aplicar para sintetizar el valor de división fraccional [ZAR05], por lo que una señal Sigma-Delta modulada controla el módulo del divisor de la frecuencia instantánea [DUA09].

El presente capítulo está organizado de la siguiente manera. En primera instancia se dará una introducción a la modulación Sigma Delta, estudiando las características que la definen. En segundo lugar se pasará al diseño de moduladores Sigma Delta en tiempo continuo, utilizando diferentes metodologías. Seguidamente, se realizarán el *layout* y las medidas del circuito físico. Finalmente, se darán soluciones a los problemas que puedan surgir, exponiéndose las conclusiones obtenidas.

#### 5.1 Introducción a la modulación Sigma Delta

Los moduladores Sigma-Delta se emplean fundamentalmente para realizar convertidores de tipo Analógico/Digital y Digital/Analógico [BRO90], [BAI96], [BRE01], [PAY09].

Para ilustrar el principio de funcionamiento de un modulador Sigma-Delta se ha tomado la arquitectura básica de la Figura 5.1. El modulador Sigma-Delta clásico de primer orden está compuesto por un integrador, un muestreador, un cuantificador uniforme de un bit y un convertidor digital analógico (DAC) en el camino de realimentación.



Figura 5.1 Modulador Sigma-Delta Clásico.

El modulador de primer orden es un ejemplo académico que servirá para explicar el funcionamiento de estos moduladores, ya que en la realidad nunca se utiliza debido a las limitaciones que presenta, las cuales se verán más adelante.

Observando la Figura 5.1, el modulador reduce la diferencia que hay entre la entrada y la salida en pasos sucesivos. Si se promedia la salida, se observa que poco a poco esta se va acercando más al valor de la señal de entrada. En teoría, si se promedian infinitas muestras a la salida del modulador, el error del sistema quedaría reducido a 0.

El sistema así formado es fuertemente no lineal. Sin embargo, es posible establecer un modelo lineal suponiendo que el cuantificador es una fuente de ruido blanco, uniformemente distribuido, y no correlado con la señal de entrada. Esta aproximación, ampliamente utilizada en diversos sistemas que incluyen cuantificadores, es válida bajo las condiciones descritas en [GRA97]. El ruido aportado por el cuantificador es considerado aditivo a la salida del integrador, tal como muestra la Figura 5.2.



Figura 5.2 Modulador Sigma-Delta lineal.

Empleando la teoría de sistemas lineales (ecuación (5.1)), se puede demostrar que la salida está compuesta por la suma de la señal de entrada filtrada y el ruido de cuantificación filtrado. Al aplicar la transformada Z sobre el sistema (ecuación (5.2)) se observa que el camino de filtrado del ruido de cuantificación es diferente del camino de filtrado de la señal de entrada.

$$\widetilde{\nu}[n] = \widetilde{u}[n-1] + (\widetilde{e}[n] - \widetilde{e}[n-1])$$
(5.1)

$$V(z) = z^{-1}U(z) + (1 - z^{-1})E(z)$$
(5.2)

Como se aprecia en dichas ecuaciones, el modulador actúa como un elemento de retardo para la entrada (U) y como un filtro paso alto para el ruido de cuantificación (E). Esto demuestra que, tal y como se muestra en la Figura 5.3, el ruido de cuantificación queda atenuado en una determinada banda de frecuencia próxima a cero. El ruido de cuantificación que queda fuera de la banda de interés se podrá filtrar digitalmente con posterioridad. La etapa de filtrado digital incorpora usualmente un filtro de diezmado.



Figura 5.3 Actuación de un modulador Sigma-Delta

A la relación entre la frecuencia de muestreo empleada en la modulación y la frecuencia de Nyquist se le denomina relación de sobremuestreo, OSR (*Over Sampling Rating*) (ecuación (5.3)).

$$OSR = \frac{f_s}{f_N} = \frac{f_s}{2f_B}$$
(5.3)

donde  $f_s$  es la frecuencia de muestreo,  $f_N$  la frecuencia de *Nyquist* y  $f_B$  el ancho de banda del modulador.

Para aumentar la resolución del modulador se puede incrementar el orden de filtrado, el número de bits empleados en la cuantificación y/o incrementar la OSR.

En general se definen dos funciones de transferencia asociadas a un modulador Sigma-Delta. Una función de transferencia para el ruido de cuantificación o NTF (*Noise Transfer Function*) y otra función de transferencia distinta para la señal de entrada o STF (*Signal Transfer Function*).

La señal de salida del modulador Sigma-Delta se puede expresar en función de estas dos funciones de transferencia según la ecuación (5.4). La Figura 5.4 muestra el diagrama de bloques general de un modulador Sigma-Delta totalmente discreto, en el cual el proceso de muestreo de la señal ocurre fuera del bucle de realimentación.



Figura 5.4 Modulador Sigma-Delta discreto.

En la ecuación (4.4) se aprecia que los polos de H(z) serán los ceros de la NTF(z), y que para frecuencias donde H(z) >>1,  $Y(z) \approx U(z)$ .

$$Y(z) = STF(z) \cdot U(z) + NTF(z) \cdot E(z) = \frac{H(z)}{1 + H(z)}U(z) + \frac{1}{1 + H(z)}.$$
(5.4)

Si se incrementa el orden de filtrado del modulador, esto supone un incremento de la NTF. Cuanto más agresiva es la NTF, más resolución puede tener el modulador.

Sin embargo, como se ha estudiado en la literatura [SCH05], cuanto mayor sea el orden del modulador, mayores serán los problemas de estabilidad.

Por otro lado, normalmente un modulador Sigma-Delta está especificado a través de su función de transferencia para el ruido de cuantificación (NTF).

La resolución de un modulador Sigma-Delta se define en base a la relación máxima de señal a ruido (SNR) que puede obtenerse en su señal de salida. En un cuantificador uniforme, se estima de forma aproximada la SNR máxima con la ecuación (5.5) [JOH97].

$$SNR_{uniforme} = 6,02N + 1,76dB \tag{5.5}$$

donde N es el número de bits del cuantificador.

Teniendo en cuenta la ecuación (5.5), se define la resolución de un modulador Sigma-Delta con la ecuación (5.6).

$$ENOB = \frac{SNR_{m \delta xima} (dB) - 1.76}{6.02} bits$$
(5.6)

donde ENOB se refiere al número de bits efectivos del convertidor A/D obtenido.

Tal y como se ha comentado al principio de este apartado, los moduladores Sigma-Delta de primer orden tienen solamente una función académica. El motivo es debido a que el propio modulador introduce ruido en la banda de la señal cuando la entrada es una señal continua o de muy baja frecuencia. Esto es, cuando el modulador recibe una señal en continua intenta llegar a un error de valor nulo, cuando lo alcanza vuelve a empezar la misma búsqueda. Si no hay ruido en la entrada, este proceso será cíclico, con una periodicidad que dependerá del valor de la señal de entrada. Y, en caso de que este periodo sea lo suficientemente largo, su frecuencia podría entrar dentro de la banda base, y por lo tanto, no sería eliminada. Esto introduce señales periódicas en la señal de salida (*idle tones*) [CAN81].

Existen diversos métodos para solucionar este problema, como añadir ruido a la señal de entrada. Del mismo modo, también existen otras posibilidades como aumentar el orden del modulador. Con esta última solución, además de evitar los *idle tones* [CAN85], se aumentará la SNR.

Se ha comprobado que el modelo lineal es útil para estimar la resolución y características de los moduladores de una forma rápida. Sin embargo, deja de funcionar cuando alguna de las condiciones descritas en [GRA97] deja de cumplirse razonadamente bien. Dos casos en los que el modelo lineal no funciona son los siguientes: la generación de tonos no deseados (*idles tones*) en el espectro de salida explicado anteriormente, y la inestabilidad del modulador. Ambos problemas han sido tratados ampliamente en la literatura [NOR97], [CHE98], [CHE00]. Este último contratiempo será estudiado en la siguiente sección.

#### 5.2 Estabilidad de los moduladores Sigma-Delta

Con el modelo de la Figura 5.2, el cual supone el cuantificador lineal, la estabilidad del sistema vendrá determinada solamente por el filtro de lazo H(z). Sin embargo, a la hora de analizar la estabilidad se ha de tener en cuenta que el cuantificador no es ideal y, por lo tanto influirá en ésta [SCH05].

Para entender esto, si se tiene una señal demasiado grande, la entrada del primer integrador será positiva en todo el intervalo y, la salida del mismo crecerá sin límite haciendo el lazo inestable.

El rango de magnitudes de entrada sobre las que el modulador funciona correctamente es llamado rango de entrada estable. La operación del modulador será correcta si el filtro de lazo permanece lineal (las señales de entrada no saturan los elementos activos) y si el cuantificador no es sobrecargado. Por lo tanto, el rango de entrada estable debe ser menor o igual que el fondo de escala (FS) del DAC de realimentación, especialmente si se emplea una cuantificación de un bit este rango debería ser un poco menor al FS. Esta pérdida en el rango se debe más a los efectos no lineales de la sobrecarga del cuantificador, que al hecho de que haya un rango lineal insuficiente en el filtro de lazo.

Si la NTF es "*Conditio sine qua non*" para describir las propiedades de estabilidad de un modulador de un bit, una cuestión importante será "¿Qué características de la NTF serán necesarias para que el modulador sea estable?". Desafortunadamente, no existe una respuesta simple y exacta [SCH05]. Los resultados probados son generalmente demasiado restrictivos o aplicables solamente para moduladores específicos con entradas constantes. El criterio de estabilidad más usado es el criterio de Lee [NOR97] el cual establece:

# Un modulador Sigma-Delta binario con una NTF(z) es probable que sea estable si max $|NTF(e^{jw})| < 1.5$

Donde max  $|NTF(e^{jw})|$  es la ganancia máxima de la NTF en todas las frecuencias, también conocida como la norma infinito de la NTF (cuya notación matemática es  $||NTF||_{\infty}$ ). Este criterio no es ni necesario ni suficiente para garantizar que un sistema sea estable. No obstante, debido a su simplicidad, es ampliamente usado.

# 5.3 Moduladores Sigma-Delta en Tiempo Continuo

La mayoría de los moduladores Sigma-Delta que se han desarrollado en los últimos años emplea las técnicas de condensadores conmutados [BAI96], ya que es relativamente sencillo aplicar las matemáticas del modulador en su implementación.

Sin embargo, la frecuencia de muestreo de los moduladores en tiempo discreto está limitada por los tiempos de establecimiento de las etapas del filtrado del modulador [JUI05], [LUH00]. Idealmente, la resolución del modulador está determinada por el orden del filtro, la relación de sobremuestreo y el número de niveles del cuantificador. Por tanto, si es posible incrementar la frecuencia de muestro, manteniendo los demás requisitos, el ancho de banda del modulador se verá incrementado sin perder resolución.

Una forma de conseguir velocidades mayores en el reloj de muestreo consiste en implementar el filtro del modulador con circuitos en tiempo continuo (Figura 5.5), tales como circuitos LC, integradores Gm-C o integradores basados en amplificadores operacionales [JEN95].

La limitación de la frecuencia de muestreo de los moduladores Sigma-Delta en Tiempo Discreto (SDTD) es lo que ha determinado la realización de un modulador en Tiempo Continuo (SDTC), puesto que la frecuencia de referencia empleada en el sintetizador es de 40 MHz.



Figura 5.5 Modulador Sigma Delta de tiempo continuo.

Los moduladores SDTC son capaces de trabajar a mayores velocidades de reloj de muestreo que los moduladores SDTD. Esto se debe a la limitación en frecuencia que presenta la conmutación de capacidades en un modulador SDTD.

Por otra parte, en los moduladores SDTC no aparecen *glitches* en los nodos de masa virtual de los amplificadores operacionales usados, lo que sí ocurre cuando se emplean circuitos con condensadores conmutados.

Otro problema importante que presentan los moduladores SDTD es el fenómeno de *aliasing*, debido a que dos señales separadas por un múltiplo de la frecuencia de muestreo son indistinguibles. Por tanto, los moduladores SDTD necesitarán un filtro *antialiasing* a su entrada.

Sin embargo, esto puede evitarse en los moduladores SDTC debido a las características propias de filtrado que poseen [CHE00].

Aparte de las ventajas que los moduladores SDTC presentan frente a los moduladores SDTD, para su diseño se ha de tomar en consideración una serie de problemas asociados a éstos [CHE00].

Los moduladores SDTC siguen teniendo los problemas asociados a la incertidumbre del instante de muestreo, o lo que es lo mismo, al *jitter* de la señal de reloj [CHE00] y a la metaestabilidad del comparador, pero con más influencia sobre la resolución final que en los moduladores SDTD. El mecanismo de producción del *jitter* del reloj es de origen aleatorio y está incorrelado con la entrada. Sin embargo, el mecanismo por el cual se acopla a la señal de salida requiere de una caracterización matemática complicada [PAT04].

Además, en los moduladores SDTC existe un retraso entre el instante de muestreo y el instante en que se actualiza la salida del DAC como consecuencia de dicho muestreo. Aunque idealmente la corriente de salida del DAC responde inmediatamente al flanco del reloj de muestreo, en la práctica los transistores de los registros del cuantificador y el DAC no pueden conmutar instantáneamente. Este retardo que se origina en el camino de realimentación se denomina retardo de bucle en exceso o ELD (*Excess Loop Delay*).

En los moduladores SDTD no existe un problema análogo por lo que este retardo es característico de los moduladores SDTC.

El ELD ha sido ampliamente estudiado por varios investigadores. Una de las contribuciones más detalladas y extensas se puede encontrar en [CHE00].

Todos los estudios y trabajos sobre el efecto del ELD en los moduladores SDTC concluyen en que causa un aumento de la inestabilidad del sistema, y como consecuencia, un decremento de la resolución alcanzable. Por este motivo, los diferentes investigadores han buscado algún método de compensación.

Básicamente existen dos técnicas de compensación publicadas en la literatura. La primera, y más extendida, consiste en hacer una compensación polo-cero en el dominio discreto [CHE00].

La implementación más extendida de este método consiste en añadir un camino de realimentación alrededor del cuantificador [BEN97], [LUH00], [ZHI02]. La ventaja de esta implementación es que las no idealidades del DAC que hay que incluir están conformadas por la NTF del modulador. El inconveniente es que esta compensación puede resultar poco robusta si no se tienen en cuenta las no idealidades del sistema cuando se lleva a cabo la conversión del modulador SDTD en un modulador SDTC.

La segunda técnica de compensación consiste también en añadir un cero a H(s). En este caso, en lugar de buscar la cancelación polo-cero en el dominio discreto, el cero se coloca a la frecuencia fija fs/2 [LUH00]. Esto mejora el comportamiento del sistema sin perder demasiada resolución, aunque si el ELD es muy grande puede resultar insuficiente.

### 5.3.1 Diseño de moduladores Sigma-Delta en Tiempo Continuo

Actualmente, existen diferentes herramientas CAD para diseñar la NTF de moduladores SDTD. Sin embargo, no existe una metodología general para el diseño de moduladores SDTC. Principalmente, se pueden emplear dos métodos para el diseño de estos últimos, los cuales se explicarán en este apartado.

Una de las metodologías consiste en diseñar el modulador completamente en el dominio analógico [BRE01]. Este método puede resultar relativamente sencillo si se emplean herramientas CAD para el diseño de filtros analógicos, ya que es suficiente con especificar las características más comunes del mismo, tales como el ancho de banda, tipo de filtro, etc.

Sin embargo, la metodología más extendida consiste en diseñar primero un modulador en tiempo discreto para posteriormente encontrar su equivalente en tiempo continuo empleando la respuesta invariante al impulso [CHE00]. En este caso se empleará el *toolbox delsig* de Matlab [MATH], [SCH03] para realizar un modulador SDTD y, posteriormente, encontrar su equivalente en tiempo continuo usando dicha metodología.

En los siguientes dos apartados se explicarán dichas metodologías, comenzando por el diseño en el dominio analógico.

## 5.3.1.1 Diseño de moduladores SDTC en el Dominio Analógico

En la Figura 5.6 se observa un modulador SDTC donde el cuantificador se ha modelado con una ganancia lineal y una fase  $\theta$ . El método consiste en diseñar un filtro analógico de forma que cumpla con las especificaciones que se han fijado (SNR, DR, etc.) y que el sistema sea estable. Se ha de poner especial atención a la estabilidad del sistema para señales de amplitud cercanas al fondo de escala del convertidor, tal y como se ha explicado en secciones anteriores.



Figura 5.6 Modulador SDTC totalmente analógico.

Esta metodología tiene dos inconvenientes como consecuencia del modelo usado (Figura 5.6).

En primer lugar, el modelo sólo es aplicable a los moduladores SDTC que empleen cuantificadores de un solo bit [BEI03]. Y, en segundo lugar, esta metodología no menciona cómo resolver de forma sistemática los clásicos problemas de los moduladores SDTC: el retardo de bucle en exceso y la sensibilidad a la incertidumbre del instante de muestreo.

### 5.3.1.2 Diseño de moduladores SDTC basado en la Respuesta Invariante al Impulso

Esta metodología consiste en especificar la NTF de un modulador SDTD para después, a través de una transformación matemática, encontrar una forma de implementar la NTF diseñada con un modulador SDTC.

El primer investigador que empleó esta técnica fue James C. Candy [CAN74], [CAN81]. El trabajo que publicó en [CAN85] ha sido ampliamente referenciado por muchos investigadores posteriores. El modulador que se describe en esta publicación se conoce como el modulador clásico o estándar de segundo orden. A partir de este modulador, diseñado en tiempo discreto con dos caminos de realimentación, encontró un modulador equivalente en tiempo continuo. El resultado que obtuvo es el mismo que resulta de aplicar el principio de la respuesta invariante al impulso.

Posteriormente han sido publicados algunos trabajos que usan una transformación bilineal [BRO90] o la transformada Z modificada [HOR90], bien para el diseño de los moduladores o bien para su modelado y simulación. Pero en este trabajo se ha optado por usar la respuesta invariante al impulso al considerar el método más ajustado a la realidad.

Para explicar esta equivalencia, primero se ha de especificar la condición que debe cumplirse para que dos moduladores sean equivalentes. Supóngase el caso en el que a dos moduladores se les aplica la misma forma de onda. Si se realiza una simulación en cada uno y ambos producen la misma secuencia de bits a su salida, ambos moduladores serán equivalentes. Se puede garantizar que producirán la misma secuencia de bits si se comprueba que las entradas a los cuantificadores son exactamente las mismas en los instantes de muestreo.

Para ilustrar esta equivalencia, se han tomado los dos moduladores de la Figura 5.7. En el modulador de la Figura 5.7(a) se muestrea la señal justamente antes del cuantificador, en lugar de que este muestreo esté implícito en el mismo, lo cual no cambiará el comportamiento del modulador. En el diagrama de abajo de la Figura 5.7(a) se observa el diagrama en lazo abierto del modulador al cual se le ha anulado la señal de entrada.



Haciendo lo mismo con el modulador de la Figura 5.7(b) se obtienen dos diagramas en lazo abierto (uno continuo y otro discreto) que pueden compararse.

Figura 5.7 Moduladores en lazo abierto.

La entrada al diagrama en lazo abierto de la Figura 5.7(a) será la salida del modulador y(n). Esto es, una entrada en tiempo discreto, la cual solo cambia en los instantes de muestreo. Esta será la entrada al DAC, el cual puede verse como un convertidor de tiempo discreto a continuo que toma y(n) y produce un pulso continuo y(t). Este pulso será filtrado por H(s), para ser muestreado posteriormente convirtiéndolo en una señal de tiempo discreto x(n). Si se observa el diagrama en lazo abierto discreto, las señales nunca dejan el dominio en tiempo discreto.

Notar que tanto para el diagrama en tiempo continuo como para el discreto, la entrada y la salida son señales discretas. Como se ha comentado, dos moduladores serán equivalentes si sus entradas al cuantificador son iguales en los instantes de muestreo (ecuación (5.7)).

$$\mathbf{x}(\mathbf{n}) = \mathbf{x}(\mathbf{t})\Big|_{\mathbf{t}=\mathbf{n}\mathbf{T}} \tag{5.7}$$

Esto debería cumplirse si la respuesta al impulso de los diagramas en lazo abierto de las Figura 5.7 (a) y (b) fueran iguales en los instantes de muestreo. Esto conduce a la condición de la ecuación (5.8) [CHE00].

$$Z^{-1} \{ H(z) \} = L^{-1} \{ R_{D}(s) H(s) \}_{t=nT_{s}}$$
(5.8)

donde  $R_{D}(s)$ es la respuesta al impulso del DAC.

Por lo tanto, si se quiere explotar esta equivalencia para diseñar un modulador SDTC, se han de seguir los siguientes pasos:

- Diseñar una NTF (z) que cumpla las especificaciones de diseño que se han fijado. Esto puede realizarse de varias maneras, pero se ha empleado el método descrito en [Sch03].
- 2. Una vez se ha obtenido la NTF(z), se calcula H(z) según el modelo lineal:

$$NTF(z) = \frac{1}{1 + H(z)} \Rightarrow H(z) = \frac{1}{NTF(z)} - 1$$
 (5.9)

- Se escoge el tipo de pulso de los DAC de la realimentación y se calcula H(s) [CHE00].
- 4. El siguiente paso será seleccionar la arquitectura y calcular los coeficientes que la implementan.
- Por último, realizar una simulación temporal en un simulador que incluya los efectos no ideales.

Como se ha comentado, el cuarto paso consisten en la elección de la arquitectura que se va a emplear en el diseño. Existen diferentes arquitecturas a la hora de implementar un modulador Sigma-Delta las cuales se explicarán a continuación.

#### 5.3.1.2.1 Arquitecturas de implementación

Generalmente, existen dos tipos de arquitecturas para la implementación de los moduladores Sigma-Delta. El primer tipo consiste en filtros de uno o múltiples lazos que contienen integradores y/o resonadores. El segundo tipo son arquitecturas que emplean filtros conformadores de ruido multietapa (*MASH* del inglés *Malti stAge noise SHaping*) [SCH05]. Por comodidad, en la implementación de moduladores SDTC se suele emplear el primer tipo. Esto es debido a la correspondencia del hardware con las ecuaciones de estado que describen el sistema [PAT04]. Por lo tanto, este trabajo se centrará en este tipo.

Una función de transferencia dada podrá ser implementada con múltiples topologías. La elección de esta arquitectura es muy importante en el rendimiento del circuito, existiendo diversas figuras de mérito (FOM) para evaluar dicho rendimiento. En este caso se ha decantado por la FOM explicada en [SCH05] (ecuación (5.10)):

$$FOM = DR \cdot 10\log\left(\frac{BW}{P}\right) \tag{5.10}$$

Donde DR es el rango dinámico, BW el ancho de banda de la señal y P es el consumo de potencia.

De acuerdo con las topologías de implementación basadas en usar una cascada de integradores o resonadores, se obtiene una familia de arquitecturas como la mostrada en la Figura 5.8.

Es importante destacar que los ceros de la NTF podrán estar optimizados o no. Si se desea que los ceros estén optimizados, se han de emplear resonadores. Estas estructuras se corresponden con dos integradores conectados en cascada y realimentados mediante una ganancia *g* como en la Figura 5.8. Si no se desea optimizar dichos ceros, se han de eliminar estas realimentaciones.

Considerando la Figura 5.8 existen varias familias para realizar la NTF:

- Cascada de integradores con múltiples realimentaciones (CIFB).
- Cascada de integradores con múltiples prealimentaciones (CIFF).
- Cascada de resonadores con múltiples realimentaciones (CRFB).
- Cascada de resonadores con múltiples prealimentaciones (CRFF).

Al elegir la topología de implementación, se optará por una arquitectura que tenga, o bien múltiples realimentaciones, o bien múltiples prealimentaciones, pero no ambas ya que la conjunción de estas aumentará el consumo de potencia [PAT04].



Figura 5.8 Arquitectura genérica de un modulador SDTC.

# 5.4 Diseño de un modulador SDTC en la tecnología 90 nm de UMC

En este apartado se procederá al diseño de un modulador Sigma-Delta de orden 2, tal y como muestra la Figura 5.9. En el Capítulo 8, correspondiente a la simulación del sistema total, se verificará si dicho modulador es apto para ser integrado en un sintetizador para DVB-SH.

Para realizar este modulador se han realizado dos diseños diferentes que, posteriormente, serán comparados. El primero se basa en la estructura típica de un modulador SDTC de orden 2 [CHE00], el cual está compuesto por dos integradores, un comparador y sus respectivas realimentaciones. Dicho diseño se ha desarrollado haciendo uso de la respuesta invariante al impulso anteriormente estudiada. Los coeficientes obtenidos según dicho método son los mostrados en la Tabla 5.1.



Figura 5.9 Modulador Sigma Delta de tiempo continuo y orden 2.

| a1 | a2  | c1 | c2 |
|----|-----|----|----|
| 1  | 1.5 | 1  | 1  |

Tabla 5.1.Valores de los coeficientes calculados.

El siguiente diseño se ha realizado empleando un filtro *biquad* de orden 2 [WEN06]. De este modo se puede emplear una única realimentación, lo que permite reducir el consumo. Este último circuito ha sido implementado siguiendo el método del diseño en el dominio totalmente analógico. En el siguiente apartado se explicarán con más detalle las estructuras implementadas.

#### 5.4.1 Estructuras para el modulador Sigma-Delta

Como se ha comentado anteriormente, se han realizado dos moduladores de orden 2 empleando dos estructuras diferentes. Estas estructuras se muestran en las Figura 5.10 y Figura 5.11, correspondiendo a un diseño basado en la respuesta invariante al impulso y a un circuito basado en filtros analógicos respectivamente.



Figura 5.10 Modulador Sigma-Delta de orden dos empleando integradores.

Los elementos más importantes que componen estos moduladores son, en el caso del modulador de la Figura 5.10, los integradores, el comparador y las realimentaciones, y en el caso del modulador de la Figura 5.11, el filtro *biquad*, el comparador y la realimentación. A continuación, se explicarán cada uno de estos elementos desarrollados.



Figura 5.11 Modulador Sigma-Delta empleando un filtro *biquad* de segundo orden.

Para la implementación de los integradores se ha decidido emplear una estructura Gm-C, la cual está formada por un transconductor (OTA), que básicamente es una fuente de corriente controlada por tensión, y un condensador. La Figura 5.12 muestra una posible implementación siguiendo un esquema diferencial.



Figura 5.12 Integrador Gm-C diferencial.

En el caso de un filtro *biquad*, un esquema básico totalmente diferencial se muestra en la Figura 5.13 [PRO96], el cual se ha empleado en el modulador analógico. Como se puede apreciar está compuesto básicamente por transconductores y condensadores.

Además, esta configuración *biquad* es muy útil ya que con ella se pueden producir tanto respuestas paso-bajo como paso-banda [KUM11].



Figura 5.13 Filtro *biquad*.

Por otro lado, el comparador es un bloque muy importante en el diseño del modulador Sigma-Delta. Éste básicamente compara una señal analógica con otra señal analógica [CHE00] y da como resultado una señal binaria basada en esta comparación. Como ya se ha estudiado anteriormente, un comparador es un circuito no lineal.



Figura 5.14 *Latch-Comparator* + Preamplificador.

Existen varios tipos de arquitecturas de comparadores, y en este trabajo se ha decidido emplear un *latch-comparator* con preamplificador (Figura 5.14) por las ventajas que este presenta, ya que el uso de un preamplificador permite reducir la sensibilidad del comparador.

Por último, la implementación de las realimentaciones se muestra en la Figura 5.15. Este circuito básicamente consiste en una fuente de corriente y dos interruptores que conducen la corriente bien hacia el ramal positivo o bien hacia el ramal negativo dependiendo del valor digital de la entrada (D y DB). Es decir, estas realimentaciones se comportan básicamente como un conversor analógico digital (DAC) de un bit.



Figura 5.15 DAC de realimentación.

Una vez se han explicado los diferentes elementos que componen los moduladores y que son comunes a ambos, el siguiente paso será el diseño de los mismos a nivel de transistores. Para ello se hará uso de la metodología gm/ID [JES10] que se explica de manera pormenorizada en el Anexo C.

### 5.4.2 Diseño del Amplificador Operacional de Transconductancia

En este apartado se aborda el diseño del Amplificador Operacional de Transconductancia (OTA) en la tecnología 90 nm de UMC. Dicho circuito será diseñado empleando la metodología  $g_m/I_D$  (ver Anexo C). Del mismo modo, este bloque conformará el núcleo de los integradores, el filtro *biquad* y los comparadores que integran los dos moduladores Sigma Delta diseñados.

El principal cuello de botella en muchos circuitos analógicos son los amplificadores operacionales. Existen diferentes estructuras de OTAs y será el diseñador quién deba elegir qué estructura tendrá mejores características para las especificaciones requeridas [RAZ01]. Un OTA se define como una fuente de corriente controlada por tensión. Su transconductancia vendrá dada por la ecuación (5.11) y normalmente está fijada por la transconductancia de la etapa diferencial [DAM08].

$$G_m = \frac{I_{out}}{V_{IN+} - V_{IN-}}$$
(5.11)

En este trabajo se ha optado por un OTA "cascodo doblado" debido a la ganancia y el amplio ancho de banda que presenta [BAK98]. La estructura de este OTA se observa en la Figura 5.16.

Dicho OTA está compuesto por una etapa diferencial NMOS ( $M_9$  y  $M_{10}$ ). Los transistores  $M_{11}$  y  $M_{12}$  proporcionarán la tensión de polarización a  $M_1$ ,  $M_2$ ,  $M_7$  y  $M_8$ . Las ecuaciones (5.12) y (5.13) dan la ganancia en lazo abierto y el producto de ganancia por ancho de banda, respectivamente.

$$A_{V} = \frac{g_{m9} \cdot g_{m6} \cdot g_{m4}}{I_{D}^{2} \left(g_{m4} \lambda_{N}^{2} + g_{m6} \lambda_{P}^{2}\right)}$$
(5.12)

$$GBW = \frac{g_{m9}}{C_L} \tag{5.13}$$

Donde  $g_{mx}$  son las transconductancias de los transistores,  $I_D$  es la corriente de drenador de  $M_4$ ,  $M_6$  y  $M_8$ ,  $C_L$  es la capacidad del nodo de salida y  $\lambda_N$  y  $\lambda_P$  son los parámetros que modelan la modulación de la longitud del canal para los transistores N y P respectivamente.



Figura 5.16 Cascodo doblado.

Teniendo en cuenta que los transistores  $M_4$  y  $M_6$  son complementarios, es decir,  $g_{m4}=g_{m6}$ , se puede reescribir la ecuación (5.12) en la ecuación (5.14).

$$A_{V} = \frac{g_{m9} \cdot g_{m6}}{I_{D}^{2} \left(\lambda_{N}^{2} + \lambda_{P}^{2}\right)}$$
(5.14)

Para diseñar este OTA según la metodología  $g_m/I_D$  se ha de seguir el flujo de diseño visto anteriormente. Por lo tanto, el primer paso consistirá en fijar las especificaciones (Tabla 5.2). Estas especificaciones se han fijado en base al diseño de otros de amplificadores operacionales vistos en la literatura y empleados en moduladores Sigma-Delta.

| Ganancia                    | >20 dB   |
|-----------------------------|----------|
| Ganancia por ancho de banda | >100 MHz |
| Capacidad de salida         | 0.1 pF   |
| Tensión de alimentación     | 1.2 V    |
| Potencia disipada           | <500 μW  |

Tabla 5.2.Especificaciones para el OTA.

A partir de estas especificaciones, se ha decidido fijar la relación  $g_m/I_D$  para los transistores del par diferencial en la región de inversión moderada, puesto que es en esta región donde existe mejor equilibrio entre consumo y características. Con las especificaciones anteriores y las ecuaciones de caracterización se fijan los diferentes parámetros del circuito. La ecuación (5.15) derivada de la ecuación (5.13) especifica la corriente de polarización, la cual ha sido optimizada mediante simulaciones *software* iterativas, obteniéndose un valor de 20µA.

$$GBW = \frac{g_{m9}}{I_D} \frac{I_D}{C_L}$$
(5.15)

Como se ha comentado, es deseable que los transistores del par diferencial de entrada  $(M_9 \text{ y } M_{10})$  trabajen en la región de inversión moderada  $(g_m/I_D)_{9,10}=20$ . Los transistores del espejo de corriente  $M_{12}$ ,  $M_{11}$ ,  $M_1$ ,  $M_2$ ,  $M_7$  y  $M_8$  deberán estar en inversión fuerte, para garantizar un buen apareamiento y unas buenas propiedades de ruido [PAI03].

Los tamaños calculados de todos los transistores se muestran en la Tabla 5.3. Además, las tensiones  $V_1$  y  $V_2$  se han fijado a -667mV y 667mV, respectivamente. Estos valores se han calculado haciendo un barrido de diferentes valores en simulaciones.

|                   | W/L  | W (m) | L (m) |
|-------------------|------|-------|-------|
| $M_1$             | 4    | 480n  | 120n  |
| $M_2$             | 4    | 480n  | 120n  |
| $M_3$             | 2    | 240n  | 120n  |
| ${ m M}_4$        | 2    | 240n  | 120n  |
| $M_5$             | 1.25 | 150n  | 120n  |
| ${ m M}_6$        | 1.25 | 150n  | 120n  |
| $M_7$             | 1.25 | 150n  | 120n  |
| ${ m M_8}$        | 1.25 | 150n  | 120n  |
| $M_9$             | 20   | 2.4u  | 120n  |
| $\mathbf{M}_{10}$ | 20   | 2.4u  | 120n  |
| M <sub>11</sub>   | 2.5  | 300n  | 120n  |
| M <sub>12</sub>   | 4    | 480n  | 120n  |

Tabla 5.3.Relación de tamaños de los transistores del OTA.

Con estos valores se han cumplido las especificaciones dadas inicialmente y en Tabla 5.4 se muestran los resultados obtenidos. Del mismo modo, en la Figura 5.17 se representa la gráfica de la respuesta en frecuencia, siendo el sistema estable con un amplio margen de fase de 84°.

Tabla 5.4.Características del OTA diseñado.

| Ganancia                    | 24 dB            |
|-----------------------------|------------------|
| Ancho de banda a 3dB        | 20 MHz           |
| Ganancia por ancho de banda | 289 MHz          |
| Margen de Fase              | 84,78°           |
| Slew Rate                   | 550 V/μs         |
| Tensión de salida máxima    | 1,01 V           |
| Tensión de salida mínima    | 0,004 V          |
| Potencia disipada           | 7 <b>3,</b> 8 μW |
| Transconductancia           | 6 µS             |



Figura 5.17 Análisis AC del OTA.

#### 5.4.3 Diseño del Comparador

Tal y como se comentó anteriormente, se procederá a la integración de un *latch-comparator* con preamplificador (Figura 5.14).

Típicamente, un preamplificador consiste en una o dos etapas de un comparador en lazo abierto con una ganancia elevada [JUN10]. El uso de este preamplificador permite reducir la sensibilidad del comparador, debido a que si en un principio se tiene una sensibilidad de 5mV y se acopla un preamplificador de ganancia 10, la sensibilidad del sistema será de 500µV. Además, el uso de una etapa de preamplificación reducirá considerablemente el ruido *kickback* [SAN11], el cual será explicado con detenimiento más adelante.

El preamplificador empleado se muestra en la Figura 5.18. Este circuito deberá poseer un gran ancho de banda para conseguir altas velocidades. Los tamaños de los transistores de este preamplificador se muestran en la Tabla 5.5.

Dichos valores se han calculado siguiendo la metodología explicada anteriormente, y haciendo que los transistores del par diferencial se encuentren en inversión moderada. Además, la corriente de polarización se ha fijado a 1µA.

|                | L (m) | W (m) |
|----------------|-------|-------|
| $\mathbf{M}_1$ | 120n  | 255n  |
| $M_2$          | 120n  | 255n  |
| $M_3$          | 1.2u  | 240n  |
| ${ m M}_4$     | 1.2u  | 240n  |
| $M_5$          | 1.2u  | 240n  |
| $M_6$          | 1.2u  | 240n  |

Tabla 5.5.Tamaño de los transistores del preamplificador.

Se ha simulado el comportamiento del preamplificador, y en su salida se han empleado puertas de transmisión como carga. Estos bloques permiten disminuir el ruido *kickback* considerablemente. El resultado de la simulación se muestra en la Figura 5.19, donde se aprecia que el diseño tiene un producto de ganancia por ancho de banda (GBW) mayor a 1 GHz, siendo además estable.









Figura 5.19 Simulación AC del preamplificador.

Igualmente, el *latch-comparator* [PAI03] mostrado en la Figura 5.20, posee un par diferencial de entrada NMOS ( $M_1$  y  $M_2$ ), dos inversores ( $M_4$ - $M_9$  y  $M_3$ - $M_8$ ) conectados en configuración de realimentación positiva, dos transistores de precarga ( $M_6$  y  $M_7$ ) y una

fuente controlada por tensión ( $M_5$ ). Esta estructura posee la ventaja de tener un bajo consumo en *stand-by*, debido a que en la fase de *reset* el consumo de corriente es cero.

Cuando la señal de reloj está a "nivel bajo" (fase de *reset*), los transistores  $M_7$ ,  $M_3$ ,  $M_4$  y  $M_6$  fuerzan los nodos de salida y los drenadores de los transistores del par diferencial ( $M_1$  y  $M_2$ ) a  $V_{DD}$ . El transistor  $M_5$  estará apagado y no existirá corriente de alimentación. Cuando la señal de reloj está a "nivel alto", los transistores de precarga son abiertos; la corriente comienza a fluir por  $M_5$  y, por lo tanto, por el par diferencial. Dependiendo de la tensión de entrada, uno de los inversores recibirá más corriente, lo cual determinará el estado final de salida.

Después de que se complete la regeneración, uno de los nodos de salida estará a  $V_{DD}$  mientras que la otra salida y los drenadores del par diferencial tendrán una tensión de 0V. En esta situación, no hay consumo de corriente, lo cual maximiza la eficiencia energética.

La velocidad de este tipo de comparadores es fuertemente dependiente de la corriente de polarización.

De los diferentes comparadores existentes [FIP06], éste es uno de los que más velocidad y eficiencia energética presenta, pero también es uno de los que más ruido *kickback* posee.



Figura 5.20 Latch-Comparator.

En el diseño de este comparador se ha seguido la misma metodología que en los circuitos anteriores, siendo los tamaños de los transistores los mostrados en la Tabla 5.6.

Los *latch-comparators* trabajan síncronamente con la señal de reloj. Éste compara las señales que tiene a su entrada y da una señal digital en función del valor de las mismas. Para ello, usa un mecanismo de realimentación positiva que regenera la señal de entrada analógica en una señal digital [JWU88].

|                | W (m) | L (m) |
|----------------|-------|-------|
| $M_1$          | 18u   | 120n  |
| $M_2$          | 18u   | 120n  |
| $M_3$          | 6u    | 1u    |
| ${ m M}_4$     | 6u    | 1u    |
| $M_5$          | 4u    | 120n  |
| $M_6$          | 400n  | 120n  |
| M <sub>7</sub> | 400n  | 120n  |

Tabla 5.6.Tamaño de los transistores del Latch-Comparator.

Las grandes variaciones de tensión sobre los nodos de regeneración son acopladas, a través de las capacidades parásitas de los transistores, a la entrada del comparador. Como el circuito que precede al comparador no tiene una impedancia de salida nula, estas variaciones podrían degradar la precisión del comparador afectando a la tensión de entrada del mismo [RAZ95]. Estas variaciones de tensión acopladas a la entrada se conocen como ruido *kickback*.

Como se ha comentado, añadiendo un preamplificador antes del comparador se atenuará el problema del ruido *kickback*, con la desventaja de que este preamplificador introducirá una disipación de energía estática [FIP06].

Para reducir el efecto de este ruido, existe la posibilidad de insertar puertas de transmisión en las entradas del comparador que actúan como interruptores.

Dichos interruptores se abrirán en la fase de regeneración [KIM01]. Esto eliminará el ruido *kickback* durante dicha fase. Sin embargo, aparecerá ruido *kickback* al comienzo de la fase de *reset* cuando los interruptores son cerrados de nuevo.

A pesar de este último escollo, se ha decidido emplear esta técnica por su sencillez, ya que se ha logrado disminuir significativamente dicho ruido.

Una vez diseñado el *latch-comparator* con el preamplificador, en la Figura 5.21 se muestra el esquema completo, incluyendo las puertas de transmisión. Finalmente, el rendimiento del sistema completo se resume en la Tabla 5.7. Las simulaciones se han realizado con una carga de salida de 0,1pF.

| Retardo $\rightarrow t_{DHL} (ns)_{phi1 \rightarrow Vo^{+}}$                             | 2,2 ns       |
|--|--------------|
| Retardo $\rightarrow t_{\text{DLH}} (\text{ns})_{\text{phil} \rightarrow \text{Vo}^{+}}$ | 4,9 ns       |
| Frecuencia   | 40 MHz       |
| Sensibilidad $\rightarrow \Delta V_{in}$   | $50 \ \mu V$ |
| Corriente polarización   | 170 μA       |

Tabla 5.7.Resultados del Comparador diseñado.

Como se puede apreciar, se ha conseguido una sensibilidad muy alta, debido al uso del preamplificador a la entrada del comparador.



Figura 5.21 Preamplificador + *Latch-Comparator* incluyendo las puertas de transmisión.

# 5.5 Simulación de los moduladores Sigma-Delta propuestos

Una vez vistas las estructuras de los moduladores Sigma-Delta a implementar y diseñado los bloques que los componen, se procede con la simulación de los mismos en

*Cadence.* Como ya es conocido, la salida de estos moduladores será una cadena de bits, a la que se realizará un análisis de su densidad espectral de potencia, la cual será procesada en *Matlab.* Para realizar dichas simulaciones se tomará una frecuencia de entrada de la señal de 20 KHz, ya que con esta frecuencia se obtiene un sobremuestreo elevado y puede observarse fácilmente el efecto de la modulación a la salida.

En primer lugar se realizó un análisis del modulador diseñado siguiendo el método de la respuesta invariante al impulso (Figura 5.10). La simulación resultante es la mostrada en la Figura 5.22, donde el análisis del espectro de la salida derivó una SNR de 18dB, con un consumo de 1.84 mW.

Por otro lado, se simuló el modulador basado en filtros *biquad* (Figura 5.11). El espectro de salida del mismo se muestra en la Figura 5.23, donde la SNR obtenida es de 21 dB con un consumo de potencia de sólo 636 µW.

Como se ha comentado, el primer modulador posee un consumo de 1.84 mW, mientras que en el segundo sólo consume 1/3 de esta potencia. Esto se debe a que el primer modulador emplea dos realimentaciones.

Al igual que ocurrió con otros diseños, dado que esta tesis está enmarcada dentro de un proyecto de investigación de mayor envergadura, con otros investigadores desarrollando circuitería para un receptor de DVB-SH, surgieron problemas de asignación de área para fabricar un chip con los diseños desarrollados, dadas las limitaciones físicas de este. Por tanto se ha implementado el *layout* del modulador que mejor rendimiento ha mostrado hasta ahora: el basado en filtros *biquad*. Dicha implementación será explicada en la siguiente sección.




Espectro del modulador con integradores.



Figura 5.23 Espectro de salida del modulador con filtro *biquad*.

## 5.6 Layout del modulador Sigma-Delta

En este apartado se ha realizado el *layout* del modulador mostrado en la Figura 5.24. El área total es de 392x794µm<sup>2</sup>. Se puede apreciar que la mayor parte del área está ocupada por los *pads*.

En la Figura 5.25 se observa un zoom del núcleo del modulador, donde se aprecia que la mayor parte de esta área está ocupada por los condensadores. Por lo tanto, a la hora de realizar un diseño se han de tener en cuenta las limitaciones con respecto al valor máximo que la tecnología permite para estos dispositivos.



Figura 5.24 Layout del modulador Sigma-Delta.



Figura 5.25 Zoom del layout del modulador Sigma-Delta.

Una vez diseñado el *layout*, se ha realizado una simulación *post-layout* del modulador completo. El espectro de salida de dicha simulación se muestra en la Figura 5.26, donde se ha obtenido una SNR de 18dB, la cual es inferior a la obtenida en la simulación a nivel de esquemático. Comparando ambas simulaciones, es destacable señalar que ambas salidas son prácticamente iguales, apareciendo en la simulación *post-layout* un segundo armónico debido a las no idealidades.



Figura 5.26 Resultado de la simulación *post-layout* del modulador.

## 5.7 Medida del Modulador Sigma Delta

En este apartado se procederá a mostrar las medidas obtenidas con el modulador Sigma Delta basado en el filtro *biquad*. La metodología de medida y calibración es similar a la seguida con el VCO en la sección 3.3 del Capítulo 3, pero con la salvedad de poseer un *setup* diferente, tal y como muestra la Figura 5.27, en la que la señal de salida se mide con un osciloscopio. Del mismo modo, en la Figura 5.28 se observa una fotografía del chip fabricado con el modulador resaltado en rojo.



Figura 5.27 Setup de medida del modulador.



Figura 5.28 Fotografía del chip fabricado con el Modulador resaltado.

En la Figura 5.29, Figura 5.30 y Figura 5.31 se muestran además fotografías del *set-up* real, observándose la complejidad de este. También se aprecia el microscopio utilizado para poder trabajar con el chip y la estación de puntas de medida.



Figura 5.29 Fotografía del *Set-up* de Medida.



Figura 5.30 Fotografía de la estación de puntas.



Figura 5.31 Fotografía de las puntas de medida.

Como se comentó anteriormente, la salida del modulador fue medida en osciloscopio. El modelo utilizado, Agilent DSO91204A, posee una potencia de procesado propia de un PC, pudiéndose gestionar la señal medida directamente con diverso *software* como MATLAB, el cual se encuentra instalado en el propio osciloscopio.

Del mismo modo, permite guardar los datos en formato .csv para su posterior gestión. Tras realizar a la señal de salida el mismo procesado que se realizó a la señal simulada en *Cadence*, en la Figura 5.32 se muestra el resultado de la medida.

En la Tabla 5.8 se observa un desglose comparativo entre las simulaciones y las medidas del modulador basado en filtro *biquad*.

El funcionamiento del circuito, si bien modula la señal de entrada, no posee una conformación del ruido óptima como un modulador Sigma Delta clásico. Del mismo modo, los tonos que aparecieron en las simulaciones por los parásitos asociados a las pistas, se vieron amplificados en la medida del circuito. Esto se traduce en que el sistema posee serios problemas de estabilidad. Por tanto, el modulador basado en filtro *biquad* no se ajusta de modo preciso a los requisitos necesarios para ser utilizado dentro de la cadena que conforma un sintetizador fraccional. De mismo modo, es obligación y anhelo investigador el encontrar soluciones a estos problemas, estudiando técnicas de diseño que permitan obtener un modulador óptimo. Dichas técnicas serán mostradas en la siguiente sección.



Figura 5.32 Resultado de la medida del modulador.

 Tabla 5.8.
 Comparativa entre medidas y simulaciones del Modulador.

|                     | Simulación | Medida |
|---------------------|------------|--------|
| SNR                 | 18 dB      | 14 dB  |
| Consumo de potencia | 636 µW     | 728 µW |

## 5.8 Escalado de los coeficientes

La metodología de diseño seguida para realizar un modulador Sigma-Delta en tiempo continuo asume que los integradores empleados son ideales. Es decir, que tanto su rango de tensión de salida como de entrada es ilimitado. Sin embargo, esto en la práctica no es así, ya que tanto la excursión de salida de los integradores como el rango de señal que se le puede aplicar a su entrada estarán limitados por los circuitos empleados.

Para mostrar este problema, se ha diseñado un modulador a nivel de bloques limitando la salida de los integradores, con lo que ya no son ideales. El espectro de la salida obtenido es el mostrado en la Figura 5.33. Se aprecia que limitando la salida de los integradores se obtiene bastante distorsión y una SNR no ideal.



Figura 5.33 Espectro de salida con la salida de los integradores limitada.

Comparando este resultado con los obtenidos con los moduladores diseñados, se aprecian resultados análogos, por lo que el problema que aparece en nuestros circuitos es la saturación de los diferentes bloques que componen los mismos. La solución a este problema consiste en escalar los coeficientes obtenidos para el modulador con integradores ideales. Para ello se aplicará esta técnica al modulador diseñado siguiendo la técnica de la respuesta invariante al impulso. La elección de realizar el escalado en este modulador y no en el basado en filtro *biquad* se debe a que la metodología empleada se adapta mejor a esta estructura.

Existen diversos métodos para determinar los coeficientes de un modulador Sigma-Delta, tanto en tiempo continuo como en tiempo discreto. El problema es que estos métodos solo tienen en cuenta el diseño a nivel de sistema y la estabilidad de la NTF. Cuando llega la hora de implementar el modulador a nivel de circuitos, estos coeficientes deben ser escalados para limitar la excursión de salida de los integradores [BOS88] [KIR90] [ZHI02].

Como se comentó anteriormente, el método que se ha seguido para calcular el valor de los coeficientes [SCH03] fija todas las ganancias de los integradores a uno y no toma en cuenta el nivel de la señal de salida de cada integrador. Por lo tanto, los integradores pueden ser saturados si la tensión llega a ser demasiado grande. Esto generará distorsión a la salida del modulador.

El método empleado para escalar estos coeficientes es el descrito en [BEI03], el cual se basa en la idea de modificar estos coeficientes de forma que no se sature la salida de los integradores, preservando además la NTF (ecuación (5.16)).

$$NTF = \frac{1}{1 + H_{DAC}H_d} \tag{5.16}$$

En dicha ecuación,  $H_d$  es el filtro de lazo y HDAC es la función del DAC de realimentación. De esta ecuación se deduce que solo  $H_d$  determina la NTF, ya que HDAC no se considera en el proceso de escalado.

Por lo tanto, para conservar la NTF todos los factores de escalado (f<sub>i</sub>) introducidos en la ganancia de los integradores para limitar su excursión de salida, tienen que desaparecer en la expresión final de H<sub>d</sub>. Para respetar esta condición se sigue el método siguiente:

- 1. Dividir la ganancia de cada integrador por su factor de escalado correspondiente, f<sub>i</sub>.
- 2. Distribuir fi de forma que no aparezca en la expresión final de Hd.

La distribución de estos factores de escalado dependerá de la arquitectura elegida, que en este caso es la 'CRFF'.

Como ya se ha estudiado previamente, los moduladores Sigma-Delta son sistemas no lineales. Por lo tanto, en la práctica, para determinar el valor de  $f_i$  se han de realizar simulaciones de su comportamiento [BEI03]. Comenzando por el primer integrador, se siguen los siguientes pasos:

- 1. Poner el valor inicial para todos los factores de escalado a 1,  $f_1=f_2=...,f_n=1$ .
- 2. Simular el modulador Sigma-Delta con los factores de escalado fijados a 1.
- El factor de escalado, f<sub>i</sub>, correspondiente a la simulación i<sup>th</sup> se calcula siguiendo la siguiente expresión:

$$f_{i} = \frac{\max(\text{salida}_{i}^{\text{th}}_{\text{integrador}})}{\text{deseada}_{i}^{\text{th}}_{\text{excursion}_{\text{de}}_{\text{salida}_{\text{del}}_{\text{integrador}}}}$$
(5.17)

4. Repetir los pasos 2 y 3 hasta que i sea igual al orden del modulador.

Empleando esta metodología, se han escalado los coeficientes del modulador de la Figura 5.34. Ahora la ganancia de los integradores, ck, ya no será uno. Los valores ya escalados se muestran en la Tabla 5.9.



Figura 5.34 Modulador Sigma Delta con coeficientes escalados.

| Tabla 5.9.Valores de los coeficientes escalados | • |
|---|---|
|---|---|

| a1 | a2    | c1    | c2   |
|----|-------|-------|------|
| 1  | 0.563 | 0.375 | 0.62 |

Una vez calculado estos coeficientes, se vuelven a simular de nuevo en *Simulink* [MATH] con la salida de los integradores limitada. El resultado se muestra en la Figura 5.35.



Figura 5.35 Resultado del modulador de orden dos con los coeficientes escalados.

Se ha obtenido una SNR superior a 40 dB y se ha eliminado considerablemente los armónicos que presentaba cuando no se habían limitado las ganancias de los integradores.

Por lo tanto, se ha conseguido solucionar el problema que se arrastraba desde el comienzo del diseño a nivel de circuitos del modulador.

### 5.9 Resumen

En este capítulo se ha dado una visión de cómo trabajan los moduladores Sigma-Delta y qué problemas están asociados a los mismos. Además, se han diseñado los principales bloques que componen estos moduladores empleando la metodología  $g_m/I_D$ , la cual permite realizar dichos diseños intentando minimizar el consumo, aprovechando todas las regiones de inversión del transistor MOS.

Una vez diseñados estos bloques se han integrado en un modulador Sigma-Delta de tiempo continuo. Con este diseño han surgido problemas derivados de la inestabilidad. Se han realizado dos moduladores de orden 2 (uno de ellos con dos integradores y, el otro, con un filtro *biquad*). Después de diversas pruebas se ha decidido realizar el *layout* del modulador con filtro *biquad* puesto que presentaba mejor SNR y un menor consumo. El circuito fue fabricado y medido, y si bien modulaba la señal de entrada, no presentaba una respuesta óptima para el ruido.

Después de un elevado número de simulaciones y de estudios en la literatura especializada, se llegó a la conclusión de que los problemas de estabilidad estaban asociados a la saturación de la salida de los integradores. Para solucionar este aspecto se ha seguido una metodología específica y se ha conseguido implementar en el modulador de orden 2 realizado con integradores.

En el siguiente capítulo se pasará al diseño del siguiente bloque dentro de la cadena que conforma el sintetizador para DVB-SH: el tándem formado por el comparador de fasefrecuencia y la bomba de carga.

# Capítulo 6

## Comparador Fase Frecuencia y Bomba de Carga

En este capítulo, se estudiará el diseño e implementación física del Comparador de Fase Frecuencia y la Bomba de Carga.

Los objetivos principales que se desean alcanzar en esta sección son los diseños de un detector de fase-frecuencia con Zona Muerta Cero (*Zero Dead Zone*) y una bomba de carga. Ambas estructuras serán diseñadas individualmente para su posterior integración conjunta. Dicha unión de bloques permitirá atacar al Filtro de Bucle conectado a la entrada del VCO.

Este capítulo comenzará con la explicación de los conceptos y estructuras básicas de los detectores de fase frecuencia. Una vez elegida la configuración que mejor se adapte a los requisitos establecidos, se procederá a su diseño e implementación a nivel de esquemático. Del mismo modo, se estudiará y diseñará la bomba de carga. Con estos dos

sistemas implementados, se pasará a la unión de ambos para comprobar su correcto funcionamiento.

Posteriormente, se implementarán físicamente tanto el Comparador de Fase Frecuencia como la Bomba de Carga en un *layout* conjunto para la evaluación de la influencia de los componentes parásitos en el rendimiento del sistema.

## 6.1 Detector de fase

Si a un detector de fase con característica ideal,  $V_d(t) = K_d \cdot \Phi_e(t)$ , se le conectan a sus entradas dos señales de frecuencias distintas, debería entregar a su salida una señal que creciera linealmente de forma indefinida [THO00], [SPE03]. En la práctica esto no es posible, los detectores de fase tienen un margen lineal limitado, y su característica es periódica, con un período de valor  $2\pi$  en la mayoría de los casos [JPIN05]. En la Figura 6.1 se han representado los principales detectores de fase.

| Tipo                             | Señales | Diagrama   | Respuesta en fase  | Respuesta en<br>frecuencia |
|----------------------------------|---------|--|--|----------------------------|
| 1.<br>Multiplicador<br>analógico |         |  | $-2\pi -\pi 0 \pi 2\pi$  | Indefinida                 |
| 2.<br>Multiplicador<br>digital   |         |  | $\begin{array}{c} & V_{d} \\ \hline & & V_{d} \\ \hline & & & \\ -2\pi & -\pi & 0 \\ \end{array} \\ \end{array} \\ \begin{array}{c} & & \\ \pi & 2\pi \end{array}$ | Indefinida                 |
| 3.<br>Biestable JK               |         | $ \begin{array}{c c} U_1 & Q & Q \\ \hline U_2 & K & Q \end{array} $                 | $\begin{array}{c c} & V_a \\ \hline & & \\ -2\pi & -\pi & 0 & \pi & 2\pi \end{array}$  |                            |
| 4.<br>Fase-<br>frecuencia        |         | $ \begin{array}{c c} U1 & R & U & U \\ \hline U2 & & D \\ \hline V & D \end{array} $ | $-2\pi$ $-\pi$ $0$ $\pi$ $2\pi$  |                            |

Figura 6.1 Diferentes tipos de detectores de fase.

En la siguiente sección se pasará a explicar el detector de fase empleado en este trabajo de tesis, siendo sus prestaciones las que justifiquen su uso dentro del sintetizador para DVB-SH.

#### 6.1.1 Detector digital de fase frecuencia

El detector de fase-frecuencia (PFD) es un dispositivo que mejora las prestaciones del detector JK al aumentar su margen dinámico, reducir los armónicos de las señales de referencia y mejorar la respuesta a frecuencias diferentes. Sus características corresponden al tipo 4 de la Figura 6.1.

Existen muchas estructuras de dispositivos de este tipo, y la que se va a explicar es la más simple. Se trata de un dispositivo con dos salidas, U y D, capaz de estar en tres estados diferentes, siendo controlados los cambios de estado por los flancos de subida de las señales de entrada. Su diagrama de estados se representa en la Figura 6.2.



Figura 6.2 Diagrama de estados de un detector de fase-frecuencia.

Los niveles asociados de las señales de salida se representan en la Tabla 6.1. Su funcionamiento se puede describir con relativa sencillez si se asocia la primera cifra del nombre del estado a la salida D y la segunda a la salida U.

Suponiendo el detector en el estado 00 con sus salidas a nivel bajo, el primer flanco de subida de una de las señales de entrada hace que la salida correspondiente se ponga a nivel alto. El dispositivo sólo sale de este estado, retornando al 00, con un flanco de subida de la otra señal. Cuando ambas señales tienen la misma frecuencia y la señal U1 está adelantada respecto de la U2, la salida D se mantiene a nivel bajo, mientras que en la salida U aparecerá una onda rectangular cuyo ciclo de trabajo variará entre el 0% y el 100% para desfases entre 0 y  $2\pi$ . Si fuera la señal U2 la que estuviera adelantada, sería la salida U la que se mantendría a nivel bajo y la onda rectangular aparecería en la salida D.

| Estado | D | U |
|--------|---|---|
| 00     | 0 | 0 |
| 01     | 0 | 1 |
| 10     | 1 | 0 |

Tabla 6.1.Niveles asociados a las señales de salida del PFD.

El margen lineal es de  $4\pi$  radianes y tomando como salida el valor medio de la diferencia U-D la constante del detector valdrá:

$$K_d = 2\Delta V / 4\pi = \Delta V / 2\pi \tag{6.1}$$

Donde  $\Delta V$  es la diferencia entre los valores de tensión correspondientes a los niveles "0" y "1".

El primer armónico tiene una frecuencia igual a la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada; su máximo aparece justo para una diferencia de fases  $\pm 2\pi$ , el extremo de su margen lineal, y toma el valor:

$$V_{fr} = 2\Delta V / \pi \tag{6.2}$$

Si las frecuencias de las señales de entrada son diferentes, una de las salidas se mantendrá a nivel bajo y en la otra aparecerá una onda rectangular de ciclo de trabajo variable que llevará el lazo al enganche.

Este detector presenta la ventaja de un mayor margen lineal y una mayor facilidad para el enganche debido a su respuesta a frecuencias diferentes. Como inconvenientes presenta una menor frecuencia para el primero de los armónicos de salida y su mayor limitación en frecuencia, entre un 50% y un 75% del límite de un multiplicador con la misma tecnología.

Otro inconveniente de este detector proviene de que la respuesta de los elementos que lo componen no es instantánea, por lo que cuando la diferencia de fases es inferior a este tiempo de respuesta no se producirá ningún pulso en sus salidas; lo que quiere decir que existe una holgura o zona muerta justo en el punto más importante de su respuesta.

Otra forma de resaltar este fenómeno es que la constante de detector,  $K_d$ , se anula cuando se alcanza el equilibrio de fases. La importancia de esta holgura depende de su amplitud en comparación con el período de la señal de referencia y de la aplicación

concreta. También, las constantes de tiempo asociadas a sus salidas pueden hacer que, dado un pequeño error de fase, la duración del pulso que efectivamente se aplica al VCO sea demasiado larga, con lo que el error cambiaría de signo. Al ser el circuito simétrico, la corrección del nuevo error también sería excesiva, con lo que se generará ruido *flicker* a la salida del VCO.

Ambos efectos se pueden minimizar, además de con diseños más sofisticados, introduciendo un ligero *offset* en algún punto del lazo, de forma que el punto de equilibrio correspondiera a un cierto error de fase. Esto se puede conseguir con una simple resistencia. Su sensibilidad con respecto al ruido es similar a la del detector basado en biestables, por lo que sólo debe usarse con relaciones S/N elevadas.

Por tanto, el rendimiento de este detector es óptimo para ser integrado dentro de la cadena del sintetizador para DVB-SH, ya que en las siguientes secciones se podrá comprobar que se mejora su funcionamiento solucionando problemas tales como la zona muerta.

## 6.2 Bomba de carga

Un detector de fase-frecuencia puede utilizarse en una configuración de sintetizador, como la estudiada hasta este momento, sin más que utilizar un amplificador diferencial como elemento activo del filtro. No obstante, en la práctica se asocia con un dispositivo conocido como bomba de carga (*Charge Pump*, CP), que se encarga de traducir las señales de salida del PFD (UP y DOWN) para controlar la tensión de control del VCO [ZAH07]. El esquema puede verse en la Figura 6.3.



Figura 6.3 Esquema básico de un sintetizador asociado a una bomba de carga.

En la Figura 6.4 se muestra la bomba de carga. Esta consiste en un circuito formado por un par de generadores de corriente  $(I_B)$  que inyectan o extraen corriente de un filtro  $(C_L)$ .



Figura 6.4 Esquema de una bomba de carga.

Los estados de control de la bomba de carga se muestran en la Tabla 6.2. En un primer estado, cuando la señal UP esta a nivel lógico "1", se inyecta una corriente  $I_B$  en la carga  $C_L$  aumentando la tensión en la salida  $V_o$ . En un segundo estado, cuando la señal DOWN está a nivel lógico "0" se extrae una corriente  $I_B$  en la carga  $C_L$  reduciendo la tensión  $V_o$ . En el estado en que las dos señales UP y DOWN sean "0", las fuentes de corriente no suministrarán corriente por lo que  $V_o$  no variará.

| UP | DOWN | Descripción  |
|----|------|--|
| 1  | 0    | $I_{\scriptscriptstyle B}$ inyecta corriente en $C_{\scriptscriptstyle L}$ aumentando $V_{\scriptscriptstyle O}$ |
| 0  | 1    | $I_{\scriptscriptstyle B}$ extrae corriente $C_{\scriptscriptstyle L}$ reduciendo $V_{\scriptscriptstyle o}$     |
| 0  | 0    | Ambos interruptores están apagados y $V_{\rm o}~$ no varía   |

Tabla 6.2. Triestados de una bomba de carga.

Una vez estudiada en este apartado la estructura básica de una bomba de carga, así como las estructuras de PFD más comúnmente utilizadas en secciones anteriores, a continuación se pasará al diseño de dichas estructuras, junto con el análisis de la respuesta dada cuando trabajan conjuntamente.

## 6.3 Diseño de PFD, Bomba de carga y solución de la zona muerta

En esta sección se introducirá el concepto de zona muerta, así como su efecto negativo a la hora de comparar la fase de dos señales. Acto seguido se expondrán detalladamente el diseño del PFD. Se ha optado por esta solución dada la versatilidad que presenta cuando se utilizan frecuencias del orden de 40 MHz, como es este caso.

Posteriormente se implementará una bomba de carga, para finalmente unirla al PFD y analizar los resultados. El estudio y simulación de los bloques se realizará con la herramienta ADS. El diseño de los bloques se realizará con la herramienta *Cadence* utilizando la tecnología CMOS de 90 nm de UMC.

#### 6.3.1 La zona muerta en un sintetizador

La zona muerta o distorsión de cruce del sintetizador es la región donde las corrientes de carga no pueden fluir en proporción al error de fase. Esto sucede cuando el error de fase es pequeño [HILL92], [HAN02]. La razón principal del problema de zona muerta es el tiempo de retardo de los componentes internos del biestable, así como el tiempo que necesitan las puertas lógicas para resetear ambos dispositivos.

A continuación, en la Figura 6.5 se muestra el problema de la zona muerta. Cuando las señales de reloj se encuentran muy cerca una de la otra (error de fase pequeño) debido al tiempo de retardo de la señal de RESET de los biestables, las señales UP y DOWN no serán capaces de cargar, y por lo tanto se perderá esta pequeña diferencia en la señal de salida, falseando la señal.



Figura 6.5 Zona muerta.

En la Figura 6.6 se muestra la tensión de salida con respecto al error de fase medido en el PFD. En la Figura 6.6(a) se ilustra la presencia de una zona muerta, alrededor de 0°, mientras que en la Figura 6.6(b) se ilustra el funcionamiento de un PFD sin zona muerta.

Esta zona aparece debido a la incapacidad del PFD para detectar el error de fase en esta región. La técnica convencional para solucionar el problema de la zona muerta es hacer que el retardo en el *path* de RESET del PFD sea más largo que el tiempo de conmutación de las corrientes de la bomba de carga.

Este tiempo de conmutación de las corrientes de la bomba de carga depende de las corrientes de la misma, la capacidad de carga de los conmutadores MOS de la CP, y la capacidad de conducción del *buffer*.



Figura 6.6 Respuesta del error de fase frente a la tensión de salida en un PFD; a) con zona muerta, y b) sin zona muerta.

#### 6.3.2 Diseño del PFD

Para diseñar el PFD se ha fijado una frecuencia de trabajo de 40 MHz y se ha empleado la tecnología CMOS de 90 nm de UMC. Posteriormente se ha realizado una bomba de carga y finalmente se ha unido al PFD para analizar los resultados.

El comparador de fase-frecuencia a estudiar consta de dos biestables tipo D, realizados con puertas lógicas NOR de dos entradas, y una puerta AND de dos entradas tal y como se muestra en la Figura 6.7. Con esta estructura, se dispone de dos salidas que no están activas simultáneamente. Cuando una de las entradas de reloj cambia a nivel alto, el biestable se carga y cambia la salida a nivel alto [BAK09].

La puerta AND previene que ambos biestables estén a la vez a nivel alto. Como se puede apreciar, las entradas de la AND son las señales de salida del PFD (UP y DOWN) provenientes de ambos biestables. Tan pronto como las dos salidas (UP y DOWN) estén a nivel alto, la puerta AND generará una señal a nivel alto que se aplicará al RESET de los biestables y restablecerá ambos para evitar, como ya se ha comentado anteriormente, que ambos estén a nivel alto.



Figura 6.7 Diagrama de bloques del PFD.

En la Figura 6.8, se puede observar la transición de las señales del PFD. Una vez que la señal de referencia (CLKREF) cambie a nivel alto, se cargará el Biestable 1 provocando el cambio en la señal UP a nivel alto. Cuando la señal proveniente del VCO tras ser dividida por el Divisor (CLKVCO) cambie a nivel alto, dará como resultado el cambio en la señal DOWN de nivel bajo a nivel alto, esto producirá que ambas salidas se encuentren a nivel alto, lo que provocará que la puerta AND restaure la señal y active la entrada RESET de ambos biestables poniéndolos a nivel bajo.

De igual manera pasaría si primero cambia la señal CLKVCO de nivel bajo a nivel alto y luego la señal CLKREF de nivel bajo a nivel alto. De igual forma cuando ambas salidas, UP y DOWN, se encuentran a nivel alto, esto provocará que la puerta AND active la entrada RESET de ambos biestables, forzando ambos a nivel bajo.



Figura 6.8 Transición de las señales del PFD.

El esquema del biestable tipo D se muestra en la Figura 6.9. Las puertas utilizadas para la implementación del PFD, es decir, NOR2 y AND2, se muestran en la Figura 6.10 y la Figura 6.11 respectivamente. En el diseño se ha optimizado el detector para una respuesta lo más lineal posible y que las señales de salida cambien rápida y correctamente. Las relaciones de aspecto finales de los transistores se muestran en la Tabla 6.3.

Tabla 6.3.Dimensiones finales de los transistores MOSFET utilizados en el diseño de las puertaslógicas que conforman el PFD.

| Dimensiones de los transistores (m) |      |  |
|-------------------------------------|------|--|
| ω <sub>n</sub>                      | 20 μ |  |
| $L_n$                               | 90 n |  |
| ω <sub>p</sub>                      | 40 μ |  |
| $L_{p}$                             | 90 n |  |



Figura 6.9 Diagrama de bloques del biestable tipo D.



Figura 6.10 Esquemático de la NOR2.



Figura 6.11 Esquemático de la AND2.

Para poder evaluar el funcionamiento del PFD, se han introducido en las entradas CLKREF (R) y CLKVCO (V) (ver Figura 6.7) dos señales periódicas y de la misma frecuencia. Luego a una de dichas entradas se le ha realizado un barrido de fase para poder desplazarla respecto a la otra señal y observar los distintos desfases entre ambas.

De la Figura 6.12 a la Figura 6.15 se presentan las simulaciones del PFD. En la Figura 6.12 se observa que cuando la entrada proveniente del Divisor (V) está retrasada frente a la señal de referencia (R), se obtiene un pulso del ancho de la diferencia de fase entre ambas señales en la salida U1 (UP). En el caso contrario, el pulso se obtendría en la señal D1 (DOWN), tal y como se muestra en la Figura 6.13. Si las señales no se encontraran desfasadas, no se daría ningún pulso en ninguna de ellas encontrándose ambas a nivel bajo, (ver Figura 6.14).



Figura 6.12 Simulación de la respuesta del PFD, señal V retrasada respecto a R.



Figura 6.13 Simulación de la respuesta del PFD, señal V adelantada respecto a R.



Figura 6.14 Simulación de la respuesta del PFD, señal V en fase con R.

En la Figura 6.15 se representa tanto la respuesta del PFD como el valor de la ganancia del detector de fase ( $K_d$ ), siendo éste de 0,837 V/rad. Presenta una respuesta cuasi lineal, permitiendo discernir el desfase entre ambas señales de entrada, dando un valor proporcional a este a la salida del PFD.



Figura 6.15 Simulación de la respuesta en fase y la ganancia del PFD.

#### 6.3.3 Diseño de la Bomba de Carga

La bomba de carga consiste en una pareja de fuentes de corriente con interruptores manejando la carga de un condensador. Ésta proporciona una ganancia para una diferencia de fase en la entrada del dispositivo. En la Figura 6.16 se representa el esquemático de dicha bomba de carga.

Cuando los pulsos se inyectan por la entrada UP, la fuente de corriente introducirá corriente en la carga de salida y la tensión de la salida de la CP se incrementará. Si por el contrario los pulsos vienen desde la entrada DOWN, la carga del condensador fluirá a tierra.

A la hora de diseñar la bomba de carga, se dimensionan los transistores para obtener un valor específico de corriente de salida. En este caso, se han realizado los cálculos del filtro de bucle (ver Capítulo 7) con una corriente suministrada por la bomba de carga de 800 µA, por lo que este será el valor de salida deseado.



Figura 6.16 Esquemático de la bomba de carga.

Con las dimensiones de los transistores de la Tabla 6.4 se obtiene la corriente de salida especificada, aproximadamente de 800  $\mu$ A. El transistor tipo P de salida (PM3) tiene un ancho de 1,9  $\mu$ m, dimensionado para suministrar +800  $\mu$ A. El transistor tipo N de salida (NM5) tiene una relación aproximada de (1/3) sobre el ancho del transistor tipo P de salida (PM3) para obtener -800  $\mu$ A y conseguir finalmente equilibrar los 800  $\mu$ A positivos y los 800  $\mu$ A negativos.

Tabla 6.4. Dimensiones de los transistores MOSFET utilizados en el diseño de la bomba de carga.

| Dimensiones de los transistores (m)    |       |  |
|--|-------|--|
| $\omega_{n}$ NM4, $\omega_{p}$ PM4     | 2 μ   |  |
| L <sub>n</sub> NM4, L <sub>p</sub> PM4 | 90 n  |  |
| $\omega_{p} PM3$                       | 1,9 µ |  |
| L <sub>p</sub> PM3                     | 90 n  |  |
| $\omega_n NM5$                         | 670 n |  |
| L <sub>n</sub> NM5                     | 90 n  |  |

## 6.4 Unión del PFD y la Bomba de Carga

Una vez diseñados ambos bloques, se ha de realizar un test de funcionamiento de los detectores de fase-frecuencia y la bomba de carga de forma conjunta. Para ello, se ha realizado un barrido de desplazamiento de la señal de entrada V frente a la señal de referencia R.

Desde la Figura 6.17 a laFigura 6.20, se muestran los resultados obtenidos en las simulaciones del PFD y la bomba de carga. Así, la Figura 6.20 (a) representa la respuesta en fase del circuito y en la Figura 6.20 (b) se muestra un *zoom* en torno a 0° donde se puede observar claramente la zona muerta de la estructura del PFD. Este es el momento en que las señales de entrada están próximas a estar en fase y existe una pequeña región en la que las corrientes de carga no pueden influir en proporción al error de fase, provocando la zona muerta.



Figura 6.17 Simulación de la respuesta del PFD y la CP, señal V retrasada respecto a R.



Figura 6.18 Simulación de la respuesta del PFD y la CP, señal V adelantada respecto a R.



Figura 6.19

Simulación de la respuesta del PFD y la CP, señal V en fase con R.


Figura 6.20 Simulación de la respuesta del PFD y la CP; a) entre  $-2\pi$  y  $+2\pi$ , y b) próximo a 0°.

#### 6.4.1 Solución a la zona muerta

Como se ha mencionado con anterioridad, la zona muerta es una pequeña diferencia de fase entre las señales de entrada, y el retardo en el *path* de RESET es el parámetro clave para solucionar dicho problema [HAN02]. Por lo tanto, para eliminar el problema de la zona muerta se debe forzar a que el tiempo de retardo en el *path* de RESET sea mayor al tiempo de conmutación de las corrientes de la CP, y así conseguir que el sistema tenga el tiempo suficiente para la recarga. El retardo mínimo en el *path* de RESET viene determinado por:

$$\Delta_{TR\min} = T_{th} = \frac{T_r + T_f}{2} \tag{6.3}$$

Donde  $\Delta_{TRmin}$  es el retardo mínimo del *path* de RESET y T<sub>th</sub> es el tiempo de la conmutación de las corrientes de la bomba de carga, el cual se calcula como la media entre el tiempo de subida (T<sub>r</sub>) y el tiempo de bajada (T<sub>f</sub>) de las señales a la salida de esta.

El retardo máximo en el *path* de RESET del PFD viene determinado por la máxima frecuencia de operación del comparador de fase, según la siguiente expresión [HAN02]:

$$\Delta_{TRmaz} = \frac{1}{2 \cdot f_{PFD\max}} \tag{6.4}$$

Por lo tanto, una vez conocidas las relaciones necesarias para el diseño del retardo, los pasos a seguir para el diseño de un esquema útil son los siguientes:

- En primer lugar, para una aplicación particular, se debe calcular  $T_{th}$  y determinar  $\Delta_{TRmin}$ .
- En segundo lugar, a partir de la  $f_{PFDmax}$  se determina el  $\Delta_{TRmax}$  para la aplicación.
- Por último, se fija  $\Delta_{TR}$  a un valor intermedio entre  $\Delta_{TRmin}$  y  $\Delta_{TRmax}$ .

$$\Delta_{\rm TR\,min} \langle \Delta_{\rm TR} \langle \Delta_{\rm TR\,max} \tag{6.5}$$

El esquema que se propone para resolver el problema de la zona muerta es el de la Figura 6.21, en donde se fija el valor de  $\Delta_{TR}$  mediante la colocación de un número par de inversores en cascada.



Figura 6.21 Diagrama de bloques del circuito propuesto para eliminar la zona muerta.

Para el cálculo del tiempo de conmutación de las corrientes de la bomba de carga ( $T_{th}$ ), se ha de calcular el  $T_r$  y el  $T_f$  de la señal de salida. Estos valores se consiguen obteniendo la diferencia existente entre el 10 % y el 90 % de la señal de subida y bajada respectivamente. Los valores que se obtuvieron se corresponden con  $T_r = 5.7$  ps y  $T_f = 4.3$  ps.

Una vez obtenidos estos valores, y haciendo referencia a la ecuación 6.6, se obtiene que:

$$\Delta_{TR \min} = T_{th} = \frac{T_r + T_f}{2} = \frac{(5.7 + 4.3) \cdot 10^{-12}}{2} \approx 5 \, ps \tag{6.6}$$

Definido el valor mínimo necesario, se calcula el  $\Delta_{TRmax}$  para especificar el intervalo en el que debe estar comprendido el retardo seleccionado. Para su cálculo se hace referencia a la ecuación 6.4 y, sabiendo que la frecuencia de trabajo es de 40 MHz, el valor obtenido es:

$$\Delta_{TRmaz} = \frac{1}{2 \cdot f_{PFDmax}} = \frac{1}{2 \cdot (40 \cdot 10^6)} = 12.5ns$$
(6.7)

Haciendo referencia a la ecuación 6.5, el valor teórico para  $\Delta_{TR}$  debe estar comprendido entre:

$$5 ps \langle \Delta_{TR} \langle 12.5 ns \tag{6.8}$$

Una vez obtenido el intervalo de trabajo y teniendo en consideración lo explicado en este apartado junto con la realización de varias pruebas y simulaciones, en lo que a la zona muerta respecta, se ha decidido que el valor sea  $\Delta_{TR}$  =216 ps.

A continuación se ha de calcular el retardo de un inversor para conocer el número de inversores necesarios. Estos valores se calculan de la misma manera que el tiempo de conmutación de la bomba de carga, es decir, obteniendo la diferencia existente entre el 10 % y el 90 % de la señal de subida y bajada respectivamente. Los valores obtenidos son  $T_r = 0.0108$  ns y  $T_f = 0.0132$  ns.

El retardo de un inversor es el siguiente:

$$T_{i_{nv}} = \frac{(0.0132 + 0.0108) \cdot 10^{-9}}{2} = 0.012 \, ns \tag{6.9}$$

Una vez obtenidos todos los valores necesarios para el cálculo del retardo en el *path* de RESET, se dispone a realizar el cálculo del número de inversores necesarios para eliminar la zona muerta.

$$N_{i_{INV}} = \frac{\Delta_{TR}}{T_{i_{INV}}} = \frac{0.216 \cdot 10^{-9}}{0.012 \cdot 10^{-9}} = 18$$
(6.10)

Por lo tanto el *path* de RESET se implementará con 18 inversores en serie, realizándose a continuación un test para comprobar su rendimiento. De la Figura 6.22 a la Figura 6.24, se muestra que el circuito responde correctamente y sin zona muerta. La Figura 6.25 muestra la respuesta en fase haciendo un *zoom* próximo a 0°, que es la zona de interés donde se encuentra dicha zona crítica, constatándose que ha desaparecido.



Figura 6.22 Respuesta del PFD con bomba de carga sin zona muerta, señal V retrasada con respecto a R.



Figura 6.23 Respuesta del PFD con bomba de carga sin zona muerta, señal V adelantada respecto a R.



Figura 6.24 Respuesta del PFD con bomba de carga después de los cambios realizados.



Figura 6.25 Simulación de la respuesta en fase, análisis centrado en 0°.

## 6.4.2 Diseño final a nivel de layout

Una vez realizado el esquema completo del circuito a diseñar, se pasa al diseño a nivel de *layout*.

Al igual que se hizo con los *layouts* de los demás bloques que componen el sintetizador, como el VCO, el modulador Sigma Delta o el Divisor Rápido, al layout del comparador de fase y la bomba de carga se le han de añadir los *pads* de medida. En la Figura 6.26 se muestra el diseño con todos los bloques interconectados y los *pads*. En ella se aprecian los contactos al sustrato en las zonas del chip que quedan vacías. Este proceso es necesario para evitar que aparezcan corrientes de fuga que interfieran en el funcionamiento del circuito.

Del mismo modo, la Figura 6.27 muestra un *zoom* del núcleo del chip, observándose las estructuras correspondientes al PFD, la bomba de carga y los 18 inversores en serie en el *path* de RESET para solucionar la zona muerta.



Figura 6.26 *Layout* del PFD y la CP con los *pads* de medida.



Figura 6.27 Zoom del Layout del PFD y la CP más 18 inversores en el path de RESET.

Finalmente se ha simulado el circuito final con los *pads* de medida, (ver Figura 6.28). Como se puede observar existe una región muy pequeña donde aún existe zona muerta. Esto se debe a las capacidades y resistencias parasitas introducidas por el *layout*, a lo que hay que sumarle las capacidades de los *pads* de medida. Sin embargo, esta zona se ha reducido de forma considerable, por lo que la contribución de ruido asociado al comparador de fase y la bomba de carga es ostensiblemente menor que la aportación de un sistema convencional con zona muerta.



Figura 6.28 Simulación final del circuito.

Del mismo modo, se realizó una simulación en DC para comprobar el consumo de corriente del sistema completo, siendo este de 1.85 mA.

# 6.5 Resumen

En este capítulo se ha diseñado e implementado físicamente el tándem formado por el comparador de fase frecuencia y la bomba de carga.

Ambas estructuras se han combinado y unido en un *layout* conjunto, y se han eliminado problemas tales como la zona muerta del detector, reduciendo con ello la aportación de ruido dentro de la cadena que conforma el sintetizador de frecuencias para DVB-SH.

En el siguiente capítulo se procederá al diseño del siguiente bloque del sintetizador para DVB-SH, el filtro de bucle.

# Capítulo 7

# Filtro de Bucle

En este capítulo se analizará el Filtro de Bucle del sintetizador. De la correcta caracterización de este componente depende en gran medida la estabilidad del sistema completo.

El presente capítulo está organizado de la siguiente manera. Inicialmente se darán una serie de nociones sobre filtros, estudiando las estructuras más comúnmente empleadas en el diseño de estos.

Seguidamente se diseñará el filtro de bucle para el sintetizador de DVB-SH, utilizando para ello herramientas específicas, las cuales están optimizadas para cumplir los requisitos propios de un sintetizador.

## 7.1 Introducción

El filtro de bucle es elemento principal a considerar cuando se pretende analizar la estabilidad del lazo. Una vez diseñados los principales elementos del sintetizador, como la bomba de carga o el oscilador principalmente, la estabilidad del sistema se puede asegurar con los parámetros del filtro.

De acuerdo a la función que realizan los filtros se clasifican como: paso bajo (LPF), paso alto (HPF), paso banda (BPF) y rechazo banda (SBF). En la Figura 7.1.Figura 7.1 se puede observar un ejemplo de ellos.



Figura 7.1 Respuesta en frecuencia de tipos básicos de filtros. Respuesta ideal vs respuesta real.

Puesto que es imposible realizar filtros con características ideales, es decir, con cambios bruscos entre la banda de paso y la banda de rechazo, los filtros generalmente se hacen dentro de ciertas tolerancias en términos de la atenuación ( $\alpha$ ) en las bandas de paso (pérdidas de inserción) y de rechazo (véase la Figura 7.2).

Existen diferentes aproximaciones que permiten diseñar filtros con características parecidas a los filtros ideales, normalmente a expensas de otros parámetros [SIN00], [SCH01], [AND01]. Las aproximaciones más importantes son:

- 1) Butterworth.
- 2) Chebyshev.
- 3) Bessel-Thomson.
- 4) Elíptico (igual rizado).
- 5) Elíptico (máximamente plano).

Los filtros *Butterworth* (Figura 7.3 (a)) están diseñados para producir la respuesta más plana posible en la banda de paso. Esto significa que el valor de las pérdidas de inserción de este tipo de filtros es igual a las pérdidas de inserción máximas en el centro de la banda de paso y aumenta hasta un valor determinado en el borde de la banda de transición. A partir de este punto las pérdidas de inserción aumentan mucho más rápidamente que en la banda de paso.

Debido a que la respuesta es plana en la banda de paso, este tipo de filtros tiende a manifestar una baja distorsión de amplitud y fase. Como contrapartida, los filtros *Butterworth* presentan un rechazo fuera de la banda de paso no tan bueno como el de otros tipos de filtro.



Figura 7.2 Especificaciones prácticas de la atenuación del filtro.

La respuesta de los filtros *Chebyshev* (mostrado en la Figura 7.3 (c)) presenta un rizado en la banda de paso, es decir, las pérdidas de inserción varían entre un mínimo y un máximo a lo largo de toda la banda de paso.

Esto implica que la distorsión de amplitud y fase de estos filtros sea mayor pero, como compensación, las características de rechazo de los filtros de *Chebyshev* son superiores a las de los filtros de *Butterworth*. De esta forma, con pocos componentes y, a pesar de tener una distorsión en amplitud y fase más alta, se puede conseguir que las pérdidas de inserción sean las especificadas en la banda de rechazo.

Los filtros de *Bessel-Thomson* (Figura 7.3 (b)) son una aproximación lineal en fase, es decir, tienen una fase aproximadamente lineal. Fuera de la banda de paso, las pérdidas de inserción aumentan gradualmente. En la banda de rechazo no tienen una respuesta tan buena como en los filtros de *Butterworth* o de *Chebyshev*, (la pendiente de bajada tiene un valor de  $6 \cdot n$  dB/octava, donde *n* es el orden del polinomio de *Bessel* en la aproximación paso bajo).

Las respuestas elípticas máximamente plana y de igual rizado son idénticas en la banda de paso a las de los filtros de *Butterworth* y de *Chebyshev*, respectivamente (ver la Figura 7.3 (d)). Sin embargo, hay una diferencia muy importante en la banda de rechazo, y es que las pérdidas de inserción alcanzan un valor infinito en una o más frecuencias de la misma banda. La ventaja de este tipo de filtros es que la transición es mucho más rápida, aunque su estructura sea un poco más compleja.



Figura 7.3 Funciones de transferencia típicas para filtros de cuatro polos.

## 7.2 Diseño del filtro para el sintetizador DVB-SH

En la sección anterior se estudiaron los modelos de filtros más comúnmente utilizados. Cabe decir que estos pueden ser activos o pasivos, en función de los componentes que lo integran [EMI03], [CHU05].

La técnica de diseño de estos filtros atiende a términos tales como ganancia en la banda de paso, pendiente de caída, atenuación, etc. Sin embargo, cuando dichos filtros son utilizados para conformar el filtro de bucle de un sintetizador, deben tenerse en cuenta otro tipo de criterios.

Un filtro de bucle debe presentar una respuesta paso bajo. Existen diversas técnicas de diseño para su implementación [FISH], [SAGE], pero en este trabajo se ha optado por el método dado por [FUJI02]. El motivo es que permite un alto grado de personalización del filtro, así como una implementación sencilla, dada su configuración con componentes pasivos.



Figura 7.4 Componentes del filtro de bucle.

El esquema del filtro dado por [FUJI02] es el mostrado en la Figura 7.4. Es un filtro de orden 3, ya que está formado por 3 condensadores que introducen 3 polos. Sin embargo, el VCO al que va conectado introduce un polo extra, por lo que la configuración final es la de un filtro de cuarto orden.

Esto lo convierte en un filtro con una marcada banda de paso y de rechazo, lo que sumado al condensador  $C_3$ , permite un alto grado de eliminación de espurios fuera de la banda.

Los criterios de diseño a tener en cuenta según [FUJI02] y que han sido especificados por el estándar DVB-SH o calculados en capítulos previos son los mostrados en la Tabla 7.1.

| Rango de frecuencias  | 2,17 a 2,2 GHz   |
|---|------------------|
| Espaciado de canales  | 1.7,5,6,7,8 MHz  |
| Salto máximo de frecuencias $(f_{step})$                          | 30 MHz           |
| Tiempo de establecimiento (t <sub>s</sub> )                       | 500 <b>µ</b> seg |
| Precisión después del tiempo de establecimiento (f <sub>a</sub> ) | 1000 Hz          |
| Sensibilidad del VCO (K <sub>vco</sub> )                          | 333 MHz/V        |
| Corriente del bombeo de carga $(I_{cp})$                          | 800 µA           |

Tabla 7.1. Dimensiones de los transistores MOSFET utilizados en el diseño de la bomba de carga.

El tiempo de establecimiento no ha sido especificado por DVB-SH aún, por lo que se ha optado por emplear el valor dado por DVB-T [EN300744].

La sensibilidad del VCO se ha calculado en función de la respuesta ofrecida por este (ver Capítulo 3). Así, el VCO diseñado, ofrece una variación de frecuencias en el rango de DVB-SH con solamente 0.09 V. Por tanto:

$$K_{VCO} = \frac{(2.200 - 2.170)}{0.09} = \frac{30MHz}{0.09V} = 333MHz/V$$
(7.1)

La corriente  $I_{cp}$  es la suministrada por la bomba de carga (ver Capítulo 6). Con esta información, a continuación se calcularán los valores de cada uno de los componentes del filtro de acuerdo con el método dado por [FUJI02].

Según dicho método, en primer lugar se ha de calcular cuánto es el valor máximo de división (N). Para ello se hará uso de la frecuencia más elevada a sintetizar (2.2 GHz) y el mínimo valor de ancho de banda de canal (1.7 MHz). Por tanto:

$$N = \frac{F_{\max VCO}}{BW_{\min}} = \frac{2.2GHz}{1.7MHz} = 1294.12$$
(7.2)

Por otro lado, se ha de calcular la frecuencia natural  $(f_n)$ :

$$f_n = \frac{-1}{2\pi \cdot t_s \cdot \xi} \bullet \ln\left(\frac{f_a}{f_{step}}\right)$$
(7.3)

Donde  $t_s$  es el tiempo de establecimiento,  $\zeta$  es el factor de amortiguamiento (con un valor de 0.7),  $f_a$  es la precisión frecuencial de la portadora después de un salto en frecuencia (el valor usualmente asignado es de 1 KHz de precisión) y  $f_{step}$  es el máximo salto en frecuencia, siendo en el caso de DVB-SH de 30 MHz. Sustituyendo en (7.3):

$$f_n = \frac{-1}{2\pi \cdot 500\mu s \cdot 0.7} \bullet \ln\left(\frac{1KHz}{30MHz}\right) = 4687.78Hz \approx 4688Hz$$
(7.4)

Con los cálculos anteriores ya es posible calcular el valor del condensador  $C_2$ , según la ecuación (6.5):

$$C_{2} = \frac{Icp \cdot Kvco}{N \cdot (2\pi \cdot fn)^{2}} = \frac{800\mu A \cdot 333MHz/V}{1294 \cdot (2\pi \cdot 4688Hz)^{2}} = 237nF$$
(7.5)

Igualmente el cálculo de  $C_1$  se obtiene a partir de (7.6):

$$C_1 = \frac{C_2}{10} = \frac{237 \,\mathrm{nF}}{10} = 23.7 \,\mathrm{nF} \tag{7.6}$$

Para el cálculo de  $R_1$  se hace uso de la ecuación (7.7):

$$R_{1} = 2 \cdot \xi \cdot \sqrt{\frac{N}{Icp \cdot Kvco \cdot C2}} = 2 \cdot 0.7 \cdot \sqrt{\frac{1294}{800 \,\mu A \cdot 333 \,MHz \,/V \cdot 237 \,nF}} = 200 \,\Omega \tag{7.7}$$

La resistencia  $R_2$  se puede calcular a partir de (7.8):

$$R_2 = 3 \cdot R_1 = 600\Omega \tag{7.8}$$

Finalmente, el condensador  $C_3$  se calcula a través de (7.9):

$$C_{3} = \frac{R_{1} \cdot C_{2}}{20 \cdot R_{2}} = \frac{200\Omega \cdot 237 nF}{20 \cdot 600\Omega} = 3.95 nF$$
(7.9)

Una vez calculados todos los componentes del filtro, el esquema final de este se muestra en la Figura 7.5.



Figura 7.5 Valores de los componentes del filtro de bucle.

Por último, a pesar de que los valores de dicho filtro ya han sido calculados, cabe destacar que estos pueden no ser exactamente los óptimos para cumplir con los requisitos de estabilidad del sintetizador. Esto sólo se comprueba con una simulación de la estabilidad del sistema completo, la cual se estudiará en el siguiente capítulo.

# 7.3 Resumen

En este capítulo se ha estudiado y diseñado el filtro de bucle del sintetizador para DVB-SH. Se han estudiado los tipos de filtros más comúnmente utilizados, así como la respuesta frecuencial de estos.

Seguidamente, se ha diseñado el filtro de bucle en sí, haciendo uso de métodos optimizados por empresas y grupos de investigación con una alta experiencia en el diseño y fabricación de sintetizadores y componentes de RF [FUJI02].

Una vez implementados todos los bloques del sistema, en el siguiente capítulo se unirán en una configuración de sintetizador para comprobar que su funcionamiento se ajuste a los requisitos establecidos por el estándar DVB-SH.

# Capítulo 8

# Simulación del Sistema

En este capítulo se procederá a la realización de una serie de simulaciones que permitirán verificar el correcto funcionamiento del sintetizador completo. Así, se estudiará la estabilidad, el ruido de fase y la respuesta transitoria del sistema con objeto de evaluar si el rendimiento del sistema se ajusta a los requisitos preestablecidos inicialmente por el estándar DVB-SH.

# 8.1 Introducción

Una vez diseñados todos los bloques que conforman el sintetizador, en las siguientes secciones del presente capítulo se van a realizar una serie de simulaciones con todos los bloques diseñados para comprobar, entre otros parámetros, conceptos como la estabilidad del sistema o el enganche de frecuencia en el tiempo de establecimiento especificado.

Al sintetizador se le van a hacer tres tipos de simulaciones. La primera consiste en la simulación de la respuesta del bucle, en la cual se comprueba el margen de fase para ver si el sistema es estable.

El segundo tipo de simulación realizada es el análisis del ruido de fase. Con este análisis se observa la contribución de cada uno de los bloques a la distorsión de fase total.

El tercer y último tipo de simulación realizada es la respuesta transitoria. Con este análisis se verifica si el sistema sintetiza el valor de frecuencia especificada por el usuario tras un tiempo transitorio que debería ser menor que el establecido por DVB-SH. Cabe destacar, tal y como se ha comentado en capítulos anteriores, que el estándar DVB-SH no ha definido aún un tiempo de establecimiento, por lo que se ha tomado el valor dado por DVB-H [EN302304], el cual se corresponde con 500 µs.

## 8.2 Simulación de la respuesta de bucle

Como se ha comentado anteriormente, en este apartado se comprueba la estabilidad con el parámetro del margen de fase para los componentes calculados del filtro.

Tal y como se adelantó en el Capítulo 7, correspondiente al diseño del filtro de bucle, este componente es el que determina la estabilidad del sistema total. Esto implica que si no cumple con estos criterios, el sintetizador podría dar un valor de oscilación a la salida que no sería controlable ni modificable por el sistema de control o por el usuario.

Para comprobar esto, se han realizado una serie de simulaciones basadas en el *setup* de la Figura 8.1a.Figura 8.1. Dicho *setup* está desarrollado mediante el software ADS. La potencia y versatilidad de este software permite caracterizar cada uno de los componentes del sintetizador, desde caracterizaciones puramente analógicas basadas en *netlists* hasta descripciones basadas en comportamiento.



Figura 8.1 Setup para el estudio de la estabilidad del sintetizador.

Observando la Figura 8.1 se aprecia que el detector de fase y la bomba de carga (PFD +CP) han sido modelados mediante el componente *LinearPFDwNoise\_plllib*. Dicho componente permite caracterizar la corriente suministrada por el conjunto formado por el *Phase Detector* y la *Charge Pump* mediante la corriente I<sub>d</sub> de 800  $\mu$ A, parametrizada por el valor obtenido en el Capítulo 6. La aportación de ruido del comparador de fase y la bomba de carga no es necesario especificarla en este apartado, ya que el análisis a estudiar sólo evalúa la estabilidad del sistema.

Sin embargo, en las simulaciones de la siguiente sección se calculará la aportación de ruido del PFD y la CP. Se incluirá dicha aportación dentro del componente *LinearPFDwNoise\_plllib*, para poder estudiar la aportación de ambos bloques en el ruido de fase total del sistema.

Por otro lado, los componentes del filtro calculados en el capítulo 6 se corresponden con los valores de la Tabla 8.1. Dicho filtro fue desarrollado siguiendo la metodología dada por [FUJI02]. Tal y como se comentó en dicho capítulo, es un filtro de orden 3, ya que está formado por 3 condensadores que introducen 3 polos. Sin embargo, el VCO al que va conectado introduce un polo extra, por lo que la configuración final es la de un filtro de cuarto orden.

| Valores del Filtro de Bucle |         |  |  |
|-----------------------------|---------|--|--|
| Clpf1                       | 23.7 nF |  |  |
| Rlpf1                       | 200 Ω   |  |  |
| Clpf2                       | 237 nF  |  |  |
| Rlpf2                       | 600 Ω   |  |  |
| Clpf3                       | 3.95 nF |  |  |

Tabla 8.1. Valores del Filtro de Bucle.

La caracterización del oscilador controlado por tensión se ha implementado mediante el componente *LinearVCO\_plllib*. Dicho componente permite caracterizar la K<sub>v</sub> del VCO, es decir, la variación de frecuencia de oscilación mediante una tensión de entrada controlada. Dado el alto grado de similitud entre las medidas y las simulaciones del VCO, con excepción de la traslación frecuencial asociada a la red de diodos en inversa, se han tomado los valores obtenidos en las simulaciones para caracterizarlo.

Dicha caracterización es lineal en el rango de interés, es decir, en el ancho de banda perteneciente a DVB-SH. Esto se comprueba en la Figura 8.2, la cual muestra la respuesta del VCO obtenida en el Capítulo 3. De este modo la  $K_v$  del VCO se corresponde con un valor de 333MHz/V.

En último lugar, la descripción del divisor está implementada mediante el componente *LinearDivider*. Cabe destacar que dicho componente caracteriza tanto el divisor rápido entre 2 como el divisor fijo entre 27 desarrollados en el Capítulo 6. Por tanto el valor de división ( $N_0$ ) implementado es de 54.



Figura 8.2 Respuesta de la curva de frecuencia de salida del VCO en función de la tensión de control.

Este último componente posee la versatilidad necesaria como para caracterizar valores de división no enteros, lo que permite ajustar un comportamiento más ajustado al mostrado por el sintetizador diseñado, ya que emula el factor de división resultante de la unión del divisor rápido entre 2, el divisor fijo entre 27 y el modulador Sigma Delta.

Para obtener una respuesta de la estabilidad del bucle, se realizan 3 simulaciones simultáneas. Dichas simulaciones generan la respuesta del sintetizador en bucle cerrado, en bucle abierto y la respuesta en frecuencia propia del filtro. Esta última simulación, tal y como se comentó anteriormente, permite especificar la estabilidad del filtro independiente antes de ser insertado en el sintetizador, ya que este el bloque que mayor influencia tiene en este aspecto.



Figura 8.3 Setup para el estudio de la estabilidad del sintetizador en bucle cerrado.

El *setup* de simulación para el bucle cerrado es el explicado en la Figura 8.1. Para estudiar la respuesta en bucle abierto se hace uso del esquemático mostrado en la Figura 8.3. Como se puede apreciar, posee una estructura muy similar a la mostrada en el caso del bucle cerrado. Sin embargo, sólo se caracteriza la corriente de la bomba de carga mediante el componente *LinearPFD\_plllib*. Esto es debido a que en bucle abierto el comportamiento asociado del detector de fase no influye en la respuesta del sintetizador.

En último lugar, se estudia la estabilidad del propio filtro mediante el esquemático de simulación mostrado en la Figura 8.4. En ella se observa que al filtro diseñado se le introduce una corriente de entrada para estudiar el comportamiento de este a lo largo de un rango de frecuencias.



Figura 8.4 Setup para el estudio de la estabilidad del filtro de bucle.

Una vez implementados los 3 *setups* de simulación, haciendo uso del software ADS se realiza una simulación AC. Dicha simulación, tal y como se comentó anteriormente, permite estudiar la respuesta del sistema a lo largo de un rango de frecuencias, estudiando criterios como la ganancia del sintetizador o la variación de la fase.

Para comprobar la estabilidad del sintetizador, se ha de comprobar que la ganancia de este llegue a 0 dB (ganancia unitaria en magnitud) antes de que la fase del sistema alcance los 180°. Sin embargo, dado que un sistema real está sujeto a fuentes de ruido de muy diversa naturaleza, es recomendable dar un margen de fase para asegurar el criterio de estabilidad.

De forma generalizada, el margen de fase mínimo que se suele dar a cualquier sistema electrónico para asegurar su estabilidad es de aproximadamente 45°, aunque es deseable alcanzar un margen de fase de 60°.

De acuerdo con estos criterios de márgenes de fase mínimo y máximo, es deseable optimizar los valores del filtro para cumplir con los requisitos establecidos. Para ello se hace uso de una de las múltiples herramientas implementadas dentro del paquete software ADS denominada *Optim*, la cual permite modificar el valor de un componente dentro de un rango especificado por el usuario, para cumplir una serie de requisitos o *goals* preestablecidos inicialmente.

Tras una serie iterativa y automática de simulaciones, se obtienen los resultados observados en la Figura 8.5. En ella se observa que a una frecuencia de aproximadamente 200 KHz se obtiene una ganancia unitaria. Para comprobar la estabilidad del sintetizador, se debe comprobar el valor de la fase en bucle abierto cuando se alcanzan los 0 dB de ganancia. Observando dicha figura se aprecia que el valor de la fase del sistema es aproximadamente -120° en dicho punto.

Esto se traduce en que el sintetizador es estable con aproximadamente 60° de margen de fase.

Finalmente en la Tabla 8.2 se muestran los valores del filtro de bucle tras la optimización realizada con ADS. Cabe destacar que dichos valores óptimos de los componentes del filtro de bucle para alcanzar las prestaciones observadas en la Figura 8.5 serán empleados en las siguientes simulaciones, correspondientes al estudio del ruido de fase del sintetizador y la respuesta transitoria respectivamente.



Figura 8.5 Valores obtenidos de la estabilidad del sintetizador.

Tabla 8.2. Valores del Filtro de Bucle tras la Optimización realizada en ADS.

| Valores del Filtro de Bucle Optimizados |                |  |  |
|---|----------------|--|--|
| Clpf1                                   | 15.4 nF        |  |  |
| Rlpf1                                   | 285 Ω          |  |  |
| Clpf2                                   | 212 nF         |  |  |
| Rlpf2                                   | 720 Ω          |  |  |
| Clpf3                                   | <b>2</b> .9 nF |  |  |

## 8.3 Simulación del ruido de fase

Con esta simulación se comprueba el ruido de fase del sintetizador uniendo la contribución de todas las partes y determinando el ruido de fase total del sistema. En un primer apartado se estudia el ruido producido por cada bloque del sintetizador para una vez establecidos todos ellos, proceder a su unión y extraer el ruido de fase total.

### 8.3.1 Contribución al ruido del Filtro de Bucle

La contribución de este bloque viene determinada por los componentes resistivos diseñados según el método [FUJI02] que conforman un filtro de orden 3. De este modo, cuanto mayor sean los valores de las resistencias, mayor contribución de ruido aportarán al sistema total.

# 8.3.2 Contribución al ruido del Comparador de Fase y la Bomba de Carga

Para poder parametrizar la contribución al ruido que aporta el tándem formado por estos dos bloques, se hará uso del componente *LinearPFDwNoise\_plllib*, el cual se muestra en la Figura 8.6 y ya ha sido utilizado anteriormente para la simulación de la respuesta de estabilidad del sistema.



Figura 8.6

Componente para implementar la contribución de ruido del PFD+CP.

Tal y como se observa en dicha figura, se han de especificar la corriente de salida de la bomba de carga y la contribución de ruido *PFD\_inoise*.

El primer parámetro ya es conocido y se corresponde con un valor de 800  $\mu$ A de corriente de salida del *Charge Pump*.

El segundo término, *PFD\_inoise,* es la medida del umbral de ruido (*noise floor*) a la salida de la bomba de carga expresada en Amperios por Hertzio (A/Hz).

Para calcular este último parámetro, se han de realizar 2 simulaciones conjuntas. La primera simulación se realizará para estudiar la respuesta transitoria del comparador de fase y la bomba de carga sin ninguna fuente de ruido. La segunda simulación será un análisis transitorio que incluya un estudio del ruido aportado por ambos bloques.

Asignando la frecuencia de entrada del detector de fase con el valor de la frecuencia de referencia, a la salida de la bomba de carga se obtendrán dos respuestas diferentes tras las dos simulaciones consecutivas.

El valor del ruido en RMS aportado por ambos bloques es igual a la desviación estándar de la resta de la salida de la bomba de carga del análisis con ruido menos la del análisis sin ruido.

Para obtener el valor del ruido en A/Hz se divide el valor obtenido entre la frecuencia de reloj. Este resultado es el umbral de ruido correspondiente al *PFD\_inoise*.



Figura 8.7 Componente para implementar la contribución de ruido del PFD + CP.

En la Figura 8.7 se muestra el *setup* empleado para tal fin. En él se observan el comparador de fase, la bomba de carga y el filtro de bucle diseñado. Las entradas del

comparador de fase están conectadas a 2 señales cuadradas con una frecuencia de 40 MHz y con un desfase entre ellas ajustable.

En la Figura 8.8 se muestran los valores obtenidos de las simulaciones realizadas. En ella se observan las respuestas obtenidas a la salida del tándem formado por el comparador de fase y la bomba de carga. Una hace referencia al resultado obtenido sin ninguna fuente de ruido, mientras que la otra muestra la salida con un análisis de ruido preestablecido.

Ambas simulaciones han sido representadas en el mismo visor de resultados para contrastar la diferencia entre ambas.

Mediante las ecuaciones de la derecha de la Figura 8.8 se ha obtenido el valor de la diferencia entre ambas señales, así como el valor del *PFD\_Inoise* requerido para caracterizar la contribución de ruido del comparador de fase y la bomba de carga.

En la Tabla 8.3 se resumen los valores obtenidos para caracterizar ambos bloques en la simulación de ruido total.

| PFD_INoise | 1.775 fA/Hz |
|------------|-------------|
| Id         | 800 µA      |

Tabla 8.3. Valores del Filtro de Bucle tras la Optimización realizada en ADS.



Figura 8.8 Valores obtenidos de la contribución de ruido del PFD +CP.

## 8.3.3 Contribución al ruido del VCO

Para determinar la contribución al ruido del VCO sería necesario hacer uso de una caracterización matemática para modelar el ruido de fase que alargaría el tiempo de cómputo de la simulación total de forma exponencial.

Sin embargo, ADS posee un componente que permite modelar de forma realista la respuesta del Oscilador Controlado por Tensión. Dicho componente se denomina *LinVCOwNoiseSlps*, el cual se muestra en la Figura 8.9.

En dicha figura se aprecia que dicho componente parametriza la  $K_v$  del VCO, la cual es de 333 MHz/V, como se estudió anteriormente. Del mismo modo, posee otros parámetros adicionales de caracterización.

VCO with Noise





Estos parámetros responden a la Figura 8.10 y caracterizan la máscara del ruido de fase asociada al VCO. En la Tabla 8.4 se explica a que corresponde cada parámetro mostrado en dicha figura.



Figura 8.10 Caracterización de la máscara del ruido de fase del VCO.

Para obtener el valor de cada uno de los parámetros indicados, se hará uso de la respuesta del ruido de fase del VCO obtenida en el Capítulo 3. Dicha respuesta se muestra en la Figura 8.11, la cual posee valores realistas, tal y como se comprobó con las medidas realizadas en dicho capítulo.

| L <sub>0</sub> | Noise Floor                                     |
|----------------|---|
| L <sub>1</sub> | Ruido de fase con pendiente de caída -10 dB/dec |
| F <sub>1</sub> | Frecuencia con pendiente de caída -10 dB/dec    |
| L <sub>2</sub> | Ruido de fase con pendiente de caída -20 dB/dec |
| F <sub>2</sub> | Frecuencia con pendiente de caída -20 dB/dec    |
| L <sub>3</sub> | Ruido de fase con pendiente de caída -30 dB/dec |
| F <sub>3</sub> | Frecuencia con pendiente de caída -40 dB/dec    |

| Tabla 8.4. N | láscara de | ruido de | fase del | VCO. |
|--------------|------------|----------|----------|------|
|--------------|------------|----------|----------|------|

A partir de dicha figura se ha obtenido una aproximación de los parámetros en cuestión, los cuales están reflejados en la propia Figura 8.9.



Figura 8.11 Ruido de fase del VCO.

#### 8.3.4 Contribución de ruido del Divisor

La contribución al ruido generado por el divisor rápido entre dos, el divisor entre 27 y el modulador Sigma Delta se parametrizan con el componente *LinDiv\_wNoiseSlps*. En la Figura 8.12 se muestra la configuración de dicho componente.



Figura 8.12 Parámetros del componente *LinDiv\_wNoiseSlps*.

A dicho componente se le incorpora el valor de la constante, *N0*, relativo a la división a realizar. Dado que caracteriza al *Fast Divider*, al divisor entre 27 y al Modulador Sigma Delta, para las simulaciones se le ha asignado un valor de división de 54.5.

Por otro lado se le incorporan las pendientes de las componentes del ruido, según la máscara vista en la Figura 8.10. Dichas pendientes tendrán los valores dados por defecto en la plantilla de ADS, las cuales se resumen en la Tabla 8.5.

| Ruido       | Potencia (dBm) | Frecuencia |
|-------------|----------------|------------|
| Noise Floor | -165           | -          |
| -10 db/dec  | -160           | 1 KHz      |
| -20 dB/dec  | -1000          | 100 Hz     |

Tabla 8.5. Valores asignados al ruido aportado por los Divisores.

## 8.3.5 Parámetros de ruido de la Señal de Referencia

Para obtener una respuesta lo más realista posible, la señal de referencia no se caracteriza como una señal ideal, sino como una señal con componentes de ruido asociados.

Para ello se hace uso de dos bloques aportados por ADS. Uno de ellos es el RefOscSlps y el otro es LinDiv\_wNoiseSlps (ver Figura 8.13).





En la Tabla 8.6 y Tabla 8.7 se muestran los valores asignados por el *software* ADS a cada uno de estos componentes para caracterizar una señal de referencia realista.

| Ruido       | Potencia (dBm) | Frecuencia |
|-------------|----------------|------------|
| Noise Floor | -165           | -          |
| -10 db/dec  | -160           | 1 KHz      |
| -20 dB/dec  | -1000          | 100 Hz     |

Tabla 8.6. Valores asignados al ruido del componente RefOscSlps.

| Ruido       | Potencia (dBm) | Frecuencia |
|-------------|----------------|------------|
| Noise Floor | -165           | -          |
| -10 db/dec  | -160           | 100 KHz    |
| -20 dB/dec  | -150           | 1 KHz      |
| -30 db/dec  | -140           | 10 Hz      |
| -40 dB/dec  | -1000          | 1          |

| Tabla 8.7. | Valores | asignados | al ruido | del con | ponente | LinDiv | wNoiseSl | bs. |
|------------|---------|-----------|----------|---------|---------|--------|----------|-----|
|            |         | 0         |          |         |         |        |          | r - |

## 8.3.6 Ruido de fase del Sintetizador

Una vez caracterizados cada uno de los componentes del sintetizador, se procede a la realización de la simulación del ruido de fase del sistema completo. Para ello se ha hecho uso del esquemático mostrado en la Figura 8.14.



Figura 8.14 Esquemático de simulación del Ruido de Fase del Sintetizador.

En la Figura 8.15 se aprecia la contribución del VCO en abierto (free run), así como el ruido que introduce éste en el sistema. Ambas simulaciones se pueden observar frente al ruido total del sistema.
Del mismo modo, en la Figura 8.16 se observa el ruido que produce cada elemento como son la frecuencia de referencia, el divisor, el detector de fase/frecuencia y el VCO. También se puede observar el ruido total del sistema ya estudiado.



Figura 8.15 Ruido de fase total y contribución del VCO.

En ambas figuras se puede apreciar que a partir de frecuencias mayores de 200 KHz, la contribución de ruido del sistema es igual a la aportada por el VCO. Esto es debido al efecto de filtrado que produce el sintetizador, reduciendo considerablemente la contribución de ruido del oscilador controlado por tensión a frecuencias cercanas a la de oscilación.

En los primeros sistemas de comunicaciones, sólo se empleaba el VCO para trasladar el espectro de señal desde RF a banda base. Era una solución válida, ya que habían pocos canales y con bastante separación entre ellos. Sin embargo, a medida que aumentaba la densidad de canales en los sistemas de telecomunicaciones, se hizo necesario obtener una frecuencia de portadora más selectiva, y así evitar la distorsión generada en banda base asociada a los canales adyacentes. De este modo surgieron los sintetizadores de frecuencia, cuyo rendimiento justifica su uso, tal y como muestran la Figura 8.15 y Figura 8.16.



Figura 8.16 Contribución de ruido de cada uno de los componentes al ruido de fase total.

Finalmente, en la Tabla 8.8 se resumen los valores obtenidos del ruido de fase del sistema en función de la separación del tono de oscilación principal. También se incluye una comparativa con las especificaciones dadas por DVB-SH. En ella se observa que el rendimiento del sistema se ajusta holgadamente a las especificaciones dadas por el estándar.

| Frecuencia | Ruido de fase total | Especificaciones DVB-SH |  |
|------------|---------------------|-------------------------|--|
| 1 KHz      | -108 dBc/Hz         | -69 dBc/Hz              |  |
| 10 KHz     | -102 dBc/Hz         | -74 dBc/Hz              |  |
| 100 KHz    | -90 dBc/Hz          | -83 dBc/Hz              |  |
| 1 MHz      | -112 dBc/Hz         | -95 dBc/Hz              |  |
| 10 MHz     | -120 dBc/Hz         | -101 dBc/Hz             |  |

Tabla 8.8. Valores del ruido de fase total y comparativa con las especificaciones de DVB-SH.

### 8.4 Simulación de la respuesta transitoria

En este apartado se estudiará el comportamiento del sintetizador para comprobar que su frecuencia de oscilación de salida se ajusta a los parámetros establecidos y se mantiene constante tras un tiempo de establecimiento.

Al igual que en los casos anterior, han sido modelados cada uno de los bloques del sintetizador gracias a los componentes que se incluyen en el simulador de ADS. Esto permite obtener una respuesta bastante realista del comportamiento del sistema, con unos tiempos de simulación aceptables y abordables.

El esquema del sintetizador simulado es el mostrado en la Figura 8.17. El valor de la constante se corresponde con un valor de tensión continua que atacará al modulador Sigma Delta. Es destacable indicar que, al igual que otros bloques, el modulador Sigma Delta ha sido caracterizado a través de una descripción de comportamiento. Como se ha comentado anteriormente, este punto contribuirá a que los tiempos de simulación y los problemas de convergencia del software ADS disminuyan.



Figura 8.17 Esquema de los bloques del sintetizador para la simulación transitoria.

Para ello se ha hecho uso del esquema mostrado en la Figura 8.18, en el que se observa el diagrama de bloques de un modulador Sigma Delta de tiempo continuo de orden 2, cuyos coeficientes han sido calculados y escalados en el Capítulo 5. La señal de reloj que necesita dicho modulador se la aporta la salida del Divisor Programable, tal y como muestra la Figura 8.17.



Figura 8.18 Modulador Sigma Delta de Tiempo Continuo de orden 2 con coeficientes escalados y optimizados.

En la Figura 8.19 se muestra la salida transitoria del sintetizador. En ella se puede apreciar que, tras un tiempo de establecimiento, se obtiene una salida estable, cuya frecuencia tiene un valor decimal no entero. Esto es gracias al modulador Sigma Delta, el cual permite al sistema sintetizar todos los canales permitidos por el estándar, sean o no factores enteros de la frecuencia de referencia.



Figura 8.19 Salida del Sintetizador.

Del mismo modo, en la Figura 8.20 se muestra la variación de la corriente de salida de la bomba de carga, la cual no necesita dar su valor máximo de corriente para sintetizar el

valor de frecuencia mostrado en la Figura 8.19. Se puede apreciar como varía a lo largo del tiempo, lo que se traduce en un correcto funcionamiento del detector de fase para dar a la salida del sintetizador una señal de salida sin distorsión.



Figura 8.20 Corriente de salida de la Bomba de Carga a lo largo del tiempo.

En la Figura 8.21 se muestra un *zoom* de la salida del modulador Sigma Delta, con los valores de los pulsos normalizados previamente a 1 y -1. En ella se aprecia que la variación del ancho de estos pulsos permite modular el valor de continua prefijado a su entrada (ver el valor constante en la Figura 8.17), que sumados a la salida del divisor, hace que el sistema sintetice valores de frecuencia no enteros.



Figura 8.21 Salida del modulador Sigma Delta normalizada.

Finalmente, en la Figura 8.22 se realiza una simulación para comprobar el enganche de la señal de salida en el menor tiempo de establecimiento posible. Para ello se toma el peor caso, es decir en el caso en el que el salto de canal sea el máximo. En dicha figura se muestra dicho salto máximo, es decir 30 MHz o el valor correspondiente al ancho de banda a DVB-SH, entre 2.17 y 2.2 GHz.

Para ello se ha hecho un cambio en el valor de la constante del modulador Sigma Delta en el instante t=100  $\mu$ s, cuando a la salida ya hay una señal totalmente estable. Después de un tiempo transitorio y un tiempo de establecimiento se obtiene un valor de señal constante a la salida pero con diferente frecuencia. El valor de dicho tiempo de establecimiento se ha estimado al alza, es decir, mayor al que realmente es, pero se ha tomado como criterio la obtención de una señal sin rizado. Este rizado es debido a los ajustes que realiza el PFD intentando ajustar las fases entre la señal de referencia y la que le llega desde el divisor.

Teniendo en cuenta que el tiempo de establecimiento ha sido establecido según DVB-T con un valor de 500  $\mu$ s, y que el obtenido es de aproximadamente 36  $\mu$ s, se comprueba que el sintetizador cumple con los requisitos exigidos inicialmente.



Figura 8.22 Tiempo de establecimiento del Sintetizador ante un cambio de canal.

Cabe destacar, tal y como se ha comentado en capítulos anteriores, que el tiempo de establecimiento no ha sido establecido por DVB-SH, por lo que se toma el especificado por DVB-T. Dado que los saltos de canales máximos en este estándar son muchos mayores

que los especificados para DVB-SH en términos de frecuencia, es lógico indicar que el estándar asigne un tiempo de establecimiento mayor al obtenido en este trabajo.

### 8.5 Resumen

En este capítulo se han obtenido las respuestas del sintetizador en función de la estabilidad, el ruido de fase y la respuesta transitoria.

Se ha comprobado que el rendimiento del sistema se ajusta holgadamente a los requisitos preestablecidos inicialmente por el estándar DVB-SH en todos los casos de estudio.

En el siguiente capítulo se procederá a establecer las conclusiones surgidas a partir de este trabajo, así como las líneas futuras que subyacen a partir de esta tesis.

# Capítulo 9

## Conclusiones

En esta tesis se ha realizado un estudio pormenorizado de un Sintetizador Fraccional basado en un modulador Sigma Delta para redes inalámbricas según el estándar DVB-SH. Dicho sintetizador trabaja en la banda de 2.17 a 2.2 GHz y todos los circuitos se han diseñado utilizando una tecnología CMOS suministrada por UMC.

Para su implementación y diseño, primero se realizó un estudio del estándar prestando especial atención a la capa física del mismo. Se prosiguió con una evaluación de las distintas arquitecturas de sintetizadores, eligiendo una estructura fraccional con modulador Sigma Delta, dada la versatilidad que ofrece para poder sintetizar todos los canales permitidos por DVB-SH con un único valor entero de frecuencia de reloj.

Una vez establecidos los requisitos necesarios, se procedió con el diseño de los bloques que conforman el sintetizador, comenzando con el núcleo de este: el oscilador controlado por tensión. Dicho elemento fue diseñado haciendo uso de una configuración fundamentada en un tanque LC con una red de resistencia negativa. Dicha red posee una novedosa técnica de reducción del ruido de fase haciendo uso de realimentaciones de corriente en el par oscilante. La gran ventaja que esta solución presenta es que se consigue reducir dicho ruido de fase sin incurrir en un aumento del consumo de potencia del oscilador.

La fabricación y medida de este dispositivo mostró una gran concordancia con las simulaciones realizadas, sobre todo en lo referente al ruido de fase. Sin embargo, debido a la imposición de la *foundry* de añadir una red de diodos en inversa para evitar los problemas de antena en el circuito final, la frecuencia de oscilación del VCO sufrió un desplazamiento con respecto a la predicha en los estudios previos. Al no poder ser caracterizada la influencia de dicha red en el funcionamiento del chip, no se pudo dilucidar su influencia en el oscilador antes de la medida de este.

Seguidamente se procedió con el desarrollo de los divisores que conforman la cadena del sintetizador. Se diseñó un divisor rápido entre 2 para poder gestionar de manera más eficiente el rango de frecuencias tan elevado que entrega a su salida el VCO. La configuración de dicho divisor fue mejorada para emplear una única red de reloj, la cual permite entregar la corriente óptima tanto para el par de muestreo como para el par de retención del *latch*. Las medidas mostraron un correcto funcionamiento del divisor, siendo mínima la influencia de este en el ruido de fase a la salida del tándem que formaba con el VCO.

El segundo divisor diseñado fue el divisor programable. Para ello se hizo uso de herramientas de síntesis lógica, a partir de una descripción de comportamiento en lenguaje de alto nivel. Tras establecer un reloj de referencia de 40 MHz, el factor de división fue fijado a 27. Los motivos fueron justificados tras estudiar que este valor entero permitía sintetizar todos los valores de canalización posibles establecidos por DVB-SH si se les añadía una parte decimal, suministrada por el modulador Sigma Delta.

Dicho modulador Sigma Delta fue diseñado intentando reducir el consumo de potencia, empleando para ello la metodología  $g_m/I_D$ . Esta técnica fue aplicada a dos arquitecturas diferentes de moduladores de orden dos, estando una basada en integradores y la otra en filtro *biquad*. Después de diversas pruebas se optó por la implementación *layout* del modulador con filtro *biquad*, dado que presentaba una mejor SNR y un menor consumo. Las medidas del circuito, si bien se ajustaban bastante a las simulaciones previas, mostraron un aumento de los armónicos a la salida del modulador, lo que podría provocar problemas de inestabilidad a la salida de este.

Tras un elevado número de simulaciones y de estudios en la literatura especializada, se llegó a la conclusión de que los problemas de estabilidad están asociados a la saturación de la salida de los integradores. Para solucionar este aspecto se siguió una técnica específica basada en el escalado de coeficientes, consiguiéndose implementar en el modulador de orden 2 realizado con integradores.

Una vez implementado el modulador, se prosiguió con el diseño del comparador de fase frecuencia con zona muerta cero y la bomba de carga. Ambas estructuradas fueron diseñadas individualmente para su posterior integración conjunta. Para solucionar los problemas de zona muerta, se decidió incluir células de retardo en el *path* de Reset del PFD. La unión del PFD y la CP permitió atacar al filtro de bucle conectado a la entrada del VCO.

Dicho filtro de bucle fue diseñado teniendo en cuenta que la estabilidad de este bloque determina en gran medida la estabilidad del sintetizador completo. Tras un estudio de las diferentes estructuras de filtros existentes, se procedió a la implementación de este haciendo uso de métodos optimizados para ser integrado en un sintetizador.

Tras diseñar e implementar todos los bloques del sintetizador, se procedió a la realización de una serie de simulaciones que permitieron corroborar el correcto funcionamiento del sistema completo. Para ello se estudiaron las respuestas del sintetizador en función de la estabilidad, el ruido de fase y la respuesta transitoria. Esto permitió establecer que el rendimiento del sistema se ajusta holgadamente a los requisitos preestablecidos inicialmente por el estándar DVB-SH.

Por tanto, en la presente tesis se ha alcanzado el principal objetivo propuesto inicialmente, que es el estudio y diseño de los distintos componentes que conforman un sintetizador de frecuencias Sigma Delta para DVB-SH, todo ello sobre una tecnología de bajo coste.

Por último, cabe destacar que actualmente no existen en el mercado sintetizadores para DVB-SH, sólo prototipos que aún no han sido lanzados comercialmente. Esto se traduce en que el sistema diseñado posee un alto grado de innovación, al igual que las técnicas de diseño utilizadas para implementar los diversos bloques.

Del mismo modo, este trabajo de tesis no culmina con este documento, ya que a raíz de los resultados obtenidos se están realizando más publicaciones de revista y contribuciones a congresos internacionales, así como diversas líneas futuras, que se desglosan en la siguiente sección.

### 9.1 Líneas Futuras

Las líneas abiertas por el presente trabajo son numerosas y variadas. Entre las más importantes, se encuentra el encapsulado del sistema completo, uniendo todos los bloques diseñados. Para ello, tras el estudio de la influencia de la red de diodos en inversa para solucionar los problemas de antena, se han de implementar los bloques teniendo en cuenta las no idealidades de esta red. Para poder medir el circuito encapsulado, se debe realizar una placa de medida a la que se le pueda acoplar el filtro de bucle externo.

Otra línea futura interesante se basa en la integración del sintetizador en un cabezal de recepción completo para DVB-SH, y unirlo con el sistema de procesado digital en banda base. Para ello es conveniente realizar un estudio de los efectos de ruido a través del sustrato entre la parte digital y la de RF. Una vez implementado el receptor de DVB-SH, es deseable proceder al diseño de la parte de transmisión del módulo de radiofrecuencia, prestando especial atención a la implementación del amplificador de potencia y su influencia en el resto de la parte de RF.

# BIBLIOGRAFÍA

## Bibliografía

| [ADS] | Website oficial software ADS: http://www.home.agilent.com/en/pc- |
|-------|--|
|       | 1297113/advanced-design-system-ads?&cc=ES&lc=eng                 |

- [AGNT] Website oficial Agilent: <u>http://www.agilent.com</u>
- [AND01] P. Andreani, S. Mattisson and B. Essink "A CMOS gm-C Polyphase Filter with High Image Rjection". In Proc. Custom Integrated Circuit Conference 2001.
- [ANT05] Patrick Antoine, Philippe Bauser, Hugues Beaulaton, Martin Buchholz,
  Declan Carey, Thierry Cassagnes, T. K. Chan, Stephane Colomines, Fionn
  Hurley, David T. Jobling, Niall Kearney, Aidan C. Murphy, James Rock,
  Didier Salle, and Cao-Thong Tu, "A Direct-Conversion Receiver for DVB-H,"
  IEEE J. of Solid State Circuits, vol. 40, no. 12, Dec. 2005.

- [ARM02] J. Armstrong, "OFDM Orthogonal Frequency Division Multiplexing", IEEE
   Signal Processing Society-Victorian Chapter Presentation, May. 2002.
- [BAI96] R. T. Baird y T. S. Fiez, "A low oversampling ratio 14-b 500-kHz Delta Sigma ADC with a self-calibrated multibit DAC", IEEE J. Solid-State Circ., pp. 312– 320, Marzo 1996.
- [BAK09] R. Jacob Baker, "CMOS: Mixed-Signal Circuit Design", Ed. Wyley-IEEE Press, 2009.
- [BAK98] R. Jacob Baker, Harry W. Li, David E. Boyce, "CMOS: Circuit Design, Layout, and Simulation", IEEE Press, 1998.
- [BAN04] D. R. Banbury, N. Fayyaz, S. Safavi-Naeini, S. Nikneshan, "A CMOS 5.5/2.4 GHz dual-band smart-antenna transceiver with a novel RF dual-band phase shifter for WLAN 802.11a/b/g", Digest of Radio Frequency Integrated Circuits (RFIC) Symposium, pp.157-160, Jun. 2004.
- [BEI03] N. Beilleau, H. Aboushady, M. M. Louërat, "Systematic Approach for Scaling Coefficient of Discrete-Time and Continuous-Time Sigma-Delta Modulators", IEEE Circuits and Systems, 2003.
- [BEN97] P. Benabes, M. Keramat y R. Kielbasa. "A methodology for designing continuoustime sigma-delta modulators". En Proc. European Design Test Conf., pp. 46-50, 1997.
- [BHA05] J. Bhattacharjee, D. Mukherjee, E. Gebara, S. Nuttinck, J. Laskar, "A 5.8 GHz fully integrated low power low phase noise CMOS LC VCO for WLAN applications", IEEE MTT-S Microwave Symposium Digest, vol. 1, pp. 585-588, Jun. 2002.

- [BON05] A. Bonfanti, A. Tedesco, C. Samori, A.L. Lacaita, "A 15-GHz broadband ÷2 frequency divider in 0.13-µm CMOS for quadrature generation," IEEE, Microwave and Wireless Components Letters, Volume 15, Issue 11, Pages:724 – 726, November 2005.
- [BOS88] B. Boser and B. Wooley. "The design of Sigma-Delta Modulation Analog-to-Digital Converters", IEEE J. Solide-State Circuits, vol. 23, Diciembre 1988.
- [BRE01] L. Breems y J.H. Huising. "Continuous-Time Sigma-Delta Modulation for A/D Conversion in Radio Receivers", Kluwer Academic Publishers, 2001.
- [BRO90] J.E.C. Brown, M. alexander y D.F. Bowers. "Mixed-Mode simulation of a continuous-time SD ADC". En Proc. Int. Symp. Circ. Syst., volumen 3, pp. 1915-1918, 1990.
- [CAD] Website oficial software Cadence: <u>http://www.cadence.com</u>.
- [CAN74] J.C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters", IEEE Transactions on Communications, Vol. COM-20, pp. 298- 305, 1974.
- [CAN81] J.C. Candy, O.J. Benjamin, "The Structure of Quantization Noise from Sigma-Delta Modulation", IEEE Transactions on Communications, Vol. COM-29, No. 9, pp. 1316-1323, 1981.
- [CAN85] J.C. Candy. "A use of double integration in sigma-delta modulation", IEEE Trans.Communications, pp. 249-258, Marzo 1985.
- [CASC] Website oficial Cascade Microtech: http://www.cmicro.com

- [CHE00] J.A. Cherry y W.M. Snelgrove. "Continuous-time delta-sigma modulators for highspeed A/D conversion: theory, practice, and fundamental performance limits", Kluwer Academic Publishers, Massachusetts, 2000.
- [CHE98] James A. Cherry, "Theory, Practice, and Fundamental Performance Limits of High-Speed Data Conversion Using Continuous-Time Delta-Sigma Modulators", Carleton University, Noviembre 1998.
- [CHU05] Chung Yun Chou and Chung Yun Wu "The design of Wideband and Low-Power CMOS active polyphase filter and its application in RF Double – Quadrature receivers", IEEE Transactions on circuits and system, Vol. 52, No. 5, May 2005.
- [CMOS] CMOS Technology Website: <u>http://cmosedu.com</u>
- [DAB05] Jerzy Dabrowski, Radio-Electronics TSEK 26, 4 P, "RF CMOS transceiver design", http://www.ek.isy.liu.se/courses/tsek26/, System Design, 2005.
- [DAM08] H. Daoud Dammak, S. Bensalem, S. Zouari, and M. Loulou, "Design of Folded Cascode OTA in Different Regions of Operation through gm/ID Methodology", World Academy of Science, Engineering and Technology, 2008.
- [DAW03] Mark Dawkins, Alison Payne Burdett and Nick Cowley, "A Single-Chip Tuner for DVB-T," IEEE J. of Solid-State Circuits, vol. 38, no. 8, Aug. 2003.
- [DCOM] Website oficial software Design Compiler: http://www.synopsys.com/tools/implementation/rtlsynthesis/dcgraphical /Pages/default.aspx
- [DUA09] Rui Duarte, Jorge R. Fernandes, "A Behavioural Model for Sigma Delta Fractional PLL", MIXDES, 2009.

- [ECC07] "ECC 2007/98/EC. COMISSION DECISION of 14 February 2007 on the harmonized use of radio spectrum in the 2GHz frequency bands for the implementation of Systems providing Mobile satellite services."
- [EICTA] "EICTA MRAI Specifications for mobile and portable DVB-T/H radio access –IEC review", <u>http://www.eicta.org</u>.
- [EMI03] Ahmed A. Emira and E. Sánchez-Sinencio, "A pseudo differential complex filter for Bluetooth with frequency tuning", IEEE Transactions on circuits and system-Analog and digital signal processing, Vol. 50, No. 10, February 2003.
- [EN300744] "EN300744: Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television," ETSI, Tech. Rep.
- [EN302304] "EN302304: Transmission system for handheld terminals", ETSI, Tech. Rep.
- [EN302583] "EN302583: Framing structure, channel coding and modulation for satellite services to handheld devices (SH) below 3GH<sub>2</sub>", ETSI, Tech. Rep.
- [ENCT] Website oficial software Encounter: http://www.cadence.com/products/ld/rtl\_compiler/pages/default.aspx
- [FAH03] A. M. Fahim y M. I. Elmasry, "A Wideband Sigma-Delta Phase-Locked-Loop Modulator for Wireless Applications", IEEE Transactions on Circuits and Systems, Febrero 2003.
- [FAR05] A. Fard, D. Aberg, "A novel 18 GHz 1.3 mW CMOS frequency divider with high input sensitivity," International Symposium on Signals, Circuits and Systems, 2005, Volume 2, Pages: 409 412, July 2005.
- [FDKU] Foundry Design Kit (FDK), User Guide, UMC 2007.
- [FIP06] Figueiredo, P.M., Vital, J.C., "Low Kickback Noise Techniques for CMOS Latched Comparators", IEEE Transactions on Circuits and Systems II, Julio 2006.

- [FISH] Tony Fisher's , LC Filter Design: <u>http://www-users.cs.york.ac.uk/~fisher/lcfilter/.</u>
- [FUJI02] Fujitsu Super PLL Application Guide: http://www.fujitsu.com/downloads/MICRO/fma/pdf/PLLapp.pdf
- [GRA97] R.M. Gray. "Quantization Noise in ∑⊥ A/D Converters", S.R. Norsworthy, R. Schreier, y G.C. Temes, editores, "Delta-Sigma Data Converters: Theory, Design, and Simulation", capítulo 4. IEEE Press, New York, 1997.
- [GUI03] Guido Retz, Phil Burton, "A CMOS Up-Conversion receiver Front-End for Cable and Terrestrial DTV Applications," IEEE International J. Solid State Circuits Conference, San Francisco, Feb. 9-13, 2003.
- [HAJ99] A. Hajimiri, T.H. Lee, (1999),"Design issues in CMOS differential LC oscillators," IEEE J. Solid-State Circuits, 34, no. 5, pp. 717-724, May 1999.
- [HAM01] D. Ham, A. Hajimiri, "Concepts and methods in optimization of integrated LC VCOs," IEEE J. Solid-State Circuits, vol. 36, pp. 896-909, June 2001.
- [HAM01] Ham, D., and Hajimiri, A., "Concepts and methods in optimization of integrated LC VCOs," IEEE J. Solid-State Circuits, vol. 36, pp. 896-909, June 2001.
- [HAN02] Han-il Lee, Tae-won Ahn, Duck-young Jung and Byeong-ha Park, "Scheme for No Dead Zone, Fast PFD Design", Journal of the Korean Physical Society, Vol. 40, N°. 4, pp.543-545, April 2002.
- [HEG01] E. Hegazi, H. SjÖland, A.A Abidi, "A filtering technique to lower LC oscillator phase noise," IEEE J. Solid-State Circuits, no.12, vol. 36, pp. 1921-1930, Dec. 2001.

- [HEWP] Hewlett Packard *power supplies*: http://h18004.www1.hp.com/products/servers/rackandpower/powersupp lies/index.html
- [HILL92] A. Hill and A. Surber, "The PLL Dead Zone and How to Avoid it", RF Design, pp.131-134, Mar. 1992.
- [HOR90] U. Horbach. "Design of a 20bit sigma-delta A/D converter for audio applications", Proc. Int. Symp. Circ. Syst., volumen 4, pp 2789-2792, 1990.
- [HUA05] F.H. Huang, D.M. Lin, H.P. Wang, W.Y. Chiu, Y.J. Chan, "20 GHz CMOS injection-locked frequency divider with variable division ratio," IEEE Radio Frequency integrated Circuits (RFIC) Symposium, 2005, Pages:469 – 472, June 2005.
- [JAC98] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation," IEEE Press, 1998.
- [JEN95] J. F. Jensen, G. Raghavan, A. E. Cosand, and R. H. Walden, "A 3.2-GHz second-order delta-sigma modulator implemented in InP HBT technology", IEEE J. Solid- State Circ., pages 1119–1127, Octubre 1995.
- [JES10] Paul G. A. Jespers, "The gm/ID methodology, a sizing tool for low-voltage analog CMOS Circuits", Springer, 2010.
- [JOH97] D. Johns y K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, 1997.
- [JPE07] J. Pérez, N. Barrera, R. Díaz, R. Pulido, J. del Pino, S. L. Khemchandani and A. Hernández, "A SiGe Front-End for a portable DVB-H Receiver," XXII Conference on Design of Circuits And Integrated Systems, Sevilla, Nov. 2007.

- [JPIN05] F. Javier del Pino, "Diseño de Circuitos Integrados de Radiofrecuencia", Electrónica Aplicada a las Comunicaciones, Departamento de Ingeniería Electrónica y Automática, ULPGC, 2005.
- [JUI05] N. Juida, C. Rebai, A. Ghazel, and D. Daller, "Design strategy for high order continuous-time delta-sigma modulator for multistandard receiver", ICECS, Gammarth, Tunisia, Diciembre 2005.
- [JUN10] Heung Jun Jeon, "Low-power high-speed low offset fully dynamic CMOS latched comparator", Northeastern University, Enero 2010.
- [JWU88] J. Wu, "A 100MHz pipelined CMOS comparator", IEEE Journal Solid-StateCircuits, vol. 23, pp. 1379-1385, 1988.
- [KIM01] S. Kim, "An 8-bit 200MSPS CMOS A/D Converter for Analog Interface Module of TFT-LCD Driver", ISCAS, vol. 1, pp. 528-531, Mayo 2001.
- [KIR90] Kirk C-H Chao, Shujaat Nadeem, Wai L Lee, and Charles G. Sodini, "A higher order topology for interpolative modulators for oversampling A/D converters", IEEE Trans. Circuit and Sys., CAS-37:309–318, 1990.
- [KLE03] B.-U. Klepser, M. Punzenberger, T. Ruhlicke, M. Zannoth, "5-GHz and 2.4-GHz dual-band RF-transceiver for WLAN 802.11a/b/g applications", Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 37 – 40, Jun. 2003.
- [KUM11] Montree Kumnyern, "New Electrically Tunable Voltage-Mode Lowpass, Highpass, Bandpass Filter using Simple OTAs", International Journal of Computer and Electrical Engieneering, Vol. 3, No. 5, Octubre 2011.

- [LEDA] Website oficial software LEDA: http://www.synopsys.com/tools/verification/functionalverification/pages /leda.aspx
- [LEE04] T. Lee, "The Design of CMOS Radio Frequency Integrated Circuits", Cambridge University Pr, 2004.
- [LEV04] S. Levantino, L. Romano, S. Pellerano, C. Samori, A.L. Lacaita, "Phase noise in digital frequency dividers," IEEE Journal of Solid-State Circuits, Volume 39, Issue 5, Page(s):775 – 784, May 2004.
- [LHA00] T.H. Lee, A Hajimiri, "Oscillator phase noise: A tutorial," IEEE J.Solid-State Circuits, vol. 35, pp. 326-336, March 2000.
- [LRA04] J. Lee, B. Razavi, "A 40-GHz frequency divider in 0.18-µm CMOS technology," IEEE Journal of Solid-State Circuits, Volume 39, Issue 4, Pages: 594 – 601, April 2004.
- [LUH00] L. Luh, J. Choma Jr., J. Drapper, "A 400 MHz 5th Order Continuous- Time Switched-Current Sigma Delta Modulator", En Proc. European Solid-State Circ. Conf., 2000.
- [MATH] Matlab and Simulink for *Technical Computing*: <u>http://www.mathworks.com</u>
- [MOH05] R. Mohanavelu, P. Heydari, "A novel 40-GHz flip-flop-based Frequency divider in 0.18µm CMOS," Proceedings of the 31st European Solid-State Circuits Conference, Page(s):185 – 188, September 2005.
- [MPEG2] Estándar ISO 13818: Codificación de Audio y Video MPEG-2.
- [MSIM] Website oficial software MODELSIM: <u>http://www.model.com</u>

- [MSP03] Manuel Sierra Pérez, "Electrónica de comunicaciones", *Pearson Prentice Hall*, 2003.
- [NOR97] S. R. Norsworthy, R. Schreier, and G. C. Temes, "Delta-Sigma Data Converters: Theory, Design, and Simulation", IEEE Press, New York, 1997.
- [PAI03] Fernando Da Rocha Paixao Cortes, "Modelagem e Projeto de Módulos Amplificadores e Comparadores em Tecnologia CMOS 0,35um", Universidade Federal do Rio Grande do Sul, Abril 2003.
- [PAT04] Patón Álvarez, Susana, "Contribución al modelado y Diseño de Moduladores Sigma-Delta en Tiempo Continuo de Baja Relación de Sobremuestreo y Bajo Consumo de Potencia", Universidad Carlos III de Madrid, 2004.
- [PAY09] Payam Goshayesh Safe, "A Wide-band, Continuous-time, Bandpass, Complex Delta- Sigma ADC for Digital Radio Receivers", Julio 2009.
- [PIE03] B. Piernas, K. Nishikawa, T. Nakagawa, K. Araki, K, "A compact and lowphase-noise Ka-band pHEMT-based VCO", IEEE Transactions on Publication Microwave Theory and Techniques, vol, 51, iss. 3, pp. 778 – 783, Mar. 2003.
- [PNF00] Paraninfo, "Electrónica aplicada a las altas frecuencias", *Thomson Learning*, 2000.
- [PRO96] Vladimir I. Prodanov and Michael M. Green, "Biquad Gm-C Structures which use Double-Output Transconductors", IEEE, 1996.
- [RAE00] J.J. Rael, and A.A Abidi, "Physical processes of phase noise in differential LC oscillators," IEEE Custom Integrated Circuits Conf., pp. 569-572, May 2000.

- [RAZ01] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill Higher Education, 2001.
- [RAZ95] B. Razavi, "Principles of Data Conversion Systems", IEEE Press, 1995.
- [RAZ98] B. Razavi, "RF Microelectronics", Ed. Prentice Hall, 1998.
- [REC+] RECITAL + Project: "DVB-SH Digital TV Receiver" Funding
   Organisation: Spanish Ministry of Science and Innovation. Participants:
   IUMA RFIC, USE and CEIT. Project duration: From 01/01/2009 to
   31/12/2011.
- [REZ10] H. Reza. M. Dousti, H. Hassan. "Noise and Transconductance Improvement in Monolithic Differential LC-VCOs," International J. of Electronics, 2010.
- [SAD10] Sadr M.N., Hamid Reza; Dousti, Massoud; Hajghassem, Hassan; "Noise and Transconductance Improvement in Monolithic Differential LC-VCOs," International J. of Electronics, 2010.
- [SAGE] Circuit Sage, Filter Design and Analysis: http://www.circuitsage.com/filter/ladder.zip.
- [SAN11] Sandeep K. Arya, Neelkamal, "A Comparative Study of Dynamic Latch Comparator", International Conference on Advanced Computing, Communication and Networks, 2011.
- [SAU03] Sau-Mou Wu, Ron-Yi Liu, Wei-Liang Chen, "A 5.8-GHz delta-sigma fractional-N frequency synthesizer for IEEE 802.11a applications", Proceedings on 5th International Conference on ASIC, vol. 2, pp. 1074-1077, Oct. 2003.
- [SCH01] R. Schaumann and M.E.V. Vlakenburg, "Design of Analog Filters" Oxford University Press, 2001.

- [SCH03] Delta-Sigma Toolbox, versión 6.0, Enero 2003 Disponible en web: <u>http://www.mathworks.co.uk/matlabcentral/fileexchange/loadFile.do?objectId=19&objectType=file</u>
- [SCH05] R. Schreier y G. C. Temes, "Understanding Delta-Sigma Data Converters", IEEE Press, 2005.
- [SIL96] F. Silveria, D. Flandre, P. G. A. Jespers, "A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA", IEEE Journal of Solid-State Circuits, Vol. 31, No. 9, Septiembre 1996.
- [SIN00] E. Sánchez-Sinencio and J. Silva-Martinez, "CMOS transconductance amplifiers, architectures and active filters: a tutorial", IEE Proc.-Circuits Devices Syst., Vol. 147, No. 1, February 2000.
- [SIN05] U. Singh, M.M. Green, "High-frequency CML clock dividers in 0.13-µm CMOS operating up to 38 GHz," IEEE Journal of Solid-State Circuits, Volume 40, Issue 8, Page(s):1658 1661 August 2005.
- [SOY90] Mehmet Soyuer and Robert G. Meyer, "Frequency Limitations of Conventional Phase- Frequency Detector," IEEE J. Solid-State Circuits, vol. 29, pp. 1019.
   1990.
- [SPE03] Manuel Sierra Pérez, "Electrónica de comunicaciones", Pearson Prentice Hall, 2003.
- [THO00] Paraninfo, "Electrónica aplicada a las altas frecuencias", Thomson Learning, 2000.

- [TSA05] M Tsai, Cho -D.; H. Wang, "A 5-GHz Low Phase Noise Differential Colpitts CMOS VCO", IEEE Microwave and Wireless Components Letters, vol. 15, iss. 5, pp. 327-329, May 2005.
- [TSI95] Yannis Tsividis, "Mixed Analog-Digital VLSI Devices and Technology", McGraw- Hill, 1995.
- [UMC90] *Website* oficial de UMC: <u>http://www.umc.com</u>
- [USA04] M. Usama, T. Kwasniewski, "New CML latch structure for high frequency Prescaler design", Canadian Conference on Electrical and Computer Engineering 2004, vol. 4, pp. 1915 – 1918, May 2004.
- [USA06] M. Usama; T. Kwasniewski; , "A 40-GHz Frequency Divider in 90-nm CMOS Technology," Circuits and Systems, 2006 IEEE North-East Workshop on , vol., no., pp.41-43, June 2006.
- [VERL] IEEE 1364-2001, "IEEE standard Verilog hardware description language".
- [VHDL] Procedural Language Application Interface standard (VHDL 1076c-2007).
- [WEN06] Wensheng V. Kuang, Jim S. Wight, "A Novel Biquad Filter Circuit for Continuous-Time Sigma-Delta Modulators", IEEE Xplore, 2006.
- [WON03] C. Wong, V.S.L. Cheung, H.C. Luong, "A 1-V 2.5-mW 5.2-GHz frequency divider in a 0.35-µm CMOS process," IEEE Journal of Solid-State Circuits, Volume 38, Issue 10, Pages: 1643 – 1648, October 2003.
- [WRY05] K.-L.J. Wong, A. Rylyakov, C.-K.K. Yang, "A broadband 44-GHz frequency divider in 90-nm CMOS," IEEE Compound Semiconductor Integrated Circuit Symposium, Pages: 196 – 199, 2005.

- [YAM05] K. Yamamoto, M. Fujishima, "A 44-µW 4.3-GHz injection-locked frequency divider with 2.3-GHz locking range," IEEE Journal of Solid- State Circuits, Volume 40, Issue 3, Pages: 671 – 677, March 2005.
- [YAN00] Shoull Yan y Edgar Sanchez Sinencio, "Low Voltage Analog Circuit Design Techniques: A Tutorial", IECE Trans. Analog Integrated Circuits and Systems, Vol.
   E00-A, No.2, February 2000.
- [YUD04] X.P. Yu, M.A. Do, J.G. Ma, K.S. Yeo, R. Wu, G.Q. Yan, "1 V 10 GHz CMOS frequency divider with low power consumption," Electronics Letters, Volume 40, Issue 8, Pages: 467 – 469, April 2004.
- [ZAH07] Mhd Zaher Al Sabbagh, "0.18µm Phase-Frequency detector and charge pump design for digital video broadcasting for handheld's phase-locked-loop systems", Thesis, School of The Ohio State University, 2007.
- [ZAR05] F. Zarkeshvari, P. Noel y T. Kwasniewski, "PLL-Based Fractional-N Frequency Synthesizers", IEEE, 2005.
- [ZGU03] Z. Gu, A. Thiede, "18 GHz low-power CMOS static frequency divider," Electronics
   Letters, Volume 39, Issue 20, Pages:1433 1434, October 2003.
- [ZHI02] Zhi-Ming Lin and Wen-Huei Sheu. "A generic multiple-feedback architecture and method for the design of high-order Sigma-Delta modulators", IEEE Trans. Circuit and Sys. 2, CAS-49:465–473, July 2002.



## Anexo A

### Requisitos del Receptor para DVB-SH

Este anexo tiene como objetivo dilucidar y calcular las prestaciones que debe cumplir un cabezal de recepción para ajustarse a los requisitos establecidos por el estándar.

Una vez definida la arquitectura de conversión directa (ver Capítulo 1), se ajustará su funcionamiento cumpliendo con dichas restricciones. Para ello se calcularán los parámetros necesarios de acuerdo a la información suministrada por DVB-SH [EN302583].

### A.I Requisitos C/N (Carrier to Noise)

DVB-SH permite que la constelación seleccionada para la modulación sea de 2 bits (QPSK), 4 bits (16QAM) o 6 bits (64QAM). En función de dicha modulación, unos requisitos de portadora a ruido (C/N) deben de ser cumplidos para asegurar una correcta demodulación.

| Canal TDM-AWGN |           |        | Canal COFDM-AWGN |       |
|----------------|-----------|--------|------------------|-------|
| QPSK(dB)       | 8PSK (dB) | 16APSK | QPSK             | 16QAM |
| -3.9           | -1.3      | 0.4    | -3.6             | 0.7   |
| -3.4           | -0.7      | 1      | -3.1             | 1.3   |
| -2.8           | -0.1      | 1.6    | -2.5             | 1.9   |
| -2.1           | 0.7       | 2.5    | -1.8             | 2.8   |
| -1.2           | 1.6       | 3.4    | -0.9             | 3.7   |
| -0.2           | 2.7       | 4.7    | 0.1              | 5     |
| 1.1            | 4.4       | 6.5    | 1.4              | 6.8   |
| 3.2            | 6.9       | 9.4    | 3.5              | 9.7   |

Tabla A.I Requisitos de C/N para Canales AWGN del estándar DVB-SH.

Dado que DVB-SH presenta una arquitectura híbrida con componentes terrestres y satelitales, prestando especial interés a la comunicación móvil, permite varios modelos de modulación y de selección de canales.

| Canal TDM-AWGN            | Canal COFDM-AWGN              |  |
|---------------------------|-------------------------------|--|
| TDM-Rice Channel (K=3 dB) | TDM-Rayleigh Channel (K=3 dB) |  |
| QPSK (dB)                 | QPSK (dB)                     |  |
| -3.4                      | -3.2                          |  |
| -2.2                      | -2.1                          |  |
| -0.4                      | -0.2                          |  |
| 2.2                       | 2.9                           |  |

Tabla A.II Requisitos de C/N para Canales Rice y Rayleigh del estándar DVB-SH.

De la Tabla A.I a la Tabla A.III se presentan los requisitos exigidos por el estándar DVB-SH en función de la modulación empleada y de la conformación del canal (AWGN, *Rice, Rayleigh* y TU6). También se muestran los valores necesarios para asegurar una correcta recepción a las velocidades típicas de un vehículo en movimiento, con el modelo de canal TU6.

| Canal COFDM-TU6 |              |             |              |  |  |
|-----------------|--------------|-------------|--------------|--|--|
| QPSK(dB)        |              | 16QAM       |              |  |  |
| 3 Km/h (dB)     | 50 Km/h (dB) | 3 Km/h (dB) | 50 Km/h (dB) |  |  |
| 6.5             | 1            | 8.5         | 6.5          |  |  |
| 5.5             | 1.6          | 7           | 6            |  |  |
| 3.5             | 2.5          | 6.5         | 435          |  |  |
| 2.5             | 3.4          | 5           | 4            |  |  |
|                 |              | 5.5         | 3            |  |  |
|                 |              | 4           | 3            |  |  |

Tabla A.III Requisitos de C/N para Canales TU6 del estándar DVB-SH en función de la velocidad de desplazamiento del usuario.

#### A.II Máximos niveles de señal a la entrada

En esta sección se definirán los niveles máximos de señal a la entrada de un receptor de DVB-SH. Estos niveles incluyen la máxima potencia de la señal deseada, la interferente y la potencia media total máxima de componentes espectrales a la entrada de dicho receptor.

De acuerdo con [EN302583], el máximo nivel de señal interferente que se puede presentar en la antena del receptor es de unos 15 dBm, asumiendo un acople entre las antenas de UMTS y DVB-SH de 15 a 18 dB.

Si el filtro de RF tiene una atenuación mínima de unos 40 dB para el canal de subida (*uplink*) de UMTS, tal y como se explica en [EN302583], la potencia media máxima en el punto de referencia de entrada del receptor es -28 dBm.

Dado que el estándar DVB-SH es bastante reciente, [EN302583] no ha especificado los valores de niveles máximos para señales dentro de la banda. Por tanto, se tomarán de referencia los valores dados por EICTA MRAI [EICTA] para DVB-H. Esta consideración es válida dado que:

- DVB-SH es un estándar de televisión móvil muy similar a DVB-H. Por tanto es razonable asumir que los niveles máximos de interferencia entre canales dentro de la banda sean similares.
- DVB-SH está parcialmente basado en DVB-H, con la salvedad de que incluye algoritmos mejorados de corrección de errores. Por tanto, si se asumen las mismas especificaciones para ambos, como mínimo se cumplirá la misma calidad de servicio (*QoS*).

#### A.III Sensibilidad y Figura de Ruido

De acuerdo con [EN302583], un receptor de DVB-SH de Categoría 3 (terminal móvil con módem de telecomunicaciones integrado) debe tener una figura de ruido de 4.5 dB incluyendo el filtro de RF que se muestra en la Figura A.I.



Figura A.I. Punto de Referencia para el Receptor de DVB-SH.

Cuando un sistema está precedido por un filtro pasivo cuyo ruido térmico de entrada es  $T_0=290^{\circ}$ K y siendo la temperatura ambiente la misma, la figura de ruido del filtro atenuador es igual a su atenuación. Por tanto, aplicando la ya conocida fórmula de Friis, el factor de ruido del *front-end* de RF puede ser calculado con la siguiente ecuación:

$$F = F_{\text{filter}} + \frac{F_{\text{front-end}} - 1}{\text{gain}_{\text{filter}}}$$
(A.1)

Las especificaciones del filtro de RF vienen dadas por [EN302583]. La atenuación máxima dentro de la banda es de 1.5 dB y la mínima atenuación fuera de la banda es de 40 dB.

Reemplazando los valores dados por [EN302583] en dB por sus equivalentes en magnitud, se obtiene que:

- Factor de ruido del filtro (F<sub>filter</sub>) =1.41.
- Ganancia del filtro (Gain<sub>filter</sub>) =0.71.
- Factor de ruido del sistema (F) =2.82.

Sustituyendo estos valores en la ecuación A.1, se obtiene que:

$$2.82 = 1.41 + \frac{F_{\text{front-end}} - 1}{0.71} \Longrightarrow F_{\text{front-end}} \approx 2 \tag{A.2}$$

Si se expresa este factor de ruido en dB, se obtiene una figura de ruido (NF) del receptor o *front-end* de unos 3 dB.

La sensibilidad de un receptor hace referencia al nivel mínimo de señal a su entrada para su correcta recepción y procesamiento, es decir, que cumple con los criterios mínimos para asegurar una relación portadora a ruido suficiente. La fórmula para calcularla viene dada por:

$$P_{in \min} = -174 dBm/Hz + 10 \cdot log(BW) + NF + C/N_{req}$$
(A.3)

Donde -174 dBm/Hz es el ruido térmico (T0=290° K) a la entrada cuando el receptor está adaptado en impedancia con la antena, BW es el ancho de banda de la señal, NF es la figura de ruido del receptor y C/N es la relación portadora a ruido requerida.

La sensibilidad mínima se produce cuando el ancho de banda, la figura de ruido y la relación portadora a ruido están en su mínimo valor (ver Tabla A.I). Aplicando la ecuación A.3, la sensibilidad mínima del receptor es:

$$P_{in\min} = -112.18 + 3 - 3.9 + 0.5 = -112.55 dBm \tag{A.4}$$

Donde se ha puesto un margen de unos 0.5 dB especificado por [EN302583].

#### A.IV Rango Dinámico

El rango dinámico (*Dynamic Range*) se define como la relación entre el nivel mínimo necesario para una correcta recepción de la señal y el nivel máximo para no saturar la entrada del receptor.

El nivel mínimo de señal ha sido calculado en la sección anterior, mientras que el nivel máximo es dado por [EN302583] y [EICTA], y su valor es de unos -28 dBm para señales tanto deseadas como interferentes a la entrada del filtro receptor.

Teniendo en cuenta la atenuación del filtro receptor de 1.5 dB, se tiene que el rango dinámico viene dado por:

$$Dynamic\_range = P_{max} - P_{min} \tag{A.5}$$
Sustituyendo los valores calculados y los dados por [EN302583], se obtiene un valor de:

$$Dynamic\_range = -29.5 - (-112.55) = 83.05dBm$$
(A.6)

#### A.V Control Automático de Ganancia

Dado el alto rango dinámico que el receptor debe soportar, es necesario implementar un mecanismo de control automático de ganancia (*Automatic Control Gain* – ACG) para evitar la saturación del *front-end* cuando la potencia de entrada es máxima (ganancia mínima) y la pérdida de señal cuando la potencia de entrada es mínima (ganancia máxima).

El conversor analógico digital (ADC) empleado en este receptor, desarrollado por la Universidad de Sevilla, posee un rango de 1 Vpp, lo que implica que el nivel de potencia máximo permitido a la entrada de este dispositivo viene dado por:

$$P_{\max} = 10 \log \left(\frac{Vpp}{2\sqrt{2}}\right)^2 = -9dBV = 4dBm \tag{A.7}$$

La ganancia máxima requerida para el receptor se puede obtener fijando el nivel de ruido (no*ise floor*) justo por encima del ruido *Nyquist* del ADC, asociado a la conversión analógico-digital. En este caso, el ADC implementado posee una SNR de 70 dB, por lo que su ruido de *Nyquist* asociado es de:

$$N_o = P_{\max} - SNR = 4 - 70 = -66dBm \tag{A.8}$$

Por lo que la ganancia máxima se puede calcular como:

$$G_{\max} = N_O - P_{in\min} = -66 - (-107.18) = 41.18 dB$$
(A.9)

Una vez calculada la ganancia máxima, para obtener la ganancia mínima requerida por el sistema, se ha de tomar como premisa fijar la no saturación del ADC. Esto significa que los niveles máximos de potencia a la salida del *front-end* de RF deben ser menores que la potencia máxima a la entrada del ADC, por lo que:

$$G_{\min} = P_{in\max ADC} - P_{in\max front-end} = 4 - (-29.5) - 6 = 27.5 dB$$
(A.10)

Se ha tomado un margen de 6 dB como margen de seguridad para prevenir la saturación del ADC.

Por último, la ganancia dinámica del sistema viene dada por la diferencia entre las ganancias mínima y máxima calculadas:

$$Dynamic_gain = G_{max} - G_{min} = 41.18 - 27.5 = 13.68dBm$$
 (A.11)

#### A.VI Requisitos de Linealidad

La linealidad de un sistema da una medida de la distorsión provocada por el receptor a la señal de entrada debido a la propia naturaleza intrínseca no lineal de este.

A la hora de diseñar un sistema de RF este criterio toma especial relevancia, ya que si dicha distorsión o no linealidad es muy elevada, puede implicar que una señal de entrada sea incorrectamente modulada y procesada.

Una medida común de dicha linealidad es el Punto de Intercepción de tercer Orden (*Third Order Intercept Point* – IP3). Cuando dos señales con diferentes frecuencias ( $\omega_1 y \omega_2$ ) son aplicadas a un sistema no lineal, la salida exhibe, en general, términos armónicos de  $\omega_1$  y  $\omega_2$ . También muestra términos de frecuencias que siguen la ley m $\omega_1 \pm n \omega_2$ , los cuales se producen por la mezcla entre los anteriores. A estos se les denomina productos de intermodulación (IM).

Se define el orden de cada producto como la suma de m+n. Los productos de intermodulación se pueden dar referidos a la salida (OIM) o a la entrada (IIM) y se suelen expresar en dBm. Ambos valores están relacionados a través de la ganancia del circuito (OIM = IIM+G dB).

Los productos de intermodulación más importantes son los de tercer orden  $(2\omega_1 - \omega_2 y 2\omega_2 - \omega_1)$ , desechando el término de continua que normalmente no condiciona la

información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la Figura A.II se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes interferencias.



Figura A.II. Efecto de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito, ya mencionada, llamada punto de intercepción de tercer orden IP3 (*third intercept point*), el cual se puede dar referido a la entrada (IIP3) o a la salida (OIP3). Por medio de la ecuación (A.12) se puede calcular el IIP3.

$$IIP3_{dBm} = \frac{\Delta P_{dB}}{2} + Pin_{dBm}$$
(A.12)

Donde:

- Pin es la potencia de la señal interferente (tono).
- $\Delta P_{dB}$  es la diferencia de potencia entre la señal interferente y el IIM3.

En la Figura A.III se muestra la interpretación gráfica de ambas cantidades así como del IP3. Para determinar gráficamente el IP3 se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel de RF a la entrada. El IP3 es la intercepción extrapolada de esas dos curvas. En general cuanto mayor sea el IP3 más lineal será el circuito diseñado.



Figura A.III. Medida del IP3 referido a la entrada.

Así, el IIP3 se puede determinar a partir de la ecuación (A.12) como se muestra en la ecuación (A.13).

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM3}{2} + Pin_{dBm}$$
(A.13)

El IIM3 viene dado por la ecuación (A.14).

$$IIM 3_{dBm} = Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm})$$
  
$$IIM 3_{dBm} = 3Pin_{dBm} - 2IIP3_{dBm}$$
(A.14)

Es digno de mención que el representar la linealidad de un componente mediante el uso del IM3 presenta el inconveniente que debe ser especificada la potencia de entrada. Con el IP3 se salva este problema. El IIM3 y el OIM3 son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el IIP3 y el OIP3 son medidas relativas a los valores de los tonos de test utilizados. De esta forma, haciendo uso del IIP3 o el OIP3 se puede comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos. Por este motivo son la forma más habitual de caracterizar los efectos de la intermodulación.

En este momento, los patrones de linealidad sólo han sido definidos para los estándares DVB-T y DVB-H a través de [EICTA], pero no para DVB-SH. Por tanto, se tomarán dichos patrones de DVB-H para especificar los requisitos de DVB-SH. Al igual que en casos anteriores, esta suposición es factible dado los similares ámbitos de operación de ambos estándares.

De acuerdo a [EICTA], el test de linealidad ha sido realizado aplicando 2 tonos interferentes en los canales N+2 y N+4, con una potencia de 40 dB superior al canal principal N para interferencias DVB-T/H, y 45 dB mayor en el caso de una interferencia PAL, tal y como muestra la Tabla A.IV.

La potencia de dichas señales interferentes está fijada a su valor máximo (-35 dBm), según [EICTA]. Por tanto, el receptor debe mantener la C/N requerida a su salida mientras realiza dicho test de dos tonos.

| Patrón | Interferencia Canal<br>N+2 | Interferencia Canal<br>N+4 | Potencia superior al<br>Canal N (dB) |
|--------|----------------------------|----------------------------|--------------------------------------|
| L1     | DVB-T/H                    | PAL                        | 45                                   |
| L2     | PAL                        | PAL                        | 45                                   |
| L3     | DVB-T/H                    | DVB-T/H                    | 40                                   |

La Figura A.IV presenta dos señales interferentes en los canales N+2 y N+4, así como la señal deseada en el canal N. La amplitud máxima de las señales interferentes es de -35 dBm a la entrada de la antena, y la ratio de potencia entre dichas interferencias y el canal deseado es de 40 dB, de acuerdo con [EICTA].

Dado que hoy en día no se está trasmitiendo ningún contenido en Europa en formato PAL, únicamente según los criterios del estándar DVB-T, sólo se aplicará el patrón L3.



Figura A.IV. Canal deseado y dos señales interferentes.

Como la potencia de ambas interferencias tienen una potencia de -35 dBm y la potencia del canal es 40 dB menor, la potencia de señal de dicho canal es -75 dBm.

Teniendo en cuenta la atenuación del filtro de entrada de 1.5 dB, el cálculo de la potencia de los productos de intermodulación de entrada (IIM3) se calcula de acuerdo a la fórmula (A.15):

$$IIM3 = P_{interferer} - attenuation - C/N_{max}$$
(A.15)

Sustituyendo los valores:

$$IIM3 = -36.5 - 40 - 27.9 = -104.4 dBm \tag{A.16}$$

Finalmente, utilizando la ecuación (A.13), el IIP3 requerido es de:

$$IIP3_{dBm} = \frac{(-36.5) - (-104.4))}{2} + (-36.5) = -2.55dBm$$
(A.17)

### A.VII Requisitos de Rechazo de Canal

Los requisitos de rechazo de canal hacen referencia a la selectividad necesaria para que los canales adyacentes no interfieran en la modulación y procesado de la señal deseada.

Los dos patrones siguientes son los usados para el test de rechazo de canal especificado por [EICTA]:

- Patrón S1: una señal analógica adyacente (PAL) en N±1 o N±m o en la frecuencia imagen.
- Patrón S2: una señal digital adyacente (DVB-T/H) en N±1 o N±m o en la frecuencia imagen.

Como ocurrió con el caso de la linealidad, sólo el patrón S2 será tenido en consideración para dicho test, dado que ya no existen trasmisiones analógicas PAL en Europa.

El marco de operación con el patrón S2 determina que el receptor debe proporcionar el BER (*Bit Error Rate*) de referencia a la salida cuando la señal indeseada posee el nivel máximo de potencia permitido y la señal deseada es A dB menor. En la Tabla A.V se muestran los valores de A en función de la interferencia.

| Interferencia Canal | Interferencia Canal | Interferencia Canal |
|---------------------|---------------------|---------------------|
| N±1                 | N±m                 | N±9                 |
| A=29 dB             | A=40 dB             | A=39 dB             |

Tabla A.V Inmunidad a los patrones S2.

Según [EN302583], los requisitos de rechazo de canal para un receptor DVB-SH deben ser al menos 50 dB para un canal adyacente de 5 MHz, y 60 dB para un canal adyacente de 10 MHz. Este último requisito hace referencia a la distancia entre un canal libre de 5 MHz de DVB-SH y un canal de 5MHz ocupado por UMTS.

# A.VIII Sumario de Especificaciones del receptor de DVB-SH

Tras los cálculos realizados en las secciones anteriores, en la Tabla A.VI se muestra un desglose de los requisitos para el cabezal de recepción de DVB-SH.

| DVB-SH                     |                  |  |
|----------------------------|------------------|--|
| Parámetros Receptor        | Especificaciones |  |
| Sensibilidad               | -112.55 dBm      |  |
| Figura de Ruido            | 4.5 dB           |  |
| Rango Dinámico             | 83.05 dBm        |  |
| Máxima Potencia de Entrada | -29.55 dBm       |  |
| IIP3                       | -2.55 dBm        |  |
| ACS                        | 60 dB            |  |

Tabla A.VI Resumen de Especificaciones DVB-SH.

# Anexo B

# Diseño del Divisor Programable

En este anexo se acometerá el diseño de un Divisor Programable para DVB-SH. Tal y como se estudio en el Capítulo 4, el factor de división a implementar es 27. Para ello se hará uso de herramientas de diseño HDL y de un flujo de diseño específico, tal y como se explica en las siguientes secciones.

#### B.I Flujo de Diseño

En el diagrama de la Figura B.I se especifica el proceso de diseño empleado y las herramientas necesarias para implementar el divisor entre 27. Dicho circuito es un ASIC (Application Specific Iintegrated Circuit), ya que está optimizado para una única función. Esto redunda en un timing y rendimiento mucho mejores que si se hubiese empleado un microprocesador genérico.



Figura B.I Herramientas para realizar diseño ASIC con técnicas digitales.

En las secciones siguientes de este capítulo se explicarán pormenorizadamente cada uno de los pasos seguidos. Sin embargo, a modo de introducción se resumirán dichas etapas a continuación.

Primero se realiza el código del diseño en VHDL a nivel de comportamiento del divisor, así como el *TestBench* de este. Ambas descripciones se simularán haciendo uso de la herramienta *ModelSim*® [MSIM] para comprobar su correcto funcionamiento.

En segundo lugar, una vez que el código simulado se ajusta a las especificaciones establecidas, se somete a la herramienta de comprobación *Leda*® [LEDA]. Este software permite comprobar la calidad del código, si es sintetizable físicamente o si hay algún error en él. Si se diera este caso, se vuelve al primer punto del flujo de diseño.

La síntesis lógica o implementación a nivel de puertas lógicas del código generado se realiza con el *software Design Compiler*® [DCOM]. Dicha herramienta dará indicaciones del área necesaria para la implementación física, así como los *paths* o caminos de señal que suponen un retardo crítico. Esto supondría una restructuración del código, volviendo al inicio del flujo de diseño. Si el comportamiento del sistema cumple las especificaciones, se guarda el código generado en formato *Verilog*.

Finalmente, se llevará a cabo la implementación física *layout* y ruteado (*Placement* y *Routing*) del código *Verilog* generado en el paso anterior con la herramienta *Encounter*® [ENCT]. Para dicho proceso es necesario especificar a la herramienta el número máximo de metales a emplear para el ruteado. Con esto se evita en la medida de lo posible cruces de metal muy próximos, lo que se traduciría en capacidades parásitas que podrían influir negativamente en el *timing* del sistema completo.

#### B.II Generación del código (Herramienta ModelSim®)

Tal y como se comentó en la introducción de la sección anterior, en este primer paso del flujo de diseño se genera el código en lenguaje VHDL del divisor.



Figura B.II Esquema del Divisor entre 27.

Del mismo modo, también se genera su respectivo *TestBench* que permitirá comprobar que el código diseñado cumple con el funcionamiento y con los requisitos especificados. Ambos códigos se generan con el editor de la herramienta ModelSim® en formato \*.vhd.

En la Figura B.III se observa el código generado para el Divisor entre 27. Dicha descripción sigue la estructura que se observa en la Figura B.II. La caracterización consta de una señal de entrada (clkin), una señal de reset (reset) y una salida con una frecuencia 27 veces menor que la entrada (clkout).

```
_____
-- divider by 27.vhd --
library ieee;
                                 --Definición de librerías
use ieee.std_logic_1164.ALL;
use ieee.std_logic_ARITH.ALL;
use ieee.std_logic_UNSIGNED.ALL;
entity divider_by_27 is
                                --Puertos de entrada y salida
   Port ( clkin : in std logic;
          clkout : out std_logic;
             reset: in std_logic
             );
end divider_by_27;
architecture Behavioral of divider_by_27 is
signal count: integer range 0 to 26; --Señales internas
signal clkout_aux: std_logic;
begin
clkout <= clkout_aux; --Asignación de señal interna a la salida
process (reset, clkin)
begin
   if reset = '1' then
                        clkout_aux <='0'; --Reset general</pre>
               count <= 0;
   elsif (clkin='1' and clkin'event) then --Detección flanco subido CLK IN
           if (count = 14 or count = 26) then clkout_aux <= not clkout_aux;
                           --Inversión de la salida cada 14 cuentas
                            -- aprox. (50% nivel alto y 50% nivel bajo)--> 50% PWM
           end if;
if count = 26 then count <= 0;</pre>
                                --Si se llega al final, se resetea el contador -
                                 --para una nueva cuenta de 14
           else count <= count+1;</pre>
                                            -- Si no, se vuelve a incrementar
           end if;
    end if;
end process;
end Behavioral;
```

Figura B.III Código HDL del Divisor entre 27.

```
_____
-- test_divider_by_27.vhd -- > testbench del divisor
                 -----
                                                     -----
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all; --Definición de librerías
use IEEE.std_logic_unsigned.all; --necesarias para el contador
-- Definición de la entidad del testbench
ENTITY ttsstt IS
END ttsstt;
-- Arquitectura: comportamiento de la entidad
architecture estimulos_ttsstt of ttsstt is
 -- Component Declaration for the Unit Under Test (UUT)
    COMPONENT divider_by_27
    PORT(
         clkin : IN std_logic; --Instanciación del divisor
         clkout : OUT std_logic;
         reset: IN std_logic
        );
    END COMPONENT;
 --Inputs
   signal clkin : std_logic := '0';
                                     --Estímulos
   signal reset : std_logic := '0';
 --Outputs
   signal clkout : std_logic;
                                        --Salida
   -- Clock period definitions
   constant clk_period : time := 0.4576659 ns; --Periodo de 2,185GHz/2 (salida
                                                --del divisor por 2) = 9,16e-10 s.
                                                --Se divide este valor entre 2
                                                --para un 50% de ancho de pulso.
BEGIN
 -- Instantiate the Unit Under Test (UUT)
   uut: divider_by_27 PORT MAP (clkin,clkout,reset);
   process
   begin
      wait for clk_period; --Generación de la señal de en
clkin <= not clkin; --a la frecuencia especificada</pre>
                               --Generación de la señal de entrada
   end process;
   -- Comprobar reset,
   -- '1' --> '0' --> '1'
   reset <= '1', '0' after 10 ns;
end estimulos_ttsstt;
```

Figura B.IV Código HDL del *TestBench* del Divisor entre 27.

Del mismo modo, en la Figura B.IV se muestra la definición del *TestBench* generado para comprobar el correcto funcionamiento del divisor. Este código permite generar una señal de entrada con una frecuencia igual a la salida del divisor entre 2 estudiado al inicio del capítulo. A pesar de que la salida de este dispositivo no sea una señal cuadrada, la entrada de este sistema digital posee un comparador de niveles, el cual permite trasladar la señal desde el ámbito analógico al digital.





Figura B.VI Comprobación de la señal RESET.

En la Figura B.V se muestra la simulación del Divisor entre 27 con los estímulos generados por el *TestBench*. En ella se aprecia que la señal de salida posee una frecuencia 27 veces menor que la entrada, confirmando el correcto funcionamiento del divisor.

Del mismo modo, en la Figura B.VI se confirma el funcionamiento de la señal de RESET, la cual mantiene una salida nula cuando dicha señal está activa.

Una vez comprobado el correcto funcionamiento del divisor, se puede pasar a la segunda herramienta del flujo de diseño: el *software Leda*®.

/ttsstt/clk...

### B.III Comprobación del código (Herramienta Leda®)

En este segundo paso del flujo de diseño se pretende verificar que el código generado sea sintetizable.

Dicha comprobación se debe al hecho de que ciertas rutinas, bucles y procesos permitidos por el lenguaje HDL pueden redundar en un coste hardware muy elevado a la hora de su implementación física mediante la síntesis lógica a nivel de puertas.



Figura B.VII Captura de pantalla del software Leda®.

Del mismo modo, en función de la tecnología utilizada, dichos bucles y procesos pueden no tener su versión hardware correspondiente, por lo que es necesario rediseñar el código para ajustarse a las restricciones tecnológicas. Para comprobar este último extremo, se hace uso de la herramienta *Leda*®, tal y como muestra la Figura B.VII, en la que se observa una captura de pantalla del interfaz gráfico. En ella se aprecia que una vez abierto el proyecto que contiene el código generado para el divisor, el *software* verifica que este se ajuste a las restricciones hardware dadas por la tecnología empleada.

Una vez hechas las comprobaciones pertinentes, el *software* genera el *report* o informe que se adjunta en la Figura B.VIII. Dicho documento informa que el software fragmenta el código mediante bloques y niveles, lo que le permite analizar cada subsistema de forma individual para verificar que todos se ajusten a los requisitos establecidos.

```
Loading project leda.pro done
leda> checker_set_options -block -chip -netlist -sdc -format verilog -format vhdl
leda> checker_set_design_constraints -top { LEDA_WORK BEHAVIORAL/DIVIDER_BY_27 }
-clockdump -case_analysis_file {}
leda> run
Executing elaboration of top unit BEHAVIORAL/DIVIDER_BY_27 ...
Elaboration of top unit BEHAVIORAL/DIVIDER_BY_27 completed.
Dumping the design hierarchy...
Design hierarchy dump completed.
Executing chip-level checks on design BEHAVIORAL/DIVIDER_BY_27 ...
Chip-level checks on design BEHAVIORAL/DIVIDER_BY_27 completed.
Executing block-level checks on library LEDA_WORK ...
Executing block-level checks on library LEDA_WORK ...
Executing block-level checks on unit LEDA_WORK.DIVIDER_BY_27 ...
Executing block-level checks on unit LEDA_WORK.BEHAVIORAL/DIVIDER_BY_27 ...
Note: Execute the command "report" to display violations
leda> report
leda>
```

Figura B.VIII *Report* Generado por el software Leda®.

Si el software detectase que el sistema no cumple con las restricciones, habría que redefinir el comportamiento del divisor, y sería necesario utilizar rutinas diferentes para lograr que el código generado sea físicamente sintetizable. En este caso particular, dicho *report* informa que el código generado para describir el comportamiento del divisor entre 27 se ajusta a las restricciones *hardware* definidas, siendo este perfectamente implementable físicamente.

Este aspecto da vía libre a la reestructuración del código que se explicará en la siguiente sección.

## B.IV Síntesis Lógica (Herramienta Design Compiler®)

En este punto del flujo de diseño, es factible la reinterpretación física del código generado con la herramienta *ModelSim*®, gracias a que el software Leda® dio el visto bueno.

La herramienta *Design Compiler*<sup>®</sup> es la encargada de realizar la síntesis lógica del diseño, teniendo en cuenta restricciones tales como el área, retardo (*timing*) o reducción de rutas de señal criticas con excesivos *fan-in* o *fan-out*.



Figura B.IX Flujo de diseño de la herramienta Design Compiler®.

Por otro lado *Design Compiler*® también comprueba que se cumplan las especificaciones de tiempo con la tecnología que se está utilizando y el reloj establecido, detectando posibles problemas asociados a la metaestabilidad.

En la Figura B.IX se resumen los pasos seguidos por el software para generar la implementación física. En ella se vislumbra que la forma de trabajo de la herramienta se fundamenta en un proceso recursivo basado en la optimización del diseño para generar una *netlist* que se ajuste a las restricciones requeridas inicialmente.

Dicho método de trabajo es el mostrado en la Figura B.X y en función del grado de optimización exigido, los hitos o requisitos serán cumplidos pormenorizadamente de forma recursiva.



DESIGN COMPILER (sintesis logica)

Figura B.X Pasos a seguir con Design Compiler®.

Siguiendo este método de trabajo, en la Figura B.XI se observa la restructuración del código inicial. Se puede comprobar que las funciones y bucles de alto nivel implementados han sido sustituidos por sus equivalentes lógicos, tales como puertas AND, OR, registros o *latchs*.

De este modo, ya es factible generar un esquemático que muestre de forma gráfica la distribución e interconexión de dichas puertas lógicas, tal y como muestra la Figura B.XII.

```
module divider_by_27 (
     clkin,
     clkout,
     reset);
    input clkin;
put clkout;
    input reset;
    // Internal wires
                                      wire N14;
    wire N11; wire N12;
                           wire N13;
                                                  wire N15;
    wire n9;
               wire n26;
                           wire n29;
                                       wire n30;
                                                   wire n31;
    wire n32;
              wire n33;
                          wire n34;
                                      wire n35;
                                                  wire n36;
                wire n38;
                          wire n39; wire n40;
    wire n37;
                                                  wire n42;
    wire n43;
    wire [4:0] count;
    QDFERBX1 clkout_aux_reg (.RB(n35),.Q(clkout),.EB(n26),
     .D(n34),
     .CK(clkin));
    QDFFRBX1 \count_reg[4] (.RB(n35),.Q(count[4]),.D(N15),
     .CK(clkin));
    QDFFRBX1 \count_reg[1] (.RB(n35),.Q(count[1]),.D(N12),
     .CK(clkin));
    QDFFRBX1 \count_reg[3] (.RB(n35),.Q(count[3]),.D(N14),
     .CK(clkin));
    QDFFRBX1 \count_reg[2] (.RB(n35),.Q(count[2]),.D(N13),
     .CK(clkin));
    DFFRBX1 \count_reg[0]
    (.RB(n35),.Q(n9),.D(N11),.CK(clkin));
    AOI13X1 U37 (.O(n39),.B3(n9),.B2(count[1]),.B1(count[2]),
     .A1(n40));
    INVX1 U38 (.O(n30),.I(N11));
    AN4B2X1 U39 (.O(n40),.I2(n31),.I1(count[3]),.B2(n43),
     .B1(n9));
    ND2X1 U40 (.O(n43),.I2(count[4]),.I1(count[1]));
    OAI23X1 U41 (.O(N15),.B3(n32),.B2(count[4]),.B1(n37),
    .A2(n33),.A1(n38));
    NR2X1 U42 (.O(n38),.I2(n39),.I1(n32));
    INVX1 U43 (.0(n32),.I(count[3]));
    MOAI1X1 U44 (.O(N14),.B2(count[3]),.B1(n39),.A2(n37),.A1(count[3]));
    MOAI1X1 U45 (.O(N12),.B2(n9),.B1(n29),.A2(n30),.A1(n29));
    INVX1 U46 (.O(n29),.I(count[1]));
    ND3X1 U47 (.O(n37),.I3(n9),.I2(count[2]),.I1(count[1]));
    NR2X1 U48 (.O(N11),.I2(n9),.I1(n40));
    XNR2X1 U49 (.O(N13),.I2(n42),.I1(count[2]));
    ND2X1 U50 (.O(n42),.I2(count[1]),.I1(n9));
    OR4B2XLP U51 (.O(n26),.I2(n29),.I1(n9),.B2(n36),.B1(count[3]));
    XNR2X1 U52 (.O(n36),.I2(count[2]),.I1(n33));
    INVX1 U53 (.0(n31),.I(count[2]));
    INVX1 U54 (.O(n33),.I(count[4]));
    INVX1 U55 (.0(n34),.I(clkout));
    INVX1 U56 (.0(n35),.I(reset));
 endmodule
```





Figura B.XII Diagrama lógico del Divisor entre 27.

```
Report : timing
      -path full
      -delay max
      -max_paths 1
      -sort_by group
Design : divider_by_27
Version: D-2010.03-SP1
Date : Fri Sep 14 14:27:35 2012
Operating Conditions: WCCOM Library:
fsd0a_a_generic_core_ss1p08v125c
Wire Load Model Mode: top
 Startpoint: count_reg[1]
          (rising edge-triggered flip-flop clocked by clkin)
 Endpoint: count_reg[4]
         (rising edge-triggered flip-flop clocked by clkin)
 Path Group: clkin
 Path Type: max
 Des/Clust/Port Wire Load Model
                                Library
 _____
 divider_by_27 G5K
fsd0a_a_generic_core_ss1p08v125c
 Point
                                 Incr
                                        Path
                      _____
  0.00
                                       0.00
 clock clkin (rise edge)
                                        0.00
                                0.00
 clock network delay (ideal)
                                0.00
                                        0.00 r
 count_reg[1]/CK (QDFFRBX1)
 count_reg[1]/Q (QDFFRBX1)
                                0.22
                                        0.22 r
 U40/O (ND2X1)
                                 0.04
                                         0.26 f
 U39/O (AN4B2X1)
                                 0.12
                                         0.37 r
 U37/O (AOI13X1)
                                 0.06
                                         0.43 f
 U42/O (NR2X1)
                                 0.06
                                         0.49 r
 U41/O (OAI23X1)
                                 0.06
                                         0.55 f
 count_reg[4]/D (QDFFRBX1)
                                 0.00
                                        0.55 f
 data arrival time
                                         0.55
                                0.91
                                      0.91
 clock clkin (rise edge)
 clock network delay (ideal)
count_reg[4]/CK (QDFFRBX1)
                                 0.00
                                         0.91
                                0.00
                                         0.91 r
 library setup time
                                -0.11
                                         0.80
 data required time
                                         0.80
 _____
 data required time
                                         0.80
 data arrival time
                                         -0.55
 _____
 slack (MET)
                                          0.25
```



```
Report : area
Design : divider_by_27
Version: D-2010.03-SP1
Date : Fri Sep 14 14:31:02 2012
Library(s) Used:
fsd0a_a_generic_core_ss1p08v125c (File:
/home/soft/eucad/umc/2010/umc90/faraday/L90 SP/Core/V2011/fsd0a a/2011
Q2v2.2/GENERIC_CORE_1D2V/FrontEnd/synopsys/synthesis/fsd0a_a_generic_c
ore ss1p08v125c.db)
Number of ports:
                             3
Number of nets:
                            28
Number of cells:
                            26
Number of references:
                            13
Noncombinational area: 86.240000
Net Interconnect area: undefined
                        undefined (Wire load has zero net area)
Total cell area:
                        177.184002
                         undefined
Total area:
```

Figura B.XIV Informe de Área del Divisor.

En la Figura B.XIII y Figura B.XIV se observan los informes generados por la herramienta relativos al *timing* del circuito y al área utilizada respectivamente. En el caso del área, esta ha sido minimizada mediante los métodos recursivos explicados anteriormente. Con respecto al *timing*, es destacable mencionar que el *slack* o retardo de grupo del circuito es menor que la frecuencia máxima de trabajo, lo que asegura un correcto comportamiento del divisor sin pérdidas de datos, y sin que suponga un "cuello de botella" a la hora de integrarlo conjuntamente con el resto de componentes del sintetizador.

Con la *netlist* generada por Design Compiler®, guardada en formato \*.v, es posible pasar a siguiente fase del flujo de diseño: la implementación física. Dicha fase es la última y se explica en el siguiente apartado.

# B.V Placement and Routing (Herramienta Encounter®)

En este último paso del flujo de diseño, se pasará al ruteado físico e interconexión del divisor, lo que comúnmente se conoce como *Placement and Routing*. Para tal fin se hará uso de la herramienta *Encounter*®.



Figura B.XV Flujo de diseño de la herramienta Encounter®.

El proceso de diseño empleado por la herramienta *Encounter*® se encuentra descrito en la Figura B.XV. Los pasos son los siguientes:

- 6) Se le indica al software la *netlist* generada por Design Compiler® junto con las restricciones tecnológicas propias de UMC 90 nm a través de la definición de sus librerías en formato \*.lef y \*.tlf. Estas últimas son las indicativas de la respuesta en términos de retardo asociada a cada una de las puertas lógicas que componen el divisor.
- 7) Se realiza el *floorplaning* o instanciación de los bloques que conformarán el circuito, dando una estimación del área a utilizar.
- 8) Se diseñan los planos de alimentación y masa relativos a VCC y GND respectivamente. La estructura física tendrá forma de anillo, dentro del cual se albergará el divisor. Si fuese necesario, es factible el uso de *stripes* o líneas de alimentación suplementarias que polaricen a los componentes internos del circuito.
- Se realiza el *placement* o colocación de los componentes mediante células estándar, emplazándolos de tal modo que el interconexionado entre ellos y el nodo de alimentación sea mínimo.
- Se interconectan dichos componentes mediante el proceso denominado *routing*. Del mismo modo, también se interconectan a los planos de alimentación y masa.

Una vez seguidos todos estos pasos, el resultado es el *layout* mostrado en la Figura B.XVI. En él se observan los anillos concernientes a los planos de alimentación y masa, así como las *stripes* utilizadas para polarizar a componentes internos.

Cabe destacar que se han añadido células de relleno o *filler cells*. El cometido de estas células es otorgar a la estructura física del divisor la mayor simetría posible, para que las variaciones o dispersiones del proceso de fabricación se minimicen. Este método es comúnmente utilizado en el proceso de diseño digital mediante células estándar, así como lo es el método de centroide común empleado en el diseño analógico *full custom*.

Dado que el proceso tecnológico UMC 90 nm no proporciona un modelo analógico asociado a las capacidades, inductancias y resistencias parásitas de las células estándar, no ha sido posible una simulación analógica del layout exportando este a *Cadence* en formato \*.gds.

Sin embargo, al contar con una definición muy exhaustiva de los retardos asociados a las puertas, se ha hecho una simulación final para comprobar el correcto funcionamiento del circuito teniendo en cuenta estos parámetros.

Dicha simulación se ha realizado con *MultiSim*® utilizando el código generado por el software *Design Compiler*®, el cual daba la definición a nivel de puertas lógicas del divisor. En dicha definición vienen incluidos los retardos asociados a dichas puertas, obteniéndose los resultados que se observan en la Figura B.XVII.



Figura B.XVI Layout del Divisor.

En la Figura B.XVII (a) se comprueba que el funcionamiento de las señales internas y de salida del divisor cumplen con los criterios de funcionamiento obteniéndose una señal de salida con una frecuencia 27 veces menor que la entrada.

Finalmente, en la Figura B.XVII (b) se aprecia que el funcionamiento de la señal de *Reset* es correcto, dando una salida nula cuando este se encuentra activo. (a)



Figura B.XVII Simulación del Divisor Final, (a) Comprobación del correcto funcionamiento; (b) Comprobación de la señal de Reset.

:sstt/clkin

Messages

stt/rese

# Anexo C

# Metodología $g_m/I_D$

Este anexo tiene como objetivo explicar la metodología  $g_m/I_D$ , la cual explota el rendimiento de los transistores MOS en las regiones de inversión. Las ventajas que esta técnica ofrece han sido aplicadas en el diseño de los bloques que conforman el modulador Sigma Delta, tal y como se pudo estudiar en el Capítulo 5.

### C.I Metodología $g_m/I_D$

Debido a los avances en los procesos de fabricación de circuitos integrados, las dimensiones de los transistores se han visto reducidas drásticamente. Esta tendencia a la miniaturización ha supuesto una ventaja en los circuitos digitales, ya que ha permitido una mayor densidad de integración. Sin embargo, para el caso del diseño analógico ha supuesto un problema debido al decremento de las tensiones de alimentación y, consecuentemente, a la disminución del rango dinámico, de las ganancias, etc.

El bloque más delicados en el diseño de los moduladores Sigma-Delta es, en este caso, el amplificador de trasconductancia (OTA), que será utilizado para implementar los integradores, el filtro analógico *biquad* y el comparador. Para el diseño de estos bloques se empleará una metodología denominada gm/ID [DAM08], [JES10] que tiene en cuenta el funcionamiento de los transistores en todas sus regiones de inversión y, por lo tanto, se podrá reducir bastante su consumo y mejorar sus prestaciones.

Para poder explicar esta metodología previamente se ha de explicar el funcionamiento de los transistores MOS en regiones subumbrales.

#### C.II Niveles de Inversión del Transistor

Generalmente, los modelos estándares de funcionamiento del transistor MOS consideran que al acercarse la tensión de puerta a la tensión umbral, o incluso teniendo un valor por debajo de la misma, la corriente de drenador es cero. Sin embargo, si se analiza la curva característica logarítmica  $I_D$  *vs*  $V_{GS}$  (Figura C.I), se observa que por debajo de la tensión umbral la corriente no es nula y que tiene una dependencia exponencial con la tensión de puerta.

Según la tensión de puerta, existen tres niveles diferentes de inversión que vendrán determinados por el número de electrones o huecos que conformen el canal: débil, fuerte o moderada (Figura C.I) [TSI95], [CMOS].

En inversión débil el canal es muy pequeño y la corriente que aparece es la de difusión (por lo que la corriente será exponencial con respecto a la tensión de puerta). En inversión fuerte, la corriente dominante es la de arrastre (la corriente de saturación sigue una ley cuadrática respecto a la tensión de puerta). Finalmente, en la región de inversión moderada, la corriente de difusión y la de arrastre están en equilibrio y, por lo tanto, no es una región fácil para modelar con una ecuación.

Sin embargo, es una región que presenta muchas ventajas puesto que en esta región se puede conseguir un buen compromiso entre velocidad y consumo.



Figura C.I Curva característica ID vs. VGS.

La metodología  $g_m/I_D$  que se va a emplear en el diseño de los circuitos permite trabajar en cualquiera de las regiones de operación de los transistores. Esta metodología explota la relación existente entre la transconductancia y la corriente de drenador ( $g_m/I_D$ ). Esta relación es una potente herramienta a la hora de llevar a cabo el modelado del tamaño de los transistores [JES10]. Un buen compromiso entre área, consumo y velocidad se puede conseguir cuando los transistores trabajan en la región de inversión moderada [YAN00].

Este método [JES10] explota el hecho de que tanto la transconductancia como la corriente de drenador varían con el ancho de puerta y, por lo tanto, la relación  $g_m/I_D$  no dependerá del mismo. Gracias a esto, las corrientes de drenador para conseguir algún producto de ganancia por ancho de banda dado podrán ser obtenidas a partir de la ecuación (C.1).

En dicha ecuación, el numerador es la transconductancia del mismo y el denominador es la relación  $g_m/I_D$  del transistor derivada de un transistor similar cuyo ancho de puerta W\* y longitud L\* son conocidos.

$$I_D = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*} \tag{C.1}$$

Conociendo las corrientes de drenador, los anchos de puerta siguen la ecuación (C.2).

$$W = (W)^* \frac{I_D}{\left(I_D\right)^*} \tag{C.2}$$

Estas dos ecuaciones permiten determinar la corriente de drenador y el ancho de puerta para un producto de ganancia por ancho de banda fijado por  $g_m$ . La clave de esta metodología está en el denominador de la ecuación (C.1).



Figura C.II Etapa de ganancia intrínseca.

Para explicarlo mejor, considérese como ejemplo la llamada "etapa de ganancia intrínseca" (Figura C.II) que consiste en un transistor en configuración fuente común. Llamando  $V_A$  a la tensión de *Early*, la cual controla la conductancia de salida del transistor  $(g_D=I_D/V_A)$  se tiene que la frecuencia de ganancia unidad y la ganancia en DC vendrán dadas respectivamente por las ecuaciones (C.3) y (C.4).

$$\omega_T = \frac{g_m}{C} \tag{C.3}$$

$$A_{DC} = -\frac{g_m}{g_d} = -\frac{g_m}{I_D} V_A \tag{C.4}$$

Se puede ver la relación de  $g_m/I_D$  con el modo de operación del transistor en la ecuación (C.5), donde se aprecia que  $g_m/I_D$  es igual a la derivada del logaritmo de  $I_D$  con respecto a  $V_G$  [SIL96][PAI03].

$$\frac{g_m}{I_D} = \frac{1}{I_D} \frac{\partial (\ln I_D)}{\partial V_G} = \frac{\partial \left\{ \ln \left[ \frac{I_D}{\left(\frac{W}{L}\right)} \right] \right\}}{\partial V_G}$$
(C.5)

Esta derivada será máxima cuando el transistor se encuentre en la región de inversión débil, donde la dependencia de  $I_D$  frente a  $V_G$  es exponencial.

Otra característica interesante de esta metodología es que tanto la relación  $g_m/I_D$  como la corriente normalizada ( $I_D/(W/L)$ ) son independientes del tamaño de los transistores. Por lo tanto, la relación entre  $g_m/I_D$  y la corriente normalizada es una característica única para todos los transistores del mismo tipo (NMOS o PMOS) de una tecnología determinada. Sin embargo, esta afirmación deberá ser revisada cuando se estudian transistores de canal corto.

Por tanto, la curva de  $g_m/I_D$  frente a la corriente normalizada  $(I_D/(W/L))$  será empleada durante la realización de los diseños. A partir de unas especificaciones dadas para un determinado diseño (por ejemplo, ganancia por ancho de banda), y una vez que una serie de valores de  $g_m$  e  $I_D$  son obtenidos, se determinará la relación de aspecto (W/L) de los transistores. En la Figura C.III se muestra el flujo de cómo llevar a cabo esta metodología.



Figura C.III Flujo para realizar la metodología gm/ID.

## C.III La curva $g_m/I_D$ vs. $I_D/(W/L)$

La curva de  $g_m/I_D$  frente  $(I_D/(W/L))$  puede usarse en la fase de diseño para determinar la relación de aspecto de los transistores (W/L). Es posible obtener dicha curva de dos maneras diferentes: experimental o analíticamente. La primera forma se lleva a cabo realizando medidas sobre un transistor cuyo ancho y longitud son conocidos. Esto permitirá derivar la relación  $g_m/I_D$  de las características  $I_D(V_{GS})$  de dicho transistor.

El siguiente método emplea expresiones analíticas para la relación  $g_m/I_D$ . Estas expresiones se obtienen de modelos matemáticos como pueden ser el modelo EKV [JES10]. Con estos modelos matemáticos se pueden emplear programas de cálculo para su análisis, como Matlab [MATH].

En este trabajo se usará el primer método, pero para obtener la curva experimental serían necesarias varias medidas de transistores típicos de la tecnología a emplear (90 nm de UMC [UMC]). Como no se dispone de dichos dispositivos físicos, se ha optado por realizar varias simulaciones de dichos transistores en *Cadence*.

A continuación se explicará cómo obtener estas curvas. En este caso particular se hará para un transistor NMOS, siendo este proceso extensible a los transistores PMOS.

En *Cadence*, se realiza una simulación DC del circuito de la Figura C.IV, haciendo un barrido de la tensión de puerta ( $V_{GS}$ ). Por comodidad, se ha optado la relación de aspecto

del transistor igual a 1. Guardando el punto de operación durante la simulación se podrán extraer los siguientes parámetros: transconductancia ( $g_m$ ), capacidad de puerta ( $C_{GS}$ ), e impedancia de salida ( $r_o$ ).



Figura C.IV Circuito para simular la gráfica  $g_m/I_D$ .

Una vez se obtienen estos valores en una tabla de datos, se procesan para obtener la gráfica  $g_m/I_D$  vs.  $I_D/(W/L)$ . En la Figura C.V y Figura C.VI se representan estas gráficas obtenidas para los transistores NMOS y PMOS de la tecnología 90 nm de UMC respectivamente.

Una vez obtenidas estas curvas se puede proceder a diseñar los diferentes circuitos empleando esta metodología.


Figura C.V Curva gm/ID vs. ID (W/L) del transistor NMOS.



Figura C.VI Curva gm/ID vs. ID (W/L) del transistor PMOS.

## Anexo D

## **Contribuciones a Congresos y Revistas**

En este anexo se incluyen los artículos y *papers* que he realizado y colaborado a lo largo de mi trayectoria investigadora, así como aquellos que han surgido a raíz de este trabajo. Dicha recopilación constituye, a grandes trazos, el *background* sobre el que me he asentado y que me ha permitido alcanzar los objetivos desarrollados en esta tesis. En esta sección se incluyen las contribuciones a congresos internacionales, así como las publicaciones en revistas de investigación.

Del mismo modo, puede apreciarse que mis intereses investigadores y mi curiosidad sobrepasan el propio ámbito electrónico, ya que en mi humilde opinión, en cualquier actividad es saludable, de vez en cuando, poner un signo de interrogación sobre aquello que por mucho tiempo se ha dado por supuesto.

## Artículos de Revistas Internacionales

- H. Garcia-Vazquez, S. L. Khemchandani, R. Pulido, A. Goñi-Iturri and J. del Pino, "A Wideband Active Feedback LNA with a Modified 3D Inductor" Microwave and Optical Technology Letters, vol. 52, pp. 1561-1567, 2010.
- Resolución del problema matemático B-1055 propuesto por G. C. Greubel (Newport News, VA) en la revista "The Fibonacci Quaterly", sección "Diaphontine Equation But Fibonacci Solutions", Agosto 2010.
- S. L. Khemchandani, D. Ramos, H. García, R. Pulido, and J. Pino, "A Low Voltage Folded Cascode LNA for Ultra-Wideband Applications" Microwave and Optical Technology Letters, Vol. 52, No. 11, Noviembre 2010.
- J. del Pino, Sunil L. Khemchandani, Roberto Díaz-Ortega, Rubén Pulido-Medina and Hugo García-Vázquez, "On-Chip Inductors Optimization For Ultra Wide Band Low Noise Amplifiers", Journal of Circuits, Systems and Computers (World Scientific Publishing Company), vol. 20, no. 7, pp. 1231-1242, 2011.
- R. Pulido Medina, E. Ortega García, S. L. Khemchandani, J. del Pino, "An LC-VCO with Current Feedback and a Fast Divider for DVB-SH Applications", enviado a la revista Microwave and Optical Technology Letters pendiente de aceptación.

## Artículos de Congresos Internacionales

- R. Diaz, R. Pulido, A. Goñi Iturri, S. L. Khemchandani, B. Gonzalez and J. del Pino, "A Fully Integrated Mixer in CMOS 0.35 µm Technology for 802.11a WIFI Applications", XIX Design Circuits and Integrated Systems Conference, Burdeos, Francia 2004.
- S. L. Khemchandani, R. Pulido, A. G.Iturri, R. Diaz, A. Hernández, J. del Pino, "A fully integrated low-noise amplifier in SiGe 0.35 μm technology for 802.11a WIFI applications", SPIE - The International Society for Optical Engineering's - Microtechnologies for the New Millennium Design, Sevilla 2005.
- H. García, R. Pulido, J. del Pino, S. L. Khemchandani, A. Goñi and A. Hernandez, "A 3-10 GHz SiGe LNA for Ultrawideband Applications", XXI Design of Circuits and Integrated Systems Conference, Barcelona 2006.
- J. d. P. Suárez, S. L. Khemchandani, H. G. Vázquez, R. P. Medina, A. G. Iturri, A. H. Ballester, "3-10 GHz ultrawide band SiGe LNA with wideband LC matching network", SPIE -The International Society for Optical Engineering's - Microtechnologies for the New Millennium Design, Gran Canaria 2007.
- Rubén Pulido, Hugo García, Javier del Pino, Sunil L. Khemchandani, Antonio Hernández, "A Feedback Wideband LNA for UWB Applications", XXII Design of Circuits and Integrated Systems Conference, Sevilla 2007.
- Jonás Pérez, Nestor Barrera, Roberto Díaz, Rubén Pulido, Javier del Pino, Sunil L. Khemchandani, Antonio Hernández, "A SiGe Front-End for a Portable DVB-H Receiver", XXII Design of Circuits and Integrated Systems Conference, Sevilla 2007.
- H. García, R. Pulido, R. Díaz, S. Khemchandani, A. Goñí, J. del Pino, "A Feedback Wideband LNA with a modified 3D inductor for UWB Applications", XXIII Design of Circuits and Integrated Systems Conference, Grenoble, Francia 2008.

- J. Arias, R. Pulido, H. Garcia, S.L. Khemchandani, J. del Pino, A. Hernandez, "A DVB-H RF-VGA Based On Current Conveyors", XXIV Design of Circuits and Integrated Systems Conference, Zaragoza 2009.
- G. Perez, S.L. Khemchandani, R. Diaz, R. Pulido, D. Ramos, J. del Pino, "A Multiband LNA with Switched Loads and Wideband Input Impedance Matching", XXIV Design of Circuits and Integrated Systems Conference, Zaragoza 2009.
- R. Pulido. E. Ortega, D. Ramos, S. L. Khemchandani, J. del Pino, "A Low Power LC-VCO and a Fast Divider for DVB-SH Applications", XXVII Conference on Design of Circuits and Integrated Systems, Avignon, Francia 2012.
- S. Rosino-Rincón, D. Ramos-Valido, H. García-Vázquez, R. Pulido-Medina, Sunil L. Khemchandani and J. del Pino, "A CMOS Low Voltage Folded Cascode LNA for Wideband Applications", XXVII Design of Circuits and Integrated Systems Conference, Avignon, Francia 2012.